

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-258751

(P2007-258751A)

(43) 公開日 平成19年10月4日(2007.10.4)

(51) Int. Cl.	F I	テーマコード (参考)
H O 1 L 25/065 (2006.01)	H O 1 L 25/08 Z	5 F O 4 4
H O 1 L 25/07 (2006.01)	H O 1 L 21/60 3 O 1 A	
H O 1 L 25/18 (2006.01)		
H O 1 L 21/60 (2006.01)		

審査請求 有 請求項の数 10 O L (全 23 頁)

(21) 出願番号	特願2007-166097 (P2007-166097)	(71) 出願人	503121103
(22) 出願日	平成19年6月25日 (2007.6.25)		株式会社ルネサステクノロジ
(62) 分割の表示	特願2002-116982 (P2002-116982) の分割	(71) 出願人	000233594
原出願日	平成14年4月19日 (2002.4.19)		株式会社ルネサス北日本セミコンダクタ
		(74) 代理人	100080001
			弁理士 筒井 大和
		(72) 発明者	石村 大樹
			北海道亀田郡七飯町字中島145番地 日
			立北海セミコンダクタ株式会社内
		(72) 発明者	高橋 勝則
			北海道亀田郡七飯町字中島145番地 日
			立北海セミコンダクタ株式会社内

最終頁に続く

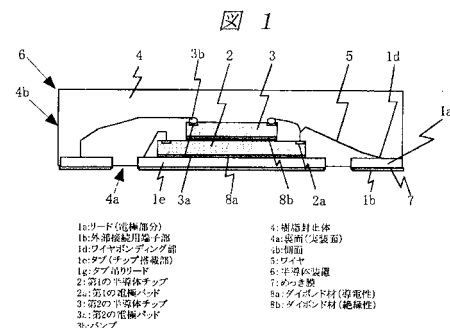
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】実装高さ縮小および実装面積縮小及び軽量化を満足する積層型の半導体装置を高性能、かつ既存の製造ラインで低コストに実現する。

【解決手段】絶縁性樹脂からなる封止体4と、半導体チップを支持するタブ1eと、前記封止体の実装面に一面を露出する複数のリード1aと、前記封止体内に位置し、回路形成面である第1主面およびその反対側の第1裏面を有し、前記タブの一面に支持される第1半導体チップ2と、前記第1半導体チップの第1主面に形成された複数の第1電極パッド2aと、前記電極パッドと前記リードとを電氣的に接続するワイヤ5、回路形成面である第2主面およびその反対側の第2裏面を有し、前記第1半導体チップの第1主面に積層搭載された第2半導体チップ3と、前記第1半導体チップの複数の第1電極パッドと前記リード、前記第2半導体チップの第2主面に形成された複数の第2電極パッドと前記リードとをそれぞれ電氣的に接続するワイヤ5を含み、前記タブは枠状に形成されている絶縁性樹脂からなる半導体装置。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

絶縁性樹脂からなる封止体と、
半導体チップを支持するタブと、
前記封止体の実装面に一面を露出する複数のリードと、
前記封止体内に位置し、回路形成面である第 1 主面およびその反対側の第 1 裏面を有し、
前記タブの一面に支持される第 1 半導体チップと、
前記第 1 半導体チップの第 1 主面に形成された複数の第 1 電極パッドと、
前記電極パッドと前記リードとを電気的に接続するワイヤと、
回路形成面である第 2 主面およびその反対側の第 2 裏面を有し、前記第 1 半導体チップの第 1 主面に積層搭載された第 2 半導体チップと、
前記第 1 半導体チップの複数の第 1 電極パッドと前記リード、前記第 2 半導体チップの第 2 主面に形成された複数の第 2 電極パッドと前記リードとをそれぞれ電気的に接続するワイヤとを含み、
前記タブは枠状に形成されていることを特徴とする半導体装置。

10

【請求項 2】

請求項 1 記載の半導体装置であって、前記第 1 半導体チップは、前記第 1 主面の電極パッドよりも内側で枠状のタブの一面と接着しており、前記第 2 半導体チップは前記枠状のタブの開口部の内側で前記第 1 半導体チップの第 1 主面に位置し、前記枠状のタブと前記第 2 半導体チップは同一平面上に接着されていることを特徴とする半導体装置。

20

【請求項 3】

請求項 2 記載の半導体装置であって、前記第 1 の半導体チップと前記第 2 の半導体チップは、それぞれの第 1 の面に形成された電極パッドのいくつかが前記導電性のワイヤにより互いに接続、または前記枠状のタブに前記導電性のワイヤにより接続されていることを特徴とする半導体装置。

【請求項 4】

請求項 2 記載の半導体装置であって、前記第 1 の半導体チップの第 2 の面は前記封止体の実装面に露出していることを特徴とする半導体装置。

【請求項 5】

請求項 2 記載の半導体装置であって、前記第 1 の半導体チップの第 2 の面は前記絶縁樹脂で封止されていることを特徴とする半導体装置。

30

【請求項 6】

複数の第 1 電極パッドが形成された第 1 の面と、前記第 1 の面と反対側の第 2 の面とを有する第 1 の半導体チップと、

前記第 1 の半導体チップの外形寸法よりも大きく、前記第 1 の半導体チップの第 2 の面を支持するタブと、

前記タブの周囲に配置された複数のリードと、

複数の第 2 電極パッドが形成された第 3 の面と、前記第 3 の面と反対側の第 4 の面を有し、前記第 4 の面と前記第 1 の半導体チップの第 1 の面とが対向するように、前記第 1 の半導体チップの第 1 の面上に搭載された第 2 の半導体チップと、

40

前記第 1 の半導体チップの複数の第 1 電極パッドと前記複数のリード、前記第 2 の半導体チップの複数の第 2 電極パッドと前記複数のリード、および前記第 1 の半導体チップの複数の第 1 電極パッドと前記タブをそれぞれ電気的に接続する複数の導電性のワイヤと、

前記第 1 の半導体チップ、前記第 2 の半導体チップ、前記複数の導電性のワイヤ、及び前記複数のリードを封止する封止体とを含み、

前記複数のリードのそれぞれの一部は、前記封止体の実装面および側面から露出していることを特徴とする半導体装置。

【請求項 7】

請求項 6 記載の半導体装置であって、前記第 2 の半導体チップは前記第 1 の半導体チップの複数の第 1 電極パッドよりも内側に配置され、前記複数の導電性のワイヤは前記第 1

50

の半導体チップの複数の第1電極パッドと前記第2の半導体チップの複数の第2電極パッドをそれぞれ電氣的に接続していることを特徴とする半導体装置。

【請求項8】

請求項6記載の半導体装置であって、前記第1の半導体チップはマイコンチップであり、前記第2の半導体チップはメモリチップであることを特徴とする半導体装置。

【請求項9】

請求項6記載の半導体装置であって、前記タブは前記封止体の実装面に一面を露出していることを特徴とする半導体装置。

【請求項10】

請求項6記載の半導体装置であって、前記タブと一体に形成された複数のタブ吊りリードのそれぞれの一部は、前記封止体の実装面から露出していることを特徴とする半導体装置。 10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、樹脂封止型半導体製造技術に関し、特に、複数のLSIチップを1つのパッケージに納めたマルチチップパッケージのように高密度実装に適した半導体装置に適用して有効な技術に関する。

【背景技術】

【0002】

近年、半導体パッケージの小型化の要求の中で、複数のLSIチップを1つのパッケージに納めた所謂マルチチップパッケージ（以下MCP）、あるいはシステムインパッケージと称される半導体装置が要求されている。このようなMCPの構造の一例としては、LSIチップを例えば2段に積層し、これを樹脂モールドしてパッケージとしたスタック構造が知られている。スタック構造のMCPの具体例としては、パッケージ内部でLSIチップが積層されたQFP（Quad Flat leaded Package）タイプのMCPが、例えば特開2001-267488号公報（特許文献1）等に記載されている。このタイプのMCPは、積層された複数のLSIチップと、LSIチップの電極パッドと外部導出リードとを電氣的に接続した複数のワイヤと、複数のインナーリードが樹脂モールドされて樹脂封止体が形成されており、樹脂封止体の側面からアウターリードが導出している。実装基板へはこのアウターリードによって実装される。また、他のMCPのタイプとしては、特開平11-204720号公報（特許文献2）に記載のように、エポキシあるいはポリイミドからなる配線基板に複数のLSIチップを積層させ、それぞれのLSIチップの電極パッドと配線基板上の電極とをワイヤボンディングまたはフェイスダウンボンディングにより電氣的接続をし、配線基板上のそれぞれのLSIチップ及び電氣的接続部分を樹脂によりモールドされた所謂CSP（Chip Size Package）タイプのMCPが知られている。 30

【特許文献1】特開2001-267488号公報

【特許文献2】特開平11-204720号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

上記QFPタイプのMCPは、その構造上、樹脂封止体の側面からアウターリードが導出し、また、タブの上下に樹脂封止体が存在しているため、その実装面積、実装高さが大きくなり、昨今の携帯電話やモバイルパソコンのような携帯機器に内蔵される実装基板に対する実装には適していない。また、CSPタイプのMCPに関しては、実装面積が小さく携帯機器用の実装基板への実装に適している。しかし比較的多機能で外部接続ピン数が大きい場合は有利であるが、組立材料として絶縁性基板（エポキシやポリイミド等の樹脂基板又はフィルム）や半田等からなるボール状の実装用外部端子等を用いており、材料費が高価である、専用の製造設備が必要である、工程が多くなる等の面から外部接続ピン数が小さい場合は割高となる問題点が有る。また、ボール状の実装用外部端子を用いている 50

ため、その高さ分はどうしても高くなってしまい、実装高さ低減には限界がある。更に、LSIチップを積層するにあたって、チップサイズや電極パッド配置の制限があり、既存のLSIチップを流用し難いこと、さらに積層された2つのLSIチップ間の互いの電極パッドを中継することが困難なため、リードの引き回しが制限されるという問題が有る。

【0004】

本発明者は上記問題点を効果的に解決すべく鋭意検討した。そこで本発明の目的は、実装面積及び実装高さが非常に小さく、既存の製造ラインで低コストに製造可能なマルチチップ型の半導体装置およびその製造方法を提供することにある。

【0005】

本発明の前記ならびにその他の課題、および目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。 10

【課題を解決するための手段】

【0006】

本願において開示される発明のうち代表的なものの概要を説明すれば以下のとおりである。

【0007】

(1) 本発明の半導体装置は、絶縁性樹脂からなる封止体と、半導体チップを支持するタブと、前記封止体の実装面に一面を露出する複数のリードと、前記封止体内に位置し、回路形成面である第1主面およびその反対側の第1裏面を有し、前記タブの一面に支持される第1半導体チップと、前記第1半導体チップの第1主面に形成された複数の第1電極パッドと、前記電極パッドと前記リードとを電気的に接続するワイヤと、回路形成面である第2主面およびその反対側の第2裏面を有し、前記第1半導体チップの第1主面に積層搭載された第2半導体チップと、前記第1半導体チップの複数の第1電極パッドと前記リード、前記第2半導体チップの第2主面に形成された複数の第2電極パッドと前記リードとをそれぞれ電気的に接続するワイヤとを含み、前記タブは枠状に形成されているものである。 20

【0008】

また、本発明の半導体装置は、絶縁性樹脂からなる封止体と、半導体チップが搭載されるタブと、前記封止体の実装面に一面を露出する複数のリードと、前記封止体内に位置し、回路形成面である第1の面およびその反対側の第2の面を有し、前記タブの一面に接着剤を介して第2の面で支持される第1の半導体チップと、前記第1の半導体チップの第1の面の周縁部に形成された複数の電極パッドと、前記電極パッドと前記リードとを電気的に接続する導電性のワイヤと、回路形成面である第1の面およびその反対側の第2の面を有し前記第1の半導体チップの第1の面に第2の面を向けて積層搭載された第2の半導体チップと、前記第2の半導体チップの第1の面に形成された複数の電極パッドと、前記第2の半導体チップの電極パッドと前記リードとを電気的に接続する導電性のワイヤを有するものである。 30

【0009】

前記第2の半導体チップは、前記第1の半導体チップの電極パッドよりも内側に配置している。前記第2の半導体チップの電極パッドにはバンプが形成され、前記ワイヤの一方は前記リードまたは前記第1の半導体チップの電極パッドと接続され、他方は前記バンプを介して接続されている。前記第1の半導体チップ側の複数の電極パッドのうちのいくつかは、前記ワイヤにより前記タブと電気的に接続されているものである。 40

【0010】

(2) 絶縁性樹脂からなる封止体と、半導体チップを支持するタブと、前記封止体の実装面に一面を露出する複数のリードと、前記封止体内に位置し、回路形成面である第1の面およびその反対側の第2の面を有し、前記タブの一面に接着剤を介して支持される第1の半導体チップと、前記第1の半導体チップの第1の面の周縁部に形成された複数の電極パッドと、前記電極パッドと前記リードとを電気的に接続する導電性のワイヤと、回路形成面である第1の面およびその反対側の第2の面を有し前記第1の半導体チップの第1の 50

面に積層搭載された第2の半導体チップと、前記第2の半導体チップの第1の面に形成された複数の電極パッドと前記リードとを電氣的に接続する導電性のワイヤを有するものである。

【0011】

前記タブは枠状に形成されており、前記第1の半導体チップは、その第1の面の電極パッドよりも内側で前記タブの一面と接着しており、前記第2の半導体チップは前記枠状のタブの開口部の内側に配置している。前記第1の半導体チップと前記第2の半導体チップは、それぞれの第1の面に形成された電極パッドのいくつかが前記導電性のワイヤにより互いに接続、または、前記枠状のタブに前記導電性のワイヤにより接続されているものである。

10

【0012】

(3) 絶縁性樹脂からなる封止体と、第1の面およびその反対側の第2の面を有し半導体チップを支持するタブと、前記封止体の実装面に一面を露出する複数のリードと、前記封止体内に位置し、回路形成面である第1の面およびその反対側の第2の面を有し、前記タブの一面に接着剤を介して支持される第1の半導体チップと、前記第1の半導体チップの第1の面の周縁部に形成された複数の電極パッドと前記リードとを電氣的に接続する導電性のワイヤとを有する半導体装置であって、回路形成面である第1の面およびその反対側の第2の面を有する第2の半導体チップを有し、前記第2の半導体チップの第2の面は前記タブの第1の面に接着されており、前記第2の半導体チップの第1の面に形成された複数の電極パッドと前記リードとが導電性のワイヤにより電氣的に接続され、前記第1の半導体チップは、前記タブの第2の面と接着しており、前記タブおよび前記第2の半導体チップは第1の半導体チップの第1の面の電極パッドよりも内側に有るものである。

20

【0013】

前記第1の半導体チップと前記第2の半導体チップは、それぞれの第1の面に形成された電極パッドのいくつかが前記導電性のワイヤにより互いに接続、または前記タブに前記導電性のワイヤにより接続されているものである。

【発明の効果】

【0014】

1つのパッケージの中にチップを積層して搭載するマルチチップパッケージ型半導体装置において、リードフレームを用いたノンリード型のパッケージの形態を採用することで、実装高さ縮小および実装面積縮小、軽量化が可能となり、さらに、従来設備を活用するため、低コストで実現することができる。また、LSIチップを積層するにあたって、チップサイズや電極パッド配置の制限が少なく、既存のLSIチップを流用し組み合わせ使用できる。さらに積層された2つのLSIチップ間の電氣的接続において、タブあるいはLSIチップの電極パッドを、内部で中継端子代わりに利用でき、リード引き回し時の汎用性が向上する。

30

【発明を実施するための最良の形態】

【0015】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

40

【0016】

(実施の形態1)

図1は本発明の実施の形態1の半導体装置の構造の一例を示す断面図、図2は図1に示す半導体装置の構造を示す平面図、図3は図1に示す半導体装置の構造を示す底面図（実装面）、図4は図1に示す半導体装置の組立に用いられるリードフレームの構造の一例を示す平面図、図5は図4に示すリードフレームの構造の一例を示す断面図、図6は図1に示す半導体装置の組立における第1の半導体チップのダイボンディング後の構造の一例を示す断面図、図7は図1に示す半導体装置の組立における第2の半導体チップのダイボンディング後の構造の一例を示す断面図、図8は図1に示す半導体装置の組立におけるワイ

50

ヤボンディング後の構造の一例を示す断面図、図 9 は図 1 に示す半導体装置の組立におけるモールド状態の構造の一例を示す断面図、図 10 は図 1 に示す半導体装置の組立における外装めっき状態の構造の一例を示す断面図、図 11 は図 1 に示す半導体装置の組立におけるダイシング状態の構造の一例を示す断面図、図 12 は図 1 に示す半導体装置の組立におけるダイシング後の構造の一例を示す断面図、図 13 は図 1 に示す半導体装置の実装における基板実装後の構造の一例を示す断面図である。

【0017】

図 1～図3に示す半導体装置は、樹脂封止型で、かつリードフレームを用いた面実装型の半導体パッケージであり、本実施の形態1ではこの半導体装置の一例として、タブ露出型の半導体装置 6 を取上げて説明する。

10

【0018】

半導体装置 6 は、図1に示すように、第1の半導体チップ2は、タブ1e（チップ搭載部）上に例えば、銀ペーストや接着フィルムのような導電性ダイボンド材8aを介して、回路形成面である第1の面と反対側の第2の面で接着、支持され、その第1の面には第2の半導体チップ3が、例えば、シリコーンゴムや絶縁シート等の絶縁性ダイボンド材8bを介して、第2の面で積層搭載されており、金線のような導電性ワイヤ5によりそれぞれの半導体チップの複数の電極パッド2aおよび3aと複数のリード1aとがそれぞれ結線されている。

【0019】

この際、第2の半導体チップ3周縁部の電極パッドは、第1の半導体チップ2周縁部の電極パッドの内側に有るため、導電性ワイヤ5によりそれぞれの半導体チップの複数の電極パッド2aおよび3aと複数のリード1aの結線が容易にできる。

20

【0020】

第2の半導体チップ3の複数の電極パッド3aには、予め金等からなるバンプ3bを例えばワイヤバンプを形成する要領で形成しておき、ワイヤボンディングはリード1a側、或いは第1の半導体チップ2側を先にワイヤー5に形成した金ボール（先端）を用いてボンディングし（以下ファーストボンディング）、その後、バンプ3bにワイヤー5のテール（末端）をボンディング（以下セカンドボンディング）することによりバンプ3b上のワイヤ5の角度がほぼ水平になるため、ワイヤの高さを低く抑えることができ、半導体チップを積層した場合でも半導体装置6の薄型化を図ることができる。

30

【0021】

第1の半導体チップ2の電極パッド2a側はファーストボンディング、リード1d側はセカンドボンディングにより接続されており、更に第1の半導体チップ2とタブ1eも同様にワイヤボンディングされており、タブ1e及びタブ吊りリード1gとが実装面4aから露出したタブ露出構造のものである。

【0022】

また、封止樹脂部4を形成する樹脂は、例えば、熱硬化性のエポキシ樹脂等である。

【0023】

なお、半導体装置6は、ひとつの封止樹脂体に複数の装置領域が封止され、その半導体封止樹脂部を装置領域ごとにダイシングにより切断、個片化される方法（一括モールド）により組立てられたものである。

40

【0024】

次に、本実施の形態1の半導体装置6の製造方法について説明する。

【0025】

まず、図4に示すような第1の枠部である外枠部1hと、外枠部1hの内側に形成された第2の枠部である内枠部1jと、内枠部1jの内側に形成された複数の装置領域であるデバイス領域1kと、複数のデバイス領域1kのそれぞれに形成された複数の電極部分であるリード1aと、複数のデバイス領域1kのそれぞれに形成された複数のチップ搭載部であるタブ1eとを有するリードフレーム1を準備する。

【0026】

50

次に、図 6 に示すように、リードフレーム 1 の複数のデバイス領域 1 k のそれぞれのタブ 1 e 上に、それぞれが複数の電極パッド 2 a を有する複数の第 1 の半導体チップ 2 を、銀ペーストや接着フィルムのような導電性ダイボンド材 8 a を介してその回路形成面である第 1 の面と反対側の第 2 の面で接着、支持する（ダイボンディング）。

【0027】

次に、図 7 に示すようにシリコンゴムや絶縁シート等の絶縁性ダイボンド材 8 b を介して第 2 の半導体チップ 3 を第 1 の半導体チップ 2 の第 1 の面に、その回路形成面である第 1 の面と反対側の第 2 の面で接着、支持する。

【0028】

次に、図 8 に示すように、金線等の導電性ワイヤ 5 により、第 1 の半導体チップ 2 の複数の電極パッド 2 a と複数のリードフレーム 1 d、或いはタブ 1 e とを、或いは第 2 の半導体チップ 3 のいくつかの電極パッド 3 a とを接続する。更に、第 2 の半導体チップ 3 の複数の電極パッド 3 a と複数のリードフレーム 1 d とを、或いはタブ 1 e とを接続する（ワイヤボンディング）。この場合、第 2 の半導体チップ 3 の電極パッド 3 a には、予め金等からなるバンプを例えばワイヤバンプを形成する要領で形成しておく。ワイヤボンディングはリード側 1 a、或いは第 1 の半導体チップ 2 側をファーストボンディング、バンプ側をセカンドボンディングとし、セカンドボンディングはバンプに対して行う。

【0029】

次に、図 9 に示すように、複数の第 1 の半導体チップ 2、複数の第 2 の半導体チップ 3、複数のワイヤ 5、およびリードフレーム 1 のリード 1 a やタブ 1 e の一部をモールド金型 10 で覆い、このキャビティ 10 c に封止樹脂を充填させる一括モールドを行う。これによって、図 10 に示すように、封止樹脂部 4 が形成される。

【0030】

なお、この場合一括モールドではなく、デバイス領域毎に個別のキャビティで封止する方法も勿論可能である。

【0031】

その後、図 10 に示すように、封止樹脂部 4 の実装面 4 a に露出した各リード 1 a の外部接続用端子部 1 b の表面とタブ 1 e の表面とに半田によるメッキ膜 7 を例えば電解メッキ法で形成する。

【0032】

その後、図 11 に示すダイシングブレード 9 を用いたダイシングによって、各デバイス領域毎に、封止樹脂部 4 とリードフレーム 1 を一緒に切断して図 12 に示すような個片化を行う。デバイス領域毎に個別のキャビティで封止したものについては、切断刃により個片化する。

【0033】

図 13 は個片化により完成した半導体装置 6 の実装基板 11 への実装状態の構造を示す一例である。実装基板 11 の一面には、前記半導体装置 6 の外部接続端子となるリード 1 b やタブ 1 e およびタブ吊りリード 1 g に対応して、電極（ランド）11 a が設けられている。そして、これらランド 11 a 上に半導体装置 6 の外部接続端子となるリード 1 b やタブ 1 e およびタブ吊りリード 1 g が重ねられ、かつ半田等による接合材 12 を介して電気的に接続されている。

【0034】

本実施形態 1 においては、信頼性を考慮して、タブ表面とパッケージを形成する樹脂（レジン）との接触面積を広くするために、タブ表面はパッケージ内に存在する構成としている。また、放熱性を考慮して、半導体チップで発生する熱を広い面積に亘って伝えるため、タブはチップより大きくし、実装面側に露出する構成としている。

【0035】

（実施の形態 2）

図 14 は本発明の実施の形態 2 の半導体装置の構造の一例を示す断面図、図 15 は図 14 に示す半導体装置の構造を示す平面図、図 16 は図 14 に示す半導体装置の構造を示す

10

20

30

40

50

底面図（実装面）、図 17 は図 14 に示す半導体装置の組立に用いられるリードフレームの構造の一例を示す平面図、図 18 は図 17 に示すリードフレームの構造の一例を示す断面図、図 19 は図 14 に示す半導体装置の組立における第 1 の半導体チップのダイボンディング後の構造の一例を示す断面図、図 20 は図 14 に示す半導体装置の組立における第 2 の半導体チップのダイボンディング後の構造の一例を示す断面図、図 21 は図 14 に示す半導体装置の組立におけるワイヤボンディング後の構造の一例を示す断面図、図 22 は図 14 に示す半導体装置の組立におけるモールド状態の構造の一例を示す断面図、図 23 は図 14 に示す半導体装置の組立における外装めっき状態の構造の一例を示す断面図、図 24 は図 14 に示す半導体装置の組立におけるリード切断状態の構造の一例を示す断面図、図 25 は図 14 に示す半導体装置の組立におけるリード切断後の構造の一例を示す断面図、図 26 は図 14 に示す半導体装置の実装における基板実装後の構造の一例を示す断面図である。 10

【0036】

図 14～図 16 に示す半導体装置は、樹脂封止型で、かつリードフレームを用いた面実装型の半導体パッケージであり、本実施の形態 2 ではこの半導体装置の一例として、タブ内蔵型の半導体装置 6 を取上げて説明する。

【0037】

半導体装置 6 は、図 14 に示すように、タブ 1e（チップ搭載部）上に第 1 の半導体チップ 2 が、例えば、銀ペーストや接着フィルムのような導電性ダイボンド材 8a を介してその回路形成面である第 1 の面と反対側の第 2 の面で接着、支持され、その第 1 の面には第 2 の半導体チップ 3 が、例えば、シリコーンゴムや絶縁シート等の絶縁性ダイボンド材 8b を介して積層搭載されており、金線等の導電性ワイヤ 5 によりそれぞれの半導体チップの複数の電極パッド 2a および 3a と複数の複数のリード 1a とがそれぞれ結線されている。 20

【0038】

この際、第 2 の半導体チップ 3 周縁部の電極パッドは、第 1 の半導体チップ 2 周縁部の電極パッドの内側に有るため、導電性ワイヤ 5 によりそれぞれの半導体チップの複数の電極パッド 2a および 3a と複数の複数のリード 1a の結線が容易にできる。

【0039】

第 2 の半導体チップ 3 の電極パッド 3a には、予め金等からなるバンプを例えばワイヤバンプを形成する要領で形成しておき、ワイヤボンディングはリード 1a 側、或いは第 1 の半導体チップ 2 側を先にワイヤ 5 に形成した金ボール（先端）を用いてボンディングし（以下ファーストボンディング）、その後、バンプ 3b にワイヤ 5 のテール（末端）をボンディング（以下セカンドボンディング）することによりバンプ 3b 上のワイヤ 5 の角度がほぼ水平になるため、ワイヤの高さを低く抑えることができ、半導体チップを積層した場合でも半導体装置 6 の薄型化を図ることができる。 30

【0040】

第 1 の半導体チップ 2 側はファーストボンディング、リード側 1d はセカンドボンディングにより接続されており、更に第 1 の半導体チップ 2 とタブ吊りリード 1g も同様にワイヤボンディングされており、タブ吊りリード 1g の一部が底面から露出しており、タブ 1e は封止樹脂部 4 に内蔵されている。 40

【0041】

また、封止樹脂部 4 を形成する樹脂は、例えば、熱硬化性のエポキシ樹脂等である。

【0042】

次に、本実施の形態 2 の半導体装置 6 の製造方法について説明する。

【0043】

図 17 に示すリードフレーム 1 の準備から、図 20 に示すダイボンディング工程までの製造方法は実施の形態 1 と同様のため省略する。ただし、ここで示すリードフレーム 1 は図 18 に示すように、タブ 1e は他のリードフレーム面よりも 0.1mm～0.3mm 程度上がっている。

【0044】

次に、図 2 1 に示すように、金線等の導電性ワイヤ 5 により、第 1 の半導体チップ 2 の複数の電極パッド 2 a と複数のリード 1 a、或いは図 1 5 に示したタブ吊りリード 1 g とを、或いは第 2 の半導体チップ 3 のいくつかの電極パッド 3 a とを接続する。更に、第 2 の半導体チップ 3 の複数の電極パッド 3 a と複数のリードフレーム 1 d とを接続する。この場合、第 2 の半導体チップ 3 の電極パッド 3 a には、予め金等からなるバンプを例えばワイヤバンプを形成する要領で形成しておく。ワイヤボンディングはリード 1 a 側、或いは第 1 の半導体チップ 2 側をファーストボンディング、バンプ 3 b 側をセカンドボンディングとし、セカンドボンディングはバンプ 3 b に対して行う。

【0045】

次に、図 2 2 に示すように、複数の第 1 の半導体チップ 2、複数の第 2 の半導体チップ 3、複数のワイヤ 5、およびリードフレーム 1 のリード 1 a やタブ 1 e をモールド金型 1 0 で覆い、このキャビティ 1 0 c に封止樹脂を充填させるモールドを行う。これによって、図 2 3 に示すように、樹脂封止体 4 が形成される。

【0046】

ここでのモールド金型 1 0 は、図 2 2 に示すように、複数の装置領域であるデバイス領域 1 k 毎にキャビティが分割された形状をしており、実施の形態 1 の一括モールドとは異なる。

【0047】

次に、図 2 3 に示すように、樹脂封止体 4 の裏面 4 a に露出した各リード 1 a の外部接続用端子部 1 b の表面に半田によるメッキ膜 7 を例えば電解メッキ法で形成する。

【0048】

次に、図 2 4 に示すように、複数の装置領域であるデバイス領域 1 k 以外のリードフレーム 1 を切断刃 1 3 により切断して図 2 5 に示すような個片化を行う。

【0049】

図 2 6 は個片化により完成した半導体装置 6 の実装基板 1 1 への実装状態の構造を示す一例である。実装基板 1 1 の一面には、前記半導体装置 6 の外部接続端子となるリード 1 b やタブ吊りリード 1 g に対応して、ランド（最上層配線）1 1 a が設けられている。そして、これらランド 1 1 a 上に半導体装置 6 の外部接続端子となるリード 1 b やタブ吊りリード 1 g が重ねられ、かつ半田等による接合材 1 2 を介して電氣的に接続されている。

【0050】

本実施形態 2 においては、信頼性を考慮して、タブ裏面はパッケージ内に存在する構成としている。また、信頼性および搭載チップサイズの汎用性を考慮して、タブはチップより小さくした。このため、半導体装置 6 の外部接続端子となるリード 1 b やタブ吊りリード 1 g の一部を除いた領域は封止樹脂で覆われている。

【0051】

これにより、図 2 6 に示すように、半導体装置 6 を実装する実装基板 1 1 において、外部接続端子となるリード 1 b やタブ吊りリード 1 g の一部を除いた領域の下領域にも最上層配線 1 1 a（実装用ランドと同層の配線）を形成することができ、実装性の向上を図ることができる。

【0052】

つまり、実施の形態 1 で説明した半導体装置 6 の場合、実装基板 1 1 においてタブ 1 e の下に最上層配線 1 1 a（特に信号配線）を配置すると、タブ 1 e を介して第 1 の半導体チップ 2 が配線からのノイズを拾ってしまうため、タブ 1 e の下に実装基板 1 1 の最上層配線 1 1 a を配置するのが困難である。

【0053】

したがって、本実施の形態 2 の半導体装置 6 によれば、タブ 1 e の裏面（実装面側）に絶縁性の封止樹脂が存在するため、タブ 1 e の裏面の絶縁を確保でき、実装基板 1 1 の最上層配線 1 1 a からのノイズの影響を軽減できる。これにより、図 2 6 に示すように、第 1 の半導体チップ 2 およびタブ 1 e の直下でも実装基板 1 1 に信号配線等の最上層配線 1 1 a を配置することができる。

10

20

30

40

50

【0054】

その結果、実装基板11において配線密度を高めることができ、実装基板11の小型化を図ることができる。ここで実装基板11には、内部配線11bが形成され、この内部配線11bはビアホール配線11cを介して最上層配線11aと接続されており、さらに、半田12を介して半導体装置6のリード1aが最上層配線11aと接続されている。また、最上層配線11aは、ソルダレジスト膜11dによってその一部が覆われている。

【0055】

(実施の形態3)

図27は本発明の実施の形態3の半導体装置の構造の一例を示す断面図、図28は図27に示す半導体装置6の構造を示す平面図である。

10

【0056】

図27～図28に示す半導体装置は、樹脂封止型で、かつリードフレームを用いた面実装型の半導体パッケージであり、本実施の形態3ではこの半導体装置の一例として、半導体装置6を取上げて説明する。

【0057】

半導体装置6は、図27に示すように、第1の半導体チップ2は、枠状のタブ1e(チップ搭載部)の一面に例えば、シリコンゴムや絶縁シート等を介して回路形成面である第1の面で支持され、その第1の面に第2の半導体チップ3が、例えば、シリコンゴムや絶縁シート等の絶縁性ダイボンド材8bを介して第1の面と反対側の第2の面で積層搭載されており、金線等の導電性ワイヤ5によりそれぞれの半導体チップの複数の電極パッド2aおよび3aと複数のリード1aとがそれぞれ結線されている。

20

【0058】

この際、第2の半導体チップ3は、枠状のタブ1eの開口部に配置させる。さらに、第1の半導体チップ2の電極パッドは枠状のタブ1eの外側に配置させるため、導電性ワイヤ5によりそれぞれの半導体チップの複数の電極パッド2aおよび3aと複数のリード1aおよび枠状のタブ1eの結線が容易にできる。

【0059】

第2の半導体チップ3の電極パッド3aには、予め金等からなるバンプを例えばワイヤバンプを形成する要領で形成しておき、ワイヤボンディングはリード1a側、或いは第1の半導体チップ2側を先にワイヤ5に形成した金ボール(先端)を用いてボンディングし(以下ファーストボンディング)、その後、バンプ3bにワイヤ5のテール(末端)をボンディング(以下セカンドボンディング)することによりバンプ3b上のワイヤ5の角度がほぼ水平になるため、ワイヤの高さを低く抑えることができ、半導体チップを積層した場合でも半導体装置6の薄型化を図ることができる。

30

【0060】

第1の半導体チップ2側はファーストボンディング、リード1a側はセカンドボンディングにより接続されており、更に第1の半導体チップ2とタブ吊りリード1gも同様にワイヤボンディングされており、タブ吊りリード1gの一部が実装面から露出しており、タブ1eは樹脂封止体4に内蔵されている。

【0061】

なお、本実施の形態3は、枠状のタブ1eの一面に第1の半導体チップ2を配置し、第2の半導体チップ3を枠状のタブ1eの開口部に配置するため、それぞれの半導体チップ搭載後の高さにおいて、タブ1eの厚みに影響を受けることなく、半導体装置6の薄型化を図ることができる。

40

【0062】

次に、本実施の形態3の半導体装置6の製造方法について説明する。

【0063】

基本的な製造方法は実施の形態2と同様であるが、以下の点が異なる。

【0064】

ここで使用するリードフレームは、実施の形態2の図17に示したものと基本的に同様

50

であるが、図 28 に示すように、タブ 1 e の内側をくり抜いており、枠状となっている点である。

【0065】

(1) さらに、ダイボンディング工程においては、図 27 に示すように、タブ 1 e の一面に第 1 の半導体チップ 2 を支持するため、例えば、シリコンゴムや絶縁性シート等 8b をタブ 1 e の裏面に予め貼り付けておき、第 1 の半導体チップ 2 とタブ 1 e を位置合わせ後、接着する。

【0066】

(2) 次に、第 1 の半導体チップ 2 の回路形成面である第 1 の面に第 2 の半導体チップ 3 を、例えば、絶縁性のシリコンゴムや絶縁性シート等の絶縁性ダイボンダ材 8b を介して支持する。なお、(1) に先がけて、(2) を実施し、その後 (1) を実施してもよい。

10

【0067】

次に、図 27 に示すように、金線等の導電性ワイヤ 5 により、第 1 の半導体チップ 2 の複数の電極パッド 2 a と複数のリード 1 a、或いはタブ 1 e とを或いは第 2 の半導体チップ 3 のいくつかの電極パッド 3 a とを接続する。更に、第 2 の半導体チップ 3 の複数の電極パッド 3 a と複数の複数のリード 1 a とを、或いはタブ 1 e とを接続する。この場合、第 2 の半導体チップ 3 の電極パッド 3 a には、予め金等からなるバンプを例えばワイヤバンプを形成する要領で形成しておく。ワイヤボンディングはリード側 1 a、或いは第 1 の半導体チップ側 2 をファーストボンディング、バンプ側をセカンドボンディングとし、セカンドボンディングはバンプに対して行う。

20

【0068】

以後、モールド工程～切断工程における製造方法及び実装方法については、実施の形態 2 と同様である。

【0069】

図 29～図 30 に示す半導体装置は、実施の形態 3 における変形例を示したもので、第 2 の半導体チップ 3 の第 2 の面が半導体装置 6 の実装面 4 a に露出した構成である。図 29 は実施の形態 3 における変形例を示す断面図、図 29 の平面図は図 28 と同様、図 30 は図 29 の半導体装置の構造を示す底面図（実装面）である。本構成を用いた場合、他の実施の形態と比較し最も半導体装置の薄型化を図ることが可能となる。

【0070】

30

(実施の形態 4)

図 31 は本発明の実施の形態 4 の半導体装置の構造の一例を示す断面図、図 32 は図 31 に示す半導体装置 6 の構造を示す平面図である。

【0071】

図 31～図 33 に示す半導体装置は、樹脂封止型で、かつ面実装型のリードフレームを用いた半導体パッケージであり、本実施の形態 4 ではこの半導体装置の一例として、半導体装置 6 を取上げて説明する。

【0072】

半導体装置 6 は、図 31 に示すように、タブ 1 e の一方の面に第 1 の半導体チップ 2 が、例えば、絶縁性のシリコンゴムや絶縁シート等 8b を介して支持され、タブ 1 e の他方の面に第 2 の半導体チップ 3 が、例えば、銀ペーストや接着フィルムのような導電性ダイボンダ材 8a を介して積層搭載されており、金線等の導電性ワイヤ 5 によりそれぞれの半導体チップの複数の電極パッド 2 a および 3 a と複数の複数のリード 1 a とがそれぞれ結線されている。

40

【0073】

この際、第 2 の半導体チップ 3 は、タブ 1 e の内側に有り、さらに、第 1 の半導体チップ 2 周縁部の電極パッドはタブ 1 e の外側に有るため、導電性ワイヤ 5 によりそれぞれの半導体チップの複数の電極と複数の複数のリード 1 a およびタブ 1 e の結線が容易にできる。

【0074】

50

第2の半導体チップ3の複数の電極パッド3aと複数の複数のリード1aとを、或いはタブ1eとを接続する。この場合、第2の半導体チップ3の電極パッド3aには、予め金等からなるバンプを例えばワイヤバンプを形成する要領で形成しておく。ワイヤボンディングはリード1a側、或いは第1の半導体チップ2側を先にワイヤ5に形成した金ボール（先端）を用いてボンディングし（以下ファーストボンディング）、その後、バンプ3bにワイヤ5のテール（末端）をボンディング（以下セカンドボンディング）することによりバンプ3b上のワイヤ5の角度がほぼ水平になるため、ワイヤの高さを低く抑えることができ、半導体チップを積層した場合でも半導体装置6の薄型化を図ることができる。

【0075】

10

第1の半導体チップ2側はファーストボンディング、リード1a側はセカンドボンディングにより接続されており、更に第1の半導体チップ2とタブ吊りリード1gも同様にワイヤボンディングされており、タブ吊りリード1gの一部が実装面から露出しており、第1の半導体チップ2は樹脂封止体4に内蔵されている。

【0076】

次に、本実施の形態4の半導体装置6の製造方法について説明する。

【0077】

基本的な製造方法は実施の形態2と同様であるが、以下の点が異なる。

【0078】

（1）ダイボンディング工程においては、図31に示すように、タブ1eの一面に第1の半導体チップ2を支持するため、例えば、シリコーンゴムや絶縁性の熱硬化性接着テープ等をタブ1eの一方の面に予め貼り付けておき、第1の半導体チップ2とタブ1eを位置合わせ後、接着する。

20

【0079】

（2）次に、タブ1eの他方の面に第2の半導体チップ3を、例えば、銀ペーストや接着フィルムのような導電性ダイボンダ材8aを介して支持する。なお、（1）に先がけて、（2）を実施し、その後（1）を実施してもよい。

【0080】

次に、図31に示すように、金線等の導電性ワイヤ5により、第1の半導体チップ2の複数の電極パッド2aと複数のリードフレーム1d、或いはタブ1eとを或いは第2の半導体チップ3のいくつかの電極パッド3aとを接続する。更に、第2の半導体チップ3の複数の電極パッド3aと複数のリード1aとを、或いはタブ1eとを接続する。この場合、第2の半導体チップ3の電極パッド3aには、予め金等からなるバンプを例えばワイヤバンプを形成する要領で形成しておく。ワイヤボンディングはリード側1a、或いは第1の半導体チップ側2をファーストボンディング、バンプ側をセカンドボンディングとし、セカンドボンディングはバンプに対して行う。

30

【0081】

以後、モールド工程～切断工程の製造方法及び実装方法については、実施の形態2と同様である。

【0082】

40

図33に示す半導体装置は、実施の形態4における変形例を示したもので、第2の半導体チップ3の第2の面が半導体装置6の実装面4aに露出した構成である。図33は実施の形態4における変形例を示す断面図、図33の平面図は図32と同様、図33の半導体装置の構造を示す底面図（実装面）は図30と同様である。

【0083】

次に、前記発明の実施の形態におけるワイヤボンディングレイアウトの変形例を図34～図37に示す。図34は半導体装置における第1の半導体チップ2にマイコン、第2の半導体チップ3にSRAMを積層した場合の半導体装置の平面図、図35は外部接続端子が2辺配置の半導体装置における一例を示しており、第1の半導体チップ2にフラッシュマイコン、第2の半導体チップ3にDRAMを積層した場合の半導体装置の平面図、図3

50

6は半導体装置における第1の半導体チップ2にフラッシュマイコン、第2の半導体チップ3にDRAMを積層した場合の半導体装置の平面図、図37は半導体装置における第1の半導体チップ2にマイコン、第2、第3の半導体チップにSRAMを2ヶ積層した場合の半導体装置の平面図を示したものである。

【0084】

図38～39はマルチチップモジュールに前記発明の実施の形態を実装した状態を示しており、図38はその構造の一例を示した断面図、図39はその構造の一例を示した平面図である。フリップチップと共に基板上に実装されており、基板上での実装面積の縮小、かつ実装高さ低減を図ることができる。

【0085】

以上、発明の実施の形態に基づき具体的に説明したが、本発明は上記の実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0086】

例えば、前記発明の実施の形態では、主に外部接続端子が4辺配置の半導体装置の製造に関して本発明を適用した例について説明してきたが、例えば外部接続端子が2辺配置の半導体装置の製造に関して本発明を同様に適用でき、同様の効果を得ることができる。

【図面の簡単な説明】

【0087】

【図1】本発明の実施の形態1の半導体装置の構造の一例を示す断面図である。

【図2】図1に示す半導体装置の構造を示す平面図である。

【図3】図1に示す半導体装置の構造を示す底面図（実装面）である。

【図4】図1に示す半導体装置の組立に用いられるリードフレームの構造の一例を示す平面図である。

【図5】図4に示すリードフレームの構造の一例を示す断面図である。

【図6】図1に示す半導体装置の組立における第1の半導体チップのダイボンディング後の構造の一例を示す断面図である。

【図7】図1に示す半導体装置の組立における第2の半導体チップのダイボンディング後の構造の一例を示す断面図である。

【図8】図1に示す半導体装置の組立におけるワイヤボンディング後の構造の一例を示す断面図である。

【図9】図1に示す半導体装置の組立におけるモールド状態の構造の一例を示す断面図である。

【図10】図1に示す半導体装置の組立における外装めっき状態の構造の一例を示す断面図である。

【図11】図1に示す半導体装置の組立におけるダイシング状態の構造の一例を示す断面図である。

【図12】図1に示す半導体装置の組立におけるダイシング後の構造の一例を示す断面図である。

【図13】図1に示す半導体装置の実装における基板実装後の構造の一例を示す断面図である。

【図14】本発明の実施の形態2の半導体装置の構造の一例を示す断面図である。

【図15】図14に示す半導体装置の構造を示す平面図

【図16】図14に示す半導体装置の構造を示す底面図（実装面）

【図17】図14に示す半導体装置の組立に用いられるリードフレームの構造の一例を示す平面図である。

【図18】図17に示すリードフレームの構造の一例を示す断面図である。

【図19】図14に示す半導体装置の組立における第1の半導体チップのダイボンディング後の構造の一例を示す断面図である。

【図20】図14に示す半導体装置の組立における第2の半導体チップのダイボンディン

10

20

30

40

50

グ後の構造の一例を示す断面図である。

【図 2 1】図 1 4 に示す半導体装置の組立におけるワイヤボンディング後の構造の一例を示す断面図である。

【図 2 2】図 1 4 に示す半導体装置の組立におけるモールド状態の構造の一例を示す断面図である。

【図 2 3】図 1 4 に示す半導体装置の組立における外装めっき状態の構造の一例を示す断面図である。

【図 2 4】図 1 4 に示す半導体装置の組立におけるリード切断状態の構造の一例を示す断面図である。

【図 2 5】図 1 4 に示す半導体装置の組立におけるリード切断後の構造の一例を示す断面図である。 10

【図 2 6】図 1 4 に示す半導体装置の実装における基板実装後の構造の一例を示す断面図である。

【図 2 7】本発明の実施の形態 3 の半導体装置の構造の一例を示す断面図である。

【図 2 8】図 2 7 に示す実施の形態 3 の半導体装置の構造を示す平面図である。

【図 2 9】実施の形態 3 における変形例を示す断面図である。

【図 3 0】図 2 9 の半導体装置の構造を示す底面図（実装面）である。

【図 3 1】本発明の実施の形態 4 の半導体装置の構造の一例を示す断面図である。

【図 3 2】図 3 1 に示す実施の形態 4 の半導体装置の構造を示す平面図である。

【図 3 3】図 3 1 に示す実施の形態 4 における変形例を示す断面図である。 20

【図 3 4】半導体装置における第 1 の半導体チップ 2 にマイコン、第 2 の半導体チップ 3 に S R A M を積層した場合の半導体装置の平面図である。

【図 3 5】外部接続端子が 2 辺配置の半導体装置における一例を示しており、第 1 の半導体チップ 2 にフラッシュマイコン、第 2 の半導体チップ 3 に D R A M を積層した場合の半導体装置の平面図である。

【図 3 6】半導体装置における第 1 の半導体チップ 2 にフラッシュマイコン、第 2 の半導体チップ 3 に D R A M を積層した場合の半導体装置の平面図である。

【図 3 7】半導体装置における第 1 の半導体チップ 2 にマイコン、第 2、第 3 の半導体チップに S R A M を 2 ケ積層した場合の半導体装置の平面図である。

【図 3 8】マルチチップモジュールに半導体装置を実装した状態の断面図である。 30

【図 3 9】マルチチップモジュールに半導体装置を実装した状態の平面図である。

【図 4 0】従来の半導体装置型半導体装置の構造の一例を示す断面図である。

【図 4 1】図 3 9 に示す半導体装置の構造を示す平面図である。

【符号の説明】

【0 0 8 8】

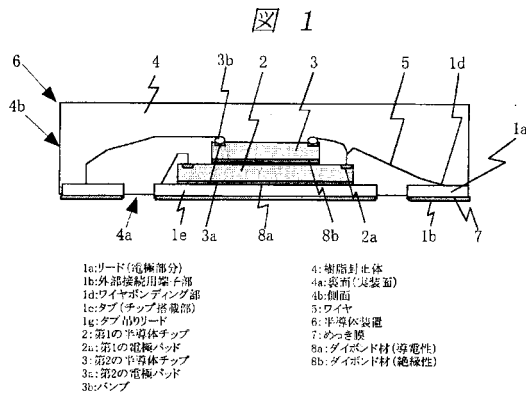
- 1 リードフレーム
- 1 a リード（電極部分）
- 1 b 外部接続用端子部
- 1 d ボンディング部
- 1 e タブ（チップ搭載部）
- 1 g タブ吊りリード
- 1 h 外枠部（第 1 の枠部）
- 1 j 内枠部（第 2 の枠部）
- 1 k デバイス領域（装置領域）
- 2 第 1 の半導体チップ
- 2 a 第 1 の電極パッド
- 3 第 2 の半導体チップ
- 3 a 第 2 の電極パッド
- 3 b パンプ
- 4 樹脂封止体

- 4 a 裏面（実装面）
- 4 b 側面
- 5 ワイヤ
- 6 半導体装置
- 7 めっき膜
- 8 a ダイボンド材（導電性）
- 8 b ダイボンド材（絶縁性）
- 9 ダイシングブレード
- 10 モールド金型
- 10 a 上型
- 10 b 下型
- 10 c キャビティ
- 11 実装基板
- 11 a ランドおよび最上層配線
- 11 b ビアホール
- 11 c ビアホール配線
- 12 半田（接合材）
- 13 切断刃（カッター）
- 14 フリップチップ
- 15 マルチチップモジュール基板。

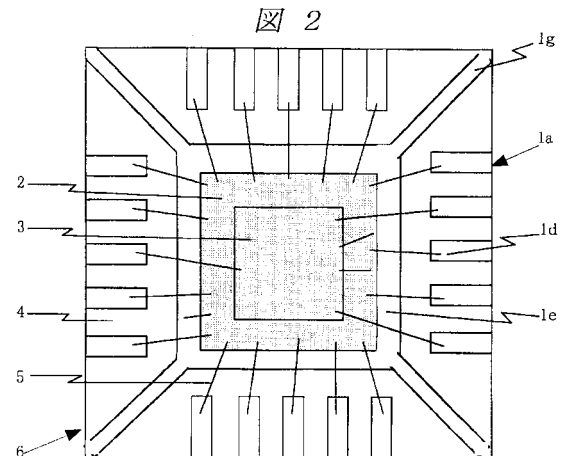
10

20

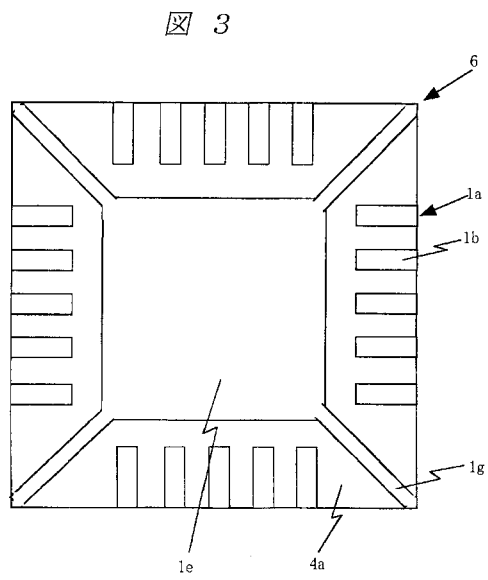
【図 1】



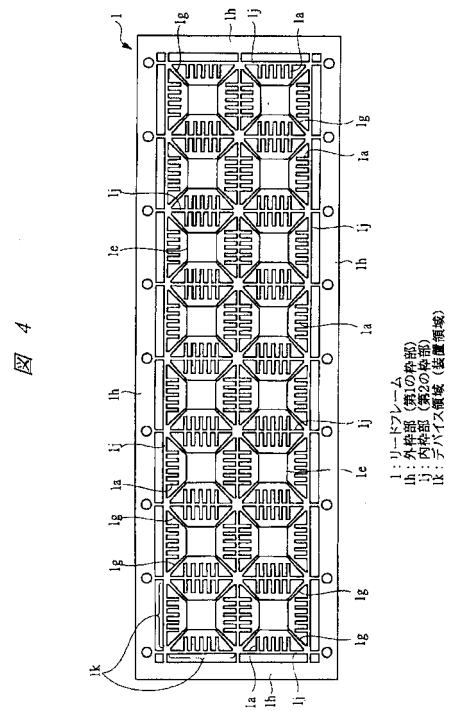
【図 2】



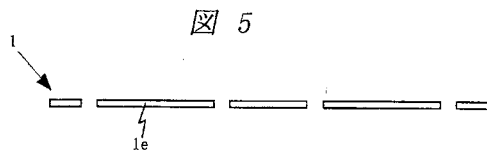
【図 3】



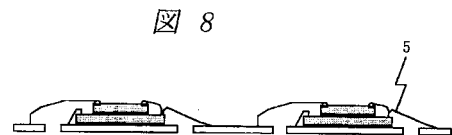
【図 4】



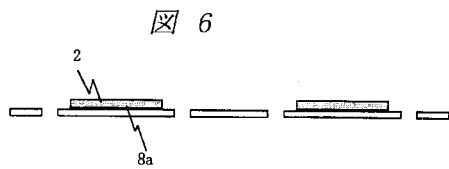
【図 5】



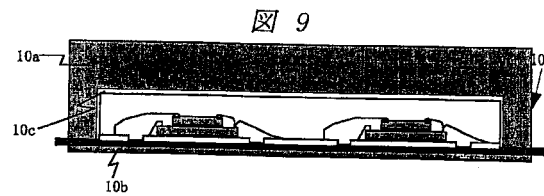
【図 8】



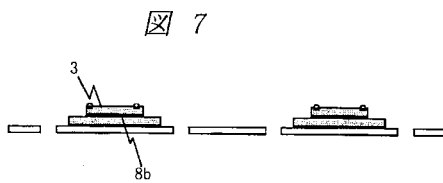
【図 6】



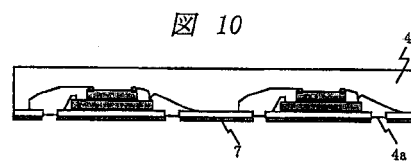
【図 9】



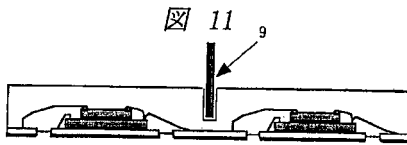
【図 7】



【図 10】



【図 1 1】



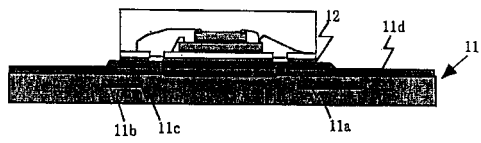
【図 1 2】

図 12



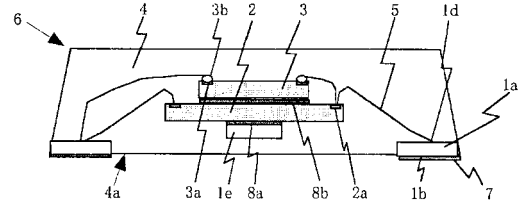
【図 1 3】

図 13



【図 1 4】

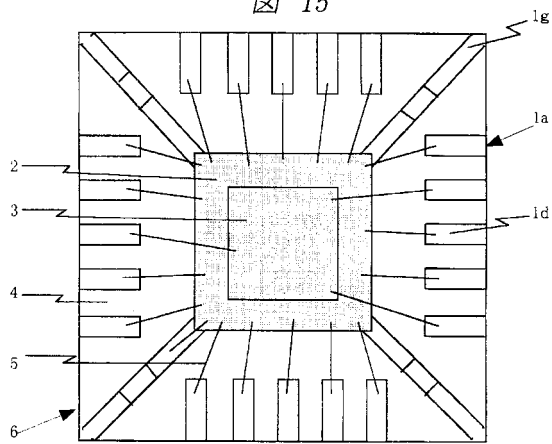
図 14



- 1a: リード(電極部分)
 1b: 外部接続用端子部
 1d: ワイヤボンディング部
 1e: タブ(チップ搭載部)
 1g: タブ/シリコン
 2: 第1の半導体チップ
 2a: 第1の電極パッド
 3: 第2の半導体チップ
 3a: 第2の電極パッド
 3b: パッド
 4: 樹脂封止体
 4a: 裏面(裏装面)
 5: ワイヤ
 6: 半導体装置
 7: めっき膜
 8a: ダイボンド材(導電性)
 8b: ダイボンド材(絶縁性)

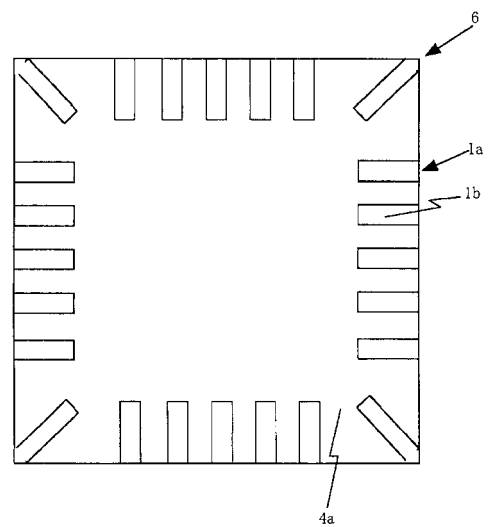
【図 1 5】

図 15

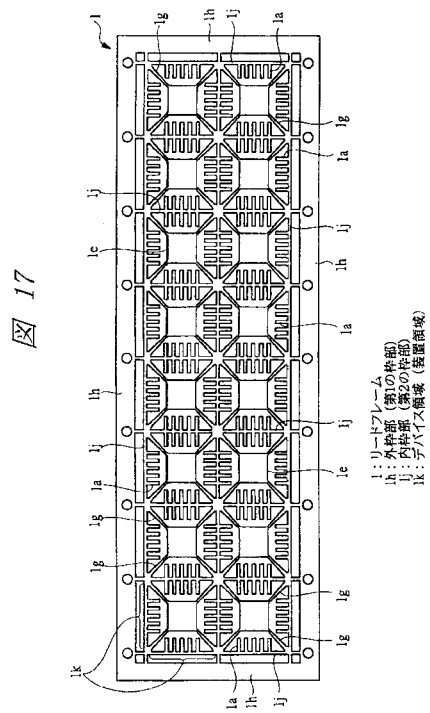


【図 1 6】

図 16



【図 17】



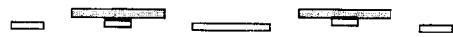
【図 18】

図 18



【図 19】

図 19



【図 20】

図 20



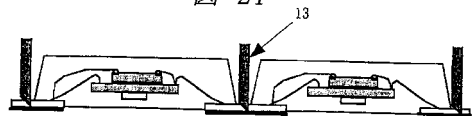
【図 21】

図 21



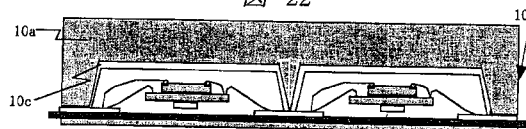
【図 24】

図 24



【図 22】

図 22



【図 25】

図 25



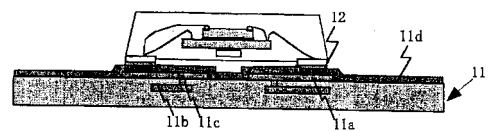
【図 23】

図 23

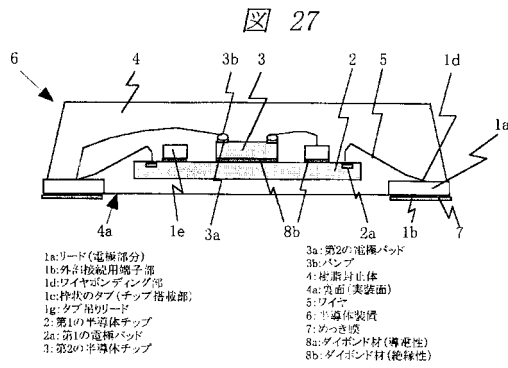


【図 26】

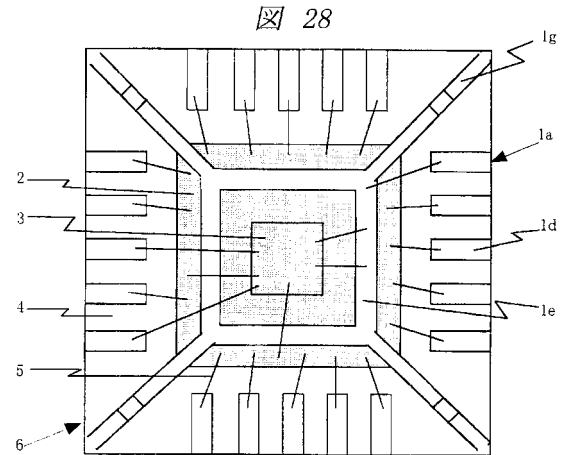
図 26



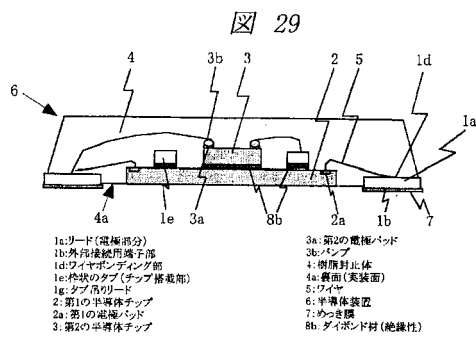
【図 27】



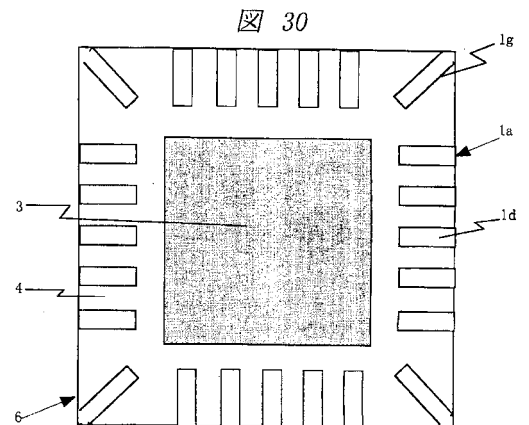
【図 28】



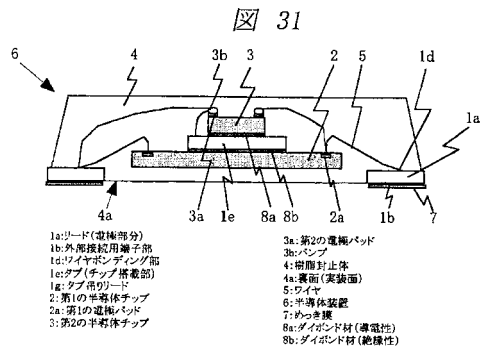
【図 29】



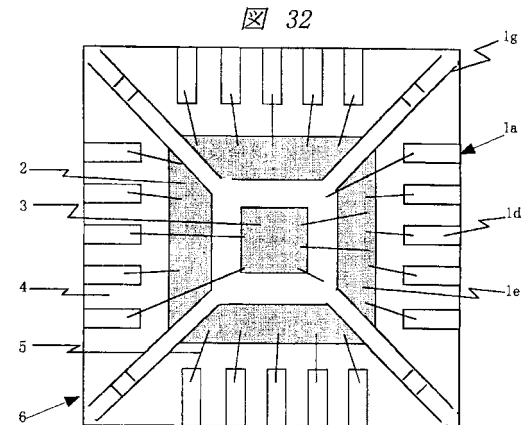
【図 30】



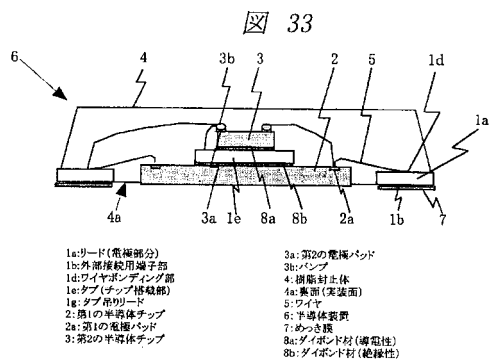
【図 3 1】



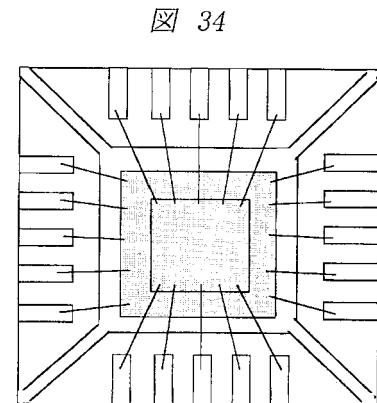
【図 3 2】



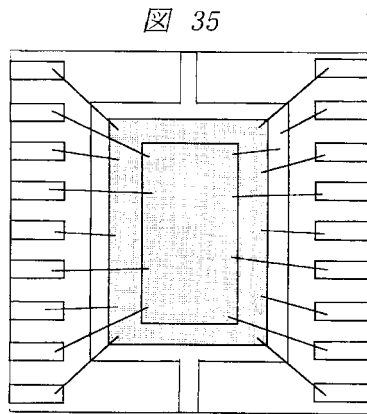
【図 3 3】



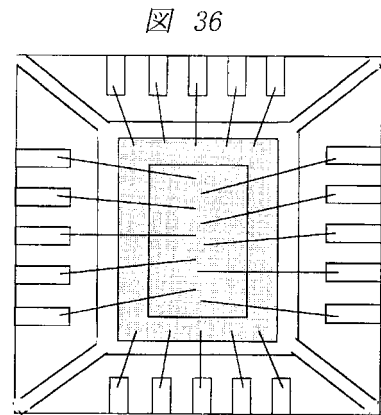
【図 3 4】



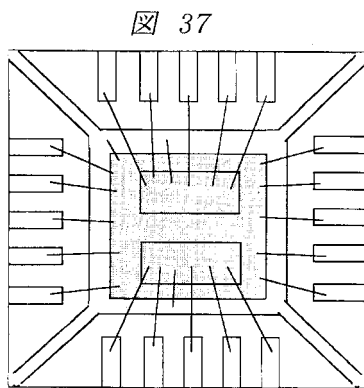
【図 3 5】



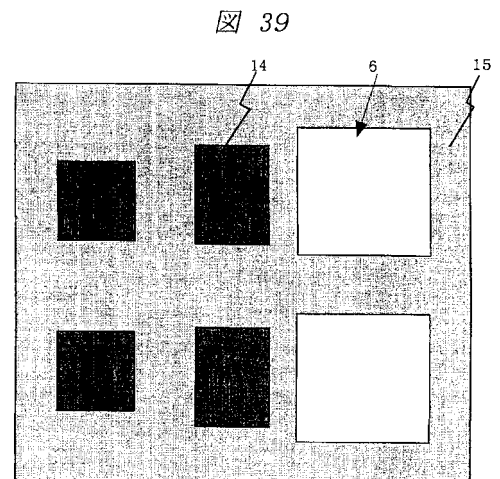
【図 3 6】



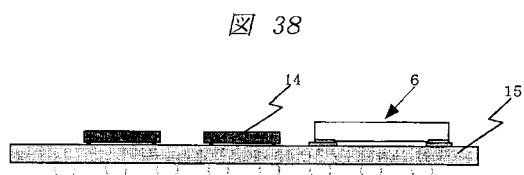
【図 3 7】



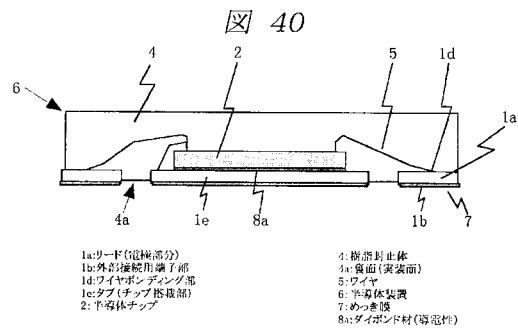
【図 3 9】



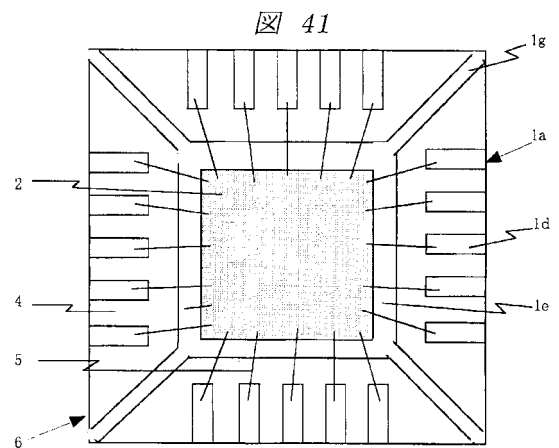
【図 3 8】



【図 40】



【図 41】



フロントページの続き

(72)発明者 坂本 満

北海道亀田郡七飯町字中島 1 4 5 番地 日立北海セミコンダクタ株式会社内

(72)発明者 浅利 直史

北海道亀田郡七飯町字中島 1 4 5 番地 日立北海セミコンダクタ株式会社内

Fターム(参考) 5F044 AA12