



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2025년05월22일

(11) 등록번호 10-2810959

(24) 등록일자 2025년05월16일

(51) 국제특허분류(Int. Cl.)

H10D 48/00 (2025.01) H10D 30/67 (2025.01)

H10D 62/40 (2025.01) H10D 64/62 (2025.01)

(52) CPC특허분류

H10D 99/00 (2025.01)

H10D 30/675 (2025.01)

(21) 출원번호 10-2023-0180662

(22) 출원일자 2023년12월13일

심사청구일자 2023년12월13일

(56) 선행기술조사문헌

KR1020210121948 A

KR1020210097552 A

KR1020200131391 A\*

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

울산과학기술원

울산광역시 울주군 언양읍 유니스트길 50

(72) 발명자

권순용

울산광역시 울주군 언양읍 유니스트길 50

송승욱

울산광역시 울주군 언양읍 유니스트길 50

장소라

울산광역시 울주군 언양읍 유니스트길 50

(74) 대리인

전용준

전체 청구항 수 : 총 19 항

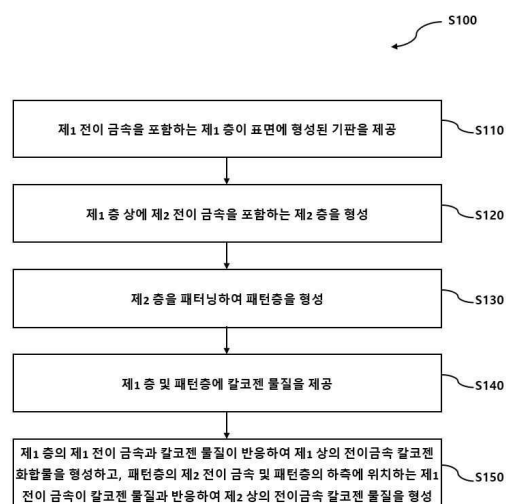
심사관 : 김상희

(54) 발명의 명칭 전이금속 칼코젠 화합물 기반 수평형 집합 반도체 소자 및 그 제조방법

## (57) 요약

본 발명은, 접촉 저항을 감소시켜 반도체 소자의 성능을 향상시킬 수 있는, 전이금속 칼코젠 화합물 기반 수평형 집합 반도체 소자 및 그 제조방법을 제공한다. 본 발명의 일실시예에 따른 전이금속 칼코젠 화합물 기반 수평형 집합 반도체 소자의 제조방법은, 제1 전이금속을 포함하는 제1 층이 표면에 형성된 기판을 제공하는 단계; 상기 제1 층 상에 제2 전이금속을 포함하는 제2 층을 형성하는 단계; 상기 제2 층을 패터닝하여 패터층을 형성하는 단계; 상기 제1 층 및 상기 패터층에 칼코젠 물질을 제공하는 단계; 및 상기 제1 층의 상기 제1 전이금속과 상기 칼코젠 물질이 반응하여 제1 상의 전이금속 칼코젠 화합물을 형성하고, 상기 패터층의 상기 제2 전이금속과 상기 칼코젠 물질이 반응하여 제2 상의 전이금속 칼코젠 화합물을 형성하는 단계를 포함한다.

## 대표도 - 도1



(52) CPC특허분류

**H10D 62/40** (2025.01)

**H10D 64/62** (2025.01)

이 발명을 지원한 국가연구개발사업

|             |                                             |
|-------------|---------------------------------------------|
| 과제고유번호      | 1711184337                                  |
| 과제번호        | 2017M3A7B8065377                            |
| 부처명         | 과학기술정보통신부                                   |
| 과제관리(전문)기관명 | 한국연구재단                                      |
| 연구사업명       | 나노소재기술개발                                    |
| 연구과제명       | 초저전력 유연전자소자용 초미세 인터커넥트를 위한 일차원 전이금속 칼코젠 나노단 |
| 결정 합성연구     |                                             |
| 기 여 율       | 1/1                                         |
| 과제수행기관명     | 울산과학기술원                                     |
| 연구기간        | 2023.01.01 ~ 2023.06.30                     |
| 공지예외적용      | : 있음                                        |

---

## 명세서

### 청구범위

#### 청구항 1

제1 전이금속을 포함하는 제1 층이 표면에 형성된 기판을 제공하는 단계;

상기 제1 층 상에 제2 전이금속을 포함하는 제2 층을 형성하는 단계;

상기 제2 층을 패터닝하여 패터층을 형성하는 단계;

상기 제1 층 및 상기 패터층에 칼코젠 물질을 제공하는 단계; 및

상기 제1 층의 상기 제1 전이금속과 상기 칼코젠 물질이 반응하여 제1 상의 전이금속 칼코젠 화합물을 형성하고, 상기 패터층의 상기 제2 전이금속 및 상기 패터층의 하층에 위치하는 상기 제1 전이금속이 상기 칼코젠 물질과 반응하여 제2 상의 전이금속 칼코젠 화합물을 형성하는 단계를 포함하는,

전이금속 칼코젠 화합물 기반 수평형 접합 반도체 소자의 제조방법.

#### 청구항 2

청구항 1에 있어서,

상기 제1 상의 전이금속 칼코젠 화합물 및 상기 제2 상의 전이금속 칼코젠 화합물은 동시에 형성되는,

전이금속 칼코젠 화합물 기반 수평형 접합 반도체 소자의 제조방법.

#### 청구항 3

청구항 1에 있어서,

상기 제1 상의 전이금속 칼코젠 화합물은 2H 상(2H phase)으로 배열된 결정구조를 가지고,

상기 제2 상의 전이금속 칼코젠 화합물은 1T 상(1T phase) 또는 1T' 상(1T' phase)으로 배열된 결정구조를 가지는,

전이금속 칼코젠 화합물 기반 수평형 접합 반도체 소자의 제조방법.

#### 청구항 4

청구항 1에 있어서,

상기 제1 상의 전이금속 칼코젠 화합물은 2H  $\text{MoTe}_2$  을 포함하고,

상기 제2 상의 전이금속 칼코젠 화합물은 1T'  $\text{W}_x\text{Mo}_{1-x}\text{Te}_2$  (여기에서,  $0 < x < 1$ )을 포함하는,

전이금속 칼코젠 화합물 기반 수평형 접합 반도체 소자의 제조방법.

#### 청구항 5

청구항 1에 있어서,

상기 제1 상의 전이금속 칼코젠 화합물은 반도체 특성을 가지고,

상기 제2 상의 전이금속 칼코젠 화합물은 금속 특성 또는 반금속 특성을 가지는,

전이금속 칼코젠 화합물 기반 수평형 접합 반도체 소자의 제조방법.

#### 청구항 6

청구항 1에 있어서,

상기 제1 층은, 스퍼터링 또는 전자빔 증발법을 이용하여 상기 기판의 표면 상에 상기 제1 전이금속을 포함하도

록 형성되고,

상기 제2 층은, 스퍼터링 또는 전자빔 증발법을 이용하여 상기 제1 층의 표면 상에 상기 제2 전이금속을 포함하도록 형성되는,

전이금속 칼코젠 화합물 기반 수평형 접합 반도체 소자의 제조방법.

#### 청구항 7

청구항 1에 있어서,

상기 기판은, 실리콘 상에 실리콘 절연층이 형성되어 구성되거나, 육각형 질화붕소(h-BN) 또는 운모(mica)를 포함하여 구성되거나, 또는 층상형 기판으로 구성된,

전이금속 칼코젠 화합물 기반 수평형 접합 반도체 소자의 제조방법.

#### 청구항 8

청구항 1에 있어서,

상기 제1 전이금속 및 상기 제2 전이금속 각각은,

몰리브덴(Mo), 텅스텐(W), 티타늄(Ti), 바나듐(V), 크롬(Cr), 코발트(Co), 니켈(Ni), 구리(Cu), 아연(Zn), 이트륨(Y), 지르코늄(Zr), 니오븀(Nb), 테크네튬(Tc), 루테튬(Ru), 로듐(Rh), 팔라듐(Pd), 은(Ag), 및 카드뮴(Cd) 중 적어도 어느 하나를 포함하는,

전이금속 칼코젠 화합물 기반 수평형 접합 반도체 소자의 제조방법.

#### 청구항 9

청구항 1에 있어서,

상기 칼코젠 물질은, 황(S), 셀레늄(Se) 및 텔루륨(Te) 중 적어도 어느 하나를 포함하는,

전이금속 칼코젠 화합물 기반 수평형 접합 반도체 소자의 제조방법.

#### 청구항 10

청구항 1에 있어서,

상기 칼코젠 물질을 제공하는 단계는,

상기 칼코젠 물질을 고상 상태, 액상 상태, 기상 상태, 또는 이들의 혼합 상태로 제공하여 이루어지는,

전이금속 칼코젠 화합물 기반 수평형 접합 반도체 소자의 제조방법.

#### 청구항 11

청구항 1에 있어서,

상기 칼코젠 물질을 제공하는 단계는,

전이금속과 상기 칼코젠 물질의 공정 합금을 제공하여 이루어지는,

전이금속 칼코젠 화합물 기반 수평형 접합 반도체 소자의 제조방법.

#### 청구항 12

청구항 1에 있어서,

상기 칼코젠 물질을 제공하는 단계는,

예비 기판 상에 제3 전이금속을 포함하는 예비 금속층을 표면에 형성하는 단계; 및

상기 예비 금속층에 상기 칼코젠 물질을 제공하여 가열함에 따라 상기 제3 전이금속이 예비 칼코제나이드화되어 형성된 상기 제3 전이금속과 칼코젠 물질의 화합물층을 형성하는 단계; 및

상기 화합물층을 제공하는 단계를 포함하는,  
전이금속 칼코젠 화합물 기반 수평형 접합 반도체 소자의 제조방법.

### 청구항 13

청구항 12에 있어서,  
상기 예비 칼코제나이드화는, 400℃ 내지 600℃ 범위의 온도에서 1분 내지 60분 동안 수행되는,  
전이금속 칼코젠 화합물 기반 수평형 접합 반도체 소자의 제조방법.

### 청구항 14

청구항 12에 있어서,  
상기 제3 전이금속은, 스칸듐(Sc), 티타늄(Ti), 마나뒀(V), 크롬(Cr), 망간(Mn), 철(Fe), 코발트(Co), 니켈(Ni), 구리(Cu), 아연(Zn), 이트륨(Y), 지르코늄(Zr), 니오븀(Nb), 몰리브덴(Mo), 테크네튬(Tc), 루테튬(Ru), 로듐(Rh), 팔라듐(Pd), 은(Ag), 및 카드뮴(Cd) 중 적어도 어느 하나를 포함하는,  
전이금속 칼코젠 화합물 기반 수평형 접합 반도체 소자의 제조방법.

### 청구항 15

청구항 1에 있어서,  
상기 제1 상의 전이금속 칼코젠 화합물은, 상기 칼코젠 물질을 상기 제1 층과 대면하도록 배치한 후, 상기 칼코젠 물질을 가열함에 의하여 상기 칼코젠 물질이 기상화되어 상기 제1 전이금속과 반응하여 형성되고,  
상기 제2 상의 전이금속 칼코젠 화합물은, 상기 칼코젠 물질을 상기 패터층과 대면하도록 배치한 후, 상기 칼코젠 물질을 가열함에 의하여 상기 칼코젠 물질이 기상화되어 상기 제2 전이금속 및 상기 패터층의 하측에 위치하는 상기 제1 층의 상기 제1 전이금속과 반응하여 형성되는,  
전이금속 칼코젠 화합물 기반 수평형 접합 반도체 소자의 제조방법.

### 청구항 16

청구항 1에 있어서,  
상기 제1 상 및 상기 제2 상의 전이금속 칼코젠 화합물을 형성하는 단계는,  
600℃ 내지 750℃ 미만 범위의 온도에서 1분 내지 4 시간 범위 동안 수행하는,  
전이금속 칼코젠 화합물 기반 수평형 접합 반도체 소자의 제조방법.

### 청구항 17

청구항 1에 있어서,  
상기 제2 층을 형성하는 단계를 수행하기 전에, 또는 상기 제2 층을 형성하는 단계를 수행한 후에,  
상기 제1 층을 패터닝하는 단계를 더 포함하는,  
전이금속 칼코젠 화합물 기반 수평형 접합 반도체 소자의 제조방법.

### 청구항 18

기판;  
상기 기판 상에 배치되고 2H 상을 가지는 전이금속 칼코젠 화합물로 구성된 채널부; 및  
상기 채널부 상의 일부 영역에 패터 형성으로 배치되고 1T' 상을 가지는 전이금속 칼코젠 화합물로 구성된 전극부를 포함하는,  
상기 채널부는 2H MoTe<sub>2</sub> 을 포함하고,

상기 전극부는 1T' W:MoTe<sub>2</sub> 을 포함하는,

전이금속 칼코젠 화합물 기반 수평형 접합 반도체 소자.

#### 청구항 19

삭제

#### 청구항 20

청구항 18에 있어서,

상기 채널부와 상기 전극부는,

반도체 물질과 금속 물질의 수평형 접합 구조 또는 반도체 물질과 반금속 물질의 수평형 접합 구조를 구현하는, 전이금속 칼코젠 화합물 기반 수평형 접합 반도체 소자.

### 발명의 설명

#### 기술 분야

[0001] 본 발명의 기술적 사상은 반도체 소자에 관한 것으로서, 보다 상세하게는 전이금속 칼코젠 화합물 기반 수평형 접합 반도체 소자 및 그 제조방법에 관한 것이다.

#### 배경 기술

[0002] 반도체 소자의 소형화에 따라 활성층의 크기가 감소되고, 반도체 소자 내의 금속과 반도체 접촉면에서의 접촉 저항이 반도체 소자의 성능을 결정짓는 중요한 요소로 작용하게 된다. 따라서, 전이금속 칼코젠 화합물 기반 트랜지스터 소자 연구에서 청정한 계면을 가진 소자를 제작하는 기술이 요구된다. 기존의 실리콘 기반 전계효과 트랜지스터 소자 제작에 사용되는 3차원 상용금속의 직접 증착 공정에서 금속과 반도체의 계면에서 결함이 발생하여, 높은 접촉저항 값이 발생되며 저전력 트랜지스터 소자를 제작하는 데 한계가 존재한다. 따라서, 전이금속 칼코젠 화합물 기반 트랜지스터 소자에서의 접촉저항을 낮추기 위한 최적화된 공정 기법이 요구된다.

#### 선행기술문헌

##### 특허문헌

[0003] (특허문헌 0001) 한국공개특허공보 제10-2013-0103913호

### 발명의 내용

#### 해결하려는 과제

[0004] 본 발명의 기술적 사상이 이루고자 하는 기술적 과제는, 접촉 저항을 감소시켜 반도체 소자의 성능을 향상시킬 수 있는, 전이금속 칼코젠 화합물 기반 수평형 접합 반도체 소자 및 그 제조방법을 제공하는 것이다.

[0005] 그러나 이러한 과제는 예시적인 것으로, 본 발명의 기술적 사상은 이에 한정되는 것은 아니다.

#### 과제의 해결 수단

[0006] 본 발명의 일 관점에 의하면, 전이금속 칼코젠 화합물 기반 수평형 접합 반도체 소자 및 그 제조방법이 제공된다.

[0007] 상기 기술적 과제를 달성하기 위한 본 발명의 기술적 사상에 따른, 전이금속 칼코젠 화합물 기반 수평형 접합 반도체 소자의 제조방법은, 제1 전이금속을 포함하는 제1 층이 표면에 형성된 기판을 제공하는 단계; 상기 제1 층 상에 제2 전이금속을 포함하는 제2 층을 형성하는 단계; 상기 제2 층을 패터닝하여 패터층을 형성하는 단계; 상기 제1 층 및 상기 패터층에 칼코젠 물질을 제공하는 단계; 및 상기 제1 층의 상기 제1 전이금속과 상기 칼코젠 물질이 반응하여 제1 상의 전이금속 칼코젠 화합물을 형성하고, 상기 패터층의 상기 제2 전이금속 및 상기

패턴층의 하층에 위치하는 상기 제1 전이금속이 상기 칼코젠 물질과 반응하여 제2 상의 전이금속 칼코젠 화합물을 형성하는 단계를 포함할 수 있다.

- [0008] 본 발명의 일 실시예에 있어서, 상기 제1 상의 전이금속 칼코젠 화합물 및 상기 제2 상의 전이금속 칼코젠 화합물은 동시에 형성될 수 있다.
- [0009] 본 발명의 일 실시예에 있어서, 상기 제1 상의 전이금속 칼코젠 화합물은 2H 상(2H phase)으로 배열된 결정구조를 가지고, 상기 제2 상의 전이금속 칼코젠 화합물은 1T 상(1T phase) 또는 1T' 상(1T' phase)으로 배열된 결정구조를 가질 수 있다.
- [0010] 본 발명의 일 실시예에 있어서, 상기 제1 상의 전이금속 칼코젠 화합물은 2H  $\text{MoTe}_2$  을 포함하고, 상기 제2 상의 전이금속 칼코젠 화합물은 1T'  $\text{W}_x\text{Mo}_{1-x}\text{Te}_2$  (여기에서,  $0 \leq x \leq 1$ )을 포함할 수 있다.
- [0011] 본 발명의 일 실시예에 있어서, 상기 제1 상의 전이금속 칼코젠 화합물은 반도체 특성을 가지고, 상기 제2 상의 전이금속 칼코젠 화합물은 금속 특성 또는 반금속 특성을 가질 수 있다.
- [0012] 본 발명의 일 실시예에 있어서, 상기 제1 층은, 스퍼터링 또는 전자빔 증발법을 이용하여 상기 기판의 표면 상에 상기 제1 전이금속을 포함하도록 형성되고, 상기 제2 층은, 스퍼터링 또는 전자빔 증발법을 이용하여 상기 제1 층의 표면 상에 상기 제2 전이금속을 포함하도록 형성될 수 있다.
- [0013] 본 발명의 일 실시예에 있어서, 상기 기판은, 실리콘 상에 실리콘 절연층이 형성되어 구성되거나, 육각형 질화붕소(h-BN) 또는 운모(mica)를 포함하여 구성되거나, 또는 층상형 기판으로 구성될 수 있다.
- [0014] 본 발명의 일 실시예에 있어서, 상기 제1 전이금속 및 상기 제2 전이금속 각각은, 몰리브덴(Mo), 텅스텐(W), 티타늄(Ti), 바나듐(V), 크롬(Cr), 코발트(Co), 니켈(Ni), 구리(Cu), 아연(Zn), 이트륨(Y), 지르코늄(Zr), 니오븀(Nb), 테크네튬(Tc), 루테튬(Ru), 로듐(Rh), 팔라듐(Pd), 은(Ag), 및 카드뮴(Cd) 중 적어도 어느 하나를 포함할 수 있다.
- [0015] 본 발명의 일 실시예에 있어서, 상기 칼코젠 물질은, 황(S), 셀레늄(Se) 및 텔루륨(Te) 중 적어도 어느 하나를 포함할 수 있다.
- [0016] 상기 칼코젠 물질을 제공하는 단계는, 상기 칼코젠 물질을 고상 상태, 액상 상태, 기상 상태, 또는 이들의 혼합 상태로 제공하여 이루어질 수 있다.
- [0017] 본 발명의 일 실시예에 있어서, 상기 칼코젠 물질을 제공하는 단계는, 상기 칼코젠 물질과 전이금속의 공정 합금을 제공하여 이루어질 수 있다.
- [0018] 본 발명의 일 실시예에 있어서, 상기 칼코젠 물질을 제공하는 단계는, 예비 기판 상에 제3 전이금속을 포함하는 예비 금속층을 표면에 형성하는 단계; 상기 예비 금속층에 상기 칼코젠 물질을 제공하여 가열함에 따라 상기 제3 전이금속이 예비 칼코제나이드화되어 형성된 상기 제3 전이금속과 칼코젠 물질의 화합물층을 형성하는 단계; 및 상기 화합물층을 제공하는 단계를 포함할 수 있다.
- [0019] 본 발명의 일 실시예에 있어서, 상기 예비 칼코제나이드화는, 400℃ 내지 600℃ 범위의 온도에서 1분 내지 60분 동안 수행할 수 있다.
- [0020] 본 발명의 일 실시예에 있어서, 상기 제3 전이금속은, 스칸듐(Sc), 티타늄(Ti), 바나듐(V), 크롬(Cr), 망간(Mn), 철(Fe), 코발트(Co), 니켈(Ni), 구리(Cu), 아연(Zn), 이트륨(Y), 지르코늄(Zr), 니오븀(Nb), 몰리브덴(Mo), 테크네튬(Tc), 루테튬(Ru), 로듐(Rh), 팔라듐(Pd), 은(Ag), 및 카드뮴(Cd) 중 적어도 어느 하나를 포함할 수 있다.
- [0021] 본 발명의 일 실시예에 있어서, 상기 제1 상의 전이금속 칼코젠 화합물은, 상기 칼코젠 물질을 상기 제1 층과 대면하도록 배치한 후, 상기 칼코젠 물질을 가열함에 의하여 상기 칼코젠 물질이 기상화되어 상기 제1 전이금속과 반응하여 형성되고, 상기 제2 상의 전이금속 칼코젠 화합물은, 상기 칼코젠 물질을 상기 패턴층과 대면하도록 배치한 후, 상기 칼코젠 물질을 가열함에 의하여 상기 칼코젠 물질이 기상화되어 상기 제2 전이금속 및 상기 패턴층의 하층에 위치하는 상기 제1 층의 상기 제1 전이금속과 반응하여 형성될 수 있다.
- [0022] 본 발명의 일 실시예에 있어서, 상기 제1 상 및 상기 제2 상의 전이금속 칼코젠 화합물을 형성하는 단계는, 600℃ 내지 750℃ 미만 범위의 온도에서 1분 내지 4 시간 범위 동안 수행할 수 있다.
- [0023] 본 발명의 일 실시예에 있어서, 상기 제2 층을 형성하는 단계를 수행하기 전에, 또는 상기 제2 층을 형성하는

단계를 수행한 후에, 상기 제1 층을 패터닝하는 단계를 더 포함할 수 있다.

[0024] 상기 기술적 과제를 달성하기 위한 본 발명의 기술적 사상에 따른 전이금속 칼코젠 화합물 기반 수평형 접합 반도체 소자는, 기판; 상기 기판 상에 배치되고 2H 상을 가지는 전이금속 칼코젠 화합물로 구성된 채널부; 및 상기 채널 상의 일부 영역에 패턴 형상으로 배치되고 1T' 상을 가지는 전이금속 칼코젠 화합물로 구성된 전극부를 포함할 수 있다.

[0025] 본 발명의 일 실시예에 있어서, 상기 채널부는 2H MoTe<sub>2</sub> 을 포함하고, 상기 전극부는 1T' W:MoTe<sub>2</sub> 을 포함할 수 있다.

[0026] 본 발명의 일 실시예에 있어서, 상기 채널부와 상기 전극부는 반도체 물질과 금속 물질의 수평형 접합 구조 또는 반도체 물질과 반금속 물질의 수평형 접합 구조를 구현할 수 있다.

### 발명의 효과

[0027] 본 발명의 기술적 사상에 의할 경우, 전이금속 칼코젠 화합물 기반 수평형 접합 반도체 소자는 추가적인 배선 공정을 수행하지 않고, 한 번의 칼코제나이드화 공정으로 금속으로 구성된 전극부와 반도체로 구성된 채널부를 동시에 형성할 수 있다. 이를 통하여, 전이금속 칼코젠 화합물을 기반한 반도체 소자 제작 시 발생하는 금속 반도체 접합 계면에서의 결함 발생을 방지할 수 있고, 접촉 길이가 100 nm 이하의 미세 구조, 더 나아가 10 nm 이하의 미세 구조에서도 소자의 성능 저하를 방지할 수 있다.

[0028] 상술한 본 발명의 효과들은 예시적으로 기재되었고, 이러한 효과들에 의해 본 발명의 범위가 한정되는 것은 아니다.

### 도면의 간단한 설명

[0029] 도 1은 본 발명의 일 실시예에 따른 전이금속 칼코젠 화합물 기반 수평형 접합 반도체 소자의 제조방법을 도시하는 흐름도이다.

도 2는 본 발명의 일 실시예에 따른 전이금속 칼코젠 화합물 기반 수평형 접합 반도체 소자의 제조방법을 예시적으로 나타내는 모식도와 표면 사진들이다.

도 3은 본 발명의 일 실시예에 따른 전이금속 칼코젠 화합물 기반 수평형 접합 반도체 소자의 제조방법에서, 전이금속 칼코젠 화합물의 라만 스펙트럼을 나타내는 그래프이다.

도 4는 본 발명의 일 실시예에 따른 전이금속 칼코젠 화합물 기반 수평형 접합 반도체 소자의 제조방법에서, 전이금속 칼코젠 화합물의 고해상도 주사투과전자현미경 사진들이다.

도 5는 본 발명의 일 실시예에 따른 전이금속 칼코젠 화합물 기반 수평형 접합 반도체 소자의 제조방법에서, 텔루라이드화 반응에 따른 전이금속 칼코젠 화합물의 표면 상태를 나타내는 사진들이다.

도 6은 본 발명의 일 실시예에 따른 전이금속 칼코젠 화합물 기반 수평형 접합 반도체 소자의 제조방법에서, 패턴층의 X-선 회절 분석을 나타내는 그래프들이다.

도 7은 본 발명의 일 실시예에 따른 전이금속 칼코젠 화합물 기반 수평형 접합 반도체 소자의 제조방법에서, 스퍼터링 전력에 따른 패턴층의 상변화를 나타내는 사진들이다.

도 8은 본 발명의 일 실시예에 따른 전이금속 칼코젠 화합물 기반 수평형 접합 반도체 소자의 제조방법에서, 텅스텐의 함량에 따른 패턴층의 표면 비저항의 변화를 나타내는 그래프이다.

도 9는 본 발명의 일 실시예에 따른 전이금속 칼코젠 화합물 기반 수평형 접합 반도체 소자의 제조방법으로 제조된 반도체 소자의 미세조직을 나타내는 투과전자현미경 사진들이다.

도 10은 본 발명의 일 실시예에 따른 전이금속 칼코젠 화합물 기반 수평형 접합 반도체 소자의 제조방법으로 제조된 반도체 소자의 전기적 특성을 나타내는 그래프이다.

도 11은 본 발명의 일 실시예에 따른 전이금속 칼코젠 화합물 기반 수평형 접합 반도체 소자의 제조방법에서 두 스텝 칼코제나이드화로 형성한 비교예의 결함을 나타내는 광학현미경 사진이다.

도 12는 본 발명의 일 실시예에 따른 전이금속 칼코젠 화합물 기반 수평형 접합 반도체 소자의 제조방법으로 제조된 반도체 소자의 전기적 특성을 두 스텝 칼코제나이드화로 형성한 비교예와 비교하여 나타내는

그래프들이다.

도 13 및 도 14는 본 발명의 일실시예에 따른 전이금속 칼코젠 화합물 기반 수평형 접합 반도체 소자의 제조방법으로 제조된 반도체 소자의 전기적 특성을 나타내는 그래프들이다.

### 발명을 실시하기 위한 구체적인 내용

- [0030] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 본 발명의 실시예들은 당해 기술 분야에서 통상의 지식을 가진 자에게 본 발명의 기술적 사상을 더욱 완전하게 설명하기 위하여 제공되는 것이며, 하기 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 기술적 사상의 범위가 하기 실시예에 한정되는 것은 아니다. 오히려, 이들 실시예는 본 개시를 더욱 충실하고 완전하게 하고, 당업자에게 본 발명의 기술적 사상을 완전하게 전달하기 위하여 제공되는 것이다. 본 명세서에서 동일한 부호는 시종 동일한 요소를 의미한다. 나아가, 도면에서의 다양한 요소와 영역은 개략적으로 그려진 것이다. 따라서, 본 발명의 기술적 사상은 첨부한 도면에 그려진 상대적인 크기나 간격에 의해 제한되지 않는다.
- [0031] 명세서 전체에 걸쳐서, "전기적으로 연결"의 의미는 구성요소들이 직접적으로 접촉하는 경우 및 다른 구성요소를 사이에 두고 접촉하는 경우 등을 포함하며, 다양한 방식을 전기적으로 연결되는 것을 모두 포함함에 유의한다.
- [0032] 반도체 소자의 소형화를 위해서는, 활성층 길이인 채널 길이를 감소시키는 것이 요구되고, 또한 금속과 반도체가 접촉하는 접촉 길이를 감소시키는 것이 요구된다. 그러나, 일반적인 금속 반도체 수직형 접합(top contact) 반도체 소자의 경우에는, 접촉 길이가 100 nm 보다 작아지면 전류 과밀 현상(current crowding effect)에 의해 저항이 증가되고, 이에 따라 반도체 소자의 성능이 저하될 우려가 있다.
- [0033] 따라서, 금속 반도체 수평형 접합(edge contact) 반도체 소자가 요구되며, 일반적으로 상기 수평형 접합 소자를 구현하는 방법은 활성층으로 사용되는 반도체 물질에 식각, 증착 공정 등의 금속 배선화 공정을 거치는 방법에 따라 구현된다. 이 과정을 통해 흔히 기형성된 반도체 채널 혹은 금속 전극 물질의 손상이 이루어지는 한계가 있다. 전이금속 칼코젠 화합물 물질 중 하나인  $\text{MoTe}_2$ 의 경우에는, 금속과 반도체 사이의 상 형성 에너지가 35 meV로서 매우 작은 값을 가지고 있다. 이를 이용하여 한 번의 합성을 통하여 수평형 접합 구조를 구현하기 용이하다. 그러나, 위치 선택적인 상 합성이 어려워 소자 어레이를 구현하는데 한계가 있다.
- [0034] 본 발명의 기술적 사상은, 추가적인 배선 공정을 수행하지 않고, 한 번의 칼코제나이드화 공정으로 금속으로 구성된 전극부와 반도체로 구성된 채널부를 동시에 형성할 수 있는, 원 스텝 금속 반도체 수평형 접합 반도체 소자를 제조하는 방법을 제공한다. 이를 통하여, 전이금속 칼코젠 화합물을 기반한 반도체 소자 제작 시 발생하는 금속 반도체 접합 계면에서의 결함 발생을 방지할 수 있고, 접촉 길이가 100 nm 이하의 미세 구조, 더 나아가 10 nm 이하의 미세 구조에서도 소자의 성능 저하를 방지할 수 있다.
- [0035] 도 1은 본 발명의 일실시예에 따른 전이금속 칼코젠 화합물 기반 수평형 접합 반도체 소자의 제조방법을 도시하는 흐름도이다.
- [0036] 도 1을 참조하면, 전이금속 칼코젠 화합물 기반 수평형 접합 반도체 소자의 제조방법(S100)은, 제1 전이금속을 포함하는 제1 층이 표면에 형성된 기판을 제공하는 단계(S110); 상기 제1 층 상에 제2 전이금속을 포함하는 제2 층을 형성하는 단계(S120); 상기 제2 층을 패터닝하여 패터층을 형성하는 단계(S130); 상기 제1 층 및 상기 패터층에 칼코젠 물질을 제공하는 단계(S140); 및 상기 제1 층의 상기 제1 전이금속과 상기 칼코젠 물질이 반응하여 제1 상의 전이금속 칼코젠 화합물을 형성하고, 상기 패터층의 상기 제2 전이금속 및 상기 패터층의 하측에 위치하는 상기 제1 전이금속이 상기 칼코젠 물질과 반응하여 제2 상의 전이금속 칼코젠 화합물을 형성하는 단계(S150)를 포함한다.
- [0037] 상기 제2 층을 형성하는 단계(S120)를 수행하기 전에, 상기 제1 층을 패터닝하는 단계를 더 포함할 수 있다. 또는, 상기 제2 층을 형성하는 단계(S120)를 수행한 후에, 상기 패터층을 형성하는 단계(S130)를 수행하기 전에, 상기 제1 층을 패터닝하는 단계를 더 포함할 수 있다. 상기 제1 층의 패터닝은 상기 제2 층의 패터닝과는 상이한 방향을 수행될 수 있다. 따라서, 상기 제2 층을 패터닝하여 패터층 사이에 상기 패터닝된 상기 제1 층이 배치될 수 있다.
- [0038] 상기 제1 상의 전이금속 칼코젠 화합물 및 상기 제2 상의 전이금속 칼코젠 화합물은 동시에 형성될 수 있다. 이를 원 스텝(one step) 공정의 칼코제나이드화로 지칭할 수 있다.

- [0039] 상기 제1 상의 전이금속 칼코젠 화합물은 2H 상(2H phase)으로 배열된 결정구조를 가질 수 있다.
- [0040] 상기 제2 상의 전이금속 칼코젠 화합물은 1T 상(1T phase) 또는 1T' 상(1T' phase)으로 배열된 결정구조를 가질 수 있다.
- [0041] 상기 제1 상의 전이금속 칼코젠 화합물은 2H  $\text{MoTe}_2$  을 포함하고, 상기 제2 상의 전이금속 칼코젠 화합물은 1T'  $\text{W}_x\text{Mo}_{1-x}\text{Te}_2$  (여기에서,  $0 \leq x \leq 1$ )을 포함할 수 있다.
- [0042] 상기 제1 상의 전이금속 칼코젠 화합물은 반도체 특성을 가지고, 상기 제2 상의 전이금속 칼코젠 화합물은 금속 특성 또는 반금속 특성을 가질 수 있다.
- [0043] 상기 제1 상의 전이금속 칼코젠 화합물은 채널부를 구성하고, 상기 제2 상의 전이금속 칼코젠 화합물은 전극부를 구성하고, 상기 채널부와 상기 전극부는, 반도체 물질과 금속 물질의 수평형 접합 구조 또는 반도체 물질과 반금속 물질의 수평형 접합 구조를 구현할 수 있다.
- [0044] 상기 기판을 제공하는 단계(S110)는, 제1 전이금속을 포함하는 제1 층이 표면에 형성된 기판을 제공하여 이루어질 수 있다.
- [0045] 상기 제1 층은, 스퍼터링 또는 전자빔 증발법을 이용하여 상기 기판의 표면 상에 상기 제1 전이금속을 포함하도록 형성될 수 있다.
- [0046] 상기 기판은, 실리콘 상에 실리콘 절연층이 형성되어 구성될 수 있다. 상기 실리콘은 실리콘 웨이퍼일 수 있다. 상기 실리콘 절연층은 형성되는 상기 전이금속 칼코젠 화합물과 상기 실리콘의 반응을 방지하는 반응 방지막의 기능을 수행할 수 있다. 상기 실리콘 절연층은, 예를 들어 실리콘 산화물, 실리콘 질화물, 및 실리콘 산질화물 중 적어도 어느 하나를 포함할 수 있다. 예를 들어, 상기 기판은, 실리콘 상에 실리콘 산화물층이 형성된  $\text{SiO}_2/\text{Si}$ 의 구조를 가질 수 있다.
- [0047] 또한, 상기 기판은 육각형 질화붕소(h-BN) 또는 운모(mica)를 포함하여 구성될 수 있다. 또한, 상기 기판은 층상형 기판으로 구성될 수 있다.
- [0048] 상기 제2 층을 형성하는 단계(S120)는, 상기 제1 층 상에 제2 전이금속을 포함하는 제2 층을 형성하여 이루어질 수 있다.
- [0049] 상기 제2 층은, 스퍼터링 또는 전자빔 증발법을 이용하여 상기 제1 층의 표면 상에 상기 제2 전이금속을 포함하도록 형성될 수 있다.
- [0050] 상기 제1 전이금속 및 상기 제2 전이금속 각각은, 예를 들어 몰리브덴(Mo), 텅스텐(W), 티타늄(Ti), 바나듐(V), 크롬(Cr), 코발트(Co), 니켈(Ni), 구리(Cu), 아연(Zn), 이트륨(Y), 지르코늄(Zr), 니오븀(Nb), 테크네튬(Tc), 루테튬(Ru), 로듐(Rh), 팔라듐(Pd), 은(Ag), 및 카드뮴(Cd) 중 적어도 어느 하나를 포함할 수 있다. 상기 제1 전이금속 및 상기 제2 전이금속은 서로 다른 물질을 포함할 수 있다. 예를 들어, 상기 제1 전이금속이 몰리브덴(Mo)을 포함하고, 상기 제2 전이금속이 텅스텐(W)을 포함할 수 있다. 또는, 상기 제1 전이금속이 텅스텐(W)을 포함하고, 상기 제2 전이금속이 몰리브덴(Mo)을 포함할 수 있다. 그러나, 이는 예시적이며 상기 제1 전이금속 및 상기 제2 전이금속은 칼코젠 원소들과 층상형 구조를 형성할 수 있는 모든 전이금속 군을 포함할 수 있다.
- [0051] 상기 패턴층을 형성하는 단계(S130)는, 상기 제2 층을 패터닝하여 패턴층을 형성할 수 있다. 상기 패터닝은 포토레지스트를 사용한 포토리소그래피법, 리프트 오프법 등을 이용하여 구현될 수 있다. 상기 제1 층의 일부 영역은 상기 패턴층에 의하여 노출될 수 있고, 상기 제1 층의 다른 영역은 상기 패턴층에 의하여 겹쳐져 가려질 수 있다.
- [0052] 상기 칼코젠 물질을 제공하는 단계(S140)는, 상기 제1 층 및 상기 제2 층에 칼코젠 물질을 제공하여 이루어질 수 있다.
- [0053] 상기 칼코젠 물질은 고상 상태, 액상 상태, 기상 상태, 또는 이들의 혼합 상태로 제공될 수 있다. 상기 칼코젠 물질은, 예를 들어 상기 칼코젠 물질과 전이금속의 공정(eutectic) 합금을 제공될 수 있다.
- [0054] 상기 칼코젠 물질을 제공하는 단계(S140)는, 예비 기판 상에 제3 전이금속을 포함하는 예비 금속층을 표면에 형성하는 단계; 상기 예비 금속층에 상기 칼코젠 물질을 제공하여 가열함에 따라 상기 제3 전이금속이 예비 칼코제나이드화되어 형성된 상기 제3 전이금속과 칼코젠 물질의 화합물층을 형성하는 단계; 및 상기 화합물층을 제

공하는 단계를 포함할 수 있다. 그러나, 이는 예시적이며 본 발명의 기술적 사상은 이에 한정되는 것은 아니다.

- [0055] 상기 예비 칼코제나이드화는, 예를 들어 400℃ 내지 600℃ 범위의 온도에서 1분 내지 60분 동안 수행될 수 있다.
- [0056] 상기 칼코젠 물질은, 예를 들어 황(S), 셀레늄(Se) 및 텔루륨(Te) 중 적어도 어느 하나를 포함할 수 있다.
- [0057] 상기 제3 전이금속은, 예를 들어 스칸듐(Sc), 티타늄(Ti), 바나듐(V), 크롬(Cr), 망간(Mn), 철(Fe), 코발트(Co), 니켈(Ni), 구리(Cu), 아연(Zn), 이트륨(Y), 지르코늄(Zr), 니오븀(Nb), 몰리브덴(Mo), 테크네튬(Tc), 루테튬(Ru), 로듐(Rh), 팔라듐(Pd), 은(Ag), 및 카드뮴(Cd) 중 적어도 어느 하나를 포함할 수 있다. 상기 제3 전이금속은 상기 칼코젠 물질과 공정(eutectic) 합금을 형성하는 물질을 포함할 수 있다.
- [0058] 예를 들어, 상기 제3 전이금속은 니켈(Ni)을 포함하고, 상기 칼코젠 물질은 텔루륨(Te)을 포함하고, 상기 화합물은 니켈-텔루륨 공정합금( $Ni_3Te_6$ )을 포함할 수 있다. 여기서, a와 b는 니켈의 산화수에 대응하여 변화되는 수로서, a와 b 간의 비율은 예를 들어 1 내지 10 범위의 수일 수 있다.
- [0059] 상기 전이금속 칼코젠 화합물을 형성하는 단계(S150)는, 상기 제1 층의 상기 제1 전이금속과 상기 칼코젠 물질이 반응하여 제1 상의 전이금속 칼코젠 화합물을 형성하고, 상기 패턴층의 상기 제2 전이금속 및 상기 패턴층의 하측에 위치하는 상기 제1 전이금속이 상기 칼코젠 물질과 반응하여 제2 상의 전이금속 칼코젠 화합물을 형성하여 이루어질 수 있다.
- [0060] 상기 전이금속 칼코젠 화합물을 형성하는 단계(S150)에서, 상기 제1 상의 전이금속 칼코젠 화합물은, 상기 칼코젠 물질을 상기 제1 층과 대면하도록 반응기 내에 배치한 후, 상기 칼코젠 물질을 가열함에 의하여 상기 칼코젠 물질이 기상화되어 상기 제1 전이금속과 반응하여 형성될 수 있다. 상기 제2 상의 전이금속 칼코젠 화합물은, 상기 칼코젠 물질을 상기 패턴층과 대면하도록 상기 반응기 내에 배치한 후, 상기 칼코젠 물질을 가열함에 의하여 상기 칼코젠 물질이 기상화되어 상기 제2 전이금속 및 상기 패턴층의 하측에 위치하는 상기 제1 층의 상기 제1 전이금속과 반응하여 형성될 수 있다. 상기 제1 상의 전이금속 칼코젠 화합물 및 상기 제2 상의 전이금속 칼코젠 화합물은 동시에 형성될 수 있다.
- [0061] 상기 제1 층과 상기 칼코젠 물질 및 상기 패턴층과 상기 칼코젠 물질은 서로 접촉하도록 대면하거나, 또는 기상화된 칼코젠 물질이 외부로 빠져나가는 것을 최소화할 수 있는 간격을 가지고 배치될 수 있다. 이에 따라, 상기 기상화된 칼코젠 물질은 대부분 상기 제1 층 또는 상기 패턴층에 도달하여 상기 제1 전이금속 및 상기 제2 전이금속과 각각 반응할 수 있고, 반응 중에 칼코젠 부족 현상을 방지할 수 있다. 이러한 방식을 수직형 텔루륨화 공정으로 지칭할 수 있다.
- [0062] 상기 전이금속 칼코젠 화합물을 형성하는 단계(S150)는, 이러한 가열에 의하여 600℃ 내지 750℃ 미만 범위의 온도에서 1분 내지 4 시간 범위 동안 수행될 수 있다. 상기 가열은 상기 반응기에 배치된 가열부에 의하여 이루어질 수 있다.
- [0063] 이러한 가열 온도 및 시간은 상기 제1 전이금속 및 상기 제2 전이금속의 종류 및 제공되는 칼코젠의 조합에 따라 변화할 수 있으며, 바람직하게는 500℃ 내지 1,000℃ 미만 범위의 온도에서 1분 내지 48 시간 범위 동안 수행될 수 있다.
- [0064] 상기 칼코젠 물질은 기상화된 후, 캐리어 가스에 의하여 상기 제1 전이금속 및 상기 제2 전이금속에 이송될 수 있다. 상기 캐리어 가스는 상기 기상화된 칼코젠 물질을 상기 제1 전이금속 및 상기 제2 전이금속에 균일하게 전달되는 기능을 수행할 수 있다.
- [0065] 상기 캐리어 가스는, 불활성 가스로 구성되거나 또는 수소 함유 가스와 불활성 가스의 혼합 가스로 구성될 수 있다. 상기 수소 함유 가스는 칼코젠 물질과 반응하여 칼코젠화 수소 가스를 형성하므로, 칼코젠 물질의 효과적인 이송을 구현할 수 있다. 상기 수소 함유 가스는, 예를 들어 수소 가스 및 암모니아 가스, 또는 이들 모두를 포함할 수 있다. 상기 불활성 가스는, 예를 들어 질소 가스 및 아르곤 가스, 또는 이들 모두를 포함할 수 있다.
- [0066] 상기 혼합 가스에서, 상기 수소 함유 가스는, 예를 들어 50 sccm 내지 2,000 sccm 범위의 유동량으로 제공될 수 있고, 상기 불활성 가스는, 예를 들어 300 sccm 내지 7,000 sccm 범위의 유동량으로 제공될 수 있다. 상기 혼합 가스에서 상기 수소 함유 가스와 상기 불활성 가스의 비율은 부피비로 1:10 내지 10:1 범위일 수 있다.
- [0067] 상기 제1 상의 전이금속 칼코젠 화합물은 화학식  $MX_2$  로 나타내는 화합물로서 결정질 화합물일 수 있다. 여기서, M은 전이금속이고, X는 칼코젠이다. 또는, 상기 제1 상의 전이금속 칼코젠 화합물은 전이금속 대비 칼코젠

원소의 비율이 5:1 내지 1:5의 비율을 갖는 전이금속 칼코젠 화합물을 포함할 수 있다. 상기 제1 상의 전이금속 칼코젠 화합물은 2H 상(2H phase)으로 배열된 결정구조를 가질 수 있다. 상기 2H 상의 결정 구조는 열역학적으로 안정한 구조로서, 상기 제1 상의 전이금속 칼코젠 화합물은 반도체 특성을 강하게 나타내고, 하기에 설명하는 1T 상 또는 상기 1T' 상에 비하여 상대적으로 밴드갭 에너지가 높다.

[0068] 또한, 상기 제2 상의 전이금속 칼코젠 화합물은 화학식  $MX_2$  로 나타내는 화합물로서 결정질 화합물일 수 있다. 여기에서, M은 전이금속이고, X는 칼코젠이다. 또는, 상기 제2 상의 전이금속 칼코젠 화합물은 전이금속 원소 대비 칼코젠 원소의 비율이 5:1 내지 1:5의 비율을 갖는 전이금속 칼코젠 화합물을 포함할 수 있다. 상기 칼코젠 물질이 황(S) 또는 셀레늄(Se)인 경우에는, 상기 제2 상의 전이금속 칼코젠 화합물의 결정 구조는 1T 상(1T phase)일 수 있다. 상기 칼코젠 물질이 텔루륨(Te)인 경우에는, 상기 제2 상의 전이금속 칼코젠 화합물의 결정 구조는 1T' 상(1T' phase)일 수 있다. 상기 1T 상 또는 상기 1T' 상의 결정 구조는 열역학적으로 준안정상태로서, 상기 제2 상의 전이금속 칼코젠 화합물은 금속성 또는 반금속성(semi metal)을 가질 수 있다.

[0069] 도 2는 본 발명의 일실시예에 따른 전이금속 칼코젠 화합물 기반 수평형 접합 반도체 소자의 제조방법을 예시적으로 나타내는 모식도와 표면 사진들이다.

[0070] 도 2를 참조하면, 상측에는 모식도가 나타나있고, 하측에는 표면 사진이 나타나 있다. 상기 제1 전이금속으로 몰리브덴(Mo), 상기 제2 전이금속으로 텅스텐(W), 상기 칼코젠 물질로 텔루륨(Te)을 선택하였다. 이는 예시적이며, 본 발명의 기술적 사상은 이에 한정되는 것은 아니다.

[0071] 먼저, 몰리브덴 층(120)이 표면에 형성된  $SiO_2/Si$  기판(110)을 제공한다. 기판(110)의 표면에는 전면적으로 몰리브덴 층(Mo film)(120)이 형성되어 있다.

[0072] 이어서, 몰리브덴 층(120) 상에 텅스텐 층을 형성하고, 포토리소그래피 방법 또는 전자빔 리소그래피 방법 등을 이용하여 패터닝하여 텅스텐 패턴층(W patterns)(130)을 형성한다. 기판(110)의 표면의 일부 영역은 텅스텐 패턴층(130)이 배치되고, 다른 영역은 텅스텐 패턴층(130)에 의하여 노출된 몰리브덴 층(120)이 배치된다.

[0073] 이어서, 몰리브덴 층(120)과 텅스텐 패턴층(130)에 텔루륨을 제공하고 가열한다. 이에 따라, 몰리브덴 층(120)의 몰리브덴이 상기 텔루륨과 텔루라이드화 반응하여 2H  $MoTe_2$  층(140)을 형성하고, 텅스텐 패턴층(130)의 텅스텐 및 텅스텐 패턴층(130)의 하측에 위치하는 몰리브덴 층(120)의 몰리브덴이 상기 텔루륨과 텔루라이드화 반응하여 1T'  $W:MoTe_2$  패턴층(150)을 형성한다. 이에 따라, 수평형 접합 반도체 소자(100)를 완성한다.

[0074] 상기 2H  $MoTe_2$  층은 반도체성을 가지므로 채널부를 형성할 수 있고, 상기 1T'  $W:MoTe_2$  층은 금속성 또는 반금속성을 가지므로 전극부를 형성할 수 있다. 여기에서,  $W:MoTe_2$  는 텅스텐과 몰리브덴이 함께 텔루륨과 텔루라이드화 반응하여 형성된 물질을 의미하며,  $W_xMo_{1-x}Te_2$  로 지칭될 수 있고, 여기에서  $0 \leq x \leq 1$  이다.

[0075] 상기 2H  $MoTe_2$  층과 상기 1T'  $W:MoTe_2$  층에 의하여, 반도체 물질과 금속 물질의 수평형 접합 구조 또는 반도체 물질과 반금속 물질의 수평형 접합 구조를 형성할 수 있다.

[0076] 본 발명의 기술적 사상에 따르면, 전이금속 도판트인 텅스텐은 1T' 상을 안정화하는 기능을 수행하므로,  $MoTe_2$  내에 포함되는 텅스텐의 도핑 농도에 따라 반금속(1T' 상) 또는 반도체(2H 상)로 조절이 가능하다.

[0077] 또한, 본 발명의 기술적 사상에 따르면, 원 스텝의 칼코제나이드화 공정을 수행하여 원 스텝 합성에 의한, 반도체 물질과 금속 물질의 수평형 접합 구조 또는 반도체 물질과 반금속 물질의 수평형 접합 구조를 구현할 수 있다. 상기 금속과 반도체의 접촉 길이를 100 nm 이하로, 더 나아가 10 nm 이하로 구현할 수 있어, 미세 소자의 반도체 소자를 구현할 수 있다. 최근 결과에 의하면, 상기 접촉 길이를 8 nm 로도 구현할 수 있다.

[0078] 상술한 방법에 따라 형성된 전이금속 칼코젠 화합물 기반 수평형 접합 반도체 소자는, 기판; 상기 기판 상에 전체적으로 배치되고 2H 상을 가지는 전이금속 칼코젠 화합물로 구성된 채널부; 및 상기 채널부 상의 일부 영역에 패턴 형상으로 배치되고 1T' 상을 가지는 전이금속 칼코젠 화합물로 구성된 전극부를 포함한다.

[0079] 상기 채널부는 2H  $MoTe_2$  을 포함할 수 있고, 상기 전극부는 1T'  $W:MoTe_2$  을 포함할 수 있다.

[0080] 상기 채널부와 상기 전극부는, 반도체 물질과 금속 물질의 수평형 접합 구조 또는 반도체 물질과 반금속 물질의 수평형 접합 구조를 구현할 수 있다.

- [0081] 실험예
- [0082] 이하에서는 본 발명의 이해를 돕기 위한 실험예에 대해서 설명한다. 하기의 실험예는 발명의 이해를 돕기 위해 제시되는 것이며, 본 발명의 하기 실험예로 한정되는 것은 아니다.
- [0083] 제조 공정
- [0084] 상기 제1 전이금속으로 몰리브덴(Mo), 상기 제2 전이금속으로 텅스텐(W), 상기 칼코젠 물질로 텔루륨(Te)을 선택하였다. 텔루륨 공급원으로  $\text{Ni}_3\text{Te}_6$  공정 합금을 사용하였다. 상기 제1 상의 전이금속 칼코젠 화합물은  $2\text{H MoTe}_2$  이고, 상기 제2 상의 전이금속 칼코젠 화합물은  $1\text{T}' \text{ W:MoTe}_2$  이었다.
- [0085] DC 마그네트론 스퍼터링을 이용하여  $\text{SiO}_2/\text{Si}$  기판 상에 약 65 nm 두께의 니켈층을 형성하였다. 이어서,  $500^\circ\text{C}$ 에서 10분 동안 텔루륨 분말을 기반으로 텔루라이드화(tellurization)을 수행하여  $\text{Ni}_3\text{Te}_6$  공정 합금을 형성하였다. 이에 따라,  $\text{SiO}_2/\text{Si}$  기판 상에  $\text{Ni}_3\text{Te}_6$  이 형성된 텔루륨 공급체를 형성하였다.
- [0086] DC 마그네트론 스퍼터링을 이용하여 다른  $\text{SiO}_2/\text{Si}$  기판에 1 nm 내지 20 nm 두께의 몰리브덴 층을 형성하였다. 또한, DC 마그네트론 스퍼터링을 이용하여 상기 몰리브덴 층 상에 텅스텐 층을 형성하고, 포토리소그래피 방법 등을 이용하여 패터닝하여 텅스텐 패턴층을 형성하였다.
- [0087] 상기 기판과 상기 텔루륨 공급체를 대면하여 형성한 샌드위치 구조체를 핫-월(hot-wall) 퍼니스로서 4인치 석영관 내에 배치하였다.
- [0088] 상기 몰리브덴 층과 상기 텅스텐 패턴층에 상기 텔루륨 공급체를 대면시키고  $700^\circ\text{C}$ 에서 2 시간 동안 가열하여 텔루라이드화 반응시켜, 상기 몰리브덴 층으로부터  $2\text{H MoTe}_2$  층을 형성하고, 상기 텅스텐 패턴층으로부터  $1\text{T}' \text{ W:MoTe}_2$  패턴층을 형성하였다. 상기  $1\text{T}' \text{ W:MoTe}_2$  패턴층은  $\text{W}_{0.17}\text{Mo}_{0.83}\text{Te}_2$  을 포함하였다.
- [0089] 이러한 가열에 의하여, 상기 텔루륨 공급체의 상기  $\text{Ni}_3\text{Te}_6$  공정 합금으로부터 텔루륨이 기상화되어 텔루륨 증기를 형성하고, 상기 텔루륨 증기는 지속적으로 증발되어, 상기 기판과 상기 텔루륨 공급체 사이의 공간에 고정되고, 이에 따라 상기 텔루라이드화 반응이 수행되었다. 상기  $\text{Ni}_3\text{Te}_6$  공정 합금의 표면에서 텔루륨이 균일하게 증발되어 상기 기판에 균일하게 제공될 수 있어,  $2\text{H MoTe}_2$  및  $1\text{T}' \text{ W:MoTe}_2$  의 핵 생성이 균일하게 이루어질 수 있고, 이는 종래의 분말 기반 수평 화학기상합성법으로는 현재로는 한계가 있다.
- [0090] 상기 공정에서, 상기 텔루륨 증기를 이송하는 캐리어 가스는 수소 가스( $\text{H}_2$ ) 100 sccm 및 아르곤 가스(Ar) 500 sccm로 혼합된 혼합 가스를 사용하였다.
- [0091] 특성 측정 방법
- [0092] 마이크로 라만 측정은 공초점 현미경(Horiba LabRam HR Evolution confocal microscope)을 이용하여 진행되었다. 아르곤 이온 레이저(633 nm)를 사용하여 수행되었고, 이는 x 100 배율의 대물 렌즈(Olympus)를 사용하여 초점을 맞췄다. 약  $0.5 \mu\text{m}$ 의 스팟 크기에서 시편의 국소 가열을 최소화하기 위해 레이저 전력은 약  $5.5 \times 10^8 \text{ mWcm}^{-2}$  로 유지하여 분광 해상도는 약  $0.5 \text{ cm}^{-1}$  로 측정되었다.
- [0093] X-선 회절 패턴은 X-선 장비(Bruker AXS D8)를 이용하여 Cu K 소스를 이용하여 취득하였다. 원자힘 현미경 사진은 원자힘 현미경(Bruker Dimension AFM)을 사용하여 탭핑 모드에서 취득하였다. 고해상도 주사투과전자현미경 사진, SAED 패턴 및 EDS는 200 kV의 가속 전압에서 수차 보정하여(FEI Titan3 G2 60-300을 이용함) 취득하였다. 고해상도 주사투과전자현미경 사진은 고각도 환형 암시야(high-angle annular dark-field, HAADF) 검출기를 이용하여 50.5 mrad 내지 200 mrad 범위에서 반각을 수집하여 취득하였다. 위너(Wiener) 필터를 이용하여, 고해상도 주사투과전자현미경 사진의 잡음을 제거하였다. 상용 소프트웨어 템파스(TEMPAS)(Total Resolution)를 이용하여, 다중 슬라이스 주사투과전자현미경 사진의 시뮬레이션을 수행하였다. 투과전자현미경 사진과 회절 패턴은 200 kV의 가속 전압으로 사용하여 취득하였다(Tecnai G2 F20 X-Twin 시스템을 이용함).
- [0094] 텅스텐 함량 변화에 따른 패턴층의 표면 비저항은 전사 길이 방법(transfer length method, TLM)으로 측정하였다. 각기 다른 채널 길이의 소자에서의 저항 값을 채널길이에 대해 플롯(plot)에서의 기울기의 값으로 표면 저항 값을 구했으며,  $\text{W}_x\text{Mo}_{1-x}\text{Te}_2$  박막에서의 두께에 대해 곱해주어 표면 비저항 값을 구했다.

- [0095] 반도체 소자의 전기적 특성은 138 K 내지 300 K의 온도와  $10^{-6}$  torr의 고진공에서 검출기(Keithley 4200-SCS)가 장착된 저온 프로브 스테이션(Lakeshore CRX-4K)을 이용하여 수행하였다. 기관의 실리콘 층에 있는 300 nm 두께의  $\text{SiO}_2$ 를 통해 상기 반도체 소자에 백게이트(back gate) 전압을 인가하였다.
- [0096] 결과 및 분석
- [0097] 도 3은 본 발명의 일실시예에 따른 전이금속 칼코젠 화합물 기반 수평형 접합 반도체 소자의 제조방법에서, 전이금속 칼코젠 화합물의 라만 스펙트럼을 나타내는 그래프이다.
- [0098] 도 3을 참조하면, 상기  $1\text{T}'$   $\text{W:MoTe}_2$  층에서  $1\text{T}'$   $\text{W:MoTe}_2$  상의 대표적인 라만 스펙트럼이 측정되었고, 상기  $2\text{H}$   $\text{MoTe}_2$  패턴층에서  $2\text{H}$   $\text{MoTe}_2$  상의 대표적인 라만 스펙트럼을 측정되었다.
- [0099] 도 4는 본 발명의 일실시예에 따른 전이금속 칼코젠 화합물 기반 수평형 접합 반도체 소자의 제조방법에서, 전이금속 칼코젠 화합물의 고해상도 주사투과전자현미경 사진들이다.
- [0100] 도 4를 참조하면, (a) 상기  $1\text{T}'$   $\text{W:MoTe}_2$  층에서 상기  $1\text{T}'$   $\text{W:MoTe}_2$  상 및 (b) 상기  $2\text{H}$   $\text{MoTe}_2$  패턴층에서 상기  $2\text{H}$   $\text{MoTe}_2$  상의 원자 분해 고각도 환형 암시야(HAADF) 사진 및 회절 패턴(diffraction pattern, DP)이 나타나있다. 상기  $1\text{T}'$   $\text{W:MoTe}_2$  상의 원형 회절 패턴은, 상기  $1\text{T}'$   $\text{W:MoTe}_2$  상이 다결정임을 나타내고, 상기  $2\text{H}$   $\text{MoTe}_2$  상의 규칙 배열된 점들로 구성된 회절 패턴은 단결정임을 나타낸다.
- [0101] 도 5는 본 발명의 일실시예에 따른 전이금속 칼코젠 화합물 기반 수평형 접합 반도체 소자의 제조방법에서, 텔루라이드화 반응에 따른 전이금속 칼코젠 화합물의 표면 상태를 나타내는 사진들이다.
- [0102] 도 5를 참조하면, 몰리브덴과 텅스텐의 텔루라이드화 반응이 합성 시간의 변화에 따라 나타나있다. 텅스텐과 몰리브덴이 함께 형성된 패턴층에서는 합성 시간에 무관하게 반금속 상( $1\text{T}'$ )만을 가지는 것을 확인할 수 있다.
- [0103] 도 6은 본 발명의 일실시예에 따른 전이금속 칼코젠 화합물 기반 수평형 접합 반도체 소자의 제조방법에서, 패턴층의 X-선 회절 분석을 나타내는 그래프들이다.
- [0104] 도 6의 (a)를 참조하면,  $\text{W}_x\text{Mo}_{1-x}\text{Te}_2$  으로 구성된 패턴층에서, 텅스텐의 함량에 따라 (002) 피크의 각도가 12도 내지 13도 범위 내에서 감소되는 경향을 나타내었다.
- [0105] 도 6의 (b)를 참조하면,  $\text{W}_x\text{Mo}_{1-x}\text{Te}_2$  으로 구성된 패턴층의 텅스텐 함량에 따른 (002) 피크의 각도 변화를 나타낸다. 상기 텅스텐 함량과 상기 (002) 피크의 각도는 음의 기울기를 가지는 선형 관계를 가지며, 베가스 법칙 근사(Vegard's law approximation)를 나타낸다. 따라서,  $\text{W}_x\text{Mo}_{1-x}\text{Te}_2$  에서 텅스텐의 함량은  $0 \leq x \leq 1$ 로 조절 가능함을 확인하였다.
- [0106] 이어서, 스퍼터링 전력에 따른 패턴층  $\text{W}_x\text{Mo}_{1-x}\text{Te}_2$  의 합성 양상을 검토하기로 한다.
- [0107] 동일한 두께의 몰리브덴 층을 포함하는 시편을 준비하고, 상기 몰리브덴 층 상에 마그네트론 DC 스퍼터로 스퍼터링 전력을 변화시키며 텅스텐층을 형성한 후, 이어서, 텔루륨을 이용하여 상기 텅스텐층에 대한 텔루라이드화 반응을 수행한 결과이다.
- [0108] 도 7은 본 발명의 일실시예에 따른 전이금속 칼코젠 화합물 기반 수평형 접합 반도체 소자의 제조방법에서, 스퍼터링 전력에 따른 패턴층의 상변화를 나타내는 사진들이다.
- [0109] 도 7에서, (a)는 패턴층의 외형 사진이고, (b)는 각각의 외형 사진에 대한 광학현미경 사진이다.
- [0110] 도 7을 참조하면, 몰리브덴으로만 형성된 몰리브덴 층에서는 대부분  $2\text{H}$  상이 형성되고, 매우 적은 영역에서  $1\text{T}'$  상이 형성되었다. 이러한 상의 형성 경향은 텅스텐을 100 W 및 200 W의 스퍼터링 전력으로 형성한 경우들에서도 유사하게 나타났다. 반면, 텅스텐을 400 W 및 500 W의 스퍼터링 전력으로 형성한 경우들에서는, 스퍼터링의 전력이 증가됨에 따라 형성된 텅스텐의 두께가 증가되고, 이는 결과적으로 W/Mo 두께비가 증가된다. 이에 따라, 전체적으로 균일하게  $1\text{T}'$  상만이 형성되었다. 따라서, 상기 패턴층을  $1\text{T}'$  상으로 형성하기 위하여는, 일정 수준의 두께로 텅스텐층을 형성하여야 하고, 이를 위하여는 텅스텐층의 형성을 위한 스퍼터링 전력을 증가시킬 필요가 있다.
- [0111] 도 8은 본 발명의 일실시예에 따른 전이금속 칼코젠 화합물 기반 수평형 접합 반도체 소자의 제조방법에서, 텅

스텐의 함량에 따른 패턴층의 표면 비저항의 변화를 나타내는 그래프이다.

- [0112] 도 8을 참조하면, 1T' 상  $W_xMo_{1-x}Te_2$  패턴층의 텅스텐의 함량이 증가될수록 표면 비저항( $\rho$ )이 감소되며, 이에 따라 상기  $W_xMo_{1-x}Te_2$  패턴층의 금속성이 증가됨을 알 수 있다.
- [0113] 도 9는 본 발명의 일실시예에 따른 전이금속 칼코젠 화합물 기반 수평형 접합 반도체 소자의 제조방법으로 제조된 반도체 소자의 미세조직을 나타내는 투과전자현미경 사진들이다.
- [0114] 도 9의 (a)를 참조하면, 1T'  $W_xMo_{1-x}Te_2$  은 주황색 사각형의 결정형을 나타내고, 2H MoTe<sub>2</sub> 은 육각형의 결정형을 나타낸다, 화살표는 2H 상 MoTe<sub>2</sub> 의 결정방향으로 [2-1-10]을 나타낸다.
- [0115] 도 9의 (b)를 참조하면, 상기 1T'  $W_xMo_{1-x}Te_2$  과 상기 2H MoTe<sub>2</sub> 은 수평형 접합 구조를 이루고 있고, 금속 반도체 접합면에서 결함없이 청정한 계면을 이루는 것을 확인할 수 있다.
- [0116] 도 10은 본 발명의 일실시예에 따른 전이금속 칼코젠 화합물 기반 수평형 접합 반도체 소자의 제조방법으로 제조된 반도체 소자의 전기적 특성을 나타내는 그래프이다.
- [0117] 도 10을 참조하면, 본 발명의 일실시예에 따른 수평형 접합(edge)의 반도체 소자와 비교예로서 수직형 접합(Top)의 반도체 소자의 전기적 특성이 비교되어 있다. 작동 전류 값은 실시예는 0.7  $\mu A/\mu m$ , 비교예는 0.3  $\mu A/\mu m$  으로 분석된다. 따라서, 실시예가 비교예에 비하여 우수한 성능을 가짐을 알 수 있다.
- [0118] 다른 텔루륨계 물질인 1T'-MoTe<sub>2</sub> 또는 WTe<sub>2</sub>를 전극부로 사용하는 경우에는, 상기 두 물질들은 500℃의 온도에서 합성이 가능하였다. 그러나, 채널부로 이용되는 반도체 물질인 2H MoTe<sub>2</sub>를 합성하는 온도에서는 다른 거동이 나타났다. 즉, 상기 1T'-MoTe<sub>2</sub> 의 경우에는, 700℃의 온도에서는 반도체 상이 우선적으로 형성되었고, 시간이 경과함에 따라 기판의 전면적에 반도체 상이 형성되었다. 상기 WTe<sub>2</sub> 의 경우에는, 700℃의 온도에서는 열 분해됨을 확인하였다. 따라서, 삼원계 텔루륨화 화합물인  $W_xMo_{1-x}Te_2$  만이 700℃를 사용하는 원 스텝으로 형성할 수 있는 전극 물질임을 확인하였다.
- [0119] 이하에서는, 본 발명의 일실시예로서 원 스텝(one step) 칼코제나이드화를 통하여 형성한 반도체 소자와 비교예로서 두 스텝(two step) 칼코제나이드화로 형성한 반도체 소자를 비교하기로 한다.
- [0120] 상기 비교예에서, 제1 텔루라이드화로 2H MoTe<sub>2</sub> 층을 형성한 후 패터닝하여 전극부가 형성될 부분을 제거하고, 상기 부분에 전이금속으로 몰리브덴과 텅스텐을 증착한 후에, Ni<sub>3</sub>Te<sub>2</sub> 공정 합금을 이용하여 500℃에서 제2 텔루라이드화하여 1T' WTe<sub>2</sub> 또는 1T' MoTe<sub>2</sub>를 형성하였고, 이는 전극부를 구성한다. 패터닝된 2H MoTe<sub>2</sub> 층은 채널부를 구성한다.
- [0121] 도 11은 본 발명의 일실시예에 따른 전이금속 칼코젠 화합물 기반 수평형 접합 반도체 소자의 제조방법에서 두 스텝 칼코제나이드화로 형성한 비교예의 결함을 나타내는 광학현미경 사진이다.
- [0122] 도 11을 참조하면, 상기 비교예에서, 1T' MoTe<sub>2</sub> 전극부를 두 스텝으로 형성하면, 패터닝 고정 of 한계로 상기 1T' MoTe<sub>2</sub> 과 상기 2H MoTe<sub>2</sub> 이 오버랩(overlap)되거나 또는 분리 영역(disconnection)이 형성되는 결함이 발생하였다. 또한, 상기 1T' MoTe<sub>2</sub> 영역에 2H MoTe<sub>2</sub> 의 핵생성이 발생하였다.
- [0123] 도 12는 본 발명의 일실시예에 따른 전이금속 칼코젠 화합물 기반 수평형 접합 반도체 소자의 제조방법으로 제조된 반도체 소자의 전기적 특성을 두 스텝 칼코제나이드화로 형성한 비교예와 비교하여 나타내는 그래프들이다.
- [0124] 도 12에서, (I)은 원 스텝 칼코제나이드화를 의미하고, (II)는 두 스텝 칼코제나이드화를 의미한다.
- [0125] 도 12를 참조하면, 실시예의 W:MoTe<sub>2</sub> 전극부는 비교예의 1T' WTe<sub>2</sub> 또는 1T' MoTe<sub>2</sub> 전극부에 비하여 4배 정도 큰 작동 전류를 가짐을 알 수 있다. 또한, 실시예는 비교예에 비하여 전하 이동도가 높게 나타났고, 그 변화 폭도 좁게 나타났다. 따라서, 비교예에 비하여 실시예가 반도체 소자의 수율 측면에서 장점을 가짐을 확인할 수 있다.
- [0126] 도 13 및 도 14는 본 발명의 일실시예에 따른 전이금속 칼코젠 화합물 기반 수평형 접합 반도체 소자의 제조방

법으로 제조된 반도체 소자의 전기적 특성을 나타내는 그래프들이다.

[0127] 도 13을 참조하면, 실시예의  $W_xMo_{1-x}Te_2$ - $MoTe_2$  수평형 접합 반도체 소자에서, 접촉 길이가 16 nm 에서 접촉저항 ( $R_c$ ) 값은  $24 K\Omega \mu m$  로 가지는 것으로 분석되었다.

[0128] 도 14를 참조하면, 접촉 길이가 8 nm 및 16 nm 에서의 반도체 소자의 전기적 특성이 나타나 있다. 접촉 길이가 8 nm 및 16 nm 에서 전체적으로 옴릭 거동이 유지됨을 알 수 있다. 또한, 10 nm 이하에서, 즉 접촉 길이가 8 nm 에서도 수평형 반도체 소자의 성능이 저하되지 않음을 확인하였다.

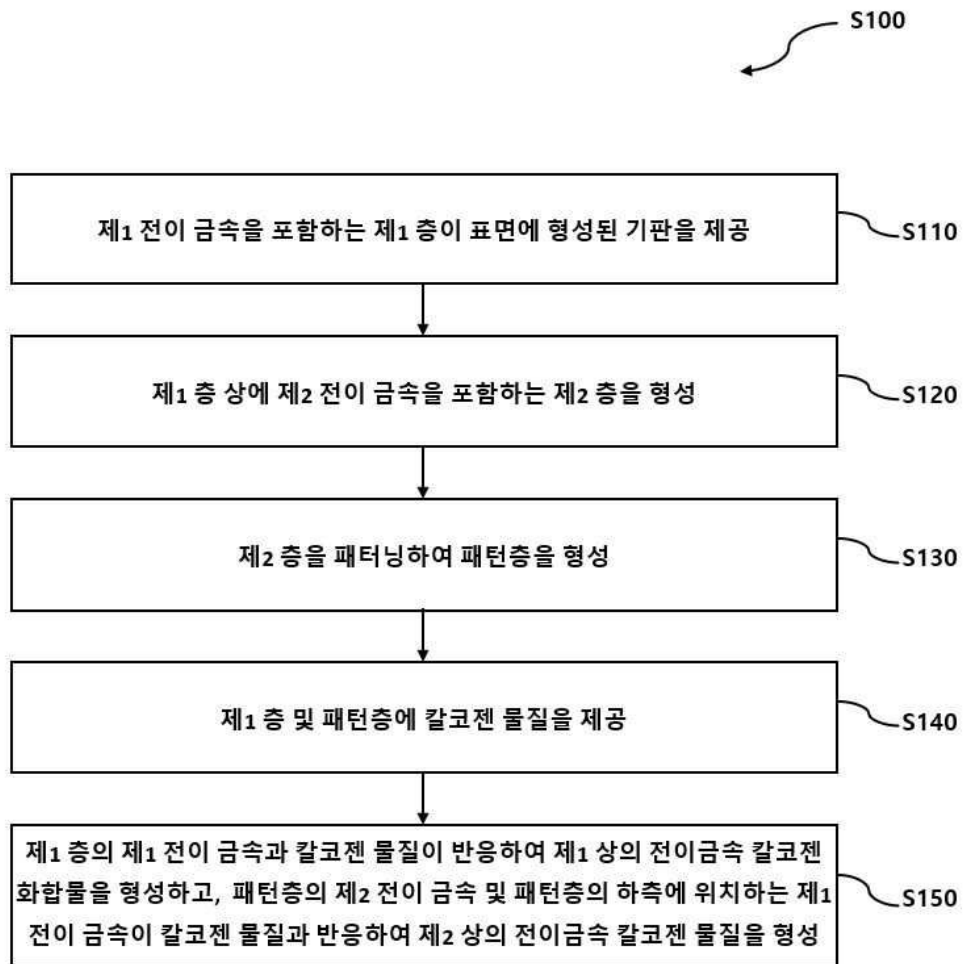
[0129] 이상에서 설명한 본 발명의 기술적 사상이 전술한 실시예 및 첨부된 도면에 한정되지 않으며, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것은, 본 발명의 기술적 사상이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

### 부호의 설명

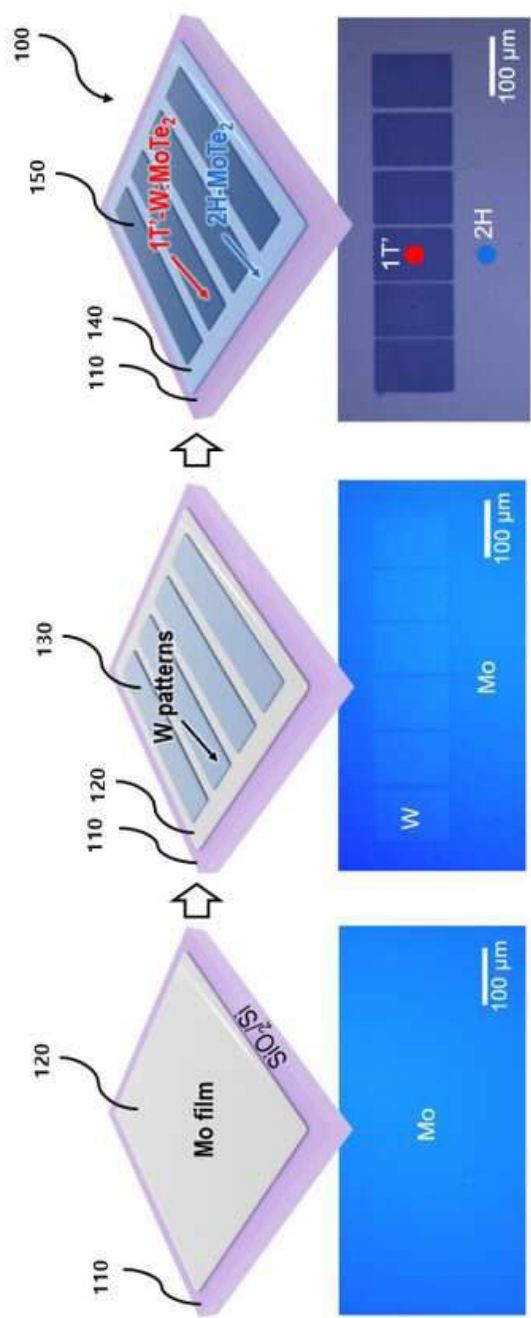
- [0130] 100: 수평형 접합 반도체 소자,  
110: 기판,  
120: 몰리브덴 층,  
130: 텅스텐 패터층,  
140:  $2H MoTe_2$  층,  
150:  $1T' W:MoTe_2$  패터층,

도면

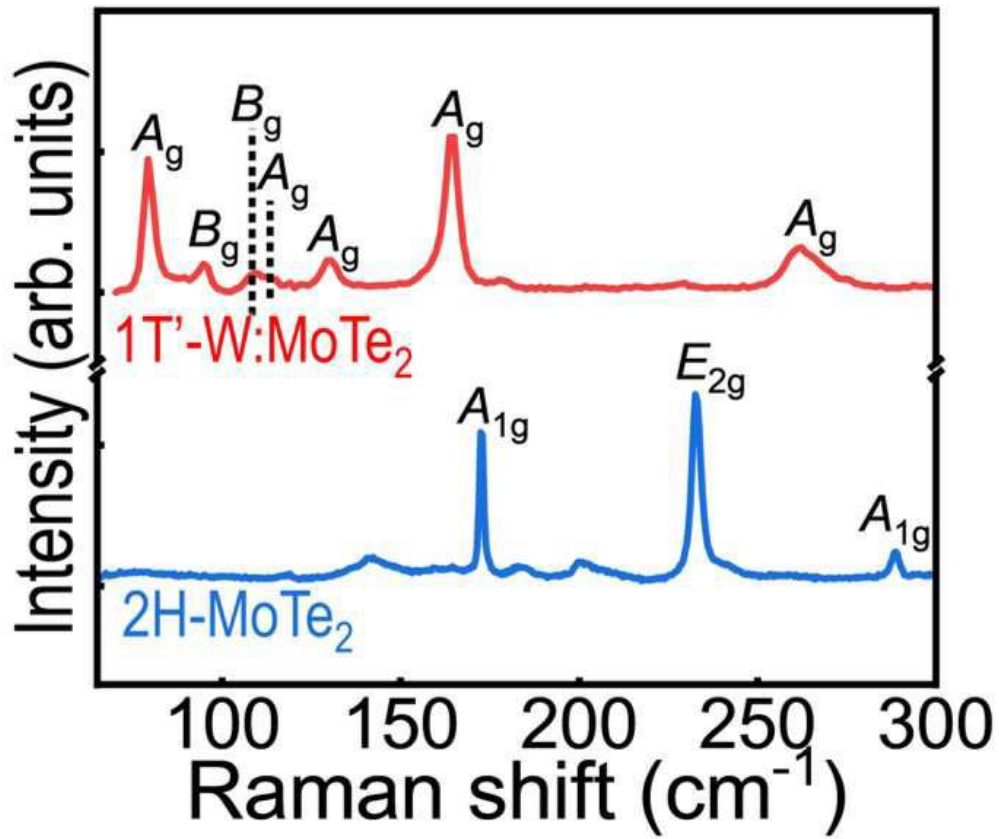
도면1



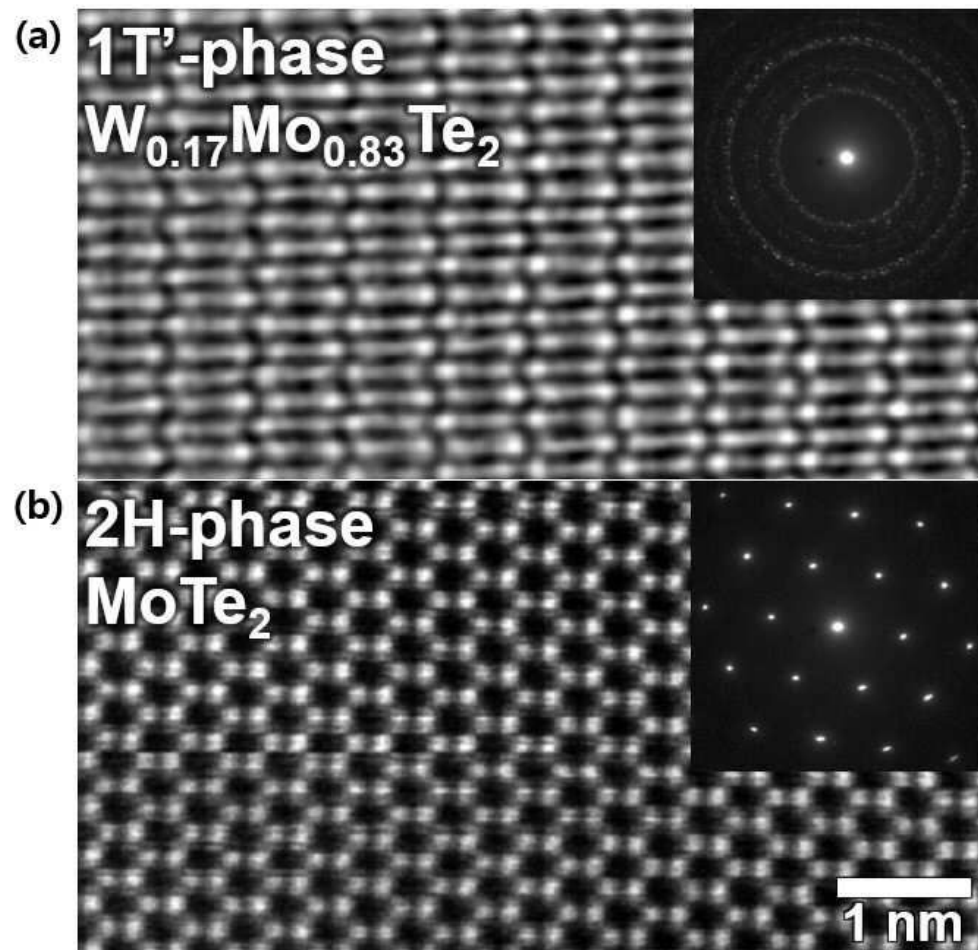
도면2



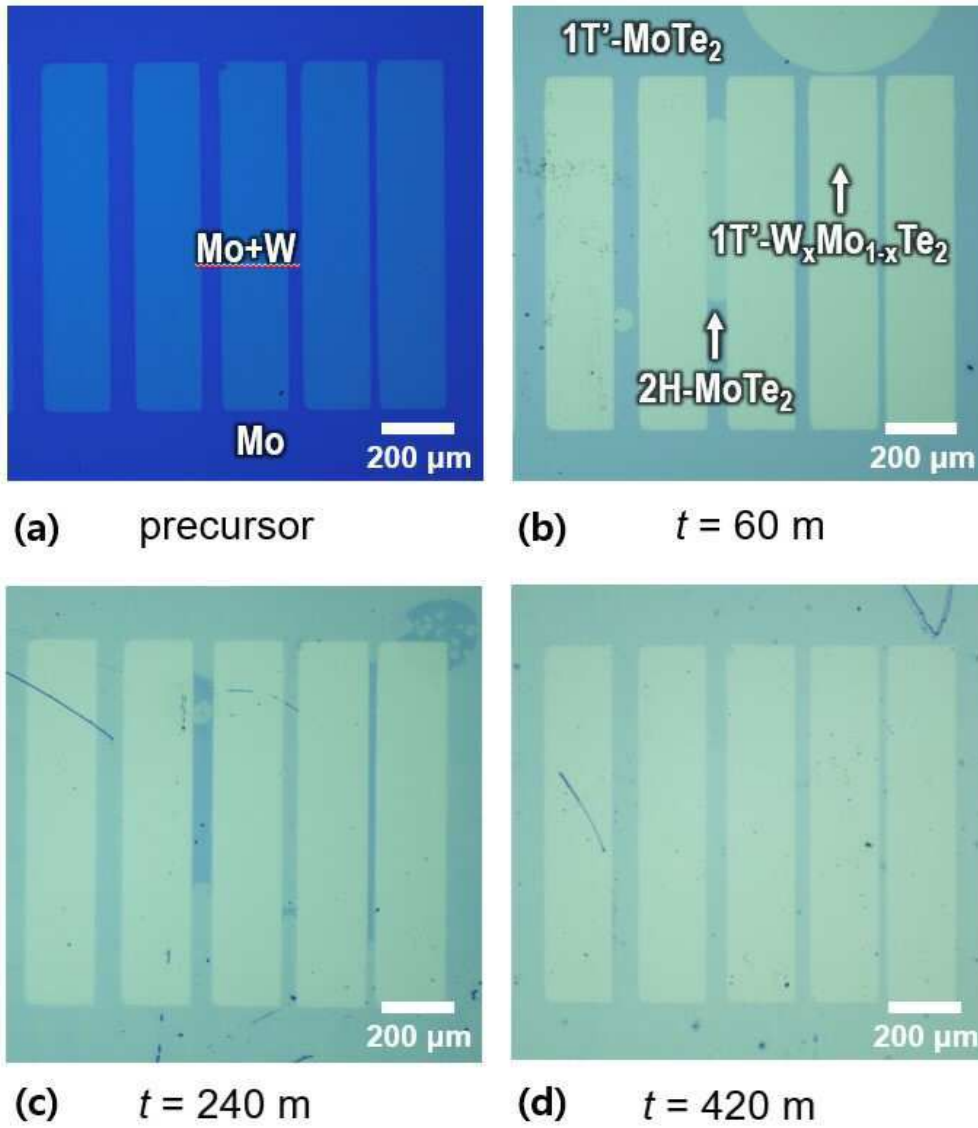
도면3



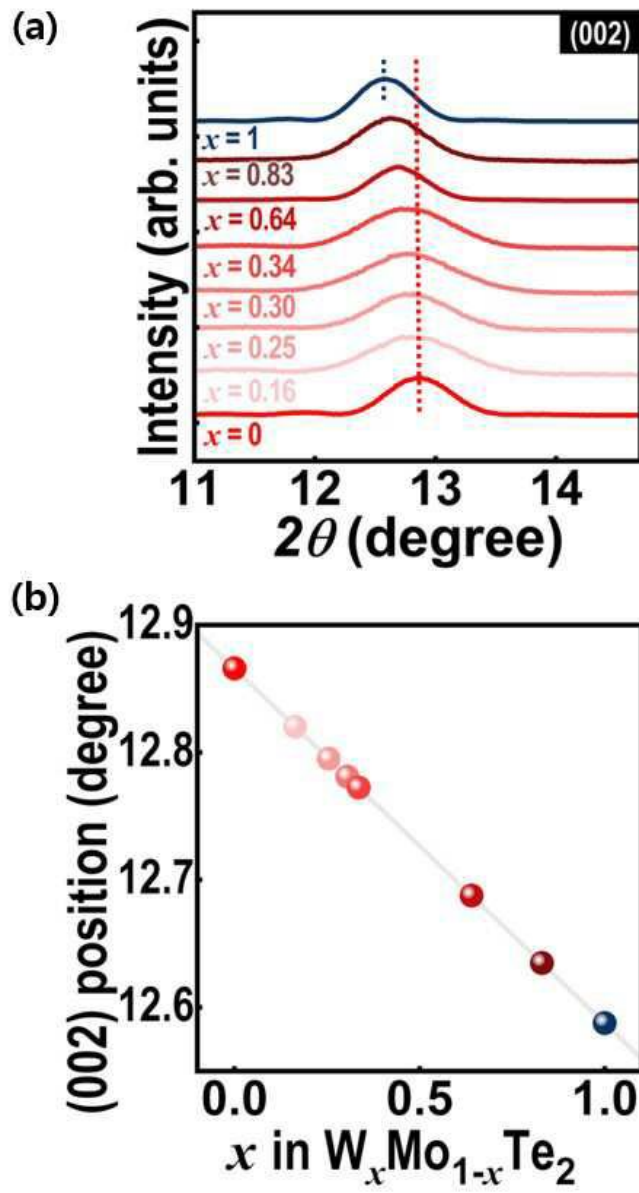
도면4



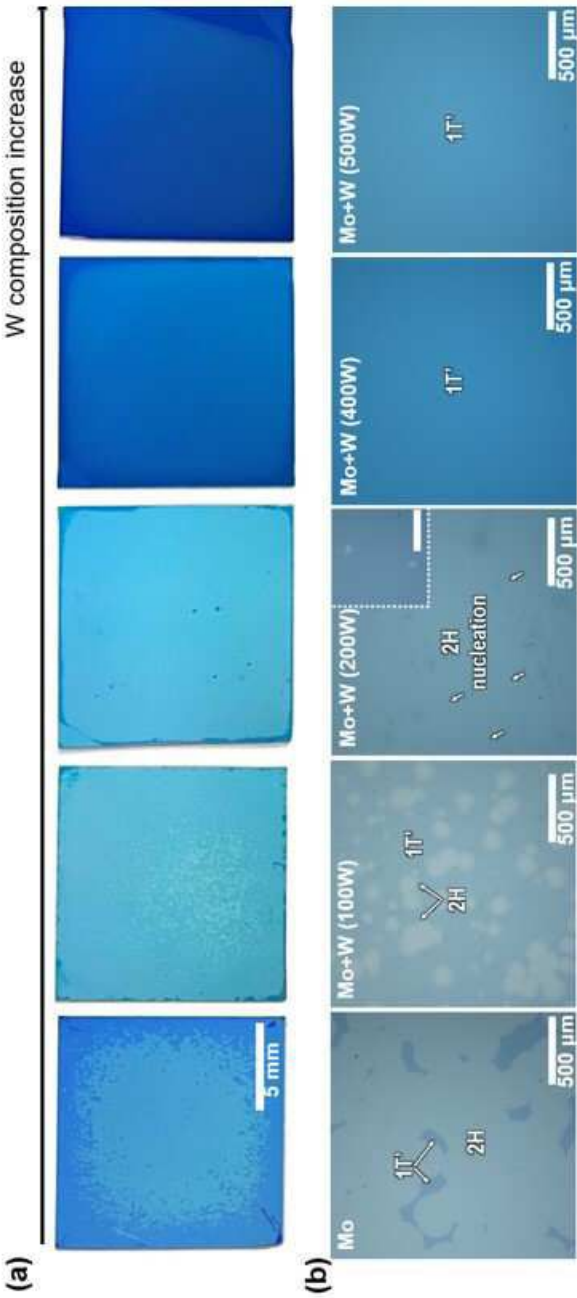
도면5



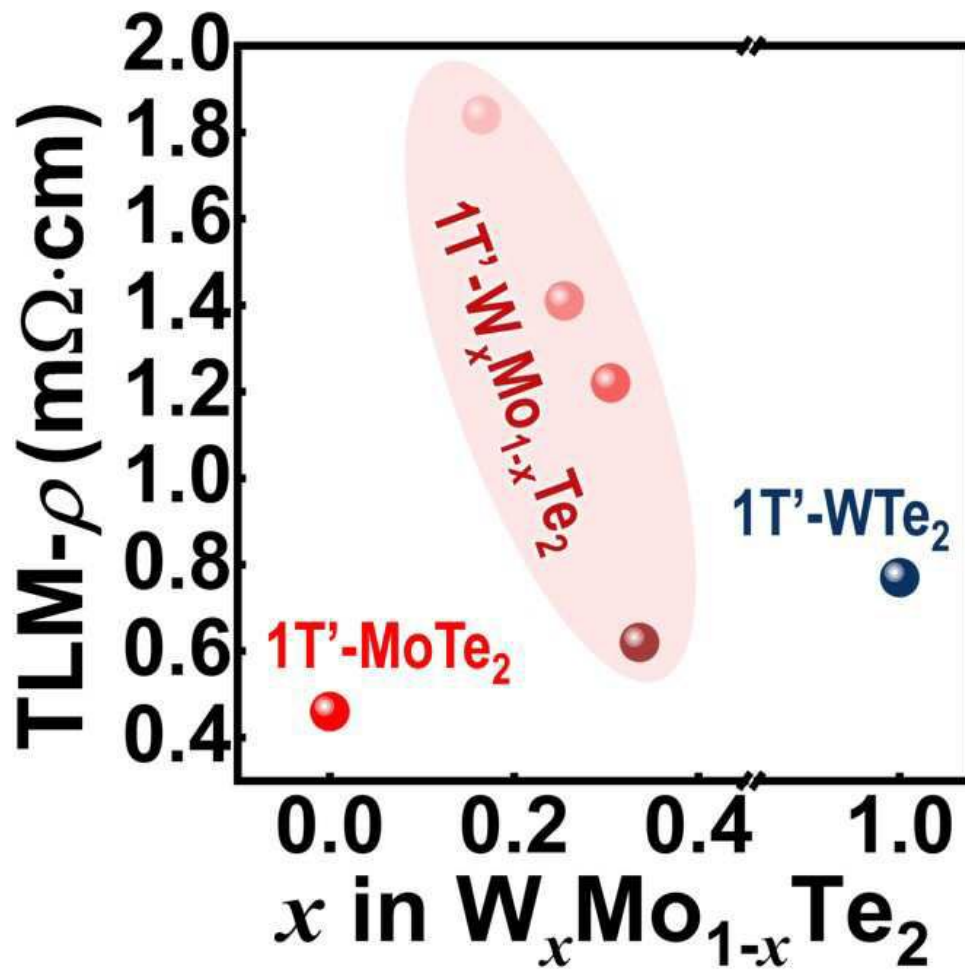
도면6



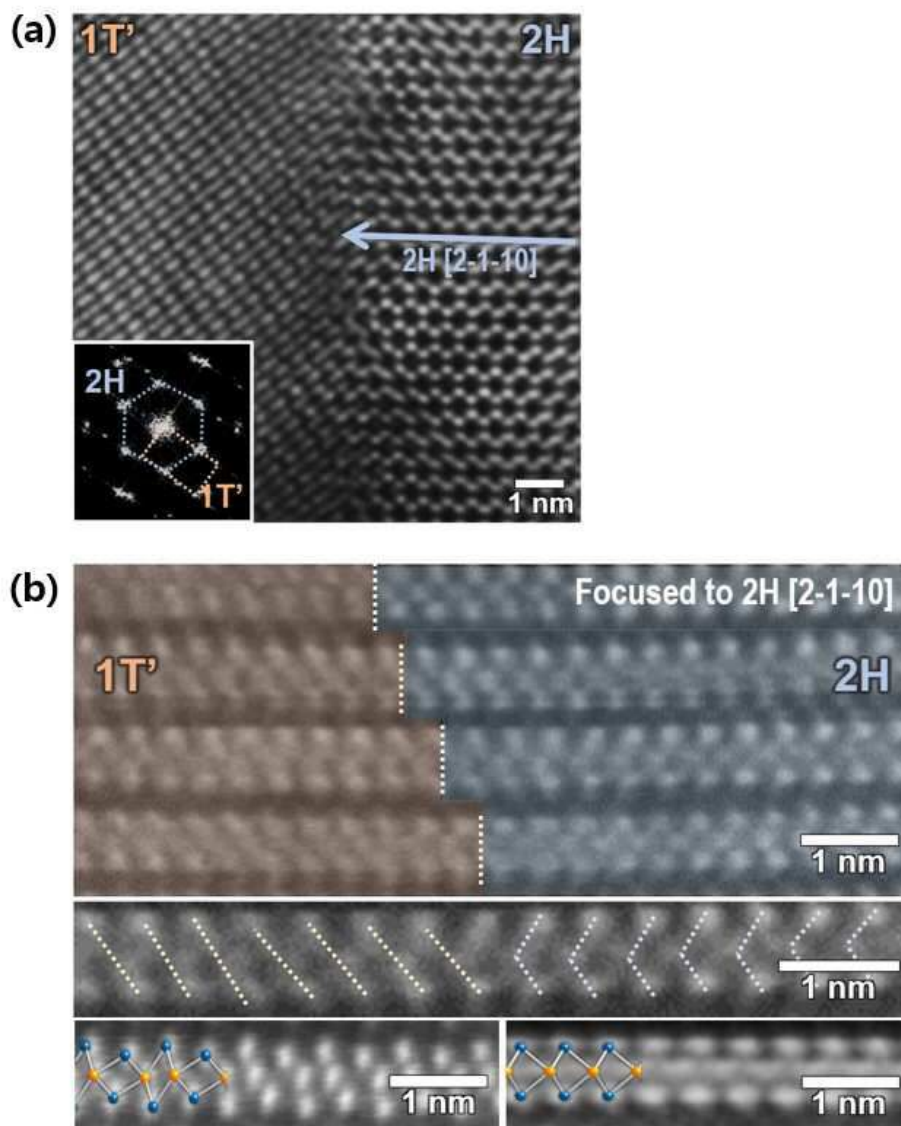
도면7



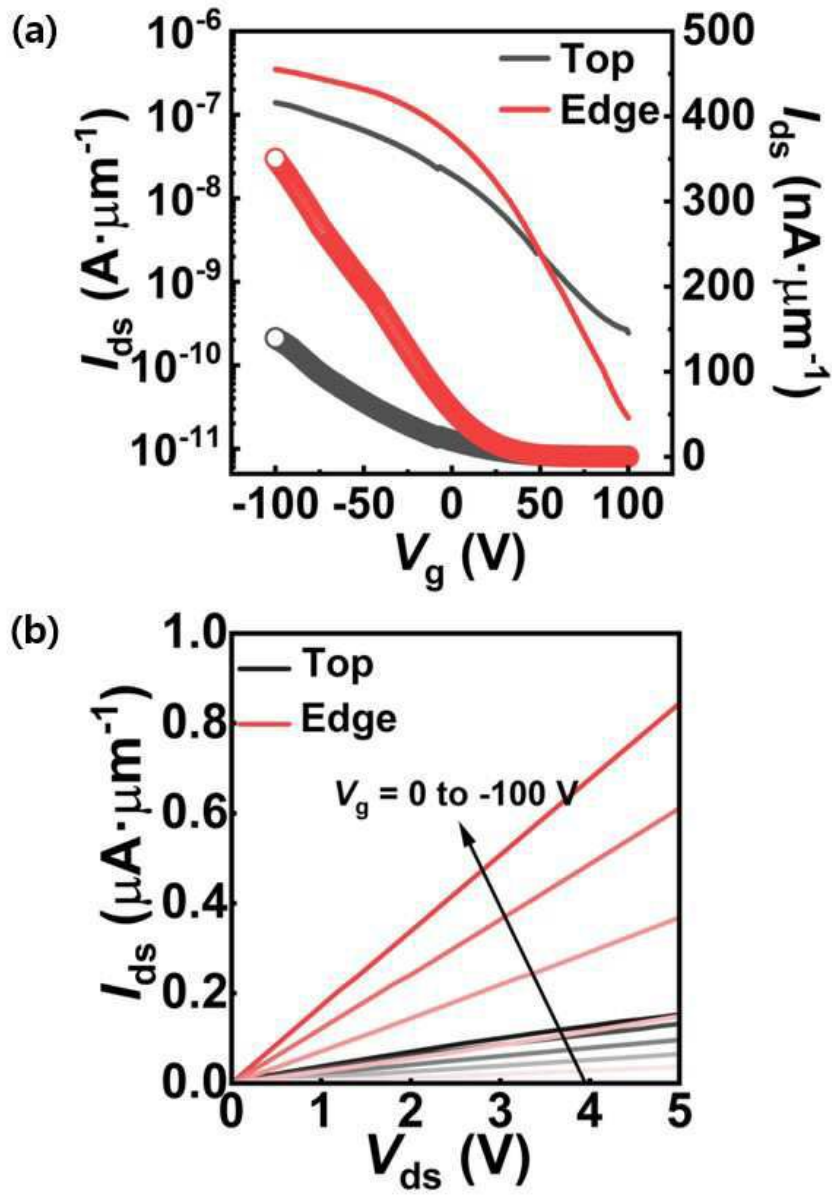
도면8



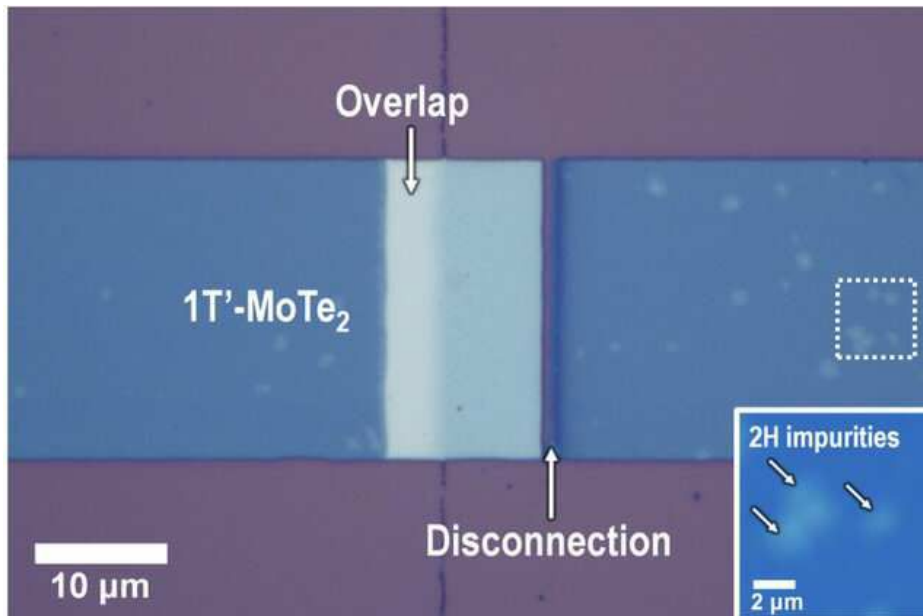
도면9



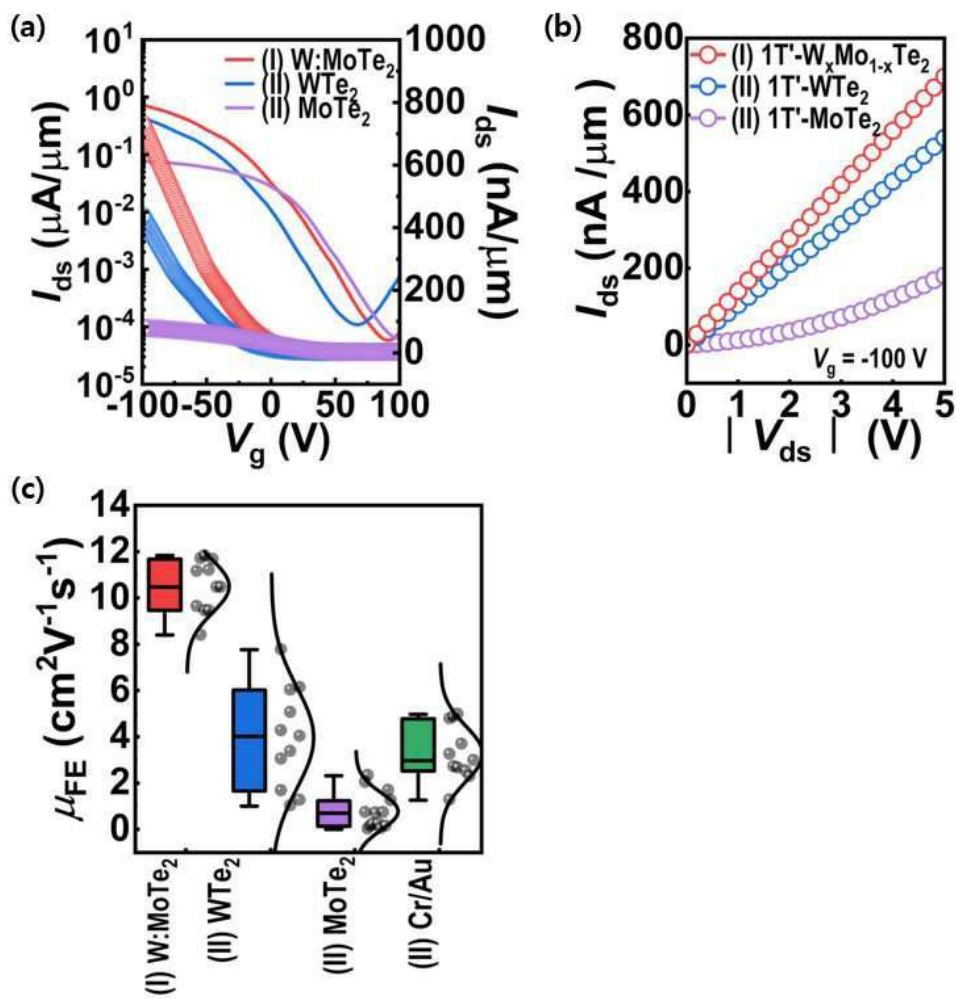
도면10



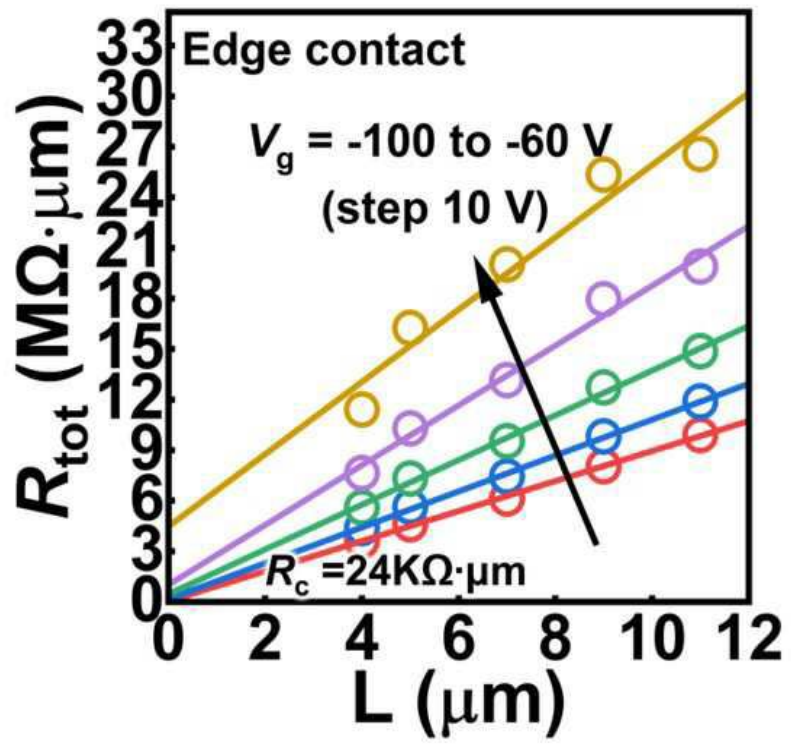
도면11



도면12



도면13



도면14

