

⑫ DEMANDE DE BREVET D'INVENTION

A1

②② Date de dépôt : 12.07.91.

③③ Priorité : 24.05.91 KR 9108456.

④③ Date de la mise à disposition du public de la demande : 27.11.92 Bulletin 92/48.

⑤⑥ Liste des documents cités dans le rapport de recherche : *Le rapport de recherche n'a pas été établi à la date de publication de la demande.*

⑥⑥ Références à d'autres documents nationaux apparentés :

⑦① Demandeur(s) : Société dite: SAMSUNG ELECTRONICS CO., LTD. — KR.

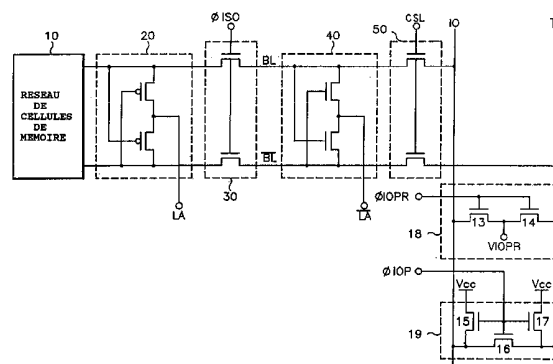
⑦② Inventeur(s) : Yu JøHwan.

⑦③ Titulaire(s) :

⑦④ Mandataire : Cabinet Bonnet-Thirion G. Foldès.

⑤④ Procédé pour précharger des lignes d'entrée/sortie d'un dispositif de mémoire.

⑤⑦ Pour maintenir stable un niveau de préchargement et d'égalisation de lignes d'entrée/sortie (IO, IO) et pour un accès rapide aux données pendant le cycle actif d'un signal d'échantillonnage d'adresse de ligne, un premier signal de préchargement ( $\bar{U}OPR$ ) est délivré au premier circuit de préchargement, pendant un intervalle de temps avant que le signal d'adresse (RAi) ne soit appliqué au premier circuit de préchargement. Puis, un second signal de préchargement ( $\bar{U}IOP$ ) est délivré au second circuit de préchargement (19), pendant un intervalle de temps allant de la réception du signal d'adresse (RAi) jusqu'à l'instant où le signal de sélection de ligne de colonne est activé, et les lignes d'entrée/sortie sont connectées aux lignes de bit avec entre elles une différence de potentiel prédéterminée.



FR 2 676 854 - A1



**PROCEDE POUR PRECHARGER DES LIGNES D'ENTREE/SORTIE D'UN  
DISPOSITIF DE MEMOIRE**

La présente invention se rapporte à un dispositif de  
5 mémoire et particulièrement à un procédé pour précharger les  
lignes d'entrée/sortie du dispositif de mémoire.

Il y a différentes lignes de transmission de signal dans  
les dispositifs de mémoire à semiconducteur qui ont tendance  
à augmenter en degré d'intégration et en vitesse. Par  
10 exemple, les lignes d'entrée/sortie pour transmettre les  
données d'entrée/sortie servent de trajet pour produire, à  
travers une mémoire de tampon de sortie, des données lues  
dans une cellule de mémoire sélectionnée, et habituellement  
servent de trajet pour délivrer des données externes à une  
15 cellule de mémoire sélectionnée. Dans les dispositifs de  
mémoire qui sont couramment utilisés, puisque l'information  
est transmise par une paire de bits, les lignes  
d'entrée/sortie pour transmettre les données sont également  
constituées d'une paire de lignes correspondant à la paire de  
20 bits. Dans la paire de lignes d'entrée/sortie, l'une des  
lignes représente l'information de la cellule de mémoire,  
tandis que l'autre ligne représente une valeur complémentaire  
de celle-ci. Lorsque l'information de la cellule de mémoire  
sélectionnée apparaît sur de telles lignes d'entrée/sortie  
25 sous la forme de tensions, un amplificateur de détection  
détecte et amplifie la différence entre les deux tensions, en  
faisant ainsi en sorte qu'il soit possible de reconnaître  
l'information de manière valide. Afin d'effectuer  
efficacement la transmission de signal mentionnée ci-dessus,  
30 les vitesses de transmission doivent être rapides non  
seulement dans les lignes de bit du réseau de mémoire, mais  
également dans les lignes d'entrée/sortie de celui-ci, et il  
doit être tenu compte de la vitesse à laquelle les lignes  
d'entrée/sortie sont séparées.

35 La figure 1 représente un circuit de colonne d'un  
dispositif de mémoire, montrant le processus de transmission

de l'information au moyen de lignes de bit, d'un amplificateur de détection et de lignes d'entrée/sortie, après lecture de l'information dans une cellule de mémoire d'un dispositif de mémoire. Comme cela est montré dans le  
5 dessin, un amplificateur de détection de type p 20 et un amplificateur de type n 40 sont connectés entre une ligne de bit BL et une ligne de bit complémentaire  $\overline{BL}$  qui sont connectées à un réseau de cellules de mémoire 10, tandis qu'une grille de séparation 30 est connectée entre  
10 l'amplificateur de détection du type p 20 et l'amplificateur de détection de type n 40, la grille de séparation 30 reliant respectivement la ligne de bit BL et la ligne de bit complémentaire  $\overline{BL}$  au réseau de cellules de mémoire 10.

La grille de séparation 30 est commandée en fonction  
15 d'impulsions d'horloge de séparation  $\phi_{ISO}$ , tandis que les lignes de bit BL,  $\overline{BL}$  sont connectées à travers une grille de colonne 50 aux lignes d'entrée/sortie IO et  $\overline{IO}$ , alors que la grille de colonne 50 est commandée en fonction d'un signal de sélection de colonne CSL sorti d'un décodeur de colonne qui  
20 n'est pas représenté. Entre la ligne d'entrée/sortie IO et la ligne d'entrée/sortie complémentaire  $\overline{IO}$  sont connectées en parallèle à un premier circuit de préchargement de ligne d'entrée/sortie 18 et à un second circuit de préchargement de ligne d'entrée/sortie 19. Le premier circuit 18 comprend des  
25 transistors NMOS (à semiconducteurs métal-oxyde de type N) 13 et 14 qui reçoivent un premier signal de préchargement  $\phi_{IOPR}$  par l'intermédiaire de leurs grilles, tandis que le second circuit 19 comprend trois transistors NMOS 15, 16 et 17 qui reçoivent un second signal de préchargement  $\phi_{IOP}$  par  
30 l'intermédiaire de leurs grilles. Une tension de préchargement de ligne d'entrée/sortie  $V_{IOPR}$  d'un niveau de  $(1/2)V_{CC}$  est délivrée à une connexion des canaux des deux transistors 13 et 14 dans le premier circuit de préchargement 18.

Dans le second circuit de préchargement 19, les canaux des transistors NMOS 15 et 17 sont respectivement connectés entre une borne d'alimentation  $V_{cc}$ , et les lignes d'entrée/sortie  $I_0$  et  $\overline{I_0}$ , tandis que le canal du transistor NMOS 16 est connecté entre les lignes d'entrée/sortie  $I_0$ ,  $\overline{I_0}$ . Dans le même temps, un amplificateur de détection d'entrée/sortie qui n'est pas représenté, capable de détecter et d'amplifier la différence de potentiel entre les lignes d'entrée/sortie, est connecté aux lignes d'entrée/sortie  $I_0$ ,  $\overline{I_0}$ . Il est à noter qu'une telle structure est connue. Il est à noter de plus que le circuit de colonne de la figure 1 est un circuit de base pour la description des procédés de préchargement de la présente invention.

Les figures 2A et 2B représentent les modes de réalisation classiques pour produire les premier et second signaux de préchargement  $\phi IOPR$ ,  $\phi IOP$ . En se référant à la figure 2A, le premier signal de préchargement  $\phi IOPR$  est obtenu en inversant un signal d'adresse de ligne  $RA_i$ . En se référant à la figure 2B, la largeur d'impulsion d'un signal de transition d'adresse de colonne  $\overline{ATS}$  est ajustée par trois inverseurs 22, 23 et 24 et une porte NON OU 25, et le signal de sortie de la porte NON OU 25 en même temps qu'un signal d'activation de colonne  $\phi YE$  est appliqué à une porte NON ET 26. Le signal sorti de la porte NON ET 26 est appliqué à un inverseur 27 pour produire le second signal de préchargement  $\phi IOP$ . Il est évident à partir des figures 2A et 2B que classiquement le premier signal de préchargement  $\phi IOPR$  est produit en fonction du signal d'adresse de ligne  $RA_i$ . Il est en outre évident que le second signal de préchargement  $\phi IOP$  est activé à l'état "haut" seulement lorsque l'adresse de colonne est transmise à la condition que le signal d'activation de colonne  $\phi YE$  soit activé à l'état "haut", de manière à ce qu'il soit délivré au second circuit de préchargement 19 de la figure 1.

Maintenant le fonctionnement du circuit de colonne de la figure 1 qui se rapporte au procédé de préchargement d'entrée/sortie classique va être décrit en se référant aux chronogrammes de fonctionnement de la figure 2C. D'abord, 5 puisque le premier signal de préchargement  $\phi IOPR$  est à l'état "haut" avant qu'un signal d'échantillonnage d'adresse de ligne  $\overline{RAS}$  soit activé à l'état "haut", la tension de préchargement de ligne d'entrée/sortie  $V_{IOPR}$  est délivrée par l'intermédiaire du premier circuit de préchargement 18 aux 10 lignes  $IO$ ,  $\overline{IO}$ , de sorte que les lignes d'entrée/sortie sont préchargées et égalisées au niveau de  $(1/2)V_{CC}$ . Ensuite, si le signal  $\overline{RAS}$  est activé à l'état "bas", et si le signal d'adresse de ligne  $RA_i$  est appliqué, le signal  $\phi IOPR$  est désactivé à l'état "bas". Lorsque l'information de la cellule 15 de mémoire qui est sélectionnée par l'entrée du signal d'adresse de ligne  $RA_i$  apparaît sur les lignes de bit, les impulsions d'horloge de détection  $LA$ ,  $\overline{LA}$  sont activées de sorte que la différence de potentiel entre les lignes  $BL$ ,  $\overline{BL}$  est amplifiée d'une valeur atteignant  $\Delta V_0$ . Dans ce cas, 20 c'est un fait bien connu que les lignes de bit  $BL$ ,  $\overline{BL}$  sont égalisées au niveau de  $(1/2)V_{CC}$ .

Lorsque les lignes de bit sont séparées par une différence de potentiel aussi grande que  $\Delta V_0$  par les amplificateurs de détection 20 et 40, le signal d'activation 25 de colonne  $\phi YE$  et activé à l'état "haut", de sorte que le signal de sélection de colonne  $CSL$  est activé à l'état "haut". Ainsi, les lignes de bit  $BL$ ,  $\overline{BL}$  qui sont séparées par une différence de potentiel aussi grande qu'une valeur donnée sont connectées aux lignes d'entrée/sortie  $IO$ ,  $\overline{IO}$  qui 30 sont préchargées à un niveau de  $(1/2)V_{CC}$ , au moyen du premier signal de préchargement  $\phi IOPR$ . Un partage de charge se produit entre les lignes d'entrée/sortie et les lignes de bit qui sont connectées par la grille de colonne 50.

Comme résultat du partage de charge, le potentiel de la 35 ligne de bit qui est plus élevé que le potentiel du niveau de

préchargement  $(1/2)V_{CC}$ , est abaissé d'une valeur aussi grande que  $\Delta V_1$ , tandis que le potentiel de la ligne de bit qui est inférieur à ce potentiel, est incrémenté d'une valeur aussi grande que  $\Delta V_2$  comme cela est montré à la figure 2C. Par  
5 conséquent, immédiatement après la connexion entre la paire de lignes de bit BL et  $-BL$  et la paire de lignes d'entrée/sortie IO,  $\overline{IO}$ , la différence de potentiel entre les lignes de bit est réduite à  $\Delta V_0 - (\Delta V_1 + \Delta V_2) = \Delta V_3$ , puis, les potentiels des lignes de bit sont, respectivement,  
10 amenés à  $V_{CC}$  et 0 volt par l'amplificateur de détection de type p 20 et l'amplificateur de détection de type n 40. Dans le même temps, les lignes d'entrée/sortie IO,  $\overline{IO}$  sont également séparées en fonction de la variation de niveau des lignes de bit. Dans ce cas, cependant, puisque la différence  
15 de potentiel  $\Delta V_3$  qui apparaît initialement sur les lignes d'entrée/sortie est faible, il faut beaucoup de temps pour former une différence de potentiel souhaitée, avec pour résultat le fait que le cycle de lecture global de la donnée est allongé. C'est-à-dire que, lorsque la différence de  
20 potentiel entre les lignes de bit est transférée par la grille de colonne 50 aux lignes d'entrée/sortie, toute différence de potentiel non souhaitée doit être réduite au minimum.

Au cours d'une telle opération, le second signal de  
25 préchargement  $\phi IOP$  commandant le second circuit de préchargement 19 est activé seulement lorsqu'il y a une transition dans l'adresse de colonne, c'est-à-dire, lorsque le signal de transition d'adresse de colonne  $\overline{ATS}$  est déclenché de l'état "haut" à l'état "bas", comme décrit ci-  
30 dessus. Par conséquent, comme cela a été décrit ci-dessus, lors de l'accès aux données en fonction du signal d'échantillonnage d'adresse  $\overline{RAS}$  sans transition de l'adresse de colonne (état  $T_{RAC}$ ), le second signal de préchargement est maintenu à l'état "bas", c'est-à-dire que le second circuit  
35 de préchargement 19 de la figure 1 n'est pas commandé, avec

pour résultat le fait que la vitesse de séparation des lignes d'entrée/sortie est retardée d'un cycle actif de  $\overline{RAS}$ , et que la borne de tension de préchargement  $(1/2)V_{cc}$  devient instable pendant le préchargement des lignes d'entrée/sortie.

5        En outre, selon le procédé classique, si le signal  $\overline{RAS}$  est activé à l'état "haut", l'entrée du signal d'adresse de ligne RAi est terminée, c'est-à-dire que le signal d'adresse de ligne RAi est activé à l'état "bas", et par conséquent, le premier signal de préchargement  $\phi_{IOPR}$  est activé à l'état  
10 "haut", avec pour résultat le fait que les lignes d'entrée/sortie IO,  $\overline{IO}$  sont préchargées au niveau de  $(1/2)V_{cc}$ . Dans cet état, cependant, si la borne de tension de préchargement de ligne d'entrée/sortie VIOPR du niveau de  $(1/2)V_{cc}$  et les lignes d'entrée/sortie IO,  $\overline{IO}$  sont  
15 connectées, du courant issu de la ligne d'entrée/sortie IO (ou de la ligne d'entrée/sortie  $\overline{IO}$ ) ayant un potentiel plus élevé que le niveau de  $(1/2)V_{cc}$  s'écoule dans la borne de tension de préchargement VIOPR, et ensuite, le courant issu de la borne de préchargement VIOPR s'écoule dans la ligne  
20 d'entrée/sortie complémentaire  $\overline{IO}$  (ou dans la ligne d'entrée/sortie IO) ayant un potentiel plus bas que le niveau de préchargement. Par conséquent, apparaît le problème que le niveau de caractéristique de la tension de préchargement de ligne d'entrée/sortie VIOPR, c'est-à-dire, la valeur  $(1/2)V_{cc}$   
25 devient instable.

Par conséquent c'est un objectif de la présente invention de créer un procédé de préchargement des lignes d'entrée/sortie dans un dispositif de mémoire qui ait une vitesse de séparation rapide des lignes d'entrée/sortie dans  
30 l'état d'accès aux données par un signal  $\overline{RAS}$  (état  $T_{RAC}$ ).

C'est un autre objectif de la présente invention de créer un procédé de préchargement de ligne d'entrée/sortie dans lequel la borne de tension de préchargement puisse être maintenue dans un état stable lorsque les lignes

d'entrée/sortie sont préchargées dans le cycle de préchargement  $\overline{RAS}$ , dans le dispositif de mémoire.

Selon un aspect de la présente invention, le procédé de la présente invention est appliqué à un dispositif de mémoire à semiconducteurs effectuant une lecture au moyen d'une information de lignes de bit mémorisée dans une cellule de mémoire en concordance avec une ligne de mot sélectionnée par un signal d'adresse, produisant l'information lue au moyen d'une ligne de colonne sélectionnée, et préchargeant ou égalisant les lignes d'entrée/sortie à un niveau prédéterminé en utilisant un premier et un second circuits de préchargement connectés entre les lignes d'entrée/sortie.

La présente invention propose à cet effet un procédé de préchargement de ligne d'entrée/sortie, comprenant les étapes de : délivrance au premier circuit de préchargement d'un premier signal de préchargement en concordance avec le signal d'adresse pour sélectionner la ligne de mot, pendant un intervalle de temps avant que le signal d'adresse lui soit appliqué; délivrance au second circuit de préchargement d'un second signal de préchargement en concordance avec l'adresse et un signal pour sélectionner la ligne de colonne, pendant un intervalle de temps allant de la réception du signal d'adresse jusqu'à l'instant où le signal pour sélectionner la ligne de colonne est activé; connexion des lignes d'entrée/sortie aux lignes de bit avec entre elles une différence de potentiel prédéterminée, en concordance avec le signal pour sélectionner la ligne de colonne; délivrance au second circuit de préchargement du second signal de préchargement après que le signal pour sélectionner la ligne de colonne soit désactivé; et achèvement de la délivrance du second signal de préchargement lorsque le signal d'adresse est terminé, et délivrance au premier circuit de préchargement du premier signal de préchargement.

Les caractéristiques et avantages de l'invention ressortiront d'ailleurs de la description qui va suivre à

titre d'exemple en référence aux dessins annexés, sur lesquels :

La figure 1 représente un circuit de colonne d'un dispositif de mémoire;

5 Les figures 2A et 2B représentent un circuit pour produire un signal de préchargement de lignes d'entrée/sortie selon le procédé classique;

La figure 2C représente des chronogrammes de fonctionnement selon le procédé classique;

10 Les figures 3A et 3B représentent un circuit pour produire un signal de préchargement de lignes d'entrée/sortie selon la présente invention; et

La figure 3C représente des chronogrammes de fonctionnement selon la présente invention.

15 Le procédé de préchargement d'entrée/sortie selon la présente invention va être décrit en se référant aux figures 3A à 3C. Dans l'application du procédé de la présente invention, un circuit de colonne de la figure 1 est pris comme base.

20 La figure 3A représente un circuit pour produire un premier signal de préchargement  $\phi IOPR$  pour utilisation dans le procédé de la présente invention, et ce signal est obtenu par l'inversion du signal d'adresse de ligne  $RA_i$ , comme cela est montré à la figures 2A. Cependant, en se référant à la  
25 figure 3B qui représente un circuit pour produire un second signal de préchargement  $\phi IOP$ , le signal d'adresse de ligne  $RA_i$  et un signal d'activation de colonne  $\phi YE$  qui est inversé par l'inverseur 32 sont combinés logiquement par une porte NON ET 33 contrairement au cas de la figure 2B, et ensuite,  
30 le signal sorti de la porte NON ET 33 est inversé par un inverseur 34, pour obtenir par ce moyen le second signal de préchargement  $\phi IOP$ .

Le second signal de préchargement  $\phi IOP$  selon la présente invention peut également être produit en réalisant un circuit  
35 différent du circuit de porte de la figure 3B. C'est-à-dire

que le circuit de la figure 3B peut être constitué par un circuit conçu pour être activé lorsque le signal d'adresse de ligne RA<sub>i</sub> et le signal d'activation de colonne  $\phi_{YE}$  sont, respectivement, à l'état "haut" et "bas", ou à l'état "bas" et "haut" comme cela est montré dans les chronogrammes de la figure 3C.

Les descriptions ci-dessous partiront d'un état dans lequel la différence de potentiel entre une paire de lignes de bit BL,  $\overline{BL}$  est  $\Delta V_0$ , lorsque l'information d'une cellule de mémoire sélectionnée est détectée et amplifiée par les amplificateurs de détection 20 et 40 de la figure 1. Les procédures qui ont eu lieu avant l'état ci-dessus ont déjà été suffisamment décrites et par conséquent les personnes expérimentées dans la technique les comprendront suffisamment.

En se référant à la figure 3C, si le signal d'adresse de ligne RA<sub>i</sub> est appliqué au circuit à l'état "haut" avant que le signal d'activation de colonne  $\phi_{YE}$  ne soit activé à l'état "haut", le premier signal de préchargement  $\phi_{IOPR}$  est désactivé à l'état "bas", et par conséquent, les lignes d'entrée/sortie IO,  $\overline{IO}$  sont déconnectées de la borne de tension de préchargement VIOPR du niveau de  $(1/2)V_{cc}$ . Puis, le second signal de préchargement  $\phi_{IOP}$  est activé à l'état "haut", et par conséquent les potentiels des lignes d'entrée/sortie IO,  $\overline{IO}$  qui avaient été égalisés au niveau de  $(1/2)V_{cc}$  s'élèvent au niveau de  $V_{cc} - V_{tn}$ . Dans ce cas,  $V_{tn}$  est la tension de seuil d'un transistor NMOS 15 ou 17 dans le second circuit de préchargement 19, et le niveau  $(1/2)V_{cc}$  sera appelé un premier niveau de préchargement et le niveau  $V_{cc} - V_{tn}$  un second niveau de préchargement.

Lorsque le signal d'activation de colonne  $\phi_{YE}$  est activé au niveau haut dans un état dans lequel les lignes d'entrée/sortie IO,  $\overline{IO}$  sont égalisées au second niveau de préchargement, le second signal de préchargement  $\phi_{IOP}$  est désactivé à l'état "bas" et un signal de sélection de colonne

CSL est activé, de sorte que les lignes de bit BL,  $\overline{BL}$  ayant une différence de potentiel de  $\Delta V_0$  sont connectées aux lignes IO,  $\overline{IO}$  qui sont au second niveau de préchargement. Puisque le second niveau de préchargement est plus élevé que  
5 l'un quelconque des potentiels de la ligne de bit BL et de la ligne de bit complémentaire  $\overline{BL}$ , le potentiel de chacune des lignes de bit s'élève vers le second niveau de préchargement en raison du partage de charge avec les lignes d'entrée/sortie. C'est-à-dire, comme cela est montré à la  
10 figure 3C, que le potentiel de la ligne de bit BL (ou de la ligne de bit complémentaire  $\overline{BL}$ ) s'élève d'une valeur aussi grande que  $\Delta V_1'$  et que la ligne de bit complémentaire  $\overline{BL}$  (ou la ligne de bit BL) s'élève d'une valeur aussi grande que  $\Delta V_2'$ . Par conséquent, la différence de potentiel entre la  
15 ligne d'entrée/sortie IO et la ligne d'entrée/sortie complémentaire  $\overline{IO}$  devient  $\Delta V_3'$ , et la valeur ci-dessus  $\Delta V_3'$  est beaucoup plus élevée que la valeur classique  $\Delta V_3$ .

Ensuite, à cause de l'amplificateur de détection d'entrée/sortie qui n'est pas représenté à la figure 1, connecté aux lignes d'entrée/sortie IO,  $\overline{IO}$ , la différence de  
20 potentiel entre les lignes d'entrée/sortie IO,  $\overline{IO}$  est séparée jusqu'à une valeur plus grande que  $\Delta V_3'$ . A l'instant où les lignes de bit sont connectées aux lignes d'entrée/sortie, ou lorsque la détection et l'amplification  
25 pour les lignes d'entrée/sortie démarrent, une différence de potentiel suffisante est formée entre la paire de lignes d'entrée/sortie, et par conséquent la vitesse d'accès aux données par l'intermédiaire des lignes d'entrée/sortie devient plus rapide que celle du procédé classique, ceci  
30 devant être évident pour les personnes expérimentées dans la technique.

En outre, selon le procédé de préchargement de lignes d'entrée/sortie de la présente invention, les données chargées sur les lignes d'entrée/sortie sont suffisamment  
35 amplifiées et transmises à une mémoire tampon de donnée qui

n'est pas représentée, et ensuite le signal d'activation de colonne  $\phi_{YE}$  est désactivé à l'état "bas", et par conséquent, le second signal de préchargement  $\phi_{IOP}$  est activé à nouveau à l'état "haut". Ainsi, la paire de lignes d'entrée/sortie IO,  
5  $\overline{IO}$  séparées sont égalisées à une tension d'environ  $-V_{cc}$ , puisque la durée d'égalisation est très courte. Ensuite, si l'entrée du signal d'adresse de ligne RAI est terminée à l'état "bas", le second signal de préchargement  $\phi_{IOP}$  est désactivé à l'état "bas", et le premier signal de  
10 préchargement  $\phi_{IOPR}$  est activé, de sorte que les lignes d'entrée/sortie sont égalisées au premier niveau de préchargement.

Dans cet état, puisque la ligne d'entrée/sortie IO, et la ligne d'entrée/sortie complémentaire  $\overline{IO}$  sont égalisées à  
15 une tension autour du niveau de  $(1/2)V_{cc}$  avant l'activation du signal  $\phi_{IOPR}$ , dans le cas où le signal  $\phi_{IOPR}$  est activé à l'état "haut", la tension d'égalisation devient presque la même que celle de la borne de tension de préchargement VIOPR, de sorte que le courant qui s'écoule des lignes  
20 d'entrée/sortie vers la borne de tension de préchargement VIOPR a une plus petite valeur, en stabilisant grandement par ce moyen la tension de la borne VIOPR par comparaison avec le cas du procédé classique.

A côté du mode de réalisation décrit ci-dessus, d'autres  
25 modes de réalisation pour atteindre les objectifs de la présente invention seront possibles, comme cela sera évident pour les personnes qui ont une expérience ordinaire dans la technique.

Selon la présente invention telle qu'elle est décrite  
30 ci-dessus, on peut éviter le retard de l'accès aux données provoqué par une réduction indésirable de la différence de potentiel pendant la connexion des lignes d'entrée/sortie aux lignes de bit dans le cycle actif  $\overline{RAS}$ , en permettant par ce moyen d'obtenir une détection et un accès à vitesse élevée  
35 sur les lignes d'entrée/sortie.

En outre, selon la présente invention, les potentiels courants des lignes d'entrée/sortie sont stabilisés et ensuite égalisés pendant le préchargement des lignes d'entrée/sortie en empêchant par ce moyen l'instabilité de la  
5 tension de la borne de tension de préchargement.

Bien que l'invention ait été particulièrement montrée et décrite en se référant à un mode de réalisation préféré de celle-ci, il sera compris aisément par les personnes expérimentées dans cette technique que des modifications de  
10 détails peuvent être effectuées sans sortir de l'esprit et du domaine de l'invention.

## REVENDICATIONS

1. Procédé de préchargement et d'égalisation des lignes d'entrée/sortie ( $IO, \overline{IO}$ ) dans un dispositif de mémoire à  
5 semiconducteurs effectuant une lecture au moyen d'une information de lignes de bit mémorisée dans une cellule de mémoire en concordance avec une ligne de mot sélectionnée par un signal d'adresse ( $RA_i$ ) prédéterminé, produisant l'information lue au moyen d'une ligne de colonne  
10 sélectionnée, et préchargeant et égalisant les lignes d'entrée/sortie ( $IO, \overline{IO}$ ) à un niveau prédéterminé en utilisant un premier (18) et un second (19) circuits de préchargement connectés entre les lignes d'entrée/sortie ( $IO, \overline{IO}$ ), ledit procédé étant caractérisé en ce qu'il  
15 comprend les étapes de :

(a) délivrance audit premier circuit de préchargement (18) d'un premier signal de préchargement ( $\phi IOPR$ ) en concordance avec le signal d'adresse ( $RA_i$ ) pour sélectionner ladite ligne de mot, pendant un intervalle de temps avant que  
20 ledit signal d'adresse ( $RA_i$ ) lui soit appliqué;

(b) délivrance audit second circuit de préchargement (19) d'un second signal de préchargement ( $\phi IOP$ ) en concordance avec ledit signal d'adresse ( $RA_i$ ) et un signal pour sélectionner la ligne de colonne, pendant un intervalle  
25 de temps allant de la réception du signal d'adresse ( $RA_i$ ) jusqu'à l'instant où le signal pour sélectionner la ligne de colonne est activé;

(c) connexion desdites lignes d'entrée/sortie ( $IO, \overline{IO}$ ) auxdites lignes de bit ( $BL, \overline{BL}$ ) avec entre elles une  
30 différence de potentiel prédéterminée, en concordance avec ledit signal pour sélectionner la ligne de colonne;

(d) délivrance audit second circuit de préchargement (19) dudit second signal de préchargement ( $\phi IOP$ ) après que ledit signal pour sélectionner la ligne de colonne soit  
35 désactivé; et

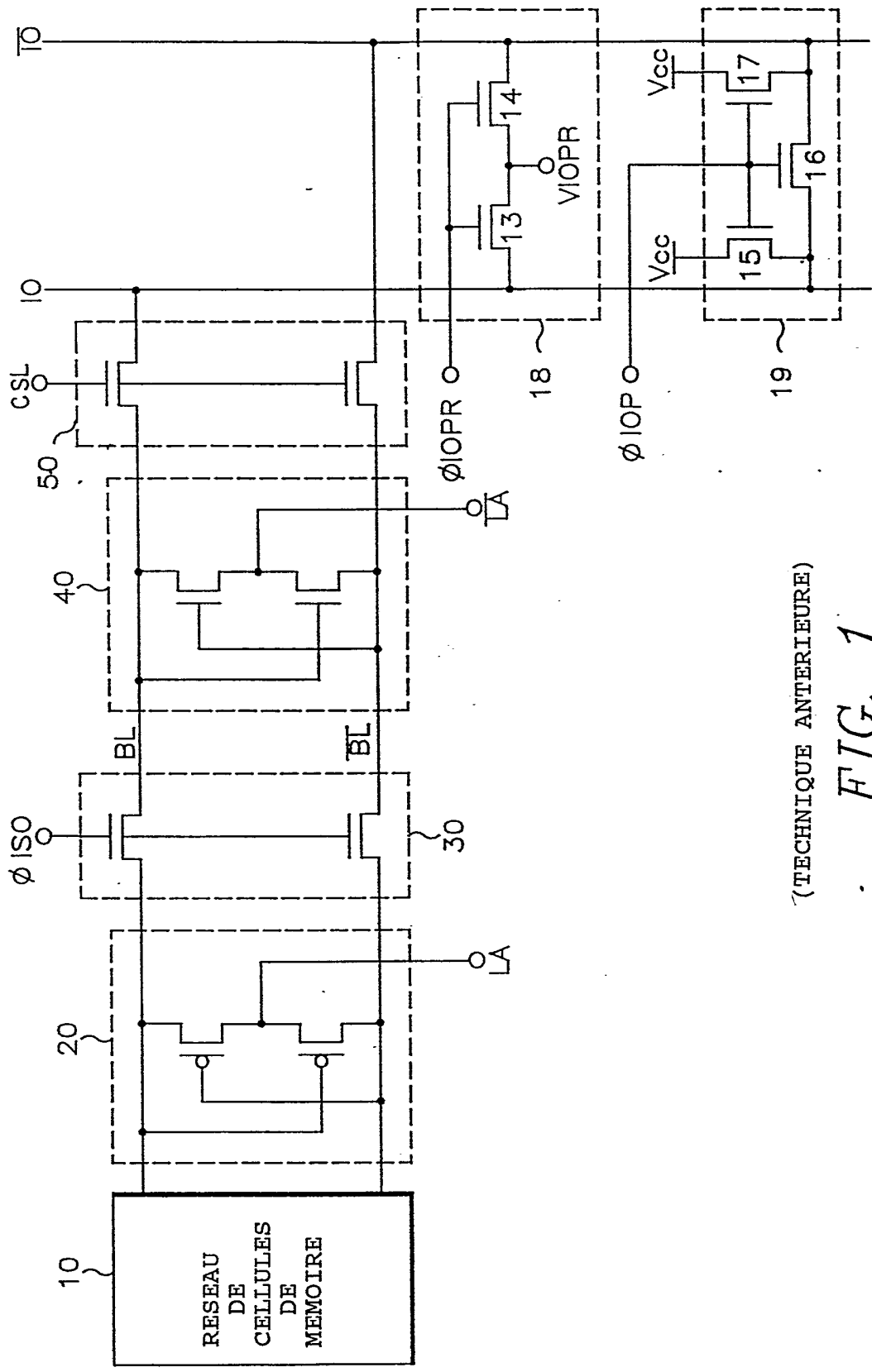
(e) achèvement de la délivrance dudit second signal de préchargement ( $\phi IOP$ ) lorsque ledit signal d'adresse ( $RA_i$ ) est terminé, et délivrance audit premier circuit de préchargement (18) dudit premier signal de préchargement ( $\phi IOPR$ ).

5           2. Procédé tel que revendiqué dans la revendication 1, caractérisé en ce que lesdites lignes d'entrée/sortie ( $IO$ ,  $\overline{IO}$ ) sont préchargées et égalisées à un premier niveau de tension, pendant lesdites étapes (a) et (e).

10           3. Procédé tel que revendiqué dans la revendication 2, caractérisé en ce que lesdites lignes d'entrée/sortie ( $IO$ ,  $\overline{IO}$ ) sont préchargées et égalisées à un second niveau de tension pendant lesdites étapes (b) et (d).

15           4. Procédé tel que revendiqué dans la revendication 3, caractérisé en ce que ledit premier niveau de tension est plus bas que ledit second niveau de tension.

          5. Procédé tel que revendiqué dans la revendication 1, caractérisé en ce que la différence de potentiel entre lesdites lignes d'entrée/sortie ( $IO$ ,  $\overline{IO}$ ) est amplifiée au cours desdites étapes (c) et (d).



(TECHNIQUE ANTERIEURE)

FIG. 1



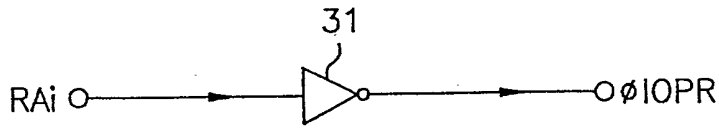


FIG. 3A

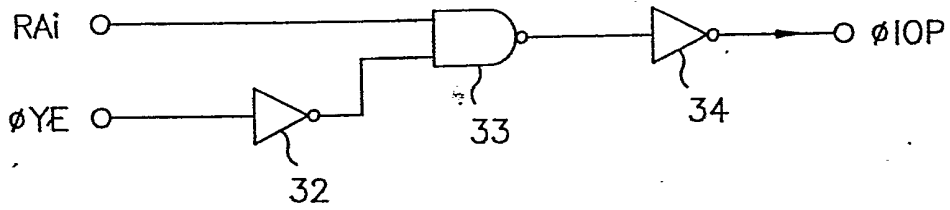


FIG. 3B

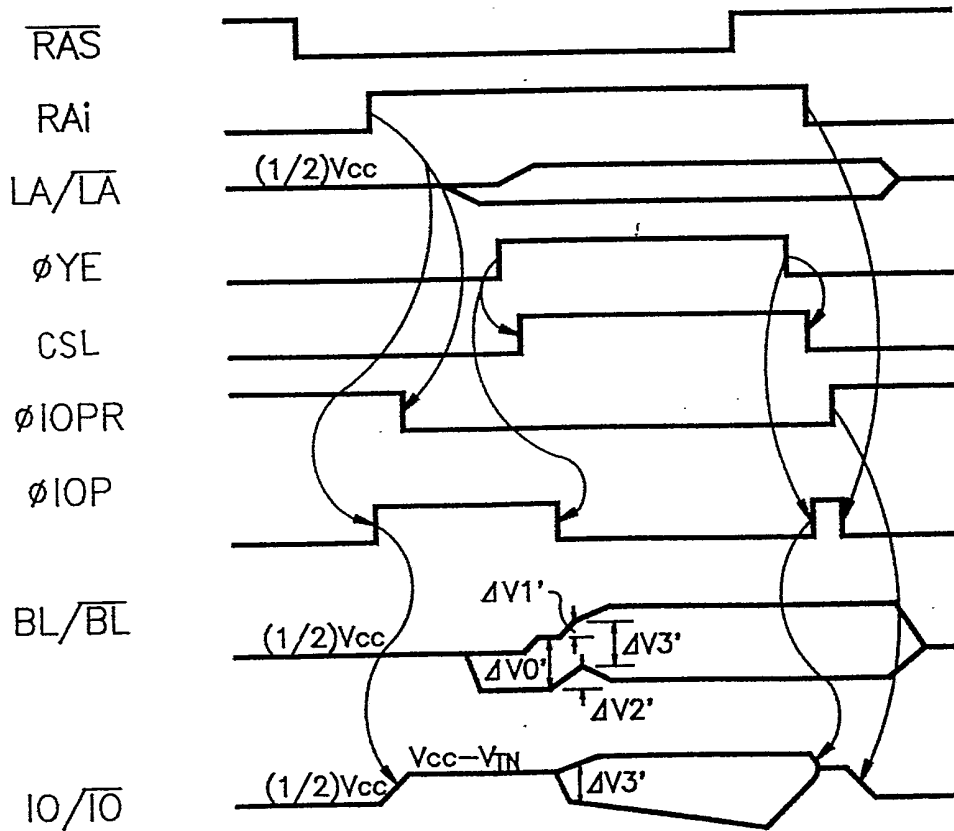


FIG. 3C