

公告本

申請日期	85.11.29
案 號	85114750
類 別	G11C 5/02 Int. C1 ⁶

A4
C4

314626

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	具有猝發轉移模式之改良式半導體記憶體
	英 文	IMPROVED SEMICONDUCTOR MEMORY HAVING A BURST TRANSFER MODE
二、發明 創作人	姓 名	藤田真盛
	國 籍	日 本
	住、居所	東京都港區芝五丁目7番1號 日本電氣株式會社内
三、申請人	姓 名 (名稱)	日本電氣股份有限公司 (日本電氣株式會社)
	國 籍	日 本
	住、居所 (事務所)	東京都港區芝五丁目7番1號
	代 表 人 姓 名	金子尚志

裝

訂

線

314626

(由本局填寫)

承辦人代碼：
大類：
I P C分類：

A6
B6

本案已向：

日本 國(地區) 申請專利，申請日期： 案號： ，☐有 ☒無主張優先權

1995年11月29日 特願平7-311238

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

-2a-

本紙張尺度適用中國國家標準 (CNS) A4規格 (210×297公釐)

五、發明說明(1)

發明背景

發明領域

本發明有關於一種半導體記憶體，且特別有關一種具有猝發模式轉移功能之半導體記憶體。

相關技術說明

近年來，由於DRAM (dynamic random access memory，動態隨機存取記憶體) 在速度上之進展不如CPU (central processing unit，中央處理單元) 快速，而DRAM又是用為主記憶體，因此形成問題。為了彌補此差異，在高速CPU中，可在CPU中內建記憶容量比DRAM小但速度較快之快取記憶體(cache memory)，或是將其連至CPU上。

快取記憶體具有儲存於主記憶體中之部分資料備份(copy)，此資料備份係由許多數單元塊(每一單元塊由具有多數目連續位址之資料項)，此資料項在虛擬記憶體系統中被稱為一"分頁"(page)。CPU一般係存取此快取記憶體，然而，當快取記憶體中並未含有所需之資料時，則把所需之資料自主記憶體再搬至快取記憶體，此時，若此快取記憶體不具有空的區域時，就要把需求度最低之資料自快取記憶體搬至主記憶體，使騰出在快取記憶體中之空間，此項作業係以分頁為單位而進行。

因此，建構系統之主記憶體之裝置要能在高速下，具有向快取記憶體存取具連續位址之輸出與接收資料串之功能。為此目的，其中一已知方法係以一外部時脈同步

五、發明說明(2)

輸出與接收資料串，並只指明資料串之頭端位址(head address)，此方法稱為"猝發模式轉移(burst mode transfer)"，且可被輸出與接收之資料串長度由一位址指明，稱為"猝發長度"，能執行此猝發模式轉移所組成之記憶體典型地以同步DRAM作代表。

習知上，通用(general purpose)之DRAM(具有快速分頁模式之DRAM)係依次進行資料處理，於一資料完成處理後，處理下一資料，且具有最快資料輸入／輸出速度為20ns(50 MHz)之程度。而另一方面在同步DRAM中，基本上和通用DRAM在資料處理時間之需求上相同，但是在同步DRAM中，其內部處理係多工，使得許多數資料項在記憶體中同時處理，因此縮短一項資料之視在處理時間(apparent processing time)上之需求，結果，其資料輸入／輸出速度會超過100 MHz之程度，此參考時脈頻率稱為"猝發轉移頻率"。

然而，只考慮一項資料時，基本上，同步DRAM及通用DRAM內部處理時間相同，因此，在接到讀取指令至讀取動作為止，習知上需要許多數之參考時脈週期，同樣地，在接到寫入指令至寫入動作為止，習知上，亦需要許多數之參考時週期。

自收到讀取命令至確實將資料輸往外部(external)為止之參考時脈數目稱為一CAS(行地址選通)latency。習知上，同步DRAM有一稱為"模式暫存器(mode register)"之電路用以設定操作條件，且設定指令可由外部設定。

五、發明說明 (3)

採用 $\overline{\text{CAS}}$ latency 由外部決定之原因如下：由於當使用一具有頻率小於同步 DRAM 之最大猝發轉頻率（參考時脈頻率）之時脈時其他之電路或基板配線無法在同步 DRAM 最大猝發轉移下工作，為要縮短輸出第一個資料所需時間，可設較小之 $\overline{\text{CAS}}$ latency，但要使此 $\overline{\text{CAS}}$ latency 和參考時脈週期滿足一位址存取時間 (address access time) 關係，因此在低參考時脈頻率下， $\overline{\text{CAS}}$ latency 不需設於一大之數值處。反之，為了在定值之位址處理時間之條件下提升最大之參考時脈頻率， $\overline{\text{CAS}}$ latency 必須設於一大之數值處。

另一方面，由外部晶片觀點，在寫入時， $\overline{\text{CAS}}$ latency 與作業無關，因為在輸入寫入指令時即已界定進行資料寫入，只剩內部進行處理。因此在開始下一次讀取時，必須完成資料之寫入處理。

然而，由另一觀點，如果 $\overline{\text{CAS}}$ latency 變大，且同時參考時脈頻率變快時，此意謂在內部之寫入處理時所需之參考時脈數增加。

內部多工之習知方法可分為管道 (pipeline) 架構及預取 (prefetching) 架構。

第 1 圖係描繪具有管道架構之習知半導體記憶體寫入作業實例之時序圖，其中級數為 3 且連續進行兩次猝發長度為 4 之寫入作業。

在管道架構中，一系列之內部處理分成數階段，依階段次序由個別之階段循序處理一項資料，且另一方面，

五、發明說明(4)

個別階段同步平行其他而作業。所示習知技術中，第一階段為產生一內部行位址YADD，第二階段為預先解碼YADD以產生預解碼信號PYADD，第三階段為透過一內部資料匯流排IOBUS，寫入由預解碼信號PYADD所指明行位址之資料於記憶體單元之中。

與參考時脈(CLK) T1之上升緣同步，第一階段之T1~T2期中產生用於第一信號之行位置"Aa0"。亦參考時脈T2上升緣同步，第二階段之T2~T3週期中產生一內部預解碼行位址信號PYADD，且此時與T2上升緣同步，產生用於第二信號之行位置"Aa1"。由於所有階段平行作業，對應階段數目之資料也可平行處理。由於所有階段由參考時脈CLK控制，因此在一階段中不會有多數資料項出現。因此，可與時脈CLK同步寫入一系列信號至各指定之記憶體單元而資料不會內部碰撞。

在第1圖中，"ADD"是外部位址匯流排，"DQ"是外部資料匯流排，"IOBUS"是內部資料匯流排，"Aa0(E)"是在第一猝發中到外部位址匯流排"ADD"之位址，"Ab0(0)"是在第二猝發中到外部位址匯流排"ADD"之位址。"Aa0"，"Aa1"，"Aa2"及"Aa3"是對第一猝發產生之四個連續行位址，而"Ab0"、"Ab1"、"Ab2"及"Ab3"是對第二猝發產生之四個連續行位址，"Da0"、"Da1"、"Da2"、"Da3"是四個要在第一猝發中寫入之連續資料，而"Db0"、"Db1"、"Db2"及"Db3"是要在第二猝發中寫入之連續資料。"CELL(Aa0)"是位在行位址"Aab"之記憶體單元(或記憶

五、發明說明(5)

體單元之一字元)且要寫入資料"Da0",而"CELL(Aa1)"是位在行位址"Aa1"之記憶體單元(或記憶體單元之一字元)且要寫入資料"Da1"。

參考第2圖,係顯示具有預取架構之習知半導體記憶體之寫入作業時序圖。在此例中,平行數(亦即預取數)為2,且有猝發長度4之寫入作業連續進行兩次。在第2圖中,和第1圖相對應之位址與資料者有相同參考記號,將省略其說明。

在預取架構中,一內部資料處理路徑分成許多數路徑,因此對許多數項資料可同時進行相同之處理。然而,外部供應之多數項資料無法同時得到,在序列輸入資料由平行路徑在內部門鎖時,此門鎖資料作序列至平行轉換,以進行平行寫入處理。為了在序列至平行轉換前以平行路徑數目門鎖序列供應資料項,需要和平行路徑數相同之參考時脈數目,在此情況下,所有序列供應資料可不間斷地寫入記憶體單元中。

在第2圖之例中,外部位址及資料匯流排"Ab0(E)"及"Da0"在參考時脈T1之上升緣被門鎖,而資料"Da1"在時脈T2上升緣被門鎖。已門鎖資料分別供應到兩個平行之內部資料匯流排IOBUS(E)及IOBUS(O)。另一方面,依據已門鎖之位址"Ab0(E)"可產生一內部行位址"Aa0",且一對預解碼行位址信號"Aa0"及"Aa1"分別送到一對預解碼行位址匯流排PYADD(E)及PYADD(O)。因此,可同步進行"Da0"及"Da1"之寫入過程,且在T1至T3間兩時脈,寫入到記憶

五、發明說明(6)

體單元 CELL(Aa0)及 CELL(Aa1)中。

參考第3圖，為習知技藝之輸入資料緩衝器(data-in buffer)電路圖，且有兩位元預取之序列至平行轉換功能。

此輸入資料暫存器具有一輸入選擇器(ISEL) 10、一資料門鎖(DLAT) 12及輸出控制器(OCNT) 14。依據內部行位址信號之最低有效位元信號之一對互補位元 YADD(YOT)及 YADD(YON)，並與一參考時脈 ICLK 同步，輸入選擇器 10 可將外部資料 DQ 分至用於偶位址之門鎖 REG0 及用於奇位址之門鎖 REG1 (此二門鎖組成資料門鎖 12)。

在此兩位元之預取架構中，由於一奇數與一偶數位址之資料係由外部來，且在每兩個參考信號時由猝發頭端供應，且在每兩個參考信號 ICLK 循環時更新資料門鎖 12 之兩個門鎖 REG0 及 REG1。如在資料門鎖 12 中之兩個新資料已完成，則啟動一輸入緩衝器輸出控制信號 IOW，使緩衝器之兩個新位元由輸出控制器 14 輸出。

因此，外部資料由所示之輸入緩衝器作串列至平行轉換，在每二個參考信號 ICLK 循環時，兩位元資料會同時且平行輸出到用於偶位址之資料匯流排 IOBUS(E)及用於奇位址之資料匯流排 IOBUS(O)。

如先前說明，要在具有猝發模式轉移功能之半導體記憶體(如同步 DRAM)中，具有最大之猝發轉移頻率，可用管道及預取架構。

為了在管道架構中有最大之猝發轉移頻率，必須增加

五、發明說明(7)

階段數目，使每一級處理時間減少，並且增加平行度。但因係在 DRAM 內部處理，分割階段能力有限。且有最長處理時間之階段會對最小處理時間造成限制。且在處理流中，每一互連之級要有互連電路，因此會增加架空(overhead)。因此，級數只限於三或四，這也是多工數目之限制。

另一方面，在預取架構中為了增加最大猝發轉移頻率，要增加彼此平行之資料項。因此也要增加和平行路徑同數目之電路，使電路及元件尺寸變大。此外，資料之輸入／輸出要以平行處理之資料數目為單位，不能小於此數目，因此，如升高平行度，會降低功能自由度，使採用此架構之電腦性能降低，因此多工度只限於 2。

如上述，管道及預取架構是升高多工度來加速作業，但因不同原因會限制多工程度。換言之，最大猝發轉移頻率仍有限制。

在預取架構中作寫入時，行位址要作內部處理以使資料能分配到對應各行位址之內部資料匯流排。再者，外部會同時送入多數要平行寫入之資料及其行位址，要將資料平行分配給內部資料匯流排，要等內部行位址處理完，此會降低寫入作業速度。

發明概述

本發明之一目的為提供一種有猝發模式轉移功能之半導體記憶體，其具有克服上述習知技術缺點。

本發明之另一目的為提供一種具有猝發模式轉移功能

五、發明說明(8)

之半導體記憶體，其能作高速之寫入。

上述及其它目的可藉由本發明之具有猝發模式轉移功能之半導體記憶體完成，其包括：

許多數之記憶體單元副陣列，其可平行且同步存取；

可平行輸入與輸出資料到多數記憶體單元副陣列之多數內部資料匯流排；及

一輸入緩衝器電路，與一參考時脈同步，而連續且依序接收資料信號，並在外部位址信號控制下，將序列信號轉換成平行信號，此輸入緩衝器電路包含：
(1) 一移位暫存器電路，包含許多數串接之暫存器（可平行輸出門鎖在各暫存器內之資料），只響應參考時脈而門鎖並移位外部資料；
(2) 一暫存器輸出選擇裝置，可接收自串接暫存器平行輸出之資料，並且依外部位址信號將其平行輸出至多數內部資料匯流排。

在根據本發明之一較佳實施例中，此輸入緩衝器電路進一步包含一緩衝器輸出控制裝置，以同時且平行將暫存器輸出選擇裝置之輸出轉移至多數內部資料匯流排，並與參考信號之邊緣同步，由此信號，供應至移位暫存器之外部資料信號會在移位暫存器中門鎖。

根據本發明之半導體記憶體之一較佳實施例更進一步包含用來指定輸入緩衝器電路之功能之功能選擇裝置，使輸入緩衝器電路由其輸出控制，以作第一模式：將由移位暫存器之平行資料，平行送到多數內部資料匯流排（依據外部位址信號），或是第二模式：依據外部位址

五、發明說明(9)

信號，將在移位暫存器中門鎖之最後供應外部信號送至許多數內部資料匯流排。

較佳地，函數選擇裝置之輸出最好與參考時脈循環之數目設定互鎖，需要讀取之外部指令會要求此時脈循環。

本發明之上述及其它目的及優點可配合附圖說明其較佳實施例而更清楚。

圖式簡述

第 1 圖是一時序圖，說明習知具有管道架構之半導體記憶體之寫入作業；

第 2 圖是一時脈圖，說明習知有預取架構之半導體記憶體之寫入作業；

第 3 圖為一資料輸入緩衝器之電路圖，其結合於習知技術之半導體記憶體中，此記憶體有兩位元預取之序列至平行之轉換功能；

第 4 圖是根據本發明半導體記憶體之第一實施例之方塊圖，其具有猝發模式轉移功能；

第 5 圖是示於第 4 圖之半導體記憶體中之資料輸入緩衝器電路圖；

第 6 圖是根據本發明之半導體記憶體之第一實施例作業時脈圖；

第 7 圖是結合於根據本發明第二實施例之半導體記憶體中之輸入緩衝器之電路圖，其有一猝發模式轉移功能；以及

第 8 圖是根據本發明半導體記憶體之第二實施例之作

五、發明說明(10)

業時序圖。

較佳實施例說明

參考第4圖，是本發明第一實施例之具有猝發模式轉移功能之半導體記憶體方塊圖；

在此例中假設行位址為Y0至Y8，最大猝發長度為8，預取數為2，但本發明亦可在其他數值實施，此外，組數(bank)及資料位元數(DQ)不需給定，因對本發明無影響。一般之資料位元數為8、16、32或64，但下面實施例說明中，其數目為1以作為簡化。

在第4圖之實施例中，為產生內部參考時脈ICLK，由外部加上一時脈致能CKE及參考時脈CLK，由內部時脈產生器(CGEN) 20接收後即可產生。在外部時脈CLK上升時，若時脈致能CKE為低位準，則不會產生對於下一循環時脈CLK之內部參考時脈ICLK。

一命令解碼器(CDEC) 22可在內部時脈ICLK上升時抓取外部命令，如列位址選通信號 $\overline{\text{RAS}}$ 、行位址選通信號 $\overline{\text{CAS}}$ 、寫入致能 $\overline{\text{WE}}$ 及晶片選擇信號 $\overline{\text{CAS}}$ ，並將其組合解碼後，產生各內部控制信號。在同步DRAM中，此內部命令包含不同命令，如啟動，但為簡化，在此只示出對應讀／寫命令之一內部讀／寫信號RW。

一猝發計數器(BCNT) 24接收RW(外部要求讀寫時發出)後，產生一猝發週期信號PEN。明確而言，猝發計數器24之一內部計數器(未圖示)可由RW初始化，並隨後計數內部時脈ICLK，使猝發計數器24可在猝發週期(

五、發明說明 (11)

對應猝發長度之內部時脈 ICLK 時期) 中繼續輸出猝發週期信號 PEN。

在給定讀寫信號 R/W 後，一內部行位址產生電路 (YBUF) 26 與內部時脈 ICLK 同步，抓取一外部位址信號 ADD，並輸出與 ADD 相同之內部行位址 YADD。此內部行位址產生電路 26 連至猝發計數器 24，且在猝發時期中，每兩個內部時脈 ICLK 更新內部行位址 YADD。

第 6 圖是本發明第一實施例之時序圖，其中只有抓取對應內部時脈 ICLK 上升緣之命令，因此在猝發週期中，只有相對奇數時脈 ICLK 之內部行位址 YADD 者，"Aa0"、"Aa2"，... 被供應，而對應與偶數者 "Aa1"、"Aa3" 未被供應，換言之，只有在奇數時脈 ICLK 之後之內部行位址 YADD 會被抓取，使得內部行位址 YADD 之產生及後續動作是每兩個內部時脈 ICLK 作一次。

行位址預解碼器 (PYDEC) 28 收到內部行位址 YADD 將其預解碼後產生數組已預解碼之行位址 PYADD，在此實施例中，行位址預解碼器 28 同時在相同猝發中產生奇數項與偶數項行位址 "Aa0"、"Aa2"... 及 "Aa1"，"Aa3"...，但偶數項係在奇數項後輸出，已預解碼行位址組合視猝發長度及模式而定，但在同步 DRAM 之猝發模式中，一定是奇、偶數之行位址交錯。

在 8 位元猝發中，行位址之三個 LSB 位元 Y0/1/2 先預解碼，兩個 $2^3 (=8)$ PYADD 信號線會被同時選定。更明確而言，在 8 PYADD 信號線中，會同時選取一個四偶位

五、發明說明 (12)

址線 ($Y0=0$, $PYADD(E)$)及一個四奇位址線 ($Y0=1$, $PYADD(0)$)。再者，在每一猝發中，在之奇偶位置，除了三個LSB位元 $Y0/Y1/Y2$ 外之位址位元相同， $PYADD$ 行位址線 ($PYADD Y3/4/5$, $Y6/7/8$)可共用。

為DRAM核心之記憶體單元列 ($MARR$)可根據資料位元 (DQ)及組，分成偶數與奇數行位址記憶體單元副陣列 ($MARR(E)$) 30及 ($MARR(0)$) 32，因此前者有偶行位址 ($Y0=0$)，後者有奇行位址 ($Y0=1$)。由行位址預解碼器 28 之偶與奇數預解碼行位址 $PYADD$ ，可同時啟動在副陣列 30及 32中之行選擇線 YSW 。

行選擇線 YSW 被致動後，資料可由偶數與奇數行位址內部資料匯流排 $IOBUS(E)$ 及 $IOBUS(0)$ 寫入感知放大器 SA (分別經由接線放大器 ($WAMP(E)$) 34及 ($WAMP(0)$) 36。因此，整體而言，對DRAM之核心，在外部資料匯流排 DQ 序列出現之資料會同時且平行寫入，如上述作業係每二個內部時脈 $ICLK$ 進行，外部資料可不被中斷寫入記憶體中。

如熟此技藝者可知，資料讀取後，資料可由連至被致動行選擇線 YSW 之感知放大器 SA ，分別經由讀取放大器 ($RAMP(E)$) 38、($RAMP(0)$) 40而連到偶數與奇數行位址內部資料匯流排 $IOBUS(E)$ 、 $IOBUS(0)$ 。

參考 PEN 及 $YADD$ ，在依據內部時脈 $ICLK$ ，一計時信號產生器 (TG)可產生一輸入緩衝輸出信號 IOW 及寫入放大器致能信號 WAE 。

偶數與奇數行位址內部資料匯流排 $IOBUS(E)$ 、 $IOBUS(0)$

五、發明說明(13)

連至輸出緩衝器(DOUT) 44及輸入緩衝器(DIN) 46(各連至內部時脈ICLK、內部行位址YADD及外部資料匯流排DQ)。

在寫入時，輸入緩衝器46可與內部時脈CLK上升緣同步，接收在外部資料匯流排DQ之序列資料並作轉授至平行資料，與將已門鎖之資料位元送至多數之內部資料匯流排。

參考第5圖，其為在第4圖記憶體中加入之輸入緩衝器電路圖。

如第5圖示，輸入緩衝器46包含：(1)一移位暫存器(SREG) 50，可與內部時脈ICLK同步接收外部資料DQ並有兩平行輸出線L1、L2；(2)一暫存器輸出選擇器(0SEL) 52，可接收兩平行輸出線L1、L2，並有兩平行輸出線L3、L4；及(3)一緩衝器輸出控制器(0CNT) 54，可接收平行輸出線L3、L4並有分別連至內部資料匯流排IOBUS(E)、IOBUS(0)之輸出。

移位暫存器50包含一對串接之暫存器REG0、REG1，由內部時脈ICLK，及一反置時脈(接收ICLK之反置器502之輸出)所控制。

第一暫存器REG0有接收外部資料DQ之輸入及連至第二暫存器REG1輸入及輸出線L2之輸出，而REG1之輸出連至輸出線L1，因此暫存器50可與內部時脈同步門鎖並移位外部資料DQ，而在一循環中，REG0保留最後輸入資料，而REG1則保留前一資料。

五、發明說明(14)

暫存器輸出選擇器 52 有第一、第二、第三、第四轉移開電晶體 Q1、Q2、Q3、Q4、其分別在線 L1-L3、L2-L4、L2-L3、L1-L4 間連接，其中 Q1、Q2 由內部行位址 YADD 之 LSB(Y0T) 控制，而 Q3、Q4 則由 Y0T 之反置信號 Y0N 控制。因此，線 L1、L2 分別分至偶數與奇數行位址內部匯流排 IOBUS(E)、IOBUS(O)。

例如，如內部行位址信號 YADD 指示一偶數，亦即，反置 LSB(Y0N) 主動而 (Y0T) 為非主動，第 1 及第 2 暫存器 REG0、REG1 之資料分別送到偶數及奇數行位址內部資料匯流排 IOBUS(E)、IOBUS(O)，反之，如 YADD 指示一奇數，則 REG0、REG1 之資料分別送至 IOBUS(O) 及 IOBUS(E)。

輸出控制器 54 包含 (1) 連至線 L3 之轉移開電晶體 Q5，(2) 一端連至線 L4 之轉移開電晶體 Q6，(3) 輸入／出分別連至 Q5 及內部資料匯流排 IOBUS(E) 之門鎖 542，及 (4) 輸入／出分別連至 Q6 及內部資料匯流排 IOBUS(O) 之門鎖 544。而轉移開電晶體 Q5、Q6 由輸入緩衝輸出控制信號 IOW 控制。在 IOW 控制下，平行且同步輸出控制器 54 可輸出來自輸出選擇器 52 之兩平行位元至 IOBUS(E) 及 IOBUS(O)。

現在配合第 6 圖說明本發明之第一實施例，對此技藝熟知者應知傳統用同步 DRAM 之外部信號，且本發明中 1 信號亦相同。

如果外部供應外部時脈 CLK 及主動時脈致能 CKE，則內部時脈產生電路 20 產生內部時脈 ICLK。在第 6 圖未示出，即使有外部時脈 CLK，如沒有時脈致能 CKE，亦不會有

五、發明說明 (15)

內部時脈 ICLK。因此雖然 CLK 係以固定週期供應，但 ICLK 不需有固定週期。除內部時脈產生電路 20 外之電路是由 ICLK 而非 CLK 驅動。

一群外部命令信號 ($\overline{RAS}$ 、 $\overline{CAS}$ 、 $\overline{WE}$ 、 $\overline{CS}$) 由外部供應，並示於第 6 圖，而 "write" 則為寫入命令已輸入，簡言之，在列位址選通信號 $\overline{RAB}$ 為高位準、而行位址選通信號 $\overline{CAS}$ 、寫入效能 $\overline{WE}$ 、晶片選擇信號 $\overline{CS}$ 為低位準時，指出寫入命令。這些命令由命令解碼器 22 與內部時脈 ICLK 同步讀取，再於其中解碼，讀／寫命令輸入後，即產生讀寫信號 RW。

此時，外部位址 ADD 由外部提供，而其值 "Aa0" (在輸入寫入指令時) 表示猝發頭端資料之行位址。如回應寫入命令而產生內部讀／寫信號 RW，則外部位址 ADD 會門鎖在內部行位址緩衝器 26 中，以產生內部行位址 YADD 此時，其值與外部位址之值 "Aa0" 相同，表示猝發之頭端資料行位址。接著，重置猝發計數器，使以確定內部時脈 ICLK 在此時為猝發操作起始，且在 ICLK 等於猝發長度之時間內，猝發致能 PEN 係在一主動狀況。

在 PEN 係為主動時，內部行位址猝發電路 26 與 ICLK 同步，且每兩個 ICLK 輸出內部奇數行位址 YADD，"Aa2"。

此 YADD 信號再由行位址預解碼器 28 預解碼，產生已預解碼之行位址 PYADD。第 6 圖之例中，寫入命令輸入兩次。在第一次 T1 時，外部位址 ADD 是偶數 "Aa0"，因此，猝發第一及第二資料之行位址 "Aa0"，"Aa1" 分別送至偶

五、發明說明 (16)

／奇數行為址 PYADD(E)及 PYADD(0)。但在第二次命令 T5 時，ADD 是奇數 "AB0"，因此猝發第一及第二資料行位址 "Aa0"，"Aa1" 分別送至奇／偶數行位址匯流排 PYADD(0) 及 PYADD(E)。

行位址匯流排 PYADD(E)、PYADD(0) 分別連至第一及第二記憶體單元副陣列 30 及 32 之行解碼器 YDEC，使各個奇／偶行位址可啓動每一副陣列之行選擇線 YSW。

下列資料處理與上述行位址處理同步進行。

與外部位址 ADD 共同供應之第一資料 "Da0" (偶數位址) 門鎖在輸入緩衝器 46 之移位暫存器 50 之第一暫存器 REG0 中，而下一時脈 T2 時，"Da0" 移位至暫存器 50 之第二暫存器 REG1，而同猝發之第二資料 "Da1" (奇數位址)，則門鎖在第一暫存器 REG0 中。

直至此時，內部行位址 YADD 係在第一及第二時脈期間產生，由於可由輸入緩衝器 46 選擇內部資料匯流排 IOBUS(E) 及 IOBUS(0)，第一／第二資料 "Da0"／"Da1" 分別送至偶／奇數之行位址內部資料匯流排 IOBUS(E)/IOBUS(0)，再寫入相對應位址 (分別由寫入放大器 WAMP(E)／WAMP(0) 及記憶體單元副陣列 30 及 32)。

如上述，在內部寫入時，由輸入緩衝器至記憶體單元之路徑只由內部時脈 ICLK 邊緣決定 (此 ICLK 用來門鎖後面依序供應之位元，如兩個要平行寫入之第一／第二資料位元，換言之，在此寫入路徑上，不需置入與 ICLK 同步之裝置，因此可以進行非同步之寫入。

五、發明說明 (17)

因此如果內部時脈 ICLK 有高頻率，先行資料尚未寫入，下一資料即開始寫入，換言之，多項資料同時在輸入緩衝器之寫入路徑流，因此可作非同步之管道寫入。

此時，在一內部處理位址處，如前行資料未處理完，下一資料即進入，例如，在輸出至內部資料匯流排 IOBUS 之資料確定前，內部行位址 PYADD 即指向下一資料。因此會發生錯誤，但在習知技術中也會有此問題，因此，此問題非本發明固有。此外，習知技術中需要各個同步之級，由於本發明不需要使各級與 ICLK 同步之架空 (overhead)，因此可提高 ICLK 頻率而不發生錯誤。

如上述，本發明半導體記憶體之說明實施例中，其猝發模式轉移功能之特點為寫入只根據內部時脈 ICLK 邊緣進行，此 ICLK 用來使序列輸入但要同步寫入 IOBUS 之兩資料位元門鎖，因此，寫入不受其它因素，如外部之行位址，而有影響，因此，即使在讀取時，位址存取時間為定值，可提高參考時脈頻率及行位址選通 $\overline{\text{CAS}}$ latency 來提高猝發轉移頻率，因此，可加速寫入。

但記憶體在低頻下作業時（如因其他電路及基板因素而要降頻時），如 $\overline{\text{CAS}}$ 太大，則與可能之位址存取時間相比，猝發頭端資料輸出所需時間會太大，因此要縮小 $\overline{\text{CAS}}$ ，使這兩時間相當 (comparable)，如前述，在同步 DRAM 中， $\overline{\text{CAS}}$ latency 可由模式暫存器設定。

反之，如 $\overline{\text{CAS}}$ 及猝發轉移頻率升高，由於在資料寫入時，資料輸入頻率變大，因此要提高內部資料處理多工

五、發明說明(18)

度。在本發明中，結合管道及預取架構，因此可提高多工度，並實現極高之最大猝發轉移頻率。

現在說明本發明之半導體記憶體第二實施例。

第一實施例採用預取架構，即使 $\overline{\text{CAS}}$ latency 比平行度低，但也會有輸入／出資料由對應平行度單位進行之不便，因此在第二實施例中，如 $\overline{\text{CAS}}$ latency 大以達到高猝發轉移率時，採用結合之管道與預取架構，如 $\overline{\text{CAS}}$ latency 小，則只用管道架構。

因此，如 $\overline{\text{CAS}}$ latency 大，則第二實施例操作與第4圖及第5圖之第一實施例相同，且第二實施例之結構與第4圖所示之方塊圖相同，依據不同之 $\overline{\text{CAS}}$ latency，要對方塊圖中一些功能修正，如下所述：

在有大大 $\overline{\text{CAS}}$ latency 時，內部行位址 YADD 在每兩個參考內部時脈 ICLK 輸出，但在小 $\overline{\text{CAS}}$ latency 時，在每一個 ICLK 輸出。

再者，在大大 $\overline{\text{CAS}}$ latency 時，同第一實施例，偶／奇數行位址 PYADD(E) 及 PYADD(0) 同時由一個內部行位址 YADD 產生，但在小 $\overline{\text{CAS}}$ latency 時，一個 PYADD 只由一個 YADD 產生，且由 YADD 是奇偶數來決定 PYADD 是否要輸出到 PYADD(0)、PYADD(E)。

此外，在大大 $\overline{\text{CAS}}$ latency 時，由外部依序而來之兩項資料，係每兩個 ICLK 時，自輸入緩衝器送至內部資料匯流排 IOBUS(E) 及 IOBUS(0)，此同於第一實施例，而哪一資料要送至 IOBUS(E)，係由 YADD 是奇偶數決定。而在小

五、發明說明(19)

的 $\overline{\text{CAS}}$ latency時，在每個 ICLK時，由 YADD是奇偶數，決定由外部依序來之一項資料，自輸入緩衝器送至 IOBUS(E)、IOBUS(O)兩者之一。

第 7 圖是為說明在本發明之第二實例中併入輸入緩衝器之電路圖，以說明其不同之功能，第 7 圖與第 5 圖有相同元件者，有相同編號且省略其說明。

比較第 5 圖及第 7 圖，與第一實施例類似，第二實施例之輸入緩衝器有移位暫存器 50、暫存器輸出選擇器 52 及選擇器輸出控制器 54，但後兩者與第一實施例中者不同。

詳細而言，除內部位址 YADD之 LSB YADD(YOT)及其反置信號 YADD(YON)外，暫存器輸出選擇器尚由預取致能信號 MD2BP控制，因此，輸入暫存器尚包含接收 YADD(YOT)及 MD2BP之 NAND閘 58及接收 YADD(YON)及 MD2BP之 NAND閘 60，且 NAND閘 58之輸出連至轉移開電晶體 Q2之閘極及由反置器 62至轉移開電晶體 Q4之閘極，而 NAND閘 60之輸出連至轉移開電晶體 Q3閘極並由反置器 64至轉移開電晶體 Q1閘極。

由上面配置，如果預取致能 MD2BP為高位準，則暫存器輸出選擇器 52作用和第一實施例者相同，如 MD2BP為低位準，在 REG0中之資料不停地送至偶／奇數行位址內部資料匯流排 IOBUS(E)及 IOBUS(O)。

因此，MD2BP可切換兩種操作模式，當其為高位準（預取操作），位址資料輸出信號 IOW(E)、IOW(O)和第一

五、發明說明(20)

實施例之 IOW 有相同作業，但當其為低位準（非預取操作），IOW(E)及 IOW(O)會輪留啟動，將資料送至由 YADD 指定之匯流排 IOBUS(E)、IOBUS(O)兩者之一。

如果 MD2BP 與 $\overline{\text{CAS}}$ latency 之設定互鎖 (interlock)，則在 $\overline{\text{CAS}}$ latency 大時，則在每兩個 ICLK 下，外部資料由外部資料匯流排 IOBUS(E)、IOBUS(O)，經寫入放大器 WAMP(E)及 WAMP(O)、與記憶體單元副陣列 (WARR(E))30 及 (MARR(O))32 之感知放大器 SA，而送至選定之記憶體單元。在小的 $\overline{\text{CAS}}$ latency 時，在每一 ICLK 下，資料由被選之 IOBUS(E)或 IOBUS(O)、經 WAMP(E)或 WAMP(O)、與對應之副陣列之感知放大器 SA，而送至被選之記憶體單元中。

現在說明本發明之第二實施例，但在 $\overline{\text{CAS}}$ latency 大時，其與第 6 圖之第一實施例者相同，因此我們省略其說明，只配合第 8 圖，在 $\overline{\text{CAS}}$ latency 小時之操作時序，說明此實施例。

在第 8 圖中，在 T1 寫入時，猝發之第一資料頭端行位址 "Aa0" 為偶數，因此與 ICLK 同步，在 T1 將 "Aa0" 送至偶行位址匯流排 PYADD(E)，而第二資料頭端行位址 "Aa1" 為奇數，在與 ICLK 同步，在 T2 將 "Aa1" 送至奇行位址 PYADD(O)。再者，在時脈 T5 中，猝發之第一資料頭端之行位址 "Ab0" 為奇數，在 T5 波緣，將其輸出至 PYADD(O)，而第二資料 "Ab1" 為偶數，在 T5 波緣，將其送至 PYADD(E)。

五、發明說明(21)

在上述位址處理同時，輸入暫存器之暫存器 REGO 中門鎖之外部資料，可回應每一 ICLK 之波緣，並依據 YADD 之內容，將而送至偶／奇數行位址內部資料匯流排 IOBUS (E)、IOBUS(0) 中之一。

由 PYADD 及 IOBUS，資料可經由寫入放大器 WAMP 及感知放大器 SA，而送至在指定位址之記憶體單元。

詳細來說，在 T1 寫入時，猝發之第一資料頭端行位址 "Aa0" 為偶數，因此與 ICLK 同步，在 T1 將 "Aa0" 送至偶行位址匯流排 PYADD(E)，而第二資料頭端行位址 "Aa1" 為奇數，在與 ICLK 同步，在 T2 將 "Aa1" 送至奇行位址 PYADD(0)。再者，在時脈 T5 中，猝發之第一資料頭端之行位址 "Ab0" 為奇數，在 T5 波緣，將其輸出至 PYADD(0)，而第二資料 "Ab1" 為偶數，在 T5 波緣，將其送至 PYADD(E)。

如上所述，在大的 $\overline{\text{CAS}}$ latency 下，在每兩個參考時脈下，兩位元資料同時且平行由偶／奇數行位址內部資料匯流排寫到 DRAM 核心；在小的 $\overline{\text{CAS}}$ latency 下，在每一參考時脈下，資料位元逐一由上述兩匯流排之一寫入 DRAM 核心。

因此，在大約 $\overline{\text{CAS}}$ latency 下，同時使用管道／預取架構，以增加猝發轉移頻率，在小的 $\overline{\text{CAS}}$ latency 下，只用管道架構在每一時脈下進行資料輸出入，而不以平行度為單位，因此可以加速寫入。

如上述，本發明半導體記憶體之說明實施例中，其猝發模式轉移功能之特點為寫入只根據內部時脈 ICLK 邊緣

五、發明說明 (21)

進行，此 ICLK 用來使序列輸入但要同步寫入 IOBUS 之兩資料位元門鎖，因此，寫入不受其它因素，如外部之行位址，而有影響，因此，即使在讀取時，位址存取時間為定值，可提高參考時脈頻率及行位址選通 CAS latency 來提高猝發轉移頻率，因此，可加速寫入。

在小的 CAS latency 下，只用管道架構在每一時脈下進行資料輸出入，而不以平行度為單位，因此可以加速寫入。

本發明雖然依據特定實例說明，但需知此並不限定本發明之範圍，而應由附加申請專利範圍來涵括本發明之變更及修飾。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱： 具有猝發轉移模式之改良式半導體
記憶體)

於一種有猝發模式轉移功能之半導體記憶體中，具有一記憶體單元陣列及資料平行送至或讀取此單元陣列之許多數內部資料匯流排，其中一輸入緩衝器電路包含具有第一及第二串接暫存器且可只依參考時脈而門鎖及移位一外部資料信號之移位暫存器電路；此串接暫存器可平行輸出在其中門鎖之資料；一暫存器輸出選擇器可接收由串接暫存器平行送出之資料信號，並依據外部位址，將其送至多數內部資料匯流排；一緩衝器輸出控制器，可與一參考時脈同步，將暫存器輸出選擇器之輸出平行且同時送至多數內部資料匯流排，藉此，最後送至移位暫存器中之外部資料可在其中門鎖。

英文發明摘要(發明之名稱： IMPROVED SEMICONDUCTOR MEMORY HAVING
A BURST TRANSFER MODE)

In a semiconductor memory having a burst mode transfer function, and comprising a memory cell array and a plurality of internal data buses for inputting and outputting data, in parallel, to and from the memory cell array, an input buffer circuit includes a shift register circuit composed of first and second cascade-connected registers and for latching and shifting an external data signal only in response to a reference clock signal. The cascade-connected registers outputs, in parallel, the data latched in the respective registers. A register output selector receives the data signals outputted in parallel from the cascade-connected registers, for distributing the received parallel data signals, in parallel, to the plurality of internal data buses in accordance with the external address signal. A buffer output controller transfers the outputs of the register output selector, simultaneously and in parallel, to the plurality of internal data buses, in synchronism with the reference clock signal by which the external data signal finally supplied to the shift register circuit is latched in the shift register circuit.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種具有猝發轉移模式之半導體記憶體，包含：

許多數可平行且同時存取之記憶體單元副陣列；

可平行與該許多數記憶體單元副陣列作資料輸入與輸出之許多數內部資料匯流排；

一可與參考時脈同步，而依序連續接收外部資料之輸入緩衝器電路，在外部命令及外部位址之控制下，將該序列信號轉換成平行信號，再分配至該許多數之內部資料匯流排；

該輸入緩衝器電路含有：一移位暫存器，具有許多數串接之暫存器並只響應該參考時脈而門鎖並移位外部資料信號，該串接之暫存器可平行地將在各暫存器中門鎖資料輸出；以及一暫存器輸出選擇裝置，可平行接收由該串接暫存器輸出之該資料信號，並根據該外部位址信號，將該接收之平行資料信號分配至該多數內部資料匯流排。

2. 如申請專利範圍第1項之半導體記憶體，其中該輸入緩衝器電路尚包含一緩衝器輸出控制裝置，以同時且平行將該暫存器輸出選擇裝置之該輸出，與參考時脈信號一邊緣同步，平行轉移至該許多數之內部資料匯流排，使最後供應至該移位暫存器之該外部資料信號可在該移位暫存器中門鎖。

3. 如申請專利範圍第1項之半導體記憶體，尚包含一功能選擇裝置，以指明該輸入緩衝器電路之功能，使該輸入緩衝器電路由該功能選擇裝置控制以選擇性假設

六、申請專利範圍

一 第一模式，即該移位暫存器之該平行資料信號可根據該外部位址信號，平行分配至該內部資料匯流排，或一第二模式中，即只將最後供應並門鎖至該移位暫存器中之該外部資料信號，根據該外部位址信號，輸出至該內部資料匯流排之一中。

4. 如申請專利範圍第3項之半導體記憶體，其中該功能選擇設置之該輸出與參考時脈數設定互鎖，該參考時脈數被要求自讀取外部命令之輸入到已讀取資料輸出為止。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

第 1 圖

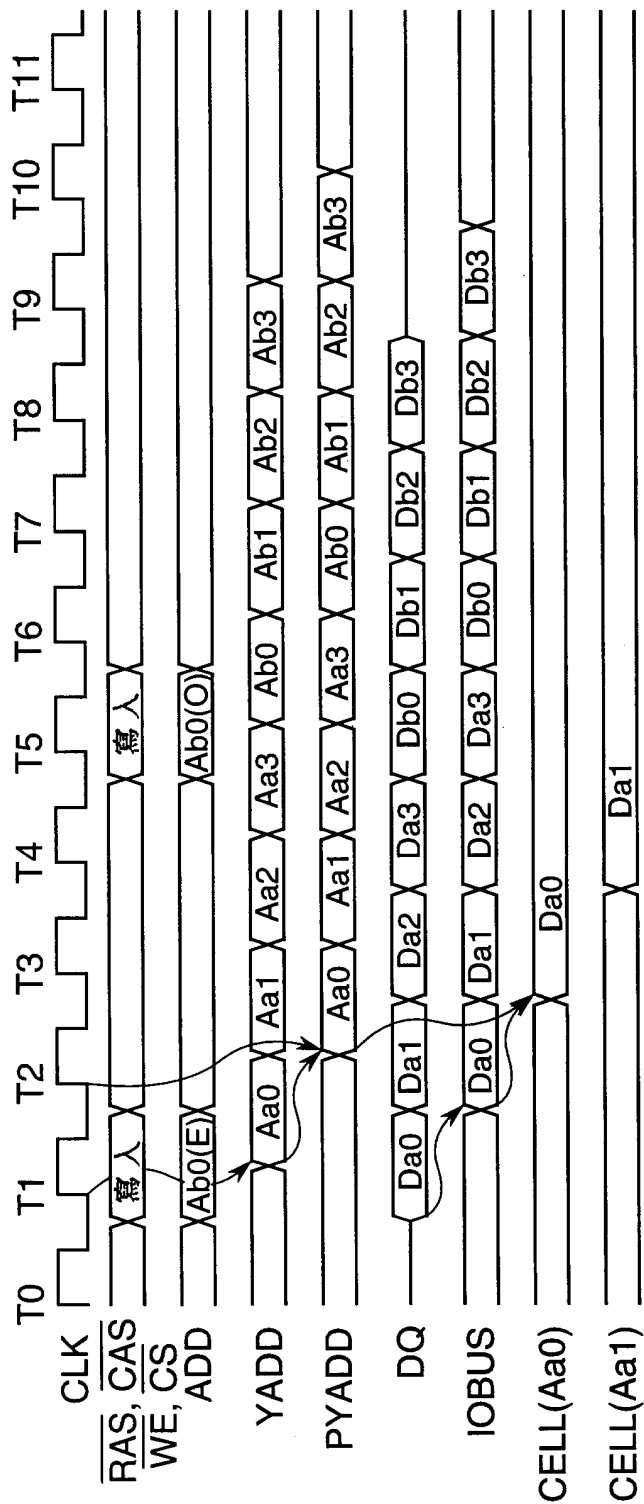
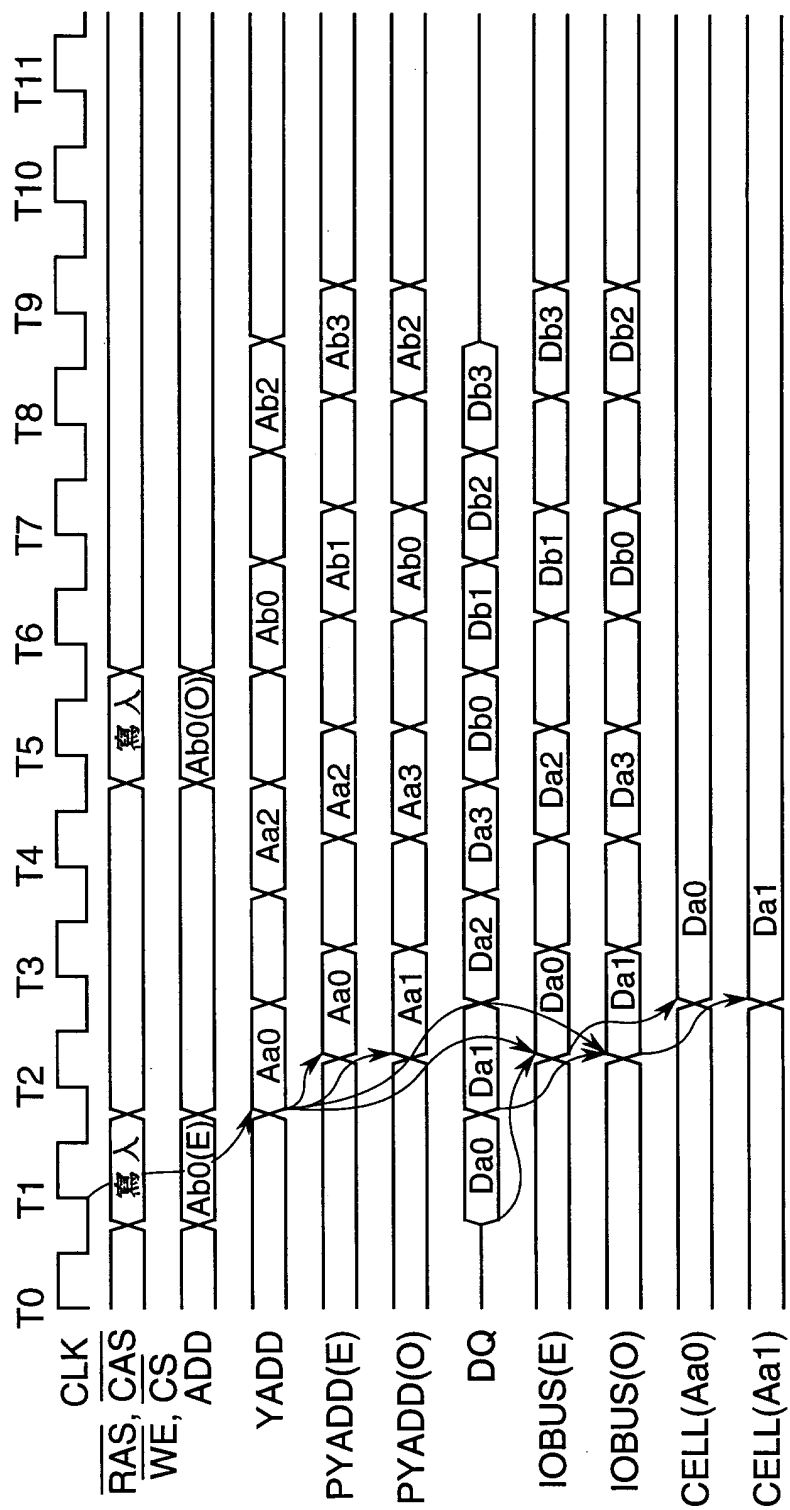
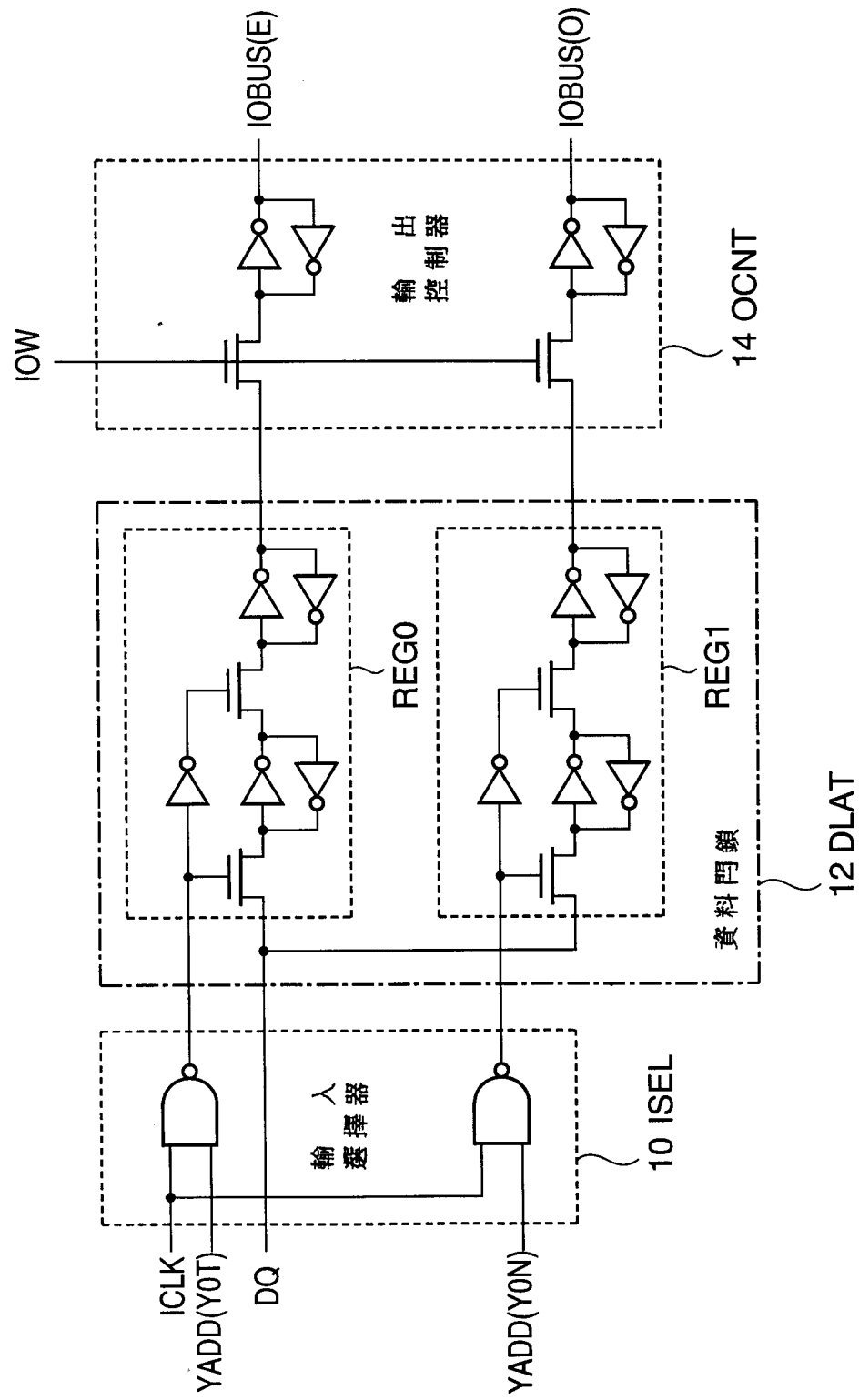
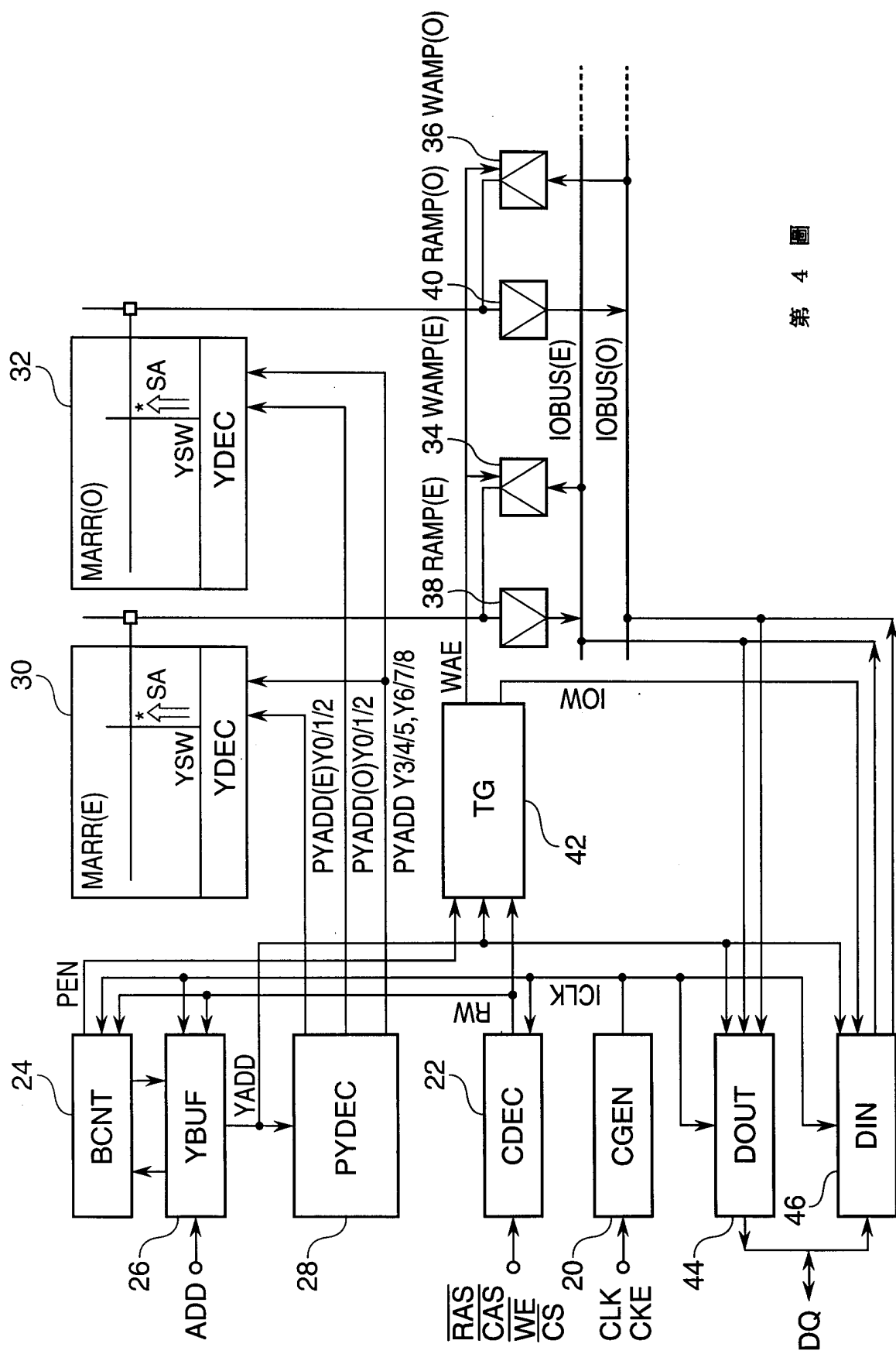


圖 2 架



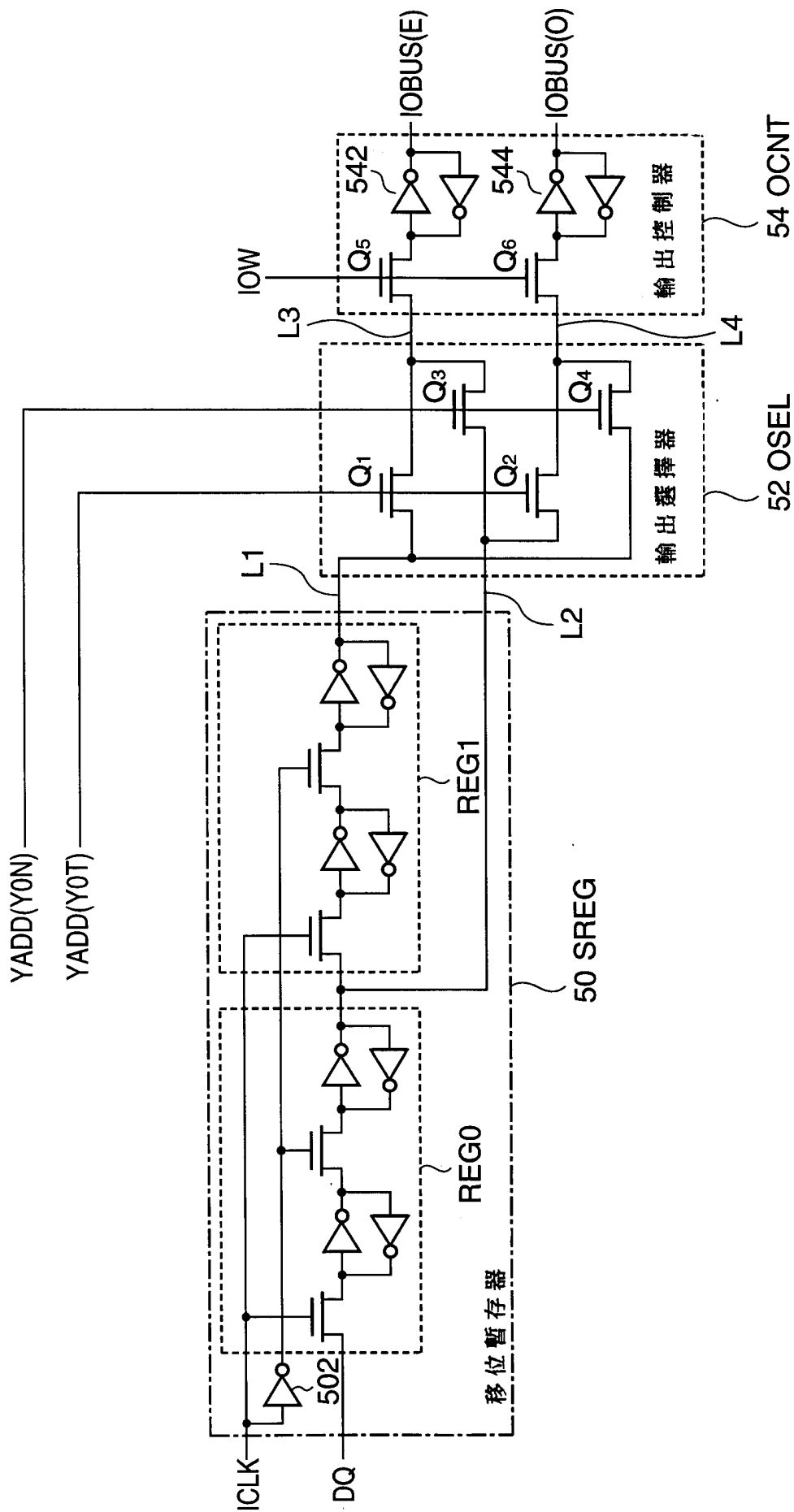
第 3 圖



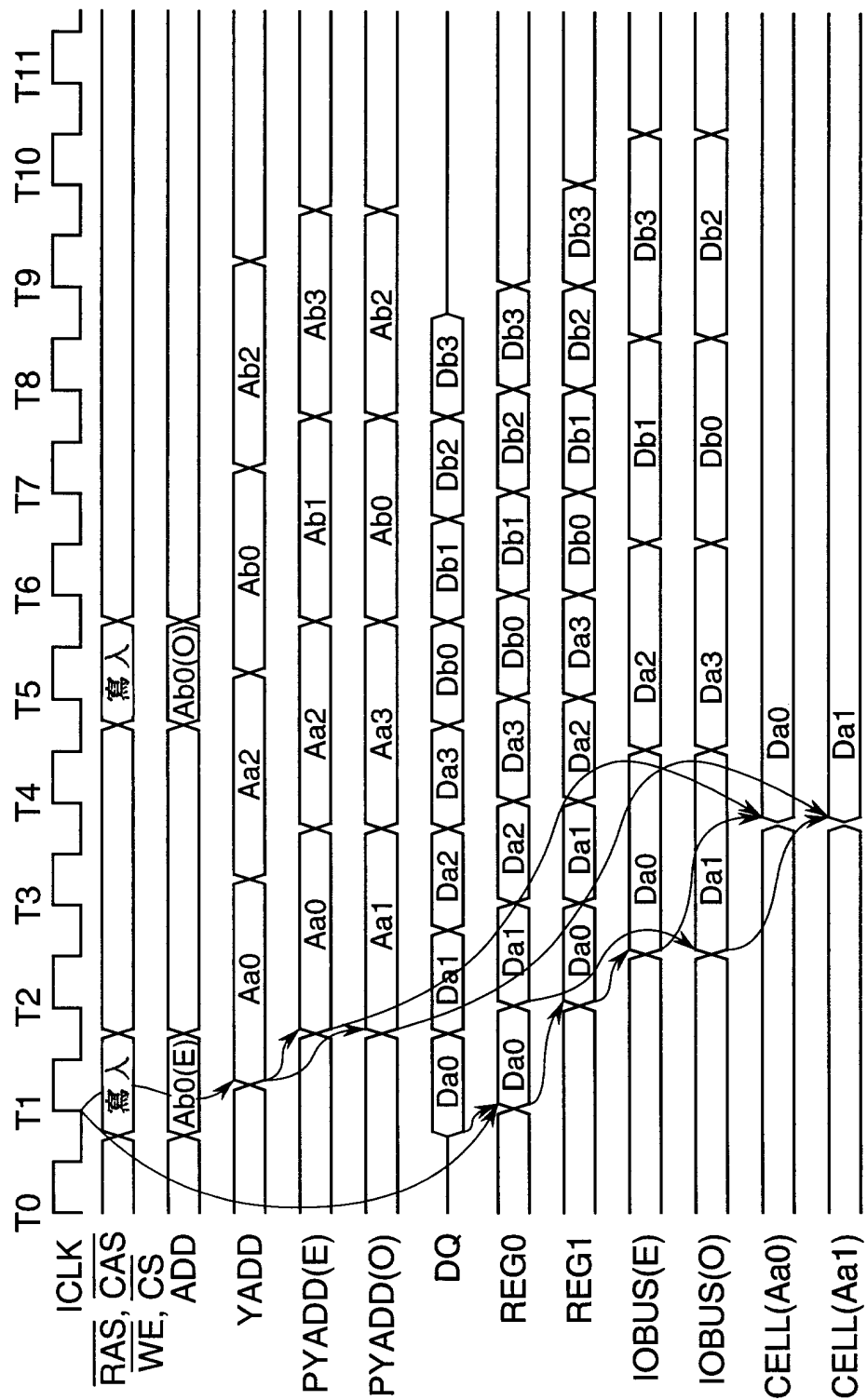


第 4 圖

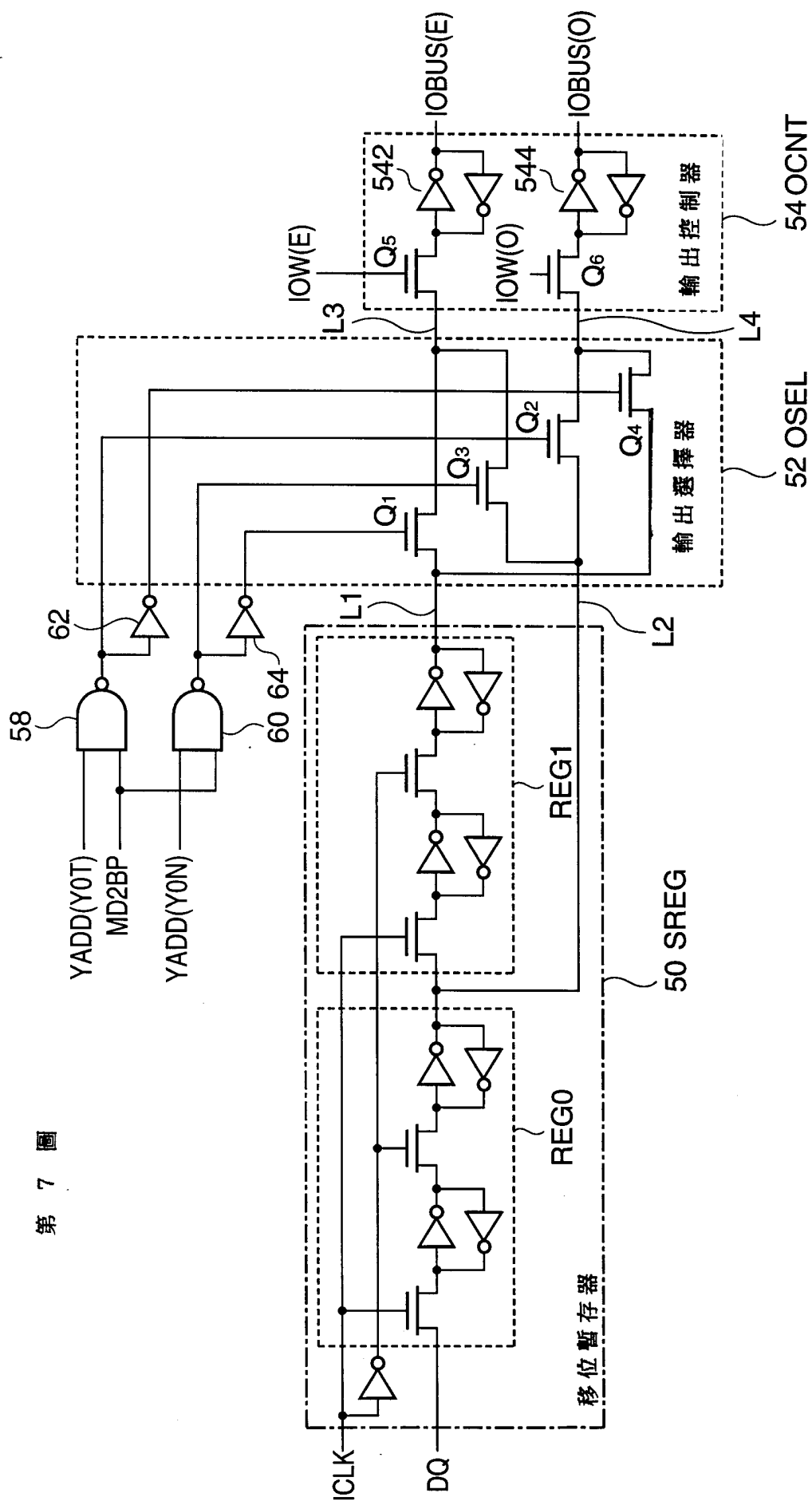
第 5 圖



第 6 圖



第 7 圖



第 8 圖

