



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년01월25일
(11) 등록번호 10-1107703
(24) 등록일자 2012년01월12일

(51) Int. Cl.

G09G 3/36 (2006.01) G02F 1/133 (2006.01)

(21) 출원번호 10-2005-0044378

(22) 출원일자 2005년05월26일

심사청구일자 2010년04월28일

(65) 공개번호 10-2006-0124836

(43) 공개일자 2006년12월06일

(56) 선행기술조사문헌

KR1019990045160 A

KR1020040061680 A

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

장용호

경기도 성남시 분당구 수내로 201, - 414동 806호
(분당동, 셋별마을)

김빈

서울특별시 양천구 목동서로 130, 408동 2003호
(목동, 목동신시가지아파트4단지)

윤수영

경기도 고양시 덕양구 무원로 63, 1010동 802호
(행신동, 무원마을)

(74) 대리인

김용인, 심창섭

전체 청구항 수 : 총 25 항

심사관 : 이성현

(54) 쉬프트 레지스터

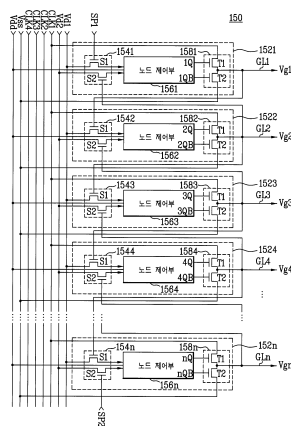
(57) 요약

본 발명은 양방향 스캔이 가능한 쉬프트 레지스터에 관한 것이다.

본 발명에 따른 쉬프트 레지스터는 상반된 제 1 및 제 2 전압이 입력되는 제 1 및 제 2 전압 입력라인과, 위상이 순차적으로 지연된 복수의 클럭신호가 입력되는 복수의 클럭신호 입력라인에 종속적으로 접속된 복수의 스테이지를 가지며, 상기 각 스테이지는 제 1 및 제 2 스타트 펄스에 따라 상기 제 1 및 제 2 전압을 선택적으로 출력하여 스캔방향을 제어하는 스캔방향 제어부와, 상기 스캔방향 제어부로부터의 출력신호에 따라 제 1 및 제 2 노드 상의 전압을 제어하는 노드 제어부와, 상기 제 1 및 제 2 노드 상의 전압에 따라 상기 복수의 클럭신호 입력라인 중 어느 하나로부터의 클럭신호를 출력하는 출력부를 구비한다.

이러한 구성에 의하여 본 발명은 이전단 및 다음단 스테이지로부터의 출력신호에 따라 상반된 제 1 및 제 2 전압을 선택적으로 출력하여 스캔방향을 제어함으로써 정방향 및 역방향 스캔이 가능하게 된다.

대표도 - 도4



특허청구의 범위

청구항 1

상반된 제 1 및 제 2 전압이 입력되는 제 1 및 제 2 전압 입력라인과, 위상이 순차적으로 지연된 복수의 클럭 신호가 입력되는 복수의 클럭신호 입력라인에 종속적으로 접속된 복수의 스테이지를 가지며,

상기 각 스테이지는,

제 1 및 제 2 스타트 펄스에 따라 상기 제 1 및 제 2 전압을 선택적으로 출력하여 스캔방향을 제어하는 스캔방향 제어부와,

상기 스캔방향 제어부로부터의 출력신호에 따라 제 1 및 제 2 노드 상의 전압을 제어하는 노드 제어부와,

상기 제 1 및 제 2 노드 상의 전압에 따라 상기 복수의 클럭신호 입력라인 중 어느 하나로부터의 클럭신호를 출력하는 출력부를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 2

제 1 항에 있어서,

상기 제 1 스타트 펄스는 이전단 스테이지로부터의 출력신호이고, 상기 제 2 스타트 펄스는 다음단 스테이지로부터의 출력신호인 것을 특징으로 하는 쉬프트 레지스터.

청구항 3

제 2 항에 있어서,

상기 복수의 스테이지 중 제 1 스테이지에 공급되는 제 1 스타트 펄스는 외부 또는 더미 스테이지로부터 공급되고,

상기 복수의 스테이지 중 마지막 스테이지에 공급되는 제 2 스타트 펄스는 외부 또는 더미 스테이지로부터 공급되는 것을 특징으로 하는 쉬프트 레지스터.

청구항 4

제 1 항에 있어서,

상기 스캔방향 제어부는,

상기 제 1 스타트 펄스에 따라 상기 제 1 전압을 상기 노드 제어부에 공급하는 제 1 스위칭 소자와,

상기 제 2 스타트 펄스에 따라 상기 제 2 전압을 상기 노드 제어부에 공급하는 제 2 스위칭 소자를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 5

제 1 항에 있어서,

상기 노드 제어부는,

상기 스캔방향 제어부로부터 제 1 및 제 2 전압 중 어느 하나의 전압이 공급되는 상기 제 1 노드와,

상기 제 2 노드 상의 전압에 따라 상기 제 1 노드를 기저전압이 입력되는 기저전압 입력라인에 접속시키는 제 1 트랜지스터와,

구동전압이 입력되는 구동전압 입력라인에 다이오드 형태로 접속되어 상기 구동전압을 상기 제 2 노드에 공급하는 제 2 트랜지스터와,

상기 제 1 노드 상의 전압에 따라 상기 제 2 노드를 상기 기저전압 입력라인에 접속시키는 제 3 트랜지스터를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 6

제 5 항에 있어서,
 상기 노드 제어부는,
 상기 제 1 스타트 펄스에 따라 상기 제 2 노드를 상기 제 2 전압 입력라인에 접속시키는 제 4 트랜지스터와,
 상기 제 2 스타트 펄스에 따라 상기 제 2 노드를 상기 제 1 전압 입력라인에 접속시키는 제 5 트랜지스터를 더 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 7

제 1 항에 있어서,
 상기 노드 제어부는,
 상기 스캔방향 제어부로부터 제 1 및 제 2 전압 중 어느 하나의 전압이 공급되는 상기 제 1 노드와,
 상기 제 2 노드 상의 전압에 따라 상기 제 1 노드를 기저전압이 입력되는 기저전압 입력라인에 접속시키는 제 1 트랜지스터와,
 구동전압이 입력되는 구동전압 입력라인에 다이오드 형태로 접속되어 상기 구동전압을 출력하는 제 2 트랜지스터와,
 상기 제 1 노드 상의 전압에 따라 상기 제 2 트랜지스터를 상기 기저전압 입력라인에 접속시키는 제 3 트랜지스터와,
 상기 제 2 트랜지스터에 의해 상기 구동전압 입력라인에 다이오드 형태로 접속되어 상기 구동전압을 상기 제 2 노드에 공급하는 제 4 트랜지스터와,
 상기 제 1 노드 상의 전압에 따라 상기 제 2 노드를 상기 기저전압 입력라인에 접속시키는 제 5 트랜지스터를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 8

제 7 항에 있어서,
 상기 노드 제어부는,
 상기 제 1 스타트 펄스에 따라 상기 제 2 노드를 상기 제 2 전압 입력라인에 접속시키는 제 6 트랜지스터와,
 상기 제 2 스타트 펄스에 따라 상기 제 2 노드를 상기 제 1 전압 입력라인에 접속시키는 제 7 트랜지스터를 더 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 9

제 1 항에 있어서,
 상기 출력부는,
 상기 제 1 노드 상의 전압에 따라 상기 클럭신호를 출력단에 공급하는 제 1 스위치와,
 상기 제 2 노드 상의 전압에 따라 기저전압 입력라인으로부터의 기저전압을 상기 출력단에 공급하는 제 2 스위치를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 10

상반된 제 1 및 제 2 전압이 입력되는 제 1 및 제 2 전압 입력라인과, 프레임 단위로 반전되는 상반된 제 1 및 제 2 구동전압이 공급되는 제 1 및 제 2 구동전압 입력라인과, 위상이 순차적으로 지연된 복수의 클럭신호가 입력되는 복수의 클럭신호 입력라인에 종속적으로 접속된 복수의 스테이지를 가지며,
 상기 각 스테이지는,
 제 1 및 제 2 스타트 펄스에 따라 상기 제 1 및 제 2 전압을 선택적으로 출력하여 스캔방향을 제어하는 스캔방향 제어부와,

상기 스캔방향 제어부로부터의 출력신호에 따라 제 1 내지 제 3 노드 상의 전압을 제어하는 노드 제어부와,
 상기 제 1 내지 제 3 노드 상의 전압에 따라 상기 복수의 클럭신호 입력라인 중 어느 하나로부터의 클럭신호를 출력하는 출력부를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 11

제 10 항에 있어서,
 상기 제 1 스타트 펄스는 이전단 스테이지로부터의 출력신호이고, 상기 제 2 스타트 펄스는 다음단 스테이지로부터의 출력신호인 것을 특징으로 하는 쉬프트 레지스터.

청구항 12

제 11 항에 있어서,
 상기 복수의 스테이지 중 제 1 스테이지에 공급되는 제 1 스타트 펄스는 외부 또는 더미 스테이지로부터 공급되고,
 상기 복수의 스테이지 중 마지막 스테이지에 공급되는 제 2 스타트 펄스는 외부 또는 더미 스테이지로부터 공급되는 것을 특징으로 하는 쉬프트 레지스터.

청구항 13

제 10 항에 있어서,
 상기 스캔방향 제어부는,
 상기 제 1 스타트 펄스에 따라 상기 제 1 전압을 상기 노드 제어부에 공급하는 제 1 스위칭 소자와,
 상기 제 2 스타트 펄스에 따라 상기 제 2 전압을 상기 노드 제어부에 공급하는 제 2 스위칭 소자를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 14

제 10 항에 있어서,
 상기 노드 제어부는;
 상기 스캔방향 제어부로부터 제 1 및 제 2 전압 중 어느 하나의 전압이 공급되는 상기 제 1 노드와;
 상기 제 2 및 제 3 노드 상의 전압에 따라 상기 제 1 노드 상의 전압을 제어하는 제 1 노드 제어부와;
 상기 제 1 및 제 2 전압과, 상기 제 1 및 제 2 스타트 펄스와, 상기 제 1 및 제 2 구동전압에 따라 상기 제 2 노드 상의 전압을 제어하는 제 2 노드 제어부와,
 상기 제 1 및 제 2 전압과, 상기 제 1 및 제 2 스타트 펄스와, 상기 제 1 및 제 2 구동전압에 따라 상기 제 3 노드 상의 전압을 제어하는 제 3 노드 제어부를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 15

제 14 항에 있어서,
 상기 제 1 노드 제어부는,
 상기 제 2 노드 상의 전압에 따라 기저전압 입력라인으로부터의 기저전압을 상기 제 1 노드에 공급하는 홀수번째 제 1 트랜지스터와,
 상기 제 3 노드 상의 전압에 따라 상기 기저전압을 상기 제 1 노드에 공급하는 짝수번째 제 1 트랜지스터를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 16

제 14 항에 있어서,

상기 제 2 노드 제어부는,

상기 제 1 구동전압 입력라인에 다이오드 형태로 접속되어 상기 제 1 구동전압을 상기 제 2 노드에 공급하는 홀수번째 제 2 트랜지스터와,

상기 제 1 노드 상의 전압에 따라 기저전압 입력라인으로부터의 기저전압을 상기 제 2 노드에 공급하는 홀수번째 제 3 트랜지스터와,

상기 제 2 스타트 펄스에 따라 상기 제 1 전압을 상기 제 2 노드에 공급하는 홀수번째 제 4 트랜지스터와,

상기 제 1 스타트 펄스에 따라 상기 제 2 전압을 상기 제 2 노드에 공급하는 홀수번째 제 5 트랜지스터와,

상기 제 2 구동전압에 따라 상기 기저전압을 상기 제 2 노드에 공급하는 홀수번째 제 6 트랜지스터를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 17

제 16 항에 있어서,

상기 제 2 노드 제어부는,

상기 제 1 구동전압 입력라인에 다이오드 형태로 접속되어 상기 홀수번째 제 2 트랜지스터를 상기 제 1 구동전압 입력라인에 다이오드 형태로 접속시키는 홀수번째 제 7 트랜지스터와,

상기 제 1 스타트 펄스에 따라 상기 홀수번째 제 7 트랜지스터를 상기 기저전압이 공급되는 기저전압 입력라인에 접속시키는 홀수번째 제 8 트랜지스터와,

상기 제 1 노드 상의 전압에 따라 상기 홀수번째 제 7 트랜지스터를 상기 기저전압 입력라인에 접속시키는 홀수번째 제 9 트랜지스터를 더 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 18

제 14 항에 있어서,

상기 제 3 노드 제어부는,

상기 제 2 구동전압 입력라인에 다이오드 형태로 접속되어 상기 제 2 구동전압을 상기 제 3 노드에 공급하는 짝수번째 제 2 트랜지스터와,

상기 제 1 노드 상의 전압에 따라 기저전압 입력라인으로부터의 기저전압을 상기 제 3 노드에 공급하는 짝수번째 제 3 트랜지스터와,

상기 제 2 스타트 펄스에 따라 상기 제 1 전압을 상기 제 3 노드에 공급하는 짝수번째 제 4 트랜지스터와,

상기 제 1 스타트 펄스에 따라 상기 제 2 전압을 상기 제 3 노드에 공급하는 짝수번째 제 5 트랜지스터와,

상기 제 1 구동전압에 따라 상기 기저전압을 상기 제 3 노드에 공급하는 짝수번째 제 6 트랜지스터를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 19

제 18 항에 있어서,

상기 제 3 노드 제어부는,

상기 제 2 구동전압 입력라인에 다이오드 형태로 접속되어 상기 짝수번째 제 2 트랜지스터를 상기 제 2 구동전압 입력라인에 다이오드 형태로 접속시키는 짝수번째 제 7 트랜지스터와,

상기 제 1 스타트 펄스에 따라 상기 짝수번째 제 7 트랜지스터를 상기 기저전압이 공급되는 기저전압 입력라인에 접속시키는 짝수번째 제 8 트랜지스터와,

상기 제 1 노드 상의 전압에 따라 상기 짝수번째 제 7 트랜지스터를 상기 기저전압 입력라인에 접속시키는 짝수번째 제 9 트랜지스터를 더 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 20

제 10 항에 있어서,

상기 출력부는,

상기 제 1 노드 상의 전압에 따라 상기 클럭신호를 출력단에 공급하는 제 1 스위치와,

상기 제 2 노드 상의 전압에 따라 기저전압 입력라인으로부터의 기저전압을 상기 출력단에 공급하는 홀수번째 제 2 스위치와,

상기 제 3 노드 상의 전압에 따라 상기 기저전압을 상기 출력단에 공급하는 짝수번째 제 2 스위치를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 21

제 10 항에 있어서,

상기 출력부는,

상기 제 1 내지 제 3 노드 상의 전압에 따라 상기 클럭신호를 제 1 출력단에 공급하는 제 1 출력부와,

상기 제 1 내지 제 3 노드 상의 전압에 따라 상기 클럭신호를 제 2 출력단에 공급하는 제 2 출력부를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 22

제 21 항에 있어서,

상기 제 1 출력부는,

상기 제 1 노드 상의 전압에 따라 상기 클럭신호를 상기 제 1 출력단에 공급하는 제 1 스위치와,

상기 제 2 노드 상의 전압에 따라 기저전압 입력라인으로부터의 기저전압을 상기 제 1 출력단에 공급하는 홀수번째 제 2 스위치와,

상기 제 3 노드 상의 전압에 따라 상기 기저전압을 상기 제 1 출력단에 공급하는 짝수번째 제 2 스위치를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 23

제 21 항에 있어서,

상기 제 2 출력부는,

상기 제 1 노드 상의 전압에 따라 상기 클럭신호를 상기 제 2 출력단에 공급하는 보조 제 1 스위치와,

상기 제 2 노드 상의 전압에 따라 기저전압 입력라인으로부터의 기저전압을 상기 제 2 출력단에 공급하는 보조 홀수번째 제 2 스위치와,

상기 제 3 노드 상의 전압에 따라 상기 기저전압을 상기 제 2 출력단에 공급하는 보조 짝수번째 제 2 스위치를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 24

제 21 항에 있어서,

상기 제 1 출력단에 공급되는 상기 클럭신호는 외부로 출력되고,

상기 제 2 출력단에 공급되는 상기 클럭신호는 이전단 또는 다음단 스테이지로 출력되는 것을 특징으로 하는 쉬프트 레지스터.

청구항 25

제 1 항 또는 제 10 항에 있어서,

상기 제 1 및 제 2 전압은 상기 스캔방향에 따라 반전되는 것을 특징으로 하는 쉬프트 레지스터.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0021] 본 발명은 화상 표시장치의 쉬프트 레지스터에 관한 것으로, 특히 양방향 스캔이 가능한 쉬프트 레지스터에 관한 것이다.
- [0022] 최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시장치들이 대두되고 있다. 이러한 평판 표시장치로는 액정 표시장치(Liquid Crystal Display), 전계방출 표시장치(Field Emission Display), 플라즈마 표시 패널(Plasma Display Panel) 및 발광 표시장치(Light Emitting Display) 등이 있다.
- [0023] 통상의 액정 표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여, 액정 표시장치는 액정셀들이 매트릭스 형태로 배열되어진 액정패널과 이 액정패널을 구동하기 위한 구동회로를 구비한다.
- [0024] 액정패널에는 게이트 라인들과 데이터 라인들이 교차하게 배열되고 그 게이트 라인들과 데이터 라인들의 교차로 마련되는 영역에 액정셀들이 위치하게 된다. 이 액정패널에는 액정셀들 각각에 전계를 인가하기 위한 화소전극들과 공통전극이 마련된다. 화소전극들 각각은 스위칭 소자인 박막 트랜지스터(Thin Film Transistor; 이하, TFT라 함)의 소스 및 드레인 단자들을 경유하여 데이터 라인들 중 어느 하나에 접속된다. TFT의 게이트단자는 게이트 라인들 중 어느 하나에 접속된다.
- [0025] 이러한 액정 표시장치에 이용되는 TFT는 반도체층으로 아몰퍼스(Amorphous) 실리콘 또는 폴리(Poly) 실리콘을 이용한다. 아몰퍼스형 액정 표시장치는 아몰퍼스 실리콘층이 비교적 균일성이 좋고 특성이 안정된 장점을 가지고 있으나, 전하이동도가 작아 화소밀도를 향상시키기 어려운 단점을 가진다. 그러나, 최근에는 회로적 보완을 통해 아몰퍼스 실리콘을 이용한 구동회로를 어레이 기판 상에 내장할 수 있게 되었다.
- [0026] 도 1을 참조하면, 관련기술에 따른 액정 표시장치는 화상을 표시하는 화상 표시부(12)와, 화상 표시부(12)에 게이트 펄스를 공급하기 위한 게이트 쉬프트 레지스터(50)가 형성된 액정패널(10)과, 도시하지 않은 제어회로 및 전원회로가 실장된 인쇄회로기판(Printed Circuit Board)(20)과, 인쇄회로기판(20)과 액정패널(10)간에 접속된 복수의 테이프 캐리어 패키지(Tape Carrier Package; 이하, TCP라 함)(30)와, 각 TCP(30)에 실장되어 화상 표시부(12)에 아날로그 화상신호를 공급하는 복수의 데이터 집적회로(Data Integrated Circuit)(40)를 구비한다.
- [0027] 화상표시부(12)는 매트릭스 형태로 형성된 액정셀들(LC)을 통해 화상을 표시한다. 각 액정셀(LC)은 게이트 라인(GL)과 데이터 라인(DL)의 교차점에 접속된 스위칭 소자로서 폴리 실리콘 또는 아몰퍼스 실리콘을 이용한 TFT를 포함한다. 데이터 라인들(DL)은 데이터 집적회로(40)로부터 아날로그 화상신호를 공급받는다. 게이트 라인들(GL)은 게이트 쉬프트 레지스터(50)로부터 게이트 펄스를 공급받는다.
- [0028] 각 TCP(30)는 TAB(Tape Automated Bonding) 방식에 의해 인쇄회로기판(20)과 액정패널(10)간에 전기적으로 접속된다. 이때, 각 TCP(30)의 입력패드들은 인쇄회로기판(20)에 전기적으로 접속되고, 출력패드들은 액정패널(10)에 전기적으로 접속된다.
- [0029] 각 데이터 집적회로(40)는 인쇄회로기판(20)에 실장된 제어회로로부터 TCP(30)의 입력패드를 통해 제어신호 및 데이터 신호를 입력받고, 입력된 제어신호를 이용하여 데이터 신호를 상기 아날로그 화상신호로 변환하여 TCP(30)의 출력패드를 통해 액정패널(10)의 데이터 라인(DL)에 공급한다.
- [0030] 게이트 쉬프트 레지스터(50)는 액정패널(10)의 일측에 직접 형성된다. 이러한, 게이트 쉬프트 레지스터(50)는 도 2에 도시된 바와 같이 게이트 라인들(GL)의 일측 각각에 출력단이 각각 접속된 복수의 스테이지들(511 내지 51n)로 구성된다.
- [0031] 복수의 스테이지들(511 내지 51n) 각각은 스타트 펄스(SP) 입력라인에 종속 접속됨과 아울러 적어도 하나의 클럭신호(CLK) 입력라인에 각각 접속된다. 적어도 하나의 클럭신호(CLK)는 한 클럭씩 순차적으로 위상 지연된 형태로 공급된다. 이때, 클럭신호(CLK) 입력라인에 공급되는 클럭신호(CLK)의 개수가 2개일 경우 게이트 쉬프트

레지스터(50)는 2상 쉬프트 레지스터라 한다.

[0032] 이에 따라, 복수의 스테이지들(511 내지 51n) 각각은 적어도 하나의 클럭신호(CLK) 중 하나의 클럭신호를 이용하여 스타트 펄스(SP)를 한 클럭씩 쉬프트시켜 출력한다. 이러한 게이트 쉬프트 레지스터(50)의 각 스테이지(511 내지 51n)로부터 출력되는 신호들은 게이트 펄스(GP)로 공급됨과 아울러 다음단 스테이지(512 내지 51n)의 스타트 펄스(SP)로 공급된다.

[0033] 이와 같은, 관련기술에 따른 액정 표시장치는 액정패널(10)에 내장된 게이트 쉬프트 레지스터(50)를 이용하여 게이트 라인들(GL)에 순차적으로 게이트 펄스(GP)를 공급함과 동기되도록 복수의 데이터 집적회로(40)로부터의 아날로그 화상신호를 데이터 라인들(DL)에 공급함으로써 화상 표시부(12)에 원하는 화상을 표시하게 된다.

[0034] 그러나 이러한 관련기술에 따른 액정 표시장치는 하나의 스타트 펄스(SP)에 의해 개시되어 출력신호를 다음 단 스테이지로 전달함으로써 게이트 라인들(GL)에 순차적으로 게이트 펄스를 출력하게 된다. 이에 따라, 관련기술에 따른 액정 표시장치는 출력신호를 한 방향으로 출력하므로 양방향 스캔이 불가능한 단점이 있다.

발명이 이루고자 하는 기술적 과제

[0035] 따라서 상기와 같은 문제점을 해결하기 위하여, 본 발명은 양방향 스캔이 가능한 쉬프트 레지스터를 제공하는데 있다.

발명의 구성 및 작용

[0036] 상기와 같은 목적을 달성하기 위한 본 발명의 실시 예에 따른 쉬프트 레지스터는 상반된 제 1 및 제 2 전압이 입력되는 제1 및 제 2 전압 입력라인과, 위상이 순차적으로 지연된 복수의 클럭신호가 입력되는 복수의 클럭신호 입력라인에 종속적으로 접속된 복수의 스테이지를 가지며, 상기 각 스테이지는 제 1 및 제 2 스타트 펄스에 따라 상기 제 1 및 제 2 전압을 선택적으로 출력하여 스캔방향을 제어하는 스캔방향 제어부와, 상기 스캔방향 제어부로부터의 출력신호에 따라 제 1 및 제 2 노드 상의 전압을 제어하는 노드 제어부와, 상기 제 1 및 제 2 노드 상의 전압에 따라 상기 복수의 클럭신호 입력라인 중 어느 하나로부터의 클럭신호를 출력하는 출력부를 구비한다.

[0037] 상기 제 1 스타트 펄스는 이전단 스테이지로부터의 출력신호이고, 상기 제 2 스타트 펄스는 다음단 스테이지로부터의 출력신호인 것을 특징으로 한다.

[0038] 상기 복수의 스테이지 중 제 1 스테이지에 공급되는 제 1 스타트 펄스는 외부 또는 더미 스테이지로부터 공급되고, 상기 복수의 스테이지 중 마지막 스테이지에 공급되는 제 2 스타트 펄스는 외부 또는 더미 스테이지로부터 공급되는 것을 특징으로 한다.

[0039] 본 발명의 실시 예에 따른 쉬프트 레지스터는 상반된 제 1 및 제 2 전압이 입력되는 제 1 및 제 2 전압 입력라인과, 프레임 단위로 반전되는 상반된 제 1 및 제 2 구동전압이 공급되는 제 1 및 제 2 구동전압 입력라인과, 위상이 순차적으로 지연된 복수의 클럭신호가 입력되는 복수의 클럭신호 입력라인에 종속적으로 접속된 복수의 스테이지를 가지며, 상기 각 스테이지는 제 1 및 제 2 스타트 펄스에 따라 상기 제 1 및 제 2 전압을 선택적으로 출력하여 스캔방향을 제어하는 스캔방향 제어부와, 상기 스캔방향 제어부로부터의 출력신호에 따라 제 1 내지 제 3 노드 상의 전압을 제어하는 노드 제어부와, 상기 제 1 내지 제 3 노드 상의 전압에 따라 상기 복수의 클럭신호 입력라인 중 어느 하나로부터의 클럭신호를 출력하는 출력부를 구비하는 것을 특징으로 한다.

[0040] 상기 제 1 스타트 펄스는 이전단 스테이지로부터의 출력신호이고, 상기 제 2 스타트 펄스는 다음단 스테이지로부터의 출력신호인 것을 특징으로 한다.

[0041] 상기 복수의 스테이지 중 제 1 스테이지에 공급되는 제 1 스타트 펄스는 외부 또는 더미 스테이지로부터 공급되고, 상기 복수의 스테이지 중 마지막 스테이지에 공급되는 제 2 스타트 펄스는 외부 또는 더미 스테이지로부터 공급되는 것을 특징으로 한다.

[0042] 이하에서, 첨부된 도면 및 실시 예를 통해 본 발명의 실시 예를 구체적으로 살펴보면 다음과 같다.

[0043] 도 4는 본 발명의 실시 예에 따른 쉬프트 레지스터(150)를 나타내는 도면이다.

[0044] 도 4를 참조하면, 본 발명의 실시 예에 따른 쉬프트 레지스터(150)는 제 1 및 제 2 전압(Vd1, Vd2) 입력라인과, 구동전압 입력라인(Vdd)과, 기저전압(Vss) 입력라인 및 복수의 클럭신호(CLK1 내지 CLK4) 입력라인에 종속적으로 접속된 n개의 스테이지(1521 내지 152n)를 구비하며, 각 스테이지(1521 내지 152n)는 전단 스테이지로부터의

출력신호(SP1, Vg1 내지 Vgn)와 다음단 스테이지로부터의 출력신호(Vg2 내지 Vg, SP2)에 따라 제 1 및 제 2 전압(Vd2)을 이용하여 스캔방향을 제어하는 스캔방향 제어부(1541 내지 154n)와, 스캔방향 제어부(1541 내지 154n)로부터의 출력신호에 따라 제 1 및 제 2 노드(Q, QB)를 제어하는 노드 제어부(1561 내지 156n)와, 제 1 및 제 2 노드(Q, QB) 상의 전압에 따라 클럭신호(CLK) 입력라인으로부터의 클럭신호를 출력신호(Vg1 내지 Vgn)로 출력하는 출력부(1581 내지 158n)를 구비한다.

- [0045] 제 1 및 제 2 전압(Vd1, Vd2) 입력라인에는 서로 반전된 형태를 가지는 제 1 및 제 2 전압(Vd1, Vd2)이 공급된다.
- [0046] 구동전압(Vdd) 입력라인에는 트랜지스터 및 스위칭 소자를 포함하는 스위치를 턴-온시키기 위한 전압레벨(이하, 하이 상태라 함)을 가지는 구동전압(Vdd)이 공급되고, 기저전압(Vss) 입력라인에는 트랜지스터 및 스위칭 소자를 포함하는 스위치를 턴-오프시키기 위한 전압레벨(이하, 로우 상태라 함) 또는 기저전압(Vss)이 공급된다.
- [0047] 복수의 클럭신호(CLK1 내지 CLK4) 입력라인에는 한 클럭씩 순차적으로 위상 지연된 형태로 반복되도록 공급된다.
- [0048] 각 스캔방향 제어부(1541 내지 154n)는 제 1 전압(Vd1) 입력라인과 노드 제어부(1561 내지 156n)에 접속되어 이전단 스테이지로부터의 출력신호에 따라 제 1 전압(Vd1) 입력라인으로부터의 제 1 전압(Vd1)을 노드 제어부(1561 내지 156n)에 공급하는 제 1 스위칭 소자(S1)와, 제 2 전압(Vd2) 입력라인과 노드 제어부(1561 내지 156n)에 접속되어 다음단 스테이지로부터의 출력신호에 따라 제 2 전압(Vd2) 입력라인으로부터의 제 2 전압(Vd2)을 노드 제어부(1561 내지 156n)에 공급하는 제 2 스위칭 소자(S2)를 구비한다.
- [0049] 여기서, 제 1 스캔방향 제어부(1541)의 제 1 스위칭 소자(S1)는 외부 또는 더미 스테이지로부터 제 1 스타트 펄스(SP1) 입력라인에 공급되는 제 1 스타트 펄스(SP1)에 의해 제어되고, 제 n 스캔방향 제어부(154n)의 제 2 스위칭 소자(S2)는 외부 또는 더미 스테이지로부터 제 2 스타트 펄스(SP2) 입력라인에 공급되는 제 2 스타트 펄스(SP2)에 의해 제어된다. 여기서, 제 1 및 제 2 스타트 펄스(SP1)는 동일하거나 다를 수 있다.
- [0050] 각 노드 제어부(1561 내지 156n)는 스캔방향 제어부(1541 내지 154n)의 제 1 및 제 2 스위칭 소자(S1, S2)에 의해 입력되는 제 1 및 제 2 전압(Vd1, Vd2)에 따라 제 1 및 제 2 노드(Q, QB) 상의 전압을 제어한다.
- [0051] 각 출력부(1581 내지 158n)는 노드 제어부(1561 내지 156n)에 의한 제 1 및 제 2 노드(Q, QB) 상의 전압에 따라 접속된 클럭신호(CLK) 입력라인으로부터의 클럭신호(CLK)를 출력단으로 출력한다. 즉, 각 출력부(1581 내지 158n)는 제 1 노드(Q) 상의 전압에 따라 클럭신호(CLK)를 출력단으로 출력하고, 제 2 노드(QB) 상의 전압에 따라 출력단의 전압을 방전시킨다.
- [0052] 이를 위해, 출력부(1581 내지 158n)는 제 1 노드(Q) 상의 전압에 따라 상기 클럭신호(CLK)를 출력단으로 공급하는 제 1 스위치(T1)와, 제 2 노드(QB) 상의 전압에 따라 기저전압(Vss)을 출력단으로 공급하는 제 2 스위치(T2)를 구비한다. 여기서, 복수의 클럭신호가 4상일 경우에 있어서, 제 i+1(단, i는 4j이고, j는 0,1,2,...) 출력부(158i+1)의 제 1 스위치(T1)는 제 1 클럭신호(CLK1) 입력라인에 종속적으로 접속되고, 제 i+2 출력부(158i+2)의 제 1 스위치(T1)는 제 2 클럭신호(CLK2) 입력라인에 종속적으로 접속되고, 제 i+3 출력부(158i+3)의 제 1 스위치(T1)는 제 3 클럭신호(CLK3) 입력라인에 종속적으로 접속된다. 또한, 제 i 출력부(158i)의 제 1 스위치(T1)는 제 4 클럭신호(CLK4) 입력라인에 종속적으로 접속된다. 결과적으로, 복수의 클럭신호가 k상일 경우 k개의 출력부 단위로 제 1 스위치(T1)는 k개의 클럭신호 입력라인에 순차적으로 접속된다.
- [0053] 이와 같은, 본 발명의 실시 예에 따른 쉬프트 레지스터(150)는 제 1 및 제 2 스타트 펄스(SP1, SP2), 클럭신호(CLK)의 위상 및 제 1 및 제 2 전압(Vd1, Vd2)을 조절함으로써 정방향 스캔 또는 역방향 스캔이 가능하게 된다.
- [0054] 도 5는 도 4에 도시된 쉬프트 레지스터의 정방향 스캔동작을 나타내는 구동 파형도이다.
- [0055] 도 5를 도 4와 결부하여 정방향으로 스캔하기 위한 본 발명의 실시 예에 따른 쉬프트 레지스터의 동작을 설명하면 다음과 같다.
- [0056] 여기서, 정방향 스캔일 경우, 제 1 전압(Vd1) 입력라인에는 하이 상태의 제 1 전압(Vd1)이 공급되는 반면에 제 2 전압(Vd2) 입력라인에는 로우 상태의 제 2 전압(Vd2)이 공급된다.
- [0057] 먼저, n개의 스테이지(1521 내지 152n) 중 제 1 스테이지(1521)는 제 1 스타트 펄스(SP1) 입력라인으로부터 공급되는 하이 상태의 제 1 스타트 펄스(SP1)와, 제 2 스테이지(1522)로부터 출력되는 로우 상태의 제 2 출력신호(Vg2)와, 하이 상태의 제 1 전압(Vd1) 및 제 1 클럭신호(CLK1) 입력라인으로부터의 제 1 클럭신호(CLK1)를 이용

하여 하이 상태의 제 1 출력신호(Vg1)를 출력한다.

- [0058] 구체적으로, 제 1 스테이지(1521)의 제 1 스캔방향 제어부(1541)에서는 하이 상태의 제 1 스타트 펄스(SP1)에 의해 제 1 스위칭 소자(S1)가 턴-온되고, 제 2 스테이지(1522)로부터 출력되는 로우 상태의 제 2 출력신호(Vg2)에 의해 제 2 스위칭 소자(S2)가 턴-오프된다. 이에 따라, 제 1 스캔방향 제어부(1541)는 제 1 스위칭 소자(S1)를 통해 제 1 전압(Vd1) 입력라인으로부터 공급되는 하이 상태의 제 1 전압(Vd1)을 제 1 노드 제어부(1561)에 공급한다.
- [0059] 그리고 제 1 노드 제어부(1561)는 제 1 스캔방향 제어부(1541)의 제 1 스위칭 소자(S1)를 통해 공급되는 하이 상태의 제 1 전압(Vd1)을 제 1 노드(1Q) 상에 공급하고, 제 2 노드(1QB)를 기저전압(Vss)이 공급되는 제 2 구동전압 입력라인에 접속시킨다. 이에 따라, 제 1 노드(1Q)는 하이 상태의 제 1 전압(Vd1)으로 충전되는 반면에 제 2 노드(1QB)는 기저전압(Vss)에 의해 방전된다.
- [0060] 그리고 제 1 출력부(1581)에서는 제 1 노드 제어부(1561)의 제 1 노드(1Q) 상에 충전된 하이 상태의 제 1 전압(Vd1)에 의해 제 1 스위치(T1)가 턴-온되는 반면에 제 2 스위치(T2)는 제 2 노드(1QB) 상에 공급되는 기저전압(Vss)에 의해 턴-오프된다. 이에 따라, 제 1 출력부(1581)는 제 1 스위치(T1)를 통해 제 1 클럭신호(CLK1) 입력라인으로부터 공급되는 하이 상태의 제 1 클럭신호(CLK1)를 제 1 출력신호(Vg1)로 출력한다. 이때, 제 1 출력신호(Vg1)는 제 1 게이트 라인(GL1) 및 제 2 스테이지(1522)의 제 2 스캔방향 제어부(1542)에 공급된다.
- [0061] 이러한, 제 1 스테이지(1521)의 동작이 완료되면 제 2 스테이지(1522)는 제 1 스테이지(1521)로부터 출력되는 하이 상태의 제 1 출력신호(Vg1)와, 제 3 스테이지(1523)로부터 출력되는 로우 상태의 제 3 출력신호(Vg3)와, 하이 상태의 제 1 전압(Vd1) 및 제 2 클럭신호(CLK2) 입력라인으로부터의 제 2 클럭신호(CLK2)를 이용하여 하이 상태의 제 2 출력신호(Vg2)를 출력한다.
- [0062] 구체적으로, 제 2 스테이지(1522)의 제 2 스캔방향 제어부(1542)에서는 하이 상태의 제 1 출력신호(Vg1)에 의해 제 1 스위칭 소자(S1)가 턴-온되고, 제 3 스테이지(1523)로부터 출력되는 로우 상태의 제 3 출력신호(Vg3)에 의해 제 2 스위칭 소자(S2)가 턴-오프된다. 이에 따라, 제 2 스캔방향 제어부(1542)는 제 1 스위칭 소자(S1)를 통해 제 1 전압(Vd1) 입력라인으로부터 공급되는 하이 상태의 제 1 전압(Vd1)을 제 2 노드 제어부(1562)에 공급한다.
- [0063] 그리고 제 2 노드 제어부(1562)는 제 2 스캔방향 제어부(1542)의 제 1 스위칭 소자(S1)를 통해 공급되는 하이 상태의 제 1 전압(Vd1)을 제 1 노드(2Q) 상에 공급하고, 제 2 노드(2QB)를 기저전압(Vss)이 공급되는 기저전압(Vss) 입력라인에 접속시킨다. 이에 따라, 제 1 노드(2Q)는 제 1 전압(Vd1)으로 충전되는 반면에 제 2 노드(2QB)는 기저전압(Vss)에 의해 방전된다.
- [0064] 그리고 제 2 출력부(1582)에서는 제 2 노드 제어부(1562)의 제 1 노드(2Q) 상에 충전된 하이 상태의 제 1 전압(Vd1)에 의해 제 1 스위치(T1)가 턴-온되는 반면에 제 2 스위치(T2)는 제 2 노드(2QB) 상에 공급되는 기저전압(Vss)에 의해 턴-오프된다. 이에 따라, 제 2 출력부(1582)는 제 1 스위치(T1)를 통해 제 2 클럭신호(CLK2) 입력라인으로부터 공급되는 하이 상태의 제 2 클럭신호(CLK2)를 제 2 출력신호(Vg2)로 출력한다. 이때, 제 2 출력신호(Vg2)는 제 2 게이트 라인(GL2)에 공급됨과 동시에 제 1 스테이지(1521)의 제 1 스캔방향 제어부(1541) 및 제 3 스테이지(1523)의 제 3 스캔방향 제어부(1543)에 공급된다.
- [0065] 한편, 제 2 스테이지(1522)로부터 하이 상태의 제 2 출력신호(Vg2)가 출력되는 동안 제 1 스테이지(1521)는 제 1 스타트 펄스(SP1) 입력라인으로부터 공급되는 로우 상태의 제 1 스타트 펄스(SP1)와, 제 2 스테이지(1522)로부터 출력되는 하이 상태의 제 2 출력신호(Vg2)와, 로우 상태의 제 2 전압(Vd2)에 의해 로우 상태의 제 1 출력신호(Vg1)를 출력한다.
- [0066] 구체적으로, 제 1 스테이지(1521)의 제 1 스캔방향 제어부(1541)에서는 로우 상태의 제 1 스타트 펄스(SP1)에 의해 제 1 스위칭 소자(S1)가 턴-오프되고, 제 2 스테이지(1522)로부터 공급되는 하이 상태의 제 2 출력신호(Vg2)에 의해 제 2 스위칭 소자(S2)가 턴-온된다. 이에 따라, 제 1 스캔방향 제어부(1541)는 제 2 스위칭 소자(S2)를 통해 제 2 전압(Vd2) 입력라인으로부터 공급되는 로우 상태의 제 2 전압(Vd2)을 제 1 노드 제어부(1561)에 공급한다.
- [0067] 그리고 제 1 노드 제어부(1561)는 제 1 노드(1Q)를 제 1 스캔방향 제어부(1541)의 제 2 스위칭 소자(S2)를 통해 기저전압(Vss) 입력라인에 접속시키고, 제 2 노드(1QB)에는 구동전압(Vdd) 입력라인으로부터의 구동전압(Vdd)을 공급한다. 이에 따라, 제 1 노드(1Q)는 로우 상태의 제 2 전압(Vd2)에 의해 방전되는 반면에 제 2 노드(1QB)는

하이 상태의 구동전압(Vdd)으로 충전된다.

- [0068] 그리고 제 1 출력부(1581)에서는 제 1 노드 제어부(1561)의 제 1 노드(1Q) 상의 제 2 전압(Vd2)에 의해 제 1 스위치(T1)가 턴-오프되는 반면에 제 2 스위치(T2)는 제 2 노드(1QB) 상의 하이 상태의 구동전압(Vdd)에 의해 턴-온된다. 이에 따라, 제 1 출력부(1581)는 제 2 스위치(T2)를 통해 출력단에 기저전압(Vss)을 공급함으로써 로우 상태의 제 1 출력신호(Vg1)를 출력한다.
- [0069] 이와 같은, 제 2 스테이지(1522)의 동작이 완료되면 제 3 스테이지(1523)는 제 2 스테이지(1522)로부터 출력되는 하이 상태의 제 2 출력신호(Vg2)와, 제 4 스테이지(1524)로부터 출력되는 로우 상태의 제 4 출력신호(Vg4)와, 하이 상태의 제 1 전압(Vd1) 및 제 3 클럭신호(CLK3) 입력라인으로부터의 제 3 클럭신호(CLK3)를 이용하여 하이 상태의 제 3 출력신호(Vg3)를 출력한다.
- [0070] 구체적으로, 제 3 스테이지(1523)의 제 3 스캔방향 제어부(1543)에서는 하이 상태의 제 2 출력신호(Vg2)에 의해 제 1 스위칭 소자(S1)가 턴-온되고, 제 4 스테이지(1524)로부터 출력되는 로우 상태의 제 4 출력신호(Vg4)에 의해 제 2 스위칭 소자(S2)가 턴-오프된다. 이에 따라, 제 3 스캔방향 제어부(1543)는 제 1 스위칭 소자(S1)를 통해 제 1 전압(Vd1) 입력라인으로부터 공급되는 하이 상태의 제 1 전압(Vd1)을 제 3 노드 제어부(1563)에 공급한다.
- [0071] 그리고 제 3 노드 제어부(1563)는 제 3 스캔방향 제어부(1543)의 제 1 스위칭 소자(S1)를 통해 공급되는 하이 상태의 제 1 전압(Vd1)을 제 1 노드(3Q) 상에 공급하고, 제 2 노드(3QB)를 기저전압(Vss)이 공급되는 기저전압(Vss) 입력라인에 접속시킨다. 이에 따라, 제 1 노드(3Q)는 하이 상태의 제 1 전압(Vd1)으로 충전되는 반면에 제 2 노드(3QB)는 기저전압(Vss)에 의해 방전된다.
- [0072] 그리고 제 3 출력부(1583)에서는 제 3 노드 제어부(1563)의 제 1 노드(3Q) 상에 충전된 하이 상태의 제 1 전압(Vd1)에 의해 제 1 스위치(T1)가 턴-온되는 반면에 제 2 스위치(T2)는 제 2 노드(3QB) 상의 기저전압(Vss)에 의해 턴-오프된다. 이에 따라, 제 3 출력부(1583)는 제 1 스위치(T1)를 통해 제 3 클럭신호(CLK3) 입력라인으로부터 공급되는 하이 상태의 제 3 클럭신호(CLK3)를 제 3 출력신호(Vg3)로 출력한다. 이때, 제 3 출력신호(Vg3)는 제 3 게이트 라인(GL3)에 공급됨과 동시에 제 2 스테이지(1522)의 제 2 스캔방향 제어부(1542) 및 제 4 스테이지(1524)의 제 4 스캔방향 제어부(1544)에 공급된다.
- [0073] 한편, 제 3 스테이지(1523)로부터 하이 상태의 제 3 출력신호(Vg3)가 출력되는 동안 제 2 스테이지(1522)는 제 1 스테이지(1521)로부터 공급되는 로우 상태의 제 1 출력신호(Vg1)와, 제 3 스테이지(1523)로부터 출력되는 하이 상태의 제 3 출력신호(Vg3)와, 로우 상태의 제 2 전압(Vd2)에 의해 로우 상태의 제 2 출력신호(Vg2)를 출력한다.
- [0074] 구체적으로, 제 2 스테이지(1522)의 제 2 스캔방향 제어부(1542)에서는 로우 상태의 제 1 출력신호(Vg1)에 의해 제 1 스위칭 소자(S1)가 턴-오프되고, 제 3 스테이지(1523)로부터 공급되는 하이 상태의 제 3 출력신호(Vg3)에 의해 제 2 스위칭 소자(S2)가 턴-온된다. 이에 따라, 제 2 스캔방향 제어부(1542)는 제 2 스위칭 소자(S2)를 통해 제 2 전압(Vd2) 입력라인으로부터 공급되는 로우 상태의 제 2 전압(Vd2)을 제 2 노드 제어부(1562)에 공급한다.
- [0075] 그리고 제 2 노드 제어부(1562)는 제 1 노드(2Q)를 제 2 스캔방향 제어부(1542)의 제 2 스위칭 소자(S2)를 통해 기저전압(Vss) 입력라인에 접속시키고, 제 2 노드(2QB)에는 구동전압(Vdd) 입력라인으로부터의 구동전압(Vdd)을 공급한다. 이에 따라, 제 1 노드(2Q)는 로우 상태의 제 2 전압(Vd2)에 의해 방전되는 반면에 제 2 노드(2QB)는 하이 상태의 구동전압(Vdd)으로 충전된다.
- [0076] 그리고 제 2 출력부(1582)에서는 제 2 노드 제어부(1562)의 제 1 노드(2Q) 상의 제 2 전압(Vd2)에 의해 제 1 스위치(T1)가 턴-오프되는 반면에 제 2 스위치(T2)는 제 2 노드(2QB) 상의 구동전압(Vdd)에 의해 턴-온된다. 이에 따라, 제 2 출력부(1582)는 제 2 스위치(T2)를 통해 출력단에 기저전압(Vss)을 공급함으로써 로우 상태의 제 2 출력신호(Vg2)를 출력한다.
- [0077] 이와 같은, 제 3 스테이지(1523)의 동작이 완료되면 제 4 스테이지(1524)는 제 3 스테이지(1523)로부터 출력되는 하이 상태의 제 3 출력신호(Vg3)와, 제 5 스테이지(1525)로부터 출력되는 로우 상태의 제 5 출력신호(Vg5)와, 하이 상태의 제 1 전압(Vd1) 및 제 4 클럭신호(CLK4) 입력라인으로부터의 제 4 클럭신호(CLK4)를 이용하여 하이 상태의 제 4 출력신호(Vg4)를 출력한다.
- [0078] 이러한, 제 4 스테이지(1524)는 상술한 제 2 및 제 3 스테이지(1522, 1523)와 동일한 방식으로 동작하여 하이

상태의 제 4 출력신호(Vg4)를 출력하기 때문에 상세한 설명은 상술한 제 2 및 제 3 스테이지(1522, 1523)의 설명으로 대신하기로 한다.

- [0079] 한편, 제 5 내지 제 n 스테이지(1545 내지 154n) 각각은 상술한 제 2 및 제 3 스테이지(1522, 1523)와 동일한 방식으로 동작하여 하이 상태의 출력신호를 출력하기 때문에 상세한 설명은 상술한 제 2 및 제 3 스테이지(1522, 1523)의 설명으로 대신하기로 한다.
- [0080] 이와 같은, 본 발명의 실시 예에 따른 쉬프트 레지스터(150)는 제 1 스타트 펄스(SP1), 제 1 내지 제 4 클럭신호(CLK1 내지 CLK4), 제 1 및 제 2 전압(Vd1, Vd2), 전단 및 다음단 스테이지로부터의 출력신호를 이용하여 정방향으로 스캔함으로써 제 1 게이트 라인(GL1)으로부터 제 n 게이트 라인(GLn)까지 순차적으로 게이트 펄스를 공급한다.
- [0081] 도 6은 도 4에 도시된 쉬프트 레지스터의 역방향 스캔동작을 나타내는 구동 파형도이다.
- [0082] 도 6을 도 4와 결부하여 역방향으로 스캔하기 위한 본 발명의 실시 예에 따른 쉬프트 레지스터의 동작을 설명하면 다음과 같다.
- [0083] 여기서, 역방향 스캔일 경우, 제 1 전압(Vd1) 입력라인에는 로우 상태의 제 1 전압(Vd1)이 공급되는 반면에 제 2 전압(Vd2) 입력라인에는 하이 상태의 제 2 전압(Vd2)이 공급된다.
- [0084] 먼저, n개의 스테이지(1521 내지 152n) 중 제 n 스테이지(152n)는 제 2 스타트 펄스(SP2) 입력라인으로부터 공급되는 하이 상태의 제 2 스타트 펄스(SP2)와, 제 n-1 스테이지(152n-1)로부터 출력되는 로우 상태의 제 n-1 출력신호(Vgn-1)와, 제 2 전압(Vd2) 및 제 4 클럭신호(CLK4) 입력라인으로부터의 제 4 클럭신호(CLK4)를 이용하여 하이 상태의 제 n 출력신호(Vgn)를 출력한다.
- [0085] 구체적으로, 제 n 스테이지(152n)의 제 n 스캔방향 제어부(154n)에서는 하이 상태의 제 2 스타트 펄스(SP2)에 의해 제 2 스위칭 소자(S2)가 턴-온되고, 제 n-1 스테이지(152n-1)로부터 출력되는 로우 상태의 제 n-1 출력신호(Vgn-1)에 의해 제 1 스위칭 소자(S1)가 턴-오프된다. 이에 따라, 제 n 스캔방향 제어부(154n)는 제 2 스위칭 소자(S2)를 통해 제 2 전압(Vd2) 입력라인으로부터 공급되는 하이 상태의 제 2 전압(Vd2)을 제 n 노드 제어부(156n)에 공급한다.
- [0086] 그리고 제 n 노드 제어부(156n)는 제 n 스캔방향 제어부(154n)의 제 2 스위칭 소자(S2)를 통해 공급되는 하이 상태의 제 2 전압(Vd2)을 제 1 노드(nQ) 상에 공급하고, 제 2 노드(nQB)를 기저전압(Vss)이 공급되는 기저전압(Vss) 입력라인에 접속시킨다. 이에 따라, 제 1 노드(nQ)는 하이 상태의 제 2 전압(Vd2)으로 충전되는 반면에 제 2 노드(nQB)는 기저전압(Vss)에 의해 방전된다.
- [0087] 그리고 제 n 출력부(158n)에서는 제 n 노드 제어부(156n)의 제 1 노드(nQ) 상에 충전된 하이 상태의 제 2 전압(Vd2)에 의해 제 1 스위치(T1)가 턴-온되는 반면에 제 2 스위치(T2)는 제 2 노드(nQB) 상의 기저전압(Vss)에 의해 턴-오프된다. 이에 따라, 제 n 출력부(158n)는 제 1 스위치(T1)를 통해 제 4 클럭신호(CLK4) 입력라인으로부터 공급되는 하이 상태의 제 4 클럭신호(CLK4)를 제 n 출력신호(Vgn)로 출력한다. 이때, 제 n 출력신호(Vgn)는 제 n 게이트 라인(GLn) 및 제 n-1 스테이지(152n-1)의 제 n-1 스캔방향 제어부(154n-1)에 공급된다.
- [0088] 이러한, 제 n 스테이지(152n)의 동작이 완료되면 제 n-1 스테이지(152n-1)는 제 n 스테이지(152n)로부터 출력되는 하이 상태의 제 n 출력신호(Vgn)와, 제 n-2 스테이지(152n-2)로부터 출력되는 로우 상태의 제 n-2 출력신호(Vgn-2)와, 하이 상태의 제 2 전압(Vd2) 및 제 3 클럭신호(CLK3) 입력라인으로부터의 제 3 클럭신호(CLK3)를 이용하여 하이 상태의 제 n-1 출력신호(Vgn-1)를 출력한다.
- [0089] 구체적으로, 제 n-1 스테이지(152n-1)의 제 n-1 스캔방향 제어부(154n-1)에서는 하이 상태의 제 n 출력신호(Vgn)에 의해 제 2 스위칭 소자(S2)가 턴-온되고, 제 n-2 스테이지(152n-2)로부터 출력되는 로우 상태의 제 n-2 출력신호(Vgn-2)에 의해 제 1 스위칭 소자(S1)가 턴-오프된다. 이에 따라, 제 n-1 스캔방향 제어부(154n-1)는 제 2 스위칭 소자(S2)를 통해 제 2 전압(Vd2) 입력라인으로부터의 제 2 전압(Vd2)을 제 n-1 노드 제어부(156n-1)에 공급한다.
- [0090] 그리고 제 n-1 노드 제어부(156n-1)는 제 n-1 스캔방향 제어부(154n-1)의 제 2 스위칭 소자(S2)를 통해 공급되는 하이 상태의 제 2 전압(Vd2)을 제 1 노드(n-1Q) 상에 공급하고, 제 2 노드(n-1QB)를 기저전압(Vss)이 공급되는 기저전압(Vss) 입력라인에 접속시킨다. 이에 따라, 제 1 노드(n-1Q)는 하이 상태의 제 2 전압(Vd2)으로 충전되는 반면에 제 2 노드(n-1QB)는 기저전압(Vss)에 의해 방전된다.

- [0091] 그리고 제 n-1 출력부(158n-1)에서는 제 n-1 노드 제어부(156n-1)의 제 1 노드(n-1Q) 상에 충전된 하이 상태의 제 2 전압(Vd2)에 의해 제 1 스위치(T1)가 턴-온되는 반면에 제 2 스위치(T2)는 제 2 노드(n-1QB) 상에 공급되는 기저전압(Vss)에 의해 턴-오프된다. 이에 따라, 제 n-1 출력부(158n-1)는 제 1 스위치(T1)를 통해 제 3 클럭신호(CLK3) 입력라인으로부터 공급되는 하이 상태의 제 3 클럭신호(CLK3)를 제 n-1 출력신호(Vgn-1)로 출력한다. 이때, 제 n-1 출력신호(Vgn-1)는 제 n-1 게이트 라인(GLn-1)에 공급됨과 동시에 제 n-2 스테이지(152n-2)의 제 n-2 스캔방향 제어부(154n-2) 및 제 n 스테이지(152n)의 제 n 스캔방향 제어부(154n)에 공급된다.
- [0092] 한편, 제 n-1 스테이지(152n-1)로부터 하이 상태의 제 n-1 출력신호(Vgn-1)가 출력되는 동안 제 n 스테이지(152n)는 제 2 스타트 펄스(SP2) 입력라인으로부터 공급되는 로우 상태의 제 2 스타트 펄스(SP2)와, 제 n-1 스테이지(152n-1)로부터 출력되는 하이 상태의 제 n-1 출력신호(Vgn-1)와, 로우 상태의 제 1 전압(Vd1)에 의해 로우 상태의 제 n 출력신호(Vgn)를 출력한다.
- [0093] 구체적으로, 제 n 스테이지(152n)의 제 n 스캔방향 제어부(154n)에서는 로우 상태의 제 2 스타트 펄스(SP2)에 의해 제 2 스위칭 소자(S2)가 턴-오프되고, 제 n-1 스테이지(152n-1)로부터 공급되는 하이 상태의 제 n-1 출력신호(Vgn-1)에 의해 제 1 스위칭 소자(S1)가 턴-온된다. 이에 따라, 제 n 스캔방향 제어부(154n)는 제 1 스위칭 소자(S1)를 통해 제 1 전압(Vd1) 입력라인으로부터 공급되는 로우 상태의 제 1 전압(Vd1)을 제 n 노드 제어부(156n)에 공급한다.
- [0094] 그리고 제 n 노드 제어부(156n)는 제 1 노드(nQ)를 제 n 스캔방향 제어부(154n)의 제 1 스위칭 소자(S1)를 통해 구동전압(Vdd) 입력라인에 접속시키고, 제 2 노드(nQB)에는 구동전압(Vdd) 입력라인으로부터의 구동전압(Vdd)을 공급한다. 이에 따라, 제 1 노드(nQ)는 로우 상태의 제 1 전압(Vd1)에 의해 방전되는 반면에 제 2 노드(nQB)는 하이 상태의 구동전압(Vdd)으로 충전된다.
- [0095] 그리고 제 n 출력부(158n)에서는 제 n 노드 제어부(156n)의 제 1 노드(nQ) 상의 제 1 전압(Vd1)에 의해 제 1 스위치(T1)가 턴-오프되는 반면에 제 2 스위치(T2)는 제 2 노드(nQB) 상의 하이 상태의 구동전압(Vdd)에 의해 턴-온된다. 이에 따라, 제 n 출력부(158n)는 제 2 스위치(T2)를 통해 출력단에 기저전압(Vss)을 공급함으로써 로우 상태의 제 n 출력신호(Vgn)를 출력한다.
- [0096] 이와 같은, 제 n-1 스테이지(152n-1)의 동작이 완료되면 제 n-2 스테이지(152n-2)는 제 n-1 스테이지(152n-1)로부터 출력되는 하이 상태의 제 n-1 출력신호(Vgn-1)와, 제 n-3 스테이지(152n-3)로부터 출력되는 로우 상태의 제 n-3 출력신호(Vgn-3)와, 하이 상태의 제 2 전압(Vd2) 및 제 2 클럭신호(CLK2) 입력라인으로부터의 제 2 클럭신호(CLK2)를 이용하여 하이 상태의 제 n-2 출력신호(Vgn-2)를 출력한다.
- [0097] 구체적으로, 제 n-2 스테이지(152n-2)의 제 n-2 스캔방향 제어부(154n-2)에서는 하이 상태의 제 n-1 출력신호(Vgn-1)에 의해 제 2 스위칭 소자(S2)가 턴-온되고, 로우 상태의 제 n-3 출력신호(Vgn-3)에 의해 제 1 스위칭 소자(S1)가 턴-오프된다. 이에 따라, 제 n-2 스캔방향 제어부(154n-2)는 제 2 스위칭 소자(S2)를 통해 제 2 전압(Vd2) 입력라인으로부터 공급되는 하이 상태의 제 2 전압(Vd2)을 제 n-2 노드 제어부(156n-2)에 공급한다.
- [0098] 그리고 제 n-2 노드 제어부(156n-2)는 제 n-2 스캔방향 제어부(154n-2)의 제 2 스위칭 소자(S2)를 통해 공급되는 하이 상태의 제 2 전압(Vd2)을 제 1 노드(n-2Q) 상에 공급하고, 제 2 노드(n-2QB)를 기저전압(Vss)이 공급되는 기저전압(Vss) 입력라인에 접속시킨다. 이에 따라, 제 1 노드(n-2Q)는 하이 상태의 제 2 전압(Vd2)으로 충전되는 반면에 제 2 노드(n-2QB)는 기저전압(Vss)에 의해 방전된다.
- [0099] 그리고 제 n-2 출력부(158n-2)에서는 제 n-2 노드 제어부(156n-2)의 제 1 노드(n-2Q) 상에 충전된 하이 상태의 제 2 전압(Vd2)에 의해 제 1 스위치(T1)가 턴-온되는 반면에 제 2 스위치(T2)는 제 2 노드(n-2QB) 상의 기저전압(Vss)에 의해 턴-오프된다. 이에 따라, 제 n-2 출력부(158n-2)는 제 1 스위치(T1)를 통해 제 2 클럭신호(CLK2) 입력라인으로부터 공급되는 하이 상태의 제 2 클럭신호(CLK2)를 제 n-2 출력신호(Vgn-2)로 출력한다. 이때, 제 n-2 출력신호(Vgn-2)는 제 n-2 게이트 라인(GLn-2)에 공급됨과 동시에 제 n-3 스테이지(152n-3)의 제 n-3 스캔방향 제어부(154n-3) 및 제 n-1 스테이지(152n-1)의 제 n-1 스캔방향 제어부(154n-1)에 공급된다.
- [0100] 한편, 제 n-2 스테이지(152n-2)로부터 하이 상태의 제 n-2 출력신호(Vgn-2)가 출력되는 동안 제 n-1 스테이지(152n-1)는 제 n 스테이지(152n)로부터 공급되는 로우 상태의 제 n 출력신호(Vgn)와, 제 n-2 스테이지(152n-2)로부터 출력되는 하이 상태의 제 n-2 출력신호(Vgn-2)와, 로우 상태의 제 1 전압(Vd1)에 의해 로우 상태의 제 n-1 출력신호(Vgn-1)를 출력한다.
- [0101] 구체적으로, 제 n-1 스테이지(152n-1)의 제 n-1 스캔방향 제어부(154n-1)에서는 로우 상태의 제 n 출력신호

(Vgn)에 의해 제 2 스위칭 소자(S2)가 턴-오프되고, 제 n-2 스테이지(152n-2)로부터 공급되는 하이 상태의 제 n-2 출력신호(Vgn-2)에 의해 제 1 스위칭 소자(S1)가 턴-온된다. 이에 따라, 제 n-1 스캔방향 제어부(154n-1)는 제 1 스위칭 소자(S1)를 통해 제 1 전압(Vd1) 입력라인으로부터 공급되는 로우 상태의 제 1 전압(Vd1)을 제 n-1 노드 제어부(156n-1)에 공급한다.

[0102] 그리고 제 n-1 노드 제어부(156n-1)는 제 1 노드(n-1Q)를 제 n-1 스캔방향 제어부(154n-1)의 제 1 스위칭 소자(S1)를 통해 구동전압(Vdd) 입력라인에 접속시키고, 제 2 노드(n-1QB)에는 구동전압(Vdd) 입력라인으로부터의 구동전압(Vdd)을 공급한다. 이에 따라, 제 1 노드(n-1Q)는 로우 상태의 제 1 전압(Vd1)에 의해 방전되는 반면에 제 2 노드(n-1QB)는 하이 상태의 구동전압(Vdd)으로 충전된다.

[0103] 그리고 제 n-1 출력부(158n-1)에서는 제 n-1 노드 제어부(156n-1)의 제 1 노드(n-1Q) 상의 제 1 전압(Vd1)에 의해 제 1 스위치(T1)가 턴-오프되는 반면에 제 2 스위치(T2)는 제 2 노드(n-1QB) 상의 구동전압(Vdd)에 의해 턴-온된다. 이에 따라, 제 n-1 출력부(158n-1)는 제 2 스위치(T2)를 통해 출력단에 기저전압(Vss)을 공급함으로써 로우 상태의 제 n-1 출력신호(Vgn-1)를 출력한다.

[0104] 이와 같은, 제 n-2 스테이지(152n-2)의 동작이 완료되면 제 n-3 스테이지(152n-3)는 제 n-2 스테이지(152n-2)로부터 출력되는 하이 상태의 제 n-2 출력신호(Vgn-2)와, 제 n-4 스테이지(152n-4)로부터 출력되는 로우 상태의 제 n-4 출력신호(Vgn-4)와, 하이 상태의 제 2 전압(Vd2) 및 제 1 클럭신호(CLK1) 입력라인으로부터의 제 1 클럭신호(CLK1)를 이용하여 하이 상태의 제 n-3 출력신호(Vgn-3)를 출력한다.

[0105] 이러한, 제 n-3 스테이지(152n-3)는 상술한 제 n-1 및 제 n-2 스테이지(152n-1, 152n-2)와 동일한 방식으로 동작하여 하이 상태의 제 n-3 출력신호(Vgn-3)를 출력하기 때문에 상세한 설명은 상술한 제 n-1 및 제 n-2 스테이지(152n-1, 152n-2)의 설명으로 대신하기로 한다.

[0106] 한편, 제 n-4 내지 제 1 스테이지(154n-4 내지 1541) 각각은 상술한 제 n-1 및 제 n-2 스테이지(152n-1, 152n-2)와 동일한 방식으로 동작하여 하이 상태의 제 n-3 출력신호(Vgn-3)를 출력하기 때문에 상세한 설명은 상술한 제 n-1 및 제 n-2 스테이지(152n-1, 152n-2)의 설명으로 대신하기로 한다.

[0107] 이와 같은, 본 발명의 실시 예에 따른 쉬프트 레지스터(150)는 제 2 스타트 펄스(SP2), 제 1 내지 제 4 클럭신호(CLK1 내지 CLK4), 제 1 및 제 2 전압(Vd1, Vd2), 전단 및 다음단 스테이지로부터의 출력신호를 이용하여 역방향으로 스캔함으로써 제 n 게이트 라인(GLn)으로부터 제 1 게이트 라인(GL1)까지 순차적으로 게이트 펄스를 공급한다.

[0108] 한편, 도 7은 본 발명의 실시 예에 따른 쉬프트 레지스터에 있어서 하나의 스테이지를 나타내는 회로도이다.

[0109] 도 7을 참조하면, 본 발명의 제 1 실시 예에 따른 쉬프트 레지스터의 스테이지는 제 1 및 제 2 전압(Vd1, Vd2) 입력라인, 구동전압(Vdd) 및 기저전압(Vss) 입력라인, 제 1 및 제 2 스타트 펄스(SP1, SP2) 입력라인, 클럭신호(CLK) 입력라인, 스캔방향 제어부(154), 노드 제어부(156) 및 출력부(158)를 구비한다.

[0110] 제 1 및 제 2 전압(Vd1, Vd2) 입력라인에는 외부로부터 스캔방향에 따라 서로 반전된 형태를 가지는 제 1 및 제 2 전압(Vd1, Vd2)이 공급된다. 또한, 구동전압(Vdd) 및 기저전압(Vss) 입력라인에는 외부로부터 스캔방향에 따라 서로 반전된 구동전압(Vdd) 및 기저전압(Vss)이 공급된다. 그리고, 제 1 및 제 2 스타트 펄스(SP1, SP2) 입력라인에는 스캔방향에 따라 제 1 및 제 2 스타트 펄스(SP1, SP2)가 공급된다. 이때, 제 1 스타트 펄스(SP1) 입력라인에는 외부 또는 이전단 스테이지로부터의 출력신호가 공급되며, 제 2 스타트 펄스(SP2) 입력라인에는 외부 또는 다음단 스테이지로부터의 출력신호가 공급된다.

[0111] 스캔방향 제어부(154)는 제 1 전압(Vd1) 입력라인과 노드 제어부(156)의 제 1 노드(Q)에 접속되어 제 1 스타트 펄스(SP1)에 따라 제 1 전압(Vd1)을 제 1 노드(Q)로 공급하는 제 1 스위칭 소자(S1)와, 제 2 전압(Vd2) 입력라인과 노드 제어부(156)의 제 1 노드(Q)에 접속되어 제 2 스타트 펄스(SP2)에 따라 제 2 전압(Vd2)을 제 1 노드(Q)로 공급하는 제 2 스위칭 소자(S2)를 구비한다.

[0112] 제 1 스위칭 소자(S1)는 하이 상태의 제 1 스타트 펄스(SP1)에 의해 턴-온되어 제 1 전압(Vd1)을 제 1 노드(Q)에 공급한다.

[0113] 제 2 스위칭 소자(S2)는 하이 상태의 제 2 스타트 펄스(SP2)에 의해 턴-온되어 제 2 전압(Vd2)을 제 1 노드(Q)에 공급한다.

[0114] 노드 제어부(156)는 제 1 노드(Q) 상의 전압에 따라 제 1 및 제 2 노드(Q, QB) 상의 전압을 제어하기 위한 제 1

내지 제 3 트랜지스터(N1, N2, N3)를 구비한다.

- [0115] 제 1 트랜지스터(N1)는 제 1 노드(Q)와 기저전압(Vss) 입력라인 사이에 전기적으로 접속되어 제 2 노드(QB) 상의 전압에 따라 제 1 노드(Q) 상에 기저전압(Vss)을 공급하여 제 1 노드(Q) 상의 전압을 방전시킨다.
- [0116] 제 2 트랜지스터(N2)는 구동전압(Vdd) 입력라인과 제 2 노드(QB) 사이에 다이오드 형태로 접속되어 구동전압(Vdd)을 제 2 노드(QB) 상에 충전시킨다.
- [0117] 제 3 트랜지스터(N3)는 제 2 노드(QB)와 기저전압(Vss) 입력라인 사이에 접속되어 제 1 노드(Q) 상의 전압에 따라 제 2 노드(QB) 상에 기저전압(Vss)을 공급하여 제 2 노드(QB) 상의 전압을 방전시킨다.
- [0118] 출력부(158)는 노드 제어부(156)의 제 1 노드(Q) 상의 전압에 따라 클럭신호(CLK)를 출력단으로 출력하는 제 1 스위치(T1)와, 노드 제어부(156)의 제 2 노드(QB) 상의 전압에 따라 기저전압(Vss)을 출력단으로 공급하여 출력단의 전압을 방전시키는 제 2 스위치(T2)를 구비한다.
- [0119] 제 1 스위치(T1)는 클럭신호(CLK) 입력라인과 출력단 사이에 접속되어 제 1 노드(Q) 상의 전압이 하이 상태일 때 클럭신호(CLK)를 출력단으로 출력한다.
- [0120] 제 2 스위치(T2)는 기저전압(Vss) 입력라인과 출력단 사이에 접속되어 제 2 노드(QB) 상의 전압이 하이 상태일 경우 기저전압(Vss)을 출력단으로 공급하여 출력단의 전압을 방전시킨다.
- [0121] 한편, 도 8은 도 7에 도시된 본 발명의 제 1 실시 예에 따른 쉬프트 레지스터의 스테이지를 정방향으로 구동하기 위한 구동 파형도이다.
- [0122] 도 8을 도 7과 결부하여, 본 발명의 제 1 실시 예에 따른 쉬프트 레지스터의 스테이지를 이용한 정방향 스캔을 설명하면 다음과 같다.
- [0123] 정방향 스캔일 경우, 제 1 전압(Vd1) 입력라인에는 외부 또는 이전단 스테이지로부터 하이 상태의 제 1 전압(Vd1)이 공급되는 반면에 제 2 전압(Vd2) 입력라인에는 외부 또는 다음단 스테이지로부터 로우 상태의 제 2 전압(Vd2)이 공급된다. 또한, 제 1 스타트 펄스(SP1) 입력라인에는 하이 상태의 제 1 스타트 펄스(SP1)가 공급되는 반면에 제 2 스타트 펄스(SP2) 입력라인에는 로우 상태의 제 2 스타트 펄스(SP2)가 공급된다.
- [0124] 먼저, 스캔방향 제어부(154)는 하이 상태의 제 1 스타트 펄스(SP1)에 따라 제 1 스위칭 소자(S1)를 턴-온시키는 반면에 로우 상태의 제 2 스타트 펄스(SP2)에 따라 제 2 스위칭 소자(S2)를 턴-오프시키게 된다. 이에 따라, 스캔방향 제어부(154)는 제 1 스위칭 소자(S1)를 통해 하이 상태의 제 1 전압(Vd1)을 노드 제어부(156)의 제 1 노드(Q)에 공급한다.
- [0125] 이어서, 노드 제어부(156)는 스캔방향 제어부(154)로부터 공급되는 하이 상태의 제 1 전압(Vd1)을 제 1 노드(Q) 상에 충전하여 제 3 트랜지스터(N3)를 턴-온시키고, 제 3 트랜지스터(N3)를 통해 제 2 노드(QB)에 기저전압(Vss)을 공급한다.
- [0126] 그 다음, 출력부(158)는 노드 제어부(156)에 의해 제 1 노드(Q) 상에 충전된 하이 상태의 제 1 전압(Vd1)에 의해 제 1 스위치(T1)를 턴-온시키는 반면에 제 2 노드(QB) 상의 기저전압(Vss)에 의해 제 2 스위치(T2)를 턴-오프시킨다. 이에 따라, 출력부(158)는 제 1 스위치(T1)를 통해 공급되는 하이 상태의 클럭신호(CLK)를 출력신호(Vg)로 출력하게 된다.
- [0127] 이렇게, 스테이지의 출력부에서 하이 상태의 출력신호(Vg)가 출력된 후, 스테이지에는 로우 상태의 제 1 스타트 펄스(SP1), 하이 상태의 제 2 스타트 펄스(SP2)가 공급된다.
- [0128] 이에 따라, 스캔방향 제어부(154)는 로우 상태의 제 1 스타트 펄스(SP1)에 따라 제 1 스위칭 소자(S1)를 턴-오프시키는 반면에 하이 상태의 제 2 스타트 펄스(SP2)에 따라 제 1 스위칭 소자(S1)를 턴-온시키게 된다. 이에 따라, 스캔방향 제어부(154)는 제 2 스위칭 소자(S2)를 통해 로우 상태의 제 2 전압(Vd2)을 노드 제어부(156)의 제 1 노드(Q)에 공급한다.
- [0129] 이어서, 노드 제어부(156)는 스캔방향 제어부(154)로부터 공급되는 로우 상태의 제 2 전압(Vd2)을 제 1 노드(Q) 상에 공급하여 제 3 트랜지스터(N3)를 턴-오프시킨다. 또한, 노드 제어부(156)는 제 2 트랜지스터(N2)를 통해 하이 상태의 구동전압(Vdd)을 제 2 노드(QB) 상에 충전하여 제 1 트랜지스터(N1)를 턴-온시킨다. 이에 따라, 노드 제어부(156)는 제 1 트랜지스터(N1)를 통해 기저전압(Vss)을 제 1 노드(Q)에 공급하여 제 1 노드(Q) 상의 전압을 방전시킨다.

- [0130] 그 다음, 출력부(158)에서는 노드 제어부(156)에 의해 제 2 노드(QB) 상에 공급된 구동전압(Vdd)에 의해 제 2 스위치(T2)가 턴-온되는 반면에 제 1 노드(Q) 상의 기저전압(Vss)에 의해 제 1 스위치(T1)가 턴-오프된다. 이에 따라, 출력부(158)는 제 2 스위치(T2)를 통해 공급되는 기저전압(Vss)에 의해 로우 상태의 출력신호(Vg)를 출력하게 된다.
- [0131] 한편, 도 9는 도 7에 도시된 본 발명의 제 1 실시 예에 따른 쉬프트 레지스터의 스테이지를 역방향으로 구동하기 위한 구동 파형도이다.
- [0132] 도 9를 도 7과 결부하여, 본 발명의 제 1 실시 예에 따른 쉬프트 레지스터의 스테이지를 이용한 역방향 스캔을 설명하면 다음과 같다.
- [0133] 역방향 스캔일 경우, 제 1 전압(Vd1) 입력라인에는 외부 또는 이전단 스테이지로부터 로우 상태의 제 1 전압(Vd1)이 공급되는 반면에 제 2 전압(Vd2) 입력라인에는 외부 또는 다음단 스테이지로부터 하이 상태의 제 2 전압(Vd2)이 공급된다. 또한, 제 1 스타트 펄스(SP1) 입력라인에는 로우 상태의 제 1 스타트 펄스(SP1)가 공급되는 반면에 제 2 스타트 펄스(SP2) 입력라인에는 하이 상태의 제 2 스타트 펄스(SP2)가 공급된다.
- [0134] 먼저, 스캔방향 제어부(154)는 로우 상태의 제 1 스타트 펄스(SP1)에 따라 제 1 스위칭 소자(S1)를 턴-오프시키는 반면에 하이 상태의 제 2 스타트 펄스(SP2)에 따라 제 2 스위칭 소자(S2)를 턴-온시키게 된다. 이에 따라, 스캔방향 제어부(154)는 제 2 스위칭 소자(S2)를 통해 하이 상태의 제 2 전압(Vd2)을 노드 제어부(156)의 제 1 노드(Q)에 공급한다.
- [0135] 이어서, 노드 제어부(156)는 스캔방향 제어부(154)로부터 공급되는 하이 상태의 제 2 전압(Vd2)을 제 1 노드(Q) 상에 충전하여 제 3 트랜지스터(N3)를 턴-온시키고, 제 3 트랜지스터(N3)를 통해 제 2 노드(QB)에 기저전압(Vss)을 공급한다.
- [0136] 그 다음, 출력부(158)는 노드 제어부(156)에 의해 제 1 노드(Q) 상에 충전된 하이 상태의 제 2 전압(Vd2)에 의해 제 1 스위치(T1)를 턴-온시키는 반면에 제 2 노드(QB) 상의 기저전압(Vss)에 의해 제 2 스위치(T2)를 턴-오프시킨다. 이에 따라, 출력부(158)는 제 1 스위치(T1)를 통해 공급되는 하이 상태의 클럭신호(CLK)를 출력신호(Vg)로 출력하게 된다.
- [0137] 이렇게, 스테이지의 출력부에서 하이 상태의 출력신호(Vg)가 출력된 후, 스테이지에는 하이 상태의 제 1 스타트 펄스(SP1), 로우 상태의 제 2 스타트 펄스(SP2)가 공급된다.
- [0138] 이에 따라, 스캔방향 제어부(154)는 하이 상태의 제 1 스타트 펄스(SP1)에 따라 제 1 스위칭 소자(S1)를 턴-온시키는 반면에 로우 상태의 제 2 스타트 펄스(SP2)에 따라 제 1 스위칭 소자(S1)를 턴-오프시키게 된다. 이에 따라, 스캔방향 제어부(154)는 제 1 스위칭 소자(S1)를 통해 로우 상태의 제 1 전압(Vd1)을 노드 제어부(156)의 제 1 노드(Q)에 공급한다.
- [0139] 이어서, 노드 제어부(156)는 스캔방향 제어부(154)로부터 공급되는 로우 상태의 제 1 전압(Vd1)을 제 1 노드(Q) 상에 공급하여 제 3 트랜지스터(N3)를 턴-오프시킨다. 또한, 노드 제어부(156)는 제 2 트랜지스터(N2)를 통해 하이 상태의 구동전압(Vdd)을 제 2 노드(QB) 상에 충전하여 제 1 트랜지스터(N1)를 턴-온시킨다. 이에 따라, 노드 제어부(156)는 제 1 트랜지스터(N1)를 통해 기저전압(Vss)을 제 1 노드(Q)에 공급하여 제 1 노드(Q) 상의 전압을 방전시킨다.
- [0140] 그 다음, 출력부(158)에서는 노드 제어부(156)에 의해 제 2 노드(QB) 상에 공급된 구동전압(Vdd)에 의해 제 2 스위치(T2)가 턴-온되는 반면에 제 1 노드(Q) 상의 기저전압(Vss)에 의해 제 1 스위치(T1)가 턴-오프된다. 이에 따라, 출력부(158)는 제 2 스위치(T2)를 통해 공급되는 기저전압(Vss)에 의해 로우 상태의 출력신호(Vg)를 출력하게 된다.
- [0141] 한편, 도 10은 본 발명의 제 2 실시 예에 따른 쉬프트 레지스터의 스테이지를 나타내는 회로도이다.
- [0142] 도 10을 참조하면, 본 발명의 제 2 실시 예에 따른 쉬프트 레지스터의 스테이지는 제 1 및 제 2 전압(Vd1, Vd2) 입력라인, 구동전압(Vdd) 및 기저전압(Vss) 입력라인, 제 1 및 제 2 스타트 펄스(SP1, SP2) 입력라인, 클럭신호(CLK) 입력라인, 스캔방향 제어부(154), 노드 제어부(256) 및 출력부(158)를 구비한다.
- [0143] 이러한, 본 발명의 제 2 실시 예에 따른 쉬프트 레지스터의 스테이지는 노드 제어부(256)를 제외하고는 도 7에 도시된 제 1 실시 예에 따른 쉬프트 레지스터의 스테이지와 동일한 구성을 가지기 때문에 노드 제어부(256)를 제외한 다른 구성에 대한 설명은 상술한 도 7에 대한 설명으로 대신하기로 한다.

- [0144] 본 발명의 제 2 실시 예에 따른 쉬프트 레지스터의 스테이지에 있어서, 노드 제어부(256)는 제 1 노드(Q) 상의 전압에 따라 제 1 및 제 2 노드(Q, QB) 상의 전압을 제어하기 위한 제 1 내지 제 5 트랜지스터(N1, N2, N3, N4, N5)를 구비한다.
- [0145] 제 1 트랜지스터(N1)는 제 1 노드(Q)와 기저전압(Vss) 입력라인 사이에 전기적으로 접속되어 제 2 노드(QB) 상의 전압에 따라 제 1 노드(Q) 상에 기저전압(Vss)을 공급하여 제 1 노드(Q) 상의 전압을 방전시킨다.
- [0146] 제 2 트랜지스터(N2)는 구동전압(Vdd) 입력라인과 제 2 노드(QB) 사이에 다이오드 형태로 접속되어 구동전압(Vdd)을 제 2 노드(QB) 상에 충전시킨다.
- [0147] 제 3 트랜지스터(N3)는 제 2 노드(QB)와 기저전압(Vss) 입력라인 사이에 접속되어 제 1 노드(Q) 상의 전압에 따라 제 2 노드(QB) 상에 기저전압(Vss)을 공급하여 제 2 노드(QB) 상의 전압을 방전시킨다.
- [0148] 제 4 트랜지스터(N4)는 제 2 노드(QB)와 제 2 전압(Vd2) 입력라인 사이에 접속되어 제 1 스타트 펄스(SP1)에 따라 제 2 노드(QB)에 제 2 전압(Vd2)을 공급한다.
- [0149] 제 5 트랜지스터(N5)는 제 2 노드(QB)와 제 1 전압(Vd1) 입력라인 사이에 접속되어 제 2 스타트 펄스(SP2)에 따라 제 2 노드(QB)에 제 1 전압(Vd1)을 공급한다.
- [0150] 본 발명의 제 2 실시 예에 따른 쉬프트 레지스터의 스테이지에 있어서, 노드 제어부(256)는 스캔 방향에 따라 제 4 및 제 5 트랜지스터(N4, N5)를 이용하여 제 2 노드(QB) 상의 전압을 제 1 및 제 2 전압(Vd1, Vd2)으로 방전시키는 것을 제외하고는 도 7에 도시된 노드 제어부(156)와 동일한 방식으로 동작한다.
- [0151] 따라서, 본 발명의 제 2 실시 예에 따른 쉬프트 레지스터의 스테이지를 이용한 정방향 및 역방향 스캔은 본 발명의 제 1 실시 예에 대한 설명으로 대신하기로 한다.
- [0152] 한편, 도 11은 본 발명의 제 3 실시 예에 따른 쉬프트 레지스터의 스테이지를 나타내는 회로도이다.
- [0153] 도 11을 참조하면, 본 발명의 제 3 실시 예에 따른 쉬프트 레지스터의 스테이지는 제 1 및 제 2 전압(Vd1, Vd2) 입력라인, 구동전압(Vdd) 및 기저전압(Vss) 입력라인, 제 1 및 제 2 스타트 펄스(SP1, SP2) 입력라인, 클럭신호(CLK) 입력라인, 스캔방향 제어부(154), 노드 제어부(356) 및 출력부(158)를 구비한다.
- [0154] 이러한, 본 발명의 제 3 실시 예에 따른 쉬프트 레지스터의 스테이지는 노드 제어부(356)를 제외하고는 도 7에 도시된 제 1 실시 예에 따른 쉬프트 레지스터의 스테이지와 동일한 구성을 가지기 때문에 노드 제어부(356)를 제외한 다른 구성에 대한 설명은 상술한 도 7에 대한 설명으로 대신하기로 한다.
- [0155] 본 발명의 제 3 실시 예에 따른 쉬프트 레지스터의 스테이지에 있어서, 노드 제어부(356)는 제 1 노드(Q) 상의 전압에 따라 제 1 및 제 2 노드(Q, QB) 상의 전압을 제어하기 위한 제 1 내지 제 5 트랜지스터(N1, N2, N3, N4, N5)를 구비한다.
- [0156] 제 1 트랜지스터(N1)는 제 1 노드(Q)와 기저전압(Vss) 입력라인 사이에 전기적으로 접속되어 제 2 노드(QB) 상의 전압에 따라 제 1 노드(Q) 상에 기저전압(Vss)을 공급하여 제 1 노드(Q) 상의 전압을 방전시킨다.
- [0157] 제 2 트랜지스터(N2)는 구동전압(Vdd) 입력라인에 다이오드 형태로 접속되어 구동전압(Vdd)을 제 3 트랜지스터(N3)로 공급한다.
- [0158] 제 3 트랜지스터(N3)는 제 2 트랜지스터(N2)와 기저전압(Vss) 입력라인 사이에 접속되어 제 1 노드(Q) 상의 전압에 따라 제 2 트랜지스터(N2)를 기저전압(Vss) 입력라인에 접속시킨다.
- [0159] 제 4 트랜지스터(N4)는 구동전압(Vdd) 입력라인과 제 2 노드(QB) 사이에 접속되어 제 2 트랜지스터(N2)의 출력 전압에 따라 구동전압(Vdd)을 제 2 노드(QB)에 공급한다.
- [0160] 제 5 트랜지스터(N5)는 제 2 노드(QB)와 기저전압(Vss) 입력라인 사이에 접속되어 제 1 노드(Q) 상의 전압에 따라 제 2 노드(QB)를 기저전압(Vss) 입력라인에 접속시킨다.
- [0161] 본 발명의 제 3 실시 예에 따른 쉬프트 레지스터의 스테이지에 있어서, 노드 제어부(356)는 스캔 방향에 따라 제 2 내지 제 5 트랜지스터(N2 내지 N5)를 이용하여 제 2 노드(QB) 상의 전압을 충전 또는 방전시키는 것을 제외하고는 도 7에 도시된 노드 제어부(156)와 동일한 방식으로 동작한다.
- [0162] 이에 따라, 상기 노드 제어부(356)에 의한 제 1 및 제 2 노드(Q, QB)의 충전 및 방전을 설명하면 다음과 같다.
- [0163] 본 발명의 제 3 실시 예에 따른 쉬프트 레지스터의 스테이지가 정방향으로 동작하고, 스캔방향 제어부(154)에

의해 제 1 노드(Q) 상에 하이 상태의 제 1 전압(Vd1)이 공급될 경우 노드 제어부(356)는 제 1 노드(Q)에 공급되는 하이 상태의 제 1 전압(Vd1)에 의해 제 3 및 제 5 트랜지스터(N3, N5)가 턴-온되므로 제 4 트랜지스터(N4)는 제 3 트랜지스터(N3)를 통해 자신의 게이트 전극에 공급되는 기저전압(Vss)에 의해 턴-오프된다. 따라서, 제 2 노드(QB)는 제 5 트랜지스터(N5)를 통해 기저전압(Vss)이 공급되어 방전되므로 로우 상태가 된다.

- [0164] 그리고, 스캔방향 제어부(154)에 의해 제 1 노드(Q) 상에 로우 상태의 제 2 전압(Vd2)이 공급될 경우 노드 제어부(356)는 제 1 노드(Q)에 공급되는 로우 상태의 제 2 전압(Vd2)에 의해 제 3 및 제 5 트랜지스터(N3, N5)가 턴-오프되므로 제 4 트랜지스터(N4)는 제 2 트랜지스터(N2)로부터의 구동전압(Vdd)에 의해 턴-온된다. 따라서, 제 2 노드(QB)는 제 4 트랜지스터(N4)를 통해 구동전압(Vdd)이 공급되어 충전된다.
- [0165] 반면에, 본 발명의 제 3 실시 예에 따른 쉬프트 레지스터의 스테이지가 역방향으로 동작하고, 스캔방향 제어부(154)에 의해 제 1 노드(Q) 상에 하이 상태의 제 2 전압(Vd2)이 공급될 경우 노드 제어부(356)는 제 1 노드(Q)에 공급되는 하이 상태의 제 2 전압(Vd2)에 의해 제 3 및 제 5 트랜지스터(N3, N5)가 턴-온되므로 제 4 트랜지스터(N4)는 제 3 트랜지스터(N3)를 통해 자신의 게이트 전극에 공급되는 기저전압(Vss)에 의해 턴-오프된다. 따라서, 제 2 노드(QB)는 제 5 트랜지스터(N5)를 통해 기저전압(Vss)이 공급되어 방전되므로 로우 상태가 된다.
- [0166] 그리고, 스캔방향 제어부(154)에 의해 제 1 노드(Q) 상에 로우 상태의 제 1 전압(Vd1)이 공급될 경우 노드 제어부(356)는 제 1 노드(Q)에 공급되는 로우 상태의 제 1 전압(Vd1)에 의해 제 3 및 제 5 트랜지스터(N3, N5)가 턴-오프되므로 제 4 트랜지스터(N4)는 제 2 트랜지스터(N2)로부터의 구동전압(Vdd)에 의해 턴-온된다. 따라서, 제 2 노드(QB)는 제 4 트랜지스터(N4)를 통해 구동전압(Vdd)이 공급되어 충전된다.
- [0167] 따라서, 본 발명의 제 3 실시 예에 따른 쉬프트 레지스터의 스테이지는 상술한 상기 노드 제어부(356)에 의해 제 1 및 제 2 노드(Q, QB) 상의 전압에 따라 정방향 또는 역방향으로 동작한다.
- [0168] 한편, 도 12는 본 발명의 제 4 실시 예에 따른 쉬프트 레지스터의 스테이지를 나타내는 회로도이다.
- [0169] 도 12를 참조하면, 본 발명의 제 4 실시 예에 따른 쉬프트 레지스터의 스테이지는 제 1 및 제 2 전압(Vd1, Vd2) 입력라인, 구동전압(Vdd) 및 기저전압(Vss) 입력라인, 제 1 및 제 2 스타트 펄스(SP1, SP2) 입력라인, 클럭신호(CLK) 입력라인, 스캔방향 제어부(154), 노드 제어부(456) 및 출력부(158)를 구비한다.
- [0170] 이러한, 본 발명의 제 4 실시 예에 따른 쉬프트 레지스터의 스테이지는 노드 제어부(456)를 제외하고는 도 7에 도시된 제 1 실시 예에 따른 쉬프트 레지스터의 스테이지와 동일한 구성을 가지기 때문에 노드 제어부(456)를 제외한 다른 구성에 대한 설명은 상술한 도 7에 대한 설명으로 대신하기로 한다.
- [0171] 본 발명의 제 4 실시 예에 따른 쉬프트 레지스터의 스테이지에 있어서, 노드 제어부(456)는 제 1 노드(Q) 상의 전압에 따라 제 1 및 제 2 노드(Q, QB) 상의 전압을 제어하기 위한 제 1 내지 제 7 트랜지스터(N1 내지 N7)를 구비한다.
- [0172] 제 1 트랜지스터(N1)는 제 1 노드(Q)와 기저전압(Vss) 입력라인 사이에 전기적으로 접속되어 제 2 노드(QB) 상의 전압에 따라 제 1 노드(Q) 상에 기저전압(Vss)을 공급하여 제 1 노드(Q) 상의 전압을 방전시킨다.
- [0173] 제 2 트랜지스터(N2)는 구동전압(Vdd) 입력라인에 다이오드 형태로 접속되어 구동전압(Vdd)을 제 3 트랜지스터(N3)로 공급한다.
- [0174] 제 3 트랜지스터(N3)는 제 2 트랜지스터(N2)와 기저전압(Vss) 입력라인 사이에 접속되어 제 1 노드(Q) 상의 전압에 따라 제 2 트랜지스터(N2)를 기저전압(Vss) 입력라인에 접속시킨다.
- [0175] 제 4 트랜지스터(N4)는 구동전압(Vdd) 입력라인과 제 2 노드(QB) 사이에 접속되어 제 2 트랜지스터(N2)의 출력 전압에 따라 구동전압(Vdd)을 제 2 노드(QB)에 공급한다.
- [0176] 제 5 트랜지스터(N5)는 제 2 노드(QB)와 기저전압(Vss) 입력라인 사이에 접속되어 제 1 노드(Q) 상의 전압에 따라 제 2 노드(QB)를 기저전압(Vss) 입력라인에 접속시킨다.
- [0177] 제 6 트랜지스터(N6)는 제 2 노드(QB)와 제 2 전압(Vd2) 입력라인 사이에 접속되어 제 1 스타트 펄스(SP1)에 따라 제 2 노드(QB)에 제 2 전압(Vd2)을 공급한다.
- [0178] 제 7 트랜지스터(N7)는 제 2 노드(QB)와 제 1 전압(Vd1) 입력라인 사이에 접속되어 제 2 스타트 펄스(SP2)에 따라 제 2 노드(QB)에 제 1 전압(Vd1)을 공급한다.
- [0179] 이러한, 상기 노드 제어부(456)에서 제 1 내지 제 5 트랜지스터(N1 내지 N5)는 도 11에 도시된 본 발명의 제 3

실시 예의 노드 제어부(356)와 동일한 방식으로 동작하고, 제 6 및 제 7 트랜지스터(N6, N7)는 도 10에 도시된 본 발명의 제 2 실시 예의 노드 제어부(256)와 동일한 방식으로 동작한다.

- [0180] 이에 따라, 상기 노드 제어부(456)에 대한 상세한 동작설명은 상술한 본 발명의 제 2 및 제 3 실시 예에 따른 노드 제어부(256, 356)에 대한 설명으로 대신하기로 한다.
- [0181] 한편, 도 13은 본 발명의 제 5 실시 예에 따른 쉬프트 레지스터의 스테이지를 나타내는 회로도이다.
- [0182] 도 13을 참조하면, 본 발명의 제 5 실시 예에 따른 쉬프트 레지스터의 스테이지는 제 1 및 제 2 전압(Vd1, Vd2) 입력라인, 제 1 및 제 2 구동전압(Vdd1, Vdd2), 기저전압(Vss) 입력라인, 제 1 및 제 2 스타트 펄스(SP1, SP2) 입력라인, 클럭신호(CLK) 입력라인, 스캔방향 제어부(254), 노드 제어부(556) 및 출력부(258)를 구비한다.
- [0183] 제 1 및 제 2 전압(Vd1, Vd2) 입력라인에는 외부로부터 스캔방향에 따라 서로 반전된 형태를 가지는 제 1 및 제 2 전압(Vd1, Vd2)이 공급된다. 또한, 제 1 및 제 2 구동전압(Vdd1, Vdd2) 라인에는 프레임 단위로 반전되며 서로 반전된 제 1 및 제 2 구동전압(Vdd1, Vdd2)이 공급된다. 그리고, 제 1 및 제 2 스타트 펄스(SP1, SP2) 입력라인에는 스캔방향에 따라 제 1 및 제 2 스타트 펄스(SP1, SP2)가 공급된다. 이때, 제 1 스타트 펄스(SP1) 입력라인에는 외부 또는 이전단 스테이지로부터의 출력신호가 공급되며, 제 2 스타트 펄스(SP2) 입력라인에는 외부 또는 다음단 스테이지로부터의 출력신호가 공급된다.
- [0184] 스캔방향 제어부(254)는 제 1 전압(Vd1) 입력라인과 노드 제어부(556)의 제 1 노드(Q)에 접속되어 제 1 스타트 펄스(SP1)에 따라 제 1 전압(Vd1)을 제 1 노드(Q)로 공급하는 제 1 스위칭 소자(S1)와, 제 2 전압(Vd2) 입력라인과 노드 제어부(556)의 제 1 노드(Q)에 접속되어 제 2 스타트 펄스(SP2)에 따라 제 2 전압(Vd2)을 제 1 노드(Q)로 공급하는 제 2 스위칭 소자(S2)를 구비한다.
- [0185] 제 1 스위칭 소자(S1)는 하이 상태의 제 1 스타트 펄스(SP1)에 의해 턴-온되어 제 1 전압(Vd1)을 제 1 노드(Q)에 공급한다.
- [0186] 제 2 스위칭 소자(S2)는 하이 상태의 제 2 스타트 펄스(SP2)에 의해 턴-온되어 제 2 전압(Vd2)을 제 1 노드(Q)에 공급한다.
- [0187] 노드 제어부(556)는 출력부(258)에 접속된 제 1 내지 제 3 노드(Q, QBo, QBe)를 가지며, 제 1 노드(Q) 상의 전압을 제어하기 위한 제 1 노드 제어부와, 제 2 노드(QBo) 상의 전압을 제어하기 위한 제 2 노드 제어부와, 제 3 노드(QBe) 상의 전압을 제어하기 위한 제 3 노드 제어부를 구비한다.
- [0188] 제 1 노드 제어부는 제 2 노드(QBo) 상의 전압에 따라 제 1 노드(Q) 상의 전압을 제어하는 홀수번째 트랜지스터(N1o)와, 제 3 노드(QBe) 상의 전압에 따라 제 1 노드(Q) 상의 전압을 제어하는 짝수번째 제 1 트랜지스터(N1e)를 구비한다.
- [0189] 홀수번째 제 1 트랜지스터(N1o)는 제 1 노드(Q)와 기저전압(Vss) 입력라인 사이에 접속되어 제 2 노드(QBo) 상의 전압에 따라 기저전압(Vss)을 제 1 노드(Q)에 공급한다.
- [0190] 짝수번째 제 1 트랜지스터(N1e)는 제 1 노드(Q)와 기저전압(Vss) 입력라인 사이에 접속되어 제 3 노드(QBe) 상의 전압에 따라 기저전압(Vss)을 제 1 노드(Q)에 공급한다.
- [0191] 제 2 노드 제어부는 제 1 및 제 2 스타트 펄스(SP1, SP2), 제 1 및 제 2 전압(Vd1, Vd2), 제 1 및 제 2 구동전압(Vdd1, Vdd2)에 따라 제 2 노드(QBo) 상의 전압을 제어하기 위한 홀수번째 제 2 내지 제 6 트랜지스터(N2o 내지 N6o)를 구비한다.
- [0192] 홀수번째 제 2 트랜지스터(N2o)는 제 1 구동전압(Vdd1) 입력라인에 다이오드 형태로 접속되어 제 1 구동전압(Vdd1)을 제 2 노드(QBo)에 공급한다.
- [0193] 홀수번째 제 3 트랜지스터(N3o)는 기저전압(Vss) 입력라인과 제 2 노드(QBo) 사이에 접속되어 제 1 노드(Q) 상의 전압에 따라 제 2 노드(QBo)에 기저전압(Vss)을 공급한다.
- [0194] 홀수번째 제 4 트랜지스터(N4o)는 제 1 전압(Vd1) 입력라인과 제 2 노드(QBo) 사이에 접속되어 제 2 스타트 펄스(SP2)에 따라 제 1 전압(Vd1)을 제 2 노드(QBo)에 공급한다.
- [0195] 홀수번째 제 5 트랜지스터(N5o)는 제 2 전압(Vd2) 입력라인과 제 2 노드(QBo) 사이에 접속되어 제 1 스타트 펄스(SP1)에 따라 제 2 전압(Vd2)을 제 2 노드(QBo)에 공급한다.
- [0196] 홀수번째 제 6 트랜지스터(N6o)는 기저전압(Vss) 입력라인과 제 2 노드(QBo) 사이에 접속되어 제 2 구동전압

(Vdd2)에 따라 제 2 노드(QBo)에 기저전압(Vss)을 공급한다.

- [0197] 제 3 노드 제어부는 제 1 및 제 2 스타트 펄스(SP1, SP2), 제 1 및 제 2 전압(Vd1, Vd2), 제 1 및 제 2 구동전압(Vdd1, Vdd2)에 따라 제 3 노드(QBe) 상의 전압을 제어하기 위한 짝수번째 제 2 내지 제 6 트랜지스터(N2e 내지 N6e)를 구비한다.
- [0198] 짝수번째 제 2 트랜지스터(N2e)는 제 2 구동전압(Vdd2) 입력라인에 다이오드 형태로 접속되어 제 2 구동전압(Vdd2)을 제 3 노드(QBe)에 공급한다.
- [0199] 짝수번째 제 3 트랜지스터(N3e)는 기저전압(Vss) 입력라인과 제 3 노드(QBe) 사이에 접속되어 제 1 노드(Q) 상의 전압에 따라 제 3 노드(QBe)에 기저전압(Vss)을 공급한다.
- [0200] 짝수번째 제 4 트랜지스터(N4e)는 제 1 전압(Vd1) 입력라인과 제 3 노드(QBe) 사이에 접속되어 제 2 스타트 펄스(SP2)에 따라 제 1 전압(Vd1)을 제 3 노드(QBe)에 공급한다.
- [0201] 짝수번째 제 5 트랜지스터(N5e)는 제 2 전압(Vd2) 입력라인과 제 3 노드(QBe) 사이에 접속되어 제 1 스타트 펄스(SP1)에 따라 제 2 전압(Vd2)을 제 3 노드(QBe)에 공급한다.
- [0202] 짝수번째 제 6 트랜지스터(N6e)는 기저전압(Vss) 입력라인과 제 3 노드(QBe) 사이에 접속되어 제 1 구동전압(Vdd1)에 따라 제 3 노드(QBe)에 기저전압(Vss)을 공급한다.
- [0203] 출력부(258)는 제 1 내지 제 3 노드(Q, QBo, QBe) 상의 전압에 따라 클럭신호(CLK)를 출력하기 위한 제 1 스위치(T1), 홀수번째 및 짝수번째 제 2 스위치(T2o, T2e)를 구비한다.
- [0204] 제 1 스위치(T1)는 클럭신호(CLK) 입력라인과 출력단 사이에 접속되어 제 1 노드(Q) 상의 전압에 따라 클럭신호(CLK)를 출력단에 공급한다.
- [0205] 홀수번째 제 2 스위치(T2o)는 기저전압(Vss) 입력라인과 출력단 사이에 접속되어 제 2 노드(QBo) 상의 전압에 따라 기저전압(Vss)을 출력단에 공급한다.
- [0206] 짝수번째 제 2 스위치(T2e)는 기저전압(Vss) 입력라인과 출력단 사이에 접속되어 제 3 노드(QBe) 상의 전압에 따라 기저전압(Vss)을 출력단에 공급한다.
- [0207] 이와 같은, 본 발명의 제 5 실시 예에 따른 쉬프트 레지스터의 스테이지를 이용한 정방향 스캔 및 역방향 스캔을 설명하면 다음과 같다.
- [0208] 여기서, 스테이지는 정방향 및 역방향 스캔에 따라 다르게 동작함과 아울러 홀수번째 및 짝수번째 프레임에 따라 다르게 동작한다.
- [0209] 먼저, 정방향 스캔의 홀수번째 프레임에 대한 스테이지의 동작으로 설명하면 다음과 같다.
- [0210] 정방향 스캔의 홀수번째 프레임일 경우 제 1 전압(Vd1) 입력라인에는 외부 또는 이전단 스테이지로부터 하이 상태의 제 1 전압(Vd1)이 공급되는 반면에 제 2 전압(Vd2) 입력라인에는 외부 또는 다음단 스테이지로부터 로우 상태의 제 2 전압(Vd2)이 공급된다. 또한, 제 1 스타트 펄스(SP1) 입력라인에는 하이 상태의 제 1 스타트 펄스(SP1)가 공급되는 반면에 제 2 스타트 펄스(SP2) 입력라인에는 로우 상태의 제 2 스타트 펄스(SP2)가 공급된다. 그리고, 제 1 구동전압(Vdd1) 입력라인에는 하이 상태의 제 1 구동전압(Vdd1)이 공급되는 반면에 제 2 구동전압(Vdd2) 입력라인에는 로우 상태의 제 2 구동전압(Vdd2)이 공급된다.
- [0211] 먼저, 스캔방향 제어부(254)는 하이 상태의 제 1 스타트 펄스(SP1)에 따라 제 1 스위칭 소자(S1)를 턴-온시키는 반면에 로우 상태의 제 2 스타트 펄스(SP2)에 따라 제 2 스위칭 소자(S2)를 턴-오프시키게 된다. 이에 따라, 스캔방향 제어부(254)는 제 1 스위칭 소자(S1)를 통해 하이 상태의 제 1 전압(Vd1)을 노드 제어부(556)의 제 1 노드(Q)에 공급한다.
- [0212] 이어서, 노드 제어부(556)는 스캔방향 제어부(254)로부터 공급되는 하이 상태의 제 1 전압(Vd1)을 제 1 노드(Q) 상에 충전한다. 그리고, 노드 제어부(556)는 제 1 노드(Q) 상에 충전된 전압에 따라 홀수번째 및 짝수번째 제 3 트랜지스터(N3o, N3e)를 동시에 턴-온시켜 홀수번째 제 3 트랜지스터(N3o)를 통해 기저전압(Vss)을 제 2 노드(QBo)에 공급함과 동시에 짝수번째 제 3 트랜지스터(N3e)를 통해 기저전압(Vss)을 제 3 노드(QBe)에 공급한다. 또한, 노드 제어부(556)는 하이 상태의 제 1 스타트 펄스(SP1)에 따라 홀수번째 및 짝수번째 제 5 트랜지스터(N5o, N5e)를 턴-온시켜 로우 상태의 제 2 전압(Vd2)을 제 2 및 제 3 노드(QBo, QBe) 각각에 공급한다.
- [0213] 그 다음, 출력부(258)는 노드 제어부(556)에 의해 제 1 노드(Q) 상에 충전된 하이 상태의 제 1 전압(Vd1)에 의

해 제 1 스위치(T1)를 턴-온시키는 반면에 제 2 및 제 3 노드(QBo, QBe) 상의 기저전압(Vss)에 의해 홀수번째 및 짝수번째 제 2 스위치(T2o, T2e)를 턴-오프시킨다. 이에 따라, 출력부(258)는 제 1 스위치(T1)를 통해 공급되는 하이 상태의 클럭신호(CLK)를 출력신호(Vg)로 출력하게 된다.

- [0214] 이렇게, 스테이지의 출력부에서 하이 상태의 출력신호(Vg)가 출력된 후, 스테이지에는 로우 상태의 제 1 스타트 펄스(SP1), 하이 상태의 제 2 스타트 펄스(SP2)가 공급된다.
- [0215] 이에 따라, 스캔방향 제어부(254)는 로우 상태의 제 1 스타트 펄스(SP1)에 따라 제 1 스위칭 소자(S1)를 턴-오프시키는 반면에 하이 상태의 제 2 스타트 펄스(SP2)에 따라 제 2 스위칭 소자(S2)를 턴-온시키게 된다. 이에 따라, 스캔방향 제어부(254)는 제 2 스위칭 소자(S2)를 통해 로우 상태의 제 2 전압(Vd2)을 노드 제어부(556)의 제 1 노드(Q)에 공급한다.
- [0216] 이어서, 노드 제어부(556)는 스캔방향 제어부(254)로부터 공급되는 로우 상태의 제 2 전압(Vd2)에 의해 제 1 노드(Q) 상의 전압을 로우 상태로 방전시킨다. 그리고, 노드 제어부(556)는 제 1 노드(Q) 상의 전압에 따라 홀수번째 및 짝수번째 제 3 트랜지스터(N3o, N3e)를 동시에 턴-오프시킨다. 또한, 노드 제어부(556)는 하이 상태의 제 2 스타트 펄스(SP2)에 따라 홀수번째 및 짝수번째 제 4 트랜지스터(N4o, N4e)를 동시에 턴-온시켜 하이 상태의 제 1 전압(Vd1)을 제 2 및 제 3 노드(QBo, QBe) 각각에 공급한다. 또한, 노드 제어부(556)는 홀수번째 제 2 트랜지스터(N2o)를 통해 하이 상태의 제 1 구동전압(Vdd1)을 제 2 노드(QBo)에 공급하고, 하이 상태의 제 1 구동전압(Vdd1)에 따라 짝수번째 제 6 트랜지스터(N6e)를 턴-온시켜 기저전압(Vss)을 제 3 노드(QBe)에 공급한다.
- [0217] 그 다음, 출력부(258)에서는 노드 제어부(556)에 의해 제 2 노드(QBo) 상에 공급된 하이 상태의 구동전압(Vdd)에 의해 홀수번째 제 2 스위치(T2o)가 턴-온되는 반면에 제 1 노드(Q) 상의 전압에 의해 제 1 스위치(T1)가 턴-오프되고, 제 3 노드(QBe) 상의 기저전압(Vss)에 의해 짝수번째 제 2 스위치(T2e)가 오프상태를 유지한다.
- [0218] 이에 따라, 출력부(258)는 홀수번째 제 2 스위치(T2o)를 통해 공급되는 기저전압(Vss)에 의해 로우 상태의 출력신호(Vg)를 출력하게 된다.
- [0219] 결과적으로, 정방향 스캔의 홀수번째 프레임일 경우 스테이지는 제 2 노드 제어부의 동작에 따라 로우 상태의 출력신호(Vg)를 출력한다.
- [0220] 한편, 정방향 스캔의 짝수번째 프레임에 대한 스테이지의 동작으로 설명하면 다음과 같다.
- [0221] 정방향 스캔의 짝수번째 프레임일 경우, 제 1 전압(Vd1) 입력라인에는 외부 또는 이전단 스테이지로부터 하이 상태의 제 1 전압(Vd1)이 공급되는 반면에 제 2 전압(Vd2) 입력라인에는 외부 또는 다음단 스테이지로부터 로우 상태의 제 2 전압(Vd2)이 공급된다. 또한, 제 1 스타트 펄스(SP1) 입력라인에는 하이 상태의 제 1 스타트 펄스(SP1)가 공급되는 반면에 제 2 스타트 펄스(SP2) 입력라인에는 로우 상태의 제 2 스타트 펄스(SP2)가 공급된다. 그리고, 제 1 구동전압(Vdd1) 입력라인에는 로우 상태의 제 1 구동전압(Vdd1)이 공급되는 반면에 제 2 구동전압(Vdd2) 입력라인에는 하이 상태의 제 2 구동전압(Vdd2)이 공급된다.
- [0222] 이러한, 정방향 스캔으로 동작하며 짝수번째 프레임일 경우 스테이지는 하이 상태의 제 2 구동전압(Vdd2)에 따라 제 3 노드(QBe) 상의 전압을 제어하여 로우 상태의 출력신호(Vg)를 제외하고는 상술한 정방향 스캔으로 동작하며 홀수번째 프레임과 동일한 방식으로 동작하여 하이 상태의 출력신호(Vg)를 출력한다. 결과적으로, 정방향 스캔의 짝수번째 프레임일 경우 스테이지는 제 3 노드 제어부의 동작에 따라 로우 상태의 출력신호(Vg)를 출력한다.
- [0223] 한편, 역방향 스캔의 홀수번째 프레임에 대한 스테이지의 동작으로 설명하면 다음과 같다.
- [0224] 역방향 스캔의 홀수번째 프레임일 경우 제 1 전압(Vd1) 입력라인에는 외부 또는 이전단 스테이지로부터 로우 상태의 제 1 전압(Vd1)이 공급되는 반면에 제 2 전압(Vd2) 입력라인에는 외부 또는 다음단 스테이지로부터 하이 상태의 제 2 전압(Vd2)이 공급된다. 또한, 제 1 스타트 펄스(SP1) 입력라인에는 로우 상태의 제 1 스타트 펄스(SP1)가 공급되는 반면에 제 2 스타트 펄스(SP2) 입력라인에는 하이 상태의 제 2 스타트 펄스(SP2)가 공급된다. 그리고, 제 1 구동전압(Vdd1) 입력라인에는 하이 상태의 제 1 구동전압(Vdd1)이 공급되는 반면에 제 2 구동전압(Vdd2) 입력라인에는 로우 상태의 제 2 구동전압(Vdd2)이 공급된다.
- [0225] 먼저, 스캔방향 제어부(254)는 로우 상태의 제 1 스타트 펄스(SP1)에 따라 제 1 스위칭 소자(S1)를 턴-오프시키는 반면에 하이 상태의 제 2 스타트 펄스(SP2)에 따라 제 2 스위칭 소자(S2)를 턴-온시키게 된다. 이에 따라, 스캔방향 제어부(254)는 제 2 스위칭 소자(S2)를 통해 하이 상태의 제 2 전압(Vd2)을 노드 제어부(556)의 제 1

노드(Q)에 공급한다.

- [0226] 이어서, 노드 제어부(556)는 스캔방향 제어부(254)로부터 공급되는 하이 상태의 제 2 전압(Vd2)을 제 1 노드(Q) 상에 충전한다. 그리고, 노드 제어부(556)는 제 1 노드(Q) 상에 충전된 전압에 따라 홀수번째 및 짝수번째 제 3 트랜지스터(N3o, N3e)를 동시에 턴-온시켜 홀수번째 제 3 트랜지스터(N3o)를 통해 기저전압(Vss)을 제 2 노드(QBo)에 공급함과 동시에 짝수번째 제 3 트랜지스터(N3e)를 통해 기저전압(Vss)을 제 3 노드(QBe)에 공급한다. 또한, 노드 제어부(556)는 하이 상태의 제 2 스타트 펄스(SP2)에 따라 홀수번째 및 짝수번째 제 4 트랜지스터(N4o, N4e)를 턴-온시켜 로우 상태의 제 1 전압(Vd1)을 제 2 및 제 3 노드(QBo, QBe) 각각에 공급한다.
- [0227] 그 다음, 출력부(258)는 노드 제어부(556)에 의해 제 1 노드(Q) 상에 충전된 하이 상태의 제 2 전압(Vd2)에 의해 제 1 스위치(T1)를 턴-온시키는 반면에 제 2 및 제 3 노드(QBo, QBe) 상의 기저전압(Vss)에 의해 홀수번째 및 짝수번째 제 2 스위치(T2o, T2e)를 턴-오프시킨다. 이에 따라, 출력부(258)는 제 1 스위치(T1)를 통해 공급되는 하이 상태의 클럭신호(CLK)를 출력신호(Vg)로 출력하게 된다.
- [0228] 이렇게, 스테이지의 출력부에서 하이 상태의 출력신호(Vg)가 출력된 후, 스테이지에는 하이 상태의 제 1 스타트 펄스(SP1), 로우 상태의 제 2 스타트 펄스(SP2)가 공급된다.
- [0229] 이에 따라, 스캔방향 제어부(254)는 하이 상태의 제 1 스타트 펄스(SP1)에 따라 제 1 스위칭 소자(S1)를 턴-온시키는 반면에 로우 상태의 제 2 스타트 펄스(SP2)에 따라 제 2 스위칭 소자(S2)를 턴-오프시키게 된다. 이에 따라, 스캔방향 제어부(254)는 제 1 스위칭 소자(S1)를 통해 로우 상태의 제 1 전압(Vd1)을 노드 제어부(556)의 제 1 노드(Q)에 공급한다.
- [0230] 이어서, 노드 제어부(556)는 스캔방향 제어부(254)로부터 공급되는 로우 상태의 제 1 전압(Vd1)에 의해 제 1 노드(Q) 상의 전압을 로우 상태로 방전시킨다. 그리고, 노드 제어부(556)는 제 1 노드(Q) 상의 전압에 따라 홀수번째 및 짝수번째 제 3 트랜지스터(N3o, N3e)를 동시에 턴-오프시킨다. 또한, 노드 제어부(556)는 하이 상태의 제 1 스타트 펄스(SP1)에 따라 홀수번째 및 짝수번째 제 5 트랜지스터(N5o, N5e)를 동시에 턴-온시켜 하이 상태의 제 2 전압(Vd2)을 제 2 및 제 3 노드(QBo, QBe) 각각에 공급한다. 또한, 노드 제어부(556)는 홀수번째 제 2 트랜지스터(N2o)를 통해 하이 상태의 제 1 구동전압(Vdd1)을 제 2 노드(QBo)에 공급하고, 하이 상태의 제 1 구동전압(Vdd1)에 따라 짝수번째 제 6 트랜지스터(N6e)를 턴-온시켜 기저전압(Vss)을 제 3 노드(QBe)에 공급한다.
- [0231] 그 다음, 출력부(258)에서는 노드 제어부(556)에 의해 제 2 노드(QBo) 상에 공급된 하이 상태의 구동전압(Vdd)에 의해 홀수번째 제 2 스위치(T2o)가 턴-온되는 반면에 제 1 노드(Q) 상의 전압에 의해 제 1 스위치(T1)가 턴-오프되고, 제 3 노드(QBe) 상의 기저전압(Vss)에 의해 짝수번째 제 2 스위치(T2e)가 오프상태를 유지한다.
- [0232] 이에 따라, 출력부(258)는 홀수번째 제 2 스위치(T2o)를 통해 공급되는 기저전압(Vss)에 의해 로우 상태의 출력신호(Vg)를 출력하게 된다.
- [0233] 결과적으로, 역방향 스캔의 홀수번째 프레임일 경우 스테이지는 제 2 노드 제어부의 동작에 따라 로우 상태의 출력신호(Vg)를 출력한다.
- [0234] 한편, 역방향 스캔의 짝수번째 프레임에 대한 스테이지의 동작으로 설명하면 다음과 같다.
- [0235] 역방향 스캔의 짝수번째 프레임일 경우, 제 1 전압(Vd1) 입력라인에는 외부 또는 이전단 스테이지로부터 로우 상태의 제 1 전압(Vd1)이 공급되는 반면에 제 2 전압(Vd2) 입력라인에는 외부 또는 다음단 스테이지로부터 하이 상태의 제 2 전압(Vd2)이 공급된다. 또한, 제 1 스타트 펄스(SP1) 입력라인에는 로우 상태의 제 1 스타트 펄스(SP1)가 공급되는 반면에 제 2 스타트 펄스(SP2) 입력라인에는 하이 상태의 제 2 스타트 펄스(SP2)가 공급된다. 그리고, 제 1 구동전압(Vdd1) 입력라인에는 로우 상태의 제 1 구동전압(Vdd1)이 공급되는 반면에 제 2 구동전압(Vdd2) 입력라인에는 하이 상태의 제 2 구동전압(Vdd2)이 공급된다.
- [0236] 이러한, 역방향 스캔의 짝수번째 프레임일 경우 스테이지는 하이 상태의 제 2 구동전압(Vdd2)에 따라 제 3 노드(QBe) 상의 전압을 제어하여 로우 상태의 출력신호(Vg)를 제외하고는 상술한 역방향 스캔의 홀수번째 프레임과 동일한 방식으로 동작하여 하이 상태의 출력신호(Vg)를 출력한다. 결과적으로, 역방향 스캔의 짝수번째 프레임일 경우 스테이지는 제 3 노드 제어부의 동작에 따라 로우 상태의 출력신호(Vg)를 출력한다.
- [0237] 이와 같은, 본 발명의 제 5 실시 예에 따른 쉬프트 레지스터의 스테이지는 제 1 및 제 2 스타트 펄스(SP1)와 상반되는 제 1 및 제 2 전압(Vd1, Vd2)을 이용하여 정방향 및 역방향 스캔이 가능하게 된다. 또한, 본 발명의 제 5 실시 예에 따른 쉬프트 레지스터의 스테이지는 프레임 단위로 제 2 및 제 3 노드(QBo, QBe) 상의 전압을 교번적으로 제어함으로써 클럭신호에 대한 트랜지스터에 인가되는 바이어스 스트레스를 최소화하여 오동작을 방지할

수 있다.

- [0238] 한편, 도 14는 본 발명의 제 6 실시 예에 따른 쉬프트 레지스터의 스테이지를 나타내는 회로도이다.
- [0239] 도 14를 참조하면, 본 발명의 제 6 실시 예에 따른 쉬프트 레지스터의 스테이지는 제 1 및 제 2 전압(Vd1, Vd2) 입력라인, 제 1 및 제 2 구동전압(Vdd1, Vdd2), 기저전압(Vss) 입력라인, 제 1 및 제 2 스타트 펄스(SP1, SP2) 입력라인, 클럭신호(CLK) 입력라인, 스캔방향 제어부(254), 노드 제어부(656) 및 출력부(258)를 구비한다.
- [0240] 이러한, 본 발명의 제 6 실시 예에 따른 쉬프트 레지스터의 스테이지는 노드 제어부(656)를 제외하고는 도 13에 도시된 제 5 실시 예에 따른 쉬프트 레지스터의 스테이지와 동일한 구성을 가지기 때문에 노드 제어부(656)를 제외한 다른 구성에 대한 설명은 상술한 도 13에 대한 설명으로 대신하기로 한다.
- [0241] 또한, 본 발명의 제 5 실시 예에 따른 쉬프트 레지스터의 스테이지에서 노드 제어부(656)는 제 1 노드 제어부를 제외하고는 도 13에 도시된 노드 제어부(556)와 동일한 구성을 가지기 때문에 제 2 및 제 3 노드 제어부를 제외한 다른 구성에 대한 설명은 상술한 도 13에 대한 설명으로 대신하기로 한다.
- [0242] 이러한, 상기 노드 제어부(656)의 제 2 노드 제어부는 제 1 및 제 2 스타트 펄스(SP1, SP2), 제 1 및 제 2 전압(Vd1, Vd2), 제 1 및 제 2 구동전압(Vdd1, Vdd2)에 따라 제 2 노드(QBo) 상의 전압을 제어하기 위한 홀수번째 제 2 내지 제 9 트랜지스터(N2o 내지 N9o)를 구비한다.
- [0243] 홀수번째 제 7 트랜지스터(N7o)는 제 1 구동전압(Vdd1) 입력라인에 다이오드 형태로 접속되어 제 1 구동전압(Vdd1)을 출력한다.
- [0244] 홀수번째 제 2 트랜지스터(N2o)는 홀수번째 제 7 트랜지스터(N7o)에 따라 제 1 구동전압(Vdd1) 입력라인에 다이오드 형태로 접속되어 제 1 구동전압(Vdd1)을 제 2 노드(NQo)에 공급한다.
- [0245] 홀수번째 제 3 내지 제 6 트랜지스터(N3o 내지 N6o)는 도 13에 도시된 노드 제어부(556)의 제 2 노드 제어부에서의 홀수번째 제 3 내지 제 6 트랜지스터(N3o 내지 N6o)와 동일하게 구성되어 동일하게 동작한다.
- [0246] 홀수번째 제 8 트랜지스터(N8o)는 홀수번째 제 7 트랜지스터(N7o)와 기저전압(Vss) 입력라인 사이에 접속되어 제 1 스타트 펄스(SP1)에 따라 홀수번째 제 2 트랜지스터(N2o)의 게이트 전극을 기저전압(Vss) 입력라인에 접속시킨다.
- [0247] 홀수번째 제 9 트랜지스터(N9o)는 홀수번째 제 7 트랜지스터(N7o)와 기저전압(Vss) 입력라인 사이에 접속되어 제 1 노드(Q) 상의 전압에 따라 홀수번째 제 2 트랜지스터(N2o)의 게이트 전극을 기저전압(Vss) 입력라인에 접속시킨다.
- [0248] 상기 노드 제어부(656)의 제 3 노드 제어부는 제 1 및 제 2 스타트 펄스(SP1, SP2), 제 1 및 제 2 전압(Vd1, Vd2), 제 1 및 제 2 구동전압(Vdd1, Vdd2)에 따라 제 3 노드(QBe) 상의 전압을 제어하기 위한 짝수번째 제 2 내지 제 9 트랜지스터(N2e 내지 N9e)를 구비한다.
- [0249] 짝수번째 제 7 트랜지스터(N7e)는 제 2 구동전압(Vdd2) 입력라인에 다이오드 형태로 접속되어 제 2 구동전압(Vdd2)을 출력한다.
- [0250] 짝수번째 제 2 트랜지스터(N2e)는 짝수번째 제 7 트랜지스터(N7e)에 따라 제 2 구동전압(Vdd2) 입력라인에 다이오드 형태로 접속되어 제 2 구동전압(Vdd2)을 제 3 노드(QBe)에 공급한다.
- [0251] 짝수번째 제 3 내지 제 6 트랜지스터(N3e 내지 N6e)는 도 13에 도시된 노드 제어부(556)의 제 3 노드 제어부에서의 짝수번째 제 3 내지 제 6 트랜지스터(N3e 내지 N6e)와 동일하게 구성되어 동일하게 동작한다.
- [0252] 짝수번째 제 8 트랜지스터(N8e)는 짝수번째 제 7 트랜지스터(N7e)와 기저전압(Vss) 입력라인 사이에 접속되어 제 1 스타트 펄스(SP1)에 따라 짝수번째 제 2 트랜지스터(N2e)의 게이트 전극을 기저전압(Vss) 입력라인에 접속시킨다.
- [0253] 짝수번째 제 9 트랜지스터(N9e)는 짝수번째 제 7 트랜지스터(N7e)와 기저전압(Vss) 입력라인 사이에 접속되어 제 1 노드(Q) 상의 전압에 따라 짝수번째 제 2 트랜지스터(N2e)의 게이트 전극을 기저전압(Vss) 입력라인에 접속시킨다.
- [0254] 이와 같은, 본 발명의 제 6 실시 예에 따른 쉬프트 레지스터의 스테이지는 로우 상태의 출력신호(Vg)를 출력할 경우를 제외하고는 상술한 본 발명의 제 5 실시 예에 따른 쉬프트 레지스터의 스테이지와 동일한 방식으로 동작

하여 하이 상태의 출력신호(Vg)를 출력한다.

- [0255] 홀수번째 프레임에서 로우 상태의 출력신호(Vg)를 출력할 경우 스테이지는 제 2 노드 제어부의 제 1 스타트 펄스(SP1) 또는 제 1 노드(Q) 상의 전압에 따라 홀수번째 제 8 또는 제 9 트랜지스터(N8o, N9o)를 제어하여 홀수번째 제 2 트랜지스터(N2o)를 턴-오프시켜 제 1 구동전압(Vdd1)이 제 2 노드(QBo)에 공급되는 것을 방지한다.
- [0256] 또한, 짝수번째 프레임에서 로우 상태의 출력신호(Vg)를 출력할 경우 스테이지는 제 3 노드 제어부의 제 1 스타트 펄스(SP1) 또는 제 1 노드(Q) 상의 전압에 따라 짝수번째 제 8 또는 제 9 트랜지스터(N8e, N9e)를 제어하여 짝수번째 제 2 트랜지스터(N2e)를 턴-오프시켜 제 2 구동전압(Vdd2)이 제 3 노드(QBe)에 공급되는 것을 방지한다.
- [0257] 이와 같은, 본 발명의 제 6 실시 예에 따른 쉬프트 레지스터의 스테이지는 제 1 및 제 2 스타트 펄스(SP1)와 상반되는 제 1 및 제 2 전압(Vd1, Vd2)을 이용하여 정방향 및 역방향 스캔이 가능하게 된다. 또한, 본 발명의 제 6 실시 예에 따른 쉬프트 레지스터의 스테이지는 프레임 단위로 제 2 및 제 3 노드(QBo, QBe) 상의 전압을 교번적으로 제어함으로써 클럭신호에 대한 트랜지스터에 인가되는 바이어스 스트레스를 최소화하여 오동작을 방지할 수 있다.
- [0258] 한편, 도 15는 본 발명의 제 7 실시 예에 따른 쉬프트 레지스터의 스테이지를 나타내는 회로도이다.
- [0259] 도 15를 참조하면, 본 발명의 제 7 실시 예에 따른 쉬프트 레지스터의 스테이지는 제 1 및 제 2 전압(Vd1, Vd2) 입력라인, 제 1 및 제 2 구동전압(Vdd1, Vdd2), 기저전압(Vss) 입력라인, 제 1 및 제 2 스타트 펄스(SP1, SP2) 입력라인, 클럭신호(CLK) 입력라인, 스캔방향 제어부(254), 노드 제어부(656) 및 출력부(358)를 구비한다.
- [0260] 이러한, 본 발명의 제 7 실시 예에 따른 쉬프트 레지스터의 스테이지는 출력부(358)를 제외하고는 도 14에 도시된 제 6 실시 예에 따른 쉬프트 레지스터의 스테이지와 동일한 구성을 가지기 때문에 출력부(358)를 제외한 다른 구성에 대한 설명은 상술한 도 14에 대한 설명으로 대신하기로 한다.
- [0261] 또한, 본 발명의 제 7 실시 예에 따른 쉬프트 레지스터의 스테이지에서 출력부(358)는 제 1 내지 제 3 노드(Q, QBo, QBe) 상의 전압에 따라 클럭신호(CLK)를 제 1 출력단으로 출력하기 위한 제 1 출력부(358a)와, 제 1 내지 제 3 노드(Q, QBo, QBe) 상의 전압에 따라 클럭신호(CLK)를 제 2 출력단으로 출력하기 위한 제 2 출력부(358b)를 구비한다.
- [0262] 제 1 출력부(358a)는 제 1 내지 제 3 노드(Q, QBo, QBe) 상의 전압에 따라 클럭신호(CLK)를 제 1 출력단을 통해 외부로 출력하는 제 1 스위치(T1), 홀수번째 및 짝수번째 제 2 스위치(T2o, T2e)를 구비한다.
- [0263] 제 1 스위치(T1)는 클럭신호(CLK) 입력라인과 제 1 출력단 사이에 접속되어 제 1 노드(Q) 상의 전압에 따라 클럭신호(CLK)를 제 1 출력단에 공급한다.
- [0264] 홀수번째 제 2 스위치(T2o)는 기저전압(Vss) 입력라인과 제 1 출력단 사이에 접속되어 제 2 노드(QBo) 상의 전압에 따라 기저전압(Vss)을 제 1 출력단에 공급한다.
- [0265] 짝수번째 제 2 스위치(T2e)는 기저전압(Vss) 입력라인과 제 1 출력단 사이에 접속되어 제 3 노드(QBe) 상의 전압에 따라 기저전압(Vss)을 제 1 출력단에 공급한다.
- [0266] 제 2 출력부(358b)는 제 1 내지 제 3 노드(Q, QBo, QBe) 상의 전압에 따라 클럭신호(CLK)를 제 2 출력단을 통해 이전단 및 다음단 스테이지로 출력하는 보조 제 1 스위치(T1s), 보조 홀수번째 및 짝수번째 제 2 스위치(T2os, T2es)를 구비한다.
- [0267] 보조 제 1 스위치(T1s)는 클럭신호(CLK) 입력라인과 제 2 출력단 사이에 접속되어 제 1 노드(Q) 상의 전압에 따라 클럭신호(CLK)를 제 2 출력단에 공급한다.
- [0268] 보조 홀수번째 제 2 스위치(T2os)는 기저전압(Vss) 입력라인과 제 2 출력단 사이에 접속되어 제 2 노드(QBo) 상의 전압에 따라 기저전압(Vss)을 제 2 출력단에 공급한다.
- [0269] 보조 짝수번째 제 2 스위치(T2e)는 기저전압(Vss) 입력라인과 제 2 출력단 사이에 접속되어 제 3 노드(QBe) 상의 전압에 따라 기저전압(Vss)을 제 2 출력단에 공급한다.
- [0270] 이와 같은, 출력부(358)는 제 1 내지 제 3 노드(Q, QBo, QBe) 상의 전압에 따라 제 1 스위치(T1), 홀수번째 및 짝수번째 제 2 스위치(T2o, T2e)를 제어하여 하이 상태의 클럭신호(CLK)를 외부로 출력한 후, 기저전압(Vss)을 외부로 출력함과 동시에 보조 제 1 스위치(T1s), 보조 홀수번째 및 짝수번째 제 2 스위치(T2os, T2es)를 제어하

여 하이 상태의 클럭신호(CLK)를 외부로 출력한 후, 기저전압(Vss)을 이전단 및 다음단 스테이지로 출력한다.

- [0271] 이와 같은, 본 발명의 제 7 실시 예에 따른 쉬프트 레지스터의 스테이지는 상술한 출력부(358)의 동작을 제외하고는 상술한 본 발명의 제 6 실시 예에 따른 쉬프트 레지스터의 스테이지와 동일한 방식으로 동작하게 된다.
- [0272] 상술한 바와 같은 본 발명의 제 1 내지 제 7 실시 예에 따른 쉬프트 레지스터는 액정 표시장치를 포함하는 화상 표시장치에 적용될 수 있다.
- [0273] 한편, 이상에서 설명한 본 발명은 상술한 실시 예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 종래의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

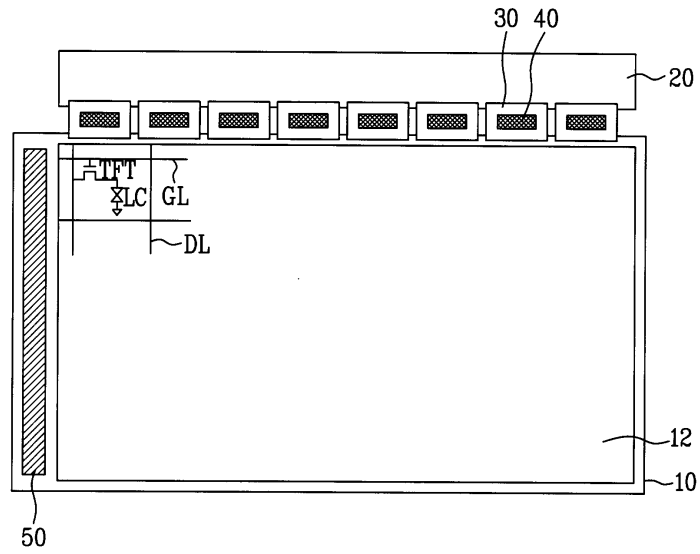
- [0274] 상기와 같은 본 발명의 실시 예에 따른 쉬프트 레지스터는 이전단 및 다음단 스테이지로부터의 출력신호에 따라 상반된 제 1 및 제 2 전압을 선택적으로 출력하여 스캔방향을 제어함으로써 정방향 및 역방향 스캔이 가능하게 된다.

도면의 간단한 설명

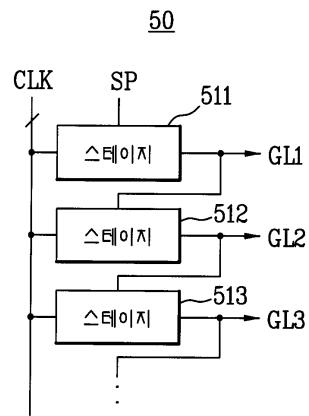
- [0001] 도 1은 관련기술에 따른 액정 표시장치를 나타내는 도면.
- [0002] 도 2는 도 1에 도시된 게이트 쉬프트 레지스터를 개략적으로 나타내는 도면.
- [0003] 도 3은 도 2에 도시된 게이트 쉬프트 레지스터의 구동 파형도.
- [0004] 도 4는 본 발명의 실시 예에 따른 쉬프트 레지스터를 나타내는 도면.
- [0005] 도 5는 도 4에 도시된 쉬프트 레지스터의 정방향 스캔동작을 나타내는 구동 파형도.
- [0006] 도 6은 도 4에 도시된 쉬프트 레지스터의 역방향 스캔동작을 나타내는 구동 파형도.
- [0007] 도 7은 본 발명의 제 1 실시 예에 따른 쉬프트 레지스터에 있어서 하나의 스테이지를 나타내는 회로도.
- [0008] 도 8은 도 7에 도시된 스테이지를 정방향으로 구동하기 위한 구동 파형도.
- [0009] 도 9는 도 7에 도시된 스테이지를 역방향으로 구동하기 위한 구동 파형도.
- [0010] 도 10은 본 발명의 제 2 실시 예에 따른 쉬프트 레지스터에 있어서 하나의 스테이지를 나타내는 회로도.
- [0011] 도 11은 본 발명의 제 3 실시 예에 따른 쉬프트 레지스터에 있어서 하나의 스테이지를 나타내는 회로도.
- [0012] 도 12는 본 발명의 제 4 실시 예에 따른 쉬프트 레지스터에 있어서 하나의 스테이지를 나타내는 회로도.
- [0013] 도 13은 본 발명의 제 5 실시 예에 따른 쉬프트 레지스터에 있어서 하나의 스테이지를 나타내는 회로도.
- [0014] 도 14는 본 발명의 제 6 실시 예에 따른 쉬프트 레지스터에 있어서 하나의 스테이지를 나타내는 회로도.
- [0015] 도 15는 본 발명의 제 7 실시 예에 따른 쉬프트 레지스터에 있어서 하나의 스테이지를 나타내는 회로도.
- [0016] < 도면의 주요 부분에 대한 부호설명 >
- [0017] 150 : 쉬프트 레지스터
- [0018] 154, 254 : 스캔방향 제어부
- [0019] 156, 256, 356, 456, 556, 656 : 노드 제어부
- [0020] 158, 258, 358 : 출력부

도면

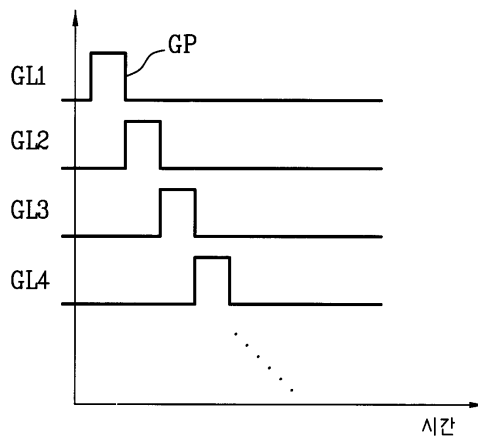
도면1



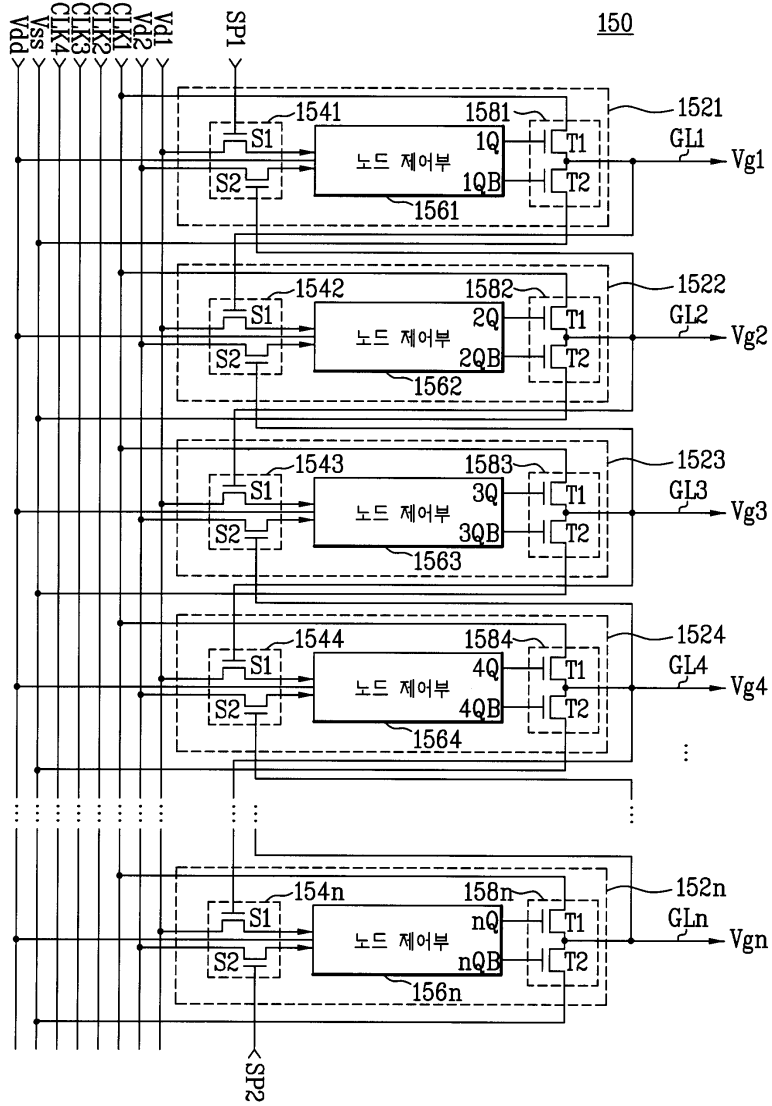
도면2



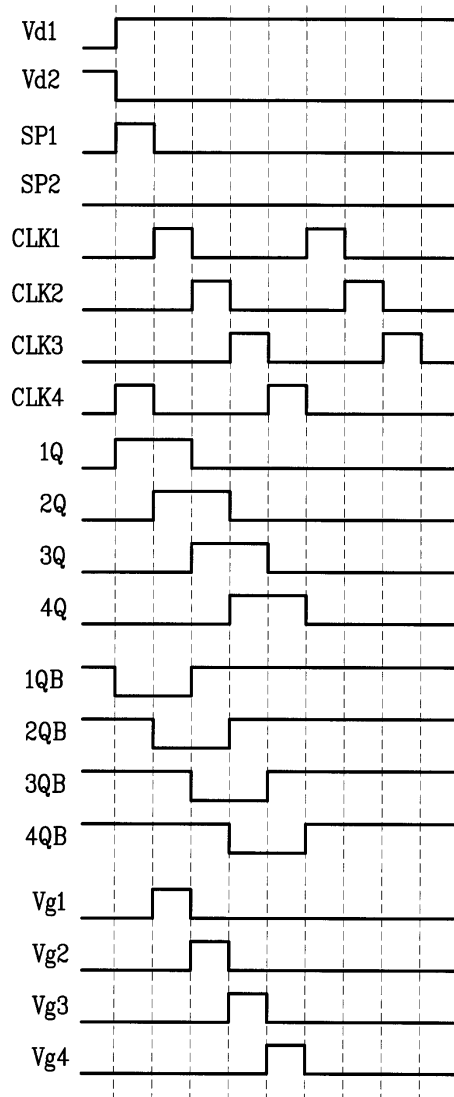
도면3



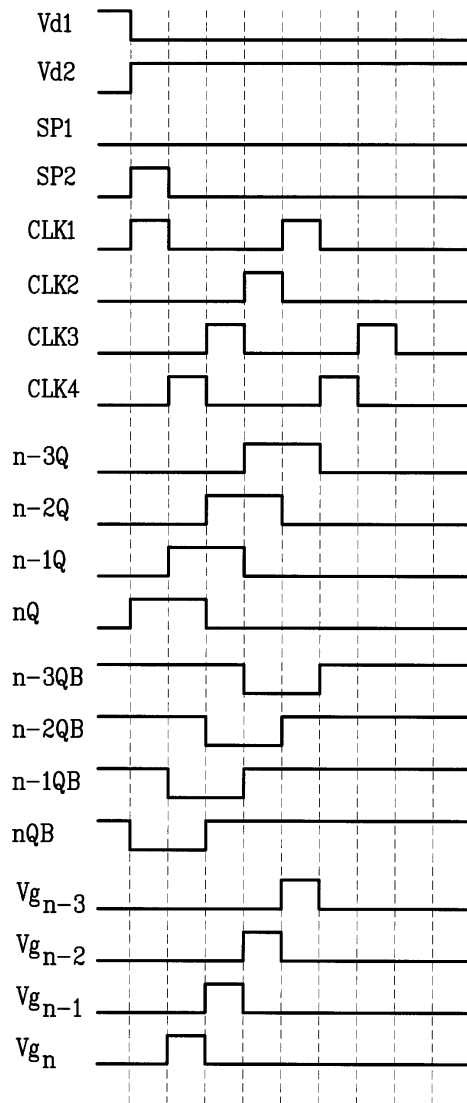
도면4



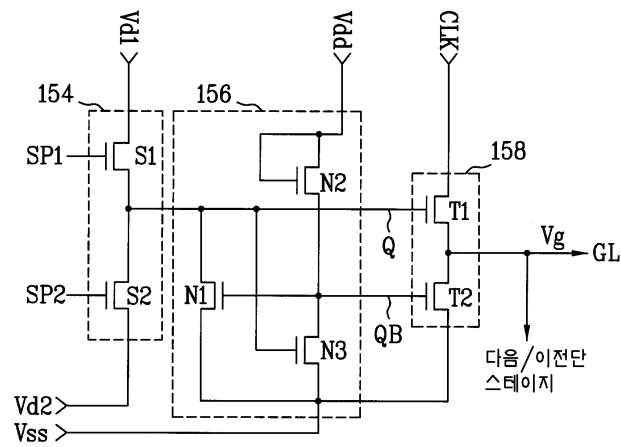
도면5



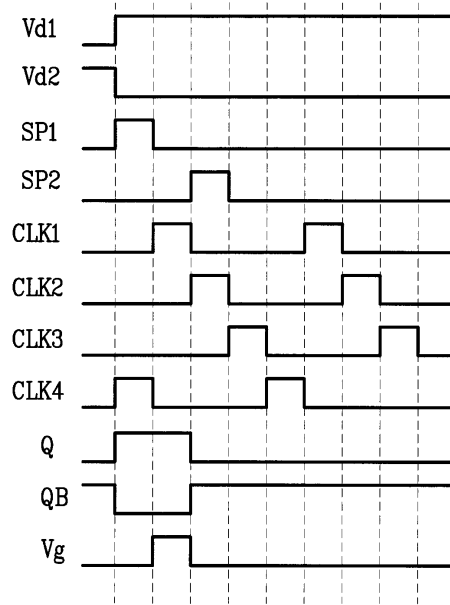
도면6



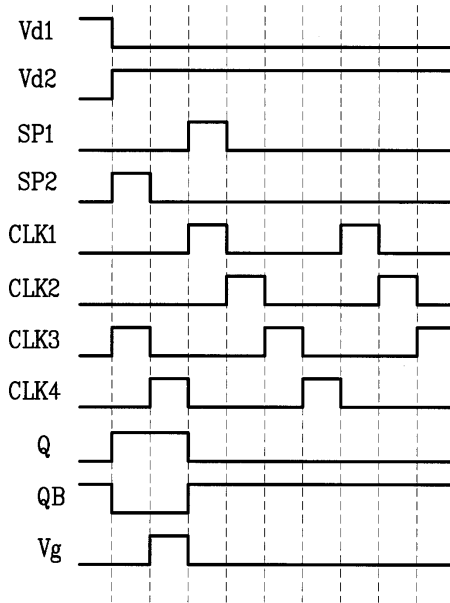
도면7



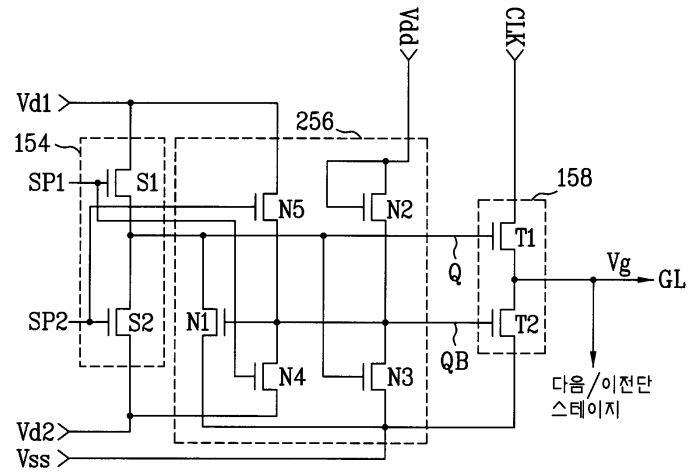
도면8



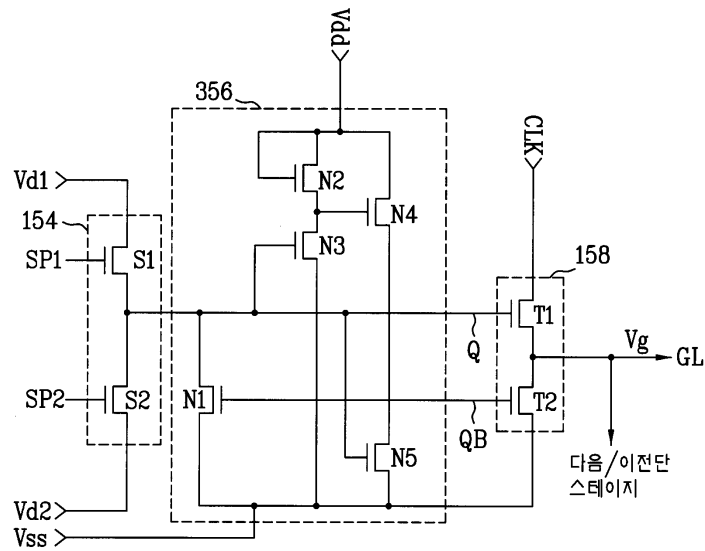
도면9



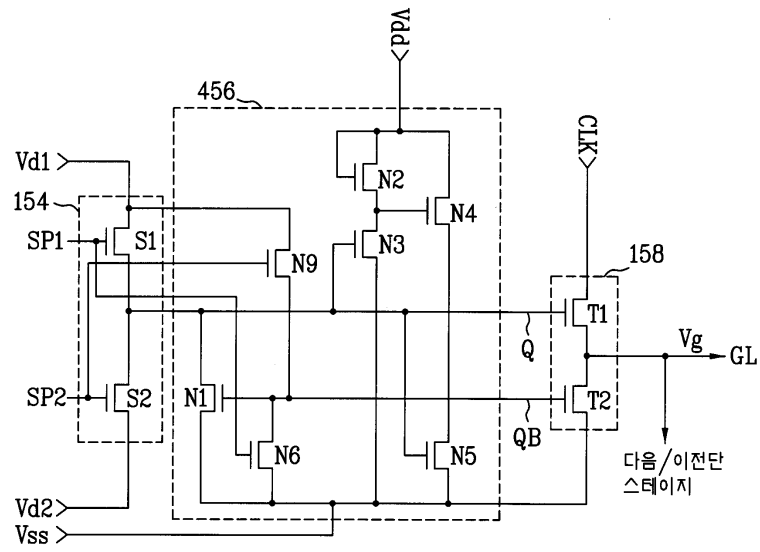
도면10



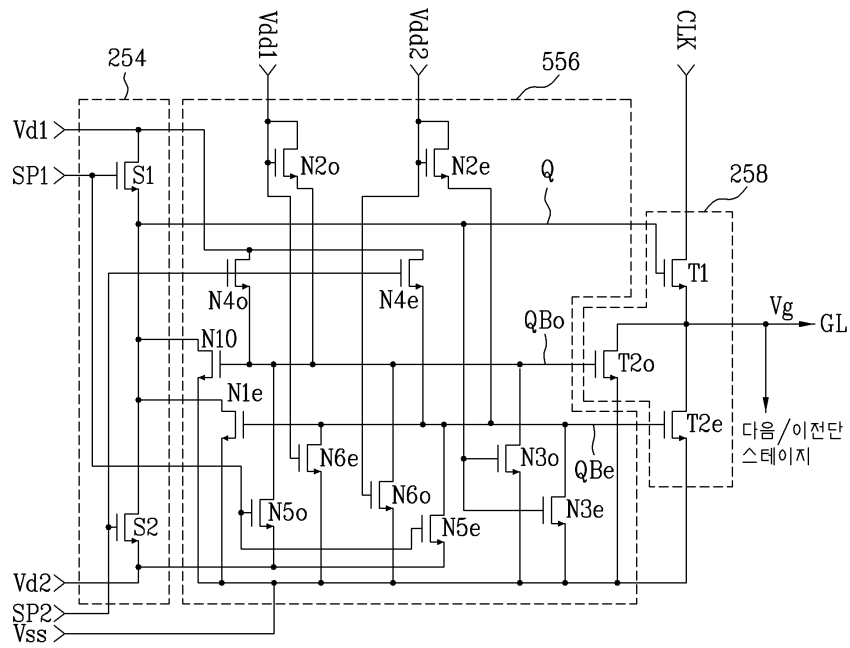
도면11



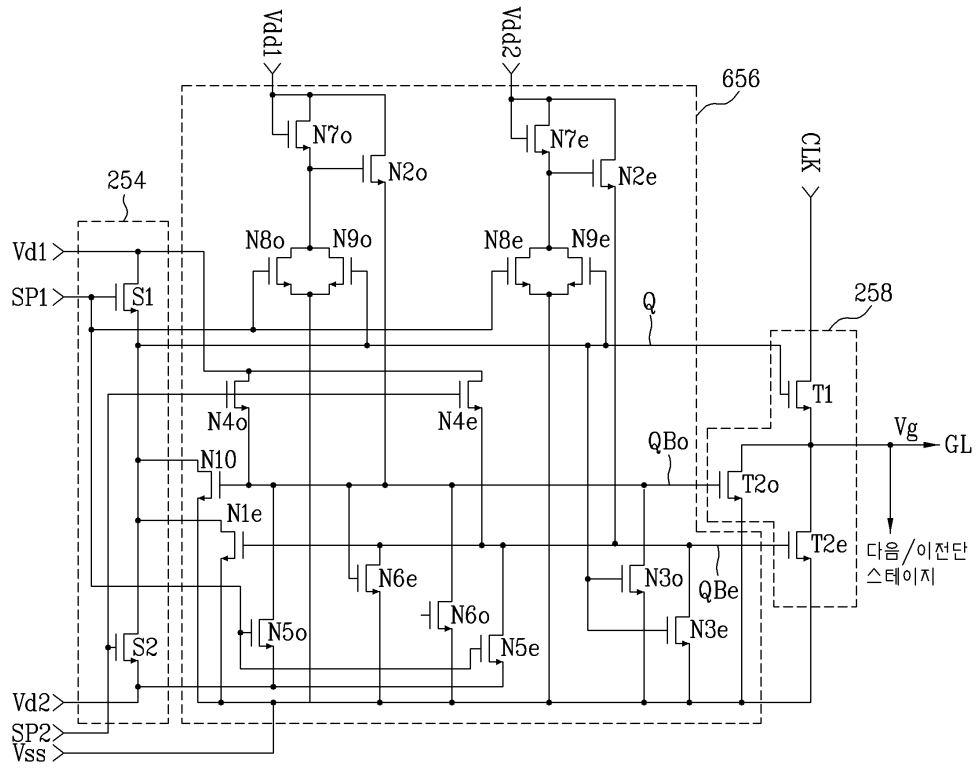
도면12



도면13



도면14



도면15

