

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4168049号  
(P4168049)

(45) 発行日 平成20年10月22日(2008.10.22)

(24) 登録日 平成20年8月8日(2008.8.8)

(51) Int.Cl.	F I
<b>HO 1 L 29/78 (2006.01)</b>	HO 1 L 29/78 6 5 3 C
	HO 1 L 29/78 6 5 2 B
	HO 1 L 29/78 6 5 2 D
	HO 1 L 29/78 6 5 2 K
	HO 1 L 29/78 6 5 2 L
請求項の数 10 外国語出願 (全 10 頁)	

(21) 出願番号	特願2005-255650 (P2005-255650)	(73) 特許権者	597161115
(22) 出願日	平成17年9月2日(2005.9.2)		インターナショナル レクティファイア
(65) 公開番号	特開2006-74054 (P2006-74054A)		コーポレーション
(43) 公開日	平成18年3月16日(2006.3.16)		アメリカ合衆国 カリフォルニア州 90
審査請求日	平成17年10月5日(2005.10.5)		245 エル セガンド カンザス スト
(31) 優先権主張番号	60/606,596		リート 233
(32) 優先日	平成16年9月2日(2004.9.2)	(74) 代理人	100064908
(33) 優先権主張国	米国 (US)		弁理士 志賀 正武
(31) 優先権主張番号	11/217,870	(74) 代理人	100089037
(32) 優先日	平成17年9月1日(2005.9.1)		弁理士 渡邊 隆
(33) 優先権主張国	米国 (US)	(74) 代理人	100108453
			弁理士 村山 靖彦
		(74) 代理人	100110364
			弁理士 実広 信哉
最終頁に続く			

(54) 【発明の名称】 上面ドレインMOSゲートデバイスおよびそのための製造方法

(57) 【特許請求の範囲】

【請求項1】

1の導電型の半導体本体と、半導体本体の上にある第2の導電型のベース層と、前記ベース層の上にある前記1の導電型のドリフト領域層と、横方向に隔てられた複数のMOSゲートセルであって、それぞれの前記セルが本体ショートトレンチおよび前記本体ショートトレンチから隔てられたゲートトレンチを含み、前記トレンチ間のメサを定義するMOSゲートセルと、前記半導体本体の平面にほぼ垂直に延在し、前記ドリフト領域および前記ベース層を貫通して延在する前記本体ショートトレンチおよび前記ゲートトレンチと、前記本体領域に前記ベース領域を接続するコンタクトを自身の底部に備えた前記本体ショートトレンチと、少なくとも自身の壁を内張りするゲート酸化物を備え、前記ベース層の深さの少なくとも一部に沿って延在する前記ゲートトレンチと、前記ゲートトレンチの内部の導電性ポリシリコン・ゲート電極と、前記1の導電型の前記メサの上面に形成された、高濃度導電型ドレイン領域と、前記半導体本体の上面および前記高濃度導電型ドレイン領域に接続された導電性ドレイン前面電極と、前記半導体本体の底部に接続された導電性ソース電極と、前記ポリシリコン・ゲート電極および前記高濃度導電型ドレイン領域の上にある導電性シリサイド層と、を有する上面ドレインMOSゲートデバイス。

【請求項2】

前記本体ショートトレンチの底部にある前記コンタクトは導電性シリサイドである請求項1に記載のデバイス。

【請求項3】

前記本体ショートトレンチの側壁において前記ベース層から前記半導体本体に伸びる高濃度の前記第2の導電型の領域をさらに有し、前記本体ショートトレンチの底部は、前記第2の導電型の前記領域と接触する前記1の導電型の高濃度領域の注入物を含む請求項1に記載のデバイス。

【請求項4】

前記ゲートトレンチが、それ自身の底部において、また前記ベース層を貫通するその長さに沿って第1の幅を持つ第1の部分を持ち、それ自身の上部において、前記第1の部分から前記ドレイン領域を通して延在する第2の幅を持つ第2の部分を持ち、前記第2の部分は絶縁材充填物で充填され、かつ前記第1の部分よりも広い請求項1に記載のデバイス。

10

【請求項5】

1の導電型の半導体本体と、前記半導体本体の上にある逆の導電型のベース領域と、前記ベース領域の上にある前記1の導電型のドリフト領域層と、前記半導体本体の平面にほぼ垂直に延在し、前記ドリフト領域および前記ベース領域を貫通して延在する少なくとも1つの前記ゲートトレンチと、少なくとも自身の壁を内張りするゲート酸化物を備え、前記ベース領域の深さの少なくとも一部に沿った前記ゲートトレンチと、前記ゲート酸化物の長さに沿って前記ゲートトレンチ内部のゲート電極を規定する導電性ポリシリコン体と、前記ドリフト領域層の上面に接続された導電性ドレイン電極と、前記半導体本体の本体部分に接続された導電性ソース電極と、前記半導体本体を前記ベース領域に接続するための導電性シリサイドからなる埋設された導電性短絡部と、を有する上面ドレインMOSゲートデバイス。

20

【請求項6】

前記ドリフト領域の上面に形成された前記一つの導電型の高濃度導電型ドレイン領域をさらに含む請求項5に記載のデバイス。

【請求項7】

前記ゲートトレンチから隔てられ、前記ドリフト領域の上面から前記ベース領域を通して前記半導体本体中へと延在する本体ショートトレンチをさらに含み、前記埋設された導電性短絡部は前記本体ショートトレンチの底部に配置されている請求項5に記載のデバイス。

30

【請求項8】

前記ゲート電極および前記高濃度導電型ドレイン領域の上にある導電性シリサイド層をさらに含む請求項6に記載のデバイス。

【請求項9】

前記本体ショートトレンチの側壁において前記ベース領域から前記半導体本体に延在する高濃度の前記第2の導電型の領域をさらに有し、前記本体ショートトレンチの底部は、前記第2の導電型の前記領域と接触する前記1の導電型の高濃度領域の注入物を含む請求項8に記載のデバイス。

【請求項10】

前記ゲートトレンチが、それ自身の底部において、また前記ベース領域を貫通するその長さに沿って第1の幅を持つ第1の部分を持ち、それ自身の上部において、前記第1の部分から前記ドレイン領域を通して延在する第2の幅を持つ第2の部分を持ち、前記第2の部分は絶縁材充填物で充填され、かつ前記第1部分よりも広い請求項5に記載のデバイス。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、MOSFET、IGBTなどのMOSゲートデバイス、およびそれらを製造するための方法に関わり、さらに詳細には、ドレイン電極が、デバイスが形成されるダイまたはウェハの表面を包含する接続部の上面に配置されるようなデバイスに関する。

【0002】

50

本願は、2004年9月2日に出願された米国仮出願第60/606,596号の利益と優先権を主張するものであり、その全体が参照としてここに組み入れられている。

【0003】

本願は、上面ドレインMOSFETという発明の名称(IR-2471)で、2005年3月4日にDaniel M. Kinzerによって出願された米国特許出願第11/042,993号にも関連し、その全体もまた参照としてここに組み入れられている。

【背景技術】

【0004】

縦型伝導MOSゲートデバイスはよく知られている。MOSゲートデバイスはMOSFET、IGBTなどを意味している。縦型伝導デバイスは、ダイを通過する電流伝導経路の少なくとも一部分が、ダイの平面に垂直であることを意味している。ダイは、ウェハから単一化(singulate)され、ウェハ中のすべてのダイが単一化(singulation)に先立って同時に処理される単一のダイまたはチップを意味している。ダイ、ウェハおよびチップという用語は、同義的に使用されうる。

10

【0005】

図1は、トレンチ型の技術を使用する、知られているタイプの縦型伝導MOSFETを示している。図1は、MOSFETダイの断面図であって、デバイスの1つのセルを示している。通常、お互いに側面に相対して配置されるこのようなセルと同一のものが、複数個使われる。これらのセルは、平行な帯状、若しくは円形、長方形、正方形、六角形またはその他の多角形の接続形態の閉じたセルであることができ、同一の断面で表されることが可能である。図1のデバイスは、ダイの底部にドレインを、反対側の表面にソースおよびゲートを有する。

20

【0006】

図1においては、ウェハまたはダイは、単結晶シリコン(例えば浮遊領域)のN<sup>+</sup>基板20を有し、それは上面エピタキシャル成長させたN型シリコン層を備え、N型シリコン層はドリフト領域21を含んでいる。エピタキシャル層中へのP型ベースの注入(implant; インプラント)および拡散によりPベース領域22が形成され、そしてN型の注入と拡散によりN<sup>+</sup>ソース領域層23が形成される。隔てられたトレンチ24と25(または隔てられたセル、あるいは囲まれたセル)はウェハの上面に形成される。二酸化ケイ素または他の絶縁物ライナーは、導電性ポリシリコン・ゲート電極32を収容する厚い底部30と薄い垂直ゲート部分31を有する。上面酸化物部33はゲート・ポリシリコン32に対して絶縁性の包囲を完結する。次に、ソース電極40は、ウェハまたはチップの上に積層され、またトレンチ24を充填してN<sup>+</sup>ソース23をPベースにショートさせており、その結果、領域21、22および23で形成された寄生バイポーラトランジスタを無効にしている。通常、導電性ドレイン電極41はダイの底部に形成される。

30

【0007】

動作中には、ソース40に対するゲート32へのゲート動作電圧(gate turn-on potential)を印加すると、酸化物31を内張りするPベース22の表面において濃度が逆転し、従って、ドレイン41からソース40への多数キャリアの垂直流が可能になる。

【発明の開示】

40

【発明が解決しようとする課題】

【0008】

多くの用途にとって、ゲートとドレインの間の静電容量、従って電荷 $Q_{gd}$ および $Q_{sw}$ を減少させることが非常に望まれ、またオン抵抗 $R_{DS(on)}$ および図1のMOSゲートデバイスダイのゲート抵抗を減少させることが非常に望まれるだろう。さまざまなハウジングにパッケージできて、減少したパッケージ抵抗、最小量の浮遊インダクタンス、および良好な放熱能力を持った他のダイと共にパッケージ中に共にまとめることのできるMOSゲートダイ構造を提供することもまた望ましいであろう。

【0009】

上面ドレインMOSFETという発明の名称で、2005年3月4日にDaniel

50

M. Kinzerによって出願され、この共同出願者の指定代理人に譲渡された米国特許出願第11/042,993号(IR-2471)には、上面ドレインMOSゲートデバイスが広範に示されている。このようなデバイスは、従来のMOSFETと比較して、ソース電極とドレイン電極を逆にしている。したがって、ドレイン構造とゲート構造の両方がチップの上面に形成され、そしてソースはチップの底部にある。垂直に隔てられたゲートトレンチはダイまたはウェハの上面に形成される。反転可能な領域のベースまたはチャンネルは、トレンチ壁に隣接して配置され、上側のドリフト領域の下に埋設される。ゲートトレンチ間に配置された更なるトレンチまたはセルは、埋設されたPベースをN<sup>+</sup>基板に短絡させるために、その底部に導電性領域を形成することを可能にしている。

【0010】

この新規な機能の反転は、 $R^*Q_{sw}$  および  $R^*A$  を現状の技術よりもかなり向上させる(それぞれ60%および26%)。これは、ゲート抵抗をさらに4倍減少することを可能にし、ダイを共にパッケージするための複数のパッケージ選択性を可能にする。

【0011】

より詳細には、その構造は、ドレインのゲートへの重なり(overlap)の減少と、ゲートとドレインと間の一層厚い酸化物の使用を可能にし、その結果、低い $Q_{gd}$ と $Q_{sw}$ を提供できる。設計についても、一層高いセル密度の使用と、JFET(接合形電界効果トランジスタ)の効果の排除、の両方を可能にし、 $R_{DS(ON)}$ を減少させる。最終的に、この設計はゲート抵抗の減少を可能にする。

【課題を解決するための手段】

【0012】

図2は、本発明の新規な上面ドレインデバイスの1つのセルの概略断面図である。デバイスはNチャンネルデバイスとして示されているが、全ての導電型を逆にして、Pチャンネルデバイスとして提供することができる。ダイまたはウェハは、上面に形成されたN<sup>-</sup>型エピタキシャルシリコン層を備えたN<sup>+</sup>基板50を有する。P型注入と拡散は、埋設されたPベースまたはチャンネル51を形成し、また、N<sup>+</sup>注入と拡散は、Nドリフト領域層53の上面にドレイン領域層52を形成する。3つのトレンチ60、61、および62は、ダイまたはウェハの上面に形成され、示された単一セルを形成する。外方のトレンチ60および62はゲートトレンチであり、それぞれ縦方向の二酸化ケイ素(または、他の絶縁材料)底部層63および64、またそれぞれ縦方向のゲート酸化物層65および66を有している。導電性ポリシリコン層67と68は、トレンチ60および62内に形成され、それぞれ、酸化物層63、65、および64、66によって周囲のシリコンから隔離される。そして、酸化物の充填物69および70は、ポリシリコン・ゲート67および68の上でトレンチ60および62をそれぞれ充填している。

【0013】

中央のトレンチ61は、N<sup>+</sup>基板50にPベース51を接続する(短絡する)ために底部に導電層71を収容する。そして、トレンチ61の残部は絶縁酸化物72で充填される。

【0014】

少しのシリコン含有量を有するアルミニウムから成ることができるドレイン電極75は、ダイまたはウェハの上面を覆って形成され、導電性ソース電極76はウェハまたはダイの底部に形成される。

【0015】

図2のデバイスを動作するため、基板50に対してゲート67、68に印加された電圧は、ベース領域51の鉛直面に沿った反転領域を形成し、上面ドレイン75から底部ソース電極76に多数キャリア(電子)が伝導することができるようになる。やはり、全ての導電型を逆にして、示されたNチャンネルデバイスではなく、Pチャンネルデバイスを形成することができることに注目されたい。

【0016】

一般に、図2の構造の効果は、図1と比べて、より低い $Q_{gd}$ および $Q_{sw}$ を提供する

10

20

30

40

50

ドレインドリフト領域 53 とゲート 67、68 の間の重なりを減少することを可能にする。さらに、より厚い酸化物 65、66 は、ゲート 67、68 とドレインドリフト領域 53 の間に使用でき、やはり  $Q_{gd}$  と  $Q_{sw}$  を減少できる。さらに、セル密度を、図 1 よりも大きくすることができ、 $R_{DS(ON)}$  を減少させ、しかも、JFET 効果の排除は  $R_{DS(ON)}$  をなおも減少させる。

【0017】

一般に、図 2 の上面ドレインデバイスの構成の性能指数 (FOM) は、次の表 1 に示される、International Rectifier Corporation によって商業的に販売された 20V の N チャンネル MOSFET のための同一の設計、に対する図 1 のデバイスのものとは比べて、かなり減少する。

【0018】

【表 1】

技術性能指数 (FOM)	図 1 ( $1.8 \mu m^2$ ヲチ) 測定値	図 2 上面ドレイン FET ( $1.8 \mu m^2$ ヲチ) 模擬値	従来デバイスに 対する減少 (%)
$R_{si} \times AA @ V_{gs}=4.5V$ ( $m\Omega \cdot mm^2$ )	15.5	11.5	26%
$R_{si} \times Q_{switch}$ ( $m\Omega \cdot nC$ )	48.3	19.1	60%
$R_{si} \times Q_{gd}$ ( $m\Omega \cdot nC$ )	38.6	17.0	56%
$R_{si} \times Q_{gd}$ ( $m\Omega \cdot nC$ )	103.7	36.9	64%

【0019】

本発明は、一連の構造の改良、および図 2 のデバイスを製造する方法をさらに含んでいる。

【0020】

それゆえに、第 1 の改良としては、本体ショートドレイン領域、およびゲート・ポリシリコンは、同時にそれらの上面でシリサイド化 (ケイ化合物化) され、それぞれの抵抗を減少させる。

【0021】

さらに、ポリシリコン・ゲートとそのトレンチ壁の間のドレイン酸化物厚さは、 $Q_{GD}$  感度を最小にするよう増加される。

【0022】

さらに、方法を簡単にするため、本体ショートトレンチおよび主要トレンチは、同時に充填される。

【0023】

さらなる方法の改良として、新規な連続的なエッチング方法がゲート多結晶リセスのために提供される。そして、ゲート多結晶リセスは、最小の静電容量を維持するよう正確に制御されなければならない。このために、トレンチエッチングを実行するに際して、第 1 の深さに対する第 1 のエッチングを行い、次に厚い酸化物の生成、そして窒化物堆積およびトレンチ底部の異方性エッチングが、その後続く。次に、第 2 のエッチングが行われて、ゲート酸化物が新しい表面上に形成される。ここで、トレンチ上面の厚い酸化物がゲート静電容量を減少させるので、多結晶リセスの深さはあまり重要ではない。エッチングは自己整列であり、また注入の角度は、トレンチ深さが一層重要でないように利用できる。浅い多結晶リセスはシリサイドゲートのために提供できる。

10

20

30

40

50

## 【発明を実施するための最良の形態】

## 【0024】

上述の特徴は、図2に概略的に示されたようなデバイスに通じる、以下の図3～図6の一連の好適な方法の説明で詳細に説明される。

## 【0025】

まず、図3を参照すると、ダイまたはウェハ内にトレンチおよび本体ショートトレンチを有する1つのセルが示されている。したがって、ダイは上部面にエピタキシャル層81を持ったN<sup>+</sup>本体80を有する。P型層82は、層81内に注入かつ拡散されるか、あるいはその代わりに、エピタキシャル層の生成前にP層またはチャンネル層82をN<sup>+</sup>本体80内に拡散させることが可能である。次に、N型ドリフト領域83は、P層82上に注入され、拡散させられる（または、成長させられる）。

10

## 【0026】

次に、窒化シリコン層85が層83上に蒸着される。

## 【0027】

次に、本体ショートトレンチ90およびゲートトレンチ91が、この技術分野の当業者にはよく知られている従来のマスクとエッチングステップを使用し、窒化物層85を通してドリフト領域83でエッチングされ、領域83を隔てられたメサ(mesa)部分に分割される。

## 【0028】

次に、比較的厚い酸化物スペーサ層100が、トレンチ91と92によってトレンチ内に形成されたメサの上面に形成される。次に、酸化物は、トレンチ91内の酸化物層100aとトレンチ92内の酸化物層として示されたように、エッチングされてドリフト領域83の一方側に酸化物のスペーサを形成する。酸化物層100aおよび100bはドレイン酸化物層であり、後ほど示されるように敏感に $Q_{gd}$ を最小化するため、比較的厚いものである。

20

## 【0029】

次に、シリコンはベース領域82の底部に対しトレンチを深めるために再びエッチングされる。

## 【0030】

その後、比較的薄いゲート酸化物層110および111が、トレンチ91および92の壁および底部で成長させられる。これらはドレイン酸化物層100aおよび100bの厚さに比べて比較的薄く、デバイスを動作させるための比較的低い敷居電圧を許容する。

30

## 【0031】

次に、図4に示すように、導電性ポリシリコンに層120がウェハまたはダイの上に蒸着され、トレンチ91および92の全てが充填される。

## 【0032】

次に、ポリシリコン120がトレゲート・ポリシリコンより部分的にエッチングされ、図5に示すように、トレンチ92の底部のゲート・ポリシリコン121の高さが、ゲート酸化物部分111のレベルをわずかに超えるように残される。次に、トレンチ92がマスクされ、そして図5に示すように、トレンチ91に残っているポリシリコンが完全にエッチングされる。メサを覆う酸化物層100および窒化物層85もまた、図5に示されるように取り除かれる。

40

## 【0033】

P<sup>+</sup>注入物はトレンチ91のベースに注入され、次に、トレンチは図5に示されるように、一層深くエッチングされる。

## 【0034】

図5において、高度に導電性のN<sup>++</sup>ソース注入物130が、トレンチ91の底部に形成され、P<sup>+</sup>本体注入物131がN<sup>++</sup>注入物130上に形成されるということに注目されたい。これらは、本体80の本体82に対する有効な本体短絡が作られることを可能にし、このことはトレンチ91の究極的な目的である。

50

## 【 0 0 3 5 】

次に、図 5 の状態で、N<sup>+</sup>ソース注入物および活性化が行われ、N<sup>+</sup>ドレイン領域 1 4 0 が形成される。

## 【 0 0 3 6 】

次に、図 5 の状態で、シリサイド化動作が行われ、ドレイン領域 1 4 0 を覆う導電性シリサイド層 1 5 0 が、またゲート・ポリシリコン 1 2 1 の上にシリサイド層 1 5 1 が形成される。領域 1 3 0 および 1 3 1 を通して N<sup>+</sup> 本体 8 0 を P 型チャンネル 8 2 に電氣的に短絡させるシリサイド 1 5 2 として、同一の導電性シリサイドをトレンチ 9 1 の底部に適用することもできる。

## 【 0 0 3 7 】

次に、適当な酸化物で成すことができる適当なギャップ充填材料 1 6 0 が、図 5 のトレンチ 9 1 および 9 2 の両方に充填される。図 6 に示されるように、ギャップ充填材料はチャンネル間のメサから取り除かれる。次に、ドレイン金属電極を成す前面金属 1 7 0 が、ダイまたはウェハの上面に、ドレイン領域 1 4 0 に接触させつつ付着される。次に、図 6 における背面金属 1 7 1 (デバイスソース金属) がウェハ底部に付着される。

## 【 0 0 3 8 】

図 6 のデバイスが図 2 で説明されたように動作することに注目すべきであろう。

## 【 0 0 3 9 】

本発明はその特定の実施例と関連して説明されてきたが、他の多くの変化、修正、および他の用途が、当業者にとって明白となるであろう。従って、本発明は、ここにおける特定の開示によって制限されないことが好ましい。

## 【 図面の簡単な説明 】

## 【 0 0 4 0 】

【 図 1 】 従来技術のトレンチタイプ MOSFET のセルの断面図である。

【 図 2 】 上面ドレインタイプ MOSFET のセルの断面図である。

【 図 3 】 本体トレンチとゲートトレンチが形成され初期の一連の方法の後、本発明に従って作られたセルの断面図である。

【 図 4 】 トレンチがポリシリコンで充填された後の図であって、図 3 と同様の断面図である。

【 図 5 】 ポリシリコンの選択的除去、選択された領域への注入、およびドレインソースおよびゲート領域のシリサイド化の後の図であって、図 4 と同様の断面図である。

【 図 6 】 金属蒸着後の図であって、図 5 と同様の断面図である。

## 【 符号の説明 】

## 【 0 0 4 1 】

- 5 0 基板
- 5 1 P ベース (チャンネル)
- 5 2 ドレイン領域層
- 5 3 ドレインドリフト領域 (Nドリフト領域層)
- 6 0、6 1、6 2 トレンチ
- 6 3 酸化物層
- 6 5 ゲート酸化物層
- 6 7 ポリシリコン・ゲート (導電性ポリシリコン層)
- 6 9 充填物
- 7 1 導電層
- 7 2 絶縁酸化物
- 7 5 ドレイン電極 (上面ドレイン)
- 7 6 底部ソース電極 (導電性ソース電極)
- 8 0 本体
- 8 1 エピタキシャル層
- 8 2 P 型チャンネル (ベース領域 ; 本体)

10

20

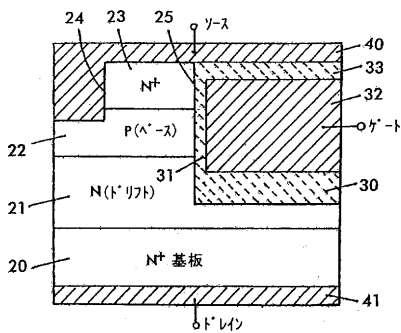
30

40

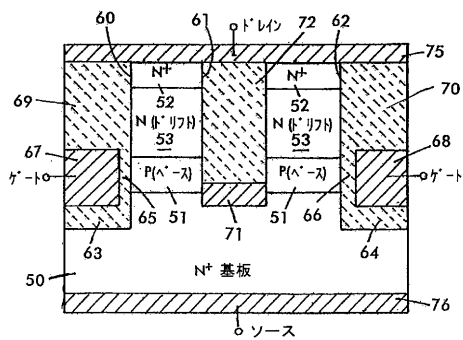
50

- 8 3 N型ドリフト領域
- 8 5 窒化シリコン層
- 9 0 本体ショートトレンチ
- 9 1 ゲートトレンチ
- 9 2 トレンチ
- 1 0 0 酸化物スペーサ層
- 1 0 0 a、1 0 0 b ドレイン酸化物層
- 1 1 0、1 1 1 ゲート酸化物層
- 1 2 0 ポリシリコン
- 1 2 1 ゲート・ポリシリコン
- 1 3 0 ソース注入物
- 1 3 1 本体注入物
- 1 4 0 ドレイン領域
- 1 5 0 導電性シリサイド層
- 1 5 1 シリサイド層
- 1 5 2 シリサイド
- 1 6 0 ギャップ充填材料
- 1 7 0 前面金属
- 1 7 1 裏面金属

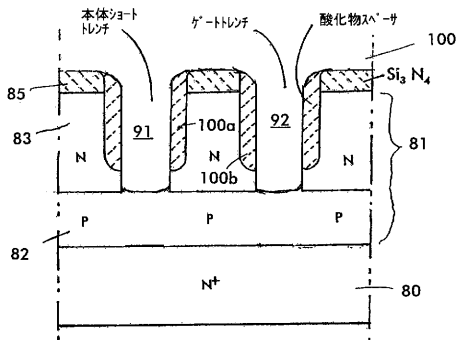
【図1】



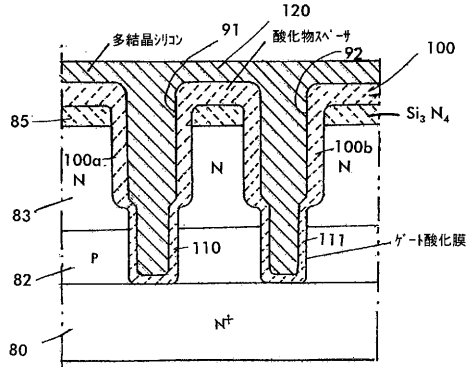
【図2】



【図3】



【図4】







---

フロントページの続き

- (72)発明者 ダニエル・エム・キンザー  
アメリカ合衆国・カリフォルニア・90245・エル・セグンド・センター・ストリート・760
- (72)発明者 デーヴィッド・ボウル・ジョーンズ  
イギリス・サウス・グラモーガン・CF64・1SE・ペナース・ペナース・マリーナ・ルウェリン・パサート・11
- (72)発明者 カイル・スプリング  
アメリカ合衆国・カリフォルニア・92592・テメキュラ・コートカモーナ・32094

審査官 小野田 誠

- (56)参考文献 特開平04-212469(JP,A)  
特開平08-227998(JP,A)  
特開平03-185737(JP,A)

- (58)調査した分野(Int.Cl., DB名)  
H01L 29/78