



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I462250 B

(45)公告日：中華民國 103 (2014) 年 11 月 21 日

(21)申請案號：097145456

(22)申請日：中華民國 97 (2008) 年 11 月 25 日

(51)Int. Cl. : H01L23/492 (2006.01)

H05K1/14 (2006.01)

(30)優先權：2007/11/26 日本

2007-304655

(71)申請人：新光電氣工業股份有限公司 (日本) SHINKO ELECTRIC INDUSTRIES CO., LTD.
(JP)

日本

(72)發明人：加治木篤典 ATSUNORI KAJIKI (JP)；赤池貞和 SADAKAZU AKAIKE (JP)；坪田
崇 TAKASHI TSUBOTA (JP)；山西學雄 NORIO YAMANISHI (JP)

(74)代理人：賴經臣；宿希成

(56)參考文獻：

US 5562971

US 6324067B1

US 6693362B2

US 7239525B2

US 2003/0090883A1

審查人員：郭德豐

申請專利範圍項數：10 項 圖式數：6 共 66 頁

(54)名稱

半導體裝置

SEMICONDUCTOR APPARATUS

(57)摘要

一種半導體裝置包括：第一電子組件；一第一電路板，其包括第一電子組件安裝焊墊，該等第一電子組件安裝於該等第一電子組件安裝焊墊上；及一第二電路板，其位於該第一電路板之上，其中該等第一電子組件安裝焊墊配置於該第一電路板之一相對於該第二電路板之第一面上，且該第一電路板與該第二電路板藉由位於該第一電路板與該第二電路板之間的內部連接端而電性連接，且其中一凹入部分相對於該等第一電子組件而形成於該第二電路板中，以便提供用以容納該等第一電子組件之部分的空間。

A semiconductor apparatus includes: first electronic components; a first circuit board, including first electronic component mounting pads on which the first electronic components are mounted; and a second circuit board located above the first circuit board, wherein the first electronic component mounting pads are arranged on a first face of the first circuit board, opposite the second circuit board, and the first circuit board and the second circuit board are electrically connected by internal connection terminals located between the first circuit board and the second circuit board, and wherein a recessed portion is formed in the second circuit board, opposite the first electronic components, in order to provide space to accommodate portions of the first electronic components.

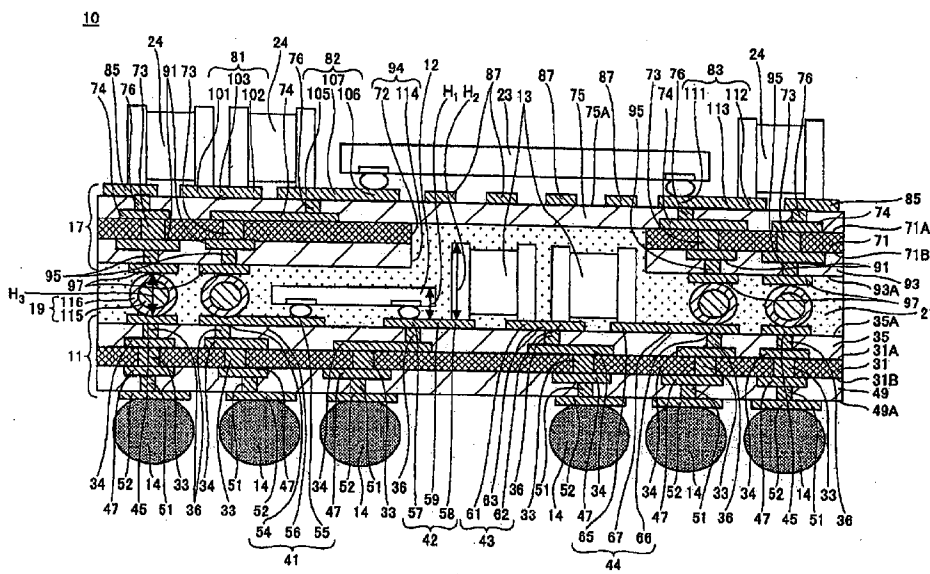


圖2

- 10 . . . 半導體裝置
- 11 . . . 第一電路板
- 12 . . . 第一電子組件
- 13 . . . 第一電子組件
- 14 . . . 外部連接端子
- 17 . . . 第二電路板
- 19 . . . 內部連接端子
- 21 . . . 密封樹脂
- 23 . . . 第二電子組件
- 24 . . . 第二電子組件
- 31 . . . 核心板
- 31A . . . 核心板之上部面
- 31B . . . 核心板之下部面
- 33 . . . 饋通電極
- 34 . . . 導線
- 35 . . . 絕緣層
- 35A . . . 絕緣層之上部面
- 36 . . . 介層
- 41 . . . 佈線圖案
- 42 . . . 佈線圖案
- 43 . . . 佈線圖案
- 44 . . . 佈線圖案
- 45 . . . 內部連接端子焊墊
- 47 . . . 導線
- 49 . . . 絕緣層
- 49A . . . 絕緣層之下部面
- 51 . . . 介層

52 . . .	外部連接焊墊
54 . . .	內部連接端子焊墊
55 . . .	第一電子組件安裝焊墊
56 . . .	導線
57 . . .	第一電子組件安裝焊墊
58 . . .	第一電子組件安裝焊墊
59 . . .	導線
61 . . .	第一電子組件安裝焊墊
62 . . .	第一電子組件安裝焊墊
63 . . .	導線
65 . . .	第一電子組件安裝焊墊
66 . . .	內部連接端子焊墊
67 . . .	導線
71 . . .	核心板
71A . . .	核心板上部面
71B . . .	核心板下部面
72 . . .	饋通部分
73 . . .	饋通電極
74 . . .	導線
75 . . .	絕緣層
75A . . .	絕緣層上部面
76 . . .	介層
81 . . .	佈線圖案
82 . . .	佈線圖案
83 . . .	佈線圖案
85 . . .	第二電子組件安裝焊墊

87 . . . 佈線圖案

91 . . . 導線

93 . . . 絕緣層

93A . . . 絕緣層之
下部面/絕緣層之上部
面

94 . . . 凹入部分

95 . . . 介層

97 . . . 內部連接端
子焊墊

101 . . . 第二電子組
件安裝焊墊

102 . . . 第二電子組
件安裝焊墊

103 . . . 導線

105 . . . 第二電子組
件安裝焊墊

106 . . . 第二電子組
件安裝焊墊

107 . . . 導線

111 . . . 第二電子組
件安裝焊墊

112 . . . 第二電子組
件安裝焊墊

113 . . . 導線

114 . . . 饋通部分

115 . . . 核心

116 . . . 塗層部分

H₁ . . . 高度

H₂ . . . 高度

H₃ . . . 高度

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：097145456

※申請日：97/11/25

※IPC 分類：H01L 23/492 (2006.01),
H05K 1/14 (2006.01)

一、發明名稱：(中文/英文)

半導體裝置 / SEMICONDUCTOR APPARATUS

二、中文發明摘要：

一種半導體裝置包括：第一電子組件；一第一電路板，其包括第一電子組件安裝焊墊，該等第一電子組件安裝於該等第一電子組件安裝焊墊上；及一第二電路板，其位於該第一電路板之上，其中該等第一電子組件安裝焊墊配置於該第一電路板之一相對於該第二電路板之第一面上，且該第一電路板與該第二電路板藉由位於該第一電路板與該第二電路板之間的內部連接端而電性連接，且其中一凹入部分相對於該等第一電子組件而形成於該第二電路板中，以便提供用以容納該等第一電子組件之部分的空間。

三、英文發明摘要：

A semiconductor apparatus includes: first electronic components; a first circuit board, including first electronic component mounting pads on which the first electronic components are mounted; and a second circuit board located above the first circuit board, wherein the first electronic component mounting pads are arranged on a first face of the first circuit board, opposite the second circuit board, and the first circuit board and the second circuit board are electrically connected by internal connection terminals located between the first circuit board and the second circuit board, and wherein a recessed portion is formed in the second circuit board, opposite the first electronic components, in order to provide space to accommodate portions of the first electronic components.

四、指定代表圖：

(一)本案指定代表圖為：第 (2) 圖。

(二)本代表圖之元件符號簡單說明：

10	半導體裝置	11	第一電路板
12	第一電子組件	13	第一電子組件
14	外部連接端子	17	第二電路板
19	內部連接端子	21	密封樹脂
23	第二電子組件	24	第二電子組件
31	核心板	31A	核心板之上部面
31B	核心板之下部面	33	饋通電極
34	導線	35	絕緣層
35A	絕緣層之上部面	36	介層
41	佈線圖案	42	佈線圖案
43	佈線圖案	44	佈線圖案
45	內部連接端子焊墊	47	導線
49	絕緣層	49A	絕緣層之下部面
51	介層	52	外部連接焊墊
54	內部連接端子焊墊	55	第一電子組件安裝焊墊
56	導線	57	第一電子組件安裝焊墊
58	第一電子組件安裝焊墊	59	導線
61	第一電子組件安裝焊墊	62	第一電子組件安裝焊墊
63	導線	65	第一電子組件安裝焊墊
66	內部連接端子焊墊	67	導線
71	核心板	71A	核心板之上部面
71B	核心板之下部面	72	饋通部分
73	饋通電極	74	導線
75	絕緣層	75A	絕緣層之上部面
76	介層	81	佈線圖案

82	佈線圖案	83	佈線圖案
85	第二電子組件安裝焊墊	87	佈線圖案
91	導線	93	絕緣層
93A	絕緣層之下部面/絕緣層之上部面		
94	凹入部分	95	介層
97	內部連接端子焊墊	101	第二電子組件安裝焊墊
102	第二電子組件安裝焊墊	103	導線
105	第二電子組件安裝焊墊	106	第二電子組件安裝焊墊
107	導線	111	第二電子組件安裝焊墊
112	第二電子組件安裝焊墊	113	導線
114	饋通部分	115	核心
116	塗層部分	H ₁	高度
H ₂	高度	H ₃	高度

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明係關於半導體裝置，且特定地係關於電子組件配置於兩個增層電路板之間的半導體裝置。

【先前技術】

作為習知半導體裝置之一類型，存在電子組件配置於兩個增層電路板之間的組態(參見圖 1)。

圖 1 為習知半導體裝置之剖面圖。

參考圖 1 時，習知半導體裝置 400 包括：第一電路板 401、第一電子組件 402 及 403、外部連接端子 404、內部連接端子 405、第二電路板 408、密封樹脂 411、及第二電子組件 412 及 413。

第一電路板 401 為核心增層板，且包括具有板狀形狀之核心板 421、饋通電極 422、導線 424 及 438、絕緣層 426 及 439、介層 428 及 441、佈線圖案 431 至 434、內部連接端子焊墊 435、及外部連接端子焊墊 443。

饋通電極 422 在多個位置處形成於核心板 421 中且穿過核心板 421。導線 424 係放置於核心板 421 之上部面 421A 上，且連接至饋通電極 422 之上部端。接著絕緣層 426 形成於核心板 421 之上部面 421A 上，以覆蓋導線 424。

介層 428 形成於覆蓋導線 424 之絕緣層 426 之部分中且穿過該等部分，介層 428 之下部端連接至導線 424。

佈線圖案 431 至 434 形成於絕緣層 426 之上部面 426A 上，且連接至介層 428 之上部端。佈線圖案 431 包括：第一電子組件安裝焊墊 445，第一電子組件 402 安裝於該第一電子組件安裝焊墊 445 上；內部連接端子焊墊 446，內部連接端子 405 安裝於該內部連接端子焊墊 446 上；及導線 447，該導線 447 與該第一電子組件安裝焊墊 445 及該內部連接端子焊墊 446 整體地形成，且電性連接該第一電子組件安裝焊墊 445 與該內部連接端子焊墊 446。

內部連接端子焊墊 446 之長度(大小)係足夠用於安裝連接端子 405，該連接端子 405 具有允許將第一電子組件 402 及 403 定位於第一電路板 401 與第二電路板 408 之間的適當直徑。就此而言，假定第一電子組件 403 中之每一者之高度為 0.33 mm(其大於另一第一電子組件 402 之高度)，內部連接端子 405 之直徑為 0.5 mm，且內部連接端子焊墊 446 在平面圖中實質上為圓形，則內部連接端子焊墊 446 之直徑可例如為 400 μm 。

佈線圖案 432 包括：第一電子組件安裝焊墊 449，第一電子組件 402 安裝於該第一電子組件安裝焊墊 449 上；第一電子組件安裝焊墊 451，第一電子組件 403 安裝於該第一電子組件安裝焊墊 451 上；及導線 452，該導線 452 與第一電子組件安裝焊墊 449 及 451 整體地形成，且電性連接第一電子組件安裝焊墊 449 與 451。

佈線圖案 434 包括：第一電子組件安裝焊墊 457，第一電子

組件 403 安裝於該第一電子組件安裝焊墊 457 上；內部連接端子焊墊 458，內部連接端子 405 配置於該內部連接端子焊墊 458 上；及導線 459，該導線 459 與該第一電子組件安裝焊墊 457 及該內部連接端子焊墊 458 整體地形成，且電性連接該第一電子組件安裝焊墊 457 與該內部連接端子焊墊 458。

內部連接端子焊墊 458 之長度(大小)係足夠用於安裝連接端子 405，該連接端子 405 具有允許將第一電子組件 402 及 403 定位於第一電路板 401 與第二電路板 408 之間的適當直徑。因此，假定第一電子組件 403 中之每一者之高度為 0.33 mm(其大於另一第一電子組件 402 之高度)，內部連接端子 405 之直徑為 0.5 mm，且內部連接端子焊墊 458 在平面圖中實質上為圓形，則內部連接端子焊墊 458 之直徑可例如為 400 μm 。

內部連接端子焊墊 435 配置於絕緣層 426 之上部面 426A 上，且連接至介層 428 之上部端。內部連接端子焊墊 435 之長度(大小)係足夠用於安裝連接端子 405，該連接端子 405 具有允許將第一電子組件 402 及 403 定位於第一電路板 401 與第二電路板 408 之間的適當直徑。就此而言，假定第一電子組件 403(其高於另一第一電子組件 402)中之每一者具有 0.33 mm 之高度，內部連接端子 405 之直徑為 0.5 mm，且內部連接端子焊墊 435 在平面圖中實質上為圓形，則內部連接端子焊墊 435 可例如具有 400 μm 之直徑。

導線 438 設置於核心板 421 之下部面 421B 上，且連接至饋

通電極 422 之下部端。絕緣層 439 形成於核心板 421 之下部面 421B 上且覆蓋導線 438。

介層 441 形成於覆蓋導線 438 之絕緣層 439 之部分中且穿過該等部分，且其上部端連接至導線 438。外部連接焊墊 443 形成於絕緣層 439 之下部面 439A 上，且連接至介層 441 之下部端。

第一電子組件 402 安裝於第一電子組件安裝焊墊 445 及 449 上。且關於第一電子組件 402，可使用例如半導體晶片。

第一電子組件 403 安裝於第一電子組件安裝焊墊 451、454、455、及 457 上，且經由佈線圖案 432 及 433 而電性連接至第一電子組件 402。例如晶片電容器、晶片電阻器、或晶片電感器可使用作為第一電子組件 403，且外部連接端子 404 安裝於外部連接焊墊 443 上。

內部連接端子 405 安裝於內部連接端子焊墊 435 上。使用內部連接端子 405 以將第一電路板 401 電性連接至第二電路板 408(其增層立於該第一電路板 401 上)，且亦設置在第一電路板 401 與第二電路板 408 之間的間隙，使得安裝於第一電路板 401 上之第一電子組件 402 及 403 可容納於該間隙內。假定第一電子組件 403(其高於另一第一電子組件 402)具有 0.33 mm 之高度，則內部連接端子 405 之直徑可例如為 0.5 mm。

第二電路板 408 為核心增層板，且包括：具有板狀形狀之核心板 463、饋通電極 464、導線 466 及 481、絕緣層 467 及 483、

介層 469 及 484、第二電子組件安裝焊墊 472、佈線圖案 473 至 476、及內部連接端子焊墊 485。

饋通電極 464 在多個位置處形成於核心板 463 中且穿過核心板 463。導線 466 沿核心板 463 之上部面 463A 延伸，且連接至饋通電極 464 之上部端。絕緣層 467 形成於核心板 463 之上部面 463A 上，以覆蓋導線 466。

介層 469 係位於使其穿過上面放置有導線 466 之絕緣層 467 之部分，且介層 469 之下部端連接至導線 466。第二電子組件安裝焊墊 472 安裝於絕緣層 467 之上部面 467A 上，且連接至介層 469 之上部端及第二電子組件 413。

佈線圖案 473 至 476 形成於絕緣層 467 之上部面 467A 上，且連接至介層 469 之上部端。佈線圖案 473 包括：第二電子組件安裝焊墊 491 及 492，第二電子組件 413 安裝於第二電子組件安裝焊墊 491 及 492 上；及導線 493，該導線 493 與第二電子組件安裝焊墊 491 及 492 整體地形成，且電性連接第二電子組件安裝焊墊 491 與 492。

佈線圖案 474 包括：第二電子組件安裝焊墊 495，第二電子組件 413 安裝於該第二電子組件安裝焊墊 495 上；第二電子組件安裝焊墊 496，第二電子組件 412 安裝於該第二電子組件安裝焊墊 496 上；及導線 497，該導線 497 與第二電子組件安裝焊墊 495 及 496 整體地形成，且電性連接第二電子組件安裝焊墊 495 與 496。

佈線圖案 475 包括：第二電子組件安裝焊墊 501，第二電子組件 412 安裝於該第二電子組件安裝焊墊 501 上；第二電子組件安裝焊墊 502，第二電子組件 413 安裝於該第二電子組件安裝焊墊 502 上；及導線 503，該導線 503 與第二電子組件安裝焊墊 501 及 502 整體地形成，且電性連接第二電子組件安裝焊墊 501 與 502。

佈線圖案 476 包括：第二電子組件安裝焊墊 505，第二電子組件 413 安裝於該第二電子組件安裝焊墊 505 上；及導線 506，該導線 506 與該第二電子組件安裝焊墊 505 整體地形成，且連接至介層 469。

導線 481 在多個位置處設置於核心板 463 之下部面 463B 上，且連接至饋通電極 464 之下部端。絕緣層 483 沈積於核心板 463 之下部面 463B 上，且覆蓋導線 481。介層 484 形成於位於導線 481 下方的絕緣層 483 之部分中且穿過該等部分，且其上部端連接至導線 481。

內部連接端子焊墊 485 位於絕緣層 483 之下部面 483A 上，且連接至內部連接端子 405，該內部連接端子 405 連接至第一電路板 401。在此配置之情況下，第二電路板 408 經由內部連接端子 405 電性連接至第一電路板 401。內部連接端子焊墊 485 具有足夠大之長度(大小)用於安裝內部連接端子 405，該等內部連接端子 405 具有一適當直徑，在其中第一電子組件 402 及 403 可安裝於第一電路板 401 上且容納於第一電路板 401 與第

二電路板 408 之間。就此而言，假定第一電子組件 403(其高於另一第一電子組件 402)中之每一者具有 0.33 mm 之高度，且內部連接端子 405 之直徑為 0.5 mm，且內部連接端子焊墊 485 之形狀在平面圖中實質上為圓形，則內部連接端子焊墊 485 之直徑可例如為 400 μm 。(關於以上描述，參見例如專利文件 1)。

[專利文件 1] WO 2007/069606

● 根據習知半導體裝置 400，增加用於電性連接第一電路板 401 與第二電路板 408 之內部連接端子 405 之直徑，使得可獲得在第一電路板 401 與第二電路板 408 之間的空間，安裝於第一電路板 401 上之第一電子組件 402 及 403 可裝配於該空間中。結果，半導體裝置 400 之高度增加，且不可減小。

● 另外，當內部連接端子 405 之直徑增加時，相應地，內部連接端子焊墊 435、446、458、及 485(內部連接端子 405 連接至該等內部連接端子焊墊)因此必須在平面方向上擴大(其尺寸增加)。結果，第一電路板 401 及第二電路板 408 之尺寸在平面方向上擴大，且因此半導體裝置 400 不可能縱向地縮小大小。

作為用於減小半導體裝置 400 之尺寸之一方法，具有低高度(0.2 mm 或更小)之電子組件可作為第一電子組件 402 及 403 安裝於第一電路板 401 上。然而，目前可用的電子組件之陣容僅包括少數昂貴的具有令人滿意之高度的電子組件，且在普遍

情況下，將該等電子組件用於半導體裝置 400 為不可行的。

【發明內容】

當考慮上述問題時，本發明之一目的為提供可藉由減小高度及長度(如沿上部表面平面所量測)而縮小大小之半導體裝置。

根據本發明之一第一態樣，提供一種半導體裝置，其包括：

第一電子組件，

一第一電路板，其包括第一電子組件安裝焊墊，其中該等第一電子組件安裝於該等第一電子組件安裝焊墊上，及

一第二電路板，其位於該第一電路板之上，其中

第一電子組件安裝焊墊配置於第一電路板之一相對於該第二電路板之第一面上，

第一電路板與第二電路板藉由位於其間之內部連接端子而電性連接，且

一凹入部分相對於該等第一電子組件而形成於該第二電路板中，以容納該等第一電子組件之部分。

根據本發明之一第二態樣，提供根據該第一態樣之半導體裝置，其中

第一電子組件在多個位置處安裝於第一電路板上，且

該凹入部分形成於第二電路板之一相對於安裝於該第一電路板上之該等第一電子組件的部分之部分中，該等第一電子組件之該部分係高於位於第一電路板與第二電路板之間的內部連接端子之高度。

根據本發明之一第三態樣，提供根據第一態樣或第二態樣之半導體裝置，其更包括：

一密封樹脂，其設置以密封第一電路板與第二電路板之間的空間。

根據本發明之一第四態樣，提供根據第一態樣至第三態樣中之任一者之半導體裝置，其中

一饋通部分形成於第二電路板中，且穿過第二電路板之對應於該凹入部分之一底部的部分。

根據本發明之第五態樣，提供根據第一態樣至第四態樣中之任一者之半導體裝置，其中

第二電子組件安裝焊墊配置於第二電路板之一相對於一形成有凹入部分之面的面上，且

一第二電子組件安裝於該第二電子安裝焊墊上。

根據本發明之第六態樣，提供根據第一態樣至第五態樣中之任一者之半導體裝置，其中

該內部連接端子為導電球，其包括：

一核心，其用於維持第一電路板與第二電路板之間的預定距離；及

一塗層部分，其覆蓋該核心。

根據本發明之第七態樣，提供根據第一態樣至第六態樣中之任一者之半導體裝置，其更包括：

外部連接焊墊，其配置於該第一電路板之一相對於該第一面

之第二面上且電性連接至該第二電路板。

根據本發明，因為形成以容納第一電子組件之部分所設置的凹入部分在第二電路板之相對於安裝於第一電路板上之第一電子組件中，所以相較於習知配置，可減小第一電路板與第二電路板之間的距離。因此，可減小半導體裝置之高度。

此外，因為自第一電路板至第二電路板之距離已縮短(該等內部連接端子位於第一電路板與第二電路板之間)，所以內部連接端子之直徑可減小直至小於習知內部連接端子的直徑，且設置於第一電路板及第二電路板上之用於附接內部連接端子之焊墊的尺寸亦可跨越其表面之平面而減小(其大小可減小)。因此，第一電路板及第二電路板之長度可縮短，且半導體裝置可縱向地縮小大小。

根據本發明之第八態樣，提供一種半導體裝置，其包括：

第一電子組件，

一第一電路板，其包括第一電子組件安裝焊墊，該等第一電子組件安裝於該等第一電子組件安裝焊墊上，及

一第二電路板，其位於該第一電路板下方，該第二電路板面向安裝於該第一電路板上之該等第一電子組件，其中

該第一電路板與該第二電路板藉由位於其間之內部連接端子而電性連接；且

一用於容納該等第一電子組件之部分的電子組件容納饋通部分係形成於該第二電路板中，且穿過該第二電路板之一面向

該等第一電子組件之部分。

根據本發明之第九態樣，提供根據該第八態樣之半導體裝置，其中

該等第一電子組件安裝於多個位置處，且

該電子組件容納饋通部分形成於該第二電路板之一相對於安裝於該第一電路板上之該等第一電子組件的部分之部分中，該等第一電子組件之該部分高出連接至該第一電路板之該等內部連接端子的下部端。

根據本發明之第十態樣，提供根據第八態樣或第九態樣之半導體裝置，其更包括：

一密封樹脂，其設置以密封該第一電路板與該第二電路板之間的一空間。

根據本發明之第十一態樣，提供根據第八態樣至第十態樣中之任一者之半導體裝置，其中

第二電子組件安裝焊墊配置於該第一電路板之一相對於一形成有該等第一電子組件安裝焊墊之面的面上，且

一第二電子組件安裝於該第二電子組件安裝焊墊上。

根據本發明之第十二態樣，提供根據第八態樣至第十一態樣中之任一者之半導體裝置，其中

該內部連接端子為導電球，其包括：

一核心，其用於維持該第一電路板與該第二電路板之間的預定距離，及

一塗層部分，其覆蓋該核心。

根據本發明，電子組件容納饋通部分形成於該第二電路板中且穿過該第二電路板之面向安裝於第一電子電路板上的該等第一電子組件之部分，且使用於容納該等第一電子組件之部分。因此，第一電路板與第二電路板之間的距離(內部連接端子配置於第一電路板與第二電路板之間)可減小，且因此，可減小半導體裝置之高度。

此外，因為自第一電路板至第二電路板之距離已縮短(該等內部連接端子位於第一電路板與第二電路板之間)，所以內部連接端子之直徑可減小直至小於習知內部連接端子的直徑，且設置於第一電路板及第二電路板上之用於附接內部連接端子之焊墊之尺寸亦可跨越其表面的平面而減小(其大小可減小)。因此，第一電路板及第二電路板之長度可縮短，且半導體裝置可縱向地縮小大小。

根據本發明，半導體裝置可藉由減小高度及長度(如沿其上部表面之平面而量測)而縮小大小。

【實施方式】

現將參考圖式描述本發明之具體例。

(第一具體例)

圖 2 為根據本發明之第一具體例之半導體裝置之剖面圖。

參考圖 2，第一具體例之半導體裝置 10 包括：第一電路板 11、第一電子組件 12 及 13、外部連接端子 14、第二電路板

17、內部連接端子 19、密封樹脂 21、及第二電子組件 23 及 24。

第一電路板 11 為核心增層板，且包括：核心板 31、饋通電極 33、導線 34 及 47、絕緣層 35 及 49、介層 36 及 51、佈線圖案 41 至 44、內部連接端子焊墊 45、及外部連接焊墊 52。

核心板 31 為板狀形狀，且可為藉由以樹脂浸入玻璃纖維而形成之樹脂層。

饋通電極 33 在多個位置處形成於核心板 31 中且穿過核心板 31，且可使用例如 Cu 且藉由電鍍而形成。

導線 34 係放置於核心板 31 之上部面 31A 上，且連接至饋通電極 33 之上部端。導線 34 可使用例如 Cu 且藉由利用減成法而形成。

沈積於核心板 31 之上部面 31A 上以覆蓋導線 34 之絕緣層 35 可為由例如環氧樹脂或聚醯亞胺樹脂所形成之樹脂層。

介層 36 形成於覆蓋導線 34 之絕緣層 35 之部分中且穿過該等部分，且其下部端連接至導線 34。介層 36 可在形成佈線圖案 41 至 44 及內部連接端子焊墊 45 的同時使用例如 Cu 且藉由利用半加成法而形成。

佈線圖案 41 形成於絕緣層 35 之上部面 35A 之對應於第一電路板 11 之周邊部分的部分上，且連接至介層 36 之上部端。佈線圖案 41 包括：內部連接端子焊墊 54，內部連接端子 19 連接至該內部連接端子焊墊 54；第一電子組件安裝焊墊 55，第

一電子組件 12 安裝於該第一電子組件安裝焊墊 55 上；及導線 56，該導線 56 將該內部連接端子焊墊 54 電性連接至該第一電子組件安裝焊墊 55。

形成內部連接端子焊墊 54，以使其跨越其表面之平面小於（亦即，在尺寸上小於）設置用於習知半導體裝置 400 之內部連接端子焊墊 435、446、458、及 485（參見圖 1）。當內部連接端子 19 之直徑為 0.26 mm，且內部連接端子焊墊 54 之形狀在平面圖中實質上為圓形時，內部連接端子焊墊 54 之直徑可例如為 200 μm 。

佈線圖案 42 形成於絕緣層 35 之上部面 35A 之對應於第一電路板 11 之中心的部分上，且連接至介層 36 之上部端。佈線圖案 42 包括：第一電子組件安裝焊墊 57，第一電子組件 12 安裝於該第一電子組件安裝焊墊 57 上；第一電子組件安裝焊墊 58，第一電子組件 13 安裝於該第一電子組件安裝焊墊 58 上；及導線 59，該導線 59 電性連接第一電子組件安裝焊墊 57 與 58。

佈線圖案 43 形成於絕緣層 35 之上部面 35A 之對應於第一電路板 11 之中心部分的部分上，且連接至介層 36 之上部端。佈線圖案 43 包括：第一電子組件安裝焊墊 61 及 62，第一電子組件 13 安裝於第一電子組件安裝焊墊 61 及 62 上；及導線 63，該導線 63 電性連接第一電子組件安裝焊墊 61 與 62。

佈線圖案 44 形成於絕緣層 35 之上部面 35A 之對應於第一電

路板 11 之周邊部分的部分上，且連接至介層 36 之上部端。佈線圖案 44 包括：第一電子組件安裝焊墊 65，第一電子組件 13 安裝於該第一電子組件安裝焊墊 65 上；內部連接端子焊墊 66，內部連接端子 19 連接至該內部連接端子焊墊 66；及導線 67，該導線 67 將該第一電子組件安裝焊墊 65 電性連接至該內部連接端子焊墊 66。

形成內部連接端子焊墊 66，以使其跨越其表面之平面小於（亦即，在尺寸上小於）設置用於習知半導體裝置 400 之內部連接端子焊墊 435、446、458、及 485（參見圖 1）。當內部連接端子 19 之直徑為 0.26 mm，且內部連接端子焊墊 66 之形狀在平面圖中實質上為圓形時，內部連接端子焊墊 66 之直徑可例如為 200 μm 。

介層 36 及佈線圖案 41 至 44 可使用例如 Cu 且藉由利用半加成法而同時形成。

內部連接端子焊墊 45 形成於絕緣層 35 之上部面 35A（第一電路板 11 之第一面）之對應於第一電路板 11 之周邊部分的部分上。當內部連接端子 19 安裝於內部連接端子焊墊 45 上時，內部連接端子焊墊 45 可經由內部連接端子 19 電性連接至設置用於第二電路板 17 之內部連接端子焊墊 97，將在稍後描述該等內部連接端子焊墊 97。形成內部連接端子焊墊 45，以使其跨越其表面之平面小於（亦即，在尺寸上小於）設置用於習知半導體裝置 400 之內部連接端子焊墊 435、446、458、及 485（參

見圖 1)。當內部連接端子 19 之直徑為 0.26 mm，且內部連接端子焊墊 45 之形狀在平面圖中實質上為圓形時，內部連接端子焊墊 45 之直徑可例如為 200 μm 。

內部連接端子焊墊 45 可在形成介層 36 的同時使用例如 Cu 且藉由利用半加成法而形成。

導線 47 形成於核心板 31 之下部面 31B 上，且連接至饋通電極 33 之下部端。導線 47 可使用例如 Cu 且藉由利用減成法而形成。

絕緣層 49 形成於核心板 31 之下部面 31B 上以覆蓋導線 47。絕緣層 49 可為由例如環氧樹脂或聚醯亞胺樹脂所形成之樹脂層。

介層 51 形成於導線 47 下方的絕緣層 49 之部分中且穿過該等部分，且其上部端連接至導線 47。介層 51 可在形成外部連接焊墊 52 的同時使用例如 Cu 且藉由利用半加成法而形成。

外部連接焊墊 52 形成於絕緣層 49 之下部面 49A(第一電路板 11 之第二面)上，且電性連接至第一電子組件 12 及 13，該等第一電子組件 12 及 13 安裝於第一電路板 11 上。

因為外部連接焊墊 52 安裝於絕緣層 49 之下部面 49A 上，所以半導體裝置 10 可經由外部連接端子 14 電性連接至諸如母板之安裝板(未圖示)。

外部連接焊墊 52 可在形成介層 51 的同時使用例如 Cu 且藉由利用半加成法而形成。

第一電子組件 12 安裝於第一電子組件安裝焊墊 55 及 57 上，且經由佈線圖案 41 電性連接至內部連接端子 19。第一電子組件 12 之高度 H_1 小於位於第一電路板 11 與第二電路板 17 之間的內部連接端子 19 之高度 H_3 。半導體晶片可用作實例第一電子組件 12。當半導體晶片用作第一電子組件 12 時，安裝於第一電子組件安裝焊墊 55 及 57 上之第一電子組件 12 之高度 H_1 可例如為 0.1 mm。

第一電子組件 13 安裝於第一電子組件安裝焊墊 58、61、62、及 65 上，且經由佈線圖案 42 電性連接至第一電子組件 12。第一電子組件 13 之高度 H_2 大於位於第一電路板 11 與第二電路板 17 之間的內部連接端子 19 之高度 H_3 。第一電子組件 13 可例如為晶片電容器、晶片電阻器、或晶片電感器。當晶片電容器、晶片電阻器、或晶片電感器用作第一電子組件 13 時，安裝於第一電子組件安裝焊墊 58、61、62、及 65 上之第一電子組件 13 之高度 H_2 可例如為 0.33 mm。

外部連接端子 14 配置於外部連接焊墊 52 上以將諸如母板之安裝板(未圖示)電性連接至半導體裝置 10。焊球可用於外部連接端子 14，且外部連接端子 14 之形成可在第二電子組件 23 及 24 已安裝於第二電路板 17 上之後(亦即在處理結束時)執行。應注意，可首先形成外部連接端子 14，且其後，可安裝第二電子組件 23 及 24。

第二電路板 17 為核心增層板，且位於第一電路板 11 上方。

第二電路板 17 經由內部連接端子 19 電性連接至第一電路板 11，該等內部連接端子 19 配置於第一電路板 11 與第二電路板 17 之間。

第二電路板 17 包括：核心板 71、饋通電極 73、導線 74 及 91、絕緣層 75 及 93、介層 76 及 95、佈線圖案 81 至 83 及 87、第二電子組件安裝焊墊 85、凹入部分 94、及內部連接端子焊墊 97。

核心板 71 為板狀形狀板，且具有穿過核心板 71 之對應於形成凹入部分 94 之區域之部分的饋通部分 72。因此，饋通部分 72 為用於界定凹入部分 94 之形式之組件中的一者。核心板 71 可為例如藉由以樹脂浸入玻璃纖維而形成之樹脂層。

饋通電極 73 在多個位置處形成於核心板 71 中且穿過核心板 71。饋通電極 73 可使用例如 Cu 且藉由電鍍而形成。

導線 74 延伸跨越核心板 71 之上部面 71A，且連接至饋通電極 73 之上部端。導線 74 可藉由使用例如 Cu 且藉由利用減成方法而形成。

絕緣層 75 沈積於核心板 71 之上部面 71A 上，以覆蓋饋通電極 72 及導線 74。如上所述，因為絕緣層 75 沈積於核心板 71 之上部面 71A 上以覆蓋設置用於核心板 71 之饋通部分 72，所以相較於設置饋通部分用於絕緣層 75 之相對於饋通部分 72 之部分的情況(取代凹入部分 94 形成饋通部分之情況)而言，可改善絕緣層 75 之上部面 75A 之平面化。因此，第二電子組件

23 及 24 可精確地安裝於設置於絕緣層 75 之上部面 75A 上之第二電子組件安裝焊墊 85、101、102、105、106、111、及 112 上，稍後將描述該等第二電子組件安裝焊墊。絕緣層 75 可為由例如環氧樹脂或聚醯亞胺樹脂所製成之樹脂層。

介層 76 形成於覆蓋導線 74 之絕緣層 75 之部分中且穿過該等部分，介層 76 之下部端連接至導線 74。

佈線圖案 81 形成於絕緣層 75 之上部面 75A 之對應於第二電路板 17 之周邊部分的部分上，且連接至介層 76 之上部端。佈線圖案 81 包括：第二電子組件安裝焊墊 101 及 102，第二電子組件 24 安裝於第二電子組件安裝焊墊 101 及 102 上；及導線 103，該導線 103 電性連接第二電子組件安裝焊墊 101 與 102。

佈線圖案 82 形成於絕緣層 75 之上部面 75A 之對應於第二電路板 17 之中心部分的部分上，且連接至介層 76 之上部端。佈線圖案 82 包括：第二電子組件安裝焊墊 105，第二電子組件 24 安裝於該第二電子組件安裝焊墊 105 上；第二電子組件安裝焊墊 106，第二電子組件 23 安裝於該第二電子組件安裝焊墊 106 上；及導線 107，該導線 107 電性連接第二電子組件安裝焊墊 105 與 106。

佈線圖案 83 形成於絕緣層 75 之上部面 75A 之對應於第二電路板 17 之周邊部分的部分上，且連接至介層 76 之上部端。佈線圖案 83 包括：第二電子組件安裝焊墊 111，第二電子組件

23 安裝於該第二電子組件安裝焊墊 111 上；第二電子組件安裝焊墊 112，第二電子組件 24 安裝於該第二電子組件安裝焊墊 112 上；及導線 113，該導線 113 電性連接第二電子組件安裝焊墊 111 與 112。

第二電子組件安裝焊墊 85 配置於絕緣層 75 之上部面 75A 之對應於第二電路板 17 之周邊部分的部分上。第二電子組件安裝焊墊 85 用於安裝第二電子組件 24。

佈線圖案 87 形成於絕緣層 75 之上部面 75A 之對應於形成凹入部分 94 之區域的部分上。佈線圖案 87 電性連接至第二電子組件 23 及/或第二電子組件 24。

如上所述，因為佈線圖案 87 形成於絕緣層 75 之上部面 75A 之對應於形成凹入部分 94(設置用於容納第一電子組件 13 之部分的凹入部分)之區域的部分中，所以可增加半導體裝置 10 之封裝密度。作為另一方法，取代凹入部分 94，可形成穿過第二電路板 17(具體言之，在此具體例中之核心板 71 及絕緣層 75 及 93)之饋通部分。然而，在此情況下，佈線圖案 87 不能在第一電子組件 13 之上形成，且封裝密度不能增加。

介層 76、佈線圖案 81 至 83、第二電子組件安裝焊墊 85、及佈線圖案 87 可使用例如 Cu 且藉由利用半加成法而同時形成。

導線 91 形成於核心板 71 之下部面 71B 上，且連接至饋通電極 73 之下部端。導線 91 可使用例如 Cu 且藉由利用減成法而

形成。

沈積於核心板 71 之下部面 71B 上以覆蓋導線 91 之絕緣層 93 包括饋通部分 114，該饋通部分 114 為凹入部分 94 之組件其中之一者且穿過對應於形成凹入部分 94 之區域的絕緣層 93。絕緣層 93 可為由例如環氧樹脂或聚醯亞胺樹脂所製成之樹脂層。

凹入部分 94 形成於第二電路板 17 之相對於第一電子組件 13(安裝於第一電路板 11 上之多個第一電子組件 12 及 13 之部分)之部分中，該等第一電子組件 13 之高度大於位於第一電路板 11 與第二電路板 17 之間的內部連接端子 19 中之每一者之高度 H_3 。凹入部分 94 包括形成於絕緣層 93 中之饋通部分 114 及穿過核心板 71 之饋通部分 72，且用於容納安裝於第一電路板 11 上的第一電子組件 13 之部分。

如上所述，用於容納第一電子組件 13 之部分之凹入部分 94 形成於第二電路板 17 之相對於第一電子組件 13(安裝於第一電路板 11 上之多個第一電子組件 12 及 13 中之兩個)的部分中，該等第一電子組件 13 之共同高度大於位於第一電路板 11 與第二電路板 17 之間的內部連接端子 19 中之每一者之高度 H_3 。因此，由此設置於第一電路板 11 與第二電路板 17 之間的上部定位有內部連接端子 19 之空間(具體言之，自內部連接端子焊墊 45、54、及 66 至內部連接端子焊墊 97 之距離)小於習知地設置之空間，使得半導體 10 之高度可減小。

此外，當第一電路板 11 與第二電路板 17 之間形成內部連接端子 19 之部分處可用的空間較小時，配置於其中之內部連接端子 19 之直徑可減小為小於設置用於習知半導體裝置 400 之內部連接端子 405(參見圖 1)的直徑(例如，0.5 mm)。因此，可減小設置用於第一電路板 11 之連接端子焊墊 45、54、及 66 以及設置用於第二電路板 17 之內部連接端子焊墊 97 跨越表面平面之尺寸，亦即，可減小內部連接端子焊墊 45、54、66、及 97 的大小。因此，第一電路板 11 及第二電路板 17 之尺寸可在其表面平面之方向上減小，且半導體裝置 10 可縱向地縮小大小。

另外，因為用於容納第一電子組件 13 之部分之凹入部分 94 僅相對於第一電子組件 13 而形成於第二電路板 17 中(第一電子組件 13 之高度大於內部連接端子 19 之高度 H_3)，所以形成於第二電路板 17 中之凹入部分 94 的尺寸應與環境允許一樣小。以此方式，可防止第二電路板 17 之強度之由於凹入部分 94 之形成的過度惡化。

取代如前所述在第二電路板 17 中形成凹入部分 94，可形成穿過絕緣層 93 及核心板 71 的相對於安裝於第一電路板 11 上之第一電子組件 12 及 13 之凹入部分。亦在此情況下，半導體裝置 10 亦可藉由減小其高度及其長度(如沿其上部表面之平面所量測)而縮小大小。

介層 95 形成於導線 91 下方之絕緣層 93 之部分中且穿過該

等部分，介層 95 之上部端連接至導線 91。

內部連接端子焊墊 97 配置於沿絕緣層 93 之下部面 93A 之多個位置處，且連接至介層 95 之下部端。內部連接端子焊墊 97 用於安裝內部連接端子 19，且經由內部連接端子 19 電性連接至內部連接端子焊墊 45 中之一者或電性連接至內部連接端子焊墊 54 或 66，所有該等焊墊均設置用於第一電路板 11。如所形成之跨越其表面平面的內部連接端子焊墊 97 小於(在大小上小於)設置用於習知半導體裝置 400 之內部連接端子焊墊 435、446、458、及 485(參見圖 1)。當內部連接端子 19 之直徑為 0.26 mm，且內部連接端子焊墊 97 之形狀在平面圖中實質上為圓形時，內部連接端子焊墊 97 之直徑可例如為 200 μm 。

以上所述之介層 95 及內部連接端子焊墊 97 可使用例如 Cu 且藉由利用半加成法而同時形成。

內部連接端子 19 位於第一電路板 11 與第二電路板 17 之間，且連接至內部連接端子焊墊 45 中之一者或連接至內部連接端子焊墊 54 或 66(所有該等焊墊係設置用於第一電路板 11)，且連接至設置用於第二電路板 17 之內部連接端子焊墊 97。因此，內部連接端子 19 將第一電路板 11 電性連接至第二電路板 17。內部連接端子 19 可例如為導電球，其包括核心 115 及其覆蓋塗層部分 116，該等導電球維持在第一電路板 11 與第二電路板 17 之間的預定距離。

如上所述，使用導電球作為用於維持第一電路板 11 與第二

電路板 17 之間的預定距離之內部連接端子 19，對該等內部連接端子 19 設置核心 115。因此，即使當外力施加於半導體裝置 10 時，第一電路板 11 與第二電路板 17 之間的預定距離仍可維持。此外，內部連接端子 19 亦用作間隔物，該等間隔物能使第二電路板 17 在第一電路板 11 上之精確、接近平行的設置。

核心 115 可例如為金屬球(例如，Cu 球)或樹脂球。用於樹脂球之實例材料可為聚苯乙烯、聚丙烯酸酯、及聚氯乙烯，且用於塗層部分 116 之材料可例如為焊料。內部連接端子 19 之直徑可例如為 0.26 mm，且在此情況下，核心 115 之直徑可例如為 0.20 mm。另外，當內部連接端子 19 之直徑為 0.26 mm 且核心 115 之直徑為 0.20 mm 時，位於內部連接焊墊 45、54、及 66 與內部連接端子焊墊 97 之間的內部連接端子 19 之高度 H_3 可例如為 200 μm 。

密封樹脂 21 填充由第一電路板 11 及第二電路板 17 所界定之空間(包括在凹入部分 94 內之空間)，內部連接端子 19 及第一電子組件 12 及 13 係位於該空間中，亦即，密封樹脂 21 用於封閉配置於第一電路板 11 與第二電路板 17 之間的內部連接端子 19 及第一電子組件 12 及 13。密封樹脂 21 可例如為環氧樹脂。

根據此配置，因為密封樹脂 21 係設置以填充第一電路板 11 與第二電路板 17 之間配置有內部連接端子 19 及第一電子組件

12 及 13 的空間，所以可防止對內部連接端子 19 及第一電子組件 12 及 13 之損害。此外，可增加半導體裝置 10 之強度。

在借助於內部連接端子之連接已在第一電路板 11(在其上安裝第一電子組件 12 及 13)與第二電路板 17(其上尚未安裝第二電子組件 23 及 24)之間完成之後設置密封樹脂 21。

第二電子組件 23 安裝於配置於第二電路板 17 上之第二電子組件安裝焊墊 106 及 111 上。例如半導體晶片可用作第二電子組件 23，且在此情況下，底部填充樹脂可設置於第二電子組件 23 與第二電路板 17 之間。

第二電子組件 24 安裝於配置於第二電路板 17 上之第二電子組件安裝焊墊 85、101、102、105、及 112 上。晶片電容器、晶片電阻器、或晶片電感器可用作第二電子組件 24。用於將第二電子組件 23 及 24 安裝於第二電路板 17 上之製程係在已設置密封樹脂 21 之後執行。

根據此配置，因為第二電子組件安裝焊墊 85、101、102、105、106、111、及 112 安裝於第二電路板 17 之絕緣層 75 之上部面 75A(第二電路板 17 相對於形成凹入部分 94 之面的面)上，且因為第二電子組件 23 及 24 安裝於第二電子組件安裝焊墊 85、101、102、105、106、111、及 112 上，所以可增加半導體裝置 10 之封裝密度。

具有此配置之半導體裝置 10 可使用熟知方法而製造，除了第二電路板 17 係使用具有饋通部分 72 之核心板 71 及具有饋

通部分 114 之絕緣層 93 而形成。饋通部分 72 及 114 可例如使用繞送器(router)而形成。

根據此具體例之半導體裝置 10，用於容納第一電子組件 13 之部分之凹入部分 94 形成於第二電路板 17 之相對於第一電子組件 13(安裝於第一電路板 11 上之多個第一電子組件 12 及 13 中之兩者)的部分中，該等第一電子組件 13 之共同高度大於位於第一電路板 11 與第二電路板 17 之間的內部連接端子 19 中之每一者之高度 H_3 。因此，由此設置於第一電路板 11 與第二電路板 17 之間的上部定位有內部連接端子 19 之空間(具體言之，自內部連接端子焊墊 45、54、及 66 至內部連接端子焊墊 97 之距離)小於習知地設置之空間，使得可減小半導體 10 之高度。

此外，當第一電路板 11 與第二電路板 17 之間形成內部連接端子 19 之部分處可用的空間係小的時，配置於其中之內部連接端子 19 之直徑可減小為小於設置用於習知半導體裝置 400 之內部連接端子 405(參見圖 1)的直徑(例如，0.5 mm)。因此，設置用於第一電路板 11 之連接端子焊墊 45、54、及 66 以及設置用於第二電路板 17 之內部連接端子焊墊 97 之跨越表面平面之尺寸可減小，亦即，可減小內部連接端子焊墊 45、54、66、及 97 的大小。因此，第一電路板 11 及第二電路板 17 之尺寸可在其表面平面之方向上減小，且半導體裝置 10 可縱向地縮小大小。

在此具體例中，已藉由利用在使用形成於絕緣層 93 中之饋通部分 114 及穿過核心板 71 之饋通部分 72 界定凹入部分 94 之情況而給出描述。然而，凹入部分 94 可使用形成於絕緣層 93 中之饋通部分 114 及未穿過核心板 71 之開口來界定。

圖 3 為本發明之第一具體例之半導體裝置之第一修改的剖面圖。在圖 3 中，對於對應於第一具體例之半導體裝置 10 之組件的組件提供與用於第一具體例中之元件符號相同的元件符號。

參考圖 3 時，用於第一具體例之第一修改之半導體裝置 130 具有與半導體裝置 10 相同之配置，除了饋通部分 131 形成於第一具體例之半導體裝置 10 的絕緣層 75 中。饋通部分 131 在對應於凹入部分 94 之底部之位置處形成為絕緣層 75 中之通孔。在此情況下，例如通孔可用作饋通部分 131。當通孔用作饋通部分 131 時，通孔之直徑可例如為 $500\ \mu\text{m}$ 。

因為自凹入部分 94 之底部穿過絕緣層 75 而形成饋通部分 131，所以在執行以將密封樹脂 21 注入至第一電路板 11 與第二電路板 17 之間的空間(包括凹入部分 94 之空間)中之製程期間，第一電路板 11 與第二電路板 17 之間的空氣經由饋通部分 131 自半導體裝置 10 排出。因此，第一電路板 11 與第二電路板 17 之間的空間可精確地以密封樹脂 21 填充(而不存在空隙)。

根據第一具體例之第一修改之半導體裝置，因為饋通部分

131 在對應於凹入部分 94 之底部之位置處穿過絕緣層 75，所以第一電路板 11 與第二電路板 17 之間的空間可精確地以密封樹脂 21 填充(而不存在空隙)。

第一具體例之第一修改之半導體裝置 130 可提供與第一具體例之半導體裝置 10 可提供之效果相同的效果。為了進一步說明，第一修改已藉由利用在使用形成於絕緣層 93 中之饋通部分 114 及穿過核心板 71 之饋通部分 72 界定凹入部分 94 之情況來描述。然而，凹入部分 94 可使用形成於絕緣層 93 中之饋通部分 114 及未穿過核心板 71 之開口來界定。在此修改中，可如在第一修改中而設置通孔。

圖 4 為根據本發明之第一具體例之第二修改之半導體裝置的剖面圖。在圖 4 中，對於對應於第一具體例之半導體裝置 10 之組件的組件提供與用於第一具體例中之元件符號相同的元件符號。

參考圖 4 時，第一具體例之第二修改之半導體裝置 140 具有與第一具體例之半導體裝置 10 相同的配置，除了利用在高度上低於安裝用於半導體裝置 10 之第一電子組件 13 之第一電子組件 142，且利用第二電路板 141 取代用於半導體裝置 10 之第二電路板 17。

第一電子組件 142 安裝於配置於第一電路板 11 上之第一電子組件安裝焊墊 58、61、62、及 65 上。第一電子組件 142 之高度 H_4 小於第一電子組件 13 之高度 H_2 。第一電子組件 142 可

例如為晶片電容器、晶片電阻器、或晶片電感器。

第二電路板 141 以與用於半導體裝置 10 之相同方式形成，除了形成凹入部分 143 而取代圖 2 中之凹入部分 94，該凹入部分 94 形成於第二電路板 17 中。

凹入部分 143 由形成於絕緣層 93 中之饋通部分 114 及核心板 71 之下部面 71B(其一起對應於饋通部分 114)界定。亦即，圖 2 展示之饋通部分 72 未形成於核心板 71 中。

如上所述，因為第一電子組件 142 之高度 H_4 係小的，所以用於容納第一電子組件 142 之部分之凹入部分 143 可藉由僅在絕緣層 93 中形成饋通部分 114 而製備。關於此配置，因為饋通部分 72 未形成於核心板 71 中，所以第二電路板 141 之強度將大於圖 2 中之第二電路板 17 的強度。

根據此配置，第一具體例之第二修改之半導體裝置 140 可提供與第一具體例之半導體裝置 10 相同的效果。此外，在此具體例中，饋通部分可自凹入部分 143 之底部穿過核心板 71 及絕緣層 75 而形成，亦即，可形成具有與圖 3 所展示之饋通部分 131 相同的功能之饋通部分。

此具體例之第二修改已藉由在利用凹入部分 143 由形成於絕緣層 93 中之饋通部分 114 及核心板 71 之下部面 71B(其一起對應於饋通部分 114)來界定之情況而得到描述。然而，可形成不完全穿過的絕緣層 93 中之開口，且此可用作凹入部分 143。

(第二具體例)

圖 5 為根據本發明之第二具體例之半導體裝置之剖面圖。在圖 5 中，對於對應於第一具體例之第二修改之半導體裝置 140 之組件的組件提供與第一具體例中之元件符號相同的元件符號。

參考圖 5 時，第二具體例之半導體裝置 150 具有與第一具體例之第二修改之半導體裝置 140 相同的配置，除了設置第一無核心電路板 151 及第二無核心電路板 152 來取代第一電路板 11 及第二電路板 141，第一電路板 11 及第二電路板 141 為用於半導體裝置 140 之核心增層板。

第一電路板 151 具有與第一電路板 11 相同之結構，除了設置絕緣層 161 及介層 163 來取代設置用於圖 4 展示之第一電路板 11 的核心板 31 及饋通電極 33，且導線 34、佈線圖案 41 至 44、及內部連接端子焊墊 45 配置於與用於第一電路板 11 之位置不同之位置處。

絕緣層 161 位於絕緣層 35 與絕緣層 49 之間，且例如由環氧樹脂或聚醯亞胺樹脂所製成之樹脂層可用作絕緣層 161。導線 47 及覆蓋導線 47 之絕緣層 49 設置於絕緣層 161 之下部面 161B 上。

佈線圖案 34 形成於絕緣層 161 內部，使得佈線圖案 34 之連接介層 36 之面可實質上與絕緣層 161 之上部面 161A 在相同的平面上。

介層 163 穿過絕緣層 161 之位於導線 34 與導線 47 之間的部分

分而形成，且連接導線 34 與導線 47。亦即，介層 163、導線 34、及導線 47 係電性連接。

佈線圖案 41 及 44 及內部連接端子焊墊 45 形成於絕緣層 35 之內部，使得佈線圖案 41 至 44 及內部連接端子焊墊 45 的上面安裝有內部連接端子 19 之面可實質上與絕緣層 35 之上部面 35A 在相同的平面上。

第二電路板 152 位於第一電路板 151 上方，使得第二電路板 152 相對於第一電路板 151 之上面安裝有第一電子組件 12 及 142 之面。第二電路板 152 經由內部連接端子 19 電性連接至第一電路板 151，該等內部連接端子 19 位於第一電路板 151 與第二電路板 152 之間。與用於圖 4 中之第二電路板 141 之配置相同的配置用於第二電路板 152，除了形成絕緣層 171 及介層 173 來取代設置用於第二電路板 141 之核心板 71 及饋通電極 73，導線 74、佈線圖案 81 至 83 及 87、及第二電子組件安裝焊墊 85 配置於與用於第二電路板 141 之位置不同的位置處，且額外地形成凹入部分 153。

絕緣層 171 位於絕緣層 75 與絕緣層 93 之間，且例如由環氧樹脂或聚醯亞胺樹脂所製成之樹脂層可用作絕緣層 171。覆蓋導線 91 且具有饋通部分 114 之絕緣層 93 形成於絕緣層 171 之下部面 171B 上。

佈線圖案 74 設置於絕緣層 171 內部，使得佈線圖案 74 之連接至介層 76 的面可實質上在與絕緣層 171 之上部面 171A 在相

同的平面上。

介層 173 形成於位於導線 74 與導線 91 之間之絕緣層 171 的部分中且穿過該等部分，且電性連接導線 74 與導線 91。

佈線圖案 81 至 83 及 87 及第二電子組件安裝焊墊 85 配置於絕緣層 75 之內部，使得佈線圖案 81 至 83 及 87 及第二電子組件安裝焊墊 85 之上面安裝有第二電子組件 23 及 24 之面可實質上與絕緣層 75 之上部面 75A 在相同的平面上。佈線圖案 81 至 83 及 87 及第二電子組件安裝焊墊 85 可例如為 Ni/Au 堆積膜(其藉由使 Ni 膜(例如，具有 $5.0\ \mu\text{m}$ 之厚度)及 Au 層(例如，具有 $0.5\ \mu\text{m}$ 之厚度)以指定順序在絕緣層 75 之上部面 75A 下方向內堆積而形成)、Ni/Pd/Au 堆積膜(其藉由使 Ni 層、Pd 層及 Au 層以指定順序在絕緣層 75 之上部面 75A 下方向內堆積而形成)、或 Pd/Au 堆積膜(其藉由使 Pd 層及 Au 層以指定順序在絕緣層 75 之上部面 75A 下方向內堆積而形成)。

凹入部分 153 由形成於絕緣層 93 中之饋通部分 114 及絕緣層 171 之下部面 171B(對應於凹入部分 153 之底部之面)界定。凹入部分 153 用於容納第一電子組件 142 之部分。

根據此具體例，因為薄於核心增層板之無核心板用作第一電路板 151 及第二電路板 152 以構成半導體裝置 150，所以半導體裝置 150 之高度可減少更多。

藉由上述配置，第二具體例之半導體裝置 150 可提供與第一具體例之半導體裝置 10 所提供之效果相同的效果。

此具體例已藉由利用無核心板用作第一電路板 151 及第二電路板 152 之情況而被描述。然而，第一及第二電路板中之一者可為無核心板，且另一電路板可為核心增層板。此配置仍可提供與第一具體例之半導體裝置 10 所提供之效果相同的效果。

此外，在此具體例之描述中，凹入部分 153 已使用形成於絕緣層 93 中之饋通部分 114 及絕緣層 171 之下部面 171B(對應於凹入部分 153 之底部之面)來界定。然而，未完全穿過絕緣層 93 之開口可形成於絕緣層 93 中且可用作凹入部分 153。

(第三具體例)

圖 6 為根據本發明之第三具體例之半導體裝置之剖面圖。在圖 6 中，對於對應於第一具體例之第二修改中之半導體裝置 140 的組件之組件亦提供與用於第一具體例之第二修改中之元件符號相同的元件符號。

參考圖 6 時，第三具體例之半導體裝置 180 包括：第一電路板 181、第一電子組件 12 及 13、第二電子組件 182、第二電路板 184、外部連接端子 14、內部連接端子 19、及密封樹脂 21。

第一電路板 181 具有與圖 4 展示之第二電路板 141(圖 4 中之半導體裝置 140 之組件中的一者)相同之配置，除了不需要凹入部分 143，設置佈線圖案 187 及第二電子組件安裝焊墊 188 來取代設置用於第二電路板 141 之佈線圖案 81 至 83 及第二電

子組件安裝焊墊 85，且額外地形成佈線圖案 191 至 194。

佈線圖案 187 位於絕緣層 75 之上部面 75A 之對應於第一電路板 181 之周邊部分的部分上，且連接至介層 76 之上部端。佈線圖案 187 包括：第二電子組件安裝焊墊 201，第二電子組件 182 安裝於該第二電子組件安裝焊墊 201 上；及導線 202，其與第二電子組件安裝焊墊 201 整體地形成，且連接至介層 76。佈線圖案 187 可使用例如 Cu 且藉由利用半加成法而與介層 76 同時形成。

第二電子組件安裝焊墊 188 位於絕緣層 75 之上部面 75A 之對應於第一電路板 181 之中心部分的部分上，且連接至介層 76 之上部端。在此配置之情況下，第二電子組件 182 安裝於第二電子組件安裝焊墊 188 上。第二電子組件安裝焊墊 188 可使用例如 Cu 且藉由利用半加成法與介層 76 同時形成。

佈線圖案 191 配置於絕緣層 93 之下部面 93A 之對應於第一電路板 181 的周邊部分且連接至介層 95 之下部端的部分上。佈線圖案 191 包括：內部連接端子焊墊 205，內部連接端子 19 配置於該內部連接端子焊墊 205 上；第一電子組件安裝焊墊 206，第一電子組件 12 安裝於該第一電子組件安裝焊墊 206 上；及導線 207，該導線 207 將該內部連接端子焊墊 205 電性連接至該第一電子組件安裝焊墊 206。

形成內部連接端子焊墊 205，以使得其跨越其表面之平面小於(亦即，在大小上小於)設置用於習知半導體裝置 400 之內部

連接端子焊墊 435、446、458、及 485(參見圖 1)。當內部連接端子 19 之直徑為 0.26 mm，且內部連接端子焊墊 205 之形狀在平面圖中實質上為圓形時，內部連接端子焊墊 205 之直徑可例如為 200 μm 。

佈線圖案 192 形成於絕緣層 93 之上部面 93A 之對應於第一電路板 181 之中心的部分上，且連接至介層 95 之下部端。佈線圖案 192 包括：第一電子組件安裝焊墊 211，第一電子組件 12 安裝於該第一電子組件安裝焊墊 211 上；第一電子組件安裝焊墊 212，第一電子組件 13 安裝於該第一電子組件安裝焊墊 212 上；及導線 213，該導線 213 電性連接第一電子組件安裝焊墊 211 與 212。

佈線圖案 193 形成於絕緣層 93 之下部面 93A 之對應於第一電路板 181 之中心部分的部分上，且連接至介層 95 之下部端。佈線圖案 193 包括：第一電子組件安裝焊墊 215 及 216，第一電子組件 13 安裝於第一電子組件安裝焊墊 215 及 216 上；及導線 217，該導線 217 電性連接第一電子組件安裝焊墊 215 與 216。

佈線圖案 194 形成於絕緣層 93 之下部面 93A 之對應於第一電路板 181 之周邊部分的部分上，且連接至介層 95 之下部端。佈線圖案 194 包括：第一電子組件安裝焊墊 221，第一電子組件 13 安裝於該第一電子組件安裝焊墊 221 上；內部連接端子焊墊 222，內部連接端子 19 連接至該內部連接端子焊墊 222；

及導線 223，該導線 223 將該第一電子組件安裝焊墊 221 電性連接至該內部連接端子焊墊 222。

形成內部連接端子焊墊 222，以使得其跨越其表面之平面小於(亦即，在大小上小於)設置用於習知半導體裝置 400 之內部連接端子焊墊 435、446、458、及 485(參見圖 1)。當內部連接端子 19 之直徑為 0.26 mm，且內部連接端子焊墊 222 之形狀在平面圖中實質上為圓形時，內部連接端子焊墊 222 之直徑可例如為 200 μm 。

具有上述結構之佈線圖案 191 至 194 可使用例如 Cu 且藉由利用半加成法而與介層 95 同時形成。

第一電子組件 12 安裝於設置於第一電路板 181 之下部面(相對於第二電路板 184 之面)上的第一電子組件安裝焊墊 206 及 211 上。

第一電子組件 13 安裝於配置於第一電路板 181 之下部面上之第一電子組件安裝焊墊 212、215、216、及 221 上。在此情況下，在安裝於第一電路板 181 上之多個第一電子組件 12 及 13 中，第一電子組件 13 為具有高出連接至第一電路板 181 之內部連接端子 19 之下部端的高度之組件。

第二電子組件 182 安裝於配置於第一電路板 181 之上部面上之第二電子組件安裝焊墊 188 及 201 上。

相對於安裝於第一電路板 181 上之第一電子組件 12 及 13 之第二電路板 184 係位於第一電路板 181 之下。且第二電路板

184 經由設置於第一電路板 181 與第二電路板 184 之間的內部連接端子 19 電性連接至第一電路板 181。

第二電路板 184 具有與圖 4 中之第一電路板 11(圖 4 中之半導體裝置 140 之組件中的一者)相同之配置，除了不需要佈線圖案 41 至 44，且電子組件容納饋通部分 225 係形成以容納第一電子組件 13 之部分。

電子組件容納饋通部分 225 係形成穿過核心板 31 及絕緣層 35 及 49 之與第一電子組件 13 相對的部分，第一電子組件 13 具有高出連接至第一電路板 181 之內部連接端子 19 之下部端的高度。

根據此配置，因為用於容納第一電子組件 13 之部分之電子組件容納饋通部分 225 形成於第二電路板 184 的相對於第一電子組件 13 之部分中，該等第一電子組件 13 安裝於第一電路板 181 上且具有高出連接至第一電路板 181 之內部連接端子 19 之下部端的高度，所以第一電路板 181 與第二電路板 184 之間的距離(內部連接端子 19 之間的距離(具體言之，內部連接端子焊墊 45 與內部連接端子焊墊 97、205、及 222 之間的距離))小於習知距離。因此，可減小半導體 180 之高度。

此外，當在第一電路板 181 與第二電路板 184 之間於形成內部連接端子 19 之位置處可用的空間係小的時，配置於其中之內部連接端子 19 之直徑可減小為小於設置用於習知半導體裝置 400 的內部連接端子 405 之直徑(例如，0.5 mm)。因此，設

置用於第一電路板 181 之內部連接端子焊墊 45 以及設置用於第二電路板 184 之內部連接端子焊墊 97、205、及 222 之跨越表面平面之尺寸可減小，亦即，內部連接端子焊墊 45、97、205、及 222 的大小可減小。因此，第一電路板 181 及第二電路板 184 之尺寸可在其表面平面之方向上減小，且半導體裝置 180 可縱向地縮小大小。

外部連接端子 14 安裝於配置於第二電路板 184 上之外部連接焊墊 52 上。設置內部連接端子 19 以將設置用於第二電路板 184 之內部連接端子焊墊 45 連接至設置用於第一電路板 181 之內部連接端子焊墊 97、205、或 222。

密封樹脂 21 用於填充第一電路板 181 與第二電路板 184 之間的空間及在電子組件容納饋通部分 225 中的空間。因此，密封樹脂 21 封閉位於第一電路板 181 與第二電路板 184 之間的第一電子組件 12 及 13 及內部連接端子 19。密封樹脂 21 之界定電子組件容納饋通部分 225 的下部面 21A 實質上與絕緣層 49 之下部面 49A 在相同的平面上。

根據第三具體例之半導體裝置 180，用於容納第一電子組件 13 之部分的電子組件容納饋通部分 225 形成於第二電路板 184 之相對於第一電子組件 13 的部分中，該等第一電子組件 13 安裝於第一電路板 181 上且具有高出連接至第一電路板 181 之內部連接端子 19 之下部端之高度。因此，第一電路板 181 與第二電路板 184 之間配置有內部連接端子 19 之距離(具體言之，

內部連接端子焊墊 45 與內部連接端子焊墊 97、205、及 222 之間的距離)可小於習知距離。因此，可減小半導體 180 之高度。

此外，當在第一電路板 181 與第二電路板 184 之間於形成內部連接端子 19 之部分處可用的空間係小的時，配置於其中之內部連接端子 19 之直徑可減小為小於設置用於習知半導體裝置 400 之內部連接端子 405 的直徑(例如，0.5 mm)。因此，設置用於第二電路板 184 之內部連接端子焊墊 45 以及設置用於第一電路板 181 之內部連接端子焊墊 97、205、及 222 之跨越表面平面之尺寸可減小，亦即，可減小內部連接端子焊墊 45、97、205、及 222 的大小。因此，第一電路板 181 及第二電路板 184 之尺寸可在其表面平面之方向上減小，且半導體裝置 180 可縱向地縮小大小。

此具體例已藉由利用將核心增層板用作第一電路板 181 及第二電路板 184 之情況而得到描述；然而，不具有核心板之無核心板(圖 5 展示之電路板)可用作第一電路板 181 及第二電路板 184。在此情況下，仍可獲得使用此具體例之半導體裝置 180 所獲得之效果。

此外，在針對此具體例給出之描述中，第一電子組件 12 已安裝於第一電路板 181 上。然而，第一電子組件 12 可安裝於第二電路板 184 上(具體言之，安裝於第二電路板 184 之相對於第一電路板 181 之部分上)。

已詳細描述了本發明之較佳具體例。然而，本發明不限於此等特定具體例，且可在本發明之標的之範疇內進行不同地修改或改變。

本發明可應用於電子組件配置於兩個增層電路板之間的半導體裝置。

【圖式簡單說明】

圖 1 為習知半導體裝置之剖面圖。

圖 2 為根據本發明之第一具體例之半導體裝置之剖面圖。

圖 3 為根據本發明之第一具體例之第一修改的半導體裝置之剖面圖。

圖 4 為根據本發明之第一具體例之第二修改的半導體裝置之剖面圖。

圖 5 為根據本發明之第二具體例之半導體裝置之剖面圖。

圖 6 為根據本發明之第三具體例之半導體裝置之剖面圖。

【主要元件符號說明】

10	半導體裝置
11	第一電路板
12	第一電子組件
13	第一電子組件
14	外部連接端子
17	第二電路板
19	內部連接端子

- 21 密封樹脂
- 21A 饋通部分的下部面
- 23 第二電子組件
- 24 第二電子組件
- 31 核心板
- 31A 核心板之上部面
- 31B 核心板之下部面
- 33 饋通電極
- 34 導線
- 35 絕緣層
- 35A 絕緣層之上部面
- 36 介層
- 41 佈線圖案
- 42 佈線圖案
- 43 佈線圖案
- 44 佈線圖案
- 45 內部連接端子焊墊
- 47 導線
- 49 絕緣層
- 49A 絕緣層之下部面
- 51 介層
- 52 外部連接焊墊

54	內部連接端子焊墊
55	第一電子組件安裝焊墊
56	導線
57	第一電子組件安裝焊墊
58	第一電子組件安裝焊墊
59	導線
61	第一電子組件安裝焊墊
62	第一電子組件安裝焊墊
63	導線
65	第一電子組件安裝焊墊
66	內部連接端子焊墊
67	導線
71	核心板
71A	核心板之上部面
71B	核心板之下部面
72	饋通部分
73	饋通電極
74	導線
75	絕緣層
75A	絕緣層之上部面
76	介層
81	佈線圖案

82	佈線圖案
83	佈線圖案
85	第二電子組件安裝焊墊
87	佈線圖案
91	導線
93	絕緣層
93A	絕緣層之下部面/絕緣層之上部面
94	凹入部分
95	介層
97	內部連接端子焊墊
101	第二電子組件安裝焊墊
102	第二電子組件安裝焊墊
103	導線
105	第二電子組件安裝焊墊
106	第二電子組件安裝焊墊
107	導線
111	第二電子組件安裝焊墊
112	第二電子組件安裝焊墊
113	導線
114	饋通部分
115	核心
116	塗層部分

130	半導體裝置
131	饋通部分
140	半導體裝置
141	第二電路板
142	第一電子組件
143	凹入部分
150	半導體裝置
151	第一無核心電路板
152	第二無核心電路板
153	凹入部分
161	絕緣層
161A	絕緣層之上部面
161B	絕緣層之下部面
163	介層
171	絕緣層
171A	絕緣層之上部面
171B	絕緣層之下部面
173	介層
180	半導體裝置
181	第一電路板
182	第二電子組件
184	第二電路板

187	佈線圖案
188	第二電子組件安裝焊墊
191	佈線圖案
192	佈線圖案
193	佈線圖案
194	佈線圖案
201	第二電子組件安裝焊墊
202	導線
205	內部連接端子焊墊
206	第一電子組件安裝焊墊
207	導線
211	第一電子組件安裝焊墊
212	第一電子組件安裝焊墊
213	導線
215	第一電子組件安裝焊墊
216	第一電子組件安裝焊墊
217	導線
221	第一電子組件安裝焊墊
222	內部連接端子焊墊
223	導線
225	電子組件容納饋通部分
400	習知半導體裝置

401	第一電路板
402	第一電子組件
403	第一電子組件
404	外部連接端子
405	內部連接端子
408	第二電路板
411	密封樹脂
412	第二電子組件
413	第二電子組件
421	核心板
421A	核心板之上部面
421B	核心板之下部面
422	饋通電極
424	導線
426	絕緣層
426A	絕緣層之上部面
428	介層
431	佈線圖案
432	佈線圖案
433	佈線圖案
434	佈線圖案
435	內部連接端子焊墊

438	導線
439	絕緣層
439A	絕緣層之下部面
441	介層
443	外部連接端子焊墊
445	第一電子組件安裝焊墊
446	內部連接端子焊墊
447	導線
449	第一電子組件安裝焊墊
451	第一電子組件安裝焊墊
452	導線
454	第一電子組件安裝焊墊
455	第一電子組件安裝焊墊
457	第一電子組件安裝焊墊
458	內部連接端子焊墊
459	導線
463	核心板
463A	核心板之上部面
463B	核心板之下部面
464	饋通電極
466	導線
467	絕緣層

467A	絕緣層之上部面
469	介層
472	第二電子組件安裝焊墊
473	佈線圖案
474	佈線圖案
475	佈線圖案
476	佈線圖案
481	導線
483	絕緣層
483A	絕緣層之下部面
484	介層
485	內部連接端子焊墊
491	第二電子組件安裝焊墊
492	第二電子組件安裝焊墊
493	導線
495	第二電子組件安裝焊墊
496	第二電子組件安裝焊墊
497	導線
501	第二電子組件安裝焊墊
502	第二電子組件安裝焊墊
503	導線
505	第二電子組件安裝焊墊

506 導線

H₁ 高度

H₂ 高度

H₃ 高度

H₄ 高度

○

○

七、申請專利範圍：

替換

1. 一種半導體裝置，其包含：

第一電子組件，

一第一電路板，包括第一電子組件安裝焊墊，該等第一電子組件安裝於該等第一電子組件安裝焊墊上，及

一第二電路板，位於該第一電路板上，其中，

該等第一電子組件安裝焊墊配置於該第一電路板之一相對於該第二電路板之第一面上，

該第一電路板與該第二電路板藉由位於其間之內部連接端子而電性連接，

一凹入部分相對於該等第一電子組件而形成於該第二電路板中，以容納該等第一電子組件之部分，且

一密封樹脂，設置以密封該第一電路板與該第二電路板之間的一空間。

2. 如申請專利範圍第1項之半導體裝置，其中，

該等第一電子組件安裝於該第一電路板上多個位置處，且

該凹入部分形成於該第二電路板之一相對於安裝於該第一電路板上之該等第一電子組件的部分之部分中，該等第一電子組件之該部分高於位於該第一電路板與該第二電路板之間的該等內部連接端子之一高度。

3. 如申請專利範圍第1項之半導體裝置，其中，

一饋通部分形成於該第二電路板中，且穿過該第二電路板之

對應於該凹入部分之一底部的一部分。

4. 如申請專利範圍第 1 項之半導體裝置，其中，

第二電子組件安裝焊墊配置於該第二電路板之一相對於一形成有該凹入部分之面的面上，且

一第二電子組件安裝於該第二電子組件安裝焊墊上。

5. 如申請專利範圍第 1 項之半導體裝置，其中，

該內部連接端子為一導電球，包含：

一核心，用於維持該第一電路板與該第二電路板之間的一預定距離，及

一塗層部分，其覆蓋該核心。

6. 如申請專利範圍第 1 項之半導體裝置，更包含：

外部連接焊墊，其配置於該第一電路板之一相對於該第一面的第二面上且電性連接至該第二電路板。

7. 一種半導體裝置，其包含：

第一電子組件，

一第一電路板，包括第一電子組件安裝焊墊，該等第一電子組件安裝於該等第一電子組件安裝焊墊上，及

一第二電路板，位於該第一電路板下方，該第二電路板面向安裝於該第一電路板上之該等第一電子組件，其中，

該第一電路板與該第二電路板藉由位於其間之內部連接端子而電性連接，

一用於容納該等第一電子組件之部分的電子組件容納饋通

部分形成於該第二電路板中，且穿過該第二電路板之一面向該等第一電子組件的部分，

一密封樹脂，設置以密封該第一電路板與該第二電路板之間的一空間，且

外部連接端子，設置於該第二電路板之一表面上相對於面對該第一電路板之一表面。

8. 如申請專利範圍第7項之半導體裝置，其中，

該等第一電子組件安裝於多個位置處，且

該電子組件容納饋通部分形成於該第二電路板之一相對於安裝於該第一電路板上之該等第一電子組件的部分之部分中，該等第一電子組件之該部分高出連接至該第一電路板之該等內部連接端子的下部端。

9. 如申請專利範圍第7項之半導體裝置，其中，

第二電子組件安裝焊墊配置於該第一電路板之一相對於一形成有該等第一電子組件安裝焊墊之面的面上，且

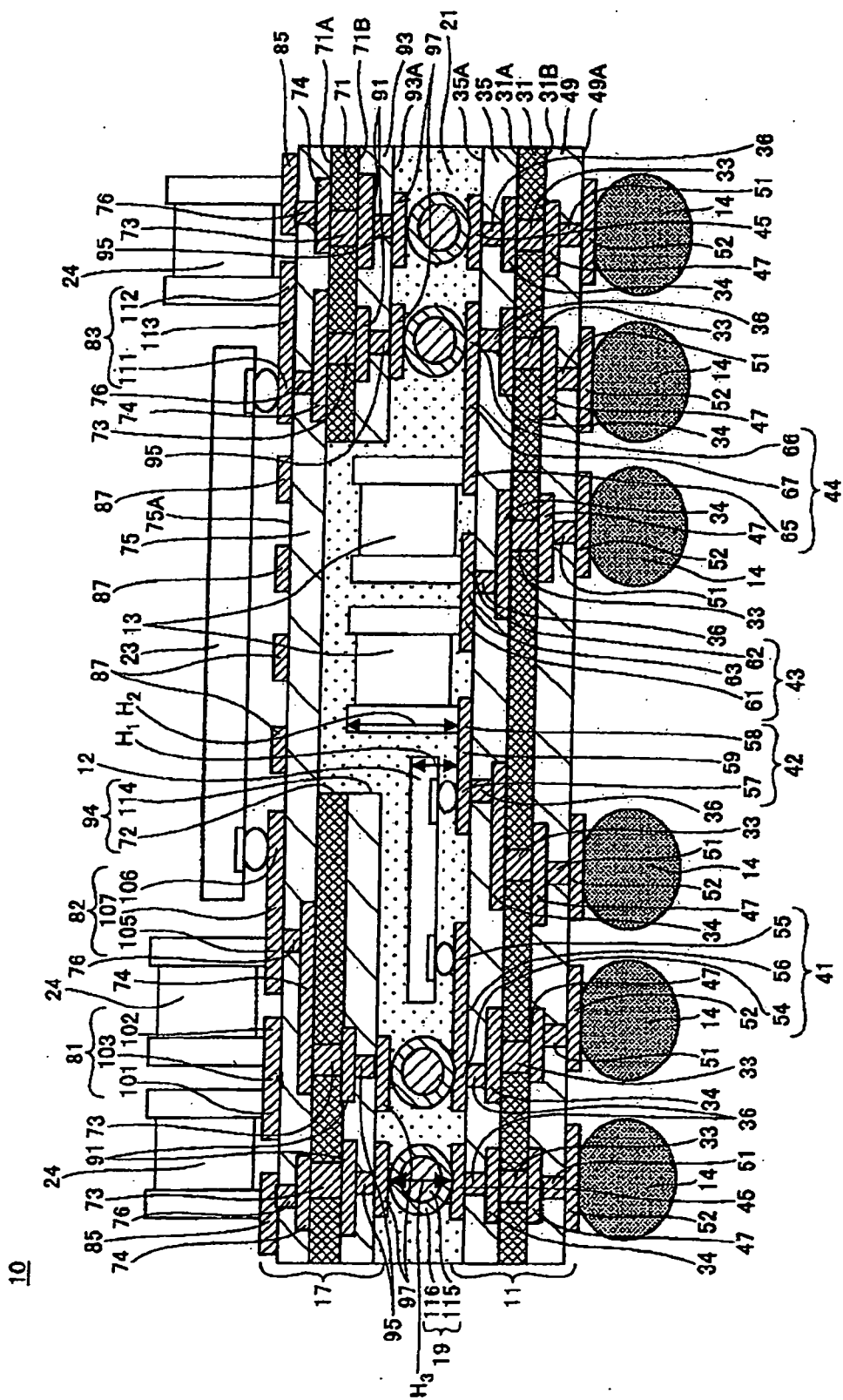
一第二電子組件安裝於該第二電子組件安裝焊墊上。

10. 如申請專利範圍第7項之半導體裝置，其中，

該內部連接端子為一導電球，包含：

一核心，用於維持該第一電路板與該第二電路板之間的一預定距離，及

一塗層部分，其覆蓋該核心。



2
回

130

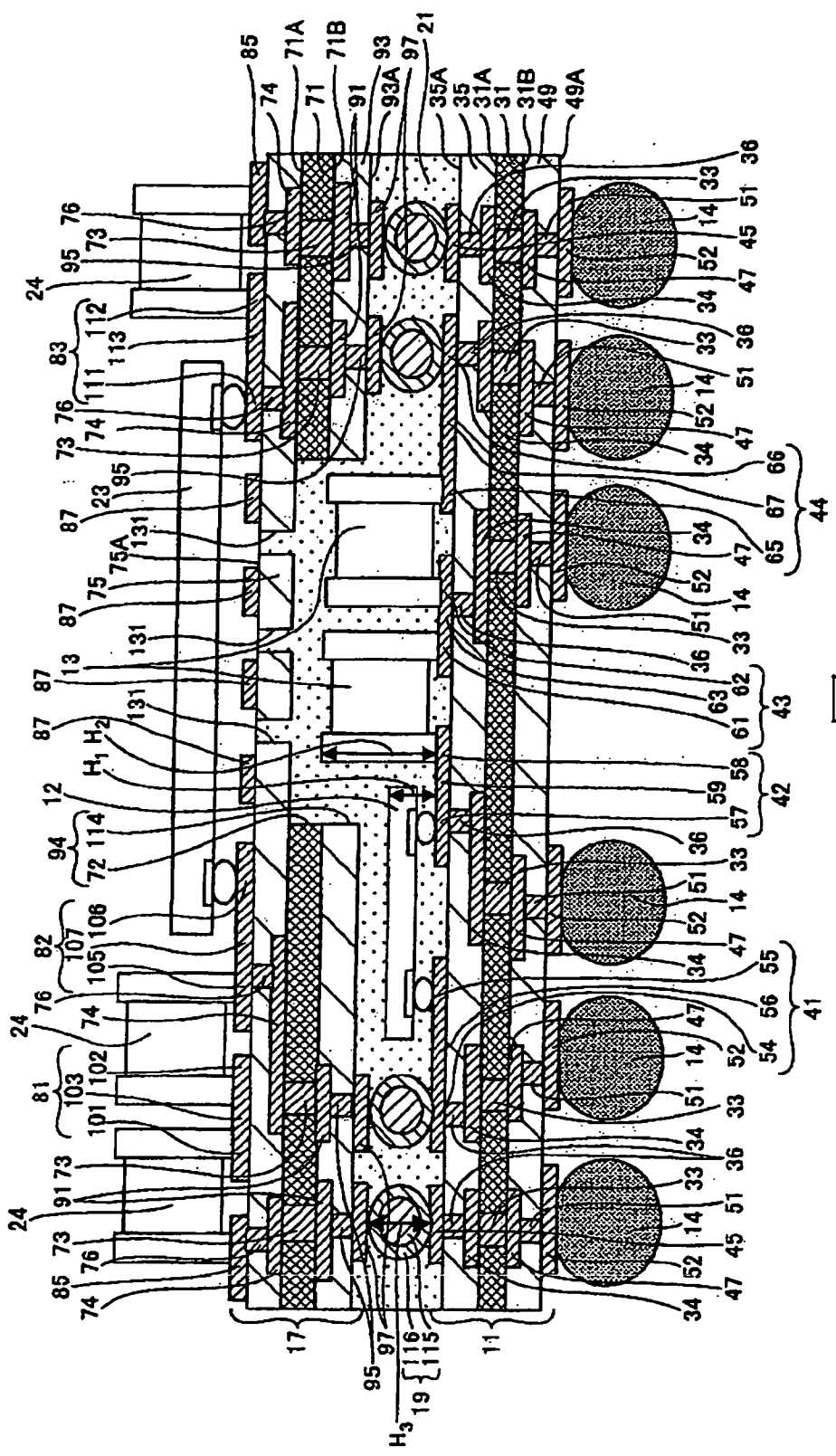


圖3

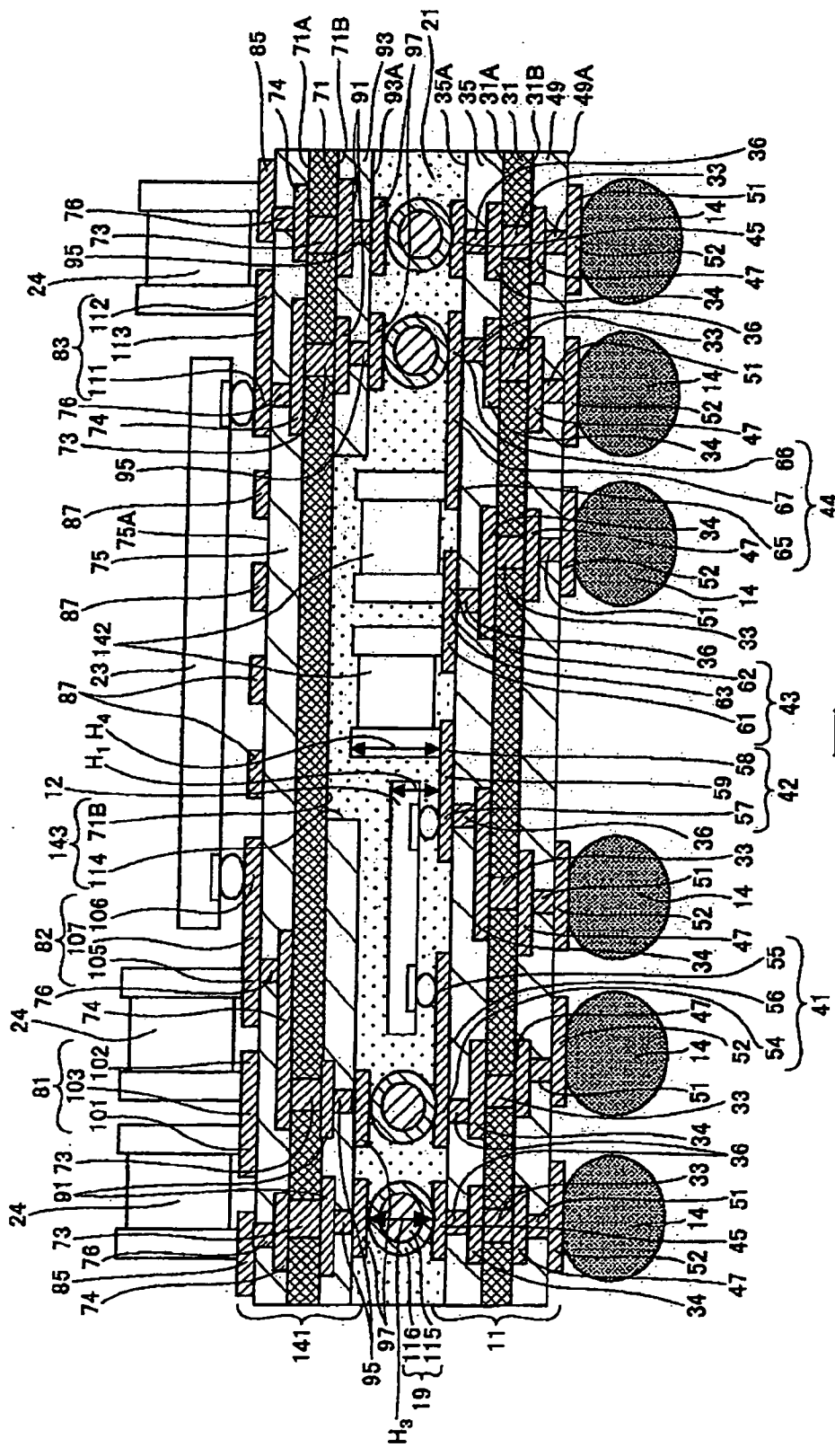


圖4

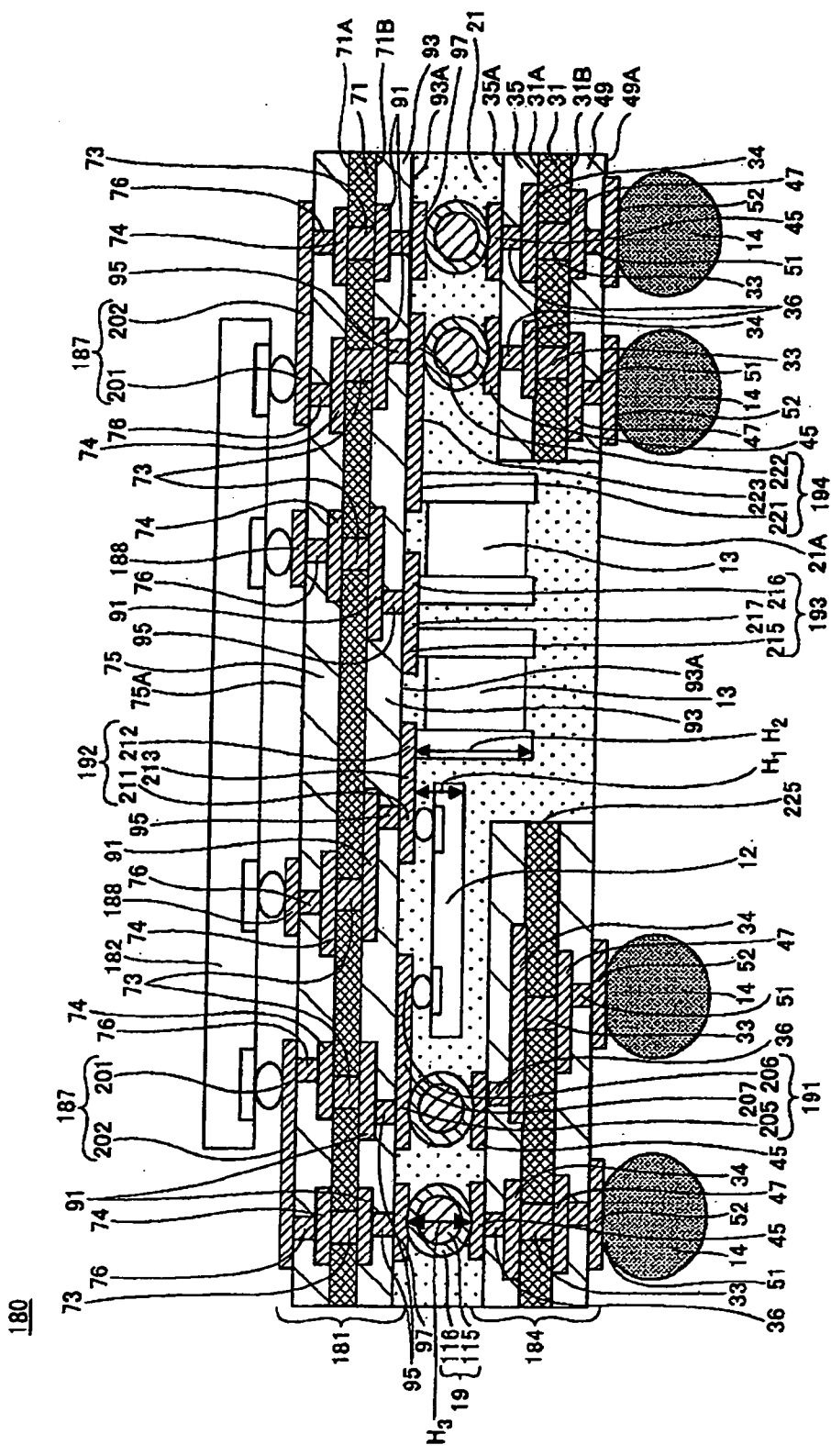


圖6