



(12) 发明专利申请

(10) 申请公布号 CN 116547653 A

(43) 申请公布日 2023. 08. 04

(21) 申请号 202180078258.1

(22) 申请日 2021.01.28

(85) PCT国际申请进入国家阶段日
2023.05.23

(86) PCT国际申请的申请数据
PCT/CN2021/074251 2021.01.28

(87) PCT国际申请的公布数据
W02022/160214 ZH 2022.08.04

(71) 申请人 华为技术有限公司
地址 518129 广东省深圳市龙岗区坂田华为
总部办公楼

(72) 发明人 范团宝 俞东斌 崔永 孔飞
时小山

(74) 专利代理机构 北京中博世达专利商标代理
有限公司 11274

专利代理师 申健

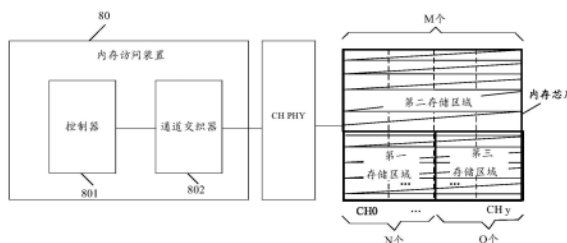
(51) Int.Cl.
G06F 12/06 (2006.01)

(54) 发明名称

一种访问内存的方法和装置

(57) 摘要

本申请公开了一种访问内存的方法和装置，涉及内存访问技术领域，能够降低多通道内存芯片的功耗，提升多通道内存芯片能效。该装置包括：控制器，用于根据第一访问命令的访问地址确定第一访问命令访问内存芯片中的第一存储区域或第二存储区域；第一存储区域与第二存储区域不重叠；内存芯片包括多个内存裸片，第一存储区域占用内存芯片中第一数量的内存裸片，第二存储区域占用内存芯片的第二数量的内存裸片，第一数量小于第二数量；通道交织器，用于在控制器确定第一访问命令访问第一存储区域时，导通第一数量的内存裸片；在控制器确定第一访问命令访问第二存储区域时，导通数量的内存裸片。本申请实施例用于访问内存芯片。



(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2022年8月4日 (04.08.2022)



(10) 国际公布号
WO 2022/160214 A1

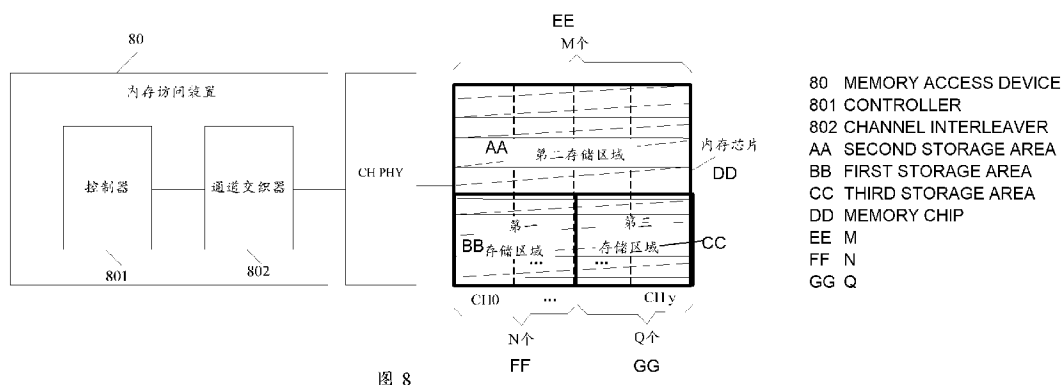
- (51) 国际专利分类号:
G06F 12/06 (2006.01)
- (21) 国际申请号: PCT/CN2021/074251
- (22) 国际申请日: 2021年1月28日 (28.01.2021)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (71) 申请人: 华为技术有限公司 (HUAWEI TECHNOLOGIES CO., LTD.) [CN/CN]; 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。
- (72) 发明人: 范团宝 (FAN, Tuanbao); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。俞东斌 (YU, Dongbin); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。崔永 (CUI, Yong); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。孔飞 (KONG, Fei);

中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。时小山 (SHI, Xiaoshan); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。

- (74) 代理人: 北京中博世达专利商标代理有限公司 (BEIJING ZBSD PATENT & TRADEMARK AGENT LTD.); 中国北京市海淀区交大东路31号11号楼8层, Beijing 100044 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: MEMORY ACCESS METHOD AND DEVICE

(54) 发明名称: 一种访问内存的方法和装置



(57) Abstract: The present application relates to the technical field of memory access. Disclosed are a memory access method and device, capable of reducing power consumption of a multi-channel memory chip and improving energy efficiency of the multi-channel memory chip. The device comprises: a controller, configured to determine, according to an access address of a first access command, that the first access command is to access a first storage area or a second storage area in a memory chip, wherein the first storage area and the second storage area do not overlap, the memory chip comprises a plurality of memory dies, the first storage area occupies a first number of memory dies in the memory chip, the second storage area occupies a second number of memory dies in the memory chip, and the first number is smaller than the second number; and a channel interleaver, configured to turn on the first number of memory dies when the controller determines that the first access command is to access the first storage area, and turn on the second number of memory dies when the controller determines that the first access command is to access the second storage area. The embodiments of the present application are used for accessing a memory chip.

WO 2022/160214 A1

ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 本申请公开了一种访问内存的方法和装置, 涉及内存访问技术领域, 能够降低多通道内存芯片的功耗, 提升多通道内存芯片能效。该装置包括: 控制器, 用于根据第一访问命令的访问地址确定第一访问命令访问内存芯片中的第一存储区域或第二存储区域; 第一存储区域与第二存储区域不重叠; 内存芯片包括多个内存裸片, 第一存储区域占用内存芯片中第一数量的内存裸片, 第二存储区域占用内存芯片的第二数量的内存裸片, 第一数量小于第二数量; 通道交织器, 用于在控制器确定第一访问命令访问第一存储区域时, 导通第一数量的内存裸片; 在控制器确定第一访问命令访问第二存储区域时, 导通数量的内存裸片。本申请实施例用于访问内存芯片。

一种访问内存的方法和装置

技术领域

5 本申请涉及内存访问技术领域，尤其涉及一种访问内存的方法和装置。

背景技术

在终端的芯片平台或工业嵌入应用平台上，为提高内存芯片的带宽，通常采用多通道（Channel）内存芯片，通过多通道并行访问内存芯片，以提高内存芯片的访问带宽。例如，在手机平台上，通常采用低功耗双倍速率（low Power Double Data Rate, LPDDR）4通道的内存芯片，并升频到最高频点，从而满足手机在游戏、录像以及跑分等重负载场景中对内存芯片大带宽需求。

传统方式中，通常采用单一的交织方式访问4通道的内存芯片，即将该内存芯片的存储区域看作一个分区，并采用同一种交织方式进行访问，其原理可以参见图1，内存芯片包括通道0（Channel0, CH0）、通道1（CH1）、通道2（CH2）以及通道3（CH3）这4个通道，包括这4个通道的分区的地址范围（以16GByte为例）为：0x0 0000 0000~0x3 ffff ffff。与内存芯片通信的片上系统（System on Chip, SoC）中的单一交织逻辑电路可以用于对SoC中的处理器核发送的访问命令中携带的两个地址信号进行译码，产生4个片选信号，这4个片选信号可通过端口物理层（Port Physical Layer, PHY）选通至少一个通道进行访问。

20 当前，2通道的LPDDR5可提供最大22GB/s峰值带宽，而4通道的LPDDR5可提供44GB/s峰值带宽。2通道提供的带宽足够绝大多数场景对内存芯片的带宽需求（一般<10GB/s），仅少数重载游戏等场景对内存芯片带宽需求必须使用4通道的LPDDR5。也即，传统上采用单一交织方式访问内存芯片时，为了满足极少数场景，整个内存芯片的内存空间采用4通道交织访问。但是，经过大量测试数据显示，在相同带宽下，4通道的内存芯片的功耗大于2通道的内存芯片的功耗，4通道的内存芯片的功耗较高，其能效自然较低。

发明内容

本申请实施例提供一种访问内存的方法和装置，能够降低多通道内存芯片的功耗，提升多通道内存芯片能效。为达到上述目的，本申请实施例采用如下技术方案。

30 第一方面，提供一种内存访问装置，该内存访问装置包括：控制器，用于根据第一访问命令的访问地址确定第一访问命令访问内存芯片中的第一存储区域或第二存储区域；第一存储区域与第二存储区域不重叠；内存芯片包括多个内存裸片，第一存储区域占用内存芯片中第一数量的内存裸片，第二存储区域占用内存芯片中第二数量的内存裸片，第一数量小于第二数量；通道交织器，用于在控制器确定第一访问命令访问第一存储区域时，导通第一数量的内存裸片；在控制器确定第一访问命令访问第二存储区域时，导通第二数量的内存裸片。可选地，内存裸片(die)可以理解为内存芯片的一个通道。

当第一存储区域占用内存芯片的内存裸片数量小于第二存储区域占用内存芯片的

内存裸片数量，访问第一存储区域的访问命令只能访问内存芯片的部分内存裸片，也就是说，通道交织器可对部分内存裸片进行通道交织，当内存芯片只有部分通道导通，即部分通道被激活访问时，访问第一存储区域的带宽较小，内存芯片的功耗较小，能效较大。

5 在一种可能的设计中，访问第二存储区域中第二数据所需要的第二带宽高于访问第一存储区域中第一数据所需要的第一带宽。当访问第一存储区域中的第一数据所需要的带宽较小时，第一存储区域可以不需要占用内存芯片全部的内存裸片，当第一存储区域占用内存芯片的部分通道时，如果只对部分通道进行通道交织，内存芯片的功耗较低，能效较高。在一种可能的设计中，通道交织器具体用于：在所述控制器确定
10 所述第一访问命令访问所述第一存储区域时，控制第一数量的内存裸片的选通信号导通；通道交织器还用于根据第一访问命令包括的多个位中用于指示内存裸片的位输出所述选通信号，所述选通信号用于选通第一数量的内存裸片中的一个内存裸片；如此一来，通过访问的存储区域的不同，导通的选通信号不同，当第一数量的内存裸片的选通信号导通时，相当于通道交织器对较少部分通道进行通道交织，即内存芯片中的
15 较少部分通道可被访问，可降低内存芯片的功耗和提高能效。

在一种可能的设计中，通道交织器具体用于：在所述控制器确定所述第一访问命令访问所述第二存储区域时，控制第二数量的内存裸片的选通信号导通；通道交织器还用于：根据第一访问命令包括的多个位中用于指示内存裸片的位输出所述选通信号，所述选通信号用于选通第二数量的内存裸片中的一个内存裸片。

20 如此一来，通过访问的存储区域的不同，导通的选通信号不同，当第二数量的内存裸片的选通信号导通时，相当于通道交织器对较多部分通道进行通道交织，即内存芯片中的较多部分通道可被访问，可提升访问内存芯片的带宽，访问速率较快。

在一种可能的设计中，第二数量的内存裸片中的每个内存裸片的内存容量相同。这种情况下的内存芯片可以理解为一种形状规则的芯片。

25 在一种可能的设计中，第二数量的内存裸片包括第一数量的内存裸片。即第二数量的内存裸片中的部分内存裸片为第一数量的内存裸片。

在一种可能的设计中，第二数量的内存裸片还包括：除了第一数量的内存裸片外的第三数量的内存裸片；第一数量的内存裸片中每个内存裸片的内存容量大于第三数量的内存裸片中每个内存裸片的内存容量。

30 当第一数量的内存裸片中每个内存裸片的内存容量大于第三数量的内存裸片中每个内存裸片的内存容量时，内存芯片可以理解为一种形状不规则的特制的内存芯片，即部分内存裸片的容量较大，部分内存裸片的容量较小。

在一种可能的设计中，控制第一数量的内存裸片的选通信号导通，可以理解为导通与第一数量的内存裸片连接的开关；控制第二数量的内存裸片的选通信号导通，可以理解为导通了与第二数量的内存裸片连接的开关。
35

第二方面，提供一种访问内存的方法，该方法包括：内存访问装置根据第一访问命令的访问地址确定第一访问命令访问内存芯片中的第一存储区域或第二存储区域；第一存储区域与第二存储区域不重叠；内存芯片包括多个内存裸片，第一存储区域占用内存芯片中第一数量的内存裸片，第二存储区域占用内存芯片中第二数量的内存裸

片，第一数量小于第二数量；内存访问装置确定第一访问命令访问第一存储区域时，导通第一数量的内存裸片；确定第一访问命令访问第二存储区域时，导通第二数量的内存裸片。第二方面的有益效果可以参见第一方面的说明。

5 在一种可能的设计中，该方法还包括：访问第二存储区域中第二数据所需要的第二带宽高于访问第一存储区域中第一数据所需要的第一带宽。

在一种可能的设计中，导通第一数量的内存裸片包括：控制第一数量的内存裸片的选通信号导通；该方法还包括：根据第一访问命令包括的多个位中用于指示内存裸片的位输出所述选通信号，所述选通信号用于选通第一数量的内存裸片中的一个内存裸片。

10 在一种可能的设计中，导通第二数量的内存裸片包括：控制第二数量的内存裸片的选通信号导通；该方法还包括：根据第一访问命令包括的多个位中用于指示内存裸片的位输出所述选通信号，所述选通信号用于选通第二数量的内存裸片中的一个内存裸片。

在一种可能的设计中，第二数量的内存裸片中的每个内存裸片的内存容量相同。

15 在一种可能的设计中，第二数量的内存裸片包括所述第一数量的内存裸片。

在一种可能的设计中，第二数量的内存裸片还包括：除了第一数量的内存裸片外的第三数量的内存裸片；第一数量的内存裸片中每个内存裸片的内存容量大于第三数量的内存裸片中每个内存裸片的内存容量。

20 第三方面，提供一种通信芯片，通信芯片包括如第一方面以及第一方面的任一种可能的设计所述的内存访问装置。

第四方面，提供一种电子设备，电子设备包括如第一方面以及第一方面的任一种可能的设计所述的内存访问装置。

25 第五方面，提供一种计算机可读存储介质，包括计算机指令，当计算机指令在电子设备上运行时，使得电子设备执行上述第一方面以及第一方面的任一种可能的设计所述的方法。

第六方面，提供一种计算机程序产品，当计算机程序产品在计算机上运行时，使得电子设备执行上述第一方面以及第一方面的任一种可能的设计所述的方法。

附图说明

30 图 1 为本申请实施例提供的一种采用同一种交织方式访问内存芯片的示意图；

图 2 为本申请实施例提供的一种内存芯片的结构示意图；

图 3 为本申请实施例提供的一种采用同一种交织方式访问内存芯片的示意图；

图 4 为本申请实施例提供的一种 4 通道的 LPDDR5 的功耗大于 2 通道的 LPDDR5 的功耗示意图；

图 5 为本申请实施例提供的一种内存芯片的区域划分示意图；

35 图 6 为本申请实施例提供的一种申请内存的流程示意图；

图 7 为本申请实施例提供的一种访问内存的方法流程示意图；

图 8 为本申请实施例提供的一种内存访问装置的结构框架示意图；

图 9 为本申请实施例提供的一种内存芯片的区域划分示意图；

图 10 为本申请实施例提供的一种内存访问装置的结构示意图；

图 11 为本申请实施例提供的一种内存访问装置的结构示意图；

图 12 为本申请实施例提供的一种内存访问装置的结构示意图；

图 13 为本申请实施例提供的一种内存访问装置的结构示意图；

图 14 为本申请实施例提供的一种内存访问装置的结构示意图；

5 图 15 为本申请实施例提供的一种内存访问装置的结构示意图；

图 16 为本申请实施例提供的一种内存访问装置的结构示意图；

图 17 为本申请实施例提供的一种内存芯片的 4 通道交织的功耗和 2 通道交织的功耗示意图；

图 18 为本申请实施例提供的一种电子设备的结构示意图。

10 具体实施方式

为了便于理解，示例的给出了部分与本申请实施例相关概念的说明以供参考。如下所示：

内存芯片：可以理解为 DDR 颗粒，DDR 颗粒例如可以为 LPDDR4 或 LPDDR5 等。

15 通道（Channel）：如图 2 所示，一个内存芯片可以包括多个通道（例如图 2 中的通道 X、通道 Y 和通道 Z），每个通道可以理解为一个 die。一个 die 中可以包括多个内存库组（bank group, BG），每个 BG 可以包括多个内存库（bank），每个 bank 可以包括多行和多列。

20 通道交织（interleave）：对于多通道的内存芯片，SoC 可以同时多个通道进行访问，例如 SoC 访问内存芯片的访问命令为读命令时，可以同时从内存芯片中的多个通道读取数据；SoC 访问内存芯片的访问命令为写命令时，可以同时多个通道写入数据，例如将一个数据块分布存储在不同的通道中。如此可以提升访问 DDR 的速度，这种多通道访问可以理解为通道交织。

25 其中，如图 3 所示，SoC 中包括中央处理单元（Central Processing Unit, CPU），还包括 DDR 控制器和与每个通道对应的 PHY。DDR 控制器中可以包括交织逻辑电路，交织逻辑电路可以用于对 CPU 发送的访问命令进行地址译码，译码后的地址可用于访问内存芯片。地址译码可以通过 DDR 控制器中的译码器执行，译码器用于地址译码的过程，可以理解为根据访问命令的访问地址进行地址交织，确定待访问的通道、待访问的通道中的 BG、bank 以及行和列等的过程。其中，确定待访问的通道的过程可以理解为上述通道交织过程。

30 具体的，CPU 发送的访问命令的访问地址包括多个位，每个位对应一地址线，译码器可以根据多个位的比特值确定对应的地址线输出片选信号，片选信号可以理解 35 为高电平或低电平。其中，多个位中包括进行通道交织的位。例如如图 3 所示，内存芯片包括 4 个通道：CH0、CH1、CH2 和 CH3，以 2 进制表示时，这 4 个通道可以表示为：00、01、10 和 11，即访问地址中的两个位可以指示访问命令待访问的通道。若以 ADD (m) 和 ADD (n) 表示待访问的通道的两个位时，例如 ADD (m) 和 ADD (n) 的比特值为 00，则选通信号 CH1_CS、CH2_CS 以及 CH3_CS 为低电平，选通信号 CH0_CS 为高电平时，CH0 PHY 驱动 CH0 选通。多个访问命令可以访问多个不同的通道，可以同时多个通道进行读操作或写操作，访问内存芯片的速度较高。

通常，对于 LPDDR5 为 2 通道的内存芯片可提供的最大峰值带宽，小于 LPDDR5

为 4 通道的内存芯片可提供的最大峰值带宽，但是在大多数场景下，访问内存芯片的所需要的带宽都较小，2 通道的 LPDDR5 足以满足大多数场景的带宽需求。仅少数场景下，访问内存芯片的所需要的带宽较大，需要 4 通道的 LPDDR5 支持较大的带宽需求。但是，为了满足少数场景对大带宽的需求，通常采用 4 通道 LPDDR5 支持处理器核 5 对内存的访问。如图 4 所示，经过大量的测试数据显示，相同带宽下，4 通道的 LPDDR5 的功耗大于 2 通道的 LPDDR5 的功耗。图 4 中的(a)示出的是 4 通道的 LPDDR5 的功耗示意图，横轴表示带宽，即每秒传输的字节数，单位为 MB/s，纵轴表示不同带宽下 4 通道的 LPDDR5 的功耗，单位为 mW。可以看出，随着访问时带宽的增加，LPDDR5 的功耗增长幅度较大。图 4 中的 (b) 示出的是 4 通道的 LPDDR5 在不同的带宽下，单位数据量的功耗示意图，横轴表示带宽，单位为 MB/s，纵轴表示不同带宽下 4 通道的 LPDDR5 的单位数据量的功耗，单位为 mW/GB。可以看出，随着带宽的增加，单位数据量的功耗呈下降趋势，而当 4 通道的内存芯片采用单一通道交织方式时，内存芯片的工作带宽落在图 4 中的 (b) 中的左侧区域。LPDDR5 的能效可以理解 10 为内存芯片的单位功耗传输的数据量。当单位数据量的功耗较高时，可以理解，LPDDR5 的能效较低，即效较差。由此，本申请提出一种内存访问装置，该内存访问装置可以应用于访问多通道的内存芯片的场景中。例如用于访问 4 通道的 LPDDR5 的场景中。 15

为了降低 CPU 访问 4 通道的内存芯片的功耗，以提高能效，本申请提供的内存访问装置在访问内存芯片时，将内存芯片的存储区域看作多个不同的存储区域，不同存储区域占用的通道数量可能相同，也可能不同，本申请存在至少两种占用不同通道数量的存储区域。例如，如图 5 所示，内存芯片包括 M 个通道 (CH0~CHy)，M 个通道所在的存储区域包括 3 个存储区域：第一存储区域、第二存储区域和第三存储区域。第一存储区域占用 N 个通道，第二存储区域占用 M 个通道(即内存芯片的全部通道)，第三存储区域占用 Q 个通道。第一存储区域、第二存储区域和第三存储区域中每个均 20 占用全部通道所在的全部存储区域中部分存储区域，具体如图 5。其中，M、N、Q 为大于 1 的正整数，且 $y=M-1$ ，M 大于 N，M 大于 Q。当然本申请不局限于将内存芯片仅划分为这 3 个存储区域，还可以划分为少于 3 个存储区域或多于 3 个存储区域。 25

针对本申请划分的多个存储区域，访问不同的存储区域时所需的带宽不同。大带宽场景下，可以访问大带宽场景对应的存储区域，大带宽场景对应的存储区域占用的通道数量较多；小带宽场景下，可以访问小带宽场景对应的存储区域，小带宽场景对应的存储区域占用的通道数量较少。由于访问内存芯片的场景多在小带宽场景下，因此，在大多数小带宽场景下，由于存储区域占用的通道数量较少，多数场景下只需访问少数通道，即对少数通道进行通道交织访问，这样，相对大带宽场景下对多个通道进行通道交织，对少数通道进行通道交织带来的内存芯片的功耗要低，能效要高。 30

示例性的，对于小带宽场景，访问的占用通道数量较少的存储区域（例如第二存储区域或第三存储区域）中存储的数据例如可以是静态内存的业务数据（例如 CPU 开始运行时使用的初始化数据）或访问内存的频率较小的业务数据（例如开机后数据被访问一次，后续不再访问的数据）。对于大带宽场景，访问的占用通道较多的存储区域（例如第一存储区域）中存储的数据例如可以是游戏等需要大带宽的数据。 35

由于在访问内存芯片之前，CPU 需先向 DDR 控制器申请内存，得到申请到的内存的区域的访问地址范围，以根据访问地址范围向内存芯片发送访问命令。考虑到本申请将内存芯片划分为多个存储区域，那么 DDR 控制器在分配内存时，需要根据业务场景确定从哪一存储区域分配内存，下面以 2 个内存区域为例介绍。本申请中，软件
5 内存管理的内存分配流程与现有的内存分配流程有所不同，本申请的内存分配流程既可以满足高带宽需求的业务对带宽的需求，也可以满足对带宽需求不高的业务的用户性能和对能效的要求。示例性的，如图 6 所示，本申请的内存分配流程可以为：1) CPU 向 DDR 控制器申请内存。

2) DDR 控制器确定是否需要申请大带宽内存；若确定是，则 DDR 控制器确定第
10 二存储区域是否上电，而后进入步骤 3)；若确定否，则 DDR 控制器从第一存储区域申请内存，而后进入步骤 4)；DDR 控制器可以根据 CPU 请求的业务类型确定在第一存储区域分配内存还是在第二存储区域分配内存。若业务类型所需的带宽较大，则确定在第二存储区域分配内存，若业务类型所需的带宽较小，则确定在第一存储区域分配内存。

15 由于第二存储区域的访问频率相较于第一存储区域的访问频率较小，因此，为了降低内存芯片的功耗，在不向第二存储区域申请内存时，可控制第二存储区域下电。因此，步骤 3) 可以为：3) DDR 控制器确定第二存储区域未上电时，先触发第二存储区域上电，而后向第二存储区域申请内存。当 DDR 控制器确定要分配内存时，先确定
20 第二存储区域的内存是否充足，如果确定第二存储区域的内存不充足，可以先对第二存储区域进行内存迁移或整理，然后再从第二存储区域分配内存。或者，如果确定第二存储区域的内存不充足，也可以从第一存储区域申请内存。

4) DDR 控制器确定从第一存储区域申请内存时，先确定第一存储区域的内存是否充足，如果确定充足，则从第一存储区域分配内存；如果确定不充足，可以先对第一存储区域的内存进行回收整理操作，而后，再从第一存储区域申请内存。

25 以上内存分配流程中，DDR 控制器在分配内存时，如果本申请的内存芯片包括图 5 示出的第一存储区域和第二存储区域，DDR 控制器在根据业务类型分配内存时，如果第一访问命令的业务类型为游戏等需要大带宽的业务，DDR 控制器可以从第二存储区域中分配内存；如果第一访问命令的业务类型为需要静态内存的业务，DDR 控制器可以从第一存储区域中分配内存；或者，第一访问命令的业务类型为所需带宽极小的
30 业务时，DDR 控制器也可以从第一存储区域中分配内存。

如果本申请的内存芯片包括图 5 中示出的第一存储区域、第二存储区域和第三存储区域，第二存储区域分配给游戏等需要大带宽的业务场景，第一存储区域可以分配给静态内存的业务场景或所需带宽极小非业务场景，第三存储区域可以分配给除第一存储区域的业务场景和第二存储区域的业务场景以外的其他常用的业务场景。

35 CPU 在申请得到内存，即得到存储区域对应的访问地址范围后，可以根据访问地址范围进一步向 DDR 控制器发送访问命令，访问命令中携带特定的访问地址，以便 DDR 控制器进行通道交织访问。本申请实施例提供一种访问内存的方法，如图 7 所示，该方法可以应用于如图 3 所示的系统框架，CPU 访问内存芯片时，CPU 发送的访问命令经过 DDR 控制器中的交织逻辑电路进行地址译码，译码后的地址通过 CH PHY 发

送给内存芯片用于通道访问。可以理解，本申请图 3 示出的 CPU 也可以替换为其他处理器或器件用于访问内存芯片，本申请不限定处理器为 CPU。

本申请的方法可以应用于对图 3 示出的 DDR 控制器中的交织逻辑电路进行改进得到的内存访问装置。如图 8 所示的内存访问装置 80，内存访问装置 80 包括控制器 801 和通道交织器 802，DDR 控制器包括该内存访问装置 80，基于此，该方法包括：701、内存访问装置根据第一访问命令的访问地址确定第一访问命令访问内存芯片中的第一存储区域或第二存储区域；第一存储区域与第二存储区域不重叠；内存芯片包括多个内存裸片，第一存储区域占用内存芯片中第一数量的内存裸片，第二存储区域占用内存芯片中第二数量的内存裸片，第一数量小于第二数量。步骤 701 可以是上述控制器 801 执行的。

在一些实施例中，内存芯片包括多个内存裸片，意味着内存芯片包括多个通道，每个内存裸片提供一个通道。第一存储区域占用的内存裸片数量小于第二存储区域占用的内存裸片数量。这样一来，内存访问装置 80 访问第二存储区域时可对较多的内存裸片进行通道交织，访问第一存储区域时可对较少的内存裸片进行通道交织，可以理解，内存访问装置 80 访问第二存储区域时的带宽较大，相比之下，内存访问装置 80 访问第一存储区域时的带宽较小。

举例来说，第一存储区域对应第一地址范围，第二存储区域对应第二地址范围。第一访问命令的访问地址属于第一地址范围时，控制器 801 确定第一访问命令访问第一存储区域；第一访问命令的访问地址属于第二地址范围时，控制器 801 确定第一访问命令访问第二存储区域。假设第一访问命令用于访问第一存储区域中的第一数据，第二访问命令访问第二存储区域中的第二数据，由于第二存储区域占用的内存裸片数量较多，第一存储区域占用的内存裸片数量较少，可以理解，访问第二存储区域中第二数据所需要的第二带宽高于访问第一存储区域中第一数据所需要的第一带宽，访问第二存储区域时内存芯片的功耗较高，访问第一存储区域时内存芯片的功耗较低，能效较高。

702、内存访问装置确定第一访问命令访问第一存储区域时，导通第一数量的内存裸片；确定第一访问命令访问第二存储区域时，导通第二数量的内存裸片。其中，导通一个或多个裸片是使能这一个或多个裸片以便访问设备可以访问该一个或多个裸片，所述访问包括读或写中的至少一个。步骤 702 可以是上述通道交织器 802 执行的。可以理解，第一访问命令访问第一存储区域时，CPU 可对内存芯片内第一数量的内存裸片进行通道交织访问，第一访问命令访问第二存储区域时，CPU 可对内存芯片内第二数量的内存裸片进行通道交织访问。因此，当通道交织器 80 导通第一数量的内存裸片，第一访问命令的访问地址译码后的地址可访问第一数量的内存裸片，当通道交织器 80 导通第二数量的内存裸片对应的选通信号，第一访问命令的访问地址译码后的地址可访问第二数量的内存裸片。

举例来说，如图 5 所示，假设内存芯片包括 $y+1$ 个通道（CH0、…、CH y ）， y 为正整数，通道交织器 802 用于导通第一存储区域占用的 N 个内存裸片时，CPU 可对 N 个内存裸片进行交织访问；或者通道交织器 802 用于导通第二存储区域占用的 M 个内存裸片，CPU 可对 M 个内存裸片进行交织访问。其中， M ， N 为大于 1 的正整数，

且 M 大于 N。在一些实施例中，上述第二数量的内存裸片包括上述第一数量的内存裸片，即仅对第二数量内存裸片中的第一数量的内存裸片用于交织访问。

5 基于图 3 中的举例，现有技术是根据访问地址中的两个位确定 4 个内存裸片的片选信号为高电平还是低电平，结合本申请对内存芯片的存储区域的划分，本申请实施例中，在根据地址范围确定不同的访问命令访问的存储区域可能不同，即进行通道交织的内存裸片可能不同时，用于访问第一存储区域的第一数量的内存裸片的选通信号，与用于访问第二存储区域的第二数量的内存裸片的选通信号不同。其中，本申请的第一访问命令包括多个位，多个位用于指示第一访问命令的访问地址，多个位中的每个位对应访问地址的一地址线。基于此，在一些实施例中，通道交织器 802 可以用于：
10 第一访问命令访问第一存储区域时，通道交织器 802 控制第一数量的内存裸片的选通信号导通。在第一数量的内存裸片的选通信号导通时，第一数量的内存裸片可被访问。因此，通道交织器 802 还可以用于：根据第一访问命令包括的多个位中用于指示内存裸片的位输出所述选通信号，所述选通信号用于选通第一数量的内存裸片中的一个内存裸片；第二访问命令访问第二存储区域时，通道交织器 802 控制第二数量的内存裸片的选通信号导通。
15 在第二数量的内存裸片的选通信号导通时，第二数量的内存裸片可被访问。因此，通道交织器 802 还可以用于：根据第一访问命令包括的多个位中用于指示内存裸片的位输出所述选通信号，所述选通信号用于选通第二数量的内存裸片中的一个内存裸片。

20 这样一来，在本申请划分存储区域的情况下，访问的存储区域不同时，选通的内存裸片的数量不同，即参与通道交织的内存裸片的数量不同。当只有第一数量的内存裸片导通进行通道交织时，内存芯片被激活访问的内存裸片只是内存芯片内的部分内存裸片，此时，内存芯片的功耗较低，能效较高。

25 在一些实施例中，第二数量的内存裸片中的每个内存裸片的内存容量相同。在另一个实施例中，假设本申请的内存芯片包括图 5 中的第一存储区域和第二存储区域，本申请还可以提供一种特定的内存芯片，如图 9 所示：第二数量（图 9 中示出的 M 个）的内存裸片还包括：除了第一数量（图 9 中示出的 N 个）的内存裸片外的第三数量（图 9 中示出的 M-N 个）的内存裸片；第一数量的内存裸片中每个内存裸片的内存容量大于第三数量的内存裸片中每个内存裸片的内存容量。这样，内存芯片的存储区域就只有第一存储区域和第二存储区域两个区域，在进行内存分配时，就只需要根据这两个
30 区域的地址范围进行访问，内存分配实现较为简单。

下面对本申请的内存访问装置 80 进一步的实现方式进行说明。以内存芯片包括 4 个内存裸片，内存芯片的存储区域包括如图 5 或图 9 中的第一存储区域和第二存储区域，第一存储区域占用 2 个内存裸片，第二存储区域占用 4 个内存裸片为例进行说明。且下文以内存裸片为通道进行说明。

35 如图 10 所示位一种内存访问装置 80 的实现方式，上述控制器 801 包括 1 区地址判断电路；通道交织器 802 包括译码器、1 区通道选通电路和开关控制电路；1 区地址判断电路，用于确定第一访问命令中的访问地址是否满足第一存储区域对应的地址范围，若确定满足第一存储区域对应的地址范围，则向开关控制电路发送第一信号，第一信号指示开关控制电路控制第一存储区域对应的通道的选通信号导通。由于第一存

储区域占用 4 个通道中的 2 个通道，因此，开关控制电路在控制地址线导通时，导通这 2 个通道对应的 2 个选通信号。1 区通道选通电路，用于根据访问地址中指示被选通的通道的一个位确定第一存储区域占用的 2 个通道对应的 2 个选通信号分别输出高电平还是低电平，以便 CPU 访问输出高电平的选通信号对应的通道。

5 在 1 区地址判断电路确定第一访问命令的访问地址不满足第一存储区域的地址范围时，开关控制电路用于控制译码器与 4 个通道连接的 4 个选通信号导通。这种情况下，译码器，用于根据访问地址中用于指示通道的两个位确定了选通的通道时，控制这 4 个选通信号中与选通的通道对应的选通信号输出高电平，控制其余 3 个未被选通的通道的选通信号输出低电平。

10 在一些实施例中，图 10 示出的内存访问装置 80 的具体实现方式可以如图 11 所示。参考图 11，假设第一访问命令的多位中包括 ADD (m)、ADD (n) 以及 ADD (k)；ADD (m) 和 ADD (n) 为用于确定第二存储区域占用的 4 个通道 (CH0、CH1、CH2 和 CH3) 中被访问的通道的一个位，ADD (k) 为用于确定第一存储区域占用的 2 个通道 (CH0 和 CH1) 中被选通的通道的一个位；第二存储区域对应的 4 个通道的选通信号包括 2 区_CH0_CS、2 区_CH1_CS、2 区_CH2_CS 以及 2 区_CH3_CS，第一存储区域对应的 2 个通道的选通信号包括 1 区_CH0_CS 和 1 区_CH1_CS，1 区通道选通电路包括反向器；开关控制电路包括开关 1、开关 2、开关 3 和开关 4。开关 1 和开关 2 为单刀双掷开关，开关 3 和开关 4 为单刀单置开关。

20 当 1 区地址判断电路确定第一访问命令的访问地址不满足第一存储区域的地址范围时，1 区判断电路未向开关控制电路输出第一信号，开关控制电路可以控制开关 1、开关 2、开关 3 以及开关 4 与译码器的线路导通。这种情况下，4 个通道都可以被访问，即可以进行 4 通道交织访问。示例性的，假设 ADD (m) 和 ADD (n) 两位的地址信息为 00，译码器确定第一访问命令访问的是 4 个通道中的 CH0，译码器控制选通信号 2 区_CH0_CS 为高电平，选通信号 2 区_CH1_CS、2 区_CH2_CS 以及 2 区_CH3_CS 为低电平；同理，假设 ADD (m) 和 ADD (n) 两位的地址信息为 01，译码器确定第一访问命令访问的是 4 个通道中的 CH1，译码器控制选通信号 2 区_CH1_CS 为高电平，选通信号 2 区_CH0_CS、2 区_CH2_CS 以及 2 区_CH3_CS 为低电平。

30 图 10 示出的内存访问装置 80 还可以变换为如图 12 所示的内存访问装置，当 1 区地址判断电路确定第一访问命令的访问地址满足第一存储区域的地址范围时，1 区判断电路向开关控制电路输出第一信号，开关控制电路可以控制开关 1 和开关 2 与 1 区选通电路导通，开关 3 和开关 4 断开。这种情况下，只有 CH0 和 CH1 两个通道的选通信号导通，即可以进行 2 通道交织访问。示例性的，假设即第一访问命令访问的是 CH0，ADD (k) 的地址信息为 0，由于反向器的作用，选通信号 1 区_CH0_CS 为高电平，选通信号 1 区_CH1_CS 为低电平；假设即第一访问命令访问的是 CH1，ADD (k) 的地址信息为 1，由于反向器作用，选通信号 1 区_CH0_CS 为低电平，选通信号 1 区_CH1_CS 为高电平。如此一来，通过访问的存储区域的不同，导通的指示通道的选通信号不同，可实现在导通较少的通道的选通信号时，通道交织器 802 可对部分通道进行通道交织，即内存芯片中只有部分通道被访问，可降低内存芯片的功耗和提高能效。

在图 10 示出的内存访问装置 80 的基础上，假设内存芯片的存储区域划分为图 5 示出的第一存储区域、第二存储区域和第三存储区域，第三存储区域占用 4 个通道中未被第一存储区域占用的 2 个通道，那么图 10 的内存访问装置 80 可以替换为如图 13 所示的内存访问装置 80，图 13 示出的控制器 801 和通道交织器 802 在包括图 10 示出的内存访问装置 80 的电路结构的基础上还包括：3 区地址判断电路，用于确定第一访问命令中的访问地址是否满足第三存储区域对应的地址范围，若确定满足第三存储区域对应的地址范围，则向开关控制电路发送第三信号，第三信号指示开关控制电路控制第三存储区域对应的通道的选通信号导通；3 区通道选通电路，用于根据访问地址中指示被选通的通道的一个位确定第三存储区域占用的 2 个通道对应的 2 个选通信号分别输出高电平还是低电平，以访问输出高电平的选通信号对应的通道。

在 1 区地址判断电路确定第一访问命令的访问地址在第一存储区域的地址范围内时，开关控制电路用于控制译码器与 4 个通道连接的 4 个选通信号导通。这种情况下，译码器，用于根据访问地址中用于指示通道的两个位确定了选通的通道时，控制这 4 个选通信号中被访问的通道对应的选通信号输出高电平，控制其余 3 个未被选通的通道的选通信号输出低电平。

在一些实施例中，图 13 的内存访问装置 50 的具体实现方式可以如图 14 所示。参考图 14，假设第一访问命令的多位中包括 ADD (m)、ADD (n)、ADD (k) 以及 ADD (i)；ADD (m) 和 ADD (n) 为用于确定第二存储区域占用的 4 个通道 (CH0、CH1、CH2 和 CH3) 中被选通的通道的两个位，ADD (k) 为用于确定第一存储区域占用的 2 个通道 (CH0 和 CH1) 中被选通的通道的一个位，ADD (i) 为用于确定第三存储区域占用的 2 个通道 (CH2 和 CH3) 中被选通的通道的一个位；第二存储区域对应的 4 个通道的选通信号包括 2 区_CH0_CS、2 区_CH1_CS、2 区_CH2_CS 以及 2 区_CH3_CS，第一存储区域对应的 2 个通道的选通信号包括 1 区_CH0_CS、1 区_CH1_CS，1 区通道选通电路包括反向器；第三存储区域对应的 2 个通道的选通信号包括 3 区_CH2_CS 和 3 区_CH3_CS，3 区通道选通电路包括反向器；开关控制电路包括开关 1、开关 2、开关 3 和开关 4。开关 1、开关 2、开关 3 和开关 4 均为单刀双掷开关，那么：

当 1 区地址判断电路确定第一访问命令的访问地址不满足第一存储区域的地址范围时，1 区判断电路未向开关控制电路输出第一信号。当 3 区地址判断电路也确定第一访问命令的访问地址不满足第三存储区域的地址范围时，3 区判断电路未向开关控制电路输出第三信号。此时，开关控制电路可以控制开关 1、开关 2、开关 3 和开关 4 导通与译码器的线路导通。这种情况下，4 个通道都可以被访问，即可以进行 4 通道交织访问。内存访问装置 80 的开关连接方式可以如图 14 所示。选通信号 2 区_CH0_CS、2 区_CH1_CS、2 区_CH2_CS 以及 2 区_CH3_CS 的实现原理与对图 11 的说明类似。

图 13 示出的内存访问装置 80 还可以变换为如图 15 所示的内存访问装置，当 1 区地址判断电路确定第一访问命令的访问地址满足第一存储区域的地址范围时，1 区判断电路向开关控制电路输出第一信号，开关控制电路可以控制开关 1 和开关 2 与 1 区通道选通电路导通，开关 3 和开关 4 与 3 区通道选通电路断开。选通信号 1 区_CH0_CS、1 区_CH1_CS 的实现原理与对图 12 的说明类似。

图 13 示出的内存访问装置 80 还可以变换为如图 16 所示的内存访问装置，当 3 区地址判断电路确定第一访问命令的访问地址满足第三存储区域的地址范围时，3 区判断电路向开关控制电路输出第三信号，开关控制电路可以控制开关 1 断开，开关 2 断开，开关 3 和开关 4 与 3 区通道选通电路导通。这种情况下，只有 CH2 和 CH3 两个通道的选通信号导通，可以进行 2 通道交织访问。示例性的，假设即第一访问命令访问的是 CH2，ADD (i) 的地址信息为 0，由于 3 区通道选通电路中反向器的作用，选通信号 3 区_CH2_CS 为高电平，选通信号 3 区_CH3_CS 为低电平；假设即第一访问命令访问的是 CH3，ADD (i) 的地址信息为 1，由于反向器作用，选通信号 3 区_CH2_CS 为低电平，选通信号 3 区_CH3_CS 为高电平。

可以理解，本申请还可以对内存芯片划分的存储区域多于 3 个，相应的，地址判断电路和通道选通电路也可以在图 13 的基础上相应的增加，以实现访问内存芯片的部分通道，降低内存芯片的功耗，提高内存芯片的能效。

本申请还对不同的平台上，使用同一软件版本模拟 4 通道的内存芯片，在进行 2 通道交织访问和 4 通道交织访问的功耗进行测试，测试结果可以参考图 17，图 17 中的 (a) 示出的是一个平台上的测试结果，横轴表示每秒传输的字节数，记为 MB/s，纵轴表示功耗，单位记为 W，可以看出，4 通道的内存芯片在进行 2 通道交织和 4 通道交织时，在相同的带宽（每秒传输的字节数相同）条件下，2 通道交织时内存芯片的功耗小于 4 通道交织时内存芯片的功耗。图 17 中的 (b) 示出的是另一个平台上的测试结果，横轴和纵轴代表的意义相同，可以看出，4 通道的内存芯片在进行 2 通道交织和 4 通道交织时，在相同的带宽（每秒传输的字节数相同）条件下，也得到相同的测试结果，即 2 通道交织时内存芯片的功耗小于 4 通道交织时内存芯片的功耗。

本申请实施例还提供一种通信芯片，该通信芯片包括本申请实施例中阐述的内存访问装置。例如该通信芯片可以为 SoC 或 GPU 等芯片。本申请实施例还提供一种电子设备，如图 18 所示，电子设备包括如本申请实施例中阐述的通信芯片，该通信芯片包括本申请提供的内存访问装置 80。本申请实施例还提供一种计算机可读存储介质，包括计算机指令，当计算机指令在电子设备上运行时，使得电子设备执行上述内存访问方法中所述的方法。本申请实施例还提供一种计算机程序产品，当计算机程序产品在计算机上运行时，使得电子设备执行上述内存访问方法中所述的方法。

通过以上实施方式的描述，所属领域的技术人员可以了解到，为描述的方便和简洁，仅以上述各功能模块的划分进行举例说明，实际应用中，可以根据需要而将上述功能分配由不同的功能模块完成，即将装置的内部结构划分成不同的功能模块，以完成以上描述的全部或者部分功能。

在本申请所提供的几个实施例中，应该理解到，所揭露的装置和方法，可以通过其它的方式实现。例如，以上所描述的装置实施例仅仅是示意性的，例如，所述模块或单元的划分，仅仅为一种逻辑功能划分，实际实现时可以有另外的划分方式，例如多个单元或组件可以结合或者可以集成到另一个装置，或一些特征可以忽略，或不执行。另一点，所显示或讨论的相互之间的耦合或直接耦合或通信连接可以是通过一些接口，装置或单元的间接耦合或通信连接，可以是电性，机械或其它的形式。

另外，在本申请各个实施例中的各功能单元可以集成在一个处理单元中，也可以

是各个单元单独物理存在，也可以两个或两个以上单元集成在一个单元中。上述集成的单元既可以采用硬件的形式实现，也可以采用软件功能单元的形式实现，虽然以上实施例以硬件电路为例描述，但不用于限定。

5 所述集成的单元如果以软件功能单元的形式实现并作为独立的产品销售或使用，
可以存储在一个可读取存储介质中。基于这样的理解，本申请实施例的技术方案本质
上或者说对现有技术做出贡献的部分或者该技术方案的全部或部分可以以软件产品的
形式体现出来，该软件产品存储在一个存储介质中，包括若干指令用以使得一个设备
（可以是单片机，芯片等）或处理器（processor）执行本申请各个实施例所述方法的
全部或部分步骤。而前述的存储介质包括：U盘、移动硬盘、只读存储器（read only
10 memory, ROM）、随机存取存储器（random access memory, RAM）、磁碟或者光盘
等各种可以存储程序代码的介质。

15 以上内容，仅为本申请的具体实施方式，但本申请的保护范围并不局限于此，任
何熟悉本技术领域的技术人员在本申请揭露的技术范围内，可轻易想到变化或替换，
都应涵盖在本申请的保护范围之内。因此，本申请的保护范围应以所述权利要求的保
护范围为准。

权 利 要 求 书

1、一种内存访问装置，其特征在于，所述内存访问装置包括：

5 控制器，用于根据第一访问命令的访问地址确定所述第一访问命令访问内存芯片中的第一存储区域或第二存储区域；所述第一存储区域与所述第二存储区域不重叠；
所述内存芯片包括多个内存裸片，所述第一存储区域占用所述内存芯片中第一数量的内存裸片，所述第二存储区域占用所述内存芯片中第二数量的内存裸片，所述第一数量小于第二数量；

10 通道交织器，用于在所述控制器确定所述第一访问命令访问所述第一存储区域时，导通所述第一数量的内存裸片；在所述控制器确定所述第一访问命令访问所述第二存储区域时，导通所述第二数量的内存裸片。

2、根据权利要求1所述的内存访问装置，其特征在于，访问所述第二存储区域中第二数据所需要的第二带宽高于访问所述第一存储区域中第一数据所需要的第一带宽。

3、根据权利要求1或2所述的内存访问装置，其特征在于，

15 所述通道交织器具体用于：在所述控制器确定所述第一访问命令访问所述第一存储区域时，控制所述第一数量的内存裸片的选通信号导通；

所述通道交织器还用于：根据所述第一访问命令包括的多个位中用于指示内存裸片的位输出所述选通信号，所述选通信号用于选通所述第一数量的内存裸片中的一个内存裸片。

4、根据权利要求1或2所述的内存访问装置，其特征在于，

20 所述通道交织器具体用于：在所述控制器确定所述第一访问命令访问所述第二存储区域时，控制所述第二数量的内存裸片的选通信号导通；

所述通道交织器还用于：根据所述第一访问命令包括的多个位中用于指示内存裸片的位输出所述选通信号，所述选通信号用于选通所述第二数量的内存裸片中的一个内存裸片。

25 5、根据权利要求1-4任一项所述的内存访问装置，其特征在于，
所述第二数量的内存裸片中的每个内存裸片的内存容量相同。

6、根据权利要求1-5任一项所述的内存访问装置，其特征在于，
所述第二数量的内存裸片包括所述第一数量的内存裸片。

30 7、根据权利要求6所述的内存访问装置，其特征在于，所述第二数量的内存裸片还包括：除了所述第一数量的内存裸片外的第三数量的内存裸片；

所述第一数量的内存裸片中每个内存裸片的内存容量大于所述第三数量的内存裸片中每个内存裸片的内存容量。

8、一种访问内存的方法，其特征在于，所述方法包括：

35 内存访问装置根据第一访问命令的访问地址确定所述第一访问命令访问内存芯片中的第一存储区域或第二存储区域；所述第一存储区域与所述第二存储区域不重叠；
所述内存芯片包括多个内存裸片，所述第一存储区域占用所述内存芯片中第一数量的内存裸片，所述第二存储区域占用所述内存芯片中第二数量的内存裸片，所述第一数量小于所述第二数量；

所述内存访问装置确定所述第一访问命令访问所述第一存储区域时，导通所述第

一数量的内存裸片；确定所述第一访问命令访问所述第二存储区域时，导通所述第二数量的内存裸片。

9、根据权利要求8所述的方法，其特征在于，所述方法还包括：

5 访问所述第二存储区域中第二数据所需要的第二带宽高于访问所述第一存储区域中第一数据所需要的第一带宽。

10、根据权利要求8或9所述的方法，其特征在于，所述导通所述第一数量的内存裸片包括：控制第一数量的内存裸片的选通信号导通；

所述方法还包括：根据所述第一访问命令包括的多个位中用于指示内存裸片的位选通所述第一数量的内存裸片中的一个内存裸片。

10 11、根据权利要求8或9所述的方法，其特征在于，所述导通所述第二数量的内存裸片包括：控制第二数量的内存裸片的选通信号导通；

所述方法还包括：根据所述第一访问命令包括的多个位中用于指示内存裸片的位选通所述第二数量的内存裸片中的一个内存裸片。

15 12、根据权利要求8-11任一项所述的方法，其特征在于，所述第二数量的内存裸片中的每个内存裸片的内存容量相同。

13、根据权利要求8-12任一项所述的方法，其特征在于，所述第二数量的内存裸片包括所述第一数量的内存裸片。

14、根据权利要求13所述的方法，其特征在于，所述第二数量的内存裸片还包括：除了所述第一数量的内存裸片外的第三数量的内存裸片；

20 所述第一数量的内存裸片中每个内存裸片的内存容量大于所述第三数量的内存裸片中每个内存裸片的内存容量。

15、一种通信芯片，其特征在于，所述通信芯片包括如权利要求1-7任一项所述的内存访问装置。

25 16、一种电子设备，其特征在于，所述电子设备包括如权利要求1-7任一项所述的内存访问装置。

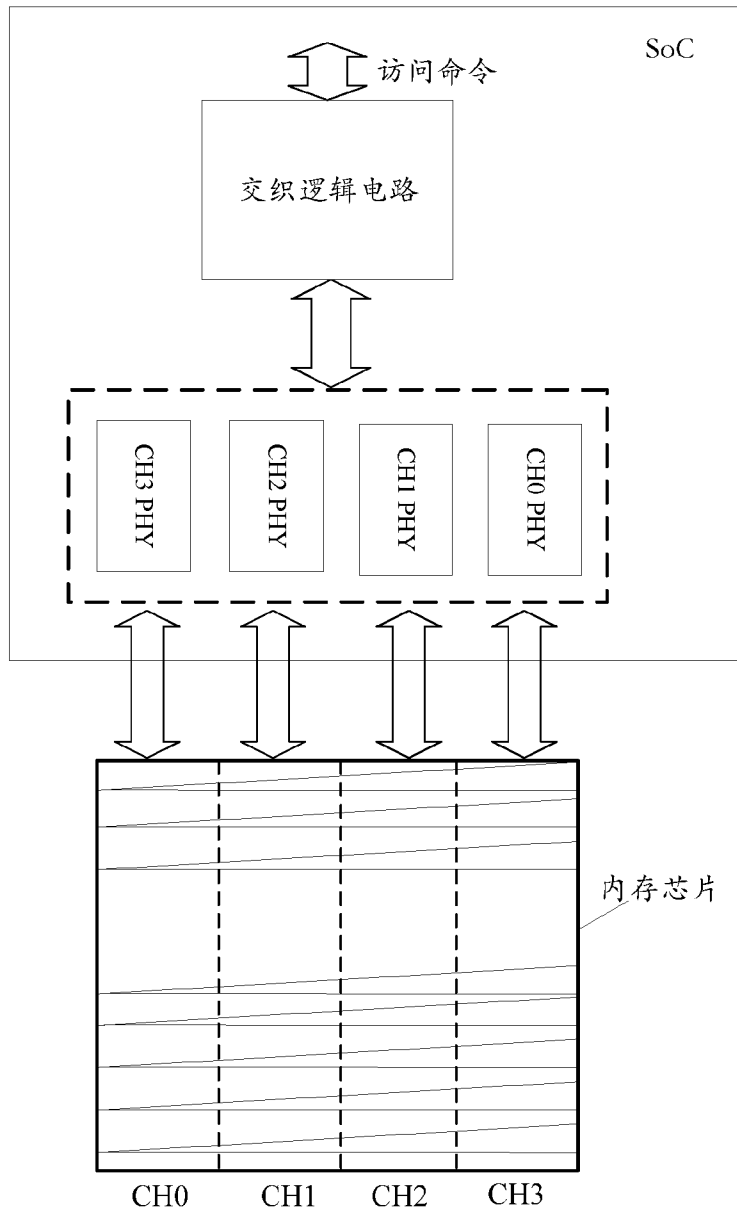


图 1

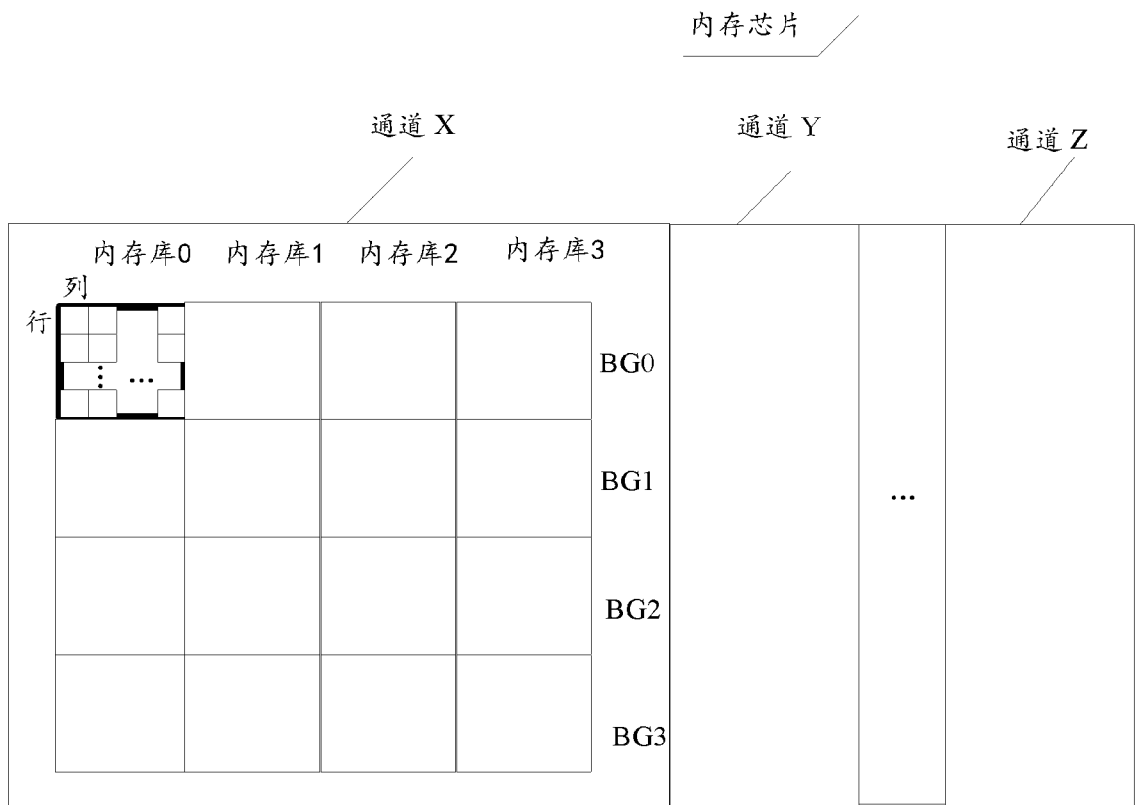


图 2

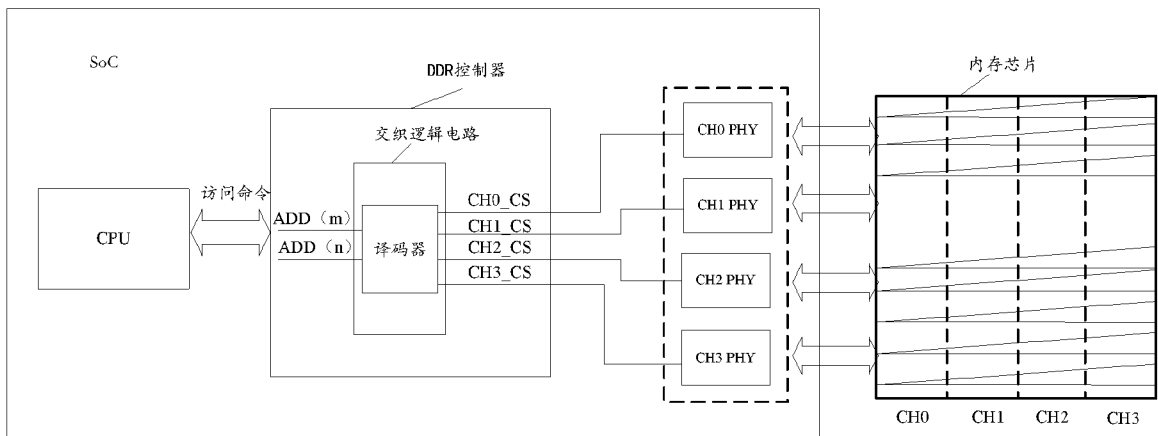
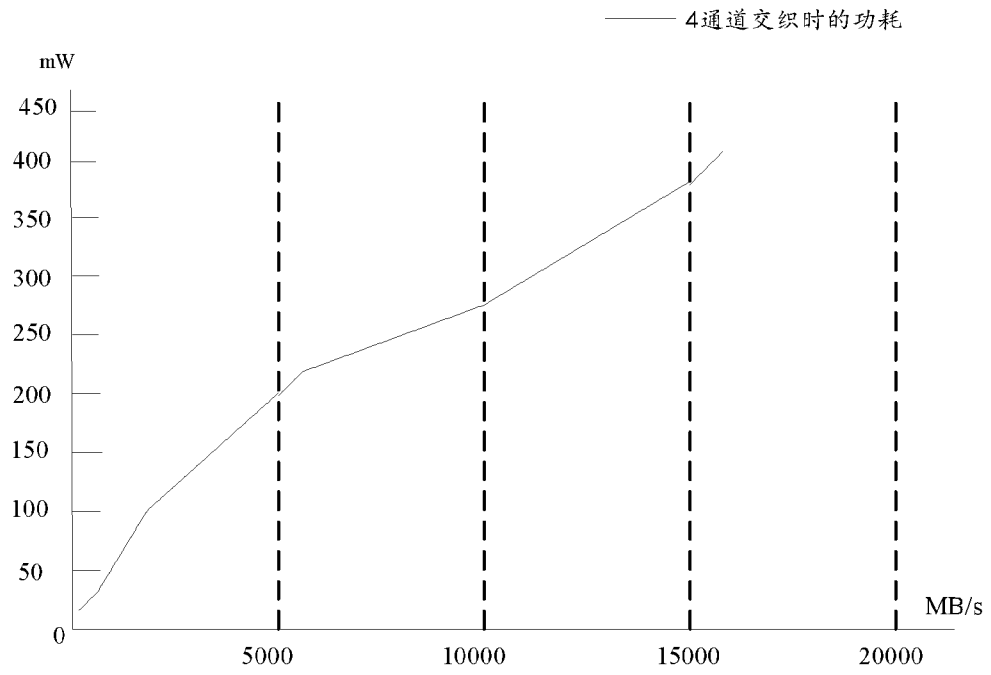
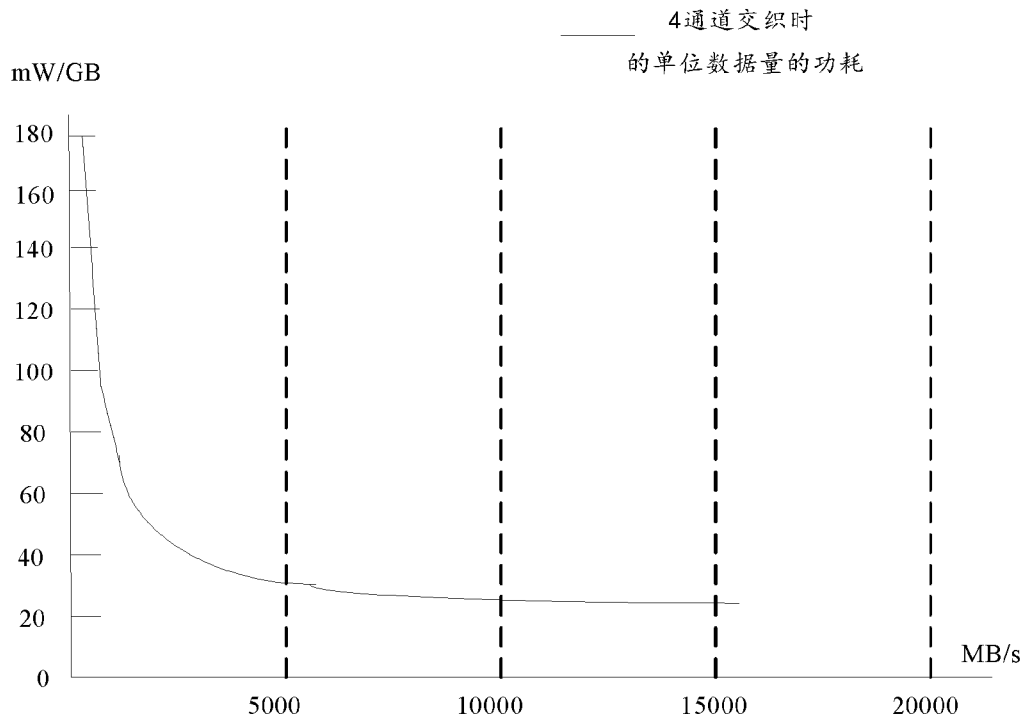


图 3



(a)



(b)

图 4

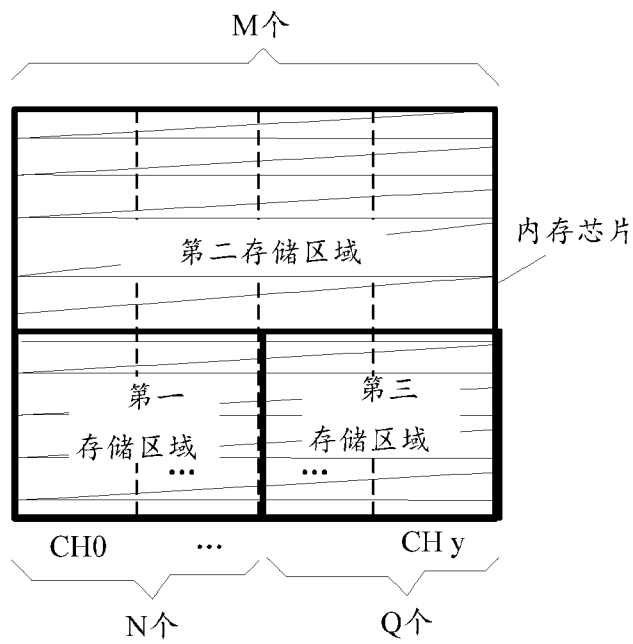


图 5

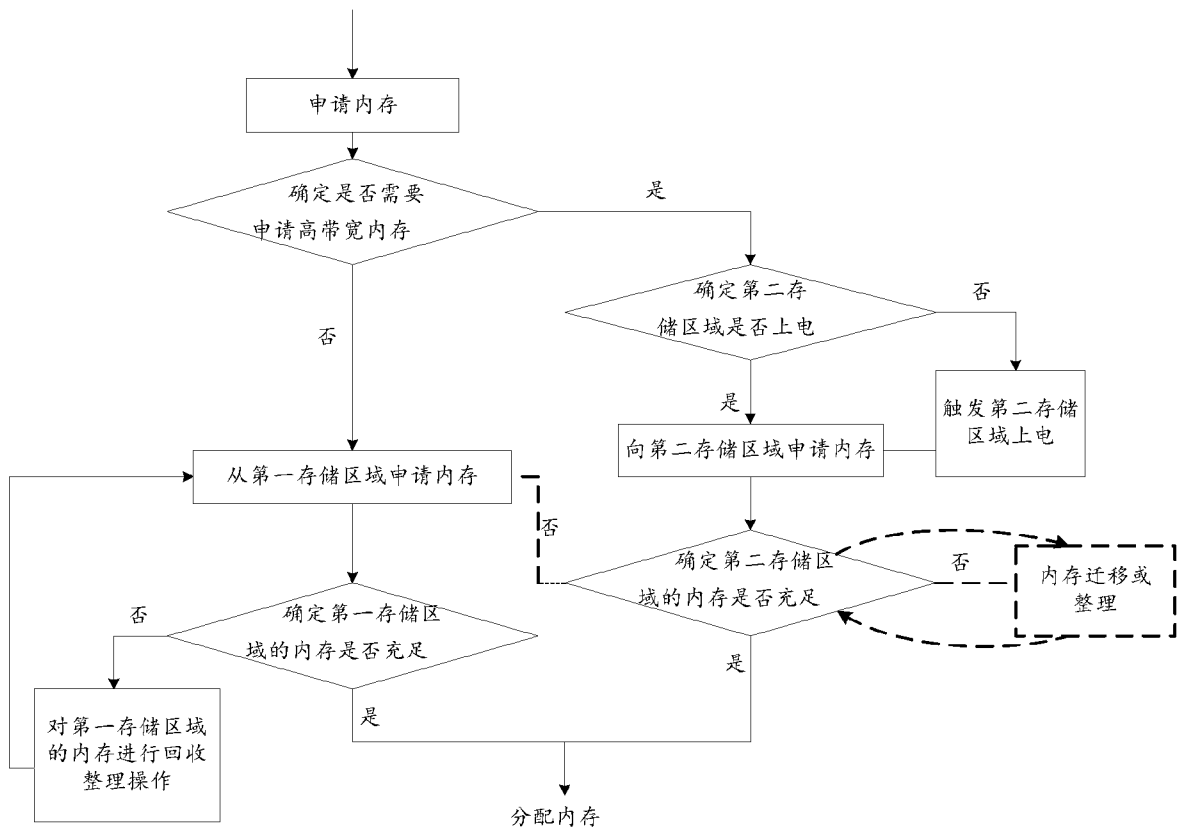


图 6

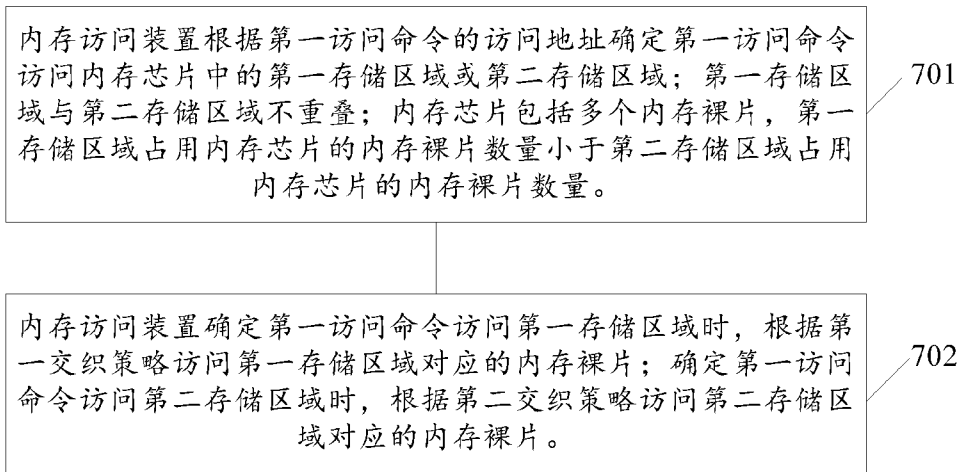


图 7

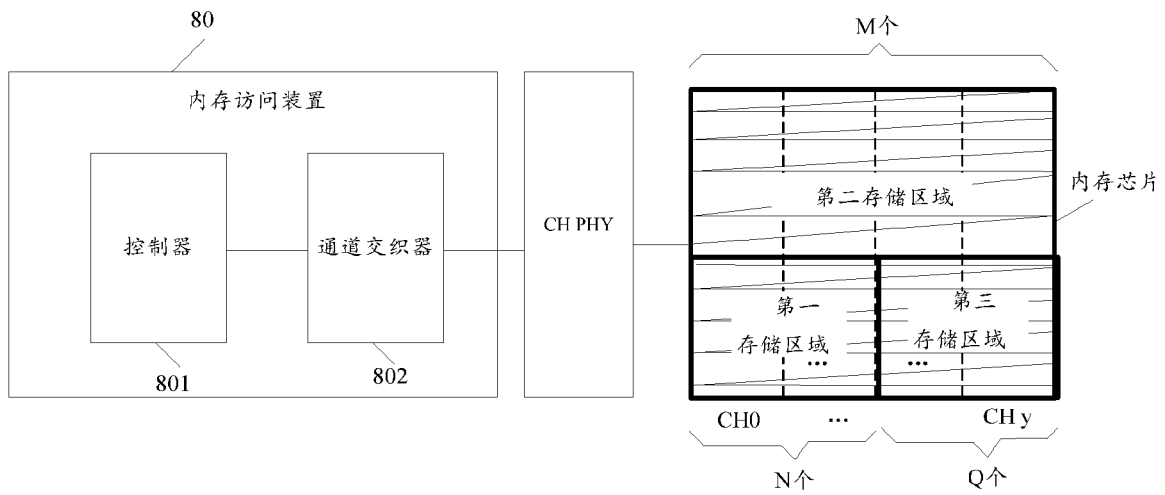


图 8

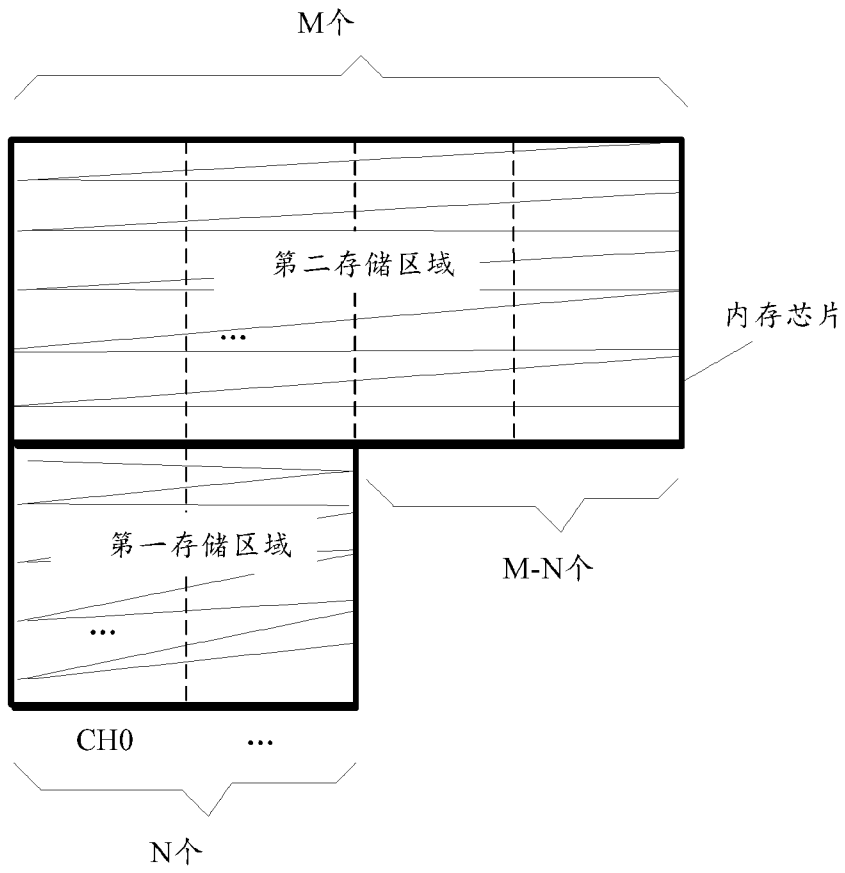


图 9

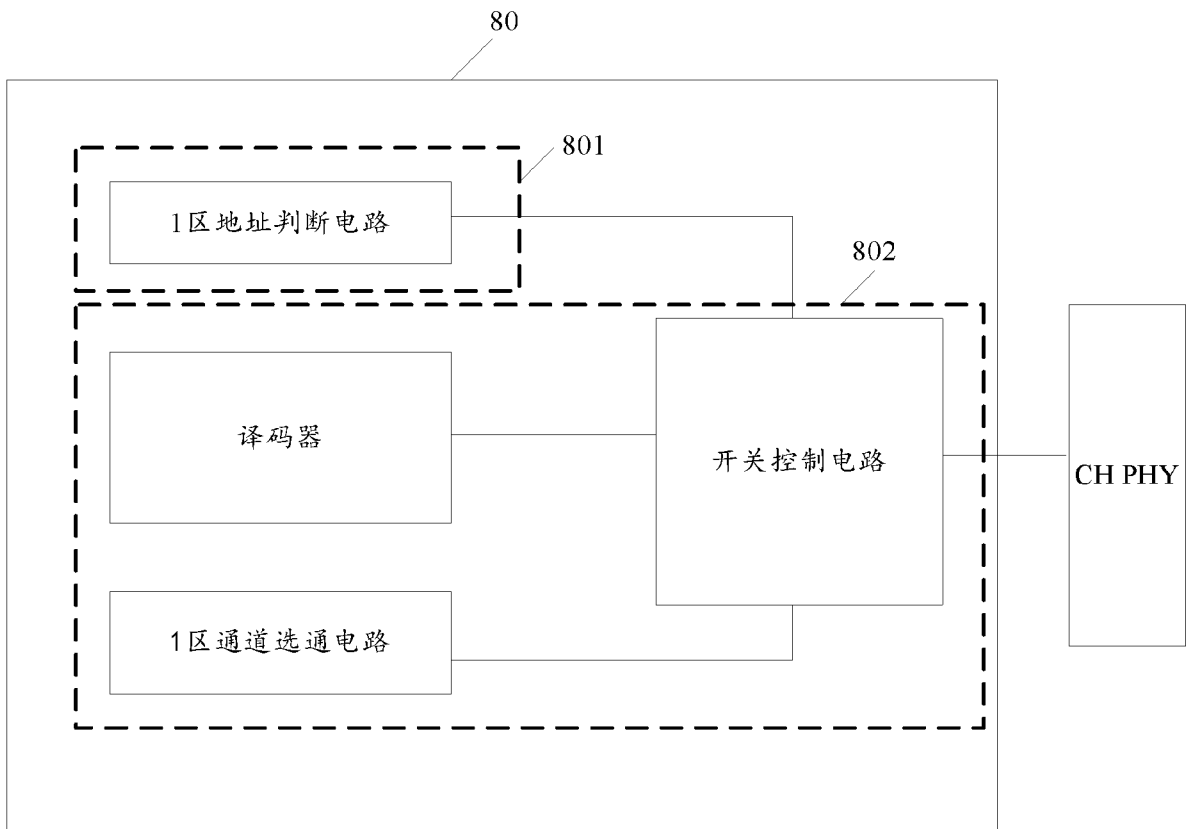


图 10

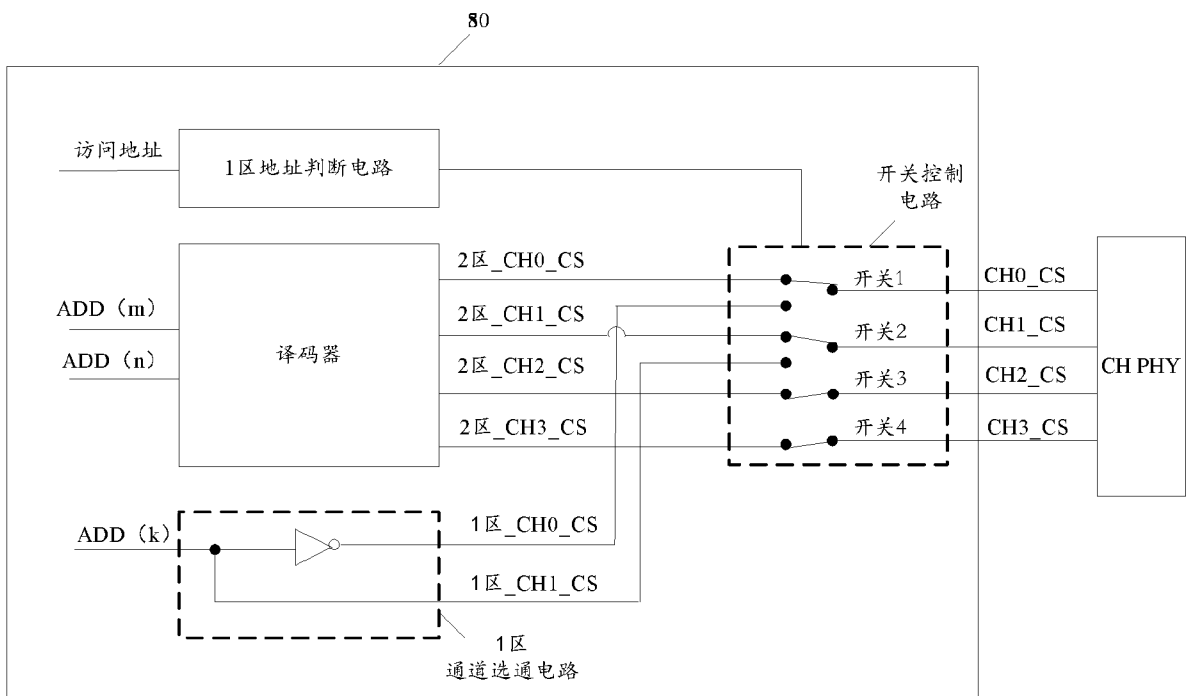


图 11

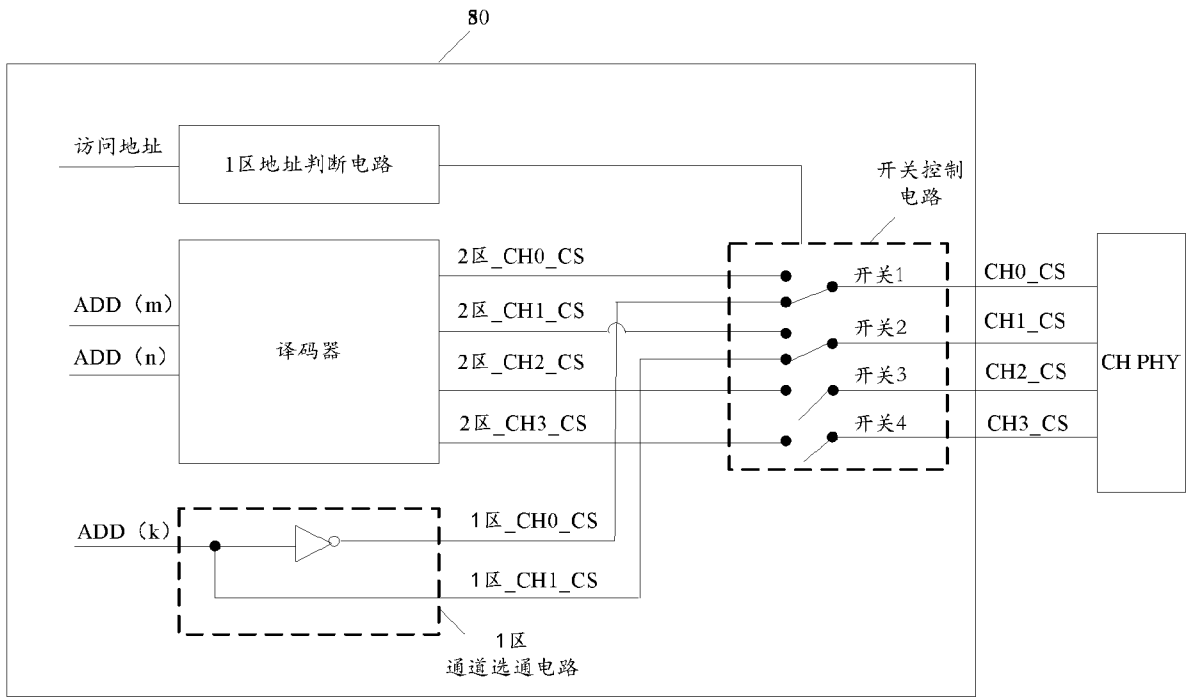


图 12

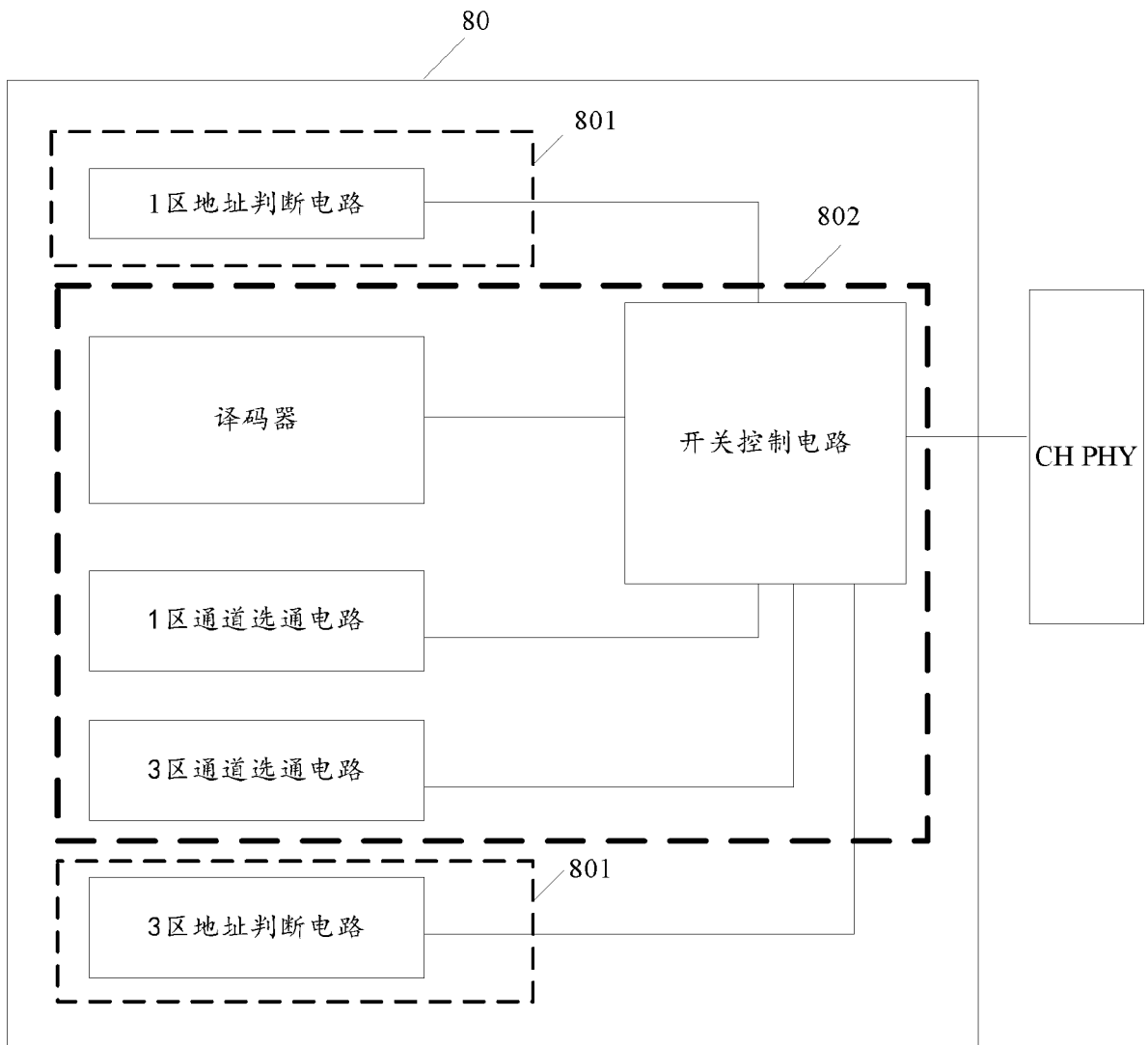


图 13

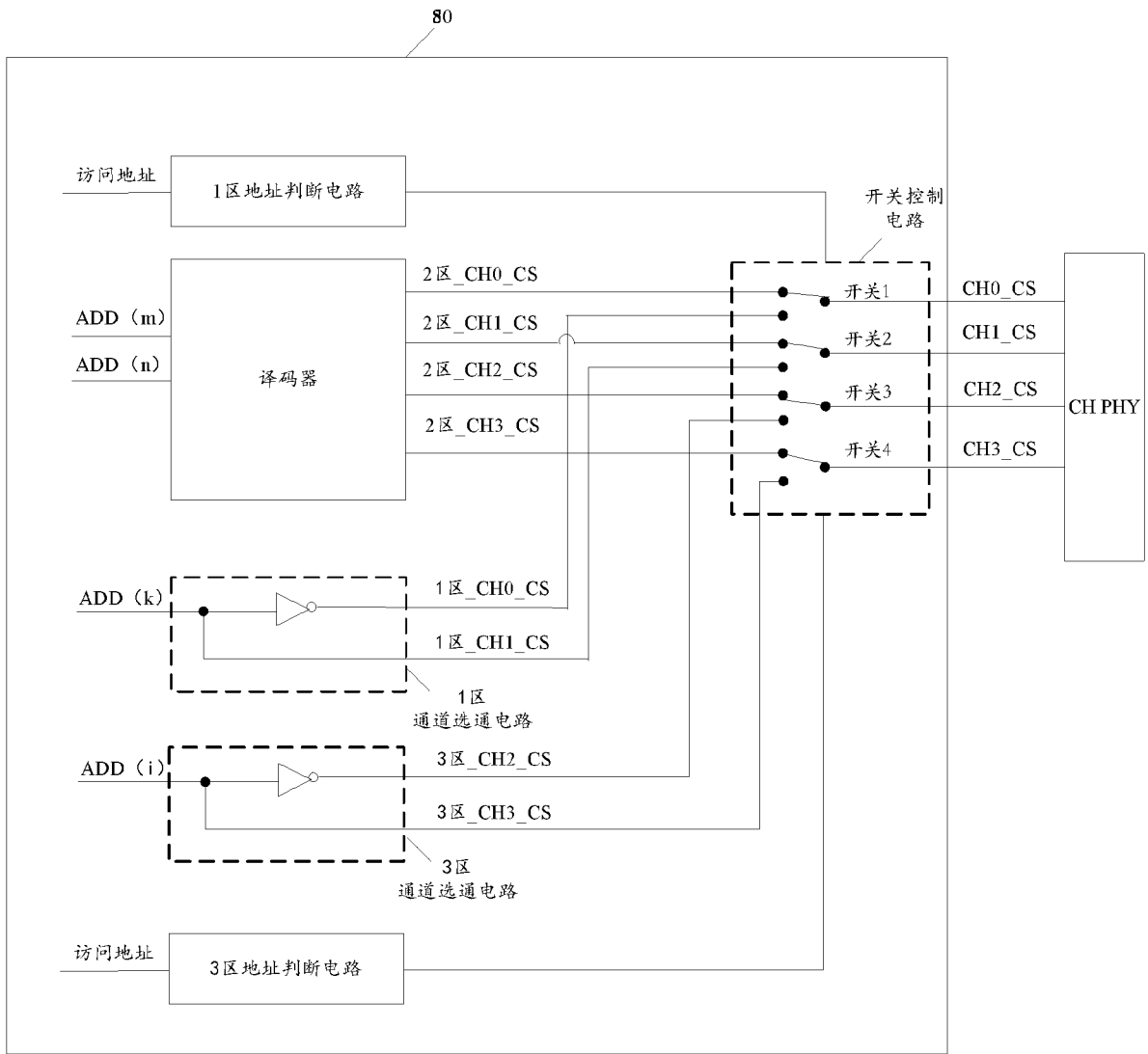


图 14

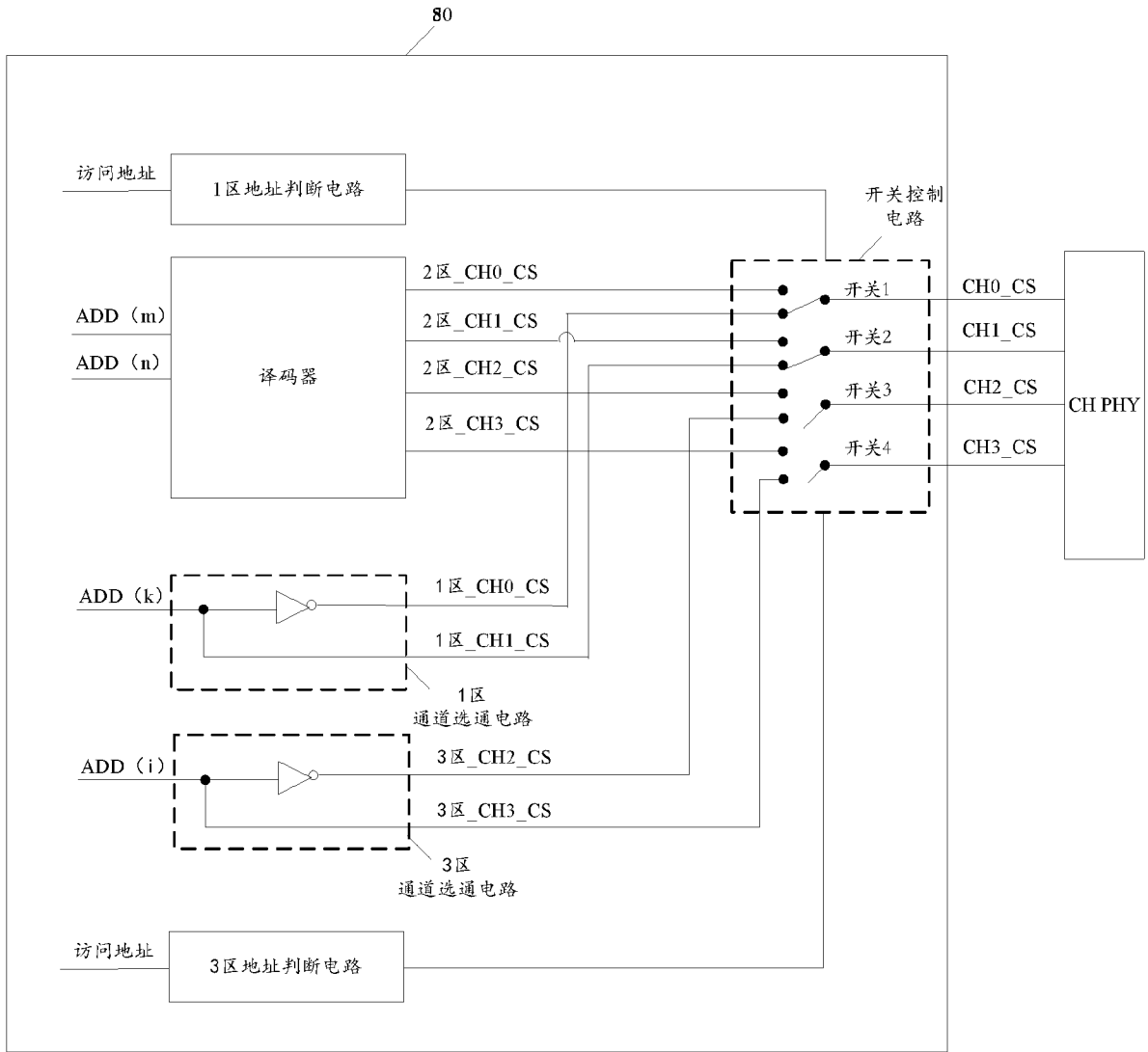


图 15

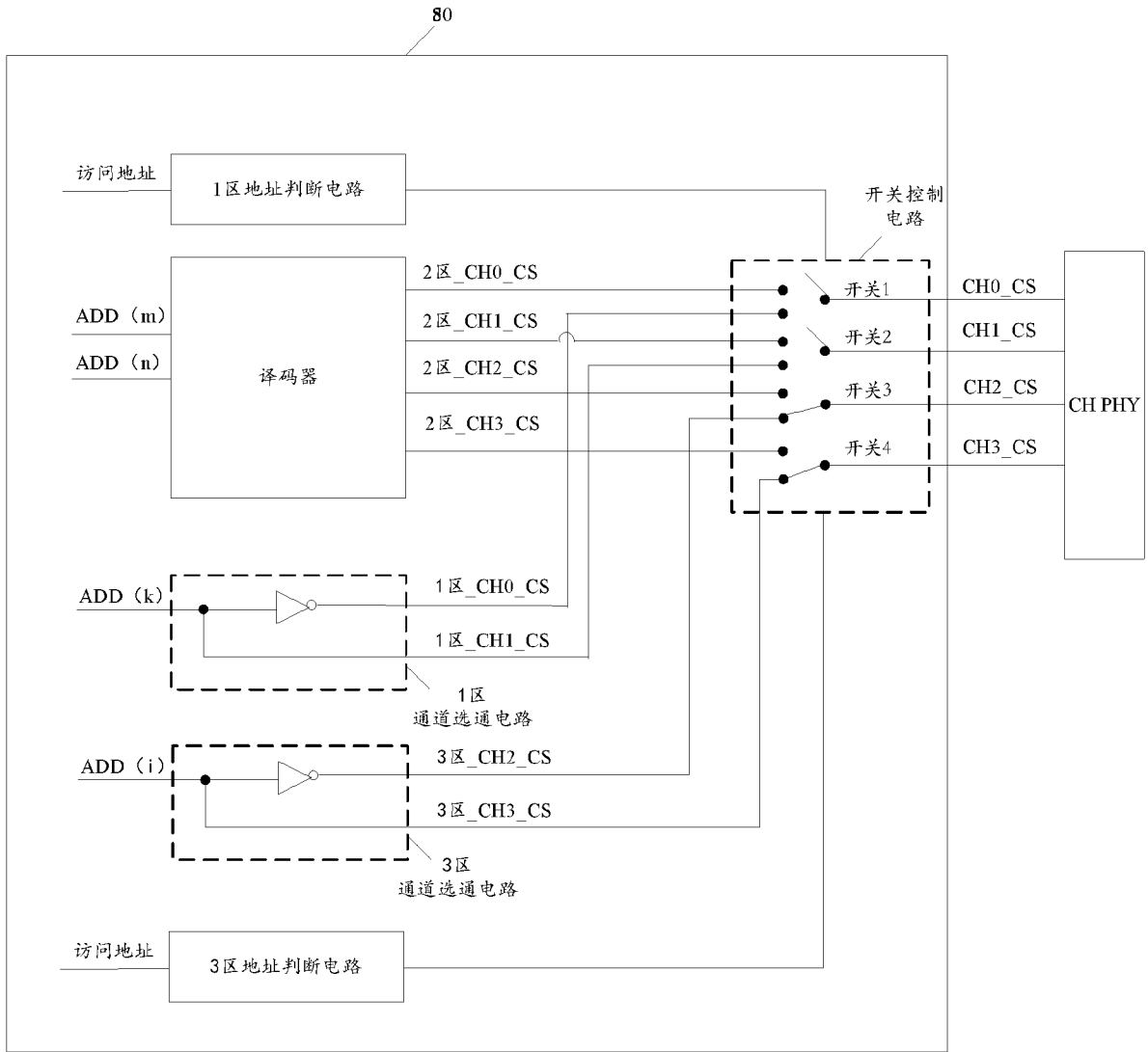
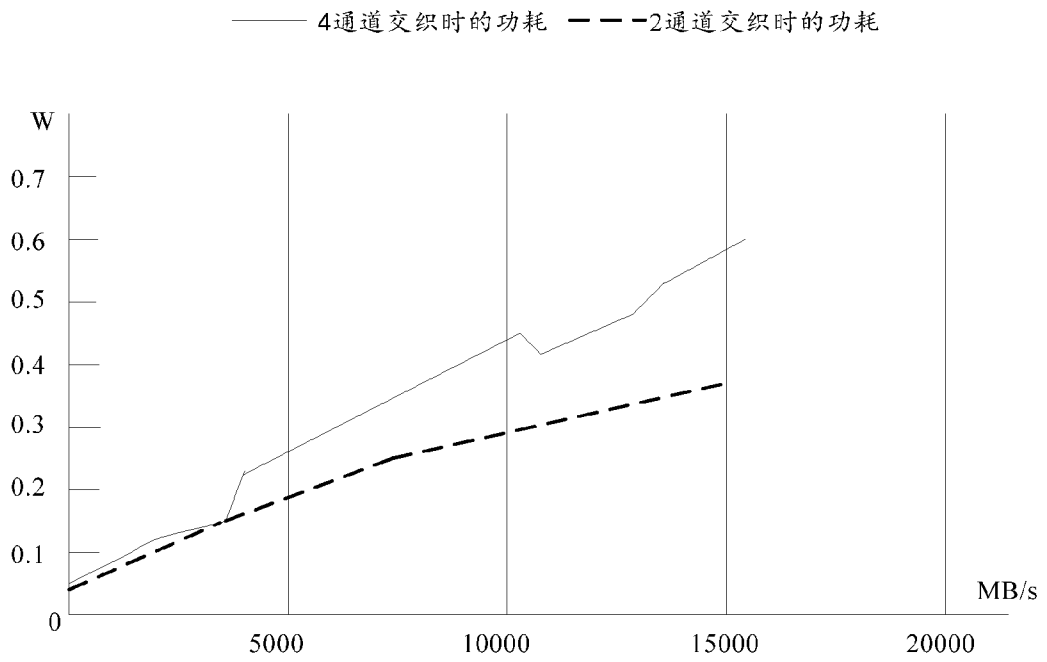
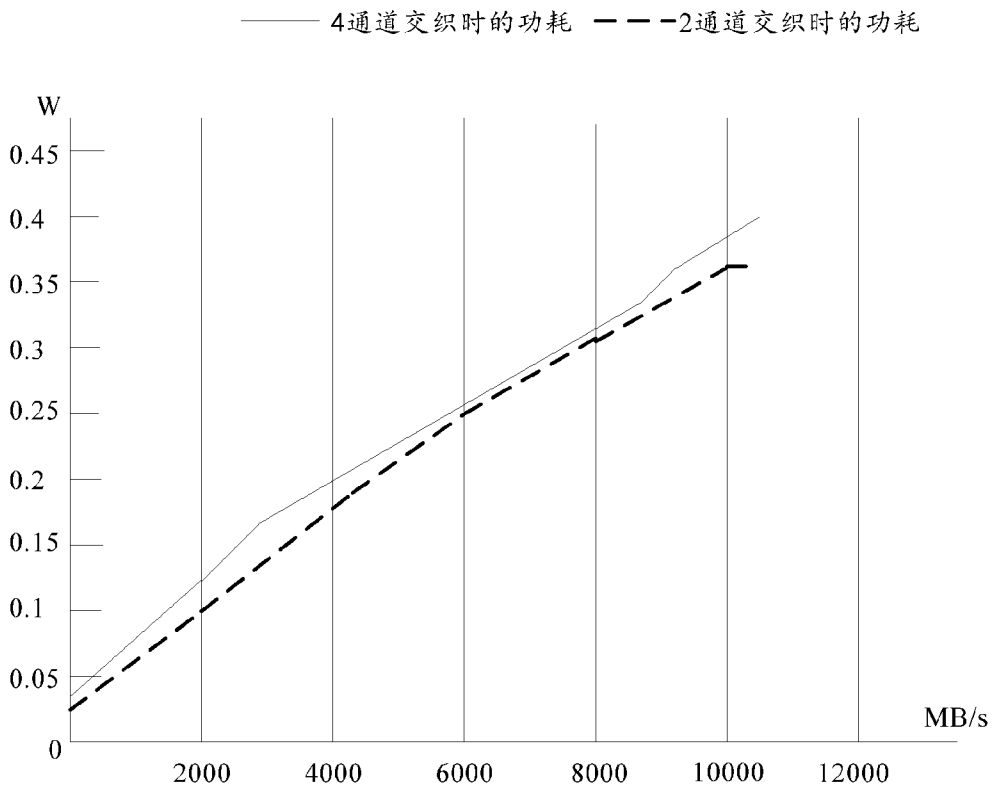


图 16



(a)



(b)

图 17

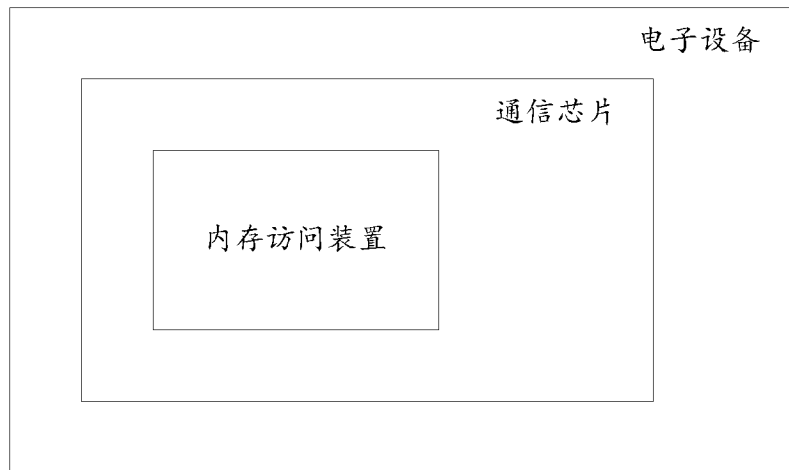


图 18

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/074251

| | | |
|--|--|--|
| A. CLASSIFICATION OF SUBJECT MATTER G06F 12/06(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC | | |
| B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G06F Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) CNABS; CNTXT; VEN; CNKI; WOTXT; EPTXT; USTXT: 内存, 访问, 芯片, 通道, 裸片, 交织器, 存储区, 连接, memory, access, soc, chip, LPDDR, channel, interleave, storage, connection, switch | | |
| C. DOCUMENTS CONSIDERED TO BE RELEVANT | | |
| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
| X | CN 105612501 A (QUALCOMM INC.) 25 May 2016 (2016-05-25) description, paragraphs [0025]-[0073] | 1-16 |
| X | US 2015081989 A1 (LEE Sung Hyun et al.) 19 March 2015 (2015-03-19) description paragraphs [0101]-[0154] | 1-16 |
| A | CN 107180001 A (HUAWEI TECHNOLOGIES CO., LTD.) 19 September 2017 (2017-09-19) entire document | 1-16 |
| A | US 2012137090 A1 (BISWAS Sukalpa et al.) 31 May 2012 (2012-05-31) entire document | 1-16 |
| <input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex. | | |
| * Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family | | |
| Date of the actual completion of the international search 19 August 2021 | | Date of mailing of the international search report 08 September 2021 |
| Name and mailing address of the ISA/CN China National Intellectual Property Administration (ISA/CN) No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088, China Facsimile No. (86-10)62019451 | | Authorized officer Telephone No. |

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/074251

| Patent document cited in search report | | | Publication date (day/month/year) | Patent family member(s) | | | Publication date (day/month/year) |
|--|------------|----|-----------------------------------|-------------------------|--------------|----|-----------------------------------|
| CN | 105612501 | A | 25 May 2016 | BR | 112016007344 | A2 | 01 August 2017 |
| | | | | US | 9465735 | B2 | 11 October 2016 |
| | | | | JP | 2016532926 | A | 20 October 2016 |
| | | | | WO | 2015051201 | A1 | 09 April 2015 |
| | | | | EP | 3053044 | B1 | 20 November 2019 |
| | | | | CN | 105612501 | B | 13 November 2018 |
| | | | | CA | 2925131 | A1 | 09 April 2015 |
| | | | | US | 2015100746 | A1 | 09 April 2015 |
| | | | | KR | 20160064223 | A | 07 June 2016 |
| | | | | EP | 3053044 | A1 | 10 August 2016 |
| | | | | JP | 6378325 | B2 | 22 August 2018 |
| | | | | IN | 201647007079 | A | 01 July 2016 |
| | | | | ID | 201709362 | A | 25 August 2017 |
| US | 2015081989 | A1 | 19 March 2015 | US | 9606916 | B2 | 28 March 2017 |
| | | | | KR | 20150031400 | A | 24 March 2015 |
| | | | | KR | 102168588 | B1 | 22 October 2020 |
| CN | 107180001 | A | 19 September 2017 | US | 2017262404 | A1 | 14 September 2017 |
| | | | | CN | 107180001 | B | 21 February 2020 |
| | | | | US | 10452604 | B2 | 22 October 2019 |
| US | 2012137090 | A1 | 31 May 2012 | None | | | |

国际检索报告

国际申请号

PCT/CN2021/074251

| <p>A. 主题的分类</p> <p>G06F 12/06 (2006.01) i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p> | | | | | | | | | | | | | | | | | |
|--|--|---|-----|-------------------|---------|---|---|------|---|--|------|---|---|------|---|---|------|
| <p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>G06F</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>CNABS;CNTXT;VEN;CNKI;WOTXT;EPTXT;USTXT;内存, 访问, 芯片, 通道, 裸片, 交织器, 存储区, 连接, memory, access, soc, chip, LPDDR, channel, interleave, storage, connection, switch</p> | | | | | | | | | | | | | | | | | |
| <p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 105612501 A (高通股份有限公司) 2016年 5月 25日 (2016 - 05 - 25) 说明书第[0025]-[0073]段</td> <td>1-16</td> </tr> <tr> <td>X</td> <td>US 2015081989 A1 (LEE Sung Hyun 等) 2015年 3月 19日 (2015 - 03 - 19) 说明书第[0101]-[0154]段</td> <td>1-16</td> </tr> <tr> <td>A</td> <td>CN 107180001 A (华为技术有限公司) 2017年 9月 19日 (2017 - 09 - 19) 全文</td> <td>1-16</td> </tr> <tr> <td>A</td> <td>US 2012137090 A1 (BISWAS Suka1pa 等) 2012年 5月 31日 (2012 - 05 - 31) 全文</td> <td>1-16</td> </tr> </tbody> </table> | | | 类型* | 引用文件, 必要时, 指明相关段落 | 相关的权利要求 | X | CN 105612501 A (高通股份有限公司) 2016年 5月 25日 (2016 - 05 - 25) 说明书第[0025]-[0073]段 | 1-16 | X | US 2015081989 A1 (LEE Sung Hyun 等) 2015年 3月 19日 (2015 - 03 - 19) 说明书第[0101]-[0154]段 | 1-16 | A | CN 107180001 A (华为技术有限公司) 2017年 9月 19日 (2017 - 09 - 19) 全文 | 1-16 | A | US 2012137090 A1 (BISWAS Suka1pa 等) 2012年 5月 31日 (2012 - 05 - 31) 全文 | 1-16 |
| 类型* | 引用文件, 必要时, 指明相关段落 | 相关的权利要求 | | | | | | | | | | | | | | | |
| X | CN 105612501 A (高通股份有限公司) 2016年 5月 25日 (2016 - 05 - 25) 说明书第[0025]-[0073]段 | 1-16 | | | | | | | | | | | | | | | |
| X | US 2015081989 A1 (LEE Sung Hyun 等) 2015年 3月 19日 (2015 - 03 - 19) 说明书第[0101]-[0154]段 | 1-16 | | | | | | | | | | | | | | | |
| A | CN 107180001 A (华为技术有限公司) 2017年 9月 19日 (2017 - 09 - 19) 全文 | 1-16 | | | | | | | | | | | | | | | |
| A | US 2012137090 A1 (BISWAS Suka1pa 等) 2012年 5月 31日 (2012 - 05 - 31) 全文 | 1-16 | | | | | | | | | | | | | | | |
| <p><input type="checkbox"/> 其余文件在C栏的续页中列出。</p> <p><input checked="" type="checkbox"/> 见同族专利附件。</p> | | | | | | | | | | | | | | | | | |
| <p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&” 同族专利的文件</p> | | | | | | | | | | | | | | | | | |
| <p>国际检索实际完成的日期</p> <p>2021年 8月 19日</p> | | <p>国际检索报告邮寄日期</p> <p>2021年 9月 8日</p> | | | | | | | | | | | | | | | |
| <p>ISA/CN的名称和邮寄地址</p> <p>中国国家知识产权局(ISA/CN) 中国 北京市海淀区蓟门桥西土城路6号 100088</p> <p>传真号 (86-10)62019451</p> | | <p>授权官员</p> <p>薛乐梅</p> <p>电话号码 86-(20)-28950448</p> | | | | | | | | | | | | | | | |

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/074251

| 检索报告引用的专利文件 | | | 公布日 (年/月/日) | 同族专利 | | | 公布日 (年/月/日) |
|-------------|------------|----|----------------|------|--------------|----|----------------|
| CN | 105612501 | A | 2016年 5月 25日 | BR | 112016007344 | A2 | 2017年 8月 1日 |
| | | | | US | 9465735 | B2 | 2016年 10月 11日 |
| | | | | JP | 2016532926 | A | 2016年 10月 20日 |
| | | | | WO | 2015051201 | A1 | 2015年 4月 9日 |
| | | | | EP | 3053044 | B1 | 2019年 11月 20日 |
| | | | | CN | 105612501 | B | 2018年 11月 13日 |
| | | | | CA | 2925131 | A1 | 2015年 4月 9日 |
| | | | | US | 2015100746 | A1 | 2015年 4月 9日 |
| | | | | KR | 20160064223 | A | 2016年 6月 7日 |
| | | | | EP | 3053044 | A1 | 2016年 8月 10日 |
| | | | | JP | 6378325 | B2 | 2018年 8月 22日 |
| | | | | IN | 201647007079 | A | 2016年 7月 1日 |
| | | | | ID | 201709362 | A | 2017年 8月 25日 |
| US | 2015081989 | A1 | 2015年 3月 19日 | US | 9606916 | B2 | 2017年 3月 28日 |
| | | | | KR | 20150031400 | A | 2015年 3月 24日 |
| | | | | KR | 102168588 | B1 | 2020年 10月 22日 |
| CN | 107180001 | A | 2017年 9月 19日 | US | 2017262404 | A1 | 2017年 9月 14日 |
| | | | | CN | 107180001 | B | 2020年 2月 21日 |
| | | | | US | 10452604 | B2 | 2019年 10月 22日 |
| US | 2012137090 | A1 | 2012年 5月 31日 | 无 | | | |