



(12)发明专利申请

(10)申请公布号 CN 105745593 A

(43)申请公布日 2016.07.06

(21)申请号 201480062898.3

(22)申请日 2014.12.23

(30)优先权数据

61/920,099 2013.12.23 US

(85)PCT国际申请进入国家阶段日

2016.05.17

(86)PCT国际申请的申请数据

PCT/IB2014/067257 2014.12.23

(87)PCT国际申请的公布数据

W02015/097657 EN 2015.07.02

(71)申请人 马维尔以色列(M.I.S.L.)有限公司

地址 以色列约克尼穆

(72)发明人 I·鲍尔斯泰恩 R·艾克尔

(74)专利代理机构 北京市金杜律师事务所

11256

代理人 张维 徐伟

(51)Int.Cl.

G06F 1/26(2006.01)

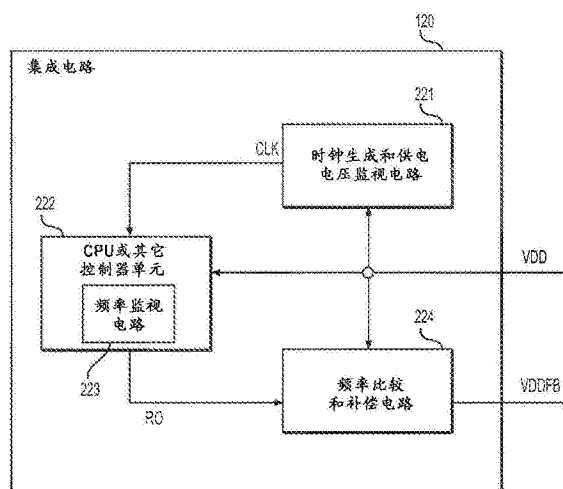
权利要求书2页 说明书9页 附图6页

(54)发明名称

用于对供电电压的变化作出反应的装置和方法

(57)摘要

本公开的多个方面提供了一种集成电路(IC)(120)。IC包括时钟生成和供电电压监视电路(221),其被配置为监视至IC的供电电压并且响应于感测的供电电压的变化而有选择地修改IC的工作频率。IC进一步包括频率比较和补偿电路(224),其被配置为基于工作频率而输出控制信号至电压供应以修改供电电压,以便对工作频率的变化进行补偿并且将工作频率返回至目标工作频率。



1. 一种集成电路(IC),包括:

时钟生成和供电电压监视电路,其被配置为监视至所述IC的供电电压并且响应于感测的所述供电电压的变化而有选择地修改所述IC的工作频率;以及

频率比较和补偿电路,其被配置为基于所述工作频率而输出控制信号至电压供应以修改所述供电电压,以便对所述工作频率的变化进行补偿并且将所述工作频率返回至目标工作频率。

2. 根据权利要求1所述的IC,其中所述时钟生成和供电电压监视电路进一步包括:

压控振荡器,其被配置为接收所述供电电压;以及

控制模块,其被配置为向所述压控振荡器输出频率控制参数,

其中所述压控振荡器被配置为基于所述供电电压和所述频率控制参数生成输出时钟信号,并且被配置为将所述输出时钟信号输出至所述IC的电路。

3. 根据权利要求2所述的IC,其中所述输出时钟信号响应于所述感测的所述供电电压的变化而有选择地减小或增大所述IC的所述工作频率。

4. 根据权利要求1所述的IC,进一步包括:

频率监视电路,其被配置为监视所述工作频率并且向所述频率比较和补偿电路输出指示所述工作频率的信号。

5. 根据权利要求4所述的IC,其中所述频率比较和补偿电路进一步包括:

频率比较器,其被配置为基于指示所述工作频率的所述信号生成校正信号;以及

反馈生成器,其被配置为基于所述供电电压和所述校正信号生成所述控制信号,并且被配置为将所述控制信号输出至提供所述供电电压的电压供应。

6. 根据权利要求1所述的IC,其中所述频率比较和补偿电路被配置为生成作为模拟信号的所述控制信号并且将所述控制信号提供至提供所述供电电压的电压供应,所述控制信号被配置为对所述供电电压进行管理以便将所述工作频率返回至所述目标工作频率。

7. 根据权利要求2所述的IC,其中所述输出时钟信号被用于所述IC的系统时钟。

8. 一种方法,包括:

监视至集成电路(IC)的供电电压;

响应于感测的所述供电电压的变化而有选择地修改所述IC的工作频率;以及

基于所述工作频率而输出控制信号至电压供应以修改所述供电电压,以便对所述工作频率的变化进行补偿并且将所述工作频率返回至目标工作频率。

9. 根据权利要求8所述的方法,进一步包括:

基于所述供电电压和频率控制参数生成输出时钟信号;以及

将所述输出时钟信号输出至所述IC的电路。

10. 根据权利要求9所述的方法,其中有选择地修改所述IC的所述工作频率包括响应于所述感测的所述供电电压的变化而基于所述输出时钟信号有选择地减小或增大所述IC的所述工作频率。

11. 根据权利要求8所述的方法,进一步包括:

监视所述工作频率;以及

输出指示所述工作频率的信号。

12. 根据权利要求11所述的方法,进一步包括:

基于指示所述工作频率的所述信号生成校正信号;

基于所述供电电压和所述校正信号生成所述控制信号;以及

将所述控制信号输出至提供所述供电电压的电压供应。

13. 根据权利要求9所述的方法,其中生成所述控制信号包括:

生成作为模拟信号的所述控制信号;以及

将所述控制信号提供至提供所述供电电压的电压供应,所述控制信号被配置为对所述供电电压进行管理以便将所述工作频率返回至所述目标工作频率。

14. 一种系统,包括:

电压调节器,被配置为基于控制信号调节供电电压;以及

集成电路(IC),其包括:

时钟生成和供电电压监视电路,其被配置为监视所述供电电压并且响应于感测的所述供电电压的变化而有选择地修改所述IC的工作频率;以及

频率比较和补偿电路,其被配置为基于所述工作频率而输出所述控制信号至所述电压调节器以修改所述供电电压,以便对所述工作频率的变化进行补偿并且将所述工作频率返回至目标工作频率。

15. 根据权利要求14所述的系统,其中所述时钟生成和供电电压监视电路进一步包括:

压控振荡器,其被配置为接收所述供电电压;以及

控制模块,其被配置为向所述压控振荡器输出频率控制参数,

其中所述压控振荡器被配置为基于所述供电电压和所述频率控制参数生成输出时钟信号,并且被配置为将所述输出时钟信号输出至所述IC的电路。

16. 根据权利要求15所述的系统,其中所述输出时钟信号响应于所述感测的所述供电电压的变化而有选择地减小或增大所述IC的所述工作频率。

17. 根据权利要求14所述的系统,进一步包括:

频率监视电路,其被配置为监视所述工作频率并且向所述频率比较和补偿电路输出指示所述工作频率的信号。

18. 根据权利要求17所述的系统,其中所述频率比较和补偿电路进一步包括:

频率比较器,其被配置为基于指示所述工作频率的所述信号生成校正信号;以及

反馈生成器,其被配置为基于所述供电电压和所述校正信号生成所述控制信号并且将所述控制信号输出至所述电压调节器。

19. 根据权利要求14所述的系统,其中所述频率比较和补偿电路被配置为生成作为模拟信号的所述控制信号并且将所述控制信号提供至所述电压调节器,所述控制信号被配置为对所述供电电压进行管理以便将所述工作频率返回至所述目标工作频率。

20. 根据权利要求15所述的系统,其中所述输出时钟信号被用于所述IC的系统时钟。

用于对供电电压的变化作出反应的装置和方法

[0001] 优先权申请

[0002] 本公开要求于2013年12月23日提交的、题为“Adaptive Voltage Scaling and VDD Tracking”的美国临时申请No.61/920,099的权益,其通过引用全文结合于此。

背景技术

[0003] 这里所提供的背景技术描述是为了总体上给出本公开的背景。就该背景技术部分中所描述的工作的程度,当前署名的发明人的工作以及说明书中在提交时并不以其它方式构成现有技术的多个方面既非明确也非隐含地被承认为相对本公开的现有技术。

[0004] 各种电子系统提供了一种机制,用于根据如在芯片自身上所测量的该芯片上的电路的性能来确保电压供应的长期稳定性。然而,在例如由于CPU活动的突然变化所导致的负载的突然变化的情况下,即使平均供电电压保持在可接受的电压范围之内也可能发生有害的电压下降或尖峰。

[0005] 例如,在对如在芯片自身上所测量的该芯片的性能进行监视的自适应电压调节(AVS)系统中,提供了长期稳定状态的解决方案。然而,AVS在电压的突然变化的情况下可能反应过慢。

[0006] 为了讨论这样的系统,请参考2010年3月24日提交的美国专利No.8,370,654、2012年9月13日提交的美国专利No.8,615,669、2013年12月19日提交的申请号14/134,807、2007年12月20日提交的美国专利No.8,046,601、2013年10月21日提交的申请号14/058,964以及2014年9月8日提交的申请号14/480,075,它们全部通过引用全文结合于此。

发明内容

[0007] 本公开的多个方面提供了一种集成电路(IC)。IC包括时钟生成和供电电压监视电路,其被配置为监视至IC的供电电压并且响应于感测的供电电压的变化而有选择地修改IC的工作频率。IC进一步包括频率比较和补偿电路,其被配置为基于工作频率而输出控制信号至电压供应以修改供电电压,以便对工作频率的变化进行补偿并且将工作频率返回至目标工作频率。

[0008] 在一个实施例中,时钟生成和供电电压监视电路进一步包括:压控振荡器,其被配置为接收供电电压;以及控制模块,其被配置为向压控振荡器输出频率控制参数。

[0009] 在一个示例中,压控振荡器被配置为基于供电电压和频率控制参数生成输出时钟信号,并且被配置为将输出时钟信号输出至IC的电路。

[0010] 在一个示例中,输出时钟信号响应于感测的供电电压的变化而有选择地减小或增大IC的工作频率。

[0011] 在一个实施例中,IC进一步包括频率监视电路,其被配置为监视工作频率并且向频率比较和补偿电路输出指示工作频率的信号。

[0012] 在一个示例中,频率比较和补偿电路进一步包括频率比较器,其被配置为基于指示工作频率的信号生成校正信号;以及反馈生成器,其被配置为基于供电电压和校正信号

生成控制信号,并且被配置为将控制信号输出至提供供电电压的电压供应。

[0013] 在一个示例中,频率比较和补偿电路被配置为生成作为模拟信号的控制信号并且将控制信号提供至提供供电电压的电压供应,控制信号被配置为对供电电压进行管理以便将工作频率返回至目标工作频率。

[0014] 在一个实施例中,输出时钟信号被用于IC的系统时钟。

[0015] 本公开的多个方面提供了一种方法。该方法包括:监视至集成电路(IC)的供电电压;响应于感测的供电电压的变化而有选择地修改IC的工作频率;以及基于工作频率而输出控制信号至电压供应以修改供电电压,以便对工作频率的变化进行补偿并且将工作频率返回至目标工作频率。

[0016] 本公开的多个方面提供了一种系统。该系统包括:电压调节器,被配置为基于控制信号调节供电电压;以及集成电路(IC)。IC包括时钟生成和供电电压监视电路,其被配置为监视至IC的供电电压并且响应于感测的供电电压的变化而有选择地修改IC的工作频率。IC进一步包括频率比较和补偿电路,其被配置为基于工作频率而输出控制信号至电压供应以修改供电电压,以便对工作频率的变化进行补偿并且将工作频率返回至目标工作频率。

附图说明

[0017] 将参考以下附图对作为示例而提供的本公开的各个实施例进行详细描述,其中同样的附图标记指代同样的要素,并且其中:

[0018] 图1示出了根据本公开的实施例的电子系统;

[0019] 图2示出了根据本公开的实施例的图1的IC的详细视图;

[0020] 图3示出了根据本公开的实施例的图2的时钟生成和供电电压监视电路的详细视图;

[0021] 图4示出了根据本公开的实施例的图2的频率比较和补偿电路的详细视图;

[0022] 图5示出了根据本公开的实施例的IC活动、供电电压以及CPU或其它控制器的系统时钟的工作频率相对于时间的关系;以及

[0023] 图6示出了概括根据本公开的实施例的方法的简化流程图。

具体实施方式

[0024] 在包括AVS系统的电子系统中,对如在芯片自身上所测量的该芯片的性能进行监视并且提供了长期稳定状态的解决方案。然而,在AVS对于电压的突然变化反应过慢的情况下,对该芯片应用快速作用解决方案以防止系统故障。在一个示例中,快速作用的时钟生成器和电压监视器感测电压的突然变化并且快速修改芯片的工作频率以便避免系统故障。

[0025] 在一个示例中,工作频率的快速修改被频率监视器监视并且有关工作频率修改的指示被转发至AVS。在一个示例中,AVS接收有关工作频率修改的指示并且对电压供应进行管理以将时钟频率返回至其目标值。

[0026] 在一个示例中,工作频率是芯片性能的量度。芯片的性能被监视并且然后向电压供应提供反馈,电压供应对所要供应的电压进行管理,因此芯片性能被保持在规定的性能范围之内。在一个示例中,当供电电压突然下降(或突然上升)(这能够被快速监视到)时,时钟生成器和电压监视器通过快速改变时钟频率而提供快速补偿。然而,这并不是所期望的

长期解决方案,因为其会不利地对系统性能造成负面影响。

[0027] 长期性能稳定性由AVS保持,其感测到芯片性能已经发生变化并且向电压供应提供反馈信号以通过增大或减小供应至芯片的电压来对芯片性能的变化进行补偿,直至系统性能返回至其稳定状态。

[0028] 图1示出了根据本发明的实施例的系统110。系统110包括集成电路(IC)120和电压调节器130。电压调节器130向IC 120提供供电电压VDD。IC 120向电压调节器130提供控制信号VDDFB,控制信号VDDFB在IC 120上被计算并且指示其性能。

[0029] 在一个示例中,系统110是一种电子系统,其被配置为其中在电路板上包括IC 120和电压调节器130的一种电子设备。在一个示例中,IC 120是片上系统(SOC),其包括若干诸如中央处理器(CPU)之类的集成电路。在一个示例中,电压调节器130基于从IC 120接收的控制信号VDDFB而对至IC 120的供电电压VDD进行调节。在一个示例中,电压调节器130是向IC 120提供供电电压VDD的DC/DC转换器。在示例中,电压调节器130是适于基于控制信号VDDFB向IC 120提供供电电压VDD的任意电路。在一个示例中,电压调节器130和IC 120形成反馈回路以生成供电电压VDD并对其稳定化。在一个示例中,电压调节器130和IC 120是均部署在相同电路板上的分离单元。可替换地,电压调节器130和IC 120各自部署在分离的电路板上。

[0030] 图2示出了根据本公开的实施例的IC 120的详细视图。在一个示例中,IC 120包括时钟生成和供电电压监视电路221、CPU或其它控制器单元222、频率监视电路223、以及频率比较和补偿电路224。在一个示例中,时钟生成和供电电压监视电路221、CPU或其它控制器单元222以及频率比较和补偿电路224均接收供电电压VDD。在一个示例中,时钟生成和供电电压监视电路生成时钟信号CLK并将其输出至CPU或其它控制器单元222。

[0031] 在一个实施例中,CPU或其它控制器单元222包括频率监视电路223。在一个示例中,频率监视电路223对CPU或其它控制器单元222的工作频率进行监视并且生成指示CPU或其它控制器单元222的工作频率的信号。在一个示例中,频率监视电路223在预定时间内对CPU或其它控制器单元222的时钟的上升沿的数量进行计数。在一个示例中,频率监视电路223基于在预定时间内的上升沿的数量生成指示CPU或其它控制器单元222的时钟的工作频率的信号并且将指示工作频率的信号作为读出信号R0进行输出。在一个示例中,频率监视电路223是适于监视CPU或其它控制器单元222的工作频率并且向频率比较和补偿电路224输出指示工作频率的信号的任意电路。在一个示例中,读出信号R0是数字信号。然而,读出信号R0是指示系统时钟的工作频率并且被输出至频率比较和补偿电路224的任意适当信号。在一个示例中,CPU或其它控制器单元222是IC 120的主处理器。在一个示例中,CPU或其它控制器单元222的系统时钟是IC 120的主处理器的基础时钟。在一个示例中,CPU或其它控制器单元222使用从时钟生成和供电电压监视电路221输出的时钟信号CLK作为其系统或基础时钟。在一个示例中,频率监视电路223监视CPU或其它控制器单元222的系统或基础时钟的工作频率,并且将指示CPU或其它控制器单元222的系统或基础时钟的工作频率的读出信号R0输出至频率比较和补偿电路224。

[0032] 在一个示例中,频率监视电路223是部署在CPU或其它控制器单元222上的数字振铃振荡器(未示出)的计数器。在一个示例中,CPU或其它控制器单元222的时钟和DRO的输出之一被选择并且由DRO的计数器进行计数。在一个示例中,DRO的计数器向频率比较和补偿

电路224输出读出信号R0。在一个示例中,频率监视电路223并未部署在CPU或其它控制器单元222之内。

[0033] 在一个实施例中,频率比较和补偿电路224接收读出信号R0并且基于读出信号R0生成控制信号VDDFB。在一个示例中,频率比较和补偿电路224向电压调节器130输出控制信号VDDFB作为指示IC性能的模拟信号。用于基于系统性能生成控制信号VDDFB的示例实施例的实质性功能例如能够在2010年3月24日提交的美国专利No.8,370,654、2012年9月13日提交的美国专利No.8,615,669、2013年12月19日提交的申请号14/134,807、2007年12月20日提交的美国专利No.8,046,601、2013年10月21日提交的申请号14/058,964以及2014年9月8日提交的申请号14/480,075中详细找到。

[0034] 在一个实施例中,时钟生成和供电电压监视电路221、频率监视电路223以及频率比较和补偿电路224结合电压调节器130被用作用来向CPU或其它控制器单元222提供基础时钟的锁频环(FLL)或锁相环(PLL)的替代形式。在一个示例中,时钟生成和供电电压监视电路221、频率监视电路223以及频率比较和补偿电路224结合电压调节器130与FLL或PLL(未示出)并行使用。在一个示例中,时钟信号CLK和来自PLL的输出中的一个被选择作为至CPU或其它控制器单元222的基础时钟。

[0035] 图3示出了根据本公开的实施例的时钟生成和供电电压监视电路221的详细视图。在一个实施例中,时钟生成和供电电压监视电路221包括压控振荡器2211和控制模块2212。在一个示例中,压控振荡器2211接收供电电压VDD并且输出时钟信号CLK。在一个示例中,压控振荡器2211向CPU或其它控制器单元222输出时钟信号CLK。在一个示例中,控制模块2212向压控振荡器2211输出一个或多个控制参数2213。压控振荡器2211生成具有基于供电电压VDD以及一个或多个控制参数2213确定的频率的时钟信号CLK。

[0036] 在一个实施例中,一个或多个控制参数2213包括K1、K2和S(未示出)。在一个示例中,K1是粗略范围频率控制参数,K2是精细调谐频率控制参数,并且S是定义供电电压VDD和时钟信号CLK的频率之间的关系的斜率控制。在一个示例中,供电电压VDD和时钟信号CLK的频率之间的关系是线性的。

[0037] 在一个实施例中,一个或多个控制参数2213在控制模块2212中被预先编程。在一个示例中,一个或多个控制参数2213基于IC 120的频率-电压特性被提供至控制模块2212,这将在随后进行描述。

[0038] 图4示出了根据本公开的实施例的频率比较和补偿电路224的详细视图。在一个实施例中,频率比较和补偿电路224包括频率比较器2241和反馈生成器2242。在一个示例中,频率比较器2241接收读出信号R0。频率比较器2241基于读出信号R0生成校正信号2243。在一个示例中,反馈生成器2242接收供电电压VDD和校正信号2243。反馈生成器2242基于电压VDD和校正信号2243生成控制信号VDDFB。在一个示例中,反馈生成器2242向电压调节器130输出控制信号VDDFB。

[0039] 在一个实施例中,频率比较器2241包括任意适当的逻辑电路,诸如模拟逻辑电路、数字逻辑电路等。在一个实施例中,逻辑电路基于读出信号R0以及预定目标值生成校正信号2243。在一个示例中,预定目标值是IC 120的目标工作频率。在一个示例中,IC的目标工作频率是CPU或其它控制器单元222的目标工作频率。在一个示例中,CPU或其它控制器单元222的目标工作频率是CPU或其它控制器单元222的系统或基础时钟的目标工作频率。由频

率比较器2241生成的校正信号2243是适于后续生成用于控制电压调节器130的控制信号VDDFB的信号。在一个示例中,校正信号2243作为指示需要增大或减小电压供应VDD以便满足预定目标值的需求的模拟信号被生成。

[0040] 在一个实施例中,读出信号R0是数字信号,并且频率比较器2241包括用于基于读出信号R0生成作为数字信号的校正信号2243的数字逻辑电路。在一个示例中,读出信号R0包括任意适当信号,并且频率比较器2241包括用于基于读出信号R0和预定目标值生成校正信号2243的任意适当逻辑电路。在一个实施例中,校正信号2243包括指示CPU或其它控制器单元222的工作频率与预定目标值之间的差的偏移值。在一个实施例中,校正信号2243包括偏移电压值。

[0041] 在一个实施例中,频率比较器2241存储预定目标值。在一个示例中,频率比较器2241接收包括预定目标值的配置和控制数据CONFIG。在一个示例中,频率比较器2241从CPU或其它控制器单元222接收配置和控制数据。

[0042] 在一个实施例中,频率比较器2241将从所接收的读出信号R0接收到的指示CPU或其它控制器单元222的工作频率的值与预定目标值进行比较以生成差值。在一个示例中,差值指示CPU或其它控制器单元222的实际工作频率与目标工作频率之间的差。在一个示例中,差值指示CPU或其它控制器单元222的系统或基础时钟的实际工作频率与CPU或其它控制器单元222的系统或基础时钟的目标工作频率之间的差。在一个示例中,频率比较器2241基于所生成的差值确定校正信号2243,其指示为了满足目标工作频率所需要的供电电压(或者到现有供电电压VDD的偏移量)。

[0043] 在一个实施例中,基于预定步长大小确定校正信号2243。在一个示例中,预定步长大小是可以由频率比较器2241作为校正信号2243输出的最大值。

[0044] 在一个实施例中,频率比较器2241基于供电电压VDD的预定最大值与供电电压VDD的预定最小值确定校正信号2243。在一个示例中,预定最大值和预定最小值限定了频率比较和补偿电路224的工作限值。在一个示例中,频率比较器2241存储预定最大值和预定最小值。在一个示例中,频率比较器2241在从CPU或其它控制器单元222接收的配置和控制数据内接收预定最大值和预定最小值。在一个示例中,预定最大值和预定最小值基于IC 120的频率-电压特性被设置,这将在随后进行描述。

[0045] 在一个实施例中,反馈生成器2242包括基于校正信号2243和供电电压VDD生成控制信号VDDFB的任意适当电路。在一个示例中,反馈生成器2242生成作为供电电压VDD与校正信号2243的组合结果的控制信号VDDFB,校正信号2243提供了指示CPU或其它控制器单元222的工作频率相对于CPU或其它控制器单元222的目标工作频率的电压偏移量。在一个示例中,反馈生成器2242是将校正信号2243(作为电压)与供电电压VDD进行组合的组合器电路(未示出)。

[0046] 在一个实施例中,反馈生成器2242是将供电电压VDD与校正信号2243(作为电压)进行组合以生成控制信号VDDFB的求和电路(未示出)。在一个示例中,校正信号2243被生成作为数字信号,并且反馈生成器2242包括用于基于校正信号2243生成作为数字信号的控制信号VDDFB的数字逻辑电路。在一个示例中,校正信号2243被生成作为模拟信号,并且反馈生成器2242包括用于基于校正信号2243生成作为模拟信号的控制信号VDDFB的模拟逻辑电路。在一个示例中,基于控制信号VDDFB的量级,电压调节器130将增大供电电压VDD、减小供电

电压VDD、或者允许供电电压VDD保持相同。在一个示例中,基于控制信号VDDFB的数字值,电压调节器130将增大供电电压VDD、减小供电电压VDD、或者允许供电电压VDD保持相同。

[0047] 有关使用控制信号VDDFB对电压调节器130进行控制的功能例如能够在2010年3月24日提交的美国专利No.8,370,654、2012年9月13日提交的美国专利No.8,615,669、2013年12月19日提交的申请号14/134,807、2007年12月20日提交的美国专利No.8,046,601、2013年10月21日提交的申请号14/058,964、以及2014年9月8日提交的申请号14/480,075中找到。

[0048] 将简要讨论基于IC 120的频率-电压特性对控制模块2212的一个或多个控制参数2213以及频率比较器2241的预定最大值和预定最小值的设置(未示出)。在一个实施例中,针对所制造的每个IC 120执行对一个或多个控制参数2213以及预定最大值和预定最小值的设置。在一个示例中,针对代表性数量的IC 120执行对一个或多个控制参数2213以及预定最大值和预定最小值的设置。

[0049] 在一个示例中,频率比较器2241被设置为开环模式。在一个示例中,在开环模式中,供电电压的预定最大值和供电电压的预定最小值被设置为相同值。在一个示例中,该相同值是代表性供电电压VDD。在一个示例中,针对该代表性供电电压VDD,控制参数K1、K2和S从其下限变为其上限,并且在控制参数K1、K2和S从其下限到其上限的每个值测量时钟生成和供电电压测量电路221的频率-电压特性。在一个示例中,针对代表性供电电压从其下限到其上限的每个值重复该过程。

[0050] 在一个示例中,所测量的时钟生成和供电电压测量电路221的频率-电压特性与系统120的频率-电压特性进行比较。在一个示例中,选择表示时钟生成和供电电压测量电路221的频率-电压特性的若干频率-电压曲线中的一条频率-电压曲线。在一个示例中,所选择的频率-电压曲线是在表示系统120的频率-电压特性的频率-电压曲线下方的频率-电压曲线。

[0051] 在一个实施例中,基于表示时钟生成和供电电压测量电路221的频率-电压特性的多条频率-电压曲线来设置预定最大值和预定最小值,上述多条频率-电压曲线在表示系统120的频率-电压特性的频率电压曲线下方。

[0052] 图5示出了根据本公开的实施例的IC 120活动、供电电压VDD、以及CPU或其它控制器单元222的工作频率相对于时间的关系。

[0053] 在一个实施例中,在时间t1,IC 120的活动快速增加。在一个示例中,活动的该快速增加对应于由CPU或其它控制器单元222执行的处理操作的快速增加。在一个示例中,由CPU或其它控制器单元222执行的处理操作的快速增加对应于在CPU或其它控制器单元222上发起视频处理和/或游戏处理。在一个示例中,由CPU或其它控制器单元222执行的处理操作的快速增加对应于由CPU或其它控制器单元222发起加密处理和/或解密处理。

[0054] 在实施例中,由于IC 120的活动的该突然增加,供电电压VDD也快速下降。在一个示例中,响应于供电电压VDD的快速下降,时钟生成和供电电压监视电路221快速输出频率相应降低的时钟信号CLK,以避免由于供电电压VDD的突然下降所导致的致命的系统不平衡。在一个示例中,频率降低的时钟信号CLK被CPU或其它控制器单元222接收。在一个示例中,CPU或其它控制器单元222使用频率降低的时钟信号CLK作为其系统或基础时钟。在一个示例中,CPU或其它控制器单元222的系统或基础时钟的频率因此被降低。在一个示例中,系

统或基础时钟的频率的降低导致IC 120的系统性能的临时下降,这被频率监视电路223感测。

[0055] 在一个实施例中,压控振荡器2211基于下降的供电电压VDD以及一个或多个控制参数2213生成频率下降的时钟信号CLK。

[0056] 在一个实施例中,到时间t₂,频率比较和补偿电路224感测由于频率降低所导致的性能下降并且向电压调节器130输出控制信号VDDFB。由于感测到系统性能的下降,如在图5所描绘的实施例中看到的,控制信号VDDFB被配置为使得供电电压VDD增大。结果,时钟信号CLK的频率逐渐增大以将系统返回至稳定状态,其中如例如作为CPU或其它控制器单元222的工作频率所测量的系统性能以及供电电压VDD两者都满足目标参数。在一个示例中,频率监视电路223输出指示CPU或其它控制器单元222的工作频率的信号作为读出信号R0。在一个示例中,频率比较和补偿电路224从频率监视电路223接收读出信号R0。在一个示例中,频率比较和补偿电路224基于读出信号R0和供电电压VDD生成控制信号VDDFB。

[0057] 在一个实施例中,频率比较器2241接收读出信号R0。在一个示例中,频率比较器2241将指示作为读出信号R0被发送的CPU或其它控制器单元222的工作频率的值与目标工作频率进行比较。在一个示例中,频率比较器2241生成电压偏移量作为校正信号2243,校正信号2243对应于指示CPU或其它控制器单元222的工作频率的值与目标工作频率之间的差。

[0058] 在一个实施例中,频率比较器2241将校正信号2243输出至反馈生成器2242。在一个示例中,反馈生成器2242将校正信号2243添加至供电电压VDD以生成控制信号VDDFB。在一个示例中,反馈生成器2242将控制信号VDDFB输出至电压调节器130。在一个示例中,电压调节器130响应于控制信号VDDFB修改供电电压VDD。在一个示例中,如从图5中的t₂至t₃所看到的,供电电压VDD增大直至CPU或其它控制器单元222的工作频率满足目标工作频率501。

[0059] 在一个实施例中,随着供电电压VDD的增大,时钟生成和供电电压监视单元221增大时钟信号CLK的频率。在一个示例中,频率增大的时钟信号CLK被输出至CPU或其它控制器单元222并且被用作CPU或其它控制器单元222的系统或基础时钟的工作频率。在一个示例中,频率监视电路223将指示CPU或其它控制器单元222的工作频率增大的读出信号R0输出至频率比较和补偿电路224。

[0060] 在一个实施例中,如在图5的时间t₂和t₃之间所看到的,以上过程继续并且在必要的情况下重复,直至CPU或其它控制器单元222的系统时钟的工作频率达到目标工作频率501。在一个实施例中,频率监视电路223以及频率比较和补偿电路224持续操作以监视CPU或其它控制器单元222的工作频率,并且使用控制信号VDDFB控制电压调节器130。在一个实施例中,时钟生成和供电电压监视电路221进行操作以向CPU或其它控制器单元222提供时钟信号CLK。在示例中,时钟生成和供电电压监视单元221在感测到供电电压VDD的突然下降时使用时钟信号CLK快速降低CPU或其它控制器单元222的工作频率。

[0061] 在一个实施例中,在时间t₄,IC的活动突然减少。在一个示例中,活动的减少对应于由CPU或其它控制器单元222执行的处理操作的突然减少。在一个示例中,由CPU或其它控制器单元222执行的处理操作的突然减少对应于在CPU或其它控制器单元222上停止视频处理和/或游戏处理。在一个示例中,由CPU或其它控制器单元222执行的处理操作的突然减少对应于停止由CPU或其它控制器单元222进行的加密处理和/或解密处理。

[0062] 在一个实施例中,由于IC活动的减少,供电电压VDD快速增大。在一个示例中,响应于供电电压VDD的快速增大,时钟生成和供电电压监视电路221输出频率相应增加的时钟信号CLK以适应增大的供电电压VDD并且防止系统崩溃。

[0063] 在一个实施例中,压控振荡器2211基于增大的供电电压VDD以及一个或多个控制参数2213生成频率增加的时钟信号CLK。

[0064] 在一个实施例中,到时间t₅,频率比较和补偿电路224已经确定工作频率高于目标频率501,并且基于增加的工作频率向电压调节器130输出控制信号VDDFB以使得供电电压VDD逐渐降低并且因此使得时钟信号CLK的频率逐渐减小直至工作频率返回至目标频率501。在一个示例中,频率监视电路223输出指示CPU或其它控制器单元222的工作频率的信号作为读出信号R₀。在一个示例中,频率比较和补偿电路224从频率监视电路223接收读出信号R₀。在一个示例中,频率比较和补偿电路224基于读出信号R₀生成控制信号VDDFB。

[0065] 在一个实施例中,频率比较器2241接收读出信号R₀。在一个示例中,频率比较器2241将作为读出信号R₀被发送的指示CPU或其它控制器单元222的工作频率的值与目标工作频率进行比较。在一个示例中,频率比较器2241生成电压偏移量作为校正信号2243,校正信号2243对应于指示CPU或其它控制器单元222的工作频率的值与目标工作频率之间的差。

[0066] 在一个实施例中,频率比较器2241将校正信号2243输出至反馈生成器2242。在一个示例中,反馈生成器2242将校正信号2243添加至供电电压VDD以生成控制信号VDDFB。在一个示例中,反馈生成器2242将控制信号VDDFB输出至电压调节器130。在一个示例中,电压调节器130依据控制信号VDDFB降低供电电压VDD。在一个示例中,如从图5中的t₅至t₆所看到的,供电电压VDD减小直至CPU或其它控制器单元222的工作频率满足目标工作频率501。

[0067] 在一个实施例中,随着供电电压VDD的减小,时钟生成和供电电压监视单元221降低时钟信号CLK的频率。在一个示例中,压控振荡器2211基于降低的供电电压VDD输出频率降低的时钟信号CLK。在一个实施例中,频率降低的时钟信号CLK被输出至CPU或其它控制器单元222并且被用作CPU或其它控制器单元222的系统或基础时钟的工作频率。在一个示例中,时钟信号CLK是CPU或其它控制器单元222的系统或基础时钟。在一个示例中,频率监视电路223将指示CPU或其它控制器单元222的工作频率降低的读出信号R₀输出至频率比较和补偿电路224。

[0068] 在一个实施例中,如在图5的时间t₅和t₆之间所看到的,以上过程继续并且在必要的情况下重复,直至CPU或其它控制器单元222的系统时钟的工作频率达到目标工作频率501。在一个实施例中,频率监视电路223以及频率比较和补偿电路224持续操作以监视CPU或其它控制器单元222的工作频率,并且使用控制信号VDDFB控制电压调节器130。在一个实施例中,时钟生成和供电电压监视电路221进行操作以向CPU或其它控制器单元222提供时钟信号CLK。在示例中,时钟生成和供电电压监视单元221在感测到供电电压VDD的突然增大时使用时钟信号CLK增大CPU或其它控制器单元222的工作频率。

[0069] 在一个实施例中,时钟生成和供电电压监视电路221以及频率比较和补偿电路224连同电压调节器130一起形成频率反馈回路,其通过相应地快速修改CPU或其它控制器单元222的工作频率并且随后使得CPU或其它控制器单元222的工作频率在供电电压VDD快速下降或增大之后返回至目标工作频率而对供电电压VDD的快速下降或增大作出快速响应。在一个示例中,频率监视电路223还形成频率反馈回路或FLL。

[0070] 图6示出了概括根据本公开的实施例的方法的简化流程图。

[0071] 在S601,时钟生成和供电电压监视电路221监视供应至IC 120的供电电压VDD,并且该方法继续进行至S602。

[0072] 在S602,时钟生成和供电电压监视电路221响应于感测的供电电压VDD的变化有选择地修改IC 120的工作频率,并且该方法继续进行至S603。在一个实施例中,该变化是短期变化。

[0073] 在S603,频率比较和补偿电路224基于性能特性(例如IC 120的工作频率)向电压调节器130输出控制信号VDDFB以修改供电电压VDD以便对IC 120的性能特性的变化进行补偿并且将IC 120的性能返回至目标性能。

[0074] 在一个实施例中,S601至S603中的任意或全部步骤在必要的情况下可以重复以将IC 120的工作频率返回至目标工作频率。在一个实施例中,连续执行S603以使用控制信号VDDFB控制电压调节器130。在一个实施例中,在感测到供电电压VDD的突然变化时执行S602。

[0075] 在一个实施例中,在S602,时钟生成和供电电压监视电路221基于供电电压VDD以及一个或多个频率参数2213生成时钟信号CLK并且将时钟信号CLK输出至IC 120的电路。

[0076] 在一个实施例中,在S602,时钟生成和供电电压监视电路221响应于感测的供电电压VDD的变化而基于时钟信号CLK有选择地减小或增大IC 120的工作频率。

[0077] 在一个实施例中,在S603,频率监视电路223监视IC 120的工作频率,并且输出指示IC 120的工作频率的读出信号R0。

[0078] 在一个实施例中,在S603,频率比较器2241基于读出信号R0生成校正信号2243,并且反馈生成器2242基于供电电压VDD和校正信号2243生成控制信号VDDFB并且将控制信号VDDFB输出至电压调节器130。

[0079] 在一个示例中,在S603,频率比较和补偿电路224生成作为模拟信号的控制信号VDDFB以便将IC 120的系统时钟的工作频率返回至目标工作频率。可替换地,控制信号VDDFB包括数字值。

[0080] 根据实施例,供电电压VDD的下降被感测并且CPU或其它控制器单元222的系统时钟的工作频率相应地降低。根据实施例,供电电压VDD的增加被感测并且CPU或其它控制器单元222的系统时钟的工作频率相应地增加。根据示例,CPU或其它控制器单元222的系统时钟的工作频率利用由时钟生成和供电电压监视电路221以及频率比较和补偿电路224形成的反馈回路被返回至目标工作频率。根据示例,防止了CPU或其它控制器单元222在供电电压VDD突然下降或突然升高时的故障。

[0081] 虽然已经结合其作为示例给出的具体实施例对本公开的多个方面进行了描述,但是可以针对示例进行替换、修改和变化。因此,这里所给出的实施例意在是说明性而非限制性的。可以在不背离以下所给出的权利要求的范围的情况下作出改变。

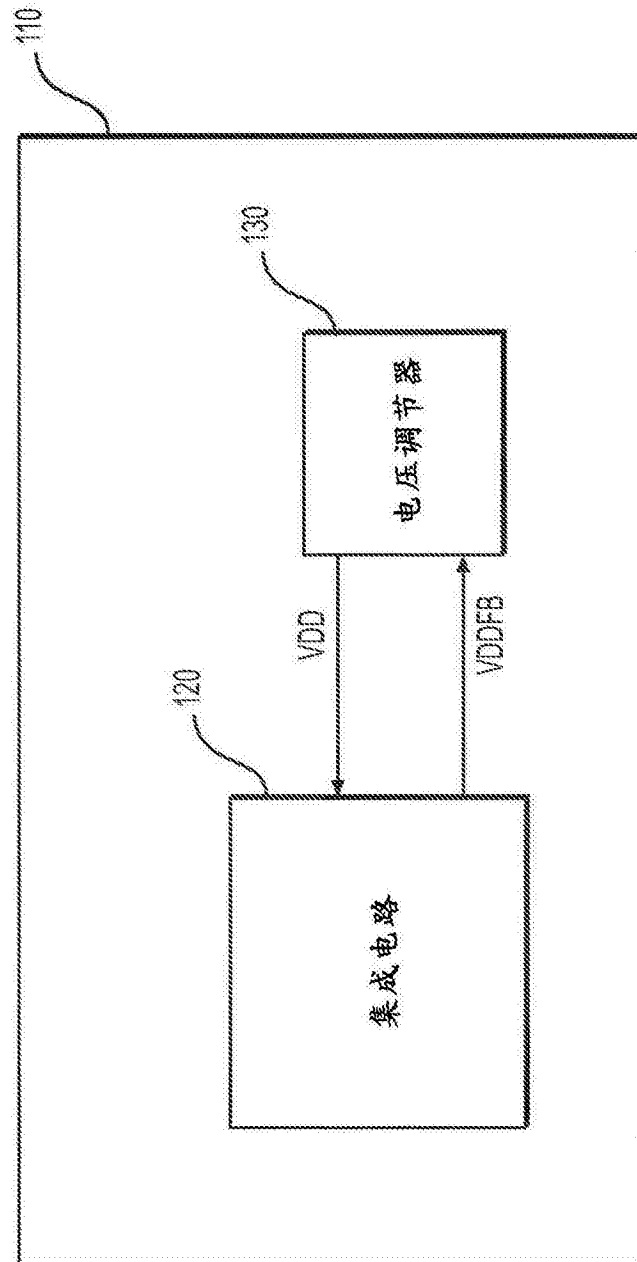


图1

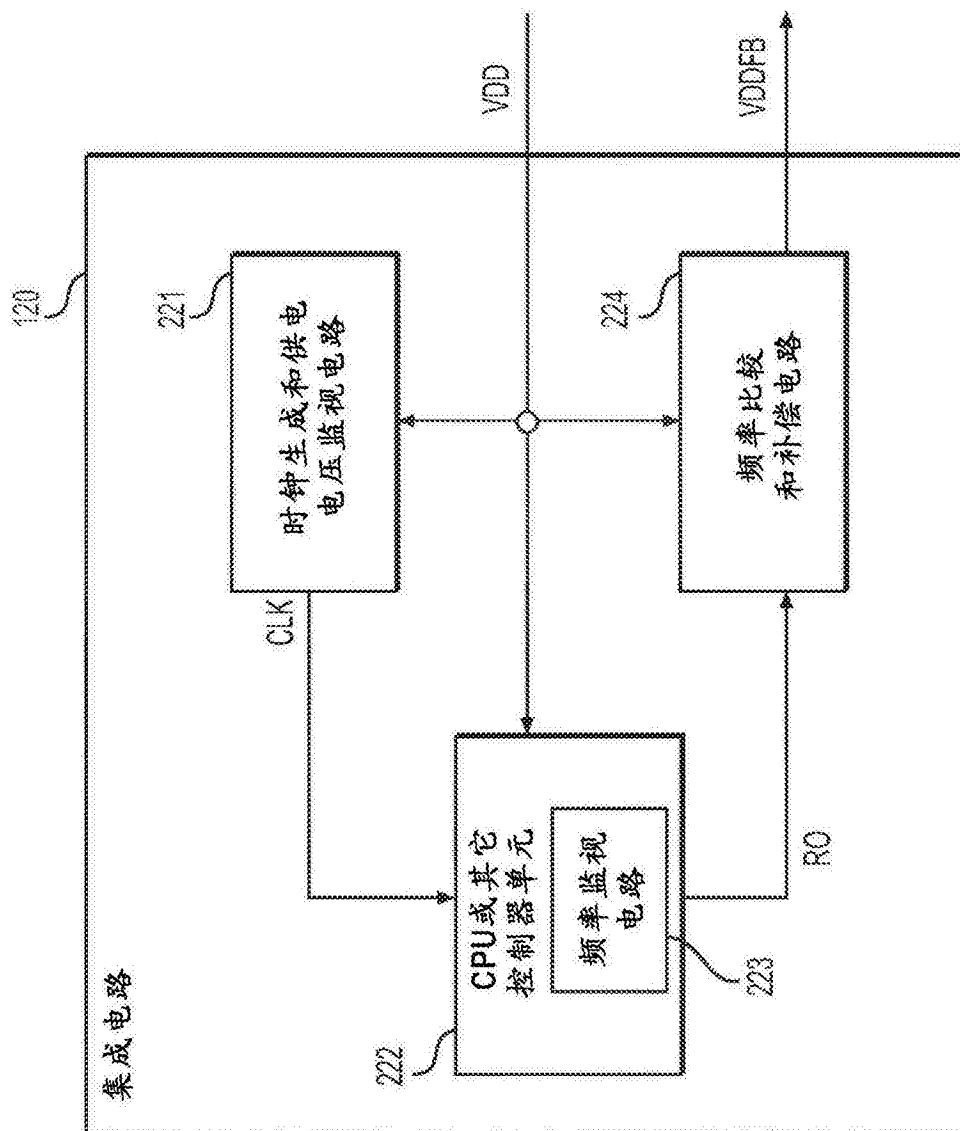


图2

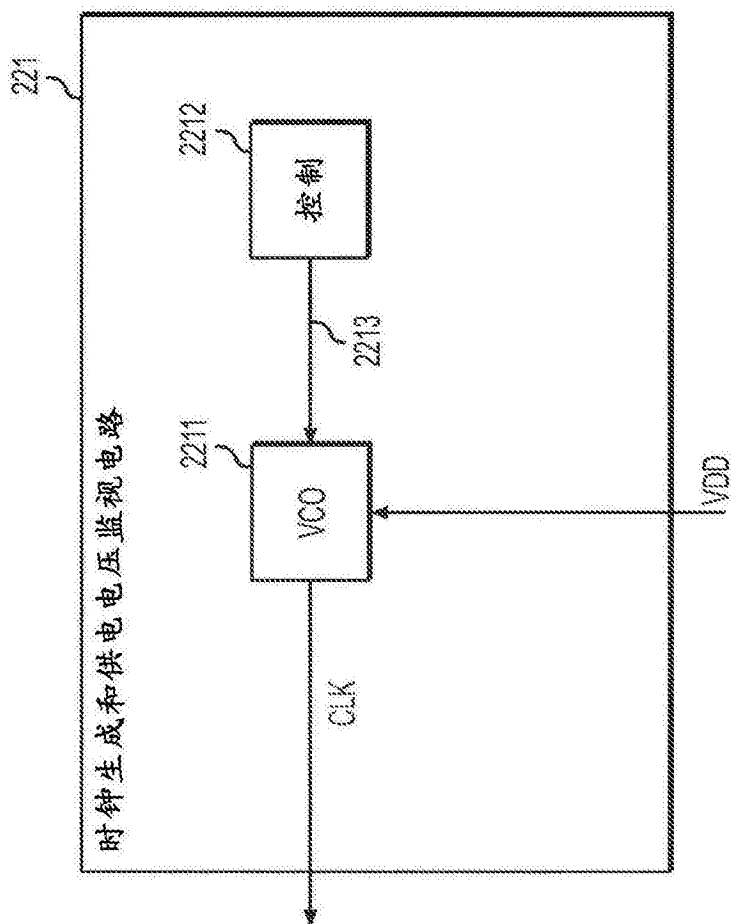


图3

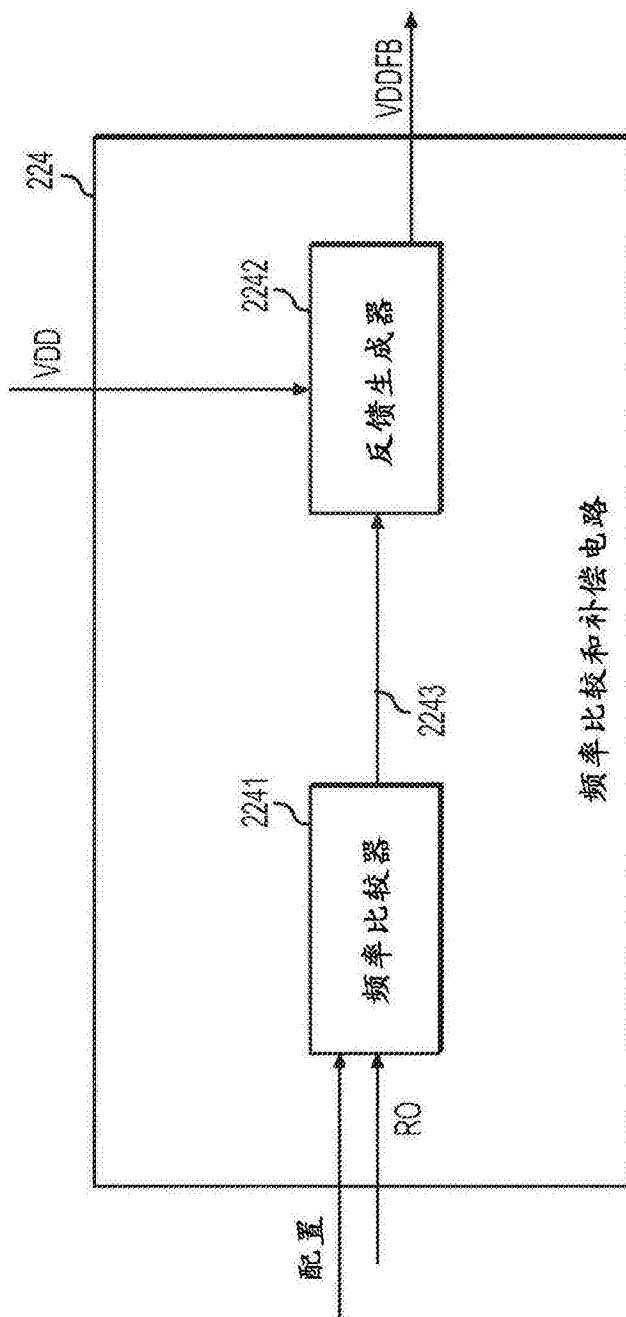


图4

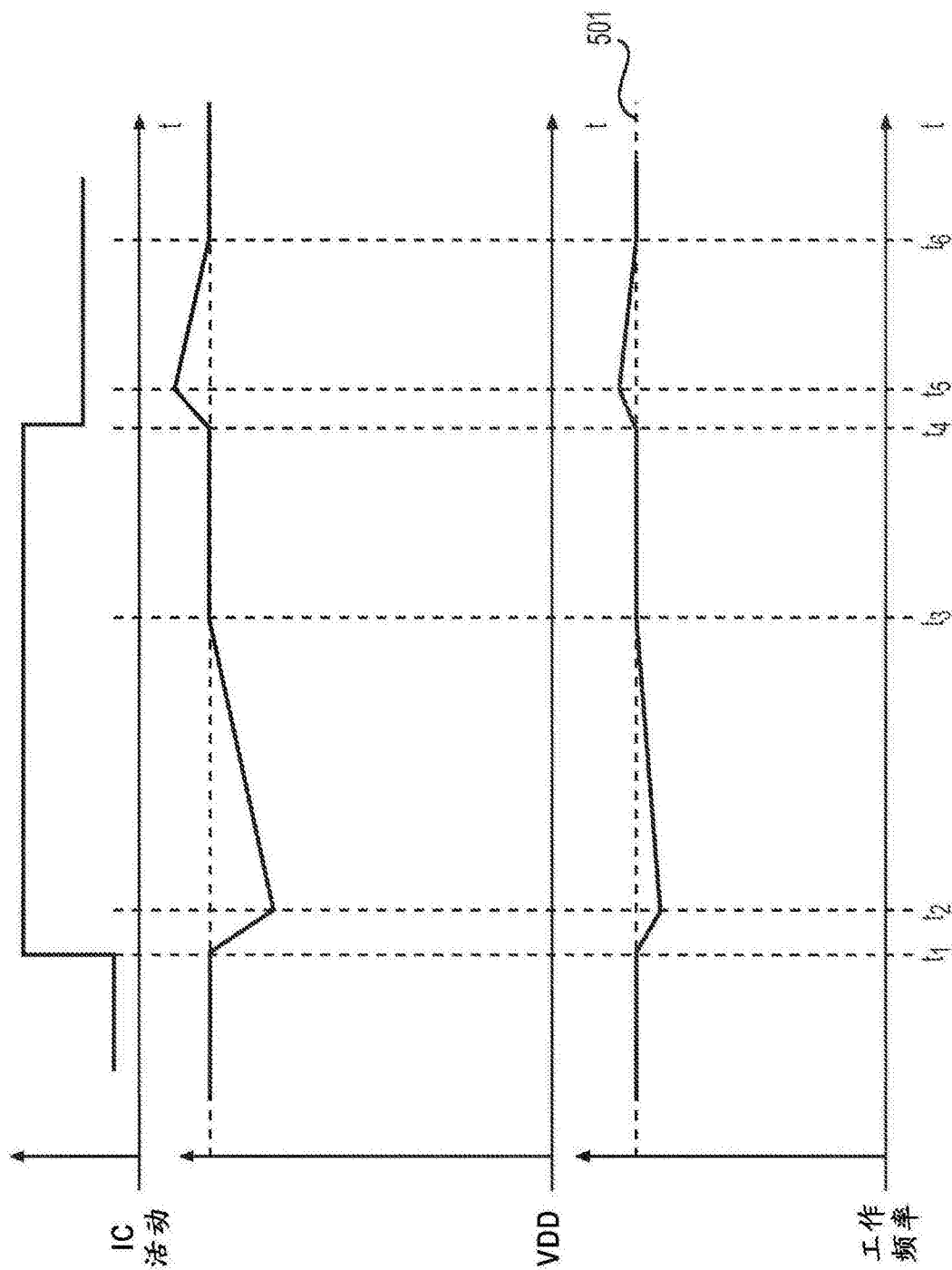


图5

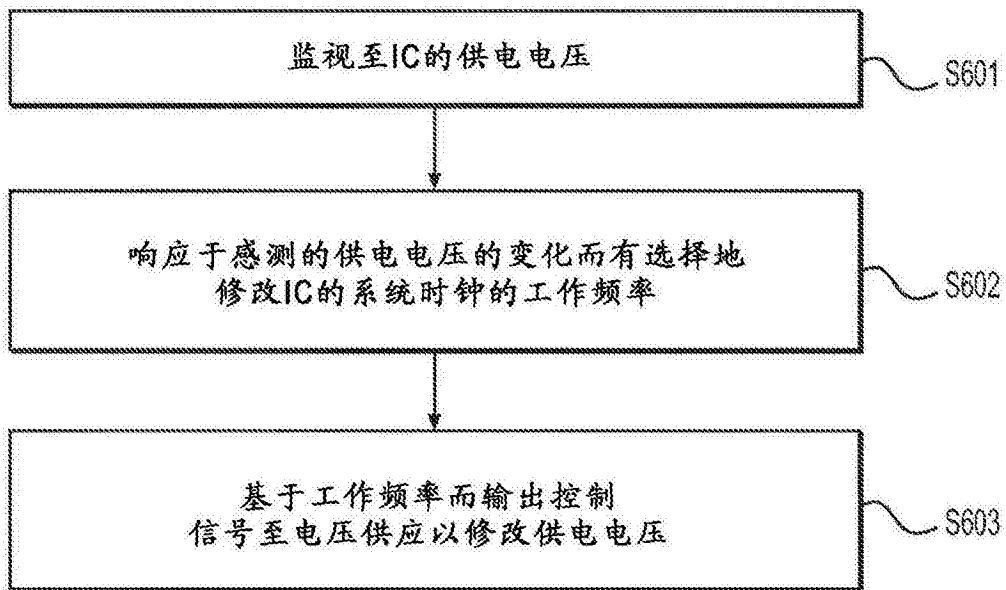


图6