(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년01월14일
(11) 등록번호 10-0936632
(24) 등록일자 2010년01월06일

(51) Int. Cl.
H05B 33/08 (2006.01)
(21) 출원번호 10-2003-0018937
(22) 출원일자 2003년03월26일
심사청구일자 2008년03월26일
(65) 공개번호 10-2003-0077474
(43) 공개일자 2003년10월01일
(30) 우선권주장
JP-P-2002-00087223 2002년03월26일 일본(JP)
(56) 선행기술조사문헌
KR1020010051698 A
JP59021065 A
JP04092475 A

(73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
이누카이카즈타카
일본카나가와현243-0036아츠기시하세398가부시키가이샤한도오따이에네루기켄큐쇼c/o
세오사토시
일본카나가와현243-0036아츠기시하세398가부시키가이샤한도오따이에네루기켄큐쇼c/o
야마자키순페이
일본카나가와현243-0036아츠기시하세398가부시키가이샤한도오따이에네루기켄큐쇼c/o
(74) 대리인
장훈

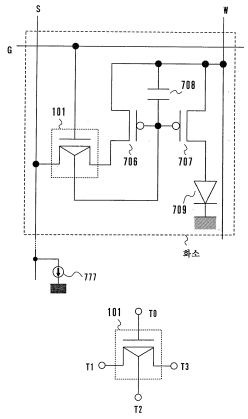
전체 청구항 수 : 총 12 항 심사관 : 김창균

(54) 표시 장치

(57) 요 약

EL 장치는 EL 소자들의 열화에 의한 휘도의 분산이 없다. 표시 장치는 EL 소자들의 열화에 의한 EL 소자들을 통해 흐르는 전류의 변화를 억제하기 위해 전류-제어형 화소들을 사용한다. 표시 장치는 또한 3개의 노드를 동시에 단락(short-circuiting) 또는 개방할 수 있는 소자들을 사용한다. EL 층들을 개별 색들로 나누는데 뱅크(bank)는 사용되지 않는다. 혼합 접합형의 EL 소자들이 사용된다. 역바이어스 전압은 규칙적인 간격으로 EL 소자들에 인가된다. 표시 장치는 EL 소자들의 열화에 의한 휘도의 분산을 억제한다.

대 표 도



특허청구의 범위

청구항 1

표시 장치에 있어서:

복수의 화소들, 복수의 게이트 신호선들, 및 전류 신호들이 입력되는 복수의 신호선들을 포함하고,

상기 복수의 화소들 각각은:

멀티-드레인 소자;

제 1 TFT;

커패시터 소자;

발광하는 EL 소자; 및

상기 EL 소자와 직렬로 접속된 제 2 TFT를 포함하고;

상기 제 2 TFT의 게이트 전극은 상기 제 1 TFT의 게이트 전극에 접속되고,

상기 커패시터 소자의 한 전극은 상기 제 1 TFT의 상기 게이트 전극에 접속되고;

상기 멀티-드레인 소자는 절연 표면에 접하는 활성층, 상기 활성층에 접하는 절연막, 및 상기 절연막에 접하는 게이트 전극을 포함하고, 상기 활성층은 적어도 하나의 채널-형성 영역과 n(n은 3보다 작지 않은 자연수)개의 불순물 영역들을 포함하고,

상기 멀티-드레인 소자의 상기 게이트 전극은 상기 복수의 게이트 신호선들 중 하나에 전기적으로 접속되고,

상기 제 1 TFT의 제 1 단자, 상기 제 1 TFT의 상기 게이트 전극, 및 상기 복수의 신호선들 중 하나는 각각 상기 불순물 영역들 각각에 전기적으로 접속되는, 표시 장치.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

표시 장치에 있어서:

복수의 화소들, 복수의 게이트 신호선들, 및 전류 신호들이 입력되는 복수의 신호선들을 포함하고;

상기 복수의 화소들 각각은:

멀티-드레인 소자;

제 1 TFT;

커패시터 소자;

발광하는 EL 소자; 및

상기 EL 소자와 직렬로 접속된 제 2 TFT를 포함하고;

상기 제 2 TFT의 게이트 전극은 상기 제 1 TFT의 게이트 전극에 접속되고,

상기 커패시터 소자의 한 전극은 상기 제 1 TFT의 상기 게이트 전극에 접속되고;

상기 멀티-드레인 소자는 절연 표면에 접하는 활성층, 상기 활성층에 접하는 절연막, 및 상기 절연막에 접하는 게이트 전극을 포함하고, 상기 활성층은 적어도 하나의 채널-형성 영역과 n(n은 3보다 작지 않은 자연수)개의 불순물 영역들을 포함하고,

상기 멀티-드레인 소자의 상기 게이트 전극은 상기 복수의 게이트 신호선들 중 하나에 전기적으로 접속되고,

상기 불순물 영역들의 농도보다 농도가 낮은 저농도 불순물 영역은 상기 n개의 불순물 영역들 각각과 상기 채널-형성 영역 사이에 있고;

상기 제 1 TFT의 제 1 단자, 상기 제 1 TFT의 상기 게이트 전극, 및 상기 복수의 신호선들 중 하나는 각각 상기 불순물 영역들 각각에 전기적으로 접속되는, 표시 장치.

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

청구항 35

삭제

청구항 36

삭제

청구항 37

삭제

청구항 38

삭제

청구항 39

삭제

청구항 40

삭제

청구항 41

삭제

청구항 42

삭제

청구항 43

삭제

청구항 44

삭제

청구항 45

삭제

청구항 46

삭제

청구항 47

삭제

청구항 48

삭제

청구항 49

삭제

청구항 50

삭제

청구항 51

표시 장치에 있어서:

복수의 화소들, 복수의 게이트 신호선들, 및 전류 신호들이 입력되는 복수의 신호선들; 및

상기 복수의 화소들 각각에, 멀티-드레인 소자, 제 1 TFT, 커패시터 소자, 발광하는 EL 소자, 및 상기 EL 소자와 직렬로 접속된 제 2 TFT를 포함하고,

상기 커패시터 소자의 한 전극은 상기 제 1 TFT의 게이트 전극에 접속되고,

상기 멀티-드레인 소자는 절연 표면에 접하는 활성층, 상기 활성층에 접하는 절연막, 및 상기 절연막에 접하는 게이트 전극을 포함하고, 상기 활성층은 적어도 하나의 채널-형성 영역과 n(n은 3보다 작지 않은 자연수)개의 불순물 영역들을 포함하고,

상기 멀티-드레인 소자의 상기 게이트 전극은 상기 복수의 게이트 신호선들 중 하나에 전기적으로 접속되고,

상기 제 1 TFT의 제 1 단자, 상기 제 1 TFT의 상기 게이트 전극, 및 상기 복수의 신호선들 중 하나는 각각 상기 불순물 영역들 각각에 전기적으로 접속되는, 표시 장치.

청구항 52

제 1 항, 제 11 항 또는 제 51 항 중 어느 한 항에 있어서,

상기 활성층은 상기 절연 표면 위에 있고,

상기 절연막은 상기 활성층 위에 있고,

상기 멀티-드레인 소자의 상기 게이트 전극은 상기 절연막을 통해서 상기 활성층 위에 중첩되는, 표시 장치.

청구항 53

제 1 항 또는 제 51 항에 있어서,

상기 불순물 영역들 각각은 상기 채널-형성 영역과 접촉하는, 표시 장치.

청구항 54

제 1 항, 제 11 항 또는 제 51 항 중 어느 한 항에 있어서,

상기 제 2 TFT의 제 1 단자는 상기 EL 소자의 한 전극에 접속되고, 상기 제 1 TFT의 제 2 단자와 상기 제 2 TFT의 제 2 단자는 동일 배선에 접속되는, 표시 장치.

청구항 55

제 1 항, 제 11 항 또는 제 51 항 중 어느 한 항에 있어서,

상기 EL 소자의 EL 층은 폴리머, 저분자 재료 및 중분자 재료 중 하나 또는 복수를 포함하는, 표시 장치.

청구항 56

제 1 항, 제 11 항 또는 제 51 항 중 어느 한 항에 따른 상기 표시 장치를 갖는 표시 시스템.

청구항 57

제 1 항, 제 11 항 또는 제 51 항 중 어느 한 항에 따른 상기 표시 장치를 갖는 전자 장치.

청구항 58

제 1 항, 제 11 항 또는 제 51 항 중 어느 한 항에 있어서,

상기 복수의 화소들은 제 1 색으로 발광하는 제 1 화소와 상기 제 1 색과는 다른 색으로 발광하는 제 2 화소를 포함하고, 상기 제 1 화소의 EL 소자의 EL 층의 단부는 상기 제 2 화소의 EL 소자의 EL 층의 단부와 중첩되는, 표시 장치.

청구항 59

제 1 항, 제 11 항 또는 제 51 항 중 어느 한 항에 있어서,

상기 EL 소자는 제 1 전극, 제 2 전극 및 상기 제 1 전극과 상기 제 2 전극 사이에 있는 EL 층을 갖고, 상기 EL 층은 제 1 기능 재료, 및 상기 제 1 기능 재료와는 별도의 기능을 갖는 제 2 기능 재료 둘다가 첨가된 혼합 영역을 갖는, 표시 장치.

청구항 60

제 1 항, 제 11 항 또는 제 51 항 중 어느 한 항에 있어서,

상기 EL 소자의 제 1 전극 또는 제 2 전극 중 하나는 양극이고 다른 하나는 음극이고, 상기 EL 소자의 상기 양극의 전위를 상기 EL 소자의 상기 음극의 전위보다 낮게 하는 수단이 제공되는, 표시 장치.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<22> 본 발명은 화소들 각각에 발광 소자가 설치된 표시 장치에 관한 것이다. 특히, 본 발명은 화소들 각각에 트랜지스터가 설치되어 발광 소자들로부터의 발광을 제어하는 액티브 매트릭스형의 표시 장치에 관한 것이다. 본 발명은 또한 표시 장치를 사용한 전자 장치들에 관한 것이다.

<23> 화소들 각각에 발광 소자 및 발광 소자로부터의 발광을 제어하는 트랜지스터가 배치된 액티브 매트릭스형의 표시 장치가 제안되어 있다. 특히, 트랜지스터들로서 박막 트랜지스터들(이하 TFT들이라 함)을 사용하는 액티브 매트릭스형의 표시 장치가 주목을 받고 있다.

<24> 발광 소자는 제 1 전극 및 제 2 전극을 갖고, 제 1 전극과 제 2 전극을 가로질러 흐르는 전류량에 따라 그 휘도가 변한다. 발광 소자로서, 일랙트로루미네선스(electroluminescence)를 이용한 소자(EL 소자라 함)가 주목받고 있다. EL 소자들(유기물을 이용한 EL 소자를 유기 EL 소자 또는 OLED(organic light-emitting diode) 소자(OLE Device, OELD)라고도 함)을 사용한 표시 장치(이하 EL 표시 장치라 함)가 특히 주목받고 있다.

<25> 여기서, EL 소자는 양극, 음극 및 양극과 음극 사이에 있는 EL 층을 갖는 것을 의미한다. 양극 및 음극은 제 1 전극 및 제 2 전극에 대응한다. 이러한 전극들을 가로질러 전압을 인가함으로써, 전극들 사이에 전류가 흐른다. EL 소자는 흐른 전류량에 따라서 발광한다.

<26> EL 층은 적층(stacked layer) 구조로 구성될 수 있다. 대표적인 예로는 Kodak Eastman Co.의 Tang 등이 제안한 "positive hole transporting layer/light-emitting layer/electron transporting layer"와 같은 적층 구조를 들 수 있다. 여기서, 전자 수송층(electron transporting layer)은 정공 이동도(positive hole mobility)보다 높은 전자 이동도(전자 수송 기능)를 나타내는 재료(이하 전자 수송 재료라고도 함)로 구성되는 층이다. 발광층은 발광성(발광 기능)을 갖는 재료(이하 발광 재료라 함)로 구성되는 층이다. 정공 수송층은 전자 이동도보다 높은 정공 이동도(정공 수송 기능)를 나타내는 재료(이하 정공 수송 재료라 함)로 구성되는 층이다. 또한 양극상에 정공 주입층/정공 수송층/발광층/전자 수송층, 또는 정공 주입층/정공 수송층/발광층/전자 수송층/전자 주입층의 순서로 적층되는 구조가 사용될 수 있다. 발광층은 형광성 색소로 도핑될 수도 있다. 여기서, 전자 주입층은 음극으로부터 전자들을 받아들이는 전자 주입성(전자 주입 기능)을 갖는 재료(이하 전자 주입 재료라 함)로 구성되는 층이다. 또한, 정공 주입층은 양극으로부터 정공들을 받아들이는 정공 주입성(정공 주입 기능)을 갖는 재료(이하 정공 주입 재료라 함)로 구성되는 층이다. 음극과 양극 사이에 형성된 층들은 모두 일반적으로 EL 층이라 한다. 상기 구조를 갖는 EL 층에 한 쌍의 전극(양극 및 음극)으로부터 소정의 전압이 인가될 때, EL 층 내에서 캐리어들의 재결합이 일어나 발광한다. EL 소자의 양극과 음극 사이에 있는 층들은 일반적으로 EL 층이라 기술된다.

<27> EL 표시 장치는 응답성들이 우수하며, 저전압으로 동작하고, 넓은 시야각을 제공하는 것과 같은 이점들을 가지며, 차세대의 플랫 패널 디스플레이(flat panel display)로서 주목된다. 액티브 매트릭스형의 EL 표시

장치에서, EL 소자들의 양극과 음극 사이에 소정의 전류를 흘림으로써 화소들의 EL 소자들의 휘도를 제어하는 방법은 전류-제어형이라 불린다.

<28> 이하에 설명된 것은 전류-제어형 화소의 구성이다. 즉, 이하에 설명된 것은 각 화소들의 신호선들(소스 신호선들)이 비디오 신호에 의해 표현되는 휘도 데이터에 선형 대응하는 전류 신호(이하 신호 전류라 함)로 작용되는 전류-제어형 화소이다.

<29> 각 화소는 신호 전류를 드레인 전류로서 받아들이는 TFT를 가지며, TFT의 게이트 전압을 유지하는 커패시터부를 갖는다. 즉, 화소는 입력 신호 전류를 전압(게이트 전압)으로 변환하고 전압을 유지하는 기능을 갖는다. 또한, 각 화소는 커패시터부에 저장된 전압을 다시 전류로 변환하는 기능을 가지며, 소스 신호선으로부터 신호 전류가 더이상 입력되지 않게 한 후에도 변환된 전류는 EL 소자로 계속 흐른다. 소스 신호선에 입력하는 신호 전류를 변화시킴에 따라 EL 소자에 흐르는 전류를 변화시켜, EL 소자의 휘도가 제어되어 계조(gray scale)를 표현한다.

<30> 도 10은 종래의 전류-제어형 화소와, 그 구동 방법을 도시한다(예로서 특허 조사 보고서 1을 참조). 도 10에서, 화소는 EL 소자(709), 선택 TFT(704), 구동 TFT(707), 전류 TFT(706), 커패시터 소자(유지 커패시터)(708), 유지 TFT(705), 소스 신호선(S), 제 1 게이트 신호선(G), 제 2 게이트 신호선(GH) 및 전원선(W)으로 구성된다(특허 조사 보고서 1 : JP-A-2001-147659).

<31> TFT의 소스 단자 또는 드레인 단자의 한쪽은 제 1 단자라 불리고, 다른 한쪽은 제 2 단자라 불린다.

<32> 선택 TFT(704)의 게이트 전극은 제 1 게이트 신호선(G)에 접속된다. 선택 TFT(704)의 제 1 단자는 소스 신호선(S)에 접속되고, 제 2 단자는 전류 TFT(706)의 제 1 단자 및 유지 TFT(705)의 제 1 단자에 접속된다. 전류 TFT(706)의 제 2 단자는 전원선(W)에 접속된다. 유지 TFT(705)의 제 2 단자는 유지 커패시터(708)의 한 전극 및 구동 TFT(707)의 게이트 전극에 접속된다. 유지 커패시터(708)는 유지 TFT(705)와 접속되지 않은 측의 전원선(W)에 접속된다. 유지 TFT(705)의 게이트 전극은 제 2 게이트 신호선(GH)에 접속된다. 구동 TFT(707)의 제 1 단자는 EL 소자(709)의 한 전극(709a)에 접속되고, 그 제 2 단자는 전원선(W)에 접속된다. EL 소자(709)의 다른 전극(709b)은 소정의 전위로 유지된다. 소스 신호선(S)에 입력하는 신호 전류치는 비디오 신호 입력 전류원(777)에 의해 제어된다. EL 소자(709)의 전극(709a)은 화소 전극이라 불리고, 다른 전극(709b)은 대향 전극이라 불린다.

<33> 여기서, 구동 TFT(707)와 전류 TFT(706)는 같은 극성을 갖고, 구동 TFT(707)의 Id-Vgs 특성들은 전류 TFT(706)의 Id-Vgs 특성들과 같은 것으로 고려된다. 또한 선택 TFT(704)와 유지 TFT(705)는 N채널형 TFT들, 구동 TFT(707)와 전류 TFT(706)는 P채널형 TFT들 및 화소 전극(709a)은 양극인 구성의 화소가 도시된다.

<34> 도 10의 구성의 화소가 어떻게 구동하는지는 도 11a 내지 도 11c 및 도 12를 참조로 설명하겠다. 도 11a 내지 도 11c에서, 선택 TFT(704) 및 유지 TFT(705)는 그들의 온/오프 상태를 쉽게 알 수 있도록 스위치들로서 표현된다. 화소의 상태들 (TA1) 내지 (TA3)은 도 12의 타이밍 차트에서 기간들(TA1 내지 TA3)의 상태들에 대응한다.

<35> 도 12에서, G-1 및 G-2는 제 1 게이트 신호선(G) 및 제 2 게이트 신호선(GH)의 전위들을 나타낸다. 또한, $|Vgs|$는 구동 TFT(707)의 게이트 전압(게이트-소스 전압)의 절대치이다. I_{EL}은 EL 소자(709)를 통해 흐르는 전류를 나타내고, I_{video}는 비디오 신호 입력 전류원(777)에 의해서 정해진 전류를 나타낸다.

<36> 기간(TA1)에서, 제 1 게이트 신호선(G) 및 제 2 게이트 신호선(GH)의 신호들로 인해 선택 TFT(704) 및 유지 TFT(705)는 온이 된다. 이렇게 해서, 전원선(W)은 전류 TFT(706), 유지 TFT(705) 및 선택 TFT(704)를 통해서 소스 신호선(S)에 접속된다. 비디오 신호 입력 전류원(777)에 의해서 정해진 전류(I_{Video})는 소스 신호선(S)으로 흐른다. 충분한 기간의 시간이 지난 후 정상 상태라 가정되면, 이에 의해, 전류 TFT(706)의 드레인 전류는 I_{Video}가 된다. 이렇게 해서, 전류 TFT(706)의 드레인 전류(I_{Video})에 대응하는 게이트 전압은 유지 커패시터(708)에 의해 유지된다. 그 후, 기간(TA2)에서, 제 2 게이트 신호선(GH)의 신호가 변화하여 유지 TFT(705)가 오프로 된다. 드레인 전류(I_{Video})는 구동 TFT(707)로 흐른다. 이렇게 해서, 신호 전류(I_{Video})는 전원선(W)으로부터 구동 TFT(707)의 소스와 드레인을 통해서 EL 소자(709)로 흐른다. EL 소자(709)는 신호 전류(I_{Video})에 대응하는 휘도를 유지하며 발광한다.

<37> 도 10에 도시된 구성에서, 상기 방법에 의해 EL 소자(709)의 양극(709a)으로부터 음극(709b)으로 전류가

흐른다. EL 소자(709)가 발광할 때, 전류 TFT(706)의 제 2 단자는 소스 단자에 대응하고, 제 1 단자는 드레인 단자에 대응한다. 또한, 구동 TFT(707)의 제 2 단자는 소스 단자에 대응하고, 제 1 단자는 드레인 단자에 대응한다.

<38> 다음 기간(TA3)에서, 제 1 게이트 신호선(G)의 신호가 변화하여, 선택 TFT(704)는 오프로 된다. 선택 TFT(704)가 오프로 된 후에도, 신호 전류(I_{Video})는 전원선(W)으로부터 구동 TFT(707)의 소스와 드레인을 통해서 EL 소자(709)로 계속 흐르고, EL 소자(709)는 계속 발광한다.

<39> 기간들(TA1 내지 TA3)의 일련의 동작들은 신호 전류(I_{Video}) 기록 동작이라 불린다. 이 경우, 신호 전류(I_{Video})는 아날로그식으로 변화되어 EL 소자(709)의 휘도를 변화시키고 계조를 표현한다.

<40> 상기 전류-제어형 표시 장치에서, 구동 TFT(707)는 포화 영역에서 동작한다. 여기서, 구동 TFT(707)의 드레인 전류는 소스 신호선(S)으로부터 입력되는 신호 전류에 의해 정해진다. 즉, 같은 화소내의 구동 TFT(707)와 전류 TFT(706) 사이에서 전류 특성들이 같으면, 구동 TFT(707)는 임계 전압 및 이동도의 분산에 상관없이 일정한 드레인 전류가 계속 흐르도록 그 게이트 전압을 자동적으로 변화시킨다.

발명이 이루고자 하는 기술적 과제

<41> EL 소자에서, 흐르는 전류량과, 양극과 음극을 가로지르는 전압 사이의 관계(I-V 특성들)는 EL 소자가 사용되는 환경 온도와 EL 소자의 열화에 따라 변화한다. 그러나 전류-제어형 화소는 EL 소자가 사용되는 환경 온도와 EL 소자의 열화에 상관 없이 EL 소자로 흐르는 전류를 거의 일정하게 유지할 수 있다.

<42> 도 9는 EL 소자로 흐르는 전류가 일정하게 유지되는 경우의 시간의 경과에 따른 EL 소자의 열화의 변화를 도시하며, 세로축은 EL 소자의 휘도(L)를 나타내고, 가로축은 시간(t)을 나타낸다. 곡선(900)은 EL 소자로 흐르는 전류가 일정하게 유지되는 경우의 휘도의 변화를 나타낸다. 시간이 t0인 경우, EL 소자의 휘도(L)는 100%라고 가정된다. EL 소자는 소정의 전류가 계속 흐른 시간에 따라 열화가 진행된다. 따라서, EL 소자의 양극과 음극 사이에 같은 전류가 흐르는 동안에도 휘도는 저하된다.

<43> 그 결과, 전류-제어형 화소에서, EL 소자의 열화로 인한 휘도의 분산과 관련한 문제가 발생한다.

발명의 구성 및 작용

<44> 따라서 본 발명은 EL 소자의 열화에 기인한 전류 특성들의 변화에 의한 휘도의 변화를 낮춤으로써 거의 일정한 휘도를 유지하며 발광할 수 있는 표시 장치를 제공한다.

<45> 본 발명의 표시 장치는 EL 소자들을 통해서 흐르는 전류가 EL 소자들의 열화에 의하여 변화하는 것을 억제하기 위해서 전류-제어형 화소들을 사용한다.

<46> 예를 들면, 전류-제어형 화소는:

<47> 제 1 전극, 제 2 전극 및 1 전극과 제 2 전극 사이에 있는 EL 층을 갖는 EL 소자;

<48> 화소에 입력되는 제 1 전류를 전압으로 변환하는 수단;

<49> 전압을 유지하는 수단; 및

<50> 전압을 EL 소자의 제 1 전극과 제 2 전극 사이에 흐르는 제 2 전류로 변환하는 수단을 포함한다.

<51> 상기 전류-제어형 화소를 사용하면서 EL 소자의 열화도 억제하기 위해서, 이하의 3개의 방법(제 1 방법 내지 제 3 방법) 중에서 적어도 1 개의 방법이 조합되어 사용된다. 이렇게 해서, 상조적인 이유로 EL 소자의 열화는 저감된다.

<52> 우선, 이들 3개의 방법들이 설명되고, 그 후, 전류-제어형 화소들로 조합한 이들 방법들을 사용한 관점에서 설명하겠다.

<53> 제 1 방법은 화소의 개구율을 크게 하는 것이다. EL 소자가 화상을 디스플레이하는데 기여하는 큰 영역(이하 발광 영역으로서 참조됨)을 화소가 소유하도록 설계된다. 발광 영역을 크게함으로써, 같은 휘도를 생산하기 위해 EL 소자로 흐르는 전류의 밀도를 저감할 수 있다. 여기서, EL 소자는 흐르는 전류 밀도에 비례하여 열화가 진행된다. 따라서, 개구율을 크게 하여 발광을 위한 전류 밀도를 저감함으로써, EL 소자들의 열화를 억제할 수

있다.

<54> 이러한 목적을 위해서, 이하의 2개의 구성(제 1 구성 및 제 2 구성) 중 1개 또는 양쪽이 사용된다. 제 1 구성 및 제 2 구성을 순차로 설명하겠다.

<55> 제 1 구성에 따라서, TFT들과 같은 소자들이 적은 비율로 화소들을 차지한다. 이것은 화소가 소유하는 TFT와 같은 소자를 통해서 EL 소자로부터 발광되는 형태의 표시 장치에서, 화소가 소유하는 TFT와 같은 소자가 차지하는 영역이 감소되어 개구율을 높이기 때문이다.

<56> 제 1 구성은 이하에 설명되는 바와 같은 각 화소에서 3개 이상의 노드를 동시에 단락 또는 개방할 수 있는 스위치 소자를 사용한다. 여기서, 복수의 노드가 단락된 상태는 복수의 노드 중 임의의 2개의 노드 사이에서 전기적 접속이 이루어지는 것을 나타낸다. 또한, 복수의 노드가 개방된 상태는 복수의 노드 중 임의의 2개의 노드 사이에서 전기적 접속이 없는 것을 나타낸다.

<57> 제 1 구성의 스위치 소자를 더욱 상세히 설명하겠다. 스위치 소자는 절연 표면상에 반도체 박막에 의해서 형성되는 활성층, 활성층에 접하는 절연막 및 절연막을 통해서 활성층과 중첩되는 게이트 전극을 포함하고, 활성층은 적어도 하나의 채널-형성 영역과 n(n은 3보다 작지 않은 자연수)개의 불순물 영역(불순물 원소가 첨가된 영역들)을 포함한다. n개의 불순물 영역 중, m(m은 3보다 작지않고 n보다 크지 않은 자연수)개의 불순물 영역은 다른 접속 전극들과 접한다. n개의 불순물 영역은 채널-형성 영역들과 접한다.

<58> n개의 불순물 영역은 그들과 채널-형성 영역과의 사이에 불순물 영역들보다 불순물을 포함하는 농도가 낮은 영역(이하 저농도 불순물 영역이라 함)을 소유할 수도 있다.

<59> 여기서, m개의 불순물 영역 중 임의의 2개의 불순물 영역은 채널-형성 영역만 통해서 활성층내에 함께 접속된다. 또는, m개의 불순물 영역 중 임의의 2개의 불순물 영역은 저농도 불순물 영역만 통해서 채널 영역에 접속된다. 또는, m개의 불순물 영역 중 임의의 2개의 불순물 영역은 n개의 불순물 영역 중 상기 m개의 불순물 영역과 다른 불순물 영역들을 통해서 채널 영역에 접속된다. 또는, m개의 불순물 영역 중 임의의 2개의 불순물 영역은 저농도 불순물 영역을 통해서 그리고 n개의 불순물 영역 중 상기 m개의 불순물 영역과 다른 불순물 영역들을 통해서 채널 영역에 접속된다.

<60> 이와 같이 구성된 스위치 소자(이하 멀티-드레인 소자라고도 함)는 게이트 전극의 전위에 따라 채널-형성 영역에 채널이 형성되는 경우와 채널이 형성되지 않는 경우를 선택할 수 있다. 이렇게 해서, m개의 불순물 영역에 접속된 접속 전극들 중 임의의 2개의 접속 전극을 도통되게 하는 경우와 비도통되게 하는 경우를 선택하게 할 수 있다. 이렇게 해서, 모든 접속 전극은 동시에 단락 또는 개방할 수 있다. 3개 이상의 노드를 단락 또는 개방하는 동작은, 종래에는 복수의 TFT를 사용해서 수행되어왔지만, 이제 상기 기술된 바와 같이 구성된 1개의 스위치 소자(멀티-드레인 소자)만을 사용해서 수행될 수 있다.

<61> 이렇게 해서 소자(스위칭 소자)가 차지하는 화소의 영역을 저감할 수 있다.

<62> 제 2 구성에 따라서, 화소부에 다른 색들의 발광 EL 소자가 배치된다고 한정되는 경우, 발광색들에 대응하는 EL 소자들의 EL 층들의 경계들은 중첩되는 방식으로 배치된다. 예를 들어, 제 1 색의 발광 EL 소자의 EL 층(제 1 EL 층) 및 제 2 색의 발광 EL 소자의 EL 층(제 2 EL 층)은 그들의 단부들이 서로 중첩되어 배치된다. 여기서, 종래 EL 표시 장치에서, 경계들은 절연체에 의해서 형성된 뱅크(bank)에 의해서 설정되고, 발광색들에 대응하는 EL 소자들의 EL 층들은 개별 색들로 분리된다. 한편, 본 발명의 제 2 구성에 따라서, 발광색들에 대응하는 EL 소자들의 EL 층들의 경계들은 서로 중첩 배치되어 개별 색들로 분리하기 위한 뱅크가 제거된다. 뱅크가 생략되면, EL 소자가 화상 디스플레이에 기여하는 영역을 커지게 할 수 있다.

<63> 제 2 구성은 화소들이 소유하는 TFT들과 같은 소자를 통해서 화상을 보여지게 할 수 있는 형태의 표시 장치에 한정되지 않는다. 즉, 제 2 구성은 화소들이 소유하는 TFT들과 같은 소자들에 화소들이 형성된 기판과 대향하는 측에서 화상을 보여지게 할 수 있는 형태의 표시 장치에 적용될 수도 있다.

<64> 이상에서는 화소들의 개구율을 크게 하고, 같은 휘도를 얻는데 EL 소자로 흐르는 전류의 밀도를 작게 하는 제 1 방법을 기술하였다. 이어서, 이하에 기술된 것은 제 2 방법이다.

<65> 제 2 방법에서는 화소들에 배치된 열화가 적은 EL 소자들을 사용한다. EL 소자들의 구성을 설명하겠다.

<66> EL 소자를 형성하는 EL 층은 서로 명확히 구별될 수 있는 정공 주입 재료로 구성되는 정공 주입층, 정공 수송 재료로 구성되는 정공 수송층, 발광 재료로 구성되는 발광층, 전자 수송 재료로 구성되는 전자 수송층 및 전자

주입 재료로 구성되는 전자 주입층의 적층 구조로 구성되지 않는다. 대신, EL 소자를 형성하는 EL 층은 이하에서 혼합 접합형의 EL 소자라 불리는 정공 주입 재료, 정공 수송 재료, 발광 재료, 전자 수송 재료 및 전자 주입 재료 등의 재료와 같은 복수의 재료가 혼합된 층(혼합층: 혼합 영역)으로 이루어진다. 여기서, 정공 주입 재료, 정공 수송 재료, 발광 재료, 전자 수송 재료 및 전자 주입 재료는 다른 기능들을 갖는 기능 재료들이라 불린다.

<67> 예를 들면, EL 소자의 EL 층은 제 1 기능 재료가 첨가된 제 1 영역, 제 1 기능 재료와는 다른 기능을 갖는 제 2 기능 재료가 첨가된 제 2 영역 및 제 1 기능 재료와 제 2 기능 재료의 양쪽이 첨가된 혼합 영역으로 구성된다.

<68> 상기 구성은 제 1 기능 재료만이 첨가된 영역(제 1 영역)을 갖지 않을 수도 있지만, 제 1 기능 재료와 제 2 기능 재료의 혼합 영역의 농도의 비율이 변화하는(농도 경사를 갖는) 것이 될 수 있다. 또는, 제 1 기능 재료만이 첨가된 영역(제 1 영역) 및 제 2 기능 재료만이 첨가된 영역(제 2 영역) 둘 다 가지지 않을 수도 있지만, 제 1 기능 재료와 제 2 기능 재료의 혼합 영역의 농도의 비율이 변화하는(농도 경사를 갖는) 것이 될 수 있다. 또한 농도의 비율은 양극 또는 음극으로부터의 거리에 따라 변화할 수 있다. 더욱이, 농도의 비율은 연속적으로 변화할 수 있다. 농도 경사 방법은 자유롭게 설정할 수 있다.

<69> 명확한 적층 구조를 갖는 EL 소자에서, 다른 기능들을 갖는 재료로 구성되는 층들의 계면들에서의 전하의 축적에 관해 문제가 된다. 층들의 계면들에서의 전하의 축적은 EL 소자의 수명을 단축하는 중요한 원인이 된다. 한편, 혼합 접합형의 EL 소자에서, 명확한 층들의 계면이 존재하지 않고, 전하의 축적을 낮춘다. 이렇게 해서, 혼합 접합형의 EL 소자는 수명을 늘릴 수 있는 특징들이 있다. 구동 전압도 낮게 할 수 있다.

<70> 또한, EL 소자의 전극에 접하는 EL 층의 부분에 금속 재료가 첨가될 수 있다. 이러한 구성의 EL 소자도 혼합 접합형의 EL 소자라 불린다. 상기 구성은 EL 소자의 전극들의 산화를 방지하고 전극을 통해서 캐리어들의 주입 효율을 높인다. 이렇게 해서, 혼합 접합형의 EL 소자는 수명을 늘릴 수 있는 특징들이 있다. 구동 전압도 낮게 할 수 있다.

<71> 여기서, EL 소자의 EL 층은 유기물들로 구성되는 것들에 한정되지 않는다. EL 층은 무기물들로 이루어질 수 있다. 또는, EL 층은 유기물들과 무기물들 양쪽으로 이루어질 수 있다.

<72> 본 발명은 상기 구성에 의해, EL 소자의 열화에 기인한 전류 특성들의 변화로 유발되는 휘도의 변화를 저감하고 거의 일정한 휘도를 유지하며 발광할 수 있는 표시 장치를 제공한다.

<73> 이상에서 제 2 방법을 설명하였다. 이어서, 제 3 방법을 설명하겠다. 제 3 방법은 EL 소자들의 열화를 억제한다. 이러한 방법에 따라, EL 소자에 정기적인 간격으로 역바이어스 전압이 인가된다. 이렇게 해서, EL 소자들의 열화를 억제한다.

<74> 이상에서 제 1 방법 내지 제 3 방법을 설명하였다. 이들 방법들은 EL 소자들의 열화를 억제하는 데 효과적이다. 이어서, 이하에 설명되는 것은 전류-제어형 화소들과 이들 방법들을 조합하여 사용하는 것에 관한 것이다.

<75> 처음에, 이하에 설명된 것은 전류-제어형 화소들과 제 1 방법(제 1 구성 또는 제 2 구성)을 조합하여 사용하는 경우이다.

<76> 예를 들면, 제 1 구성은 전류-제어형 화소들과 조합하여 사용될 수 있다. 이하에 설명된 것은 그 구성이다.

<77> 표시 장치는:

<78> 복수의 화소와 전류 신호가 입력되는 복수의 신호선을 갖고;

<79> 복수의 화소 각각은 멀티-드레인 소자, 제 1 TFT, 커패시터 소자, 전류 신호에 대응하는 휘도를 유지하며 발광하는 EL 소자 및 EL 소자와 직렬로 접속된 제 2 TFT를 갖고;

<80> 멀티-드레인 소자는 절연 표면상에 반도체 박막에 의해서 형성되는 활성층, 활성층에 접하는 절연막 및 절연막을 통해서 활성층과 중첩되는 게이트 전극을 갖고;

<81> 활성층은 적어도 1개의 채널-형성 영역 및 n(n은 3보다 작지 않은 자연수)개의 불순물 영역을 갖고;

<82> n개의 불순물 영역 중 m(m은 3보다 작지 않고 n보다 크지 않은 자연수)개의 불순물 영역은 다른 접속 전극들에 접하고;

<83> n개의 불순물 영역들은 채널 형성 영역에 접속되고;

<84> m개의 불순물 영역 중 임의의 2개의 불순물 영역은 채널-형성 영역만을 통해서 활성층에 함께 접속되며;

<85> 제 2 TFT의 게이트 전극은 제 1 TFT의 게이트 전극에 접속되고,

<86> 커패시터 소자의 한쪽의 전극은 제 1 TFT의 게이트 전극에 접속되며,

<87> 제 1 TFT의 제 1 단자, 제 1 TFT의 게이트 전극 및 복수의 신호선 중 1개는 다른 접속 전극들에 접속된다.

<88> 표시 장치는:

<89> 복수의 화소와 전류 신호가 입력되는 복수의 신호선을 포함하고;

<90> 복수의 화소 각각은 멀티-드레인 소자, 제 1 TFT, 커패시터 소자, 전류 신호에 대응하는 휘도를 유지하며 발광하는 EL 소자, EL 소자와 직렬로 접속된 제 2 TFT를 갖고;

<91> 멀티-드레인 소자는 절연 표면상에 반도체 박막에 의해서 형성되는 활성층, 활성층에 접하는 절연막 및 절연막을 통해서 활성층과 중첩되는 게이트 전극을 갖고;

<92> 활성층은 적어도 1개의 채널-형성 영역 및 n(n은 3보다 작지 않은 자연수)개의 불순물 영역을 갖고;

<93> n개의 불순물 영역 중 m(m은 3보다 작지 않고 n보다 크지 않은 자연수)개의 불순물 영역은 다른 접속 전극들에 접하고;

<94> n개의 불순물 영역은 그들과 채널-형성 영역과의 사이에 불순물 영역보다 낮은 불순물 농도의 저농도 불순물 영역을 갖고;

<95> m개의 불순물 영역 중 임의의 2개의 불순물 영역은 채널-형성 영역 및 저농도 불순물 영역만을 통해서 활성층에 함께 접속되며,

<96> 제 2 TFT의 게이트 전극은 제 1 TFT의 게이트 전극에 접속되고,

<97> 커패시터 소자의 한쪽의 전극은 제 1 TFT의 게이트 전극에 접속되며,

<98> 제 1 TFT의 제 1 단자, 제 1 TFT의 게이트 전극 및 복수의 신호선 중 1개는 다른 접속 전극들에 접속된다.

<99> 여기서, 제 2 TFT의 제 1 단자가 EL 소자의 한쪽의 전극에 접속되고, 제 1 TFT의 제 2 단자와 제 2 TFT의 제 2 단자는 같은 배선에 접속되는 것과 같은 표시 장치일수도 있다.

<100> 이렇게 해서, 전류-제어형 화소에 있어서 개구율을 크게 하여 EL 소자들의 열화를 억제할 수 있다.

<101> 전류-제어형 화소에 제 1 구성을 조합한 경우, 제 2 구성을 더욱 조합할 수 있다. 이하에 설명된 것이 그 구성이다.

<102> 복수의 화소는 제 1 색으로 발광하는 제 1 화소와 제 1 색과는 다른 색으로 발광하는 제 2 화소를 갖고, 제 1 화소들의 EL 소자들의 EL 층들의 단부들은 제 2 화소들의 EL 소자들의 EL 층들의 단부들과 중첩되어 형성된다.

<103> 이렇게 해서, 전류-제어형 화소에 있어서 더욱 개구율을 크게 하여, EL 소자들의 열화를 더욱 억제할 수 있다.

<104> 전류-제어형 화소에 제 1 구성 또는 제 2 구성의 1개 또는 복수가 조합되는 경우, 제 2 방법이 더욱 조합될 수 있다. 이하에 설명된 것이 그 구성이다.

<105> EL 소자는 제 1 전극, 제 2 전극 및 제 1 전극과 제 2 전극 사이에 있는 EL 층을 갖고, EL 층은 제 1 기능 재료와 제 1 기능 재료와는 다른 기능을 갖는 제 2 기능 재료의 양쪽이 첨가된 혼합 영역을 갖는다.

<106> 이것은 EL 소자들의 열화를 더욱 억제하게 할 수 있다.

<107> 전류-제어형 화소에 제 1 구성, 제 2 구성 및 제 2 방법 중 어느 하나 또는 복수가 조합되는 경우에, 제 3 방법이 더욱 조합될 수 있다. 즉, 상기 구성은 EL 소자의 양극의 전위를 EL 소자의 음극의 전위보다 낮게 하는 수단을 포함한다.

<108> 이것은 EL 소자들의 열화를 더욱 억제할 수 있다.

<109> 이어서, 이하에 설명된 것은 전류-제어형 화소들에 제 2 구성이 조합되는 구성이다.

<110> 표시 장치는 복수의 화소를 갖고,

<111> 복수의 화소 각각은:

<112> 제 1 전극, 제 2 전극 및 제 1 전극과 제 2 전극 사이에 있는 EL 층을 갖는 EL 소자; 및

<113> EL 소자의 제 1 전극과 제 2 전극을 가로질러 흐르는 전류를 일정하게 설정하는 수단을 포함하며,

<114> 복수의 화소는 제 1 색으로 발광하는 제 1 화소들, 제 1 색과는 다른 색으로 발광하는 제 2 화소들을 포함하고,

<115> 제 1 화소들의 EL 소자들의 EL 층들의 단부들은 제 2 화소들의 EL 소자들의 EL 층들의 단부들과 중첩된다.

<116> 표시 장치는 복수의 화소와 전류 신호가 입력되는 복수의 신호선을 갖고,

<117> 복수의 화소 각각은:

<118> 제 1 전극, 제 2 전극 및 제 1 전극과 제 2 전극 사이에 있는 EL 층을 갖는 EL 소자;

<119> 복수의 신호선 각각으로부터 복수의 화소 각각에 입력되는 제 1 전류를 전압으로 변환하는 수단;

<120> 전압을 유지하는 수단; 및

<121> EL 소자의 제 1 전극과 제 2 전극 사이에서 흐르는 전압을 제 2 전류로 변환하는 수단을 포함하며,

<122> 복수의 화소는 제 1 색으로 발광하는 제 1 화소와 제 1 색과는 다른 색으로 발광하는 제 2 화소를 포함하고,

<123> 제 1 화소들의 EL 소자들의 EL 층들의 단부들은 제 2 화소들의 EL 소자들의 EL 층들의 단부들과 중첩된다.

<124> 이렇게 해서, 전류-제어형 화소에서 개구율을 크게 하여 EL 소자들의 열화를 억제할 수 있다.

<125> 전류-제어형 화소에 제 2 구성이 조합되는 경우, 제 2 방법이 더욱 조합될 수 있다. 이하에 설명된 것이 그 구성이다.

<126> EL 소자는 제 1 전극, 제 2 전극, 제 1 전극과 제 2 전극 사이에 있는 EL 층을 갖고, EL 층은 제 1 기능 재료와 제 1 기능 재료와는 다른 기능을 갖는 제 2 기능 재료의 양쪽이 첨가된 혼합 영역을 갖는다.

<127> 이것은 EL 소자들의 열화를 더욱 억제할 수 있다.

<128> 전류-제어형 화소에 제 1 방법의 제 2 구성 및 제 2 방법 중 어느 1개 또는 양자가 조합되는 경우, 제 3 방법이 더욱 조합될 수 있다. 즉, 상기 구성은 EL 소자의 양극의 전위를 상기 EL 소자의 음극의 전위보다 낮게 하는 수단을 갖는다.

<129> 이것은 EL 소자들의 열화를 더욱 억제할 수 있다.

<130> 또한, 전류-제어형 화소에 제 2 방법이 조합될 수 있다. 이하에 설명된 것이 그 구성이다.

<131> 표시 장치는 복수의 화소를 갖고,

<132> 복수의 화소 각각은:

<133> 제 1 전극, 제 2 전극 및 제 1 전극과 제 2 전극 사이에 있는 EL 층을 갖는 EL 소자; 및

<134> EL 소자의 제 1 전극과 제 2 전극 사이를 흐르는 전류를 일정하게 설정하는 수단을 포함하며,

<135> EL 층은 제 1 기능 재료와 제 1 기능 재료와는 다른 기능을 갖는 제 2 기능 재료의 양쪽이 첨가된 혼합 영역을 갖는다.

<136> 표시 장치는 복수의 화소와 전류 신호가 입력되는 복수의 신호선을 갖고,

<137> 복수의 화소 각각은:

<138> 제 1 전극, 제 2 전극 및 제 1 전극과 제 2 전극 사이에 있는 EL 층을 갖는 EL 소자;

<139> 복수의 신호선으로부터 복수의 화소에 입력되는 제 1 전류를 전압으로 변환하는 수단;

<140> 전압을 유지하는 수단; 및

<141> 전압을 EL 소자의 제 1 전극과 제 2 전극 사이에 흐르는 제 2 전류로 변환하는 수단을 포함하며,

<142> EL 층은 제 1 기능 재료와 제 1 기능 재료와는 다른 기능을 갖는 제 2 기능 재료의 양쪽이 첨가된 혼합 영역을 갖는다.

<143> 열화가 억제된 EL 소자들을 사용함으로써, 그 휘도의 분산이 억제된 표시 장치를 얻을 수 있다.

<144> 전류-제어형 화소에 제 2 방법이 조합되는 경우, 제 3 방법이 더욱 조합될 수 있다. 즉, 상기 구성은 EL 소자의 양극의 전위를 EL 소자의 음극의 전위보다 낮게 하는 수단을 보유한다.

<145> 이것은 EL 소자들의 열화를 더욱 억제한다.

<146> 전류-제어형 화소에 제 3 방법이 또한 조합될 수 있다.

<147> 표시 장치는 복수의 화소를 갖고,

<148> 복수의 화소 각각은:

<149> 제 1 전극, 제 2 전극 및 제 1 전극과 제 2 전극 사이에 있는 EL 층을 갖는 EL 소자;

<150> EL 소자의 제 1 전극과 제 2 전극 사이를 흐르는 전류를 일정하게 설정하는 수단을 포함하며,

<151> EL 소자의 제 1 전극과 제 2 전극의 한쪽은 양극이고, 다른 한쪽은 음극이며,

<152> EL 소자의 양극의 전위를 EL 소자의 음극의 전위보다 낮게 하는 수단을 더 포함한다.

<153> 표시 장치는 복수의 화소와 전류 신호가 입력되는 복수의 신호선을 갖고,

<154> 복수의 화소 각각은:

<155> 제 1 전극, 제 2 전극 및 제 1 전극과 제 2 전극 사이에 있는 EL 층을 갖는 EL 소자;

<156> 복수의 신호선으로부터 복수의 화소에 입력되는 제 1 전류를 전압으로 변환하는 수단;

<157> 전압을 유지하는 수단; 및

<158> 전압을 EL 소자의 제 1 전극과 제 2 전극 사이에 흐르는 제 2 전류로 변환하는 수단을 포함하며,

<159> EL 소자의 제 1 전극과 제 2 전극의 한쪽은 양극이고, 다른 한쪽은 음극이며,

<160> EL 소자의 양극의 전위를 EL 소자의 음극의 전위보다 낮게 하는 수단을 더 포함한다.

<161> 이것은 EL 소자들의 열화를 더욱 억제할 수 있다.

<162> EL 소자의 EL 층은 고분자 재료(폴리머), 저분자 재료 또는 중분자로 이루어질 수 있다. 또한, 이들 재료들은 조합하여 사용될 수도 있다. 중분자 재료는 승화되지 않고 약 20보다 크지 않은 중합도를 가지는 것이다. EL 소자는 1중항 여기자(singlet excitons)로부터의 발광(형광)을 이용하는 것이나 3중항 여기자(triplet excitons)로부터의 발광(인광)을 이용하는 것 어느쪽이어도 된다.

<163> 상기 구성은 EL 소자들의 열화에 기인한 전류 특성들의 변화에 의해 유발되는 휘도의 변화를 저감하고, 거의 일정한 휘도를 유지하며 발광할 수 있는 표시 장치를 제공할 수 있게 한다.

<164> (제 1 실시예)

<165> 제 1 실시예에서는 멀티-드레인 소자의 구성 및 멀티-드레인 소자를 사용한 본 발명의 표시 장치의 화소의 구성을 개시한다. 도 1a은 본 발명의 멀티-드레인 소자를 사용한 화소 구성을 도시한다. 도 1a에서, 도 10에 도시된 종래의 화소 구성과 같은 부분은 같은 참조 번호들에 의해서 나타내며 그들의 설명은 반복되지 않는다. 도 1a는 구동 TFT(707) 및 전류 TFT(706)는 P채널 TFT들이고, 화소 전극은 양극인 경우를 도시한다.

<166> 도 1a는 도 10에서 사용된 선택 TFT(704) 및 유지 TFT(705) 대신에 멀티-드레인 소자(101)를 사용한다. 도 1a의 멀티-드레인 소자(101)의 단자들은 도 1b를 참조하여 설명될 것이다. 멀티-드레인 소자(101)는 단자(T0) 및 단자(T1) 내지 단자(T3)를 갖는다.

<167> 단자(T0)에 입력된 신호 전위에 따라서, 멀티-드레인 소자(101)는 단자들(T1 내지 T3)(단자(T1)와 단자(T2) 사이, 단자(T2)와 단자(T3) 사이, 단자(T1)와 단자(T3)사이)이 개방되는 상태 또는 그들이 닫히는 상태를 선택한다. 도 1b는 기호를 사용하여, 단자(T0)에 입력된 신호 전위에 따라, 단자(T1) 내지 단자(T3)가 개방되는 상태

와 그들이 닫히는 상태를 선택할 수 있는 멀티-드레인 소자를 도시한다.

<168> 도 1a로 되돌아가면, 멀티-드레인 소자(101)의 단자(T0)는 게이트 신호선(G)에 접속된다. 전류 TFT(706)의 게이트 전극은 멀티-드레인 소자(101)의 단자(T2)와 단자(T3)간을 통해서 전류 TFT(706)의 제 1 단자에 접속되어 있다. 또한, 전류 TFT(706)의 제 1 단자는 멀티-드레인 소자(101)의 단자들(T3 및 T1)을 통해서 신호선(S)에 접속되어 있다.

<169> 도 1a에서, 전류 TFT(706)의 제 2 단자 및 구동 TFT(707)의 제 2 단자는 전원선(W)에 접속된다. 하지만, 본 발명의 화소 구성은 이들만으로 한정되지 않는다. 일반적으로, 전류 TFT(706)의 제 2 단자와 구동 TFT(707)의 제 2 단자는 드레인 전류가 그들에게 흐를 때, 같은 전위라고 가정하도록 구성될 수 있다.

<170> 유지 커패시터(708)의 2개의 전극 사이에서, 구동 TFT(707)의 게이트 전극에 접속되지 않은 측은 전류선(W)에 접속된다. 하지만, 본 발명의 화소 구성은 이들만으로 한정되지 않는다. 일반적으로, 유지 커패시터(708)의 2개의 전극 사이에서, 구동 TFT(707)의 게이트 전극과 접속되지 않은 측은 전류 TFT(706) 또는 구동 TFT(707)로 전류가 흐르는 동안 각각의 TFT들의 제 2 단자들의 전위와 같은 전위로 유지되도록 구성될 수 있다.

<171> 도 1a 및 도 1b와 다르게 EL 소자의 화소 전극이 음극인 경우, EL 소자가 발광할 때, 전류 TFT(706) 및 구동 TFT(707)의 소스 단자들의 전위가 고정되어 화소가 동작하는 것이 바람직하다. 따라서, 전류 TFT(706) 및 구동 TFT(707)로서 N채널 TFT들을 사용하는 것이 바람직하다.

<172> 여기서, 도 2a 내지 도 2d는 도 1a 내지 도 1b의 멀티-드레인 소자(101)를 제조하는 예를 도시한다.

<173> 처음에, 도 2a는 멀티-드레인 소자의 기호를 도시한다. 도 2b는 도 2a에 도시된 멀티-드레인 소자가 제조될 때의 상측면도이다. 도 2c는 도 2b의 A-A′ 선을 따른 단면도이다. 도 2d는 도 2b의 B-B′ 선을 따른 단면도이다. 도 2b에서, 멀티-드레인 소자(101)는 활성층(201), 전극(220) 및 접속 전극(221 내지 223)을 갖는다. 도 2c 및 도 2d에서, 절연 표면을 갖는 기판(200)상에 형성된 활성층(201)은 같은 도전형을 부여하는 불순물들이 첨가된 불순물 영역들(203a 내지 203c)과, 채널 영역(204)을 포함한다. 전극(220)은 게이트 절연막(205)을 통해서 채널-형성 영역(204)과 중첩된다. 접속 전극들(221 내지 223)은 전극(220)상에 형성된 절연막(206)상에 형성되어, 콘택트 홀들(202a 내지 202c)을 통해서 불순물 영역들(203a 내지 203c)에 전기적으로 접속된다. 전극(220)은 도 2a의 단자(T0)에 대응한다. 또한, 접속 전극(221)은 단자(T1)에 대응하고, 접속 전극(222)은 단자(T2)에 대응하고, 접속 전극(223)은 단자(T3)에 대응한다.

<174> 또, 접속 전극(221)은 단자(T2)에 대응하고, 접속 전극(222)은 단자(T3)에 대응하고, 접속 전극(223)은 단자(T1)에 대응할 수도 있다. 또는, 접속 전극(221)은 단자(T3)에 대응하고, 접속 전극(222)은 단자(T1)에 대응하고, 접속 전극(223)은 단자(T2)에 대응할 수도 있다.

<175> 불순물 영역들(203a 내지 203c)은 채널-형성 영역(204)에 접한다. 본 실시예에서, 불순물 영역들은 모두 채널-형성 영역(204)에 접하지만, 본 발명은 이것만으로 한정되지 않는다. 저농도 불순물 영역(LDD 영역)은 불순물 영역들(203a 내지 203c)과 채널-형성 영역(204) 사이에 제공될 수 있는 불순물 영역들(203a 내지 203c)보다도 낮은 불순물 농도를 가진다.

<176> 도 2c 및 도 2d에서, 게이트 절연막(205)이 불순물 영역들(203a 내지 203c)을 덮지만, 본 발명은 이것만으로 한정되지 않는다. 불순물 영역들(203a 내지 203c)은 게이트 절연막(205)에 덮여 있을 필요는 없고 노출되어 있을 수도 있다.

<177> 멀티-드레인 소자(101)는 보통 TFT들을 제조하는 것과 같은 프로세스를 통해서 제조될 수 있다. 도 2c 및 도 2d에서, 본 발명의 멀티-드레인 소자(101)의 전극(220)은 공지된 TFT들의 게이트 전극과 같은 재료로 구성될 수 있다. 또한, 채널-형성 영역(204)과 불순물 영역들(203a 내지 203c)은 종래의 TFT들과 마찬가지의 방법으로 활성층(201)에 형성될 수 있다.

<178> 여기서, 활성층(201)과 중첩되는 전극(220)의 부분도 멀티-드레인 소자의 게이트 전극이라 불린다. 멀티-드레인 단자의 단자들(T1 내지 T3)이 접속되는 불순물 영역들(203a 내지 203c)은 소스 영역들 또는 드레인 영역들이라 불린다. 또한, 멀티-드레인 소자의 단자들(T1 내지 T3)도 소스 단자들 또는 드레인 단자들이라 불린다.

<179> 전극(220; 게이트 전극)에 인가되는 전위에 따라서, 도 2a 내지 도 2d에 도시된 멀티-드레인 소자(101)는 채널-형성 영역(204)에 형성된 그 채널이 변화하여 (소스 단자와 드레인 단자 사이에 대응되는) 단자들(T1 내지 T3) 중 그 저항이 제어된다. 즉, 게이트 전극(220)의 전위로 인해, 채널-형성 영역에 채널이 형성되어, 도통되는

소스 단자와 드레인 단자 사이를 통과한다.

<180> 예를 들면, 도 2a 내지 도 2d에서, N형을 부여하는 불순물 원소가 멀티-드레인 소자(101)의 불순물 영역들(203a 내지 203c)에 첨가된다. 이 경우, 게이트 전극(T0)의 전위는 불순물 영역들(203a 내지 203c) 중 어느 하나 또는 2개에 대응하는 소스 영역의 전위보다 충분히 높게 설정한다. 이렇게 해서, 단자(T1) 내지 단자(T3)는 단락될 수 있다. 이렇게 구성된 멀티-드레인 소자(101)는 N채널 멀티-드레인 소자라 불린다.

<181> 한편, 도 2a 내지 도 2d에서, P형을 부여하는 불순물 원소가 멀티-드레인 소자(101)의 불순물 영역들(203a 내지 203c)에 첨가된다. 이 경우, 게이트 전극(T0)의 전위는 불순물 영역들(203a 내지 203c) 중 어느 하나 또는 2개에 대응하는 소스 영역의 전위보다 충분히 낮게 설정한다. 이렇게 해서, 단자(T1) 내지 단자(T3)는 단락될 수 있다. 이렇게 구성된 멀티-드레인 소자는 P채널 멀티-드레인 소자라 불린다.

<182> 스위치 소자(멀티-드레인 소자)는 기판상에 형성된 절연 표면상에 활성층, 절연막, 게이트 전극의 순서로 형성되는 구성에 한정되지 않는다. 이 구성은 기판상에 형성된 절연 표면상에, 게이트 전극, 절연막, 활성층의 순서로 형성되는 것이어도 된다. 또한, 멀티-드레인 소자의 게이트 전극은 각각 절연막을 통해서 활성층의 상하측 양쪽에 형성될 수도 있다.

<183> 이렇게 해서, 도 2a 내지 도 2d의 멀티-드레인 소자(101)는 3개의 노드를 동시에 접속하거나, 구체적으로 말하면, 단자들(T1 내지 T3)을 동시에 접속할 수 있다.

<184> 이렇게 구성된 멀티-드레인 소자(101)를 사용함으로써, 화소에서 스위치 소자가 차지하는 면적을 억제할 수 있어, 화소의 개구율을 증가할 수 있다.

<185> 도 1a 내지 도 1b에 도시되는 바와 같이 구성된 화소는 도 12의 타이밍 차트를 사용하여 도시된 종래 예와 같은 방법에 의해서 구성된다. 하지만, 여기서, 도 10에 도시한 화소 구성에서 제 1 게이트 신호선(G) 및 제 2 게이트 신호선(GH)은 도 1a 및 도 1b에 도시된 본 발명의 화소 구성에서 게이트 신호선(G)으로서 공유된다. 이렇게 해서, 기간(TA1) 동안, 게이트 신호선(G)의 신호로 인해 멀티-드레인 소자(101)의 단자들(T1 내지 T3)은 단락된다. 하지만, 기간(TA2)의 종료 후, 게이트 신호선(G)의 신호로 인해 멀티-드레인 소자의 단자들(T1 내지 T3)은 개방된다. 이렇게 해서, EL 소자(709)는 각 화소에서 발광하여 화상을 디스플레이한다.

<186> 도 1a 및 도 1b에 도시된 구성에서, 상기 방법으로 인해 EL 소자(709)의 양극(709a)으로부터 음극(709b)으로 전류가 흘러, EL 소자(709)가 발광할 때, 전류 TFT(706)의 제 2 단자는 소스 단자에 대응하고, 그 제 1 단자는 드레인 단자에 대응한다. 또한, 구동 TFT(707)의 제 2 단자는 소스 단자에 대응하고, 제 1 단자는 드레인 단자에 대응한다.

<187> 전류 TFT(706)와 구동 TFT(707)는 한 쌍으로 전류 미러 회로를 구성한다. 따라서, 이들 2개의 TFT는 같은 극성은 가져야만 한다. 이것은 또한 동일 화소내에서 이들 2개의 TFT는 같은 특성들을 갖는 것이 바람직하다. TFT들은 TFT들이 같은 임계치 전압, 같은 이동도 등을 갖는 것을 나타내는 같은 특성들을 갖는다.

<188> 여기서, 전류 TFT(706)의 게이트 길이와 게이트 폭의 비에 대하여 구동 TFT(707)의 게이트 길이와 게이트 폭의 비를 변화시킴으로써 소스 신호선에 입력된 전류와 EL 소자로 흐르는 전류 비를 변화시킬 수도 있다.

<189> 도 1a 및 도 1b에서, 멀티-드레인 소자(101)는 N채널형의 구성이다. 하지만, 여기서, 도 1의 멀티-드레인 소자는 N채널형 또는 P채널형의 어느쪽이어도 된다. 하지만, 도 1a 및 도 1b에 도시된 화소 구성과 같이 EL 소자(709)의 화소 전극이 양극인 경우, EL 소자가 발광하는 동안 멀티-드레인 소자(101)의 소스 단자가 1개형으로 결정되는 것이 바람직하다. 따라서, N채널형의 멀티-드레인 소자(101)로서 사용하는 것이 바람직하다.

<190> 계조 디스플레이 방법으로서, 아날로그 전류치를 갖는 신호 전류를 수신함으로써 계조를 표현하는 아날로그 계조 시스템이 사용될 수 있다. 이것은 또한 디지털의 전류치를 갖는 신호 전류를 수신함으로써 계조를 표현하는 디지털 계조 시스템을 사용할 수 있다. 디지털 계조 시스템은 화소의 EL 소자가 발광하는 기간을 제어함으로써 계조를 표현하는 시간 계조 시스템 또는 화소의 발광 부분의 면적을 제어함으로써 계조를 표현하는 면적 계조 시스템을 사용할 수 있다.

<191> 시간 계조 방식으로서, 예를 들면, 시분할 계조 시스템이 사용될 수 있다. 시분할 계조 시스템은 1프레임 기간이 복수의 서브 프레임들로 분할되고, 각각의 서브 프레임 기간들의 화소들에 디지털의 신호 전류를 입력하여, 화소들의 EL 소자들을 거의 일정한 휘도를 유지하며 발광시키거나 발광시키지 않을 수 있기 때문에, 1프레임 기간의 EL 소자들이 발광된 서브 프레임 기간들의 길이를 누적시킴에 따라 계조를 표현하는 것이다. 1프레임 기간

은 1화상을 디스플레이하는 기간을 나타낸다.

<192> 이하에 설명된 것은 본 발명의 표시 장치가 시분할 계조 방식에 의해 구동되는 경우이다. 설명을 위해, 도 3은 도 1a 및 도 1b에 도시된 구성의 화소들을 갖는 화소부의 회로도를 도시한다. 도 1a 및 도 1b와 같은 부분들은 같은 참조 번호들로써 디스플레이된다. 도 3에서, 화소부는 x열과 y행의 화소들을 포함한다. 일반적으로, 제 i(i는 x보다 크지 않은 자연수)열과 제 j(j는 y보다 크지 않은 자연수)행의 화소의 소스 신호선(S)은 S_i, 게이트 신호선(G)은 G_j, 전원선(W)은 W_i로 디스플레이된다. 여기서, 화소부에서, 전원선(W)은 다른 열들의 화소에 의해 공유될 수 있다.

<193> 도 3에 도시된 구성의 화소부는 시분할 방식에 의해 구동되는 경우, 도 4a 및 도 4b에 도시된 타이밍 차트를 참조로 설명될 것이다. 도 4a 및 도 4b에서, 같은 부분들은 같은 부호들로써 디스플레이된다. 여기서, 도 4b에서, G_1 내지 G_y는 게이트 신호선들(G_1 내지 G_y)에 입력되는 신호들의 전위를 나타낸다.

<194> 1프레임 기간(F_1)은 복수의 서브 프레임 기간들(SF_1 내지 SF_n(n은 자연수))로 분할된다. 제 1 서브 프레임 기간(SF_1)에서, 처음에, 제 1행의 게이트 신호선(G_1)이 선택된다. 여기서, 게이트 신호선을 선택하는 것은 그 게이트 신호선에 게이트 전극이 접속되는 멀티-드레인 소자(101)의 단자들(T1 내지 T3)을 단락하기 위해 신호 전위를 게이트 신호선에 입력하는 것을 나타낸다. 이렇게 해서, 게이트 신호선(G_1)에 그 단자(T0)가 접속되는 멀티-드레인 소자(101)는 그 단자들(T1 내지 T3)이 단락되는 상태로 위치된다.

<195> 그 후, 소스 신호선들(S_1 내지 S_x)에 디지털 신호 전류가 입력된다. 신호 전류가 입력된 소스 신호선들에 대응하는 화소들에서, 멀티-드레인 소자(101)를 통해서 전류 TFT(706)의 (소스와 드레인 사이에 대응하는) 제 1 단자와 제 2 단자 사이에 신호 전류가 흐른다. 여기서, 전류 TFT(706)의 제 1 단자와 게이트 전극은 멀티-드레인 소자(101)를 통해서 함께 전기적으로 접속된다. 충분한 기간의 시간의 경과 후, 구동 TFT(707)는 EL 소자(709)에 소정의 전류가 흐르게 한다. 입력 신호 전류에 의해서 발광하는 화소의 EL 소자의 동작은 제 1 실시예와 같으며, 여기에 다시 설명하지 않는다. 이렇게 해서, 각 소스 신호선들(S_1 내지 S_x)에 신호 전류가 입력되는지에 따라서, 제 1행의 화소들은 발광 또는 비발광 상태가 선택된다. 제 1행의 화소들에서, 발광이 선택된 화소의 유지 커패시터(708)에 의해 구동 TFT(707)가 일정 전류로 흐르는 전하가 유지되면, 게이트 신호선(G_1)의 신호가 변화하여 비선택의 상태가 된다. 이렇게 해서, 멀티-드레인 소자(101)의 단자들(T1 내지 T3)이 개방된다.

<196> 발광 상태가 선택된 화소들에서, 유지 커패시터(708)에서 구동 TFT(707)가 일정 전류를 흘리기 위한 전하를 유지하는 동작은 화소들의 기록 동작이라 불린다.

<197> 게이트 신호선(G_1)이 비선택의 상태가 되면 즉시, 제 2행의 게이트 신호선(G_2)이 선택되어, 게이트 신호선(G_2)에 그 게이트 전극(단자(T0))이 접속되는 멀티-드레인 소자(101)는 그 단자들(T1 내지 T3)에서 단락 상태가 된다. 그 후, 소스 신호선들(S_1 내지 S_x)에 디지털 신호 전류가 입력된다. 이하의 동작은 제 1행의 화소들와 같다.

<198> 모든 게이트 신호선들(G_1 내지 G_y)에 대하여 같은 동작이 수행된다. 모든 게이트 신호선들(G_1 내지 G_y)을 선택하는 기간은 어드레스 기간(Ta)이라 표기된다. 제 m(m은 n보다 크지 않은 자연수) 서브 프레임 기간(SF_m)에 대응하는 어드레스 기간은 Ta_m로 디스플레이된다.

<199> 기록 동작이 종료된 화소들의 행은 발광 또는 비발광 상태가 된다. 또한, 기록된 신호에 따라서 화소들의 행이 발광 또는 비발광하는 기간은 디스플레이 기간(Ts)이라 표기된다. 같은 서브 프레임 기간에서, 화소들의 행의 디스플레이 기간들(Ts)은 그 타이밍은 다르지만 모두 같은 길이를 가진다. 제 m(m은 n보다 크지 않은 자연수) 서브 프레임 기간(SF_m)에 대응하는 디스플레이 기간은 Ts_m로 디스플레이된다.

<200> 여기서, 다른 화소들의 행에 기록 동작을 동시에 수행할 수 없기 때문에, 디스플레이 기간(Ts)은 어드레스 기간(Ta)보다 길게 설정된다. 소정의 길이의 디스플레이 기간(Ts_1) 후 제 2 서브 프레임 기간(SF_2)이 개시된다. 제 2 서브 프레임 기간(SF_2) 내지 제 n 서브 프레임 기간(SF_n)에도 제 1 서브 프레임 기간(SF_1)과 마찬가지로 동작이 수행되어 1프레임 기간(F)이 종료한다. 여기서, 서브 프레임 기간들(SF_1 내지 SF_n)의 어드레스 기간들(Ta_1 내지 Ta_n)은 모두 같은 길이를 가진다.

<201> 이상에 설명된 바와 같이 표시 장치가 동작되고, 서브 프레임 기간들(SF_1 내지 SF_n)의 디스플레이 기간들(Ts_1 내지 Ts_n)의 길이들을 적당히 설정하여 계조를 표현한다.

<202> 여기서, 본 발명은 1프레임 기간의 영상 신호의 비트수와 같은 수의 서브 프레임 기간들을 설치함으로써 계조를 표현하는 방법에 한정되지 않는다. 예를 들면, 1프레임 기간에서 영상 신호의 주어진 비트에 대응하는 신호에 따라 발광 또는 비발광 상태가 선택되는 복수의 서브 프레임 기간들이 설치될 수 있다. 즉, 1비트에 대응하는 디스플레이 기간은 복수의 서브 프레임 기간들의 디스플레이 기간을 누계함으로써 표현된다. 특히, 영상 신호의 상위 비트들에 대응하는 디스플레이 기간은 복수의 서브 프레임 기간들의 디스플레이 기간을 누계함으로써 표현되고, 그 서브 프레임 기간들은 이산식으로 나타나기 때문에, 모조-윤곽(pseudo-contour)의 발생을 억제한다.

<203> 어떻게 서브 프레임 기간의 디스플레이 기간(Ts)의 길이를 설정하는지는 상기 방법만으로 한정되지 않고 공지된 모든 방법에 의해 수행될 수 있다. 또한, 도 7a 및 도 7b에서, 제 1 서브 프레임 기간(SF_1) 내지 제 n 서브 프레임 기간(SF_n)이 순차적으로 출현하도록 설정하였지만, 본 발명은 이것만으로 한정되지 않는다. 서브 프레임 기간들이 출현하는 순서는 임의로 설정할 수 있다.

<204> 시분할 계조 방식뿐만 아니라, 계조는 면적 계조 방식 또는 시분할 계조 방식과 면적 계조 방식의 조합에 의해서도 표현될 수도 있다.

<205> 이상에 설명된 바와 같은 제 1 실시예에 따라서, 도 1a 및 도 1b와 도 3에 도시된 구성의 화소들을 갖는 표시 장치에 의해서 화상이 디스플레이된다.

<206> (제 2 실시예)

<207> 제 2 실시예는 제 1 실시예와는 다른 구성의 화소를 개시한다. 도 5는 본 실시예의 화소 구성을 도시한다. 도 1a 및 도 1b와 같은 부분들은 같은 참조 번호들로써 디스플레이되며, 여기에 다시 설명하지 않는다. 도 5에 도시된 구성의 화소는 유지 커패시터(708)과 병렬로 소거 TFT(501)가 설치된다. 소거 TFT(501)와 유지 커패시터(708)는 반드시 병렬로 접속될 필요는 없다. 도통이 되었을 때, 소거 TFT(501)는 유지 커패시터(708)의 양 전극의 전위들이 거의 같도록 접속될 수 있다. 상기 구성에 의해, 소거 TFT(501)를 도통으로 함으로써 유지 커패시터(708)로 유지된 전하가 방전될 수 있다. 따라서, 구동 TFT(707)는 비도통이 될 수 있다. 구동 TFT(707)가 비도통이 된 화소에서, EL 소자(709)는 발광하지 않는다.

<208> 여기서, 소거 TFT(501)의 게이트 전극은 게이트 신호선(G)과는 다른 선, 즉, 소거 게이트 신호선(RG)에 접속된다. 소거 게이트 신호선(RG)에 입력된 신호로 인해, 소거 TFT(501)의 도통/비도통 상태가 바뀐다. 이것에 의해, 주어진 행의 화소들에 영상 신호(신호 전류)를 입력하는 동안 다른 행의 화소들은 비발광 상태로 할 수 있다.

<209> 도 6은 도 5에 도시된 바와 같이 구성된 화소들을 갖는 화소부의 회로도이다. 도 5와 같은 부분들은 같은 참조 번호들에 의해서 디스플레이되고, 그 설명은 반복하지 않겠다. 도 6에서, 화소부는 x열과 y행의 화소들을 포함한다. 일반적으로, 제 i(i는 x보다 크지 않은 자연수)열과 제 j(j는 y보다 크지 않은 자연수)행의 화소의 소스 신호선(S)은 S_i, 게이트 신호선(G)은 G_j, 소거용 게이트 신호선(RG)은 RG_j, 전원선(W)은 W_i로 디스플레이된다.

<210> 도 6에 도시된 구성의 화소부는 시분할 방식으로 구동될 때 도 7a 및 도 7b에 도시된 타이밍 차트를 참조하여 설명될 것이다. 도 7a 및 도 7b에서, 같은 부분들은 같은 부호들에 의해 디스플레이된다. 여기서, 도 7b에서, G_1 내지 G_y는 게이트 신호선들(G_1 내지 G_y)에 입력되는 신호들의 전위들을 나타낸다. 또한, 도 7b에서, RG_1 내지 RG_y는 소거 게이트 신호선들(RG_1 내지 RG_y)에 입력되는 신호들의 전위들을 나타낸다.

<211> 도 5 및 도 6에서, 멀티-드레인 소자(101)는 N채널형을 사용한 구성을 도시한다. 하지만, 여기서, 멀티-드레인 소자는 N채널형 또는 P채널형의 어느쪽이어도 된다. 하지만, 도 5 및 도 6에 도시된 화소 구성과 같이 EL 소자(709)의 화소 전극이 양극인 경우, EL 소자가 발광하는 동안 멀티-드레인 소자(101)의 소스 단자는 1개형으로 정해져 동작하는 것이 바람직하다. 따라서, N채널형의 멀티-드레인 소자(101)를 사용하는 것이 바람직하다. 또한, 도 5 및 도 6에서, 소거 TFT(501)는 N채널 TFT이지만, 본 장치는 이것만으로 한정되지 않는다. 소거 TFT(501)는 단순히 스위치로서 동작하기 때문에, N채널 TFT 또는 P채널 TFT 어느쪽이 될 수도 있다.

<212> 서브 프레임 기간들(SF_1 내지 SF_n)에서 어드레스 기간(Ta) 및 디스플레이 기간(Ts)의 기본 동작들은 도 4a 및 도 4b의 타이밍 차트를 참조하여 도시된 제 1 실시예의 동작들과 같다.

<213> 복수의 화소행에 영상 신호(신호 전류)는 동시에 기록될 수 없기 때문에, 서브 프레임 기간들(SF_1 내지 SF_n)의 어드레스 기간들(Ta)은 다른 것과 중복되지 않도록 설정되어 있다. 그 때문에, 제 1 실시예에서, 디스플레이 기간(Ts)은 어드레스 기간(Ta)보다 짧게 설정될 수 없었다. 그러나, 도 5 및 도 6에 도시된 구성의 화소들이 제 2 실시예에서 사용되면, 디스플레이 기간(Ts)을 어드레스 기간(Ta)보다 짧게 설정할 수 있다.

<214> 이제 제 1 서브 프레임 기간(SF_1)으로부터 제 (k-1)(k는 n보다 크지 않은 자연수)의 서브 프레임 기간(SF_{k-1})까지의 디스플레이 기간(Ts)이 어드레스 기간(Ta)보다 길게 설정되는 것으로 가정한다. 이 때의 구동 방법은 도 4a 및 도 4b의 타이밍 차트를 참조하여 도시된 제 1 실시예의 동작과 같다. 여기서, 각각의 화소들의 소거 TFT(501)는 항상 비도통이다.

<215> 이하에 상세히 설명된 것은 디스플레이 기간(Ts)이 어드레스 기간(Ta)보다 짧게 설정된, 제 k 서브 프레임 기간(SF_k)으로부터 제 n 서브 프레임 기간(SF_n)까지의 표시 장치의 구동 방법이다.

<216> 제 k 서브 프레임 기간(SF_k)의 어드레스 기간(Ta_k)의 동작 방법은 제 1 서브 프레임 기간(SF_1)으로부터 제 (k-1) 서브 프레임 기간(SF_{k-1})과 같다. 하지만, 여기서, 기록 동작을 수행하는 화소들의 행의 소거 TFT(501)는 비도통이다. 소정 길이의 디스플레이 기간(Ts_k) 후, 소거 게이트 신호선들(RG_1 내지 RG_y)은 순차적으로 선택되고, 각각의 화소들의 행에서 소거 TFT들(501)은 순차적으로 도통되고, 화소들의 행들은 순차적으로 비발광 상태로 놓는다. 모든 화소들의 소거 TFT들(501)이 도통이 되는 기간은 리셋 기간(Tr)으로 디스플레이된다. 특히, 제 p(p는 k보다 작지 않고 n보다 크지 않은 자연수) 서브 프레임 기간(SF_p)에 대응하는 리셋 기간은 Tr_p로 디스플레이된다. 이와 같이, 주어진 행의 화소들에 신호 전류를 입력하는 동안 다른 행의 화소들을 비발광 상태로 놓을 수 있다. 이렇게 해서, 디스플레이 기간(Ts)의 길이는 자유롭게 제어될 수 있다.

<217> 여기서, 어드레스 기간(Ta_p)의 길이는 리셋 기간(Tr_p)의 길이와 같게 설정한다. 즉, 영상 신호들이 기록되는 시간에 행들을 순차로 선택하는 비율은 화소들의 행들을 순차적으로 비발광 상태로 놓는 비율과 같다. 따라서, 동일한 서브 프레임 기간에서, 화소들의 행들의 디스플레이 기간(Ts)은 그들의 시작 타이밍은 다르지만 모두 같은 길이를 가진다.

<218> 화소들의 행들에서 TFT(501)를 소거함으로써 일제히 화소들의 행을 비발광 상태로 놓는 기간은 비디스플레이 기간(Tus)으로 디스플레이된다. 같은 서브 프레임 기간에서, 화소들의 행들의 비디스플레이 기간들(Tus)은 다른 타이밍들을 가지지만 모두 같은 길이를 가진다. 특히, 제 p 서브 프레임 기간(SF_p)에 대응하는 비디스플레이 기간은 Tus_p로 디스플레이된다.

<219> 소정 길이의 비디스플레이 기간(Tus_k) 후, 제 (k+1) 서브 프레임 기간(SF_{k+1})이 개시된다. 제 (k+1) 서브 프레임 기간(SF_{k+1})으로부터 제 n 서브 프레임 기간(SF_n) 동안 제 k 서브 프레임 기간(SF_k)과 같은 동작이 반복되어 1프레임 기간(F1)이 종료한다.

<220> 이상에 설명된 바와 같은 표시 장치가 동작되어, 서브 프레임 기간들(SF_1 내지 SF_n)에서 디스플레이 기간들(Ts_1 내지 Ts_n)의 길이가 적당히 결정되어 계조를 표현한다. 서브 프레임 기간들의 디스플레이 기간들(Ts)의 길이는 제 1 실시예와 같은 방법으로 설정한다.

<221> 제 2 실시예는 디스플레이 기간(Ts)을 어드레스 기간(Ta)보다 짧게 설정한 서브 프레임 기간에서만 리셋 기간(Tr) 및 비디스플레이 기간(Tus)을 설정하는 구동 방법을 개시하였다. 하지만, 본 발명은 이것만으로 한정되지 않는다. 디스플레이 기간(Ts)이 어드레스 기간(Ta)보다 길게 설정되는 서브 프레임 기간들에서도 리셋 기간(Tr) 및 비디스플레이 기간(Tus)이 설정되는 구동 방법일 수 있다.

<222> 도 5 및 도 6은 소거 TFT(501)를 도통으로 함으로써 유지 커패시터(708)의 전하가 방전되는 구성을 도시하였다. 하지만, 본 발명은 이것만으로 한정되지 않는다. 소거 TFT(501)를 도통으로 하여 구동 TFT(707)의 게이트 전극과 접속된 측의 유지 커패시터(708)의 전위를 올리거나 내려서, 구동 TFT(707)가 비도통이 되는 구성일 수 있다. 즉, 소거 TFT(501)를 통해서, 구동 TFT(707)의 게이트 전극을 구동 TFT(707)가 비도통이 되는 전위의 신호를 입력하는 배선에 접속되는 구성일 수도 있다.

<223> 상기 소거 TFT(501)를 도통으로 하여 구동 TFT(707)의 게이트 전극에 접속된 측의 유지 커패시터(708)의 전위를 변화시키는 구성으로 하는 대신, 구동 TFT(707)와 직렬로 소거 TFT가 배치되어, 소거 TFT를 비도통이 되게 함으

로써 비디스플레이 기간이 얻어지는 구성일 수도 있다.

<224> 또한, 게이트 신호선의 신호 또는 소스 신호선의 신호(영상 신호)에 관계없이 소거 TFT를 사용하지 않고 일제히 화소를 비발광 상태로 놓도록, 즉, 비디스플레이 기간을 형성하게 할 수 있다.

<225> 예를 들면, 구동 TFT(707)의 게이트 전극에 접속되지 않은 측의 유지 커패시터(708)의 2개의 전극 중 하나의 전위를 올리거나 내림으로써 구동 TFT(707)를 비도통이 되게 하는 방법이 있다. 구동 TFT(707)가 P채널형일 때, 구동 TFT(707)와 접속되지 않은 측의 유지 커패시터(708)의 전위를 올린다. 유지 커패시터(708)에 의해 유지되는 전하는 일정하게 유지되기 때문에, 유지 커패시터(708)의 다른 전위가 상승하여 구동 TFT(707)를 비도통으로 한다. 이렇게 해서, 비디스플레이 기간(Tus)이 형성된다.

<226> 다른 방법으로서, 모든 화소의 EL 소자들(709)의 대향 전극들의 전위들이 일제히 변화되어 모든 화소의 EL 소자들(709)의 발광/비발광 상태를 일제히 바꾼다. 이 방법에 따라서, 서브 프레임 기간의 각 어드레스 기간(Ta)에서 대향 전극의 전위는 전원선(W)의 전위와 거의 같게 유지된다. 어드레스 기간(Ta)이 종료할 때, 대향 전극의 전위는 전원선(W)과 소정의 전위차를 갖도록 변화한다. 이 때, 발광 상태가 선택된 화소들에서 전원선(W)으로부터 구동 TFT(707)를 통해서 EL 소자(709)에 전류가 흘러 발광한다. 이렇게 해서 디스플레이 기간(Ts)이 시작된다. 디스플레이 기간(Ts)의 타이밍은 모든 화소들에 있어서 같다. 소정 길이의 디스플레이 기간(Ts) 후, EL 소자(709)의 대향 전극의 전위는 다시 전원선(W)의 전위와 같은 방법으로 변화시켜, 모든 화소는 일제히 비발광이 된다. 이렇게 해서 비디스플레이 기간(Tus)이 형성된다. 비디스플레이 기간(Tus)의 타이밍은 모든 화소에 있어서 같다.

<227> (제 3 실시예)

<228> 본 실시예에서는 제 1 실시예 및 제 2 실시예에 도시된 이들 화소들과 다른 구성의 화소들을 개시한다. 도 8a 및 도 8b에 제 3 실시예에 따른 화소의 구성을 도시한다. 도 8a 및 도 8b에서, 도 1a 및 도 1b와 도 5와 같은 부분들은 같은 참조 번호들을 사용하여 디스플레이되고, 그들의 설명은 반복하지 않는다. 도 8a 및 도 8b에서, 화소의 구동 TFT(707) 및 전류 TFT(706)는 P채널 트랜지스터들이며, 화소 전극은 양극이다.

<229> 도 8a 및 도 8b에서, 전류 TFT(706)의 제 1 단자, 구동 TFT(707)의 게이트 전극 및 소스 신호선(S)은 멀티-드레인 소자(101)의 다른 단자들(T1 내지 T3) 중 하나에 접속된다. 또한, 전류 TFT(706)의 제 1 단자는 게이트 전극에 접속되고, 전류 TFT(706)의 제 2 단자는 전원선(W)에 접속된다. 구동 TFT(707)의 제 1 단자는 EL 소자(709)의 한쪽의 전극(양극)에 접속되고, 구동 TFT(707)의 제 2 단자는 전원선(W)에 접속된다. 유지 커패시터(708)의 한쪽의 전극은 구동 TFT(707)의 게이트 전극에 접속되고, 다른 한쪽의 전극은 전원선(W)에 접속된다. 또한, 도 8b에서, 소거 TFT(501)가 설치된다. 소거 TFT(501)의 제 1 단자는 전원선(W)에 접속되고, 소거 TFT(501)의 제 2 단자는 유지 커패시터(708)의 한쪽의 전극에 접속된다.

<230> 도 8a 및 도 8b에서, 전류 TFT(706)의 제 2 단자 및 구동 TFT(707)의 제 2 단자는 전원선(W)에 접속되지만, 본 발명의 화소 구성은 이것만으로 한정되지 않는다. 일반적으로, 전류 TFT(706)의 제 2 단자와 구동 TFT(707)의 제 2 단자는 드레인 전류가 흐를 때 같은 전위가 되도록 구성될 수 있다.

<231> 또한, 구동 TFT(707)의 게이트 전극과 접속되지 않은 측의 유지 커패시터(708)의 2개의 전극 중 하나는 전류선(W)에 접속되지만, 본 발명의 화소 구성은 이것만으로 한정되지 않는다. 일반적으로, 유지 커패시터(708)의 2개의 전극들 사이에서, 구동 TFT(707)의 게이트 전극과 접속되지 않은 측은 전류 TFT(706) 또는 구동 TFT(707)로 전류가 흐르는 동안 전류 TFT(706) 및 구동 TFT(707)의 제 2 단자들에서의 전위와 같은 전위로 구성될 수 있다.

<232> 또한, 도 8b에서, 소거 TFT(501)의 제 1 단자는 전원선(W)과는 다른 배선에 접속될 수 있다. 또한, 소거 TFT(501)는 구동 TFT(707)와 직렬로 접속될 수 있다.

<233> 또한, 도 8과 달리, EL 소자의 화소 전극이 음극일 때, EL 소자가 발광하는 동안 전류 TFT(706) 및 구동 TFT(707)의 소스 단자들의 전위들이 고정되는 것이 바람직하다. 따라서, 전류 TFT(706) 및 구동 TFT(707)로서 N 채널 TFT들을 사용하는 것이 바람직하다.

<234> 구동 방법은 제 1 실시예 및 제 2 실시예에서 도시된 방법과 같으며, 여기서 반복하지 않는다.

<235> (제 4 실시예)

<236> 본 실시예는 제 1 실시예에서 개시된 멀티-드레인 소자와는 다른 구성의 멀티-드레인 소자를 사용한 화소들을 개시한다. 설명은 도 20a 및 도 20b와 도 21a 내지 도 21d를 참조한다. 도 20a 및 도 20b에서, 도 8a 및 도 8b와 같은 부분들은 같은 참조 번호들로써 디스플레이되며, 그 설명은 반복하지 않는다. 도 20a 및 도 20b는 도 8a 및 도 8b와 달리 멀티-드레인 소자(8101)를 사용한다. 게이트 신호선(G)에 입력된 신호에 따라서, 멀티-드레인 단자(8101)는 전류 TFT(706) 및 구동 TFT(707)의 게이트 전극들과 전류 TFT(706)의 제 1 단자를 신호선(S)에 접속한다. 유지 커패시터(8708)의 한쪽의 전극은 전류 TFT(706)의 게이트 전극에 접속된다. 유지 커패시터(8708)의 다른 전극은 전원선(W)에 접속된다. 도 20a과는 다르게, 도 20b에서 소거 TFT(501)가 사용된다. 도 20a에 도시된 구성의 화소는 제 1 실시예와 같은 방법에 의해 구동되며, 여기에 다시 설명하지 않는다. 또한, 도 20b에 도시한 구성의 화소는 제 2 실시예와 같은 방법에 의해 구동되며, 여기에 다시 설명하지 않는다.

<237> 멀티-드레인 소자(8101)의 단자들은 도 21a를 참조하여 설명될 것이다. 단자(T0)에 입력된 신호 전위에 따라서, 멀티-드레인 소자(8101)는 단자(T1) 내지 단자(T4)(단자(T1)와 단자(T2) 사이, 단자(T2)와 단자(T3) 사이, 단자(T1)와 단자(T3) 사이, 단자(1)와 단자(4) 사이, 단자(2)와 단자(4) 사이, 단자(3)와 단자(4) 사이)가 개방되는 상태와 그들이 단락되는 상태를 선택한다.

<238> 멀티-드레인 소자(8101)를 제조하는 예는 도 21b 내지 도 21d에 도시된다. 도 21c는 도 21b에서 A 내지 A'선을 따른 단면도이며, 도 21d는 도 21b에서 B 내지 B'선을 따른 단면도이다. 도 2b 내지 도 2d와 같은 부분들은 같은 참조 번호들로써 디스플레이되며, 그들의 설명은 반복하지 않는다. 도 21b에서, 도 2b와 달리 단자들(T1 내지 T4) 중 하나에 대응하는 접속 전극(224)이 형성된다. 접속 전극(224)은 콘택트 홀(202d)을 통해서 활성층(201)의 불순물 영역(203d)(도 21d 참조)과 접속된다.

<239> (제 5 실시예)

<240> 본 실시예는 본 발명의 표시 장치의 화소들에 배치된 EL 소자의 구조를 개시한다. EL 층은 유기물 또는 무기물로 구성될 수 있다. 또는, 유기물과 무기물의 양쪽으로 구성될 수 있다.

<241> EL 소자를 형성하는 EL 층은 정공 주입 재료로 구성되는 정공 주입층, 정공 수송 재료로 구성되는 정공 수송층, 발광 재료로 구성되는 발광층, 전자 수송 재료로 구성되는 전자 수송층, 전자 주입 재료로 구성되는 전자 주입층이 명확히 구별될 수 있는 것과 같은 적층 구조로 구성되지 않는다. 대신에, EL 층은 정공 주입 재료, 정공 수송 재료, 발광 재료, 전자 수송 재료, 전자 주입 재료 등의 재료와 같은 복수의 재료가 혼합된 층(혼합층)에 의해 구성된다(이하 혼합 접합형의 EL 소자라 함).

<242> 도 14a 내지 도 14d 및 도 15는 혼합 접합형의 EL 소자의 구조를 개략적으로 도시하는 도면들이다. 도 14a 내지 도 14d 및 도 15에서, 참조 번호(1401)는 EL 소자의 양극을 나타내며, 1402는 EL 소자의 음극을 나타낸다. 양극(1401)과 음극(1402) 사이에 있는 층은 EL 층에 대응한다.

<243> 도 14a에서, EL 층은 정공 수송 재료로 구성되는 정공 수송 영역(1403)과 전자 수송 재료로 구성되는 전자 수송 영역(1404)을 포함하고, 정공 수송 영역(1403)은 전자 수송 영역(1404)보다도 양극측에 가까이 위치된다. 정공 수송 재료 및 상기 전자 수송 재료의 양쪽을 포함하는 혼합 영역(1405)은 정공 수송 영역(1403)과 전자 수송 영역(1404) 사이에 설치된다.

<244> 여기서, 양극(1401)으로부터 음극(1402)의 방향으로, 혼합 영역(1405)내의 정공 수송 재료의 농도는 감소하고, 혼합 영역(1405)내의 전자 수송 재료의 농도는 증가할 수 있다.

<245> 상기 구성은 정공 수송 재료만으로 구성되는 정공 수송 영역(1403)을 포함하지 않고, 정공 수송 재료 및 전자 수송 재료의 양쪽을 포함하는 혼합 영역(1405)내에서 농도의 비율이 변화하도록(농도 경사를 갖는) 구성될 수 있다. 또는, 상기 구성은 정공 수송 재료만으로 구성되는 정공 수송 영역(1403) 및 전자 수송 재료만으로 구성되는 전자 수송 영역(1404)을 포함하지 않고, 정공 수송 재료 및 전자 수송 재료의 양쪽을 포함하는 혼합 영역(1405)내에서 농도의 비율이 변화하도록(농도 경사를 갖는) 구성될 수 있다. 또는, 농도의 비율은 양극이나 음극으로부터의 거리에 따라 변화할 수 있다. 더욱이, 농도의 비율은 연속적으로 변화할 수 있다. 농도 경사는 자유롭게 설정할 수 있다.

<246> 혼합 영역(1405)은 발광 재료가 첨가된 영역(1406)을 포함한다. 발광 재료는 EL 소자로부터의 발광색을 제어한다. 한편, 캐리어는 발광 재료에 의해 트랩(trap)될 수 있다. 발광 재료로서, 퀴놀린 골격을 포함하는

금속착체, 벤조옥사들 골격을 포함하는 금속착체, 벤조티아졸 골격을 포함하는 금속착체, 및 어떤 다른 형광 색소들이 사용될 수 있다. 이러한 발광 재료를 첨가하여 EL 소자에 의해 발광색을 제어할 수 있다.

<247> 양극(1401)으로서, 효율적으로 정공들을 주입하는 관점으로부터 큰 일함수를 갖는 전극 재료를 사용하는 것이 바람직하다. 주석 도프 산화인듐(ITO), 아연 도프 산화인듐(IZO), ZnO, SnO_2, In_2O_3와 같은 투명 전극이 사용될 수 있다. 투광성을 갖을 필요가 없으면, 양극(1401)은 불투명 금속 재료로 구성될 수 있다.

<248> 또한, 정공 수송 재료로서, 방향족 아민계 화합물이 사용될 수 있다. 전자 수송 재료로서, 퀴놀린 유도체, 8-퀴놀리놀 또는 그 유도체를 배위자로 하는 금속착체(특히, 트리스(8-퀴놀리노라이트)알루미늄(Alq_3))가 사용될 수 있다.

<249> 음극(1402)으로서, 효율적으로 전자들을 주입하는 관점으로부터 작은 일함수를 갖는 전극 재료를 사용하는 것이 바람직하다. 알루미늄, 인듐, 마그네슘, 은, 칼슘, 바륨, 리튬 등의 금속이 사용될 수 있다. 또는, 이들 금속들의 합금 또는 어떤 다른 금속들의 합금이 사용될 수 있다.

<250> 도 14b는 도 14a와는 다른 구성의 EL 소자의 개략도이다. 도 14a와 같은 부분들은 같은 참조 번호들에 의해 디스플레이되고, 그들의 설명은 반복하지 않는다. 도 14b는 발광 재료가 첨가된 영역을 갖지 않는다. 하지만, 여기서, 재료(전자 수송 발광 재료) 가 전자 수송 영역(1404)에 첨가될 수 있는 트리스(8-퀴놀리노라이트)알루미늄(Alq_3)와 같은, 전자 수송성 및 발광성의 양쪽을 가져 발광한다.

<251> 또는, 재료(정공 수송 발광 재료)는 정공 수송 영역(1403)에 첨가될 수 있는 정공 수송성 및 발광성의 양쪽을 가진다.

<252> 도 14c는 도 14a 및 도 14b와는 다른 구성의 EL 소자의 개략도이다. 도 14a 및 도 14b와 같은 부분들은 같은 참조 번호들에 의해 디스플레이되고, 그들의 설명은 반복하지 않는다. 도 14c에서, 혼합 영역(1405)은 정공 수송 재료보다 최고 피점 분자 궤도와 최저 피점 분자 궤도 사이에 큰 에너지 차를 갖는 정공 블로킹 재료가 첨가된 영역(1407)을 포함한다. 정공 블로킹 재료가 첨가된 영역(1407)은 혼합 영역(1405)에서 발광 재료가 첨가된 영역(1406)보다 음극(1402)측에 가까이 배치함으로써, 캐리어들의 재결합율을 올리고, 따라서, 발광 효율은 개선된다. 정공 브로킹 재료가 첨가된 영역(1407)의 설치는 특히, 3중광 여기자에 의한 발광(인광)을 이용하는 EL 소자에 대해 효율적이다.

<253> 도 14d는 도 14a, 도 14b 및 도 14c와는 다른 구성의 EL 소자의 개략도이다. 도 14a, 도 14b 및 도 14c와 같은 부분들은 같은 참조 번호들로써 디스플레이되고, 그들의 설명은 반복하지 않는다. 도 14d에서, 혼합 영역(1405)은 전자 수송 재료보다 최고 피점 분자 궤도와 최저 피점 분자 궤도 사이에 큰 에너지 차를 갖는 전자 브로킹 재료가 첨가된 영역(1408)을 포함한다. 전자 브로킹성 재료가 첨가된 영역(1408)은 혼합 영역(1405)에서 발광 재료가 첨가된 영역(1406)보다 양극(1401)측에 가까이 배치함으로써, 캐리어들의 재결합율을 올리고, 따라서, 발광 효율은 개선된다. 전자 브로킹 재료가 첨가된 영역(1408)의 설치는 특히, 3중광 여기자에 의한 발광(인광)을 이용하는 EL 소자에 대해 효율적이다.

<254> 도 14a 내지 도 14d에 도시된 혼합 접합형 EL 소자들은 명확한 층들의 계면들이 없고, 저감된 양들의 전하가 축적된다. 따라서, 수명이 연장될 수 있으며, 한편, 구동 전압도 낮게 할 수 있다.

<255> 혼합 접합형의 EL 소자는 공증착법에 의해 제조될 수 있다.

<256> 도 14a 내지 도 14d에 도시된 구성들은 자유로운 조합들로 실시하는 것이 가능하다. 혼합 접합형의 EL 소자의 구성들은 이것만으로 한정되지 않으며, 어떤 공지된 구성이 자유롭게 사용될 수 있다.

<257> 본 실시예는 제 1 실시예 내지 제 4 실시예와 자유롭게 조합하여 실시하는 것이 가능하다. 즉, 본 실시예의 혼합 접합형의 EL 소자는 제 1 실시예 내지 제 4 실시예의 멀티-드레인 소자를 사용한 구성들의 화소들에 대해 사용될 수 있다. 이것은 EL 소자들의 열화를 더욱 저감할 수 있다.

<258> (제 6 실시예)

<259> 본 실시예는 제 5 실시예와 다른 구성의 EL 소자를 개시한다. 도 15는 도 14a 내지 도 14d와는 다른 혼합 접합형의 EL 소자의 구성을 도시하는 개략도이다. 도 15는 EL 소자의 전극에 접하는 EL 층의 부분에 금속 재료가 첨가되는 구성을 도시한다. 도 15에서, 도 14a 내지 도 14d와 같은 부분들은 같은 참조 번호들을 사용하여 디스

플레이되고, 그들의 설명은 반복하지 않는다. 음극(1401)으로서 MgAg(Mg-Ag 합금)가 사용되고, 음극(1402)에 접하는 전자 수송 재료가 첨가된 영역(1404)의 부분에 Al(알루미늄)합금이 첨가된 구성이다. 상기 구성은 음극의 산화를 방지하고, 음극으로부터 전자들의 주입 효율을 강화한다. 이렇게 해서, 혼합 접합형 EL 소자는 연장된 수명을 특징으로 한다. 한편, 구동 전압도 낮게 할 수 있다.

<260> 혼합 접합형의 EL 소자의 구성은 이것만으로 한정되지 않으며, 어떤 공지된 구성도 자유롭게 사용될 수 있다.

<261> 본 실시예는 제 1 실시예 내지 제 4 실시예와 자유롭게 조합하여 실시하는 것이 가능하다. 즉, 본 실시예의 혼합 접합형의 EL 소자는 제 1 실시예 내지 제 4 실시예의 멀티-드레인 소자를 사용한 구성들의 화소들에 대해 사용될 수 있다. 이것은 EL 소자들의 열화를 더욱 저감할 수 있다.

<262> (제 7 실시예)

<263> 본 실시예에서는 본 발명의 표시 장치의 화소들의 EL 소자들의 개별 색들로 나누어지는 구성을 개시한다. 도 16는 본 실시예에 따른 EL 표시 장치의 화소들의 단면도이다. EL 표시 장치의 3화소분만이 여기에 대표적으로 도시된다. 이들 화소들을 구성하는 소자들로서, EL 소자들 및 EL 소자의 화소 전극들에 접속된 TFT들만을 도시된다. EL 소자들에 직렬로 접속된 TFT들은 도 1a 및 도 1b와 도 5에 도시된 구동 TFT들(707)일 수 있다.

<264> 도 16에서, 화소기판(1900)상에 TFT들(1901-R, 1901-G, 1901-B)가 형성된다. 본 실시예에서, TFT들(1901-R, 1901-G, 1901-B)는 각각, 도 1a 및 도 1b와 도 5에 도시된 구동 TFT들(707)일 수 있다.

<265> 구동 TFT들(1901-R, 1901-G, 1901-B)은 도시된 구성에 한정되지 않고 공지된 방법으로 자유롭게 구성될 수 있다. 예를 들면, 도 16에서, 구동 TFT들(1901-R, 1901-G, 1901-B)은 싱글 게이트 TFT들이다. 하지만, 그들은 멀티 게이트 TFT들일 수도 있다. 또한, 도 16에서, 구동 TFT들(1901-R, 1901-G, 1901-B)은 톱(top)-게이트 TFT들이다. 하지만, 그들은 보톰(bottom) 게이트 TFT들일 수도 있다. 또는, 그들은 게이트 절연막을 통해서 채널-형성 영역의 상하에 배치된 2개의 게이트 전극을 갖는 듀얼(dual) 게이트 TFT들일 수도 있다.

<266> 제 1 층간막(1910)은 구동 TFT들(1901-R, 1901-G, 1901-B)상에 형성된다. 구동 TFT들(1901-R, 1901-G, 1901-B)의 소스 영역들 또는 드레인 영역들에 도달하기 위해 제 1 층간막(1910)에 콘택트 홀들이 형성되고, 배선층은 배선들(1919-R, 1919-G, 1919-B)을 형성하도록 원하는 형상으로 패터닝함으로써 형성된다. 제 2 층간막(1911)은 배선들(1919-R, 1919-G, 1919-B)상에 형성된다. 다음에, 제 2 층간막(1911)에 배선(1919-R, 1919-G, 1919-B)에 도달하는 콘택트 홀들이 형성되고, 그에 따라 화소 전극들(1912-R, 1912-G, 1912-B)이 형성된다.

<267> 여기서, 제 2 층간막(1911)은 형성되지 않을 수 있다. 즉, 화소 전극들(1912-R, 1912-G, 1912-B)이 배선들(1919-R, 1919-G, 1919-B)과 같은 층에 형성될 수 있다.

<268> 그 후, 적색 발광층(1914-R), 녹색 발광의 EL 층(1914-G) 및 청색 발광의 EL 층(1914-B)이 순차적으로 형성된다. 그 후, EL 소자(1614)의 대향 전극(1915)이 형성된다. 이렇게 해서, 화소 전극(1912-R), 적색 발광의 EL 층(1914-R) 및 대향 전극(1915)에 의해 적색 발광의 EL 소자가 형성된다. 화소 전극(1912-G), 녹색 발광의 EL 층(1914-G) 및 대향 전극(1915)에 의해 녹색 발광의 EL 소자가 형성된다. 화소 전극(1912-B), 청색 발광의 EL 층(1914-B) 및 대향 전극(1915)에 의해 청색 발광의 EL 소자가 형성된다.

<269> EL 층들(1914-R, 1914-G, 1914-B)의 형성시에(개별 색들로 나눌때), EL 층들(1914-R, 1914-G, 1914-B)은 그들의 경계들(1990; 단부들)에서 중첩된다. 상기 구성은 발광색들에 대응하는 EL 층들을 개별 색들로 나누기 위해 절연막을 사용함으로써 형성된 뱅크 등이 필요없다. 따라서, EL 층들은 적은 화소들의 발광 영역들의 면적을 크게 할 수 있게 하는 적은 마진(margin)을 필요로 하는 개별 색들로 나누어진다.

<270> 도 16에서 빨강, 파랑, 초록의 3색에 대응하는 화소들에서, EL 소자들의 EL 층들의 단부들은 중첩되어 배치되지만, 본 발명의 표시 장치의 구성은 이것만으로 한정되지 않는다. 상기 구성은 임의의 수의 발광에 대응하는 화소들에 인가될 수 있다.

<271> 본 실시예는 제 1 실시예 내지 제 6 실시예와 자유롭게 조합하여 수행될 수 있다. 즉, 제 1 실시예 내지 제 4 실시예의 멀티-드레인 소자들을 사용하는 구성들의 화소들에서, EL 소자들의 EL 층들은 그들의 단부들에서 중첩되어 배치될 수 있다. 이것은 개구율을 더욱 향상시키고 EL 소자들의 열화를 더욱 저감한다. 또, 제 5 실시예 및 제 6 실시예의 혼합 접합형 EL 소자들을 갖는 화소들에서, EL 소자들의 EL 층들은 그들의 단부들에서 중첩되

어 배치될 수 있다. 이것은 개구율을 더욱 향상시키고 EL 소자들의 열화를 더욱 저감한다. 더욱이, 제 1 실시예 내지 제 4 실시예의 멀티-드레인 소자들을 사용하는 화소들, 또, 제 5 실시예 및 제 6 실시예의 혼합 접합형 EL 소자들을 갖는 화소들에서, EL 소자들의 EL 층들은 그들의 단부들에서 중첩되어 배치될 수 있다. 이것은 개구율을 더욱 향상시키고 EL 소자들의 열화를 더욱 저감한다.

<272> (제 8 실시예)

<273> 본 실시예는 본 발명의 표시 장치의 화소들에 배치된 EL 소자의 구조를 개시한다.

<274> EL 소자들의 EL 층을 구성하는 유기 재료는 저분자 재료 또는 고분자 재료가 될 수 있다. 또는, 이들 재료들 양쪽이 사용될 수도 있다. 유기 화합물 재료로서 저분자 재료가 사용되는 경우, 필름은 증착법에 의해 형성될 수 있다. 한편, EL 층으로서 고분자 재료가 사용되는 경우, 고분자 재료는 용매에 녹아 스핀-코팅법(spin-coating method) 또는 잉크젯 방법(ink-jet method)에 의해 필름을 형성할 수 있다.

<275> 또한, EL 층은 중분자 재료에 의해 구성될 수 있다. 중분자 재료는 승화성이 없고 약 20보다 크지 않은 중합도를 갖는 유기 발광 재료를 나타낸다. EL 층으로서 중분자 재료가 사용되는 경우, 잉크젯 방법 등에 의해 필름이 형성될 수 있다.

<276> 또, 저분자 재료, 고분자 재료 및 중분자 재료를 조합 사용하여도 좋다.

<277> 또한, EL 소자는 1중항 여기자로부터의 발광(형광)을 이용하는 것 또는 3중항 여기자로부터의 발광(인광)을 이용하는 것의 어느쪽일 수도 있다.

<278> 본 실시예는 제 1 실시예 내지 제 7 실시예와 자유롭게 조합하여 실시할 수 있다.

<279> (제 9 실시예)

<280> 본 실시예는 도 13a 내지 도 13d를 참조하여, 도 2a 내지 도 2d에 도시된 제 1 실시예의 멀티-드레인 소자의 구성과는 다른 구성의 멀티-드레인 소자의 제조를 설명한다. 도 13a 내지 도 13d에서, 도 2a 내지 도 2d와 같은 부분들은 같은 참조 번호들로써 디스플레이되고 그들의 설명은 반복하지 않는다.

<281> 도 13a은 멀티-드레인 소자의 기호를 도시한다. 도 13b는 도 13a에 도시한 멀티-드레인 소자가 제작될 때의 상측면도이다. 도 13c는 도 13b의 A-A′ 선을 따른 단면도이다. 도 13d는 도 13b의 B-B′ 선을 따른 단면도이다.

<282> 도 13c 및 도 13d에서, 절연 표면을 갖는 기판(200)상에 형성된 활성층(201)은 같은 시간 도전을 부여하는 불순물들이 첨가된 불순물 영역들(203a, 203b, 203c 및 230) 및 채널 영역들(204a, 204b 및 204c)을 포함한다. 전극(220)은 게이트 절연막(205)을 통해서 채널-형성 영역들(204a, 204b 및 204c)과 중첩된다. 접속 전극들(221 내지 223)은 전극(220)상에 형성된 절연막(206)상에 형성되고, 콘택트 홀들(202a 내지 202c)을 통해서 불순물 영역들(203a, 203b 및 203c)에 전기적으로 접속된다. 전극(220)은 도 13a의 단자(T0)에 대응한다. 도 13a 내지 도 13d의 전극(220)의 형상은 도 2a 내지 도 2d의 전극(220)의 형상과 다르다. 또한, 접속 전극(221)은 단자(T1)에 대응하고, 접속 전극(222)은 단자(T2)에 대응하고, 접속 전극(223)은 단자(T3)에 대응한다.

<283> 또한, 접속 전극(221)은 단자(T2)에 대응하고, 접속 전극(222)은 단자(T3)에 대응하고, 접속 전극(223)은 단자(T1)에 대응할 수도 있다. 또는, 접속 전극(221)은 단자(T3)에 대응하고, 접속 전극(222)은 단자(T1)에 대응하고, 접속 전극(223)은 단자(T2)에 대응할 수도 있다.

<284> 불순물 영역들(203a, 203b, 203c 및 230)은 3개의 채널-형성 영역(204a, 204b 및 204c) 중 1개 또는 모두와 접한다. 본 실시예에서, 모든 불순물 영역이 채널-형성 영역들과 직접 접하지만, 본 발명은 이 구성으로만 한정되지 않는다. 저농도 불순물 영역(LDD 영역)은 불순물 영역들(203a, 203b, 203c 및 230)과 채널-형성 영역들(204a, 204b, 204c) 사이에 설치될 수 있는 불순물 영역들보다도 낮은 불순물 농도를 가진다.

<285> 도 13c 및 도 13d에서, 게이트 절연막(205)은 불순물 영역들(203a, 203b, 203c 및 230)을 덮고 있지만, 본 발명은 이 구성만으로 한정되지 않는다. 불순물 영역들(203a, 203b, 203c 및 230)은 반드시 게이트 절연막(205)에 덮여 있을 필요는 없고 노출될 수도 있다.

<286> 멀티-드레인 소자(101)는 통상의 TFT들을 제조하는 것과 같은 공정을 통해서 제조될 수 있다. 도 13c 및 도 13d

에서, 본 발명의 멀티-드레인 소자(101)의 전극(220)은 공지된 TFT들의 게이트 전극과 같은 재료로 구성될 수 있다. 또한, 공지된 TFT들과 동일한 방법으로 활성층(201)에 채널-형성 영역들(204a, 204b, 204c)과 불순물 영역들(203a, 203b, 203c 및 230)이 형성될 수 있다.

<287> 여기서, 활성층(201)과 중첩되는 전극(220)의 부분은 멀티-드레인 소자의 게이트 전극이라고도 불린다. 멀티-드레인 단자의 단자들(T1 내지 T3)이 접속되는 불순물 영역들(203a 내지 203c)은 각각 소스 영역들 또는 드레인 영역들이라 불린다. 또한, 멀티-드레인 소자의 단자들(T1 내지 T3)은 소스 단자들 또는 드레인 단자들이라고도 불린다.

<288> 전극(220; 게이트 전극)에 인가되는 전위에 따라서, 도 13a 내지 도 13d에 도시된 멀티-드레인 소자(101)는 채널-형성 영역들(204a, 204b, 204c)에 형성된 그 채널이 변화하여 단자들(T1 내지 T3) 중(소스 단자와 드레인 단자 사이에 대응) 그 저항이 제어된다. 즉, 게이트 전극(220)에서의 전위로 인해, 채널-형성 영역에 채널이 형성되고, 도통으로 한 소스 단자와 드레인 단자 사이를 통과한다.

<289> 예를 들면, 도 13a 내지 도 13d에서, N형을 부여하는 불순물 원소는 멀티-드레인 소자(101)의 불순물 영역들(203a, 203b, 203c 및 230)에 첨가된다. 이 경우, 게이트 전극(T0)의 전위는 불순물 영역들(203a, 203b, 203c) 중 어느 1개 또는 2개에 대응하는 소스 영역의 전위보다 충분히 높게 설정한다. 이렇게 해서, 단자(T1) 내지 단자(T3)는 단락될 수 있다. 이렇게 구성된 멀티-드레인 소자(101)는 N채널 멀티-드레인 소자라 불린다.

<290> 한편, 도 13a 내지 도 13d에서, P형을 부여하는 불순물 원소는 멀티-드레인 소자(101)의 불순물 영역들(203a, 203b, 203c 및 230)에 첨가된다. 이 경우, 게이트 전극(T0)의 전위는 불순물 영역들(203a, 203b, 203c) 중 어느 1개 또는 2개에 대응하는 소스 영역의 전위보다 충분히 낮게 설정한다. 이렇게 해서, 단자(T1) 내지 단자(T3)는 단락할 수 있다. 이렇게 구성된 멀티-드레인 소자는 P채널 멀티-드레인 소자라 불린다.

<291> 이렇게 해서, 도 13a의 멀티-드레인 소자(101)는 3개의 노드에 동시에 접속할 수 있거나, 구체적으로는, 단자들(T1 내지 T3)에 동시에 접속할 수 있다.

<292> 본 실시예는 제 1 실시예 내지 제 9 실시예와 자유롭게 조합하여 실시하는 것이 가능하다. 즉, 제 1 실시예 내지 제 4 실시예의 멀티-드레인 소자들 대신에 본 실시예의 구성의 멀티-드레인 소자가 사용될 수 있다. 또한, 본 실시예의 구성의 멀티-드레인 소자는 제 5 실시예 및 제 6 실시예의 혼합 접합형을 갖는 화소들에 사용될 수 있다. 이것은 개구율을 더욱 향상시키고 EL 소자들의 열화를 더욱 저감한다. 또한, EL 소자들의 EL 층들은 그들의 단부들과 중첩되는 구성을 사용할 수 있다. 이것은 개구율을 더욱 향상시키고 EL 소자들의 열화를 더욱 저감한다.

<293> (제 10 실시예)

<294> 본 실시예에서, EL 소자에 정기적인 간격으로 역바이어스가 인가되어 열화를 억제한다. 도 17a 내지 도 17c, 도 18a 내지 도 18c, 도 19a 및 도 19b는 상기 구동 방법를 사용하는 화소들의 구성들을 도시한다. 도 17a 내지 도 17c 및 도 18a 내지 도 18c에서, 도 1a와 같은 부분들은 같은 참조 번호들로써 디스플레이되며 그들의 설명은 반복하지 않는다. 또한, 도 19a 및 도 19b에서도, 도 20a 및 도 20b와 같은 부분들은 같은 참조 번호들로써 디스플레이된다. 여기서, 화소 전극은 양극이고 대향 전극은 음극이다.

<295> 도 17a에서, 스위치(991)를 통해서 EL 소자(709)의 화소 전극에 단자(992)가 접속된다. 여기서, 단자(992)의 전위(V_B)는 EL 소자(709)의 대향 전극의 전위보다 작게 설정한다. 스위치(991)를 온함으로써, EL 소자(709)의 화소 전극의 전위를 대향 전극의 전위보다 작게 한다. 이렇게 해서, EL 소자(709)에 역바이어스가 인가된다.

<296> 이어서, 이하에 설명된 것은 도 17a의 구성의 화소에 역바이어스를 인가할 때의 구동 방법이다. 예를 들면, 이하에 설명된 것은 제 1 실시예에 도시된 시분할 계조 시스템이 사용되는 경우이다. 화소가 디스플레이되지 않는 기간 동안 역바이어스를 인가하는 동작이 수행될 수 있다. 예를 들면, 화상 디스플레이가 일시 중단되어, 스위치(991)가 온이 되고, EL 소자(709)에 역바이어스가 인가된다. 화소가 디스플레이하는 기간 동안, 스위치(991)는 오프로 남아있다. 시분할 계조 방식을 수행할 때 스위치(991)의 동작을 제외한 동작들은 제 1 실시예의 것들과 같으며, 여기에 다시 설명하지 않는다.

<297> 마찬가지로, 역바이어스를 인가하는 동작은 도 18a, 도 19a 및 도 20a의 구성들의 화소들에 대해서도 효율적이 될 수 있다.

<298> 도 17a에 도시된 화소의 구성은 소거 트랜지스터를 더 포함한다. 이러한 구성은 도 17b에 도시된다. 도 17a와 같은 부분들은 같은 참조 번호로써 디스플레이된다.

<299> 이하에 설명된 것은 도 17b에 도시된 화소 구성의 역바이어스를 인가할 때의 구동 방법이다. 이하에 설명된 것은 제 2 실시예에 설명된 시분할 계조 시스템이 사용되는 경우이다. 화소가 디스플레이하지 않는 기간 동안 역바이어스를 인가하는 동작이 수행될 수 있다. 예를 들면, 비디스플레이 기간 동안 EL 소자(709)에 역바이어스가 인가될 수 있다. 디스플레이 기간 동안, 스위치(991)는 오프로 남아있다. 시분할 계조 시스템을 수행할 때 스위치(991)의 동작을 제외하고, 동작들은 제 2 실시예의 것들과 같으며 여기에 다시 설명하지 않는다.

<300> 마찬가지로, 역바이어스를 인가하는 동작은 도 18b, 도 19b 및 도 20b의 구성들의 화소들에 대해서 효율적이 될 수 있다.

<301> 도 17c는 도 17b의 구성의 스위치(991)로서 TFT가 사용되는 경우의 예를 도시한다. 여기서, 비디스플레이 기간 동안 역바이어스를 인가하는 구동 방법에 따라 시분할 계조 디스플레이가 수행될 수 있다. 이러한 목적을 위해서, 스위치(991)는 소거 TFT(501)가 온이 될 때 온이 되도록 동작된다. 여기서, 스위치(991)의 게이트 전극에 입력되는 신호는 소거 TFT(501)의 게이트 전극에 입력되는 신호(소거용 게이트 신호선(RG))의 신호와 같을 수 있다.

<302> 마찬가지로, 역바이어스를 인가하는 동작은 도 18c의 구성의 화소들에 대해서도 효율적이 될 수 있다.

<303> 상기 구성은 각 화소들의 EL 소자들의 열화를 억제한다.

<304> 본 실시예는 제 1 실시예 내지 제 9 실시예와 자유롭게 조합하여 수행될 수 있다. 즉, EL 소자에 역바이어스를 인가하는 구성은 제 1 실시예 내지 제 4 실시예의 멀티-드레인 소자에 인가될 수 있다. 이것은 EL 소자들의 열화를 더욱 저감한다. 또한, EL 소자에 역바이어스를 인가하는 구성은 제 5 실시예 및 제 6 실시예의 혼합 접합형의 EL 소자를 갖는 화소에 인가될 수 있다. 이것은 EL 소자들의 열화를 더욱 저감한다. 또한, EL 소자들의 EL 층들은 그들의 단부들과 중첩되어 배치되는 구성이 사용될 수 있다. 이것은 개구율을 더욱 향상시키고 EL 소자들의 열화를 저감한다.

<305> (제 11 실시예)

<306> 본 발명은 표시 장치를 갖는 표시 시스템에 인가될 수 있다. 여기서, 표시 시스템은 표시 장치에 입력되는 영상 신호를 기억하는 메모리, 표시 장치의 구동 회로들에 입력되는 제어 신호들(클록 펄스들, 스타트 펄스들 등)을 처리하는 컨트롤러, 메모리와 컨트롤러를 제어하는 CPU를 포함한다.

<307> 또한, 본 발명의 표시 장치는 여러가지 전자 기기들에 인가될 수 있다. 본 발명을 사용함으로써 제조된 전자 기기들은 비디오 카메라들, 디지털 카메라들, 고글형 디스플레이들(헤드 마운트 디스플레이), 네비게이션 시스템들, 음향 재생 장치들(카오디오, 오디오 콤포넌트들 등), 노트북형 퍼스널 컴퓨터들, 게임기들, 휴대 데이터 단말들(모바일 컴퓨터들, 휴대 전화들, 휴대형 게임기들 및 전자 서적들),기록 매체를 구비한 화상 재생 장치들(구체적으로는 DVD들(Digital Versatile Discs)) 등의 기록매체를 재생하고 그 화상들을 디스플레이하는 디스플레이가 구비된 장치들을 포함할 수 있다.

<308> 본 실시예는 제 1 실시예 내지 제 10 실시예와 자유롭게 조합하여 실시하는 것이 가능하다.

발명의 효과

<309> 상술한 구성에 따라서, EL 소자에서 열화 등에 의한 전류 특성들의 변화에 의한 휘도의 변화를 저감하는 동안, 본 발명은 거의 일정한 휘도를 유지하며 발광할 수 있는 표시 장치를 제공한다.

도면의 간단한 설명

<1> 도 1a 및 도 1b는 본 발명의 표시 장치의 화소들의 구성들을 도시하는 도면들.

<2> 도 2a 내지 도 2d는 본 발명의 표시 장치의 화소에 의해 보유되는 멀티-드레인 소자의 구성들을 도시하는 도면들.

<3> 도 3은 본 발명의 표시 장치의 화소부의 구성들을 도시하는 도면.

<4> 도 4a 및 도 4b는 본 발명의 표시 장치가 어떻게 구동되는지를 도시하는 타이밍 차트들.

<5> 도 5는 본 발명의 표시 장치의 화소의 구성을 도시하는 도면.

<6> 도 6은 본 발명의 표시 장치의 화소부의 구성을 도시하는 도면.

<7> 도 7a 및 도 7b는 본 발명의 표시 장치가 어떻게 구동되는지를 도시하는 타이밍 차트들.

<8> 도 8a 및 도 8b는 본 발명의 표시 장치의 화소의 구성을 도시하는 도면.

<9> 도 9는 EL 소자의 열화를 도시하는 도면.

<10> 도 10은 전류-제어형 화소의 구성을 도시하는 도면.

<11> 도 11a 내지 도 11c는 전류-제어형 화소가 어떻게 구동되는지를 도시하는 도면들.

<12> 도 12는 본 발명의 표시 장치가 어떻게 구동되는지를 도시하는 타이밍 차트.

<13> 도 13a 내지 도 13d는 본 발명의 표시 장치의 화소에 의해 보유되는 멀티-드레인 소자의 구성들을 도시하는 도면들.

<14> 도 14a 내지 도 14d는 본 발명의 표시 장치의 EL 소자의 구성들을 개략적으로 도시하는 도면들.

<15> 도 15는 본 발명의 표시 장치의 EL 소자의 구성을 개략적으로 도시하는 도면.

<16> 도 16은 본 발명의 표시 장치의 화소부의 구성을 도시하는 단면도.

<17> 도 17a 내지 도 17c는 본 발명의 표시 장치의 화소의 구성들을 도시하는 도면들.

<18> 도 18a 내지 도 18c는 본 발명의 표시 장치의 화소의 구성들을 도시하는 도면들.

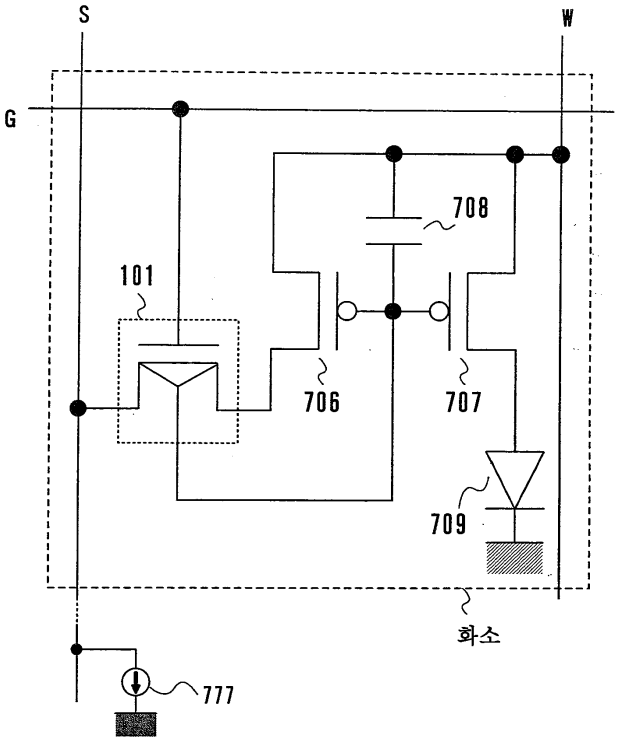
<19> 도 19a 및 도 19b는 본 발명의 표시 장치의 화소들의 구성들을 도시하는 도면들.

<20> 도 20a 및 도 20b는 본 발명의 표시 장치의 화소들의 구성들을 도시하는 도면들.

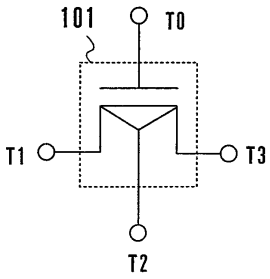
<21> 도 21a 내지 도 21d는 본 발명의 표시 장치의 화소에 의해 보유되는 멀티-드레인 소자의 구성들을 도시하는 도면.

도면

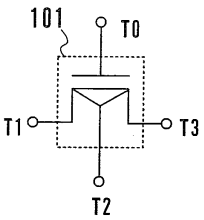
도면1a



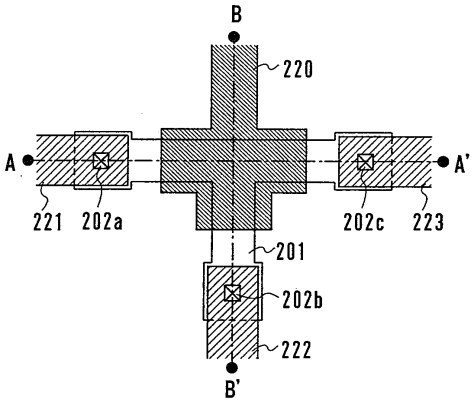
도면1b



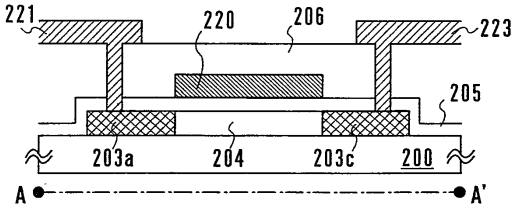
도면2a



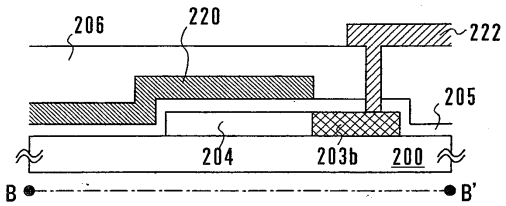
도면2b



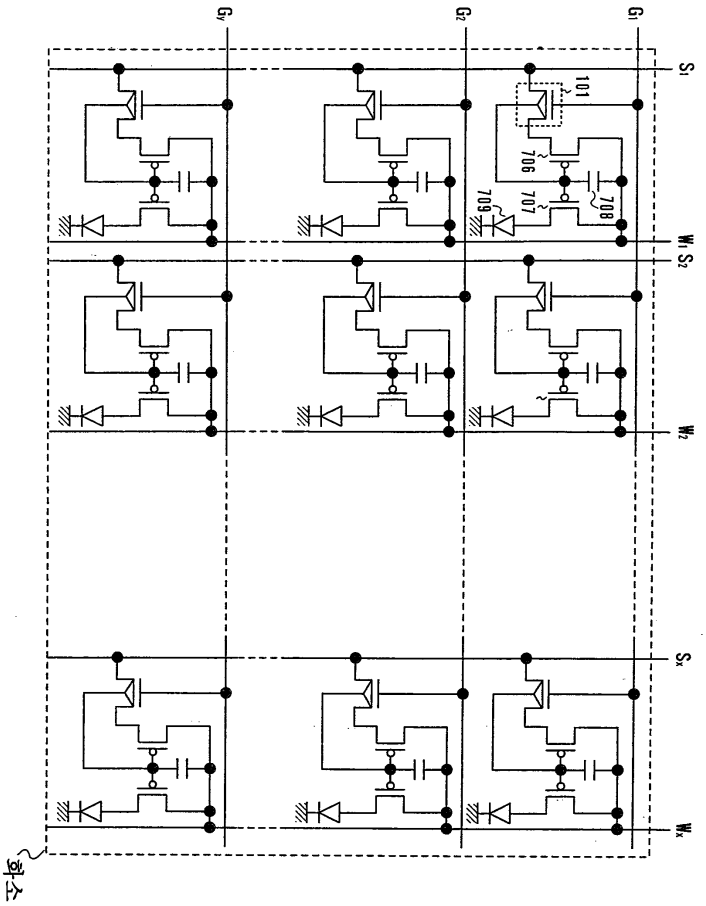
도면2c



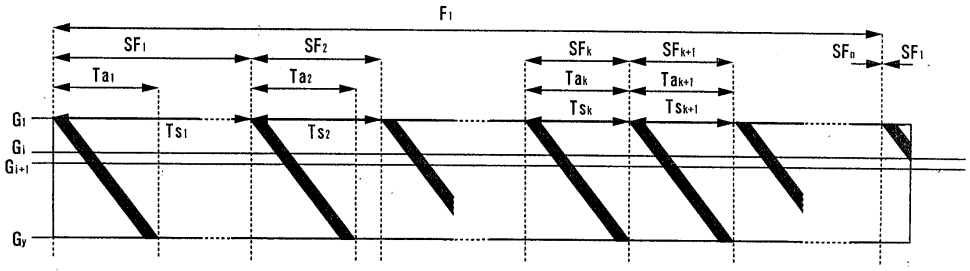
도면2d



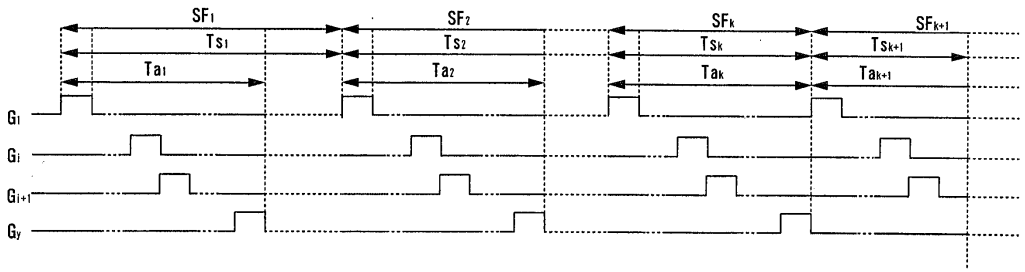
도면3



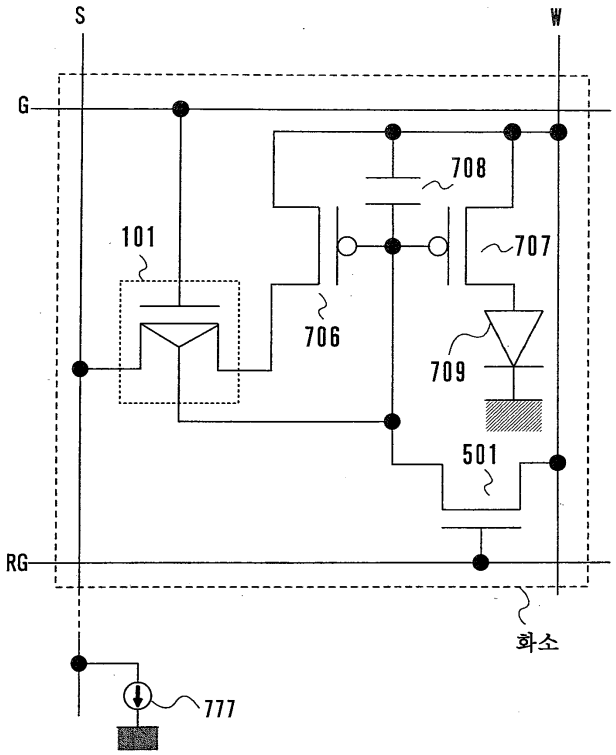
도면4a



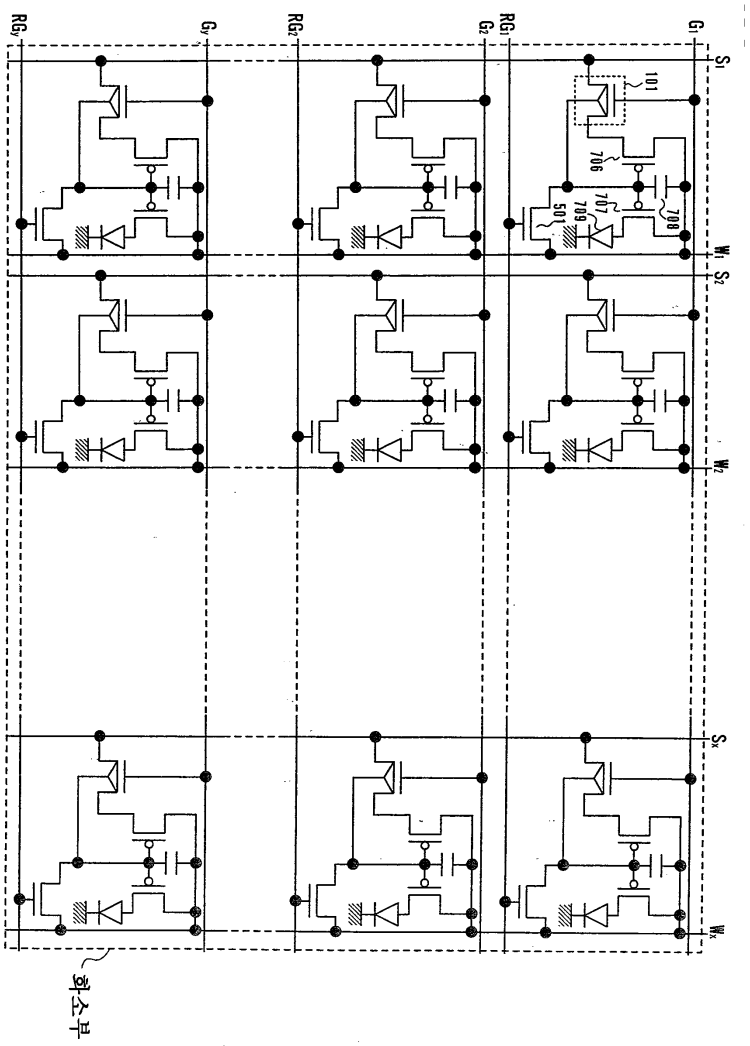
도면4b



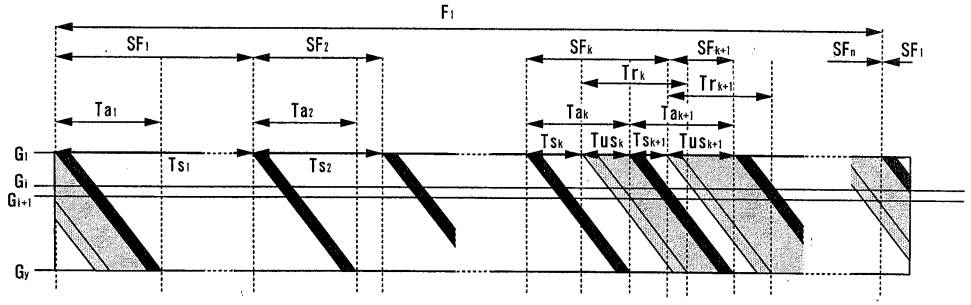
도면5



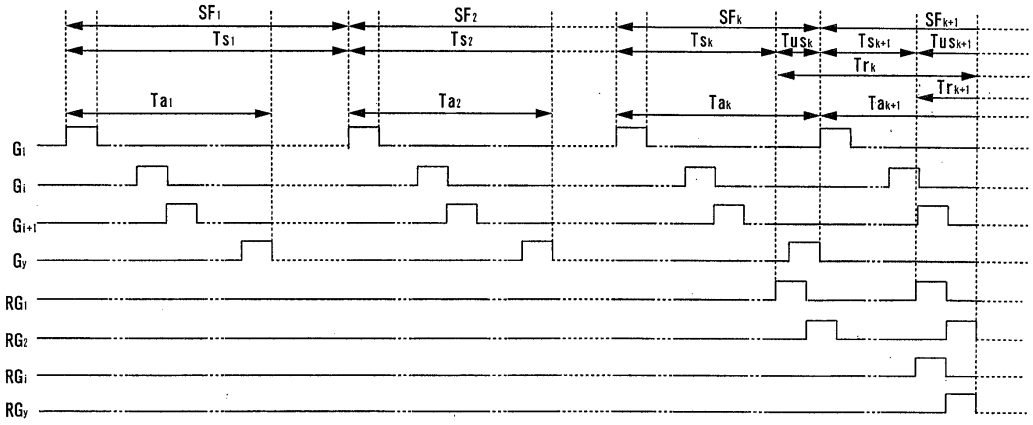
도면6


RGy
Gn
RG2
G2
RG1
G1
S1
101
706
707
709
708
W1
S2
W2
Sx
Wx
화소부

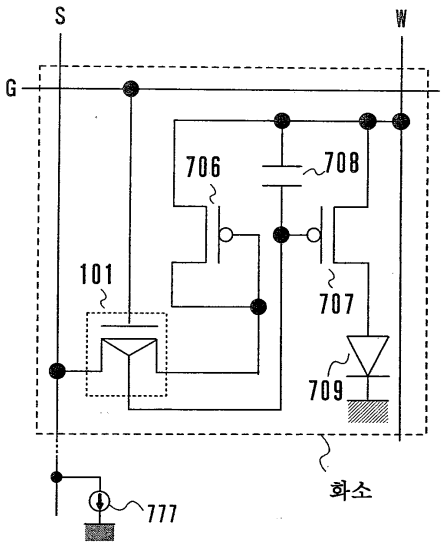
도면7a


F1
SF1
SF2
SFk
SFk+1
SFn
SF1
Trk
Trk+1
Ta1
Ta2
Tak
Tak+1
Tsk
Tusk
Tsk+1
Tusk+1
G1
Gi
Gi+1
Gy
Ts1
Ts2

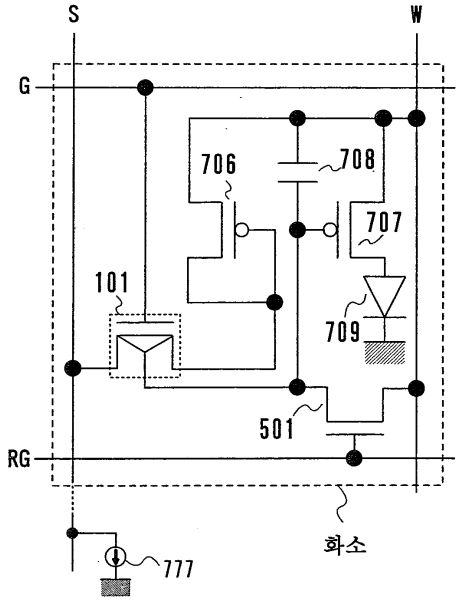
도면7b


SF1
SF2
SFk
SFk+1
Ts1
Ts2
Tsk
Tusk
Tsk+1
Tusk+1
Trk
Trk+1
Ta1
Ta2
Tak
Tak+1
G1
Gi
Gi+1
Gy
RG1
RG2
RGi
RGy

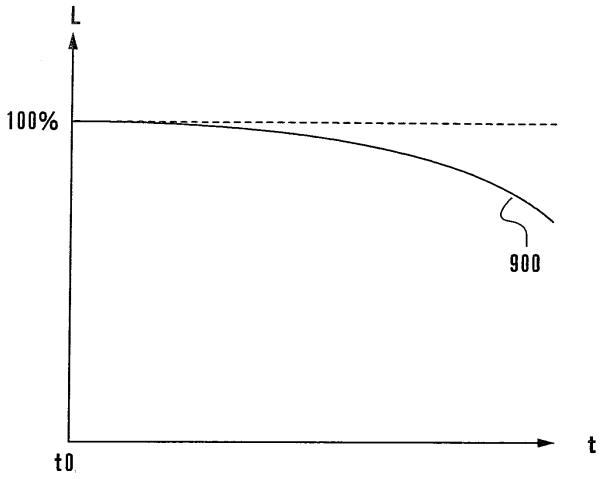
도면8a


S
W
G
706
708
101
707
709
777
화소

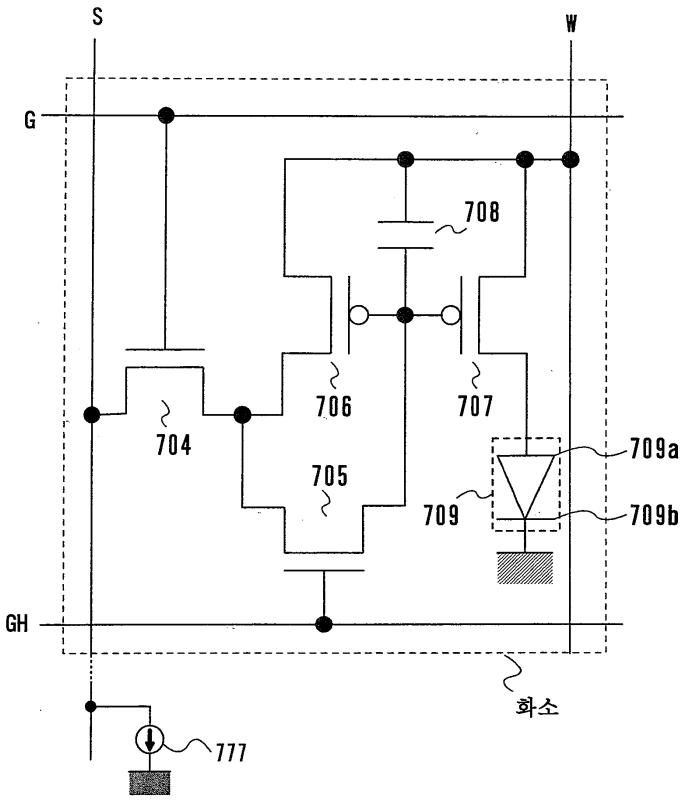
도면8b



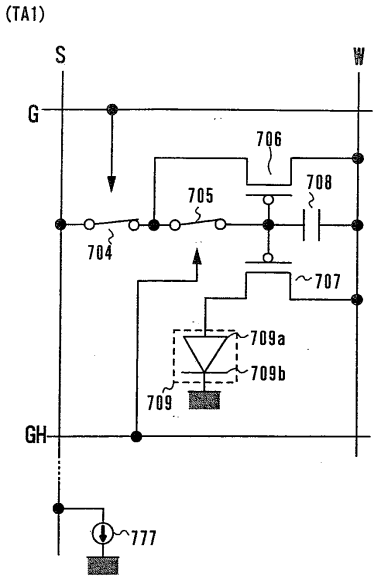
도면9



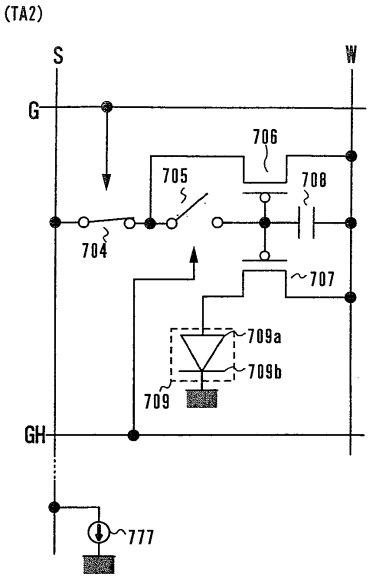
도면10


S
W
G
708
706
707
704
705
709a
709
709b
GH
화소
777

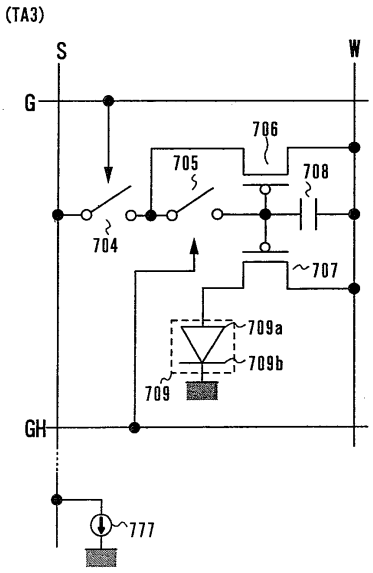
도면11a


(TA1)
S
W
G
706
708
705
704
707
709a
709b
709
GH
777

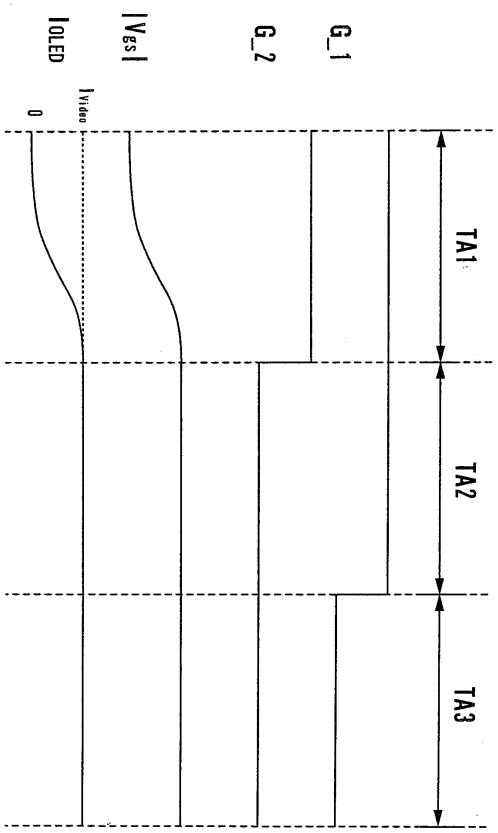
도면11b


(TA2)
S
W
G
706
705
708
704
707
709a
709b
709
GH
777

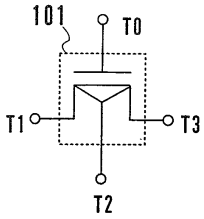
도면11c


(TA3)
S
W
G
706
705
708
704
707
709a
709b
709
GH
777

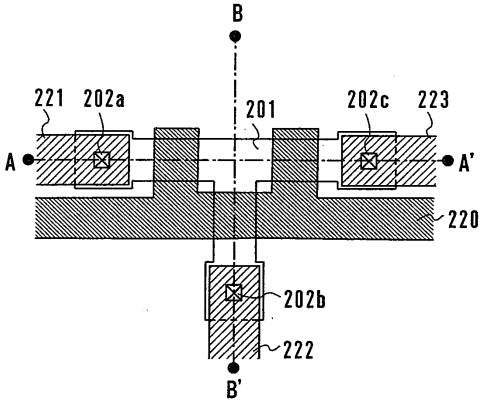
도면12



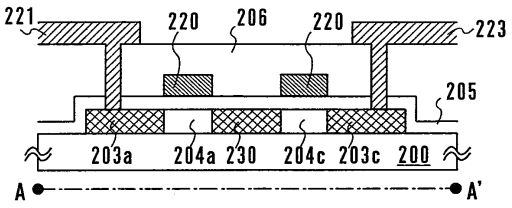
도면13a



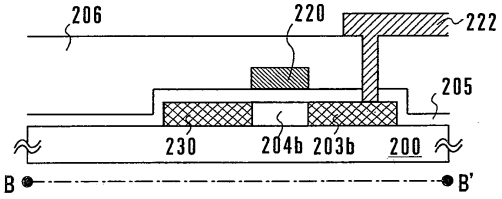
도면13b



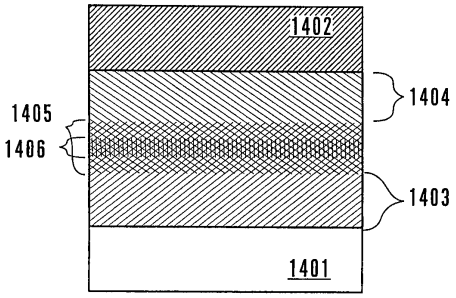
도면13c



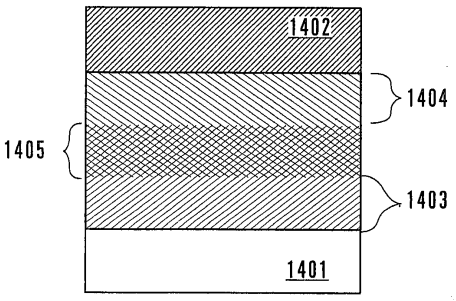
도면13d



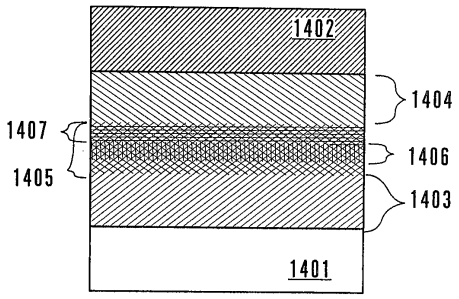
도면14a



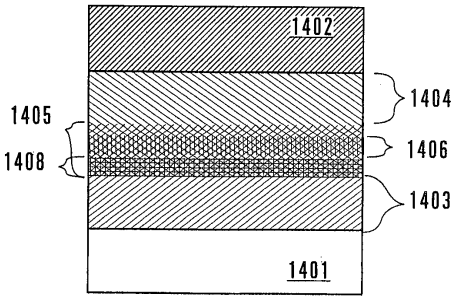
도면14b



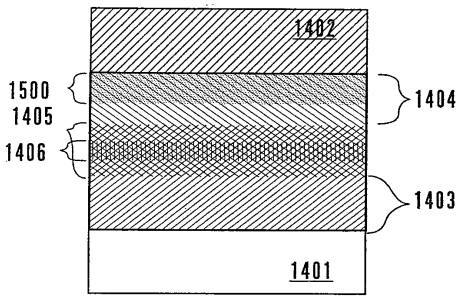
도면14c



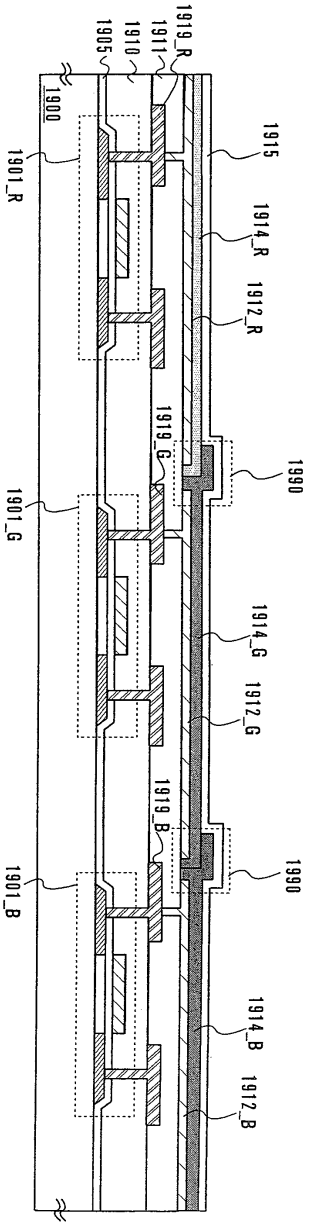
도면14d



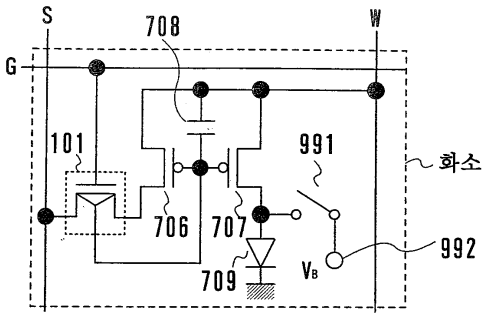
도면15



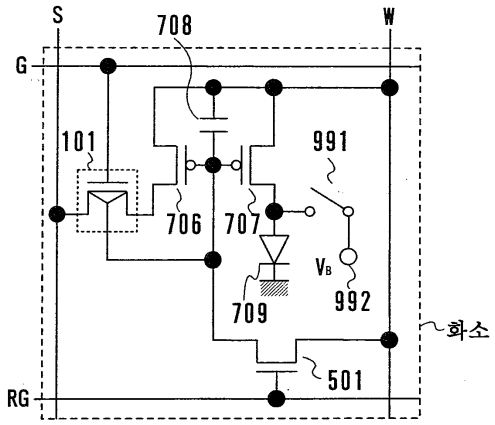
도면16


1919_R
1911
1910
1905
1900
1915
1901_R
1914_R
1912_R
1919_G
1990
1901_G
1914_G
1912_G
1919_B
1990
1901_B
1914_B
1912_B

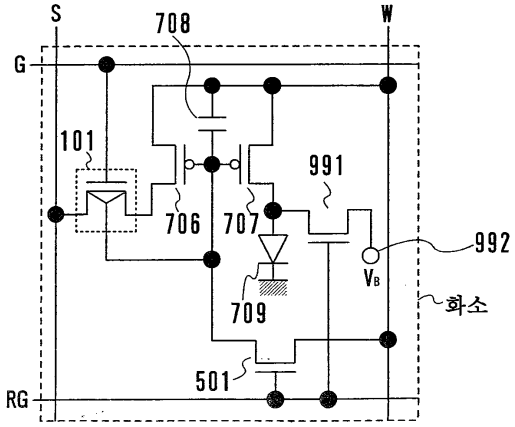
도면17a


S
708
W
G
101
991
화소
706
707
992
709
VB

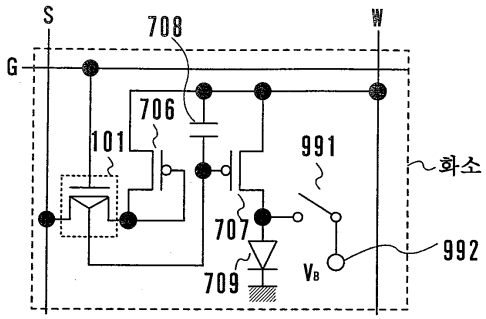
도면17b



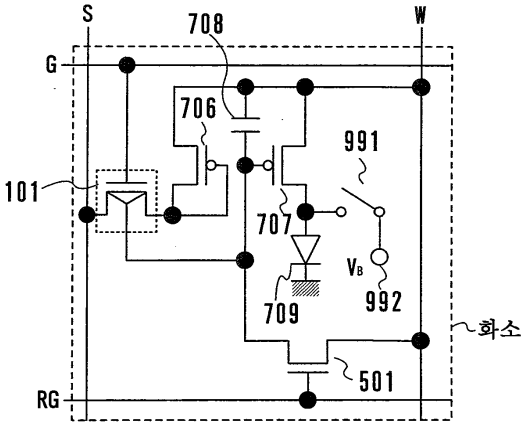
도면17c



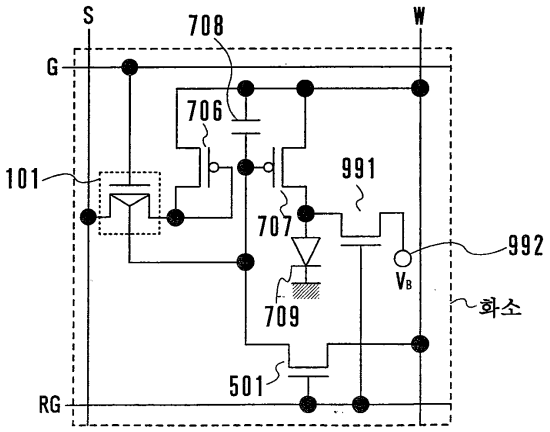
도면18a



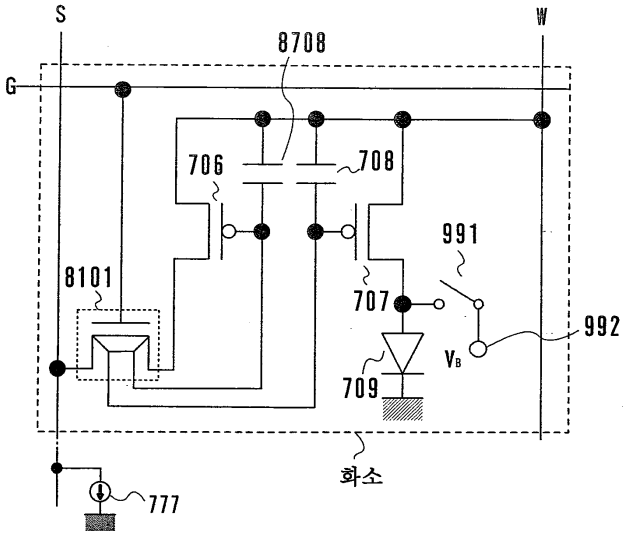
도면18b



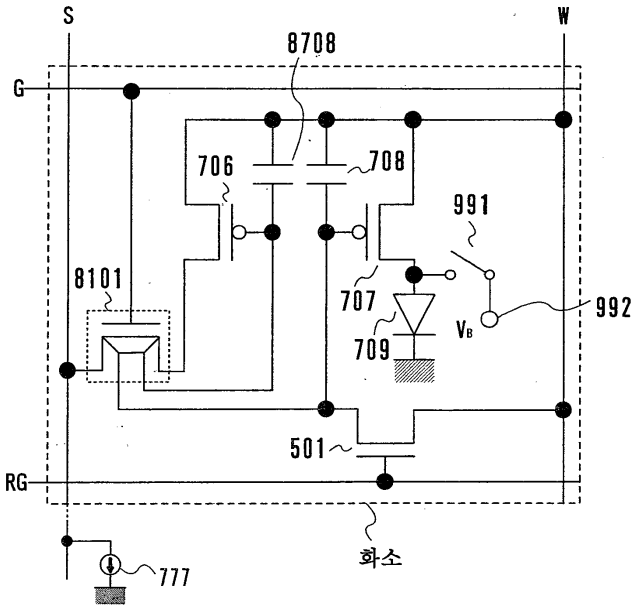
도면18c



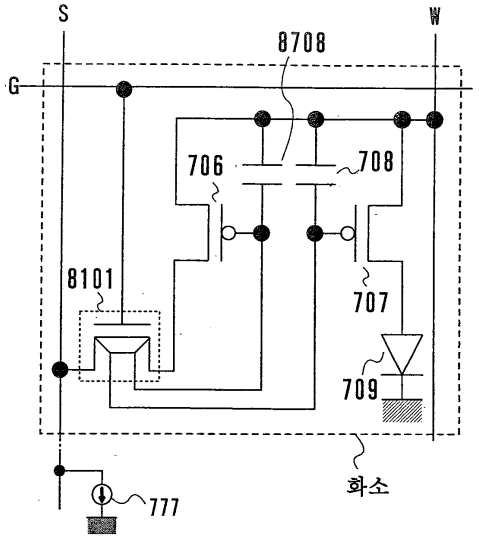
도면19a



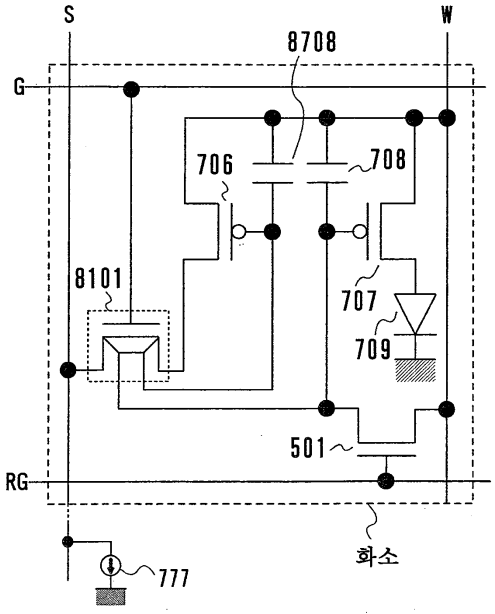
도면19b


S
W
8708
G
706
708
991
8101
707
992
V_B
709
501
RG
화소
777

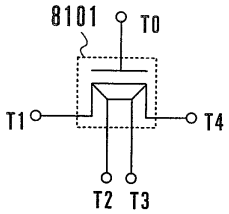
도면20a


S
W
8708
G
706
708
8101
707
709
화소
777

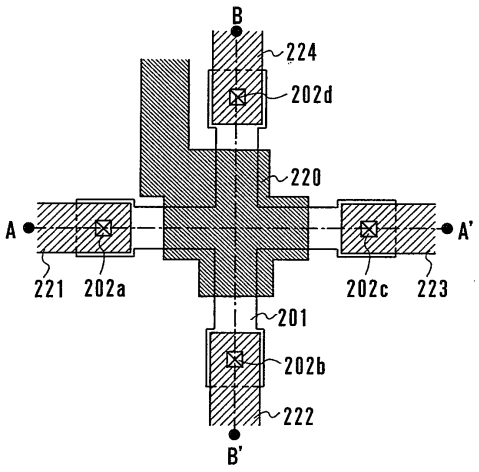
도면20b



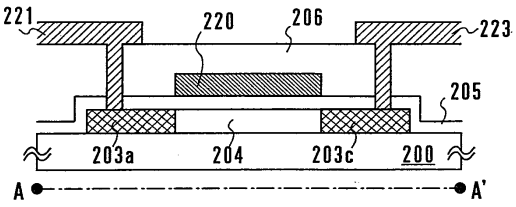
도면21a



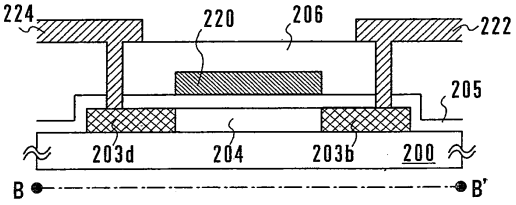
도면21b



도면21c


221
220
206
223
205
203a
204
203c
200
A
A'

도면21d


224
220
206
222
205
203d
204
203b
200
B
B'