(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[6]
H01L 217/6

(11) 공개번호 특1997-0077773
(43) 공개일자 1997년12월12일

(21) 출원번호 특1996-0016960
(22) 출원일자 1996년05월20일

(71) 출원인 삼성전자 주식회사 김광호
경기도 수원시 팔달구 매탄동 416번지
(72) 발명자 하대원
서울특별시 강남구 대치동 청실아파트 12동 1203호
(74) 대리인 이영필, 권석흠, 노민식

심사청구 : 있음

(54) 반도체장치의 트렌치 소자분리방법

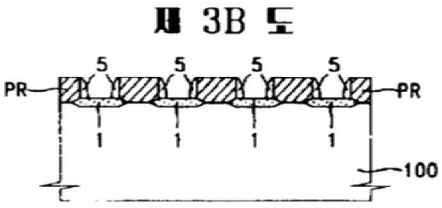
요약

딥핑 현상을 제거한 트렌치 소자분리방법에 대해 기재되어 있다.

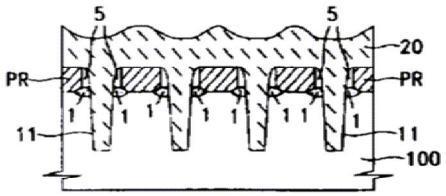
본 발명의 트렌치 소자분리방법은, 반도체기판에 소자형성영역과 소자분리영역을 정의하기 위한 소정의 포토레지스트 패턴을 형성하는 단계와, 상기 소자분리영역의 반도체기판을 산화시켜 소정두께의 산화막을 형성하는 단계와, 상기 포토레지스트 패턴의 둘레를 따라 상기 반도체기판에 대하여 식각선택비를 갖는 스페이서를 형성하는 단계와, 상기 포토레지스트 패턴 및 스페이서를 식각마스크로 적용하여 상기 반도체기판 내에 소정 깊이의 트렌치를 형성하는 단계와, 상기 트렌치에 절연물질을 채우는 단계를 구비하여 이루어진 것을 특징으로 한다. 따라서, 본 발명에 의한 트렌치 소자분리방법에 의하면, 소자형성영역과 소자분리영역을 경계 부분에 산화막이 남게 됨으로서, 종래 이 부분에서 발생되던 딥핑 현상을 제거할 수 있게 되어 소자의 신뢰성을 향상시킬 수 있게 된다.

대표도

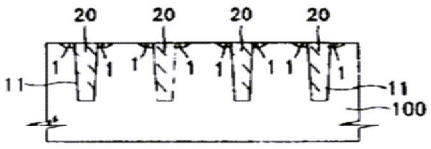
도 3B



도 3C



도 3D



명세서

[발명의 명칭]

반도체장치의 트렌치 소자분리방법

[도면의 간단한 설명]

제3A도 내지 제3D도는 본 발명에 따른 트렌치 소자분리방법을 설명하기 위한 공정순서도이다.

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

반도체기판에 소자형성영역과 소자분리영역을 정의하기 위한 소정의 포토레지스트 패턴을 형성하는 단계; 상기 소자분리영역의 반도체기판을 산화시켜 소정두께의 산화막을 형성하는 단계; 상기 포토레지스트 패턴의 둘레를 따라 상기 반도체기판에 대하여 식각선택비를 갖는 스페이서를 형성하는 단계; 상기 포토레지스트 패턴 및 스페이서를 식각마스크로 적용하여 상기 반도체기판 내에 소정 깊이의 트렌치를 형성하는 단계; 및 상기 트렌치에 절연물질을 채우는 단계를 구비하여 이루어진 것을 특징으로 하는 트렌치 소자분리방법.

청구항 2

제1항에 있어서, 상기 산화막의 두께는 100Å~500Å 정도인 것을 특징으로 하는 트렌치 소자분리방법.

청구항 3

제2항에 있어서, 상기 스페이서는 고온산화막(HTO)이나 질화막으로 이루어진 것을 특징으로 하는 트렌치 소자분리방법.

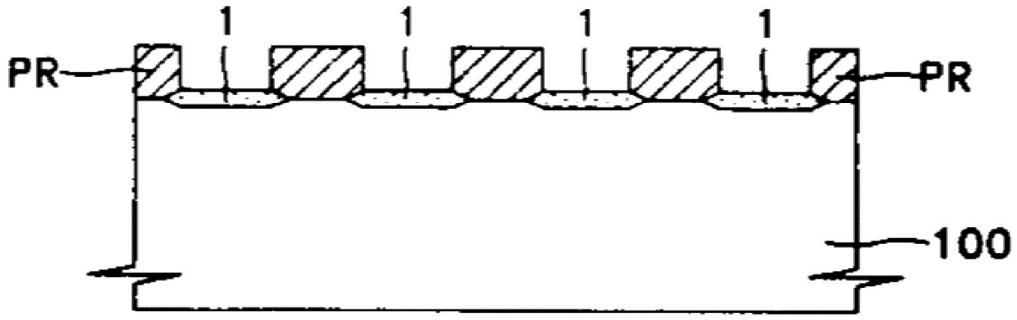
청구항 4

제3항에 있어서, 상기 트렌치는, 그 하부 사이즈가 그 상부 오프닝 사이즈보다 작은 슬로프를 갖도록 식각되는 것을 특징으로 하는 트렌치 소자분리방법.

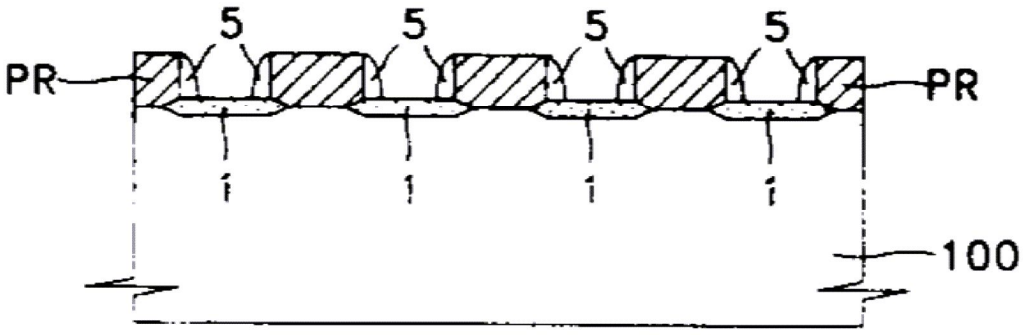
※ 참고사항 : 최초출원 내용에 의하여 공개되는 것임.

도면

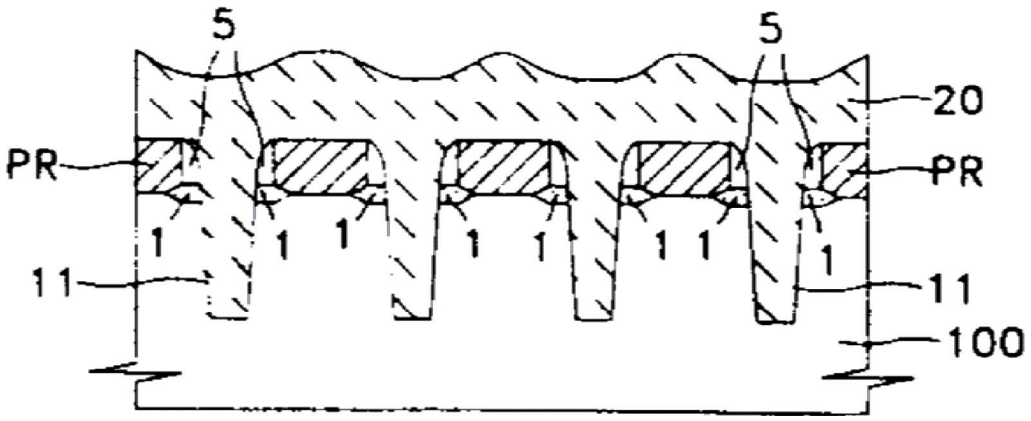
도면3a



도면3b



도면3c



도면3d

