



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년04월14일
(11) 등록번호 10-2386552
(24) 등록일자 2022년04월11일

- (51) 국제특허분류(Int. Cl.)
H01L 29/78 (2006.01) H01L 21/768 (2006.01)
H01L 21/8234 (2006.01) H01L 27/088 (2006.01)
H01L 29/40 (2006.01) H01L 29/66 (2006.01)
- (52) CPC특허분류
H01L 29/7816 (2013.01)
H01L 21/76834 (2013.01)
- (21) 출원번호 10-2020-0075848
- (22) 출원일자 2020년06월22일
심사청구일자 2020년06월22일
- (65) 공개번호 10-2021-0117113
- (43) 공개일자 2021년09월28일
- (30) 우선권주장
16/821,247 2020년03월17일 미국(US)
- (56) 선행기술조사문헌
KR1020130042417 A*
KR1020130061036 A*
KR1020190037054 A*
US20070278568 A1*
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
타이완 세미콘덕터 매뉴팩처링 컴퍼니 리미티드
중화민국, 타이완, 신추, 신추 사이언스 파크,
리-신 로드 6, 넘버 8
- (72) 발명자
첸 카오차오
중화민국, 타이완, 신추, 신추 사이언스 파크,
리-신 로드 6, 넘버 8
리우 밍 치
중화민국, 타이완, 신추, 신추 사이언스 파크,
리-신 로드 6, 넘버 8
호 치아-첵
중화민국, 타이완, 신추, 신추 사이언스 파크,
리-신 로드 6, 넘버 8
- (74) 대리인
김태홍, 김진희

전체 청구항 수 : 총 10 항

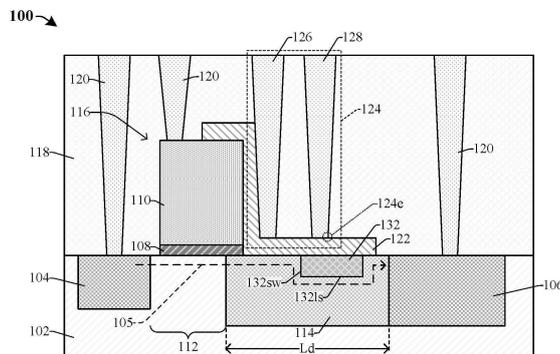
심사관 : 최정민

(54) 발명의 명칭 **고전압 디바이스를 위한 필드 플레이트 및 격리 구조물**

(57) 요약

집적 칩은 분리 구조 위에 놓인 필드 플레이트를 포함한다. 게이트 전극은 소스 영역과 드레인 영역 사이의 기관 위에 놓인다. 에칭 정지층은 게이트 전극의 상부 표면으로부터 기관의 전면까지 측방으로 연장된다. 에칭 정지층은 소스 영역과 드레인 영역 사이에 배치된 드리프트 영역 위에 놓인다. 필드 플레이트는 기관 위에 놓인 제1 층간 유전체(ILD)층 내에 배치된다. 필드 플레이트는 제1 ILD층의 상단 표면으로부터 에칭 정지층의 상부 표면까지 연장된다. 격리 구조물은 기관 내에 배치되며, 기관의 전면으로부터 기관의 전면 아래의 지점까지 연장된다. 격리 구조물은 게이트 전극과 드레인 영역 사이에서 측방으로 배치된다.

대표도 - 도1



(52) CPC특허분류

H01L 21/823475 (2013.01)

H01L 27/088 (2013.01)

H01L 29/402 (2013.01)

H01L 29/66681 (2013.01)

명세서

청구범위

청구항 1

집적 칩으로서,

소스 영역과 드레인 영역 사이에서 기판 위에 놓이는 게이트 전극;

상기 게이트 전극의 상부 표면으로부터 상기 기판의 전면으로 측방으로 연장되는 에칭 정지층 - 상기 에칭 정지층은, 상기 소스 영역과 상기 드레인 영역 사이에 배치되는 드리프트 영역 위에 놓임 - ;

상기 기판 위에 놓이는 제1 층간 유전체(ILD, inter-level dielectric)층 내에 배치되는 필드 플레이트 - 상기 필드 플레이트는 상기 제1 ILD층의 상단 표면으로부터 상기 에칭 정지층의 상부 표면으로 연장됨 - ; 및

상기 기판 내에 배치되고 상기 기판의 전면으로부터 상기 기판의 전면 아래의 지점으로 연장되는 격리 구조물 - 상기 격리 구조물은 상기 게이트 전극과 상기 드레인 영역 사이에 측방으로 배치됨 - 을 포함하고,

상기 필드 플레이트는 제1 필드 플레이트 구조물 및 제2 필드 플레이트 구조물을 포함하고, 상기 제1 필드 플레이트 구조물은 상기 격리 구조물 위에 놓이지 않고, 상기 제2 필드 플레이트 구조물의 적어도 일부는 상기 격리 구조물 바로 위에 놓이는, 집적 칩.

청구항 2

제1항에 있어서,

상기 격리 구조물은 제1 물질을 포함하고, 상기 기판은 상기 제1 물질과는 상이한 제2 물질을 포함하는, 집적 칩.

청구항 3

제1항에 있어서,

상기 게이트 전극은 제1 도전성 물질을 포함하고, 상기 필드 플레이트는 상기 제1 도전성 물질과는 상이한 제2 도전성 물질을 포함하는, 집적 칩.

청구항 4

제1항에 있어서,

상기 제1 ILD층 내에 배치되고 상기 기판 위에 놓이는 복수의 콘택트를 더 포함하며, 상기 복수의 콘택트의 상단 표면은 상기 필드 플레이트의 상단 표면과 정렬되는, 집적 칩.

청구항 5

제1항에 있어서,

상기 제1 필드 플레이트 구조물은 상기 제1 ILD층의 상단 표면으로부터 상기 에칭 정지층의 상부 표면으로 연장되고,

상기 제2 필드 플레이트 구조물은 상기 제1 ILD층의 상단 표면으로부터 상기 에칭 정지층의 상부 표면으로 연장되며, 상기 제2 필드 플레이트 구조물은 상기 제1 필드 플레이트 구조물로부터 0이 아닌 거리만큼 측방으로 오프셋되는, 집적 칩.

청구항 6

집적 칩으로서,

기판 위에 놓이는 제1 게이트 구조물을 포함하는 제1 측방 확산 금속 산화물 반도체 전계 효과 트랜지스터 (MOSFET, metal-oxide semiconductor field-effect transistor)(LD MOS, laterally diffused MOS) 디바이스 -

상기 제1 LDMOS 디바이스는, 상기 기판 내에 배치되는 제1 소스 영역 및 제1 드리프트 영역을 더 포함함 - ;

제2 게이트 구조물, 제2 소스 영역, 및 제2 드리프트 영역을 포함하는 제2 LDMOS 디바이스;

상기 제1 LDMOS 디바이스와 상기 제2 LDMOS 디바이스 사이에 배치되는 드레인 영역 - 상기 제1 드리프트 영역은 상기 제1 소스 영역과 상기 드레인 영역 사이에 배치되고, 상기 제2 드리프트 영역은 상기 제2 소스 영역과 상기 드레인 영역 사이에 배치됨 - ;

상기 드레인 영역과 상기 제1 게이트 구조물 사이에서 측방으로 이격되는 제1 필드 플레이트; 및

상기 기판 내에 배치되는 제1 격리 구조물 - 상기 제1 격리 구조물은 상기 드레인 영역과 상기 제1 소스 영역 사이에서 측방으로 이격되고, 상기 제1 필드 플레이트의 제1 에지는 상기 제1 격리 구조물 바로 위에 놓이고, 상기 제1 필드 플레이트의 제2 에지는 상기 제1 격리 구조물로부터 상기 제1 게이트 구조물을 향하는 방향으로 0이 아닌 거리만큼 측방으로 오프셋되어 상기 제1 격리 구조물 위에 놓이지 않음 -

을 포함하는, 집적 칩.

청구항 7

제6항에 있어서,

상기 드레인 영역과 상기 제2 게이트 구조물 사이에서 측방으로 이격되는 제2 필드 플레이트; 및

상기 기판 내에 배치되고 상기 드레인 영역과 상기 제2 소스 영역 사이에서 측방으로 이격되는 제2 격리 구조물을 더 포함하며, 상기 제2 필드 플레이트의 제1 에지는 상기 제2 격리 구조물 바로 위에 놓이는, 집적 칩.

청구항 8

제6항에 있어서,

상기 기판 위에 놓이는 제1 층간 유전체(ILD)층; 및

상기 제1 ILD층 내에 배치되고 상기 기판 위에 놓이는 복수의 콘택트를 더 포함하며, 상기 복수의 콘택트의 상단 표면은 상기 제1 필드 플레이트의 상단 표면과 정렬되고, 상기 콘택트와 상기 제1 필드 플레이트는 동일한 물질을 포함하는, 집적 칩.

청구항 9

제6항에 있어서,

상기 제1 게이트 구조물의 상부 표면으로부터 상기 기판의 상부 표면으로 연속적으로 연장되는 제1 에칭 정지층을 더 포함하며, 상기 제1 필드 플레이트는 상기 제1 에칭 정지층의 상부 표면과 직접 접촉하는, 집적 칩.

청구항 10

방법으로서,

기판 내에 격리 구조물을 형성하는 단계 - 상기 격리 구조물은 유전체 물질을 포함하고, 상기 기판은 상기 유전체 물질과는 상이한 기판 물질을 포함함 - ;

상기 기판 내에 드리프트 영역을 형성하기 위해 주입 공정을 수행하는 단계 - 상기 드리프트 영역은 상기 격리 구조물에 인접함 - ;

상기 기판 위에 게이트 구조물을 형성하는 단계 - 상기 게이트 구조물은 적어도 부분적으로 상기 드리프트 영역 위에 놓임 - ;

상기 기판 내에 소스 영역 및 드레인 영역을 형성하기 위해 주입 공정을 수행하는 단계 - 상기 드리프트 영역은 상기 소스 영역과 상기 드레인 영역 사이에서 측방으로 배치됨 - ;

상기 기판 위에 제1 층간 유전체(ILD)층을 형성하는 단계; 및

상기 드리프트 영역 위에 그리고 상기 제1 ILD층 내에 필드 플레이트를 형성하는 단계 - 상기 필드 플레이트는 제1 필드 플레이트 구조물 및 제2 필드 플레이트 구조물을 포함하고, 상기 제1 필드 플레이트 구조물은 상기 격리 구조물 위에 놓이지 않고, 상기 제2 필드 플레이트 구조물의 적어도 일부는 상기 격리 구조물 바로 위에 놓

입 -

를 포함하는, 방법.

발명의 설명

배경 기술

[0001] 현대의 집적 칩은 반도체 기판(예컨대, 실리콘) 상에 형성된 수백만 또는 수십억 개의 반도체 디바이스를 포함한다. 집적 칩(IC, integrated chip)은 IC의 애플리케이션에 따라 많은 상이한 타입의 트랜지스터 디바이스를 사용할 수 있다. 최근 수 년간, 셀룰러 및 무선 주파수(RF, radio frequency) 디바이스의 시장이 증가함에 따라, 고전압 트랜지스터 디바이스의 사용이 크게 증가했다. 예를 들어, 고전압 트랜지스터 디바이스는 높은 항복 전압(high breakdown voltage)(예컨대, 약 50V 초과) 및 고주파를 핸들링할 수 있는 능력으로 인해 RF 전송/수신 체인의 전력 증폭기에 종종 사용되고 있다.

도면의 간단한 설명

[0002] 본 개시 내용의 양태는 첨부 도면과 함께 읽게 되면 이하의 상세한 설명으로부터 최상으로 이해된다. 주목할 것은 본 산업의 표준 관행에 따라 다양한 피쳐들(features)이 축척대로 도시되는 것은 아니라는 것이다. 실제로, 다양한 피쳐들의 치수는 설명의 명확성을 위해 임의로 증가 또는 감소될 수 있다.

도 1은 매립된 격리 구조물 위의 필드 플레이트를 갖는 고전압 트랜지스터 디바이스의 일부 실시예의 단면도를 예시하고 있다.

도 2는 도 1의 고전압 트랜지스터의 일부 대안적인 실시예의 단면도를 예시하고 있다.

도 3a 내지 도 3f는 매립된 격리 구조물 위에 놓인 필드 플레이트를 갖는 고전압 측방 확산 금속 산화물 반도체 전계 효과 트랜지스터(MOSFET, metal-oxide semiconductor field-effect transistor)(LDMOS, laterally diffused MOS) 디바이스를 포함하는 집적 칩의 다양한 대안적인 실시예의 단면도를 예시하고 있다.

도 4 내지 도 11은 매립된 격리 구조물 위의 필드 플레이트를 갖는 고전압 LDMOS 디바이스를 포함하는 집적 칩을 형성하는 방법의 일부 실시예의 단면도를 예시하고 있다.

도 12는 매립된 격리 구조물 위의 필드 플레이트를 갖는 고전압 LDMOS 디바이스를 형성하는 방법의 일부 실시예를 예시하는 플로우차트 형식의 방법론을 예시하고 있다.

발명을 실시하기 위한 구체적인 내용

[0003] 본 개시 내용은 본 개시 내용의 상이한 피쳐들을 구현하기 위한 많은 상이한 실시예 또는 예를 제공한다. 이하에서는 본 개시 내용을 단순화하기 위해 특정 예의 컴포넌트 및 배열체가 설명된다. 이들은 물론 예에 불과할 뿐이며 제한하려는 것이 아니다. 예를 들어, 이하의 설명에서 제2 피쳐 위에 또는 제2 피쳐 상에 제1 피쳐를 형성하는 것은 제1 피쳐 및 제2 피쳐가 직접 접촉하여 형성되는 실시예를 포함할 수 있고, 또한 제1 피쳐 및 제2 피쳐가 직접 접촉하지 않을 수 있도록 제1 피쳐와 제2 피쳐 사이에 추가적인 피쳐들이 형성될 수 있는 실시예를 포함할 수 있다. 또한, 본 개시 내용은 다양한 예에서 참조 번호 및/또는 문자를 반복할 수 있다. 이러한 반복은 단순성 및 명확성을 위한 것이며, 그 자체가 논의된 다양한 실시예 및/또는 구성 간의 관계를 나타내는 것은 아니다.

[0004] 또한, "바로 아래", "아래", "하부", "위", "상부" 등과 같은 공간 관련 용어는 설명의 편의상 본원에서 하나의 요소 또는 피쳐의 다른 요소(들) 또는 피쳐(들)에 대한 관계를 도면에 예시한 바와 같이 설명하기 위해 사용될 수 있다. 이들 공간 관련 용어는 도면에 도시된 방향 외에도 사용 중인 또는 동작 중인 디바이스의 다양한 방향을 포함하도록 의도된다. 장치는 다른 방식으로 배향될 수 있고(90도 또는 다른 방향으로 회전될 수 있고), 그에 따라 본원에서 사용되는 공간 관련 서술자가 마찬가지로 해석될 수 있다.

[0005] 고전압 트랜지스터는 종종 필드 플레이트를 갖도록 구성된다. 필드 플레이트는, 게이트 전극에 의해 생성된 전계를 조작(예컨대, 피크 전계를 감소)함으로써 디바이스의 성능을 향상시키기 위해 고전압 트랜지스터 디바이스의 드리프트 영역 위에 배치되는 도전성 요소이다. 게이트 전극에 의해 생성된 전계를 조작함으로써, 고전압 트랜지스터 디바이스는 보다 높은 항복 전압을 달성할 수 있다. 예를 들어, 측방 확산 금속 산화물 반도체(LDMOS, laterally diffused metal oxide semiconductor) 트랜지스터 디바이스는 종종 채널 영역으로부터 채널 영역과

드레인 영역 사이에 배치된 인접한 드리프트 영역까지 연장되는 필드 플레이트를 포함한다.

- [0006] 단일 기판 위에/상에 배치된 고전압 트랜지스터 디바이스의 수를 증가시키기 위한 노력으로, 게이트 전극과 드레인 영역 사이의 거리를 감소시켜, 드리프트 영역의 측방 거리를 감소시키게 된다. 따라서, 많은 고전압 트랜지스터 디바이스들이 단일 기판 위에 서로 측방으로 인접하여 배치될 수 있다. 또한, 드리프트 영역의 측방 거리를 감소시킴으로써, 고전압 트랜지스터 디바이스의 저항을 감소시킬 수 있다. 그러나, 드리프트 영역의 측방 거리가 감소함에 따라, 게이트 전극에 의해 생성된 전계는 드레인 영역에 인접한 필드 플레이트의 에지에 축적될 수 있다. 이러한 전계의 축적은 기판의 결정 격자를 손상(예컨대, 기판의 크랙)시켜, 디바이스의 고장을 유발할 수 있고 및/또는 드리프트 영역의 저항을 실질적으로 증가시킬 수 있다. 또한, 필드 플레이트의 에지에서 전계의 축적은 소스 영역으로부터 드레인 영역으로의 전하 캐리어(예컨대, 전자)의 전달에 악영향을 줄 수 있어, 고전압 트랜지스터 디바이스의 성능을 감소시킬 수 있다.
- [0007] 따라서, 본 개시 내용은 드리프트 영역 내에 배치된 매립된 격리 구조물 위의 필드 플레이트를 갖는 고전압 트랜지스터 디바이스에 관한 것이다. 일부 실시예에서, 고전압 트랜지스터 디바이스는 기판 내에 위치한 소스 영역과 드레인 영역 사이에서의 기판 위에 놓인 게이트 전극을 갖는다. 콘택트 에칭 정지층(CESL, contact etch stop layer)은 게이트 전극의 측벽으로부터 게이트 전극과 드레인 영역 사이에 배열된 드리프트 영역까지 연장된다. 필드 플레이트는 기판 위에 놓인 제1 층간 유전체(ILD, inter-level dielectric)층 내에 위치된다. 필드 플레이트는 게이트 전극의 측벽과 드레인 영역 사이에서 측방으로 배치되고, CESL로부터 제1 ILD층의 상부 표면까지 수직으로 연장된다. 또한, 매립된 격리 구조물은 게이트 전극의 측벽과 드레인 영역 사이의 측방의 드리프트 영역 내에 배치된다. 필드 플레이트의 에지는 매립된 격리 구조물 바로 위에 놓이며, 그에 따라 그 에지는 CESL에 의해 매립된 격리 구조물과 분리된다. 고전압 트랜지스터 디바이스의 동작 동안, 게이트 전극에 의해 생성된 전계는 매립된 격리 구조물 위에 놓인 필드 플레이트의 에지에 축적될 수 있다. 매립된 격리 구조물은 전계의 축적으로 인한 기판의 손상을 완화 및/또는 방지하도록 구성된다. 또한, 매립된 격리 구조물은 축적된 전계가 소스 영역으로부터 드레인 영역으로의 전하 캐리어(예컨대, 전자)의 전달에 악영향을 미치는 것을 완화 및/또는 방지할 수 있다. 따라서, 기판 위에/상에 배치될 수 있는 고전압 트랜지스터 디바이스의 수를 증가시키면서, 고전압 트랜지스터 디바이스의 안정성, 내구성, 및/또는 성능이 향상된다.
- [0008] 도 1은 기판(102) 내에 배치된 격리 구조물(132) 위의 필드 플레이트(124)를 갖는 고전압 트랜지스터 디바이스(100)의 일부 실시예의 단면도를 예시하고 있다.
- [0009] 고전압 트랜지스터 디바이스(100)는 기판(102) 내에 배치된 소스 영역(104) 및 드레인 영역(106)을 포함한다. 기판(102)은 제1 도핑 타입(예컨대, p 타입)을 갖는 반면, 소스 및 드레인 영역(104, 106)은 각각 기판(102)보다 높은 도핑 농도를 갖는 제2 도핑 타입(예컨대, n 타입)을 갖는다. 일부 실시예에서, 제1 도핑 타입은 p 타입일 수 있고 제2 도핑 타입은 n 타입일 수 있거나, 그 반대일 수 있다.
- [0010] 게이트 구조물(116)은 소스 영역(104)과 드레인 영역(106) 사이에서 측방으로 배열된 포지션의 기판(102) 위에 놓인다. 게이트 구조물(116)은 게이트 유전체층(108)에 의해 기판(102)으로부터 분리된 게이트 전극(110)을 포함한다. 바이어스 전압을 수신하면, 게이트 전극(110)은 소스 영역(104)과 드레인 영역(106) 사이에 측방으로 배치된 채널 영역(112) 내에서 전하 캐리어(예컨대, 전자)의 이동을 제어하는 전계를 생성하도록 구성된다. 예를 들어, 동작 동안, 게이트 소스 전압은 소스 영역(104)에 대해 게이트 전극(110)에 선택적으로 인가될 수 있고, 이로써 채널 영역(112) 내에 도전성 채널을 형성할 수 있다. 도전성 채널을 형성하도록 게이트 소스 전압이 인가되는 동안, 소스 영역(104)과 드레인 영역(106) 사이에서 전하 캐리어(예컨대, 화살표(105)로 도시됨)를 이동시키기 위해 드레인 대 소스 전압(drain to source voltage)이 인가된다. 채널 영역(112)은 소스 영역(104)으로부터 인접한 드리프트 영역(114)(또는 "드레인 연장 영역")까지 측방으로 연장된다. 드리프트 영역(114)은 비교적 낮은 도핑 농도를 갖는 제2 도핑 타입(예컨대, n 타입)을 포함하며, 이는 높은 동작 전압에서 더 높은 저항을 제공한다. 게이트 구조물(116)은 채널 영역(112) 위에 배치된다. 일부 실시예에서, 게이트 구조물(116)은 채널 영역(112) 위에서부터 드리프트 영역(114)의 일부 위에 놓이는 포지션까지 연장될 수 있다.
- [0011] 에칭 정지층(122)은 게이트 구조물(116), 및 기판(102)의 상부 표면 위에 배치된다. 에칭 정지층(122)은 게이트 전극(110)의 상부 표면으로부터 게이트 전극(110)의 측벽 및 게이트 유전체층(108)의 측벽을 따라 기판(102)의 상부 표면까지 연장된다. 제1 층간 유전체(ILD)층(118)은 기판(102) 위에 놓인다. 하나 이상의 도전성 구조물이 제1 ILD층(118) 내에 배치된다. 일부 실시예에서, 하나 이상의 도전성 구조물은 소스 영역(104), 드레인 영역(106), 및/또는 게이트 전극(110) 사이의 수직 접속(vertical connection)을 제공하도록 구성된 복수의 콘택트(120), 및 콘택트(120) 위에 놓이고 제2 ILD층(도시되지 않음) 내에 배치된 복수의 백 엔드 오브 더 라인(BEOL,

back-end-of-the-line) 도전성 와이어(도시되지 않음)를 포함한다.

- [0012] 하나 이상의 도전성 구조물은 드레인 영역(106)과 게이트 전극(110) 사이의 측방의 포지션에서 제1 ILD층(118) 내에 배치된 필드 플레이트(124)를 더 포함할 수 있다. 일부 실시예에서, 필드 플레이트(124)는 제1 필드 플레이트 구조물(126) 및 제2 필드 플레이트 구조물(128)을 포함한다. 추가적인 실시예에서, 필드 플레이트(124)는 게이트 전극(110)과는 다른 금속 물질을 포함한다. 다른 추가적인 실시예에서, 필드 플레이트(124)는 콘택트(120)와 동일한 금속 물질을 포함한다. 필드 플레이트(124)는 에칭 정지층(122) 위에 배치되고, 여기서 에칭 정지층(122)은 드리프트 영역(114) 및 게이트 전극(110)으로부터 필드 플레이트(124)를 분리하도록 구성된다. 일부 실시예에서, 필드 플레이트(124)는 고전압 트랜지스터 디바이스(100)의 항복 전압을 낮추고 및/또는 드리프트 영역(114)의 저항을 낮추도록 구성될 수 있다.
- [0013] 또한, 격리 구조물(132)은 드리프트 영역(114) 내에 배치되고, 그에 따라 격리 구조물(132)의 상부 표면은 기판(102)의 상부 표면과 정렬하게 된다. 일부 실시예에서, 격리 구조물(132)은 기판(102)의 물질과는 다른 유전체 물질(예컨대, 실리콘 이산화물, 실리콘 질화물, 실리콘 탄화물, 다른 적합한 유전체 물질, 또는 이들의 임의의 조합)을 포함한다. 일부 실시예에서, 격리 구조물(132)은 제1 물질(예컨대, 실리콘 이산화물)을 포함하거나 제1 물질(예컨대, 실리콘 이산화물)이고, 에칭 정지층(122)은 상이한 제2 물질(예컨대, 실리콘 탄화물, 실리콘 질화물 등)을 포함하거나 상이한 제2 물질(예컨대, 실리콘 탄화물, 실리콘 질화물 등)이다. 필드 플레이트(124)는 격리 구조물(132) 위에 놓이고 에칭 정지층(122)에 의해 격리 구조물(132)로부터 분리된다. 필드 플레이트(124)의 에지(124e)는 격리 구조물(132) 바로 위에 놓이며, 에지(124e)는 드레인 영역(106)으로부터 제1 거리만큼 분리된다. 일부 실시예에서, 제1 거리는 필드 플레이트(124)와 드레인 영역(106) 사이의 최단 거리이다. 추가적인 실시예에서, 제2 필드 플레이트 구조물(128)의 하부 표면은 격리 구조물(132)의 외측 측벽 사이에서 측방으로 이격되어 있다.
- [0014] 동작 동안, 필드 플레이트(124)는 게이트 전극(110)에 의해 생성된 전계에 작용하도록 구성된다. 필드 플레이트(124)는 드리프트 영역(114)에서 게이트 전극(110)에 의해 생성된 전계의 분포를 변경하도록 구성될 수 있다. 이것은 부분적으로 고전압 트랜지스터 디바이스(100)의 항복 전압 성능을 향상시킨다. 일부 실시예에서, 드리프트 영역(114)의 측방 거리(lateral distance)(Ld)는 기판(102) 내에/위에 배치될 수 있는 고전압 트랜지스터 디바이스의 수를 증가시키기 위해 감소된다. 이러한 실시예에서, 드리프트 영역(114)의 측방 거리(Ld)가 감소함에 따라, 게이트 전극(110)에 의해 생성된 전계는 필드 플레이트(124)의 에지(124e)에 축적될 수 있다. 이러한 축적은 전자가 도전성 바디의 외측 표면 상의 에지/코너 근처에 모이는 경향에 기인할 수 있고 및/또는 에지(124e)가 드레인 영역(106)에 대해 필드 플레이트(124)의 최근접 부분이기 때문일 수 있다. 격리 구조물(132)은 기판(102)의 물질과는 다른 유전체 물질을 포함하기 때문에, 격리 구조물(132)은 필드 플레이트(124)의 에지(124e)에 및/또는 그 근처에 축적되는 높은 전계에 의해 악영향을 받지 않을 수 있다. 따라서, 드리프트 영역(114)의 측방 거리(Ld)는 기판(102)의 결정 격자에 대한 손상을 방지하면서 감소될 수 있다. 이것은 부분적으로 고전압 트랜지스터 디바이스(100)의 신뢰성 및 내구성을 증가시킨다.
- [0015] 추가적인 실시예에서, 고전압 트랜지스터 디바이스(100)의 동작 동안, 전류는 소스 영역(104)과 드레인 영역(106) 사이의 최단 경로(예컨대, 화살표(105)로 예시됨)를 따라 흐를 수 있다. 격리 구조물(132)은 기판(102)의 물질과는 상이한 유전체 물질을 포함하기 때문에, 전류는 격리 구조물(132) 주위로 이동할 것이다. 따라서, 전류는 격리 구조물(132)의 측벽(132sw) 주위로 흐를 수 있고 격리 구조물(132)의 하부 표면(132ls)에 평행하게 흐를 수 있다. 이는 결국 드리프트 영역(114)의 저항을 증가시킬 수 있다. 그러나, 필드 플레이트(124)는 드리프트 영역(114)의 측방 거리(Ld)를 감소시키도록 구성되며, 그에 따라 드리프트 영역(114)의 저항은 감소하게 된다. 일부 실시예에서, 격리 구조물(132)로 인한 드리프트 영역(114)의 저항 증가는 필드 플레이트(124)로 인한 드리프트 영역(114)의 저항 감소에 의해 제거 및/또는 완화될 수 있다. 또한, 일부 실시예에서, 격리 구조물(132) 주위로 이동하는 전류로 인해, 필드 플레이트(124)의 에지(124e)에서의 전계의 축적은 소스 영역(104)과 드레인 영역(106) 사이의 전류의 경로(예컨대, 화살표(105)로 표시됨) 및/또는 흐름에 악영향을 끼치지 않을 수 있다. 이는 결국 고전압 트랜지스터 디바이스(100)의 항복 전압을 더 증가시킬 수 있다.
- [0016] 도 2는 격리 구조물(132) 위에 놓인 필드 플레이트(124)를 갖는 고전압 측방 확산 MOSFET (LDMOS) 디바이스(200)를 포함하는 고전압 트랜지스터 디바이스의 일부 추가 실시예의 단면도를 예시하고 있다.
- [0017] LDMOS 디바이스(200)는 기판(102) 내에 배치된 소스 영역(104) 및 드레인 영역(106)을 포함한다. 일부 실시예에서, 기판(102)은, 예를 들어, 벌크 기판(bulk substrate)(예컨대, 벌크 실리콘 기판), 실리콘 온 인슐레이터(SOI, silicon-on-insulator) 기판, 또는 일부의 다른 적합한 기판일 수 있다. 기판(102)은 제1 도핑 타입(예

컨대, p 타입)을 갖는 반면, 소스 영역(104) 및 드레인 영역(106)은 각각 제1 도핑 타입과는 상이한 제2 도핑 타입(예컨대, n 타입)을 갖는 고농도 도핑 영역(highly doped regions)을 포함한다. 일부 실시예에서, 제1 도핑 타입은 p 타입일 수 있고 제2 도핑 타입은 n 타입일 수 있거나, 그 반대일 수 있다. 일부 실시예에서, 소스 영역(104) 및/또는 드레인 영역(106)은 각각 약 2.5×10^{17} 원자/cm³, 2.88×10^{17} 원자/cm³, 또는 5.5×10^{17} 원자/cm³의 도핑 농도, 또는 약 10^{17} 내지 10^{19} 원자/cm³의 범위 내의 도핑 농도, 또는 약 10^{19} 보다 큰 도핑 농도, 또는 일부의 다른 적합한 도핑 농도를 가질 수 있다. 일부 실시예에서, 제1 도핑 타입의 p 타입 도펀트는, 예를 들어, 붕소, 디플루오로보론(difluoroboron)(예컨대, BF₂), 인듐, 일부의 다른 적합한 p 타입 도펀트, 또는 이들의 임의의 조합일 수 있거나 또는 이를 포함할 수 있다. 다양한 실시예에서, 제2 도핑 타입의 n 타입 도펀트는, 예를 들어, 인, 비소, 안티몬, 일부의 다른 적합한 n 타입 도펀트, 또는 이들의 임의의 조합일 수 있거나 이를 포함할 수 있다.

[0018] 드레인 영역(106)은 기판(102) 내에 배열된 드리프트 영역(114)에 인접하다. 드리프트 영역(114)은 비교적 낮은 도핑 농도를 갖는 제2 도핑 타입(예컨대, n 타입)을 포함하며, 이는 LDMOS 디바이스(200)가 고전압에서 동작될 때 높은 저항을 제공하게 된다. 일부 실시예에서, 드리프트 영역(114)은 약 2.0×10^{14} 원자/cm³, 2.5×10^{14} 원자/cm³, 3.0×10^{14} 원자/cm³, 또는 5.7×10^{14} 원자/cm³인 도핑 농도, 또는 약 10^{18} 내지 10^{20} 원자/cm³ 범위 내의 도핑 농도를 가질 수 있다. 또한, 얇은 트렌치 격리(STI, shallow trench isolation) 구조물(202)은 기판(102)의 상단 표면으로부터 기판(102)의 상단 표면 아래의 지점까지 연장된다. 드레인 영역(106)은 STI 구조물(202)에 인접할 수 있다. STI 구조물(202)은 LDMOS 디바이스(200)를 인접한 반도체 디바이스(도시되지 않음)로부터 전기적으로 격리시키도록 구성된다. 일부 실시예에서, STI 구조물(202)은 기판(102)의 반도체 기판 물질과는 상이한 유전체 물질을 포함한다. 추가적인 실시예에서, 유전체 물질은, 예를 들어, 실리콘 이산화물, 실리콘 질화물, 실리콘 탄화물, 실리콘 산화탄화물, 실리콘 산화질화물, 다른 적합한 유전체 물질, 또는 이들의 임의의 조합일 수 있거나 이를 포함할 수 있다. 다른 추가적인 실시예에서, 반도체 기판 물질은, 예를 들어, 실리콘, 단결정 실리콘, 또는 일부의 다른 적합한 반도체 기판 물질일 수 있거나 이를 포함할 수 있다.

[0019] 게이트 구조물(116)은 소스 영역(104)과 드레인 영역(106) 사이에서 측방으로 배열된 포지션의 기판(102) 위에 배치된다. 일부 실시예에서, 게이트 구조물(116)은 채널 영역(112) 위에서부터 드리프트 영역(114)의 일부 위에 놓이는 포지션까지 측방으로 연장될 수 있다. 게이트 구조물(116)은 게이트 유전체층(108)에 의해 기판(102)으로부터 분리된 게이트 전극(110)을 포함한다. 일부 실시예에서, 게이트 유전체층(108)은, 예를 들어, 실리콘 이산화물, 하이 k (high-k) 유전체 물질 동일 수 있거나 이를 포함할 수 있다. 본원에서 사용되는 바와 같이, 하이 k 유전체 물질은 유전 상수가 3.9보다 큰 유전체 물질이다. 일부 실시예에서, 게이트 전극(110)은 폴리실리콘 및/또는 금속 게이트 물질(예컨대, 텅스텐, 티타늄, 탄탈륨, 및/또는 알루미늄)을 포함한다.

[0020] 에칭 정지층(122)은 게이트 전극(110)의 상부 표면, 게이트 전극(110)의 측벽, 게이트 유전체층(108)의 측벽, 및 기판(102)의 상단 표면을 따라 연장된다. 일부 실시예에서, 에칭 정지층(122)은 게이트 전극(110)으로부터, 드리프트 영역(114)을 넘어, 필드 플레이트(124)의 측벽 너머의 지점까지 연속적으로 연장된다. 추가적인 실시예에서, 에칭 정지층(122)은, 예를 들어, 실리콘 질화물, 실리콘 탄화물, 또는 다른 적합한 물질 동일 수 있거나 이를 포함할 수 있다. 또한, 제1 층간 유전체(ILD)층(118)은 기판(102) 및 게이트 구조물(116) 위에 놓인다. 복수의 콘택트(120)는 기판(102) 위에 놓이고 제1 ILD층(118)을 통해 연장된다. 일부 실시예에서, 제1 ILD층(118)은, 예를 들어, 실리콘 이산화물, 로우 k (low-k) 유전체 물질, 극도의 로우 k 유전체 물질, 다른 적합한 유전체 물질, 또는 이들의 임의의 조합일 수 있거나 이를 포함할 수 있다. 추가적인 실시예에서, 복수의 콘택트(120)는, 예를 들어, 알루미늄, 구리, 텅스텐, 티타늄, 다른 적합한 도전성 물질, 또는 이들의 임의의 조합일 수 있거나 이를 포함할 수 있다.

[0021] 필드 플레이트(124)는 에칭 정지층(122)으로부터 제1 ILD층(118)의 상단 표면까지 수직으로 연장된다. 일부 실시예에서, 필드 플레이트(124)의 상단 표면은 복수의 콘택트(120)의 상단 표면과 정렬된다. 추가적인 실시예에서, 필드 플레이트(124)는 제1 필드 플레이트 구조물(126) 및 제2 필드 플레이트 구조물(128)을 포함할 수 있다. 일부 실시예에서, 제1 및 제2 필드 플레이트 구조물(126, 128)은 동일한 물질일 수 있거나 이를 포함할 수 있고 및/또는 0이 아닌 거리만큼 서로로부터 측방으로 분리되어 있다. 제1 필드 플레이트 구조물(126)은 에칭 정지층(122)의 측벽과 직접 접촉할 수 있다. 필드 플레이트(124)의 측벽은 제1 ILD층(118)에 의해 둘러싸여 있다. 일부 실시예에서, 필드 플레이트(124)는 콘택트(120)와 동일한 물질을 포함할 수 있다. 다양한 실시예에서, 제1 및/또는 제2 필드 플레이트 구조물(126, 128)은, 예를 들어, 알루미늄, 구리, 텅스텐, 티타늄, 다른 적

합한 도전성 물질, 또는 이들의 임의의 조합일 수 있거나 이를 포함할 수 있다.

[0022] 격리 구조물(132)은 필드 플레이트(124) 바로 아래에 배치되고 드리프트 영역(114) 내에 배치된다. 격리 구조물(132)은 기판(102)의 반도체 기판 물질과는 상이한 유전체 물질일 수 있거나 이를 포함할 수 있다. 일부 실시예에서, 격리 구조물(132)은 STI 구조물(202)과 동일한 유전체 물질을 포함한다. 추가적인 실시예에서, 유전체 물질은, 예를 들어, 실리콘 이산화물, 실리콘 질화물, 실리콘 탄화물, 실리콘 산화질화물, 실리콘 산화탄화물, 일부의 다른 적합한 유전체 물질, 또는 이들의 임의의 조합일 수 있거나 이를 포함할 수 있다. 격리 구조물(132)은 제2 필드 플레이트 구조물(128)의 바로 아래에 놓이며, 그에 따라 격리 구조물(132)은 에칭 정지층(122)에 의해 제2 필드 플레이트 구조물(128)로부터 분리된다. 일부 실시예에서, 격리 구조물(132)의 외측 측벽은 에칭 정지층(122)의 외측 측벽을 지나 측방으로 연장된다. 격리 구조물(132)은 필드 플레이트(124)의 에지에서의 전계의 축적으로 인한 기판(102)의 손상을 방지 및/또는 완화시키도록 구성된다. 추가적인 실시예에서, 격리 구조물(132)의 외측 측벽은 경사져 있다.

[0023] 도 3a는, 각각이 필드 플레이트(124)를 가지며 격리 구조물(132) 위에 놓이는 제1 측방 확산 금속 산화물 반도체 전계 효과 트랜지스터(MOSFET)(LDMOS) 디바이스(316) 및 제2 LDMOS 디바이스(318)를 포함하는 집적 칩(300a)의 일부 실시예의 단면도를 예시하고 있다.

[0024] 제1 LDMOS 디바이스(316) 및 제2 LDMOS 디바이스(318)는 서로에 대해 측방으로 인접하게 배치되고 드레인 영역(106)을 공유한다. 또한, 제1 및 제2 LDMOS 디바이스(316, 318)는 각각 게이트 구조물(116), 및 게이트 구조물(116)의 측벽을 측방으로 둘러싸는 측벽 스페이서 구조물(314)을 포함한다. 일부 실시예에서, 측벽 스페이서 구조물(314)은, 예를 들어, 실리콘 질화물, 실리콘 탄화물, 다른 적합한 물질 또는 이들의 임의의 조합일 수 있거나 이를 포함할 수 있다. 게이트 구조물(116)은 기판(102) 위에 놓인 게이트 유전체층(108) 위에 놓인 게이트 전극(110)을 포함한다. 에칭 정지층(122)은 게이트 전극(110)의 상부 표면으로부터, 측벽 스페이서 구조물(314)의 측벽을 따라, 기판(102)의 상부 표면까지 연장된다. 일부 실시예에서, 기판(102)은, 예를 들어, 벌크 기판(예컨대, 벌크 실리콘 기판), 실리콘 온 인슐레이터(SOI) 기판, 또는 일부의 다른 적합한 기판일 수 있고 및/또는 제1 도핑 타입(예컨대, p 타입)을 포함할 수 있다. 콘택트 영역(308)은 기판(102) 내에 배치되고, 소스 영역(104)과 인접하다. 드레인 영역(106) 및 소스 영역(104)은 각각 제1 도핑 타입에 반대되는 제2 도핑 타입(예컨대, n 타입)을 포함한다. 또한, 콘택트 영역(308)은 상부의 콘택트(120)에 대한 기판(102)의 옴릭 접속(ohmic connection)을 제공하는 제1 도핑 타입(예컨대, p 타입)을 포함한다.

[0025] 일부 실시예에서, 콘택트 영역(308)은 대략 10^{19} 원자/cm³ 이상인 p 타입 도핑 농도를 가질 수 있다. 콘택트 영역(308)은 바디 영역(306) 내에 배치된다. 바디 영역(306)은 기판(102)의 것보다 높은 도핑 농도를 갖는 제1 도핑 타입(예컨대, p 타입)을 갖는다. 예를 들어, 기판(102)은 약 10^{14} 내지 10^{16} 원자/cm³의 범위 내에 있는 도핑 농도를 가질 수 있지만, 바디 영역(306)은 대략 10^{16} 내지 10^{18} 원자/cm³의 범위 내에 있는 도핑 농도를 가질 수 있다. 추가적인 실시예에서, 소스 영역(104)은 얇은 웰 영역(shallow well region)(310) 내에 배치되고, 얇은 웰 영역(310)은 제1 도핑 타입(예컨대, p 타입)을 포함할 수 있고 및/또는 약 10^{16} 내지 10^{19} 원자/cm³의 범위 내의 도핑 농도를 가질 수 있다. 얇은 웰 영역(310)은 소스 영역(104) 및/또는 드리프트 영역(114)과 인접하다. 일부 실시예에서, 얇은 웰 영역(310)은, 게이트 전극(110), 소스 영역(104), 및/또는 드레인 영역(106)에 적합한 바이어스 상태를 인가하면, 소스 영역(104)과 드리프트 영역(114) 사이에 도전성 채널이 형성되는 채널 영역으로서 구성될 수 있다.

[0026] 드리프트 영역(114)은 소스 영역(104)과 드레인 영역(106) 사이에 측방으로 배치된다. 드리프트 영역(114)은 제2 도핑 타입(예컨대, n 타입)을 포함할 수 있고 및/또는 약 10^{18} 내지 10^{20} 원자/cm³의 범위 내의 도핑 농도를 가질 수 있다. 콘택트 영역(114)은 고전압 웰 영역(304) 내에 배치된다. 고전압 웰 영역(304)은 약 10^{14} 내지 10^{16} 원자/cm³의 범위 내의 도핑 농도를 갖는 제2 도핑 타입(예컨대, n 타입)을 포함할 수 있다. 일부 실시예에서, 드리프트 영역(114)은 고전압 웰 영역(304)의 일부이므로, 드리프트 영역(114)은 생략되고(도시되지 않음) 고전압 웰 영역(304)은 소스 영역(104)과 드레인 영역(106) 사이에서 측방으로 배치되며, 드리프트 영역으로 기능한다. 얇은 웰 영역(312)은 드레인 영역(106) 주위로 배치되고 제1 LDMOS 디바이스(316)와 제2 LDMOS 디바이스(318) 사이에서 측방으로 이격되어 있다. 얇은 웰 영역(312)은, 예를 들어, 제2 도핑 타입(예컨대, n 타입)을 포함할 수 있고 약 10^{14} 내지 10^{16} 원자/cm³의 범위 내의 도핑 농도, 또는 다른 적합한 도핑 농도를 가질 수 있다. 일부 실시예에서, 드리프트 영역(114)은 얇은 웰 영역(310)으로부터 드레인 영역(106)까지 연속적으로 측

방으로 연장되므로, 드리프트 영역(114)은 드레인 영역(106)(도시되지 않음)과 인접하게 된다.

[0027] 제1 도핑 타입(예컨대, p 타입)으로 구성된 깊은 웰 영역(302)은 기판(102) 내에 배치되고 고전압 웰 영역(304) 바로 아래에 배치된다. 일부 실시예에서, 깊은 웰 영역(302)은, 예를 들어, 약 10^{14} 내지 10^{16} 원자/cm³의 범위 내에 있는 도핑 농도, 또는 다른 적합한 도핑 농도를 가질 수 있다. 깊은 웰 영역(302)은 고전압 웰 영역(304) 및/또는 드리프트 영역(114) 내에 공핍 영역의 형성을 향상시키도록 구성될 수 있으며, 이로써 기판(102)의 표면 상의 전계의 크기를 감소시킬 수 있다. 이것은 부분적으로 제1 및/또는 제2 LDMOS 디바이스(316, 318)에 고전압의 인가를 가능하게 한다. 격리 구조물(132)은 기판(102) 내에 배치되고 드리프트 영역(114) 및 얇은 웰 영역(312)과 인접하다. 일부 실시예에서, 격리 구조물(132)은 고전압 웰 영역(304)(도시되지 않음)과 인접하다. 격리 구조물(132)은 기판(102)과는 상이한 물질을 포함하고 드레인 영역(106)과 소스 영역(104) 사이에서 측방으로 배치된다.

[0028] 또한, 제1 층간 유전체(ILD)층(118)은 기판(102)의 상단 표면 위에 배치된다. 복수의 콘택트(120)는 제1 ILD층(118) 내에 그리고 기판(102)의 도핑 영역 위에 배치되고 및/또는 기판(102)의 상단 표면 위에 배치된 도전성 구조물 위에 놓인다. 일부 실시예에서, 규화물층(도시되지 않음)은 콘택트(120)와 콘택트(120) 바로 아래에 있는 기판(102)의 도핑된 영역 사이에 배치되므로, 규화물층은 콘택트(120)와 기판(102)의 도핑된 영역 사이의 전기적 접촉을 증가시키도록 구성된다. 필드 플레이트(124)는 제1 ILD층(118)의 상단 표면으로부터 에칭 정지층(122)의 상부 표면까지 연속적으로 연장되는 제1 필드 플레이트 구조물(126)을 포함한다. 일부 실시예에서, 제1 필드 플레이트 구조물(126)의 제1 하부 에지는 격리 구조물(132) 바로 위에 놓이며, 제1 필드 플레이트 구조물(126)의 제2 하부 에지는 제1 하부 에지의 반대측에 있으며, 격리 구조물(132)로부터 0이 아닌 거리만큼 측방으로 오프셋된다. 추가적인 실시예에서, 제1 필드 플레이트 구조물(126)의 제1 하부 에지는 필드 플레이트(124)와 드레인 영역(106) 사이의 최단 거리가 되는 거리만큼 드레인 영역(106)으로부터 분리된다.

[0029] 도 3b는 도 3a의 집적 칩(300a)의 일부 대안적인 실시예에 따른 집적 칩(300b)의 단면도를 예시하고 있다.

[0030] 일부 실시예에서, 필드 플레이트(124)는 제1 필드 플레이트 구조물(126) 및 제2 필드 플레이트 구조물(128)을 포함한다. 일부 실시예에서, 제2 필드 플레이트 구조물(128)은 격리 구조물(132)의 외측 측벽 사이에서 측방으로 이격되어 있다. 추가적인 실시예에서, 제1 필드 플레이트 구조물(126)의 제1 에지는 격리 구조물(132) 위에 놓이며, 제1 필드 플레이트 구조물(126)의 제2 에지는 격리 구조물(132)로부터 0이 아닌 거리만큼 측방으로 오프셋된다.

[0031] 도 3c는 도 3a의 집적 칩(300a)의 일부 대안적인 실시예에 따른 집적 칩(300c)의 단면도를 예시하고 있다.

[0032] 얇은 트렌치 격리(STI) 구조물(202)은 기판(102)의 상부 표면으로부터 기판(102)의 상부 표면 아래의 제1 지점까지 연장된다. 일부 실시예에서, STI 구조물(202)은 격리 구조물(132)과 동일한 물질을 포함한다. 추가적인 실시예에서, 격리 구조물(132)은 기판(102)의 상부 표면으로부터 기판(102)의 상부 표면 아래의 제2 지점까지 연장되며, 여기서 제1 지점은 제2 지점의 수직 아래에 있다. STI 구조물(202)은 제1 및/또는 제2 LDMOS 디바이스(316, 318)를 기판(102) 위에 및/또는 내부에 배치된 다른 반도체 디바이스로부터 전기적으로 격리시키도록 구성된다.

[0033] 도 3d는 도 3a의 집적 칩(300a)의 일부 대안적인 실시예에 따른 집적 칩(300d)의 단면도를 예시하고 있다.

[0034] 콘택트(120)는 각각 외측 도전성 라이너(320)에 의해 둘러싸인 내측 도전성 바디(322)를 포함한다. 일부 실시예에서, 내측 도전성 바디(322)는, 예를 들어, 텅스텐, 알루미늄, 구리, 다른 적합한 도전성 물질, 또는 이들의 임의의 조합일 수 있거나 이를 포함할 수 있다. 추가적인 실시예에서, 외측 도전성 라이너(320)는, 예를 들어, 티타늄, 탄탈륨, 티타늄 질화물, 탄탈륨 질화물, 다른 적합한 도전성 물질, 또는 이들의 임의의 조합일 수 있거나 이를 포함할 수 있다. 다양한 실시예에서, 필드 플레이트(124)의 제1 필드 플레이트 구조물(126)은 콘택트(120)로서 구성될 수 있고, 그에 따라 제1 필드 플레이트 구조물(126)은 내측 도전성 바디(322) 및 외측 도전성 라이너(320)를 포함하게 된다. 다른 추가적인 실시예에서, 필드 플레이트(124)가 제2 필드 플레이트 구조물(예컨대, 도 3b의 128)(도시되지 않음)을 포함하는 경우, 제2 필드 플레이트 구조물은 내측 도전성 바디(322) 및 외측 도전성 라이너(320)를 포함할 수 있다.

[0035] 도 3e는 도 3a의 집적 칩(300a)의 일부 대안적인 실시예에 따른 집적 칩(300e)의 단면도를 예시하고 있다.

[0036] 일부 실시예에서, 격리 구조물(132)의 하부 표면(1321s)은 드레인 영역(106), 소스 영역(104), 및/또는 콘택트 영역(308) 바로 아래에 수직으로 배치된다. 다양한 실시예에서, 이것은 제1 및/또는 제2 LDMOS 디바이스(316,

318)의 저항을 증가시키면서, 기관(102) 상의 필드 플레이트(124)의 에지에서 전체의 축적에 대한 악영향을 추가로 감소시킬 수 있다.

[0037] 도 3f는 도 3a의 집적 칩(300a)의 일부 대안적인 실시예에 따른 집적 칩(300f)의 단면도를 예시하고 있다.

[0038] 일부 실시예에서, 복수의 도전성 와이어(324)(예컨대, 알루미늄, 구리, 텅스텐, 티타늄, 탄탈륨 등을 포함함)는 콘택트(120) 위에 놓인다. 제2 ILD층(321)은 제1 ILD층(118) 위에 놓이고, 제3 ILD층(323)은 제2 ILD층(321) 위에 놓인다. 일부 실시예에서, 콘택트 영역(308), 소스 영역(104), 드레인 영역(106), 및 필드 플레이트(124)에 직접 전기적으로 결합된 콘택트(120) 위에 있는 도전성 와이어(324)는 제2 ILD층(321) 내에 배치된다. 추가적인 실시예에서, 게이트 전극(110)에 직접 전기적으로 결합된 콘택트(120) 위에 있는 도전성 와이어(324)는 제3 ILD층(323) 내에 배치되고, 제2 ILD층(321)으로부터 0이 아닌 거리만큼 수직으로 오프셋된다. 따라서, 각각의 콘택트(120)(예컨대, 소스 영역(104), 드레인 영역(106), 및/또는 콘택트 영역(308) 위에 각각 놓이는 콘택트(120))의 상단 표면 및 필드 플레이트(124)의 상단 표면은 제1의 실질적 직선의 수평 라인을 따라 제1 레벨 내에 배치되며, 여기서, 제2 레벨 내에 배치된 각각의 콘택트(예컨대, 게이트 전극(110) 위에 놓인 콘택트(120))의 상단 표면은 각각 제1의 실질적 직선의 수평 라인에 대해 수직으로 오프셋되는 제2의 실질적 직선의 수평 라인을 따라 배치된다.

[0039] 도 4 내지 도 11은 매립된 격리 구조물 위에 놓인 필드 플레이트를 갖는 고전압 LDMOS 디바이스를 포함하는 집적 칩을 형성하는 방법의 일부 실시예의 단면도(400-1100)를 예시하고 있다. 도 4 내지 도 11에 도시된 단면도(400-1100)가 방법을 참조하여 설명되었지만, 도 4 내지 도 11에 도시된 구조물은 이 방법에 제한되지는 않고 오히려 방법과는 별개로 독립적일 수 있음을 이해할 것이다. 도 4 내지 도 11은 일련의 동작으로 설명되지만, 이들 동작은 동작의 순서가 다른 실시예에서 변경될 수 있다는 점에서 제한되지 않으며, 개시된 방법은 다른 구조물에도 적용 가능하다는 것이 이해될 것이다. 다른 실시예에서, 예시되고 및/또는 기술된 일부 동작은 전체적으로 또는 부분적으로 생략될 수 있다.

[0040] 도 4의 단면도(400)에 도시된 바와 같이, 기관(102)이 제공되고, 기관(102)의 전면(front-side)(102f) 상에 격리 구조물(132)이 형성된다. 일부 실시예에서, 기관(102)은, 예를 들어, 반도체 기관 물질(예컨대, 실리콘), 벌크 기관(예컨대, 벌크 실리콘 기관), 실리콘 온 인슐레이터(SOI) 기관, 또는 일부의 다른 적합한 기관일 수 있다. 일부 실시예에서, 격리 구조물(132)을 형성하기 전에, 제1 도핑 타입(예컨대, p 타입)으로 기관(102)을 도핑하는 데 주입 공정(implant process)이 수행된다. 일부 실시예에서, 격리 구조물(132)을 형성하는 공정은: 기관의 전면(102f) 위에 마스크층(도시되지 않음)을 형성하는 단계; 마스크층에 따라 기관(102)을 선택적으로 에칭하여, 전면(102f)으로부터 전면(102f) 아래의 지점까지 연장되는 개구를 형성하는 단계; 개구를 유전체 물질로 (예를 들어, 화학적 기상 증착(CVD, chemical vapor deposition), 물리적 기상 증착(PVD, physical vapor deposition), 원자층 퇴적(ALD, atomic layer deposition), 열 산화(thermal oxidation) 등에 의해) 충전하는 단계; 및 제거 공정을 수행하여, 마스크층을 제거하는 단계를 포함할 수 있다. 일부 실시예에서, 개구를 유전체 물질로 충전한 후, 평탄화 공정(planarization process)(예컨대, 화학 기계적 평탄화(CMP, chemical mechanical planarization) 공정)이 유전체 물질에 대해 수행될 수 있고, 이로써 격리 구조물(132)을 한정할 수 있다. 다양한 실시예에서, 평탄화 공정은 기관의 전면(102f)에 도달한 후에도 지속되도록 유전체 물질에 대해 수행될 수 있고, 이로써 기관(102)의 적어도 일부를 제거할 수 있다. 다른 추가적인 실시예에서, 평탄화 공정은 기관(102)의 전면(102f)에 도달할 때까지 유전체 물질에 대해 수행될 수 있다. 일부 실시예에서, 유전체 물질은 반도체 기관 물질과는 상이하다. 추가적인 실시예에서, 유전체 물질은, 예를 들어, 실리콘 이산화물, 실리콘 질화물, 실리콘 탄화물, 일부의 다른 적합한 유전체 물질, 또는 이들의 임의의 조합일 수 있거나 이를 포함할 수 있다. 다른 추가적인 실시예에서, 기관(102)의 전면(102f) 상에는 얇은 트렌치 격리(STI) 구조물(예컨대, 도 3c의 202)(도시되지 않음)이 형성될 수 있다. 일부 실시예에서, STI 구조물은 격리 구조물(132)과 동시에 형성될 수 있고 및/또는 유전체 물질을 포함할 수 있다. 일부 실시예에서, 제1 도핑 타입의 p 타입 도펀트는, 예를 들어, 붕소, 디플루오로보론(예컨대, BF₂), 인듐, 일부의 다른 적합한 p 타입 도펀트, 또는 이들의 임의의 조합일 수 있거나 또는 이를 포함할 수 있다.

[0041] 도 5의 단면도(500)에 도시된 바와 같이, 기관(102)에 하나 이상의 도핑 영역을 형성하기 위해 기관(102)에 대해 하나 이상의 주입 공정이 수행될 수 있다. 일부 실시예에서, 하나 이상의 주입 공정은 깊은 웰 영역(302), 고전압 웰 영역(304), 바디 영역(306), 드리프트 영역(114), 및/또는 얇은 웰 영역(312)을 형성하는 데 수행될 수 있다. 일부 실시예에서, 깊은 웰 영역(302), 고전압 웰 영역(304), 얇은 웰 영역(312), 및/또는 드리프트 영역(114)은 각각 제1 도핑 타입과 반대되는 제2 도핑 타입(예컨대, n 타입)을 포함할 수 있다. 일부 실시예에서,

제1 도핑 타입은 p 타입이고 제2 도핑 타입은 n 타입이거나, 또는 그 반대이다. 다른 추가적인 실시예에서, 깊은 웰 영역(302) 및/또는 바디 영역(306)은 각각 제1 도핑 타입(예컨대, p 타입)을 포함할 수 있다. 일부 실시예에서, 하나 이상의 주입 공정은 각각: 기판(102)의 전면(102f) 위에 마스크층(도시되지 않음)을 형성하는 단계; 마스크층에 따라 도펀트를 기판(102)에 선택적으로 주입하는 단계; 및 제거 공정을 수행하여, 마스크층을 제거하는 단계를 포함할 수 있다. 일부 실시예에서, 제2 도핑 타입의 n 타입 도펀트는, 예를 들어, 인, 비소, 안티몬, 일부의 다른 적합한 n 타입 도펀트, 또는 이들의 임의의 조합일 수 있거나 이를 포함할 수 있다.

[0042] 일부 실시예에서, 드리프트 영역(114) 및/또는 고전압 웰 영역은 각각 약 2.0×10^{14} 원자/cm³, 2.5×10^{14} 원자/cm³, 3.0×10^{14} 원자/cm³, 또는 5.7×10^{14} 원자/cm³ 인 도핑 농도, 또는 약 10^{14} 내지 10^{15} 원자/cm³ 범위 내의 도핑 농도, 또는 일부의 다른 적합한 도핑 농도를 가질 수 있다. 일부 실시예에서, 깊은 웰 영역(302)은 약 1.5×10^{14} 원자/cm³ 또는 1.0×10^{15} 원자/cm³ 인 도핑 농도, 또는 약 10^{14} 내지 10^{16} 원자/cm³의 범위 내의 도핑 농도, 또는 일부의 다른 적합한 도핑 농도를 가질 수 있다. 일부 실시예에서, 얇은 웰 영역(312)은 약 7.0×10^{14} 원자/cm³, 1.0×10^{15} 원자/cm³, 또는 1.12×10^{15} 원자/cm³ 인 도핑 농도, 또는 약 10^{14} 내지 10^{16} 원자/cm³ 범위 내의 도핑 농도, 또는 일부의 다른 적합한 도핑 농도를 가질 수 있다. 일부 실시예에서, 바디 영역(306)은 약 5.0×10^{14} 원자/cm³, 8.0×10^{14} 원자/cm³ 또는 1.4×10^{15} 원자/cm³ 인 도핑 농도, 또는 약 10^{14} 내지 10^{16} 원자/cm³ 범위 내의 도핑 농도, 또는 일부의 다른 적합한 도핑 농도를 가질 수 있다.

[0043] 도 6의 단면도(600)에 도시된 바와 같이, 기판의 전면(102f) 위에는 게이트 구조물(116)이 형성된다. 일부 실시예에서, 게이트 구조물(116)은 게이트 유전체층(108), 및 게이트 유전체층(108) 위에 놓인 게이트 전극(110)을 포함한다. 일부 실시예에서, 게이트 구조물(116)을 형성하기 위한 공정은: 전면(102f) 위에 게이트 유전체 막을, 예를 들어, CVD, PVD, ALD, 또는 다른 적합한 퇴적 공정에 의해 퇴적하는 단계; 게이트 유전체 막 위에 게이트 전극층을, 예를 들어, CVD, PVD, ALD, 스퍼터링, 또는 다른 적합한 퇴적 또는 성장 공정에 의해 퇴적하는 단계; 및 게이트 유전체 막 및 게이트 전극층을 마스크층(도시되지 않음)에 의해 패터닝하여, 게이트 유전체 막(108), 게이트 전극(110), 및 게이트 구조물(116)을 한정하는 단계를 포함할 수 있다. 일부 실시예에서, 게이트 전극(110)은, 예를 들어, 티타늄 질화물, 탄탈륨 질화물, 티타늄, 탄탈륨, 텅스텐, 알루미늄, 구리, 폴리실리콘, 진성 폴리실리콘, 도핑된 폴리실리콘, 다른 적합한 도전성 물질, 또는 이들의 임의의 조합일 수 있거나 이를 포함할 수 있다. 추가적인 실시예에서, 게이트 유전체층(108)은, 예를 들어, 실리콘 이산화물, 하이 k 유전체 물질, 다른 적합한 게이트 유전체 물질, 또는 이들의 임의의 조합일 수 있거나 이를 포함할 수 있다.

[0044] 도 7의 단면도(700)에 도시된 바와 같이, 기판(102)에 얇은 웰 영역(310)을 형성하기 위해 기판(102)에 대해 주입 공정이 수행된다. 추가적인 실시예에서, 복수의 고농도 도핑 영역(도시되지 않음)은 얇은 웰 영역(310)과 동시에 형성될 수 있다. 일부 실시예에서, 얇은 웰 영역(310)은 바디 영역(306), 드리프트 영역(114), 및/또는 고전압 웰 영역(304)에 인접하다. 얇은 웰 영역(310)은, 예를 들어, 제1 도핑 타입(예컨대, p 타입)을 포함할 수 있다. 추가적인 실시예에서, 주입 공정은: 기판(102) 위에 마스크층(도시되지 않음)을 형성하는 단계; 마스크층에 따라 도펀트를 기판(102)에 선택적으로 주입하는 단계; 및 제거 공정을 수행하여, 마스크층을 제거하는 단계를 포함한다. 추가적인 실시예에서, 얇은 웰 영역(310)은 채널 영역으로서 구성될 수 있다. 일부 실시예에서, 얇은 웰 영역(310)은 약 1.0×10^{15} 원자/cm³, 1.6×10^{15} 원자/cm³, 5.4×10^{15} 원자/cm³, 또는 5.0×10^{16} 원자/cm³ 인 도핑 농도, 또는 약 10^{15} 내지 10^{17} 원자/cm³ 범위 내의 도핑 농도, 또는 일부의 다른 적합한 도핑 농도를 가질 수 있다.

[0045] 도 8의 단면도(800)에 도시된 바와 같이, 측벽 스페이서 구조물(314)이 게이트 구조물(116)의 측벽 주위에 형성된다. 일부 실시예에서, 측벽 스페이서 구조물(314)은, 예를 들어, 실리콘 질화물, 실리콘 탄화물, 다른 적합한 유전체 물질, 또는 이들의 임의의 조합일 수 있거나 이를 포함할 수 있다. 추가적인 실시예에서, 측벽 스페이서 구조물(314)을 형성하기 위한 공정은: 기판(102) 및 게이트 구조물(116) 위에 측벽 스페이서층을 (예를 들어, CVD 공정, PVD 공정, ALD 공정, 또는 다른 적합한 퇴적 공정에 의해) 퇴적하는 단계; 및 측벽 스페이서층에 대해 패터닝 공정을 수행하여, 수평 표면으로부터 측벽 스페이서층을 제거하고, 이로써 측벽 스페이서 구조물(314)을 한정하는 단계를 포함할 수 있다.

[0046] 도 9의 단면도(900)에 도시된 바와 같이, 기판(102) 내에 소스 영역(104), 드레인 영역(106), 및 콘택트 영역(308)을 한정하기 위해 기판(102)에 대해 주입 공정이 수행된다. 일부 실시예에서, 소스 영역(104) 및/또는 드레인 영역(106)은 제2 도핑 타입(예컨대, n 타입)을 포함할 수 있다. 추가적인 실시예에서, 콘택트 영역(308)은

제1 도핑 타입(예컨대, p 타입)을 포함할 수 있다. 다양한 실시예에서, 주입 공정은: 기관(102)의 전면(102f) 위에 마스크층(도시되지 않음)을 형성하는 단계; 마스크층에 따라 도펀트를 기관(102)에 선택적으로 주입하는 단계; 및 제거 공정을 수행하여, 마스크층을 제거하는 단계를 포함할 수 있다. 일부 실시예에서, 소스 영역(104) 및/또는 드레인 영역(106)은 각각 약 2.5×10^{17} 원자/cm³, 2.88×10^{17} 원자/cm³, 또는 5.5×10^{17} 원자/cm³의 도핑 농도, 또는 약 10^{17} 내지 10^{19} 원자/cm³의 범위 내의 도핑 농도, 또는 약 10^{19} 보다 큰 도핑 농도, 또는 일부의 다른 적합한 도핑 농도를 가질 수 있다. 일부 실시예에서, 콘택트 영역(308)은 약 3.0×10^{15} 원자/cm³ 또는 3.2×10^{17} 원자/cm³인 도핑 농도, 또는 약 10^{15} 내지 10^{18} 원자/cm³의 범위 내의 도핑 농도, 또는 일부의 다른 적합한 도핑 농도를 가질 수 있다.

[0047] 도 10의 단면도(1000)에 도시된 바와 같이, 에칭 정지층(122)이 게이트 구조물(116) 위에 형성된다. 일부 실시예에서, 에칭 정지층(122)은 게이트 전극(110)의 상부 표면으로부터, 측벽 스페이서 구조물(314)의 측벽을 따라, 기관(102)의 전면(102f)까지 연속적으로 연장된다. 일부 실시예에서, 에칭 정지층(122)은, 예를 들어, 실리콘 질화물, 실리콘 탄화물, 다른 적합한 유전체 물질, 또는 이들의 임의의 조합일 수 있거나 이를 포함할 수 있다. 추가적인 실시예에서, 에칭 정지층(122)은 격리 구조물(132)과 직접 접촉할 수 있다. 다른 추가적인 실시예에서, 에칭 정지층(122)은, 예를 들어, PVD, CVD, ALD, 또는 다른 적합한 퇴적 또는 성장 공정에 의해 퇴적될 수 있다.

[0048] 도 11의 단면도(1100)에 도시된 바와 같이, 제1 층간 유전체(ILD)층(118)이 기관(102) 위에 형성된다. 일부 실시예에서, 제1 ILD층(118)은, 예를 들어, CVD, PVD, ALD, 또는 다른 적합한 퇴적 공정에 의해 퇴적될 수 있다. 추가적인 실시예에서, 제1 ILD층(118)은, 예를 들어, 실리콘 이산화물, 로우 k (low-k) 유전체 물질, 극도의 로우 k 유전체 물질, 다른 적합한 유전체 물질, 또는 이들의 임의의 조합일 수 있거나 이를 포함할 수 있다. 또한, 제1 ILD층(118)을 형성한 후, 복수의 콘택트(120) 및 필드 플레이트(124)가 제1 ILD층(118) 내에 형성될 수 있고, 이로써 제1 측방 확산 금속 산화물 반도체 전계 효과 트랜지스터(MOSFET)(LDMOS) 디바이스(316) 및 제2 LDMOS 디바이스(318)를 한정할 수 있다. 일부 실시예에서, 복수의 콘택트(120) 및 필드 플레이트(124)는 동시에 형성될 수 있다. 다양한 실시예에서, 콘택트(120) 및/또는 필드 플레이트(124)를 형성하는 공정은: 제1 ILD층(118) 위에 마스크층(도시되지 않음)을 형성하는 단계; 마스크층에 따라 제1 ILD층(118)을 패터닝하여, 제1 ILD층(118) 내에 복수의 개구를 한정하는 단계; 복수의 개구를 도전성 물질(예컨대, 티타늄, 구리, 알루미늄, 텅스텐, 탄탈륨 질화물, 다른 적합한 도전성 물질, 또는 이들의 임의의 조합)로 충전하는 단계; 및 도전성 물질로 평탄화 공정(예컨대, 화학 기계적 평탄화(CMP) 공정)을 수행하여, 콘택트(120) 및/또는 필드 플레이트(124)를 한정하는 단계를 포함할 수 있다. 추가적인 실시예에서, 콘택트(120) 및/또는 필드 플레이트(124)는 각각 단일 다마신 공정에 의해 형성될 수 있다.

[0049] 일부 실시예에서, 필드 플레이트(124)는 격리 구조물(132)의 적어도 일부 위에 바로 놓이는 방식으로 형성된다. 또한, 필드 플레이트(124)는 에칭 정지층(122)에 의해 기관(102) 및/또는 격리 구조물(132)로부터 분리된다. 다양한 실시예에서, 필드 플레이트(124)는 제1 필드 플레이트 구조물(126) 및 제2 필드 플레이트 구조물(도시되지 않음)(예컨대, 도 3b의 128)을 포함할 수 있다. 이러한 실시예에서, 제1 필드 플레이트 구조물(126) 및/또는 제2 필드 플레이트 구조물(도시되지 않음)(예컨대, 도 3b의 128)은 동시에 형성될 수 있다.

[0050] 도 12는 격리 구조물 위에 놓인 필드 플레이트를 갖는 LDMOS 디바이스를 포함하는 집적 칩을 형성하는 방법(1200)을 예시한다. 방법(1200)이 일련의 동작 또는 이벤트로서 예시 및/또는 설명되었지만, 이 방법은 예시된 순서 또는 동작에 제한되지 않음을 이해할 것이다. 따라서, 일부 실시예에서, 동작은 예시된 것과는 다른 순서로 수행될 수 있고, 및/또는 동시에 수행될 수 있다. 또한, 일부 실시예에서, 예시된 동작 또는 이벤트는 다수의 동작 또는 이벤트로 세분될 수 있으며, 이는 다른 동작 또는 서브 동작과는 별개의 시간에 또는 동시에 수행될 수 있다. 일부 실시예에서, 예시된 일부 동작 또는 이벤트는 생략될 수 있고, 예시되지 않은 다른 동작 또는 이벤트가 포함될 수 있다.

[0051] 동작(1202)에서, 격리 구조물이 기관에 형성되며, 여기서 격리 구조물은 기관의 전면으로부터 기관의 전면 아래의 지점까지 연장된다. 도 4는 동작(1202)의 일부 실시예에 대응하는 단면도(400)를 예시하고 있다.

[0052] 동작(1204)에서, 웰 영역, 바디 영역, 및 드리프트 영역이 기관 내에 형성되며, 여기서 드리프트 영역은 격리 구조물과 인접하다. 도 5는 동작(1204)의 일부 실시예에 대응하는 단면도(500)를 예시하고 있다.

[0053] 동작(1206)에서, 게이트 구조물이 기관 위에 형성되며, 여기서 게이트 구조물은 게이트 전극, 및 게이트 전극

아래에 있는 게이트 유전체층을 포함한다. 게이트 구조물은 드리프트 영역의 적어도 일부 위에 놓인다. 도 6은 동작(1206)의 일부 실시예에 대응하는 단면도(600)를 예시하고 있다.

- [0054] 동작(1208)에서, 소스 영역 및 드레인 영역이 게이트 구조물의 양측에서 기판 내에 형성된다. 격리 구조물은 게이트 구조물과 드레인 영역 사이에서 측방으로 이격되어 있다. 도 9는 동작(1208)의 일부 실시예에 대응하는 단면도(900)를 예시하고 있다.
- [0055] 동작(1210)에서, 에칭 정지층이 게이트 전극 및 기판 위에 형성되며, 여기서 에칭 정지층은 게이트 전극의 상부 표면으로부터 격리 구조물의 상부 표면까지 연장된다. 도 10은 동작(1210)의 일부 실시예에 대응하는 단면도(1000)를 예시하고 있다.
- [0056] 동작(1212)에서, 제1 층간 유전체(ILD)층이 기판 및 게이트 구조물 위에 형성된다. 도 11은 동작(1212)의 일부 실시예에 대응하는 단면도(1100)를 예시하고 있다.
- [0057] 동작(1214)에서, 복수의 콘택트 및 필드 플레이트가 기판 위에 그리고 제1 ILD층 내에 형성되며, 여기서 필드 플레이트의 적어도 일부는 격리 구조물 바로 위에 놓인다. 도 11은 동작(1214)의 일부 실시예에 대응하는 단면도(1100)를 예시하고 있다.
- [0058] 따라서, 일부 실시예에서, 본 개시 내용은 드리프트 영역 내에 배치된 격리 구조물 바로 위에 적어도 일부가 놓이는 필드 플레이트를 갖는 고전압 디바이스에 관한 것이다.
- [0059] 일부 실시예에서, 본 출원은 집적 칩을 제공하며, 집적 칩은 소스 영역과 드레인 영역 사이의 기판 위에 놓인 게이트 전극; 게이트 전극의 상부 표면으로부터 기판의 전면까지 측방으로 연장되는 에칭 정지층 - 에칭 정지층은 소스 영역과 드레인 영역 사이에 배치된 드리프트 영역 위에 놓임 - ; 기판 위에 놓인 제1 층간 유전체(ILD)층 내에 배치된 필드 플레이트 - 필드 플레이트는 제1 ILD층의 상단 표면으로부터 에칭 정지층의 상부 표면까지 연장됨 - ; 및 기판 내에 배치되고, 기판의 전면으로부터 기판의 전면 아래의 지점까지 연장되는 격리 구조물을 포함하고, 격리 구조물은 게이트 전극과 드레인 영역 사이에 측방으로 배치되며, 필드 플레이트는 격리 구조물 위에 놓인다.
- [0060] 일부 실시예에서, 본 출원은 집적 칩을 제공하며, 집적 칩은, 기판 위에 놓인 제1 게이트 구조물을 포함하는 제1 측방 확산 금속 산화물 반도체 전계 효과 트랜지스터(MOSFET)(LDMOS) 디바이스 - 제1 LDMOS 디바이스는 기판 내에 배치된 제1 소스 영역 및 제1 드리프트 영역을 더 포함함 - ; 제2 게이트 구조물, 제2 소스 영역, 및 제2 드리프트 영역을 포함하는 제2 LDMOS 디바이스; 제1 및 제2 LDMOS 디바이스 사이에 배치되는 드레인 영역 - 제1 드리프트 영역은 제1 소스 영역과 드레인 영역 사이에 배치되고, 제2 드리프트 영역은 제2 소스 영역과 드레인 영역 사이에 배치됨 - ; 드레인 영역과 제1 게이트 구조물 사이에서 측방으로 이격된 제1 필드 플레이트; 및 기판 내에 배치된 제1 격리 구조물을 포함하고, 제1 격리 구조물은 드레인 영역과 제1 소스 영역 사이에서 측방으로 이격되며, 제1 필드 플레이트의 제1 에지는 제1 격리 구조물 바로 위에 놓이며, 제1 필드 플레이트의 제2 에지는 제1 격리 구조물로부터, 제1 게이트 구조물을 향하는 방향으로의 0이 아닌 거리만큼 측방으로 오프셋된다.
- [0061] 일부 실시예에서, 본 출원은 방법을 제공하며, 이 방법은, 기판 내에 격리 구조물을 형성하는 단계 - 격리 구조물은 유전체 물질을 포함하고, 기판은 유전체 물질과는 상이한 기판 물질을 포함함 - ; 주입 공정을 수행하여, 기판 내에 드리프트 영역을 형성하는 단계 - 드리프트 영역은 격리 구조물에 인접함 - ; 기판 위에 게이트 구조물을 형성하는 단계 - 게이트 구조물은 드리프트 영역 위에 적어도 부분적으로 놓임 - ; 주입 공정을 수행하여, 기판 내에 소스 영역 및 드레인 영역을 형성하는 단계 - 드리프트 영역은 소스 영역과 드레인 영역 사이에서 측방으로 배치됨 - ; 기판 위에 제1 층간 유전체(ILD)층을 형성하는 단계; 및 드리프트 영역 위에 그리고 ILD층 내에 필드 플레이트를 형성하는 단계 - 필드 플레이트의 적어도 일부는 격리 구조물 바로 위에 놓임 - 를 포함한다.
- [0062] 전술한 내용은 본 기술 분야의 기술자가 본 개시 내용의 양태를 더 잘 이해할 수 있도록 몇몇 실시예의 특징을 개략적으로 설명하고 있다. 본 기술 분야의 기술자는 본원에 도입된 실시예와 동일한 목적을 수행하고 및/또는 동일한 효과를 달성하는 다른 공정 및 구조물을 설계하거나 수정하기 위한 토대로서 본 개시 내용을 용이하게 사용할 수 있다는 것을 이해해야 한다. 본 기술 분야의 기술자는 또한 이러한 등가의 구성이 본 개시 내용의 사상 및 범위를 벗어나지 않으며, 본 개시 내용의 사상 및 범위를 벗어나지 않으면서 본원에서 다양한 변경, 대체, 및 변형을 행할 수 있다는 것을 인식해야 한다.
- [0063] <부기>

- [0064] 1. 집적 칩으로서,
- [0065] 소스 영역과 드레인 영역 사이에서 기판 위에 놓이는 게이트 전극;
- [0066] 상기 게이트 전극의 상부 표면으로부터 상기 기판의 전면으로 측방으로 연장되는 에칭 정지층 - 상기 에칭 정지층은, 상기 소스 영역과 상기 드레인 영역 사이에 배치되는 드리프트 영역 위에 놓임 - ;
- [0067] 상기 기판 위에 놓이는 제1 층간 유전체(ILD, inter-level dielectric)층 내에 배치되는 필드 플레이트 - 상기 필드 플레이트는 상기 제1 ILD층의 상단 표면으로부터 상기 에칭 정지층의 상부 표면으로 연장됨 - ; 및
- [0068] 상기 기판 내에 배치되고 상기 기판의 전면으로부터 상기 기판의 전면 아래의 지점으로 연장되는 격리 구조물 - 상기 격리 구조물은 상기 게이트 전극과 상기 드레인 영역 사이에 측방으로 배치되고, 상기 필드 플레이트는 상기 격리 구조물 위에 놓임 -
- [0069] 을 포함하는, 집적 칩.
- [0070] 2. 제1항에 있어서,
- [0071] 상기 격리 구조물은 제1 물질을 포함하고, 상기 기판은 상기 제1 물질과는 상이한 제2 물질을 포함하는, 집적 칩.
- [0072] 3. 제2항에 있어서,
- [0073] 상기 제1 물질은 실리콘 이산화물, 실리콘 질화물, 실리콘 탄화물, 실리콘 산화질화물, 또는 실리콘 산화탄화물이고, 상기 제2 물질은 실리콘인, 집적 칩.
- [0074] 4. 제1항에 있어서,
- [0075] 상기 게이트 전극은 제1 도전성 물질을 포함하고, 상기 필드 플레이트는 상기 제1 도전성 물질과는 상이한 제2 도전성 물질을 포함하는, 집적 칩.
- [0076] 5. 제1항에 있어서,
- [0077] 상기 제1 ILD층 내에 배치되고 상기 기판 위에 놓이는 복수의 콘택트를 더 포함하며, 상기 복수의 콘택트의 상단 표면은 상기 필드 플레이트의 상단 표면과 정렬되는, 집적 칩.
- [0078] 6. 제1항에 있어서,
- [0079] 상기 필드 플레이트는:
- [0080] 상기 제1 ILD층의 상단 표면으로부터 상기 에칭 정지층의 상부 표면으로 연장되는 제1 필드 플레이트 구조물; 및
- [0081] 상기 제1 ILD층의 상단 표면으로부터 상기 에칭 정지층의 상부 표면으로 연장되는 제2 필드 플레이트 구조물을 포함하며, 상기 제2 필드 플레이트 구조물은 상기 제1 필드 플레이트 구조물로부터 0이 아닌 거리만큼 측방으로 오프셋되고, 상기 제2 필드 플레이트 구조물의 적어도 일부는 상기 격리 구조물 바로 위에 놓이는, 집적 칩.
- [0082] 7. 제6항에 있어서,
- [0083] 상기 제1 필드 플레이트 구조물은 상기 격리 구조물로부터 상기 게이트 전극을 향하는 방향으로 0이 아닌 거리만큼 측방으로 오프셋되는, 집적 칩.
- [0084] 8. 제6항에 있어서,
- [0085] 상기 제2 필드 플레이트 구조물의 외측 측벽은 상기 격리 구조물의 외측 측벽 사이에서 측방으로 이격되는, 집적 칩.
- [0086] 9. 제6항에 있어서,
- [0087] 상기 제1 필드 플레이트 구조물은 상기 에칭 정지층의 측벽과 직접 접촉하는, 집적 칩.
- [0088] 10. 집적 칩으로서,
- [0089] 기판 위에 놓이는 제1 게이트 구조물을 포함하는 제1 측방 확산 금속 산화물 반도체 전계 효과 트랜지스터 (MOSFET, metal-oxide semiconductor field-effect transistor)(LDMOS, laterally diffused MOS) 디바이스 -

상기 제1 LDMOS 디바이스는, 상기 기판 내에 배치되는 제1 소스 영역 및 제1 드리프트 영역을 더 포함함 - ;

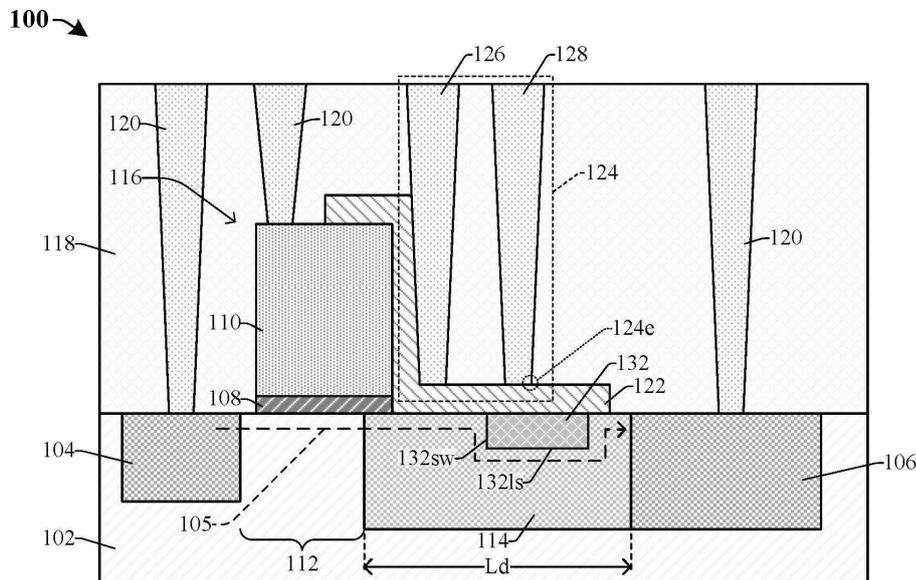
- [0090] 제2 게이트 구조물, 제2 소스 영역, 및 제2 드리프트 영역을 포함하는 제2 LDMOS 디바이스;
- [0091] 상기 제1 LDMOS 디바이스와 상기 제2 LDMOS 디바이스 사이에 배치되는 드레인 영역 - 상기 제1 드리프트 영역은 상기 제1 소스 영역과 상기 드레인 영역 사이에 배치되고, 상기 제2 드리프트 영역은 상기 제2 소스 영역과 상기 드레인 영역 사이에 배치됨 - ;
- [0092] 상기 드레인 영역과 상기 제1 게이트 구조물 사이에서 측방으로 이격되는 제1 필드 플레이트; 및
- [0093] 상기 기판 내에 배치되는 제1 격리 구조물 - 상기 제1 격리 구조물은 상기 드레인 영역과 상기 제1 소스 영역 사이에서 측방으로 이격되고, 상기 제1 필드 플레이트의 제1 에지는 상기 제1 격리 구조물 바로 위에 놓이고, 상기 제1 필드 플레이트의 제2 에지는 상기 제1 격리 구조물로부터 상기 제1 게이트 구조물을 향하는 방향으로 0이 아닌 거리만큼 측방으로 오프셋됨 -
- [0094] 을 포함하는, 집적 칩.
- [0095] 11. 제10항에 있어서,
- [0096] 상기 드레인 영역과 상기 제2 게이트 구조물 사이에서 측방으로 이격되는 제2 필드 플레이트; 및
- [0097] 상기 기판 내에 배치되고 상기 드레인 영역과 상기 제2 소스 영역 사이에서 측방으로 이격되는 제2 격리 구조물을 더 포함하며, 상기 제2 필드 플레이트의 제1 에지는 상기 제2 격리 구조물 바로 위에 놓이는, 집적 칩.
- [0098] 12. 제10항에 있어서,
- [0099] 상기 제1 격리 구조물의 하부 표면은 상기 드레인 영역의 하부 표면의 수직으로 아래에 배치되는, 집적 칩.
- [0100] 13. 제10항에 있어서,
- [0101] 상기 제1 격리 구조물은 상기 제1 드리프트 영역과 직접 접촉하는, 집적 칩.
- [0102] 14. 제10항에 있어서,
- [0103] 상기 기판 위에 놓이는 제1 층간 유전체(ILD)층; 및
- [0104] 상기 제1 ILD층 내에 배치되고 상기 기판 위에 놓이는 복수의 콘택트를 더 포함하며, 상기 복수의 콘택트의 상단 표면은 상기 제1 필드 플레이트의 상단 표면과 정렬되고, 상기 콘택트와 상기 제1 필드 플레이트는 동일한 물질을 포함하는, 집적 칩.
- [0105] 15. 제10항에 있어서,
- [0106] 상기 제1 게이트 구조물의 상부 표면으로부터 상기 기판의 상부 표면으로 연속적으로 연장되는 제1 에칭 정지층을 더 포함하며, 상기 제1 필드 플레이트는 상기 제1 에칭 정지층의 상부 표면과 직접 접촉하는, 집적 칩.
- [0107] 16. 제15항에 있어서,
- [0108] 상기 제1 에칭 정지층은 상기 제1 드리프트 영역과 직접 접촉하고, 상기 제1 격리 구조물과 직접 접촉하는, 집적 칩.
- [0109] 17. 제15항에 있어서,
- [0110] 상기 제1 에칭 정지층은 상기 제1 격리 구조물과는 상이한 물질을 포함하는, 집적 칩.
- [0111] 18. 방법으로서,
- [0112] 기판 내에 격리 구조물을 형성하는 단계 - 상기 격리 구조물은 유전체 물질을 포함하고, 상기 기판은 상기 유전체 물질과는 상이한 기판 물질을 포함함 - ;
- [0113] 상기 기판 내에 드리프트 영역을 형성하기 위해 주입 공정을 수행하는 단계 - 상기 드리프트 영역은 상기 격리 구조물에 인접함 - ;
- [0114] 상기 기판 위에 게이트 구조물을 형성하는 단계 - 상기 게이트 구조물은 적어도 부분적으로 상기 드리프트 영역 위에 놓임 - ;
- [0115] 상기 기판 내에 소스 영역 및 드레인 영역을 형성하기 위해 주입 공정을 수행하는 단계 - 상기 드리프트 영역은

상기 소스 영역과 상기 드레인 영역 사이에서 측방으로 배치됨 - ;

- [0116] 상기 기판 위에 제1 층간 유전체(ILD)층을 형성하는 단계; 및
- [0117] 상기 드리프트 영역 위에 그리고 상기 제1 ILD층 내에 필드 플레이트를 형성하는 단계 - 상기 필드 플레이트의 적어도 일부는 상기 격리 구조물 바로 위에 놓임 -
- [0118] 를 포함하는, 방법.
- [0119] 19. 제18항에 있어서,
- [0120] 상기 제1 ILD층 내에 있고 상기 기판 위에 놓이는 복수의 콘택트를 형성하는 단계 - 상기 콘택트는 상기 필드 플레이트와 동시에 형성됨 - 를 더 포함하는, 방법.
- [0121] 20. 제18항에 있어서,
- [0122] 상기 격리 구조물을 형성하는 단계는:
- [0123] 상기 기판 위에 마스크층을 형성하는 단계;
- [0124] 상기 마스크층에 따라 상기 기판을 패터닝하여, 상기 기판의 전면으로부터 상기 기판의 전면 아래의 지점으로 연장되는 개구를 규정하는 단계;
- [0125] 상기 개구 내에 상기 유전체 물질을 퇴적시키는 단계; 및
- [0126] 상기 유전체 물질에 평탄화 공정을 수행하여, 상기 격리 구조물을 형성하는 단계
- [0127] 를 포함하는, 방법.

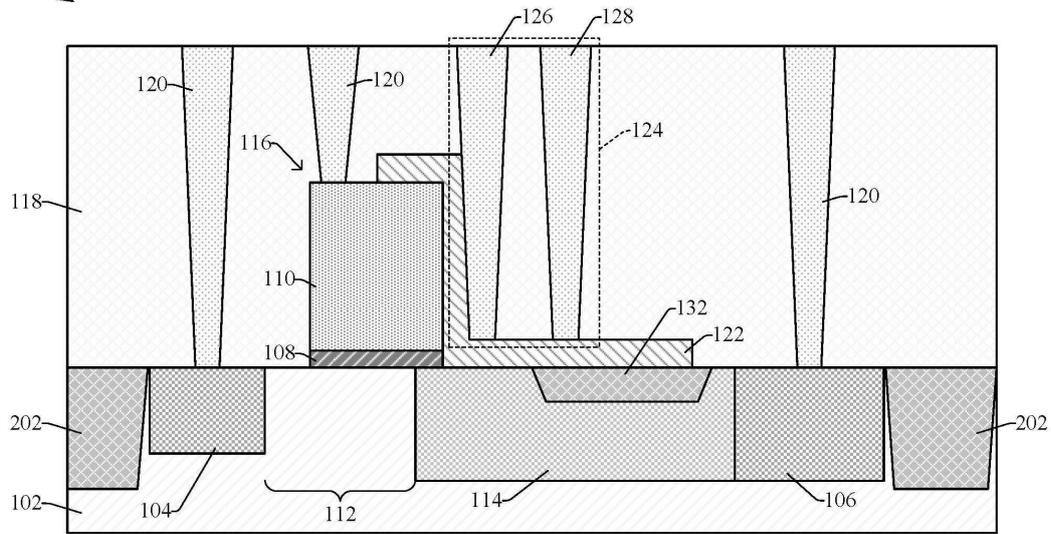
도면

도면1



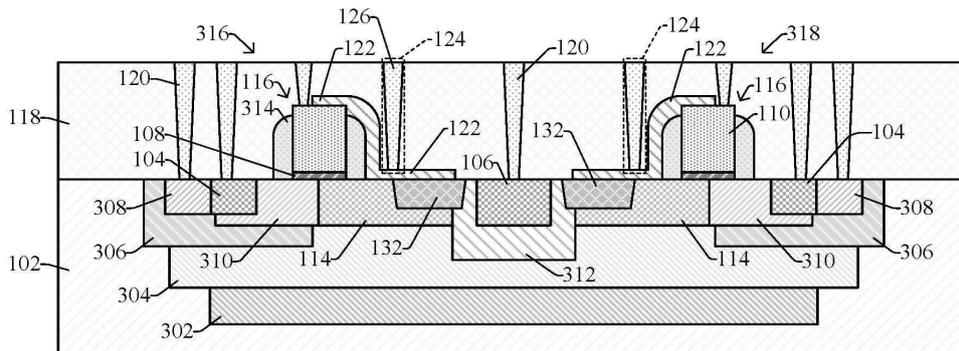
도면2

200 →



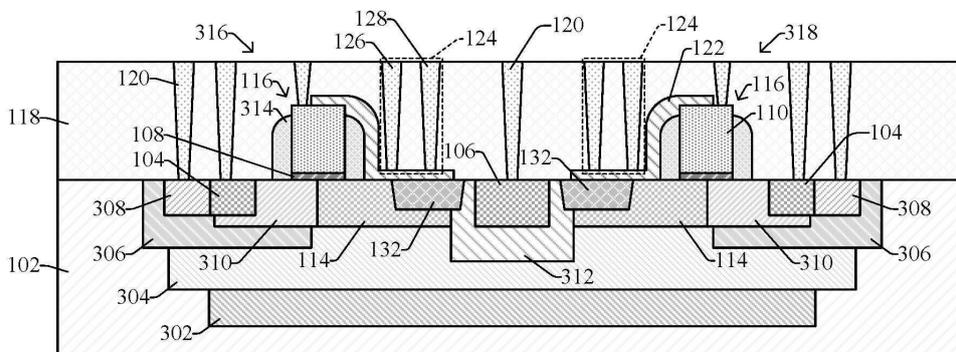
도면3a

300a →



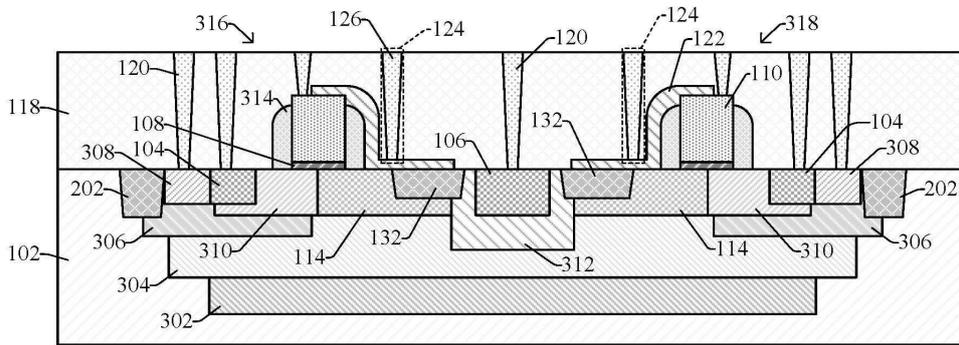
도면3b

300b →



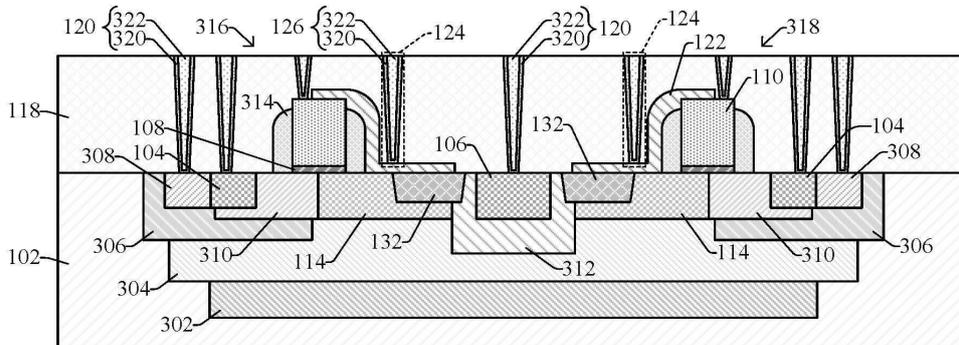
도면3c

300c



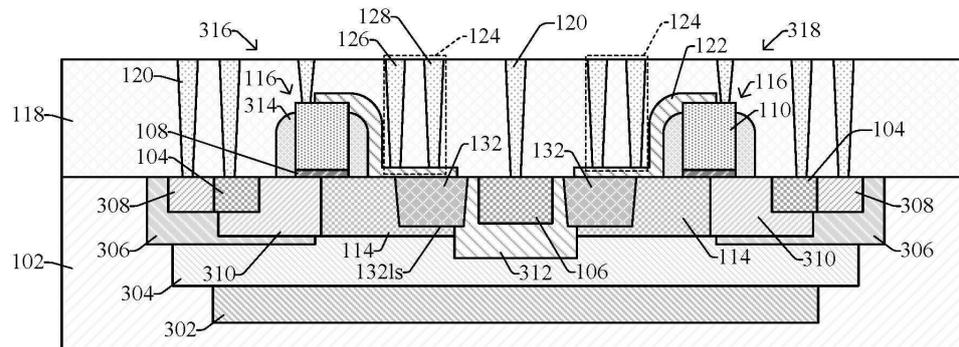
도면3d

300d



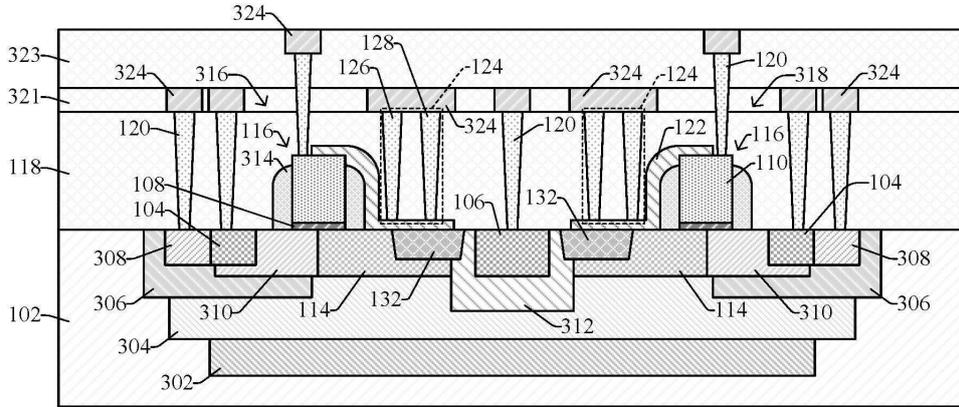
도면3e

300e



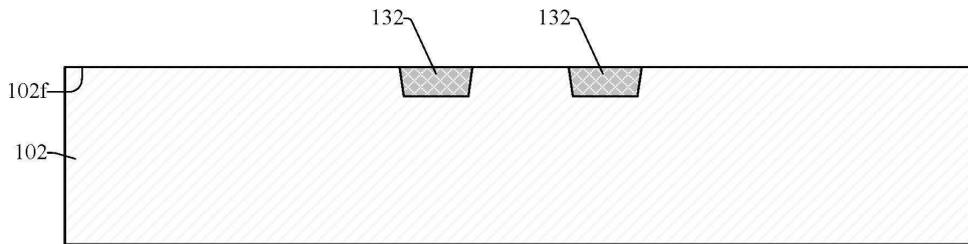
도면3f

300f →



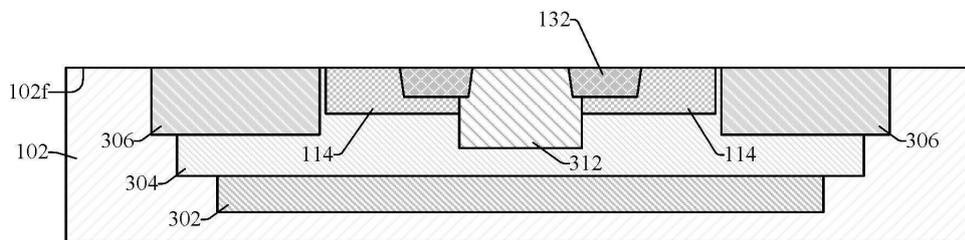
도면4

400 →



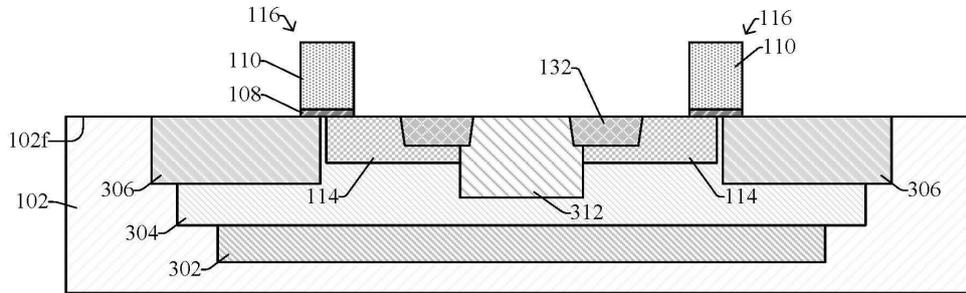
도면5

500 →



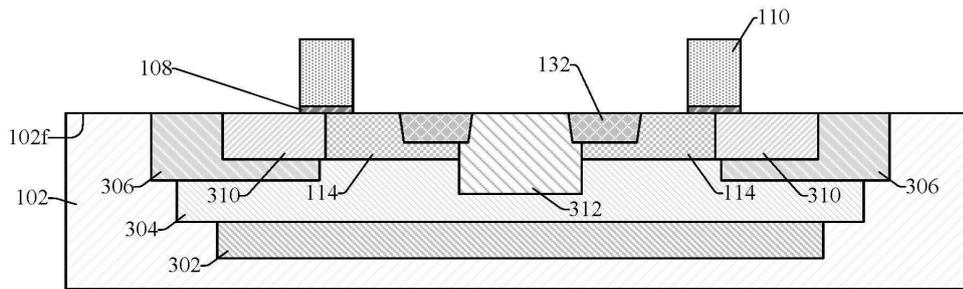
도면6

600 →



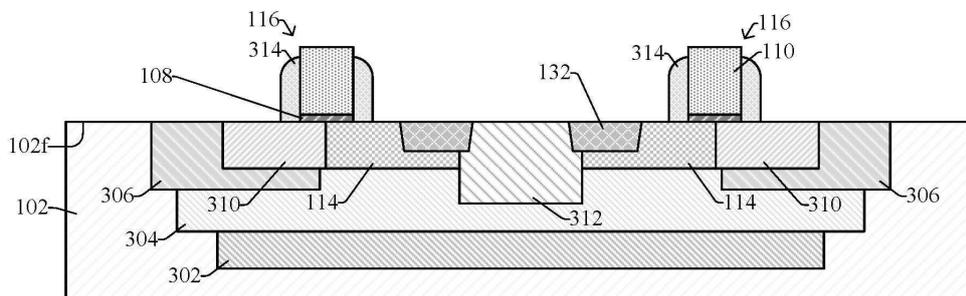
도면7

700 →



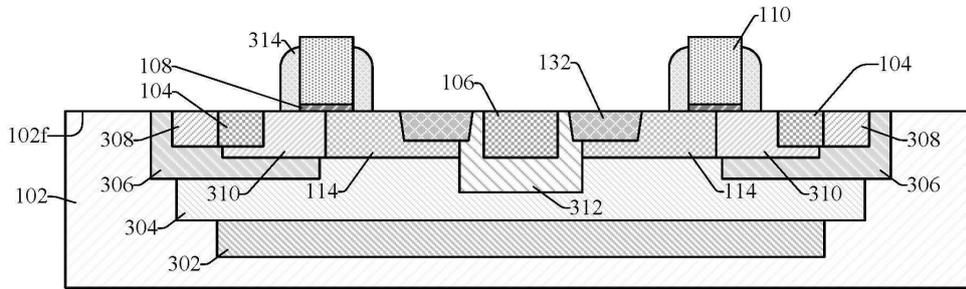
도면8

800 →



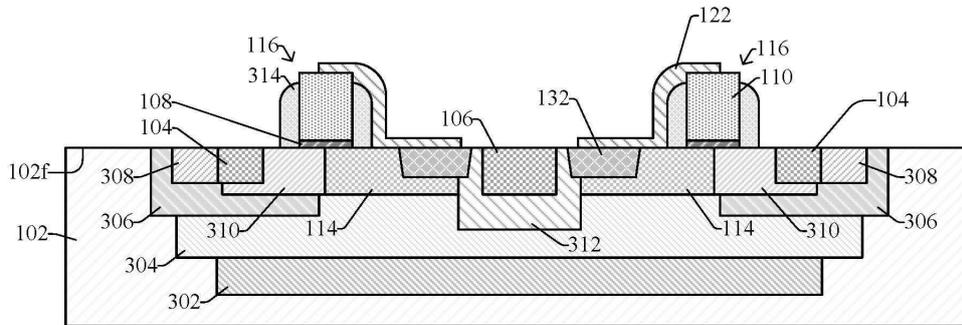
도면9

900 →



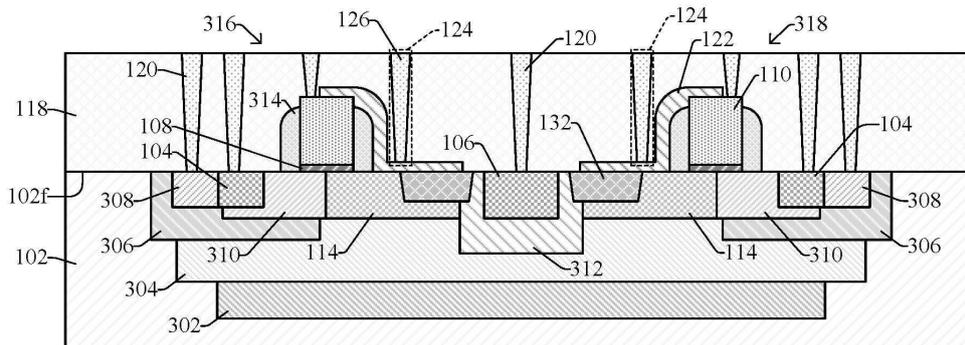
도면10

1000 →



도면11

1100 →



도면12

1200 →

