(19)中华人民共和国国家知识产权局

(12)实用新型专利

(10)授权公告号 CN 210325802 U
(45)授权公告日 2020.04.14

(21)申请号 201921002270.0
(22)申请日 2019.06.28
(30)优先权数据
2018-135397 2018.07.18 JP
(73)专利权人 索尼半导体解决方案公司
地址 日本神奈川县
(72)发明人 矶谷优治 井本努 丸山卓哉
村濑拓郎 渡辺竜太 若野寿史
(74)专利代理机构 北京信慧永光知识产权代理有限责任公司 11290
代理人 崔迎宾 李雪春
(51)Int.Cl.
H01L 27/146(2006.01)
G01S 7/487(2006.01)
G01S 7/4912(2020.01)
G01S 17/08(2006.01)
(ESM)同样的发明创造已同日申请发明专利

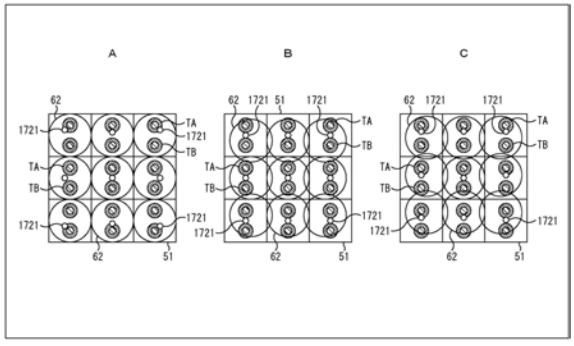
权利要求书2页 说明书67页 附图93页

(54)实用新型名称

受光元件以及测距模块

(57)摘要

本实用新型提供受光元件以及测距模块,能够提高特性。受光元件具备:具备:片上透镜;布线层;以及半导体层,配置在所述片上透镜与所述布线层之间,所述半导体层具备:第一抽头,具有被施加第一电压的第一电压施加部以及配置在该第一电压施加部的周围的第一电荷检测部;以及第二抽头,具有被施加与第一电压不同的第二电压的第二电压施加部以及配置在该第二电压施加部的周围的第二电荷检测部,使所述片上透镜的位置在像素阵列部的面内的位置不同,以使得来自被摄体的主光线的光路长度或者DC对比度在所述像素阵列部的面内的各像素中均匀。本实用新型例如能够应用于通过ToF方式生成距离信息的受光元件等。



CN 210325802 U

1.一种受光元件,其特征在于,

所述受光元件具备:

片上透镜;

布线层;以及

半导体层,配置在所述片上透镜与所述布线层之间,

所述半导体层具备:

第一抽头,具有被施加第一电压的第一电压施加部以及配置在该第一电压施加部的周围的第一电荷检测部;以及

第二抽头,具有被施加与第一电压不同的第二电压的第二电压施加部以及配置在该第二电压施加部的周围的第二电荷检测部,

使所述片上透镜的位置在像素阵列部的面内的位置不同,以使得来自被摄体的主光线的光路长度或者DC对比度在所述像素阵列部的面内的各像素中均匀。

2.根据权利要求1所述的受光元件,其特征在于,

所述布线层至少具有具备反射部件的1层,

所述反射部件被设置成在俯视观察时与所述第一电荷检测部或者所述第二电荷检测部重叠。

3.根据权利要求1所述的受光元件,其特征在于,

所述布线层至少具有具备遮光部件的1层,

所述遮光部件被设置成在俯视观察时与所述第一电荷检测部或者所述第二电荷检测部重叠。

4.根据权利要求1所述的受光元件,其特征在于,

像素间遮光膜的位置也与所述片上透镜一起在所述像素阵列部的面内的位置不同。

5.根据权利要求1所述的受光元件,其特征在于,

在像素边界部还具备像素分离部,该像素分离部针对所述半导体层的深度方向的至少一部分将邻接像素分离。

6.根据权利要求5所述的受光元件,其特征在于,

所述像素分离部是从所述半导体层的背面侧或者表面侧到规定的深度为止将邻接像素分离的深槽隔离。

7.根据权利要求5所述的受光元件,其特征在于,

所述像素分离部是贯通所述半导体层而将邻接像素分离的贯通分离部。

8.根据权利要求1所述的受光元件,其特征在于,

使所述片上透镜的位置在所述像素阵列部的面内的位置不同,以使得作为各像素的所述第一抽头和所述第二抽头中的一方的相位偏移检测抽头的相位偏移量(θ)在规定的范围内相等。

9.根据权利要求1所述的受光元件,其特征在于,

使所述片上透镜的位置在所述像素阵列部的面内的位置不同,以使得所述第一抽头的所述DC对比度与所述第二抽头的所述DC对比度在规定的范围内相等。

10.根据权利要求1所述的受光元件,其特征在于,

使所述片上透镜的位置在所述像素阵列部的面内的位置不同,以使得所述像素阵列部

的中心部和外周部的所述第一抽头的所述DC对比度的偏移量、与所述像素阵列部的中心部和外周部的所述第二抽头的所述DC对比度的偏移量在规定的范围内相等。

11.根据权利要求1所述的受光元件,其特征在于,

所述受光元件还具备:

驱动部,向所述第一电压施加部或者所述第二电压施加部供给所述第一电压或者所述第二电压;以及

电压供给线,从所述驱动部向所述第一电压施加部或者所述第二电压施加部传送所述第一电压或者所述第二电压,

所述电压供给线的线宽根据距所述驱动部的距离而不同。

12.根据权利要求11所述的受光元件,其特征在于,

所述电压供给线形成为,距所述驱动部的距离越远,则所述线宽越粗。

13.根据权利要求1所述的受光元件,其特征在于,

所述第一电压施加部和所述第二电压施加部分别由形成于所述半导体层的第一P型半导体区域和第二P型半导体区域构成。

14.根据权利要求1所述的受光元件,其特征在于,

所述第一电压施加部和所述第二电压施加部分别由形成于所述半导体层的第一传输晶体管和第二传输晶体管构成。

15.一种测距模块,其特征在于,

所述测距模块具备:

受光元件;

光源,照射亮度周期性变动的照射光;以及

发光控制部,对所述照射光的照射时刻进行控制,

其中,所述受光元件具备:

片上透镜;

布线层;以及

半导体层,配置在所述片上透镜与所述布线层之间,

所述半导体层具备:

第一抽头,具有被施加第一电压的第一电压施加部以及配置在该第一电压施加部的周围的第一电荷检测部;以及

第二抽头,具有被施加与所述第一电压不同的第二电压的第二电压施加部以及配置在该第二电压施加部的周围的第二电荷检测部,

使所述片上透镜的位置在像素阵列部的面内的位置不同,以使得来自被摄体的主光线的光路长度或者DC对比度在所述像素阵列部的面内的各像素中均匀。

受光元件以及测距模块

技术领域

[0001] 本实用新型涉及受光元件以及测距模块,特别涉及能够提高特性的受光元件以及测距模块。

背景技术

[0002] 以往,利用了间接ToF(Time of Flight,飞行时间)方式的测距系统已被公众所知。在这种测距系统中,能够将通过对在某一相位使用LED(Light Emitting Diode)、激光照射的有源光碰到对象物而反射的光进行受光而得到的信号电荷高速地分配到不同区域的传感器是必不可少的。

[0003] 因此,例如提出了通过对传感器的基板直接施加电压而在基板内产生电流,能够对基板内的大范围的区域高速地进行调制的技术(例如,参照专利文献1)。这种传感器也被称作CAPD(Current Assisted Photonic Demodulator)传感器。

[0004] 专利文献1:日本专利公开公报特开2011-86904号

[0005] 但是,在上述的技术中难以得到充分的特性的CAPD传感器。

[0006] 例如上述的CAPD传感器成为在基板中的接收来自外部的光的一侧的面配置有布线等的表面照射型的传感器。

[0007] 为了确保光电转换区域,优选在PD(Photodiode)即光电转换部的受光面侧不存在布线等、遮挡入射而来的光的光路的部件。但是,在表面照射型的CAPD传感器中,根据结构不同,有时不得不在PD的受光面侧配置电荷取出用的布线、各种控制线、信号线,光电转换区域受到限制。也就是说,无法确保充分的光电转换区域,像素灵敏度等的特性有时会降低。

[0008] 此外,在考虑到在存在外部光的场所使用CAPD传感器的情况下,由于外部光成分对于使用有源光进行测距的间接ToF方式来说成为噪声成分,所以为了确保充分的SN比(Signal to Noise ratio)而得到距离信息,需要确保充分的饱和信号量(Qs)。但是,在表面照射型的CAPD传感器中,由于布线布局存在限制,所以为了确保电容而需要使用布线电容以外的方法,诸如设置追加的晶体管等。

[0009] 进而,在表面照射型的CAPD传感器中,在基板内的光入射的一侧配置被称为Tap的信号取出部。另一方面,在考虑到Si基板内的光电转换的情况下,尽管因光的波长而衰减率存在差异,但是在光入射面侧引起光电转换的比例高。因此,在表面型的CAPD传感器中,在设置有信号取出部的Tap区域之中的、不分配信号电荷的Tap区域的Inactive Tap区域中,进行光电转换的概率有可能变高。在间接ToF传感器中,由于使用根据有源光的相位分配到各电荷蓄积区域的信号而得到测距信息,所以在Inactive Tap区域中直接进行了光电转换的成分成为噪声,其结果是,测距精度有可能恶化。即,CAPD传感器的特性有可能降低。

实用新型内容

[0010] 本实用新型是鉴于这种情况而完成的,其目的在于能够提高特性。

[0011] 本实用新型的第一方面的受光元件具备：

[0012] 片上透镜；

[0013] 布线层；以及

[0014] 半导体层，配置在所述片上透镜与所述布线层之间，

[0015] 所述半导体层具备：

[0016] 第一抽头，具有被施加第一电压的第一电压施加部以及配置在该第一电压施加部的周围的第一电荷检测部；以及

[0017] 第二抽头，具有被施加与第一电压不同的第二电压的第二电压施加部以及配置在该第二电压施加部的周围的第二电荷检测部，

[0018] 使所述片上透镜的位置在像素阵列部的面内的位置不同，以使得来自被摄体的主光线的光路长度或者DC对比度在所述像素阵列部的面内的各像素中均匀。

[0019] 在本实用新型的第一方面中，设置有片上透镜、布线层以及配置在所述片上透镜与所述布线层之间的半导体层，在所述半导体层设置有具有被施加第一电压的第一电压施加部以及配置在该第一电压施加部的周围的第一电荷检测部的第一抽头、以及具有被施加与所述第一电压不同的第二电压的第二电压施加部以及配置在该第二电压施加部的周围的第二电荷检测部的第二抽头，使所述片上透镜的位置在像素阵列部的面内的位置不同，以使得来自被摄体的主光线的光路长度或者DC对比度在所述像素阵列部的面内的各像素中均匀。

[0020] 本实用新型的第二方面的测距模块具备：

[0021] 受光元件；

[0022] 光源，照射亮度周期性变动的照射光；以及

[0023] 发光控制部，对所述照射光的照射时刻进行控制，

[0024] 其中，所述受光元件具备：

[0025] 片上透镜；

[0026] 布线层；以及

[0027] 半导体层，配置在所述片上透镜与所述布线层之间，

[0028] 所述半导体层具备：

[0029] 第一抽头，具有被施加第一电压的第一电压施加部以及配置在该第一电压施加部的周围的第一电荷检测部；以及

[0030] 第二抽头，具有被施加与所述第一电压不同的第二电压的第二电压施加部以及配置在该第二电压施加部的周围的第二电荷检测部，

[0031] 使所述片上透镜的位置在像素阵列部的面内的位置不同，以使得来自被摄体的主光线的光路长度或者DC对比度在所述像素阵列部的面内的各像素中均匀。

[0032] 在本实用新型的第二方面中，设置有受光元件、照射亮度周期性变动的照射光的光源、以及对所述照射光的照射时刻进行控制的发光控制部，其中，在所述受光元件设置有片上透镜、布线层以及配置在所述片上透镜与所述布线层之间的半导体层，在所述半导体层设置有具有被施加第一电压的第一电压施加部以及配置在该第一电压施加部的周围的第一电荷检测部的第一抽头、以及具有被施加与所述第一电压不同的第二电压的第二电压施加部以及配置在该第二电压施加部的周围的第二电荷检测部的第二抽头，使所述片上透

镜的位置在像素阵列部的面内的位置不同，以使得来自被摄体的主光线的光路长度或者DC对比度在所述像素阵列部的面内的各像素中均匀。

[0033] 根据本实用新型的第一方面以及第二方面，能够提高特性。

[0034] 另外，此处记载的效果是非限定性的，也可以是本实用新型中记载的任意一种效果。

附图说明

[0035] 图1是表示受光元件的结构例的框图。

[0036] 图2是表示像素的结构例的图。

[0037] 图3是表示像素的信号取出部的部分的结构例的图。

[0038] 图4是对灵敏度提高进行说明的图。

[0039] 图5是对电荷分离效率的提高进行说明的图。

[0040] 图6是对电子的取出效率的提高进行说明的图。

[0041] 图7是对表面照射型中的信号载波的移动速度进行说明的图。

[0042] 图8是对背面照射型中的信号载波的移动速度进行说明的图。

[0043] 图9是表示像素的信号取出部的部分的其他结构例的图。

[0044] 图10是像素与片上透镜的关系进行说明的图。

[0045] 图11是表示像素的信号取出部的部分的其他结构例的图。

[0046] 图12是表示像素的信号取出部的部分的其他结构例的图。

[0047] 图13是表示表示像素的信号取出部的部分的其他结构例的图。

[0048] 图14是表示像素的信号取出部的部分的其他结构例的图。

[0049] 图15是表示像素的信号取出部的部分的其他结构例的图。

[0050] 图16是表示像素的其他结构例的图。

[0051] 图17是表示像素的其他结构例的图。

[0052] 图18是表示像素的其他结构例的图。

[0053] 图19是表示像素的其他结构例的图。

[0054] 图20是表示像素的其他结构例的图。

[0055] 图21是表示像素的其他结构例的图。

[0056] 图22是表示像素的其他结构例的图。

[0057] 图23是表示像素的其他结构例的图。

[0058] 图24是表示像素的其他结构例的图。

[0059] 图25是表示像素的其他结构例的图。

[0060] 图26是表示像素的其他结构例的图。

[0061] 图27是表示像素的其他结构例的图。

[0062] 图28是表示像素的其他结构例的图。

[0063] 图29是表示像素的其他结构例的图。

[0064] 图30是表示像素的其他结构例的图。

[0065] 图31是表示像素的等效电路的图。

[0066] 图32是表示像素的其他的等效电路的图。

[0067] 图33是采用了Periodic配置的电压供给线的配置例的图。

[0068] 图34是采用了Mirror配置的电压供给线的配置例的图。

[0069] 图35是对Periodic配置和Mirror配置的特性进行说明的图。

[0070] 图36是第十四实施方式中的多个像素的截面图。

[0071] 图37是第十四实施方式中的多个像素的截面图。

[0072] 图38是第九实施方式中的多个像素的截面图。

[0073] 图39是第九实施方式的变形例1中的多个像素的截面图。

[0074] 图40是第十五实施方式中的多个像素的截面图。

[0075] 图41是第十实施方式中的多个像素的截面图。

[0076] 图42是对多层布线层的5层的金属膜进行说明的图。

[0077] 图43是对多层布线层的5层的金属膜进行说明的图。

[0078] 图44是对多晶硅层进行说明的图。

[0079] 图45是形成于金属膜的反射部件的变形例的图。

[0080] 图46是形成于金属膜的反射部件的变形例的图。

[0081] 图47是对受光元件的基板结构进行说明的图。

[0082] 图48是对像素晶体管区域周边的噪声进行说明的图。

[0083] 图49是对像素晶体管区域周边的噪声抑制结构进行说明的图。

[0084] 图50是对像素晶体管区域周边的电荷排出结构进行说明的图。

[0085] 图51是对像素晶体管区域周边的电荷排出结构进行说明的图。

[0086] 图52是对有效像素区域周边的电荷排出进行说明的图。

[0087] 图53是表示设置于有效像素区域的外周的电荷排出区域的结构例的俯视图。

[0088] 图54是电荷排出区域由遮光像素区域和N型区域构成的情况下的截面图。

[0089] 图55是对在具有光电转换区域的基板配置有像素晶体管的情况下的电流的流动进行说明的图。

[0090] 图56是第十八实施方式的多个像素的截面图。

[0091] 图57是对两个基板的电路分担进行说明的图。

[0092] 图58是对第十八实施方式的基板结构进行说明的图。

[0093] 图59是表示MIX接合部和DET接合部的配置的俯视图。

[0094] 图60是表示MIX接合部和DET接合部的配置的俯视图。

[0095] 图61是对消消耗电力流增大的问题进行说明的图。

[0096] 图62是第十九实施方式的第一结构例的像素的俯视图和截面图。

[0097] 图63是第十九实施方式的第二结构例的像素的俯视图和截面图。

[0098] 图64是表示第十九实施方式的第一结构例和第二结构例的其他的平面形状的图。

[0099] 图65是表示第十九实施方式的第一结构例和第二结构例的其他的平面形状的图。

[0100] 图66是表示第十九实施方式的第三结构例的像素的俯视图和截面图。

[0101] 图67是表示第十九实施方式的第三结构例的其他的平面形状的图。

[0102] 图68是表示第十九实施方式的第三结构例的其他的平面形状的图。

[0103] 图69是表示同时输出4个抽头的像素信号的情况下的像素阵列部的电路结构例的图。

[0104] 图70是表示配置4条垂直信号线的布线布局的图。

[0105] 图71是表示配置4条垂直信号线的布线布局的第一变形例的图。

[0106] 图72是表示配置4条垂直信号线的布线布局的第二变形例的图。

[0107] 图73是表示像素晶体管的配置例的变形例的图。

[0108] 图74是表示图73的B的像素晶体管布局中的连接布局的图。

[0109] 图75是表示图73的B的像素晶体管布局中的布线布局的图。

[0110] 图76是在一个像素列配置两条电源线的布线布局的图。

[0111] 图77是表示VSS布线的布线例的俯视图。

[0112] 图78是表示VSS布线的布线例的俯视图。

[0113] 图79是对光瞳校正的第一方法进行说明的图。

[0114] 图80是对光瞳校正的第一方法进行说明的图。

[0115] 图81是对光瞳校正的第一方法进行说明的图。

[0116] 图82是对光瞳校正的第一方法进行说明的图。

[0117] 图83是对光瞳校正的第一方法中的片上透镜的偏移量进行说明的图。

[0118] 图84是对2Phase方式和4Phase方式进行说明的图。

[0119] 图85是对电压供给线的布线例进行说明的图。

[0120] 图86是第二十实施方式的第一结构例的像素的截面图和俯视图。

[0121] 图87是第一抽头和第二抽头的排列例的图。

[0122] 图88是对第一抽和第二抽头的驱动模式进行说明的图。

[0123] 图89是第二十实施方式的第二结构例的像素的截面图和俯视图。

[0124] 图90是表示相位差遮光膜和片上透镜的配置例的图。

[0125] 图91是第二十一实施方式的像素的截面图。

[0126] 图92是第二十一实施方式的像素的俯视图。

[0127] 图93是第二十二实施方式的像素的截面图。

[0128] 图94是第二十二实施方式的像素的俯视图。

[0129] 图95表示是测距模块的结构例的框图。

[0130] 图96是车辆控制系统的概要结构的一例的框图。

[0131] 图97是第车外信息检测部和摄像部的设置位置的一例进行说明的图。

[0132] 附图标记说明：

[0133] 1：受光元件；20：像素阵列部；21：抽头驱动部；22：垂直驱动部；29：垂直信号线；30：电压供给线；51：像素；51X：遮光像素；61：基板；62：片上透镜；63：像素间遮光膜；64：氧化膜；65、65-1、65-2：信号取出部；66：固定电荷膜；71-1、71-2、71：N+半导体区域；73-1、73-2、73：P+半导体区域；441-1、441-2、441：分离区域；471-1、471-2、471：分离区域；631：反射部件；721：传输晶体管；722：FD；723：复位晶体管；724：放大晶体管；725：选择晶体管；727：附加电容；728：切换晶体管；741：电压供给线；811：多层布线层；812：层间绝缘膜；813：电源线；814：电压施加布线；815：反射部件；816：电压施加布线；817：控制线；M1至M5：金属膜；1021：P阱区；1022：P型半导体区域；1031：P阱区；1032、1033：氧化膜；1051：有效像素区域；1052：无效像素区域；1061：N型扩散层；1071：像素分离部；1101：电荷排出区域；1102：OPB区域；1121：开口像素区域；1122：遮光像素区域；1123：N型区域；1131：N型扩散层；1201、1211：

基板;1231:像素阵列区域;1232:区域控制电路;1251:MIX接合部;1252:DET接合部;1253:电压供给线;1261:周边部;1311:电极部;1311A:埋入部;1311B:突出部;1312:P+半导体区域;1313:绝缘膜;1314:空穴浓度强化层;1401、1401A至1401D:电源线;1411、1411A至E:VSS布线;1421:间隙;1511:垂直布线;1512:水平布线;1513:布线;1521:第一布线层;1522:第二布线层;1523:第三布线层;1542、1543:外周部;1801、1811:相位差遮光膜;1821:片上透镜;1841:偏振滤波器;1861:彩色滤光片;1871:IR截止滤光片;1872:彩色滤光片;1881:光电二极管;1882:像素分离部;5000:测距模块;5011:发光部;5012:发光控制部;5013:受光部。

具体实施方式

[0134] 以下,参照附图对应用了本实用新型的实施方式进行说明。

[0135] (第一实施方式)

[0136] (受光元件的结构例)

[0137] 本实用新型通过将CAPD传感器设为背面照射型的结构,能够提高像素灵敏度等的特性。

[0138] 本实用新型例如也能够应用于构成通过间接ToF方式进行测距的测距系统的受光元件、具有这种受光元件的摄像装置等。

[0139] 例如测距系统能够应用于搭载于车辆且测定距位于车外的对象物的距离的车载用的系统、测定距用户的手等对象物的距离并基于该测定结果识别用户的手势的手势识别用的系统等。在该情况下,能够将手势识别的结果用于例如汽车导航系统的操作等。

[0140] 图1是表示应用了本实用新型的受光元件的一个实施方式的结构例的框图。

[0141] 图1所示的受光元件1是背面照射型的CAPD传感器,例如设置于具有测距功能的摄像装置。

[0142] 受光元件1构成为具有:形成在未图示的半导体基板上的像素阵列部20;以及集成在与像素阵列部20相同的半导体基板上的周边电路部。周边电路部例如由抽头驱动部21、垂直驱动部22、列处理部23、水平驱动部24和系统控制部25构成。

[0143] 在受光元件1还设置有信号处理部31和数据存储部32。另外,信号处理部31和数据存储部32可以搭载在与受光元件1相同的基板上,也可以配置在摄像装置中的与受光元件1不同的基板上。

[0144] 像素阵列部20构成为,生成与接收到的光量对应的电荷并输出与该电荷对应的信号的像素51以行方向和列方向的矩阵状二维配置。即,像素阵列部20具有多个像素51,该多个像素51将所入射的光进行光电转换并输出与作为结果而得到的电荷对应的信号。此处,行方向是指水平方向的像素51的排列方向,列方向是指垂直方向的像素51的排列方向。行方向在图中为横向,列方向在图中为纵向。

[0145] 像素51接收从外部入射的光、特别是红外光并进行光电转换,输出与作为结果而得到的电荷对应的像素信号。像素51具有:第一抽头TA,施加规定的电压MIX0(第一电压),检测光电转换后的电荷;以及第二抽头TB,施加规定的电压MIX1(第二电压),检测光电转换后的电荷。

[0146] 抽头驱动部21经由规定的电压供给线30向像素阵列部20的各像素51的第一抽头

TA供给规定的电压MIX0，经由规定的电压供给线30向第二抽头TB供给规定的电压MIX1。因而，在像素阵列部20的一个像素列布置有传送电压MIX0的电压供给线30、以及传送电压MIX1的电压供给线30的两条电压供给线30。

[0147] 在像素阵列部20中，针对矩阵状的像素排列，在每一像素行沿着行方向布线像素驱动线28，在各像素列沿着列方向布线两条垂直信号线29。例如像素驱动线28传送用于进行从像素读出信号时的驱动的驱动信号。另外，在图1中，将像素驱动线28表示为1条布线，但是并不限定于1条。像素驱动线28的一端与垂直驱动部22的对应于各行的输出端连接。

[0148] 垂直驱动部22由移位寄存器、地址解码器等构成，同时驱动像素阵列部20的全部像素，或者以行为单位等驱动像素阵列部20的各像素。即，垂直驱动部22与控制垂直驱动部22的系统控制部25一起，构成控制像素阵列部20的各像素的动作的驱动部。

[0149] 与垂直驱动部22的驱动控制相应地从像素行的各像素51输出的信号，通过垂直信号线29输入到列处理部23。列处理部23对从各像素51通过垂直信号线29输出的像素信号进行规定的信号处理，并且暂时保持信号处理后的像素信号。

[0150] 具体而言，列处理部23作为信号处理而进行噪声除去处理、AD(Analog to Digital)转换处理等。

[0151] 水平驱动部24由移位寄存器、地址解码器等构成，依次选择与列处理部23的像素列对应的单位电路。通过该水平驱动部24的选择扫描，依次输出在列处理部23中针对每个单位电路进行信号处理后的像素信号。

[0152] 系统控制部25由生成各种时刻信号的时刻发生器等构成，基于由该时刻发生器生成的各种时刻信号，进行抽头驱动部21、垂直驱动部22、列处理部23和水平驱动部24等的驱动控制。

[0153] 信号处理部31至少具有运算处理功能，基于从列处理部23输出的像素信号进行运算处理等的各种信号处理。数据存储部32在信号处理部31的信号处理中，暂时存储该处理所需的数据。

[0154] (像素的结构例)

[0155] 接下来，对设置于像素阵列部20的像素的结构例进行说明。设置于像素阵列部20的像素例如如图2所示那样构成。

[0156] 图2表示设置于像素阵列部20的一个像素51的截面，该像素51接收从外部入射的光、特别是红外光并进行光电转换，输出与作为结果而得到的电荷对应的信号。

[0157] 像素51具有例如由硅基板等的P型的半导体层构成的基板61以及形成在该基板61上的片上透镜62。

[0158] 例如基板61在图中纵向的厚度、即与基板61的面垂直的方向的厚度为20μm以下。另外，基板61的厚度当然也可以为20μm以上，只要根据作为受光元件1的目标的特性等设定该厚度即可。

[0159] 此外，基板61例如是被设为1E+13级以下的基板浓度的高电阻的P-Epi基板等，基板61的电阻(电阻率)例如为500[Ω cm]以上。

[0160] 此处，对于基板61的基板浓度与电阻之间的关系，例如当基板浓度为6.48E+12[cm^3]时电阻为2000[Ω cm]，基板浓度为1.30E+13[cm^3]时电阻为1000[Ω cm]，基板浓度为2.59E+13[cm^3]时电阻为500[Ω cm]、以及基板浓度为1.30E+14[cm^3]时电阻为100[Ω cm]等。

[0161] 在图2中，基板61的上侧的面是基板61的背面，且是来自外部的光入射到基板61的光入射面。另一方面，基板61的下侧的面是基板61的表面，形成未图示的多层布线层。在基板61的光入射面形成有由带正的固定电荷的单层膜或层叠膜构成的固定电荷膜66，在固定电荷膜66的上表面形成有使从外部入射的光聚光并入射到基板61内的片上透镜62。固定电荷膜66将基板61的光入射面侧设为空穴累积状态，抑制暗电流的产生。

[0162] 进而，在像素51中，在固定电荷膜66上的像素51的端部分，形成有用于防止邻接的像素间的串扰的像素间遮光膜63-1和像素间遮光膜63-2。以下，在不需要特别区别像素间遮光膜63-1和像素间遮光膜63-2的情况下，也简称为像素间遮光膜63。

[0163] 在该例子中，来自外部的光经由片上透镜62入射到基板61内，像素间遮光膜63是为了使从外部入射的光不入射到基板61中的与像素51邻接设置的其他像素的区域而形成的。即，从外部入射到片上透镜62并朝向与像素51邻接的其他像素内的光被像素间遮光膜63-1和像素间遮光膜63-2遮光，防止入射到邻接的其他像素内。

[0164] 由于受光元件1是背面照射型的CAPD传感器，所以基板61的光入射面成为所谓的背面，在该背面不形成由布线等构成的布线层。此外，在基板61中的与光入射面相反侧的面的部分通过层叠而形成布线层，在该布线层形成有用于驱动形成在像素51内的晶体管等的布线、以及用于从像素51读出信号的布线等。

[0165] 在基板61内的与光入射面相反的面侧、即图中的下侧的面的内侧的部分，形成有氧化膜64、信号取出部65-1和信号取出部65-2。信号取出部65-1相当于图1中说明的第一抽头TA，信号取出部65-2相当于图1中说明的第二抽头TB。

[0166] 在该例子中，在基板61的与光入射面相反侧的面附近的像素51的中心部分形成有氧化膜64，在该氧化膜64的两端分别形成有信号取出部65-1和信号取出部65-2。

[0167] 此处，信号取出部65-1具有作为N型半导体区域的N+半导体区域71-1和施主杂质的浓度比N+半导体区域71-1低的N－半导体区域72-1、以及作为P型半导体区域的P+半导体区域73-1和受主杂质浓度比P+半导体区域73-1低的P－半导体区域74-1。此处，施主杂质例如可以举出相对于Si的磷(P)和砷(As)等的在元素周期表中属于5族的元素，受主杂质例如可以举出相对于Si的硼(B)等的在元素周期表中属于3族的元素。将成为施主杂质的元素称为施主元素，将成为受主杂质的元素称为受主元素。

[0168] 在图2中，在基板61的与光入射面相反侧的面的表面内侧部分中的、与氧化膜64的右侧邻接的位置，形成N+半导体区域71-1。此外，在N+半导体区域71-1的图中上侧，以覆盖(包围)该N+半导体区域71-1的方式形成N－半导体区域72-1。

[0169] 进而，在N+半导体区域71-1的右侧形成P+半导体区域73-1。此外，在P+半导体区域73-1的图中在上侧，以覆盖(包围)该P+半导体区域73-1的方式形成P－半导体区域74-1。

[0170] 进而，在P+半导体区域73-1的右侧形成N+半导体区域71-1。此外，在N+半导体区域71-1的图中上侧，以覆盖(包围)该N+半导体区域71-1的方式形成N－半导体区域72-1。

[0171] 同样地，信号取出部65-2具有：作为N型半导体区域的N+半导体区域71-2和施主杂质的浓度比N+半导体区域71-2低的N－半导体区域72-2；以及P型半导体区域P+半导体区域73-2和受主杂质浓度比P+半导体区域73-2低的P－半导体区域74-2。

[0172] 在图2中，在基板61的与光入射面相反侧的面的表面内侧部分中的、与氧化膜64的左侧邻接的位置，形成N+半导体区域71-2。此外，在N+半导体区域71-2的图中上侧，以覆盖

(包围)该N+半导体区域71-2的方式形成N－半导体区域72-2。

[0173] 进而,在N+半导体区域71-2的左侧形成P+半导体区域73-2。此外,在P+半导体区域73-2的图中上侧,以覆盖(包围)该P+半导体区域73-2的方式形成P－半导体区域74-2。

[0174] 进而,在P+半导体区域73-2的左侧形成N+半导体区域71-2。此外,在N+半导体区域71-2的图中上侧,以覆盖(包围)该N+半导体区域71-2的方式形成N－半导体区域72-2。

[0175] 在基板61的与光入射面相反侧的面的表面内侧部分中的、像素51的端部分,形成与像素51的中心部分相同的氧化膜64。

[0176] 以下,在不需要特别区别信号取出部65-1和信号取出部65-2的情况下,也简称为信号取出部65。

[0177] 此外,以下,在不需要特别区别N+半导体区域71-1和N+半导体区域71-2的情况下,也简称为N+半导体区域71,在不需要特别区别N－半导体区域72-1和N－半导体区域72-2的情况下,也简称为N－半导体区域72。

[0178] 进而,以下,在不需要特别区别P+半导体区域73-1和P+半导体区域73-2的情况下,也简称为P+半导体区域73,在不需要特别区别P－半导体区域74-1和P－半导体区域74-2的情况下,也简称为P－半导体区域74。

[0179] 此外,在基板61中,在N+半导体区域71-1与P+半导体区域73-1之间,由氧化膜等形成用于将这些区域分离的分离部75-1。同样地,在N+半导体区域71-2与P+半导体区域73-2之间,也由氧化膜等形成用于将这些区域分离的分离部75-2。以下,在不需要特别区别分离部75-1和分离部75-2的情况下,也简称为分离部75。

[0180] 设置于基板61的N+半导体区域71作为电荷检测部发挥功能,该电荷检测部用于检测从外部入射到像素51的光的光量、即通过基于基板61的光电转换而产生的信号载波的量。另外,除了N+半导体区域71以外,也包括施主杂质浓度低的N－半导体区域72,能够理解为电荷检测部。此外,P+半导体区域73作为电压施加部发挥功能,该电压施加部用于向基板61注入大量载波电流、即向基板61直接施加电压而在基板61内产生电场。另外,除了P+半导体区域73以外,也包括受主杂质浓度低的P－半导体区域74,能够理解为电压施加部。

[0181] 在像素51中,在N+半导体区域71-1直接连接有未图示的浮动扩散区域FD(Floating Diffusion)部(以下,特别是也称为FD部A),进而,该FD部A经由未图示的放大晶体管等与垂直信号线29连接。

[0182] 同样地,在N+半导体区域71-2直接连接有与FD部A不同的其他FD部(以下,特别是也称为FD部B),进而,该FD部B经由未图示的放大晶体管等与垂直信号线29连接。此处,FD部A和FD部B与互不相同的垂直信号线29连接。

[0183] 例如在想要通过间接ToF方式测定距对象物的距离的情况下,从设置有受光元件1的摄像装置朝向对象物射出红外光。然后,当该红外光被对象物反射而作为反射光返回到摄像装置时,受光元件1的基板61接收入射而来的反射光(红外光)并进行光电转换。抽头驱动部21驱动像素51的第一抽头TA和第二抽头TB,将与通过光电转换而得到的电荷DET对应的信号分配给FD部A和FD部B。

[0184] 例如在某一时刻,抽头驱动部21经由触点等向两个P+半导体区域73施加电压。具体而言,例如抽头驱动部21向作为第一抽头TA的P+半导体区域73-1施加MIX0＝1.5V的电压,向作为第二抽头TB的P+半导体区域73-2施加MIX1＝0V的电压。

[0185] 于是，在基板61中的两个P+半导体区域73之间产生电场，电流从P+半导体区域73-1流向P+半导体区域73-2。在该情况下，基板61内的空穴(hole)向P+半导体区域73-2的方向移动，电子向P+半导体区域73-1的方向移动。

[0186] 因而，在这种状态下，经由片上透镜62向基板61内入射来自外部的红外光(反射光)，当该红外光在基板61内被光电转换而转换成电子和空穴的对时，所得到的电子被P+半导体区域73间的电场朝P+半导体区域73-1的方向引导，向N+半导体区域71-1内移动。

[0187] 在该情况下，通过光电转换而产生的电子被用作用于检测与入射到像素51的红外光的量、即红外光的受光量对应的信号的信号载波。

[0188] 由此，在N+半导体区域71-1中蓄积与向N+半导体区域71-1内移动的电子对应的电荷，该电荷经由FD部A、放大晶体管、垂直信号线29等通过列处理部23进行检测。

[0189] 即，N+半导体区域71-1的蓄积电荷DET0被传送到与该N+半导体区域71-1直接连接的FD部A，通过列处理部23经由放大晶体管、垂直信号线29读出与被传送到FD部A的电荷DET0对应的信号。然后，针对所读出的信号，在列处理部23中实施AD转换处理等的处理，将作为结果而得到的像素信号供给到信号处理部31。

[0190] 该像素信号成为表示与在N+半导体区域71-1中检测到的电子对应的电荷量、即蓄积于FD部A的电荷DET0的量的信号。换言之，也可以说像素信号是表示由像素51接收到的红外光的光量的信号。

[0191] 另外，此时，也可以与N+半导体区域71-1的情况相同，将与在N+半导体区域71-2中检测到的电子对应的像素信号也适当用于测距。

[0192] 此外，在接下来的时刻，通过抽头驱动部21经由触点等向两个P+半导体区域73施加电压，以便产生与到此为止在基板61内产生的电场相反方向的电场。具体而言，例如向作为第一抽头TA的P+半导体区域73-1施加MIX0＝0V的电压，向作为第二抽头TB的P+半导体区域73-2施加MIX1＝1.5V的电压。

[0193] 由此，在基板61中的两个P+半导体区域73之间产生电场，电流从P+半导体区域73-2流向P+半导体区域73-1。

[0194] 在这种状态下，经由片上透镜62向基板61内入射来自外部的红外光(反射光)，当该红外光在基板61内被光电转换而转换成电子和空穴的对时，所得到的电子被P+半导体区域73间的电场朝P+半导体区域73-2的方向引导，向N+半导体区域71-2内移动。

[0195] 由此，在N+半导体区域71-2中蓄积与向N+半导体区域71-2内移动的电子对应的电荷，该电荷经由FD部B、放大晶体管、垂直信号线29等通过列处理部23进行检测。

[0196] 即，N+半导体区域71-2的蓄积电荷DET1被传送到与该N+半导体区域71-2直接连接的FD部B，通过列处理部23经由放大晶体管和垂直信号线29读出与被传送到FD部B的电荷DET1对应的信号。然后，针对所读出的信号，在列处理部23中实施AD转换处理等的处理，将作为结果而得到的像素信号供给到信号处理部31。

[0197] 另外，此时，也可以与N+半导体区域71-2的情况相同，将与在N+半导体区域71-1检测到的电子对应的像素信号也适当用于测距。

[0198] 这样，当在相同的像素51中得到通过互不相同的期间的光电转换而得到的像素信号时，信号处理部31基于这些像素信号计算表示距对象物的距离的距离信息，并向后级输出。

[0199] 这样向互不相同的N+半导体区域71分配信号载波、基于与这些信号载波对应的信号计算距离信息的方法，被称为间接ToF方式。

[0200] 当在图2中从上至下方向、即与基板61垂直的面的方向观察像素51中的信号取出部65的部分时，例如如图3所示，形成为P+半导体区域73的周围由N+半导体区域71包围的结构。另外，在图3中，对与图2的情况对应的部分标注相同的附图标记，并适当省略其说明。

[0201] 在图3的例子中，在像素51的中央部分形成未图示的氧化膜64，在从像素51的中央稍靠端侧的部分形成信号取出部65。特别是，此处，在像素51内形成两个信号取出部65。

[0202] 并且，在各信号取出部65中，在其中心位置形成矩形的P+半导体区域73，以该P+半导体区域73为中心，P+半导体区域73的周围由矩形、更具体而言为矩形框状的N+半导体区域71包围。即，N+半导体区域71形成为包围P+半导体区域73的周围。

[0203] 此外，在像素51中，形成片上透镜62以便将从外部入射的红外光聚光到像素51的中心部分、即箭头A11所示的部分。换言之，从外部入射到片上透镜62的红外光由片上透镜62聚光到箭头A11所示的位置、即图2中的氧化膜64的图2中上侧的位置。

[0204] 因而，红外光被聚光到信号取出部65-1与信号取出部65-2之间的位置。由此，能够抑制红外光入射到与像素51邻接的像素而产生串扰，并且能够抑制红外光直接入射到信号取出部65。

[0205] 例如如果红外光直接入射到信号取出部65，则电荷分离效率、即Cmod(Contrast between active and inactive tap)、Modulation contrast会降低。

[0206] 此处，进行与通过光电转换而得到的电荷DET对应的信号的读出的一方的信号取出部65、即应当检测通过光电转换而得到的电荷DET的信号取出部65也称为有源抽头(active tap)。

[0207] 反之，基本上不进行与通过光电转换而得到的电荷DET对应的信号的读出的一方的信号取出部65、即不是有源抽头的一方的信号取出部65也称为无源抽头(inactive tap)。

[0208] 在上述的例子中，向P+半导体区域73施加1.5V的电压的一方的信号取出部65是有源抽头，向P+半导体区域73施加0V的电压的一方的信号取出部65是无源抽头。

[0209] Cmod由以下的式(1)计算，Cmod是表示通过入射的红外光的光电转换而产生的电荷中的百分之几的电荷能够在作为有源抽头的信号取出部65的N+半导体区域71中检测、即，是表示是否能够取出与电荷对应的信号的指标，表示电荷分离效率。在式(1)中，I0是在两个电荷检测部(P+半导体区域73)的一方检测的信号，I1是在另一方检测的信号。

[0210] $Cmod = \{|I0 - I1|/(I0+I1)\} \times 100 \cdots\cdots (1)$

[0211] 因而，例如当从外部入射的红外光入射到无源抽头的区域，在该无源抽头内进行光电转换时，通过光电转换而产生的信号载波即电子移动到无源抽头内的N+半导体区域71的可能性高。于是，在有源抽头内的N+半导体区域71检测不到通过光电转换而得到的一部分的电子的电荷，Cmod、即电荷分离效率降低。

[0212] 因此，在像素51中，通过将红外光聚光到位于距两个信号取出部65大致等距离的位置的像素51的中心部分附近，能够降低从外部入射的红外光在无源抽头的区域中被光电转换的概率，能够提高电荷分离效率。此外，在像素51中，也能够提高调制对比度(Modulation contrast)。换言之，能够容易地将通过光电转换而得到的电子向有源抽头内

的N+半导体区域71引导。

[0213] 根据以上那样的受光元件1,能够得到以下的效果。

[0214] 即,首先,由于受光元件1是背面照射型,所以能够使量子效率(QE)×开口率(FF(Fill Factor))最大化,能够提高受光元件1的测距特性。

[0215] 例如如图4的箭头W11所示,通常的表面照射型的图像传感器形成为,在作为光电转换部的PD101中的来自外部的光入射的光入射面侧形成有布线102和布线103。

[0216] 因此,例如从外部如箭头A21和箭头A22所示那样带有一定程度的角度相对于PD101倾斜地入射的光的一部分,被布线102和布线103遮挡而未入射到PD101。

[0217] 与此相对,背面照射型的图像传感器构成为,例如如箭头W12所示,在作为光电转换部的PD104中的与来自外部的光入射的光入射面相反侧的面形成有布线105和布线106。

[0218] 因此,与表面照射型的情况相比,能够确保充分的开口率。即,例如从外部如箭头A23和箭头A24所示那样带有一定程度的角度相对于PD104倾斜地入射的光不会被布线遮挡而入射到PD104。由此,能够接收更多的光而提高像素的灵敏度。

[0219] 在作为背面照射型的CAPD传感器的受光元件1中也能够得到通过设为这样的背面照射型而得到的像素灵敏度的提高效果。

[0220] 此外,例如在表面照射型的CAPD传感器中,如箭头W13所示,在作为光电转换部的PD111的内部中的来自外部的光入射的光入射面侧,形成有被称为抽头的信号取出部112,更具体而言,形成有抽头的P+半导体区域和N+半导体区域。此外,表面照射型的CAPD传感器构成为,在光入射面侧形成有布线113、与信号取出部112连接的触点和金属等的布线114。

[0221] 因此,例如,不仅从外部如箭头A25和箭头A26所示那样带有一定程度的角度相对于PD111倾斜地入射的光的一部分被布线113等遮挡而未入射到PD111,而且如箭头A27所示那样相对于PD111垂直地入射的光也被布线114遮挡而未入射到PD111。

[0222] 与此相对,背面照射型的CAPD传感器构成为,例如如箭头W14所示,在光电转换部PD115中的与来自外部的光入射的光入射面相反侧的面的部分形成有信号取出部116。此外,在PD115中的与光入射面相反侧的面形成有布线117、与信号取出部116连接的触点和金属等的布线118。

[0223] 此处,PD115与图2所示的基板61对应,信号取出部116与图2所示的信号取出部65对应。

[0224] 在这种结构的背面照射型的CAPD传感器中,与表面照射型的情况相比,能够确保充分的开口率。因而,能够使量子效率(QE)×开口率(FF)最大化,能够提高测距特性。

[0225] 即,例如从外部如箭头A28和箭头A29所示那样带有一定程度的角度相对于PD115倾斜地入射的光不被布线遮挡而入射到PD115。同样地,如箭头A30所示那样相对于PD115垂直地入射的光也不被布线等遮挡而入射到PD115。

[0226] 这样,在背面照射型的CAPD传感器中,不仅能够接收带有一定程度的角度入射的光,而且能够接收相对于PD115垂直地入射的、在表面照射型中被与信号取出部(抽头)连接的布线等反射的光。由此,能够接收更多的光而提高像素的灵敏度。换言之,能够使量子效率(QE)×开口率(FF)最大化,其结果是,能够提高测距特性。

[0227] 特别是,在不是在像素外缘而是在像素的中央附近配置抽头的情况下,在表面照射型的CAPD传感器中,无法确保充分的开口率而致使像素的灵敏度降低,但在作为背面照

射型的CAPD传感器的受光元件1中，能够不依赖于抽头的配置位置而确保充分的开口率，能够提高像素的灵敏度。

[0228] 此外，在背面照射型的受光元件1中，由于在基板61中的与来自外部的红外光入射的光入射面相反侧的面附近形成信号取出部65，所以能够减少在无源抽头的区域中的红外光的光电转换的发生。由此，能够提高Cmod、即电荷分离效率。

[0229] 图5表示表面照射型和背面照射型的CAPD传感器的像素截面图。

[0230] 在图5左侧的表面照射型的CAPD传感器中，在图中，基板141的上侧是光入射面，在基板141的光入射面侧层叠有包含多个层的布线的布线层152、像素间遮光部153以及片上透镜154。

[0231] 在图5右侧的背面照射型的CAPD传感器中，在图中，在与光入射面相反侧的基板142的下侧形成包含多个层的布线的布线层152，在作为光入射面侧的基板142的上侧层叠有像素间遮光部153以及片上透镜154。

[0232] 另外，在图5中灰色的梯形形状表示红外光由片上透镜154集光从而光强度强的区域。

[0233] 例如，在表面照射型的CAPD传感器中，在基板141的光入射面侧具有存在无源(inactive)抽头和有源(active)抽头的区域R11。因此，直接入射到无源抽头的成分多，如果在无源抽头的区域进行光电转换，则在有源抽头的N+半导体区域检测不到通过该光电转换而得到的信号载波。

[0234] 在表面照射型的CAPD传感器中，由于在基板141的光入射面附近的区域R11中红外光的强度强，所以在区域R11内进行红外光的光电转换的概率变高。即，由于入射到无源抽头附近的红外光的光量多，所以无法通过有源抽头检测的信号载波变多，电荷分离效率降低。

[0235] 与此相对，在背面照射型的CAPD传感器中，在基板142的远离光入射面的位置、即与光入射面侧相反侧的面附近的位置，具有存在无源抽头和有源抽头的区域R12。此处，基板142与图2所示的基板61对应。

[0236] 在该例子中，由于在基板142的与光入射面侧相反侧的面的部分具有区域R12，区域R12位于远离光入射面的位置，所以在该区域R12附近，入射的红外光的强度相对变弱。

[0237] 在基板142的中心附近、光入射面附近等的红外光的强度强的区域中通过光电转换而得到的信号载波，由在基板142内产生的电场向有源抽头引导，在有源抽头的N+半导体区域被检测。

[0238] 另一方面，在包含无源抽头的区域R12附近，入射的红外光的强度相对较弱，因此在区域R12内进行红外光的光电转换的概率变低。即，由于入射到无源抽头附近的红外光的光量少，所以在无源抽头附近通过光电转换而产生并向无源抽头的N+半导体区域移动的信号载波(电子)的数量变少，能够提高电荷分离效率。其结果是，能够改善测距特性。

[0239] 进而，在背面照射型的受光元件1中，由于能够实现基板61的薄层化，因此能够提高信号载波的电子(电荷)的取出效率。

[0240] 例如，由于在表面照射型的CAPD传感器中无法充分地确保开口率，所以如图6的箭头W31所示，为了确保更高的量子效率，抑制量子效率×开口率的降低，需要将基板171在一定程度上加厚。

[0241] 于是，在基板171内的与光入射面相反侧的面附近的区域、例如区域R21的部分，电势的倾斜变得平缓，实质上与基板171垂直的方向的电场变弱。在该情况下，信号载波的移动速度变慢，因此，从进行光电转换到在有源抽头的N+半导体区域检测信号载波所需的时间变长。另外，在图6中，基板171内的箭头表示基板171中的与基板171垂直的方向的电场。

[0242] 此外，当基板171厚时，从基板171内的远离有源抽头的位置到有源抽头内的N+半导体区域的信号载波的移动距离变长。因而，从在远离有源抽头的位置处进行光电转换到在有源抽头的N+半导体区域检测信号载波所需的时间进一步变长。

[0243] 图7表示基板171的厚度方向的位置与信号载波的移动速度之间的关系。区域R21与扩散电流区域对应。

[0244] 这样，当基板171变厚时，例如当驱动频率高时、即当高速地进行抽头(信号取出部)的有源和无源的切换时，在区域R21等的远离有源抽头的位置处产生的电子无法被完全引入到有源抽头的N+半导体区域。即，如果抽头成为有源的时间短，则会产生在有源抽头的N+半导体区域检测不到在区域R21内等产生的电子(电荷)的情况，电子的取出效率降低。

[0245] 与此相对，在背面照射型的CAPD传感器中，能够确保充分的开口率，因此，例如如图6的箭头W32所示，即使减薄基板172也能够确保充分的量子效率×开口率。此处，基板172与图2的基板61对应，基板172内的箭头表示与基板172垂直的方向的电场。

[0246] 图8表示基板172的厚度方向的位置与信号载波的移动速度之间的关系。

[0247] 这样，当减薄基板172中的与基板172垂直的方向上的厚度时，实质上与基板172垂直的方向的电场变强，仅使用信号载波的移动速度快的漂移电流区域的电子(电荷)，不使用信号载波的移动速度慢的扩散电流区域的电子。通过仅使用漂移电流区域的电子(电荷)，从进行光电转换到在有源抽头的N+半导体区域检测信号载波所需的时间变短。此外，当基板172的厚度变薄时，信号载波到有源抽头内的N+半导体区域的移动距离也变短。

[0248] 因此，在背面照射型的CAPD传感器中，即使当驱动频率高时，也能够将在基板172内的各区域产生的信号载波(电子)充分引入到有源抽头的N+半导体区域，能够提高电子的取出效率。

[0249] 此外，通过基板172的薄层化，即使是高的驱动频率也能够确保充分的电子的取出效率，能够提高高速驱动耐性。

[0250] 特别是，在背面照射型的CAPD传感器中，能够对基板172、即基板61直接施加电压，因此抽头的有源和无源的切换的响应速度快，能够以高的驱动频率进行驱动。此外，能够对基板61直接施加电压，因此基板61内的可调制的区域变宽。

[0251] 进而，在背面照射型的受光元件1(CAPD传感器)中，能够得到充分的开口率，因此，能够相应地使像素细微化，能够提高像素的细微化耐性。

[0252] 此外，通过将受光元件1设为背面照射型，能够实现BEOL(Back EndOf Line)电容设计的自由化，由此能够提高饱和信号量(Qs)的设计自由度。

[0253] (第一实施方式的变形例1)

[0254] (像素的结构例)

[0255] 另外，以上，以将基板61内的信号取出部65的部分如图3所示那样设为N+半导体区域71和P+半导体区域73为矩形的区域的情况为例进行了说明。但是，从与基板61垂直的方向观察时的N+半导体区域71和P+半导体区域73的形状可以是任意的形状。

[0256] 具体而言，例如如图9所示，N+半导体区域71和P+半导体区域73可以为圆形。另外，对图9中的与图3的情况对应的部分标注相同的附图标记，适当省略其说明。

[0257] 图9表示从与基板61垂直的方向观察像素51中的信号取出部65的部分时的N+半导体区域71和P+半导体区域73。

[0258] 在该例子中，在像素51的中央部分形成未图示的氧化膜64，从像素51的中央稍靠端侧的部分形成信号取出部65。特别是，此处，在像素51内形成两个信号取出部65。

[0259] 并且，在各信号取出部65中，在其中心位置形成圆形的P+半导体区域73，以该P+半导体区域73为中心，P+半导体区域73的周围由圆形、更具体而言为圆环状的N+半导体区域71包围。

[0260] 图10是在具有图9所示的信号取出部65的像素51呈矩阵状二维配置而成的像素阵列部20的一部分重叠片上透镜62的俯视图。

[0261] 如图10所示，片上透镜62以像素为单位形成。换言之，形成有1个片上透镜62的单位区域与1个像素对应。

[0262] 另外，在图2中，在N+半导体区域71与P+半导体区域73之间配置有由氧化膜等形成的分离部75，但是分离部75可有可无。

[0263] (第一实施方式的变形例2)

[0264] (像素的结构例)

[0265] 图11是表示像素51中的信号取出部65的平面形状的变形例的俯视图。

[0266] 信号取出部65的平面形状除了形成为图3所示的矩形、图9所示的圆形以外，例如还可以形成为图11所示的八边形状。

[0267] 此外，图11表示在N+半导体区域71与P+半导体区域73之间形成由氧化膜等形成的分离部75的情况下的俯视图。

[0268] 图11所示的A－A’线表示后述的图37的截面线，B－B’线表示后述的图36的截面线。

[0269] (第二实施方式)

[0270] (像素的结构例)

[0271] 进而，以上，以在信号取出部65内P+半导体区域73的周围由N+半导体区域71包围结构为例进行了说明，但是也可以为N+半导体区域的周围由P+半导体区域包围。

[0272] 在这种情况下，像素51例如如图12所示那样构成。另外，对图12中的与图3的情况对应的部分标注相同的附图标记，适当省略其说明。

[0273] 图12表示从与基板61垂直的方向观察像素51中的信号取出部65的部分时的N+半导体区域和P+半导体区域的配置。

[0274] 在该例子中，在像素51的中央部分形成未图示的氧化膜64，从像素51的中央稍靠图中上侧的部分形成信号取出部65-1，从像素51的中央稍靠图中下侧的部分形成信号取出部65-2。特别是在该例子中，像素51内的信号取出部65的形成位置成为与图3的情况相同的位置。

[0275] 在信号取出部65-1内，与图3所示的N+半导体区域71-1对应的矩形的N+半导体区域201-1形成在信号取出部65-1的中心。并且，该N+半导体区域201-1的周围由与图3所示的P+半导体区域73-1对应的矩形、更具体而言为矩形框状的P+半导体区域202-1包围。即，P+

半导体区域202-1形成为包围N+半导体区域201-1的周围。

[0276] 同样地，在信号取出部65-2内，与图3所示的N+半导体区域71-2对应的矩形的N+半导体区域201-2形成在信号取出部65-2的中心。并且，该N+半导体区域201-2的周围由与图3所示的P+半导体区域73-2对应的矩形、更具体而言为矩形框状的P+半导体区域202-2包围。

[0277] 另外，以下，在不需要特别区别N+半导体区域201-1和N+半导体区域201-2的情况下，也简称为N+半导体区域201。此外，以下，在不需要特别区别P+半导体区域202-1和P+半导体区域202-2的情况下，也简称为P+半导体区域202。

[0278] 在信号取出部65形成为图12所示的结构的情况下，也与形成为图3所示的结构的情况相同，N+半导体区域201作为检测信号载波的量的电荷检测部发挥功能，P+半导体区域202作为用于对基板61直接施加电压而产生电场的电压施加部发挥功能。

[0279] (第二实施方式的变形例1)

[0280] (像素的结构例)

[0281] 此外，与图9的例子相同，即使在形成为N+半导体区域201的周围由P+半导体区域202包围的配置的情况下，这些N+半导体区域201和P+半导体区域202的形状也可以是任意的形状。

[0282] 即，例如也可以如图13所示那样将N+半导体区域201和P+半导体区域202形成为圆形。另外，对图13中的与图12的情况对应的部分标注相同的附图标记，适当省略其说明。

[0283] 图13表示从与基板61垂直的方向观察像素51中的信号取出部65的部分时的N+半导体区域201和P+半导体区域202。

[0284] 在该例子中，在像素51的中央部分形成未图示的氧化膜64，从像素51的中央稍靠端侧的部分形成信号取出部65。特别是，此处，在像素51内形成两个信号取出部65。

[0285] 并且，在各信号取出部65中，在其中心位置形成圆形的N+半导体区域201，以该N+半导体区域201为中心，N+半导体区域201的周围由圆形、更具体而言为圆环状的P+半导体区域202包围。

[0286] (第三实施方式)

[0287] (像素的结构例)

[0288] 进而，形成于信号取出部65内的N+半导体区域和P+半导体区域也可以为线形(长方形状)。

[0289] 在该情况下，例如像素51如图14所示那样构成。另外，对图14中的与图3的情况对应的部分标注相同的附图标记，适当省略其说明。

[0290] 图14表示从与基板61垂直的方向观察像素51中的信号取出部65的部分时的N+半导体区域和P+半导体区域的配置。

[0291] 在该例子中，在像素51的中央部分形成未图示的氧化膜64，在从像素51的中央稍靠图中上侧的部分形成信号取出部65-1，在从像素51的中央稍靠图中下侧的部分形成信号取出部65-2。特别是在该例子中，像素51内的信号取出部65的形成位置成为与图3的情况相同的位置。

[0292] 在信号取出部65-1内，与图3所示的P+半导体区域73-1对应的线形的P+半导体区域231形成在信号取出部65-1的中心。并且，在该P+半导体区域231的周围，以夹入P+半导体区域231的方式形成与图3所示的N+半导体区域71-1对应的线形的N+半导体区域232-1和N+

半导体区域232-2。即，P+半导体区域231形成在由N+半导体区域232-1和N+半导体区域232-2夹持的位置。

[0293] 另外，以下，在不需要特别区别N+半导体区域232-1和N+半导体区域232-2的情况下，也简称为N+半导体区域232。

[0294] 在图3的例子中，形成为P+半导体区域73被N+半导体区域71包围的结构，但是在图14的例子中形成为P+半导体区域231被邻接设置的两个N+半导体区域232夹持的结构。

[0295] 同样地，在信号取出部65-2内，与图3所示的P+半导体区域73-2对应的线形的P+半导体区域233形成在信号取出部65-2的中心。并且，在该P+半导体区域233的周围，以任意的P+半导体区域233的方式形成与图3所示的N+半导体区域71-2对应的线形的N+半导体区域234-1和N+半导体区域234-2。

[0296] 另外，以下，在不需要特别区别N+半导体区域234-1和N+半导体区域234-2的情况下，也简称为N+半导体区域234。

[0297] 在图14的信号取出部65中，P+半导体区域231和P+半导体区域233作为与图3所示的P+半导体区域73对应的电压施加部发挥功能，N+半导体区域232和N+半导体区域234作为与图3所示的N+半导体区域71对应的电荷检测部发挥功能。在该情况下，例如N+半导体区域232-1和N+半导体区域232-2的双方的区域与FD部A连接。

[0298] 此外，形成为线形的P+半导体区域231、N+半导体区域232、P+半导体区域233以及N+半导体区域234的各区域的图中横向的长度可以是任意的长度，这些各区域也可以不是相同长度。

[0299] (第四实施方式)

[0300] (像素的结构例)

[0301] 进而，在图14的例子中以P+半导体区域231和P+半导体区域233被N+半导体区域232和N+半导体区域234夹入的结构为例进行了说明，但反之也可以形成为N+半导体区域被P+半导体区域夹入的形状。

[0302] 在这样的情况下，例如像素51如图15所示那样构成。另外，对图15中的与图3的情况对应的部分标注相同的附图标记，适当省略其说明。

[0303] 图15表示从与基板61垂直的方向观察像素51中的信号取出部65的部分时的N+半导体区域和P+半导体区域的配置。

[0304] 在该例子中，在像素51的中央部分形成未图示的氧化膜64，在从像素51的中央稍靠端侧的部分形成信号取出部65。特别是在该例子中，像素51内的两个各信号取出部65的形成位置成为与图3的情况相同的位置。

[0305] 在信号取出部65-1内，与图3所示的N+半导体区域71-1对应的线形的N+半导体区域261形成在信号取出部65-1的中心。并且，在该N+半导体区域261的周围，以夹入N+半导体区域261的方式形成与图3所示的P+半导体区域73-1对应的线形的P+半导体区域262-1和P+半导体区域262-2。即，N+半导体区域261形成在被P+半导体区域262-1和P+半导体区域262-2夹持的位置。

[0306] 另外，以下，在不需要特别区别P+半导体区域262-1和P+半导体区域262-2的情况下，也简称为P+半导体区域262。

[0307] 同样地，在信号取出部65-2内，与图3所示的N+半导体区域71-2对应的线形的N+半

导体区域263形成在信号取出部65-2的中心。并且，在该N+半导体区域263的周围，以夹入N+半导体区域263的方式形成与图3所示的P+半导体区域73-2对应的线形的P+半导体区域264-1和P+半导体区域264-2。

[0308] 另外，以下，在不需要特别区别P+半导体区域264-1和P+半导体区域264-2的情况下，也简称为P+半导体区域264。

[0309] 在图15的信号取出部65中，P+半导体区域262和P+半导体区域264作为与图3所示的P+半导体区域73对应的电压施加部发挥功能，N+半导体区域261和N+半导体区域263作为与图3所示的N+半导体区域71对应的电荷检测部发挥功能。另外，形成为线形的N+半导体区域261、P+半导体区域262、N+半导体区域263以及P+半导体区域264的各区域的图中横向的长度可以是任意的长度，这些各区域也可以不是相同长度。

[0310] (第五实施方式)

[0311] (像素的结构例)

[0312] 进而，以上，对在构成像素阵列部20的各像素内分别设置有两个信号取出部65的例子进行了说明，但是设置在像素内的信号取出部的数量可以是1个，也可以是3个以上。

[0313] 例如在像素51内形成一个信号取出部的情况下，像素的结构例如如图16所示那样构成。另外，对图16中的与图3的情况对应的部分标注相同的附图标记，适当省略其说明。

[0314] 图16表示从与基板垂直的方向观察设置于像素阵列部20的一部分的像素中的信号取出部的部分时的N+半导体区域和P+半导体区域的配置。

[0315] 在该例子中，示出设置于像素阵列部20的像素51、以及作为与该像素51邻接的像素51而区别附图标记进行表示的像素291-1至像素291-3，在上述各像素形成一个信号取出部。

[0316] 即，在像素51中，在像素51的中央部分形成一个信号取出部65。并且，在信号取出部65中，在其中心位置形成圆形的P+半导体区域301，以该P+半导体区域301为中心，P+半导体区域301的周围由圆形、更具体而言为圆环状的N+半导体区域302包围。

[0317] 此处，P+半导体区域301与图3所示的P+半导体区域73对应，作为电压施加部发挥功能。此外，N+半导体区域302与图3所示的N+半导体区域71对应，作为电荷检测部发挥功能。另外，P+半导体区域301和N+半导体区域302可以是任意的形状。

[0318] 此外，位于像素51的周围的像素291-1至像素291-3也形成与像素51相同的结构。

[0319] 即，例如在像素291-1的中央部分形成一个信号取出部303。并且，在信号取出部303中，在其中心位置形成圆形的P+半导体区域304，以该P+半导体区域304为中心，P+半导体区域304的周围由圆形、更具体而言为圆环状的N+半导体区域305包围。

[0320] 这些P+半导体区域304和N+半导体区域305分别与P+半导体区域301和N+半导体区域302对应。

[0321] 另外，以下，在不需要特别区别像素291-1至像素291-3的情况下，也简称为像素291。

[0322] 这样，在各像素形成一个信号取出部(抽头)的情况下，当想要通过间接ToF方式测定到对象物的距离时，使用相互邻接的几个像素，基于针对这些像素而得到的像素信号计算距离信息。

[0323] 例如当关注像素51时，在像素51的信号取出部65设为有源抽头的状态下，对各像

素进行驱动，以使得包括例如像素291在内的与像素51邻接的几个像素291的信号取出部303成为无源抽头。

[0324] 作为一例，例如对像素291-1和像素291-3等进行驱动，以使得相对于像素51在图中上下左右邻接的像素的信号取出部成为无源抽头。

[0325] 之后，当切换施加的电压而使得像素51的信号取出部65成为无源抽头时，包括像素291-1在内的与像素51邻接的几个像素291的信号取出部303成为有源抽头。

[0326] 然后，基于在信号取出部65为有源抽头的状态下从信号取出部65读出的像素信号、以及在信号取出部303为有源抽头的状态下从信号取出部303读出的像素信号，计算距离信息。

[0327] 这样，即使在将设置在像素内的信号取出部(抽头)的数量设为1个的情况下，也可以使用相互邻接的像素通过间接ToF方式进行测距。

[0328] (第六实施方式)

[0329] (像素的结构例)

[0330] 此外，如上所述，也可以在各像素内设置3个以上的信号取出部(抽头)。

[0331] 例如在像素内设置有4个信号取出部(抽头)的情况下，像素阵列部20的各像素结构如图17所示那样构成。另外，对图17中的与图16的情况对应的部分标注相同的附图标记，适当省略其说明。

[0332] 图17表示从与基板垂直的方向观察设置于像素阵列部20的一部分的像素中的信号取出部的部分时的N+半导体区域和P+半导体区域的配置。

[0333] 图17所示的C－C’线的截面图如后述的图36所示。

[0334] 在该例子中，示出设置于像素阵列部20的像素51和像素291，在上述各像素形成4个信号取出部。

[0335] 即，在像素51中，在像素51的中央与像素51的端部之间的位置、即像素51中央的图中左下侧的位置、左上侧的位置、右上侧的位置和右下侧的位置形成信号取出部331-1、信号取出部331-2、信号取出部331-3和信号取出部331-4。

[0336] 上述的信号取出部331-1至信号取出部331-4与图16所示的信号取出部65对应。

[0337] 例如在信号取出部331-1中，在其中心位置形成圆形的P+半导体区域341，以该P+半导体区域341为中心，P+半导体区域341的周围由圆形、更具体而言为圆环状的N+半导体区域342包围。

[0338] 此处，P+半导体区域341与图16所示的P+半导体区域301对应，作为电压施加部发挥功能。此外，N+半导体区域342与图16所示的N+半导体区域302对应，作为电荷检测部发挥功能。另外，P+半导体区域341和N+半导体区域342可以是任意的形状。

[0339] 此外，信号取出部331-2至信号取出部331-4也形成为与信号取出部331-1相同的结构，分别具有作为电压施加部发挥功能的P+半导体区域以及作为电荷检测部发挥功能的N+半导体区域。进而，形成在像素51的周围的像素291形成为与像素51相同的结构。

[0340] 另外，以下，在不需要特别区别信号取出部331-1至信号取出部331-4的情况下，也简称为信号取出部331。

[0341] 这样，在各像素设置有4个信号取出部的情况下，例如当想要通过间接ToF方式进行测距时，使用像素内的4个信号取出部计算距离信息。

[0342] 作为一例，当关注像素51时，对像素51进行驱动，例如在信号取出部331-1和信号取出部331-3设为有源抽头的状态下，使信号取出部331-2和信号取出部331-4成为无源抽头。

[0343] 之后，切换向各信号取出部331施加的电压。即，对像素51进行驱动，以使得信号取出部331-1和信号取出部331-3成为无源抽头，且信号取出部331-2和信号取出部331-4成为有源抽头。

[0344] 然后，基于在信号取出部331-1和信号取出部331-3设为有源抽头的状态下从这些信号取出部331-1和信号取出部331-3读出的像素信号、以及在信号取出部331-2和信号取出部331-4设为有源抽头的状态下从这些信号取出部331-2和信号取出部331-4读出的像素信号，计算距离信息。

[0345] (第七实施方式)

[0346] (像素的结构例)

[0347] 进而，也可以在像素阵列部20的相互邻接的像素间共用信号取出部(抽头)。

[0348] 在这样的情况下，像素阵列部20的各像素例如如图18所示那样构成。另外，对图18中的与图16的情况对应的部分标注相同的附图标记，适当省略其说明。

[0349] 图18表示从与基板垂直的方向观察设置于像素阵列部20的一部分的像素中的信号取出部的部分时的N+半导体区域和P+半导体区域的配置。

[0350] 在该例子中，示出设置于像素阵列部20的像素51和像素291，在上述各像素形成两个信号取出部。

[0351] 例如在像素51中，在像素51的图中上侧的端部形成信号取出部371，在像素51的图中下侧的端部形成信号取出部372。

[0352] 信号取出部371被像素51和像素291-1共用。即，信号取出部371作为像素51的抽头使用，也作为像素291-1的抽头使用。此外，信号取出部372被像素51和与所述像素51的图中下侧邻接的未图示的像素共用。

[0353] 在信号取出部371内，在其中心的位置形成与图14所示的P+半导体区域231对应的线形的P+半导体区域381。并且，在该P+半导体区域381的图中上下的位置，以夹入P+半导体区域381的方式形成与图14所示的N+半导体区域232对应的线形的N+半导体区域382-1和N+半导体区域382-2。

[0354] 特别是，在该例子中，P+半导体区域381形成在像素51与像素291-1的边界部分。此外，N+半导体区域382-1形成在像素51内的区域，N+半导体区域382-2形成在像素291-1内的区域。

[0355] 此处，P+半导体区域381作为电压施加部发挥功能，N+半导体区域382-1和N+半导体区域382-2作为电荷检测部发挥功能。另外，以下，在不需要特别区别N+半导体区域382-1和N+半导体区域382-2的情况下，也简称为N+半导体区域382。

[0356] 此外，P+半导体区域381和N+半导体区域382可以是任意的形状。进而，N+半导体区域382-1和N+半导体区域382-2可以与相同的FD部连接，也可以与互不相同的FD部连接。

[0357] 在信号取出部372内形成线形的P+半导体区域383、N+半导体区域384-1和N+半导体区域384-2。

[0358] 这些P+半导体区域383、N+半导体区域384-1和N+半导体区域384-2分别与P+半导

体区域381、N+半导体区域382-1和N+半导体区域382-2对应，设为相同的配置、形状和功能。另外，以下，在不需要特别区别N+半导体区域384-1和N+半导体区域384-2的情况下，也简称为N+半导体区域384。

[0359] 在如以上那样在邻接像素间共用信号取出部(抽头)的情况下，也可以通过与图3所示的例子相同的动作进行间接ToF方式的测距。

[0360] 在如图18所示那样在像素间共用信号取出部的情况下，例如P+半导体区域381与P+半导体区域383之间的距离等，成为用于产生电场、即电流的对的P+半导体区域间的距离变长。换言之，通过在像素间共用信号取出部，能够最大限度地加长P+半导体区域间的距离。

[0361] 由此，在P+半导体区域间电流难以流动，因此，能够降低像素的消耗电力，此外也有利于像素的细微化。

[0362] 另外，此处对一个信号取出部由相互邻接的两个像素共用的例子进行了说明，但是一个信号取出部也可以由相互邻接的3个以上的像素共用。此外，在信号取出部由相互邻接的2个以上的像素共用的情况下，可以仅共用信号取出部中的用于检测信号载波的电荷检测部，也可以仅共用用于产生电场的电压施加部。

[0363] (第八实施方式)

[0364] (像素的结构例)

[0365] 进而，也可以不特别设置设置于像素阵列部20的像素51等各像素的片上透镜和像素间遮光部。

[0366] 具体而言，例如能够将像素51形成为图19所示的结构。另外，对图19中的与图2的情况对应的部分标注相同的附图标记，适当省略其说明。

[0367] 图19所示的像素51的结构在不设置片上透镜62这一点上与图2所示的像素51不同，在其他方面与图2的像素51结构相同。

[0368] 在图19所示的像素51，在基板61的光入射面侧不设置片上透镜62，因此，能够进一步减少从外部向基板61入射的红外光的衰减。由此，能够由基板61接收的红外光的光量增加，能够提高像素51的灵敏度。

[0369] (第八实施方式的变形例1)

[0370] (像素的结构例)

[0371] 此外，也可以将像素51的结构形成为例如如图20所示的结构。另外，对图20中的与图2的情况对应的部分标注相同的附图标记，适当省略其说明。

[0372] 图20所示的像素51的结构在不设置像素间遮光膜63-1和像素间遮光膜63-2这一点上与图2所示的像素51不同，其他方面与图2的像素51的结构相同。

[0373] 在图20所示的例子中，由于在基板61的光入射面侧未设置像素间遮光膜63，所以串扰的抑制效果降低，但由于被像素间遮光膜63遮光的红外光也入射到基板61内，所以能够提高像素51的灵敏度。

[0374] 另外，当然也可以在像素51既不设置片上透镜62也不设置像素间遮光膜63。

[0375] (第八实施方式的变形例2)

[0376] (像素的结构例)

[0377] 此外，例如如图21所示，也可以使片上透镜的光轴方向的厚度最佳化。另外，对图

21中的与图2的情况对应的部分标注相同的附图标记，适当省略其说明。

[0378] 图21所示的像素51的结构在代替片上透镜62转而设置片上透镜411这一点上与图2所示的像素51不同，其他方面与图2的像素51结构相同。

[0379] 在图21所示的像素51中，在基板61的光入射面侧、即图中上侧形成片上透镜411。该片上透镜411与图2所示的片上透镜62相比，光轴方向的厚度、即图中纵向的厚度变薄。

[0380] 通常情况下，设置于基板61的表面的片上透镜厚有利于向片上透镜入射的光的集光。但是，通过减薄片上透镜411，能够使透射率相应地变高而提高像素51的灵敏度，因此，只要根据基板61的厚度、想要聚光红外光的位置等适当地决定片上透镜411的厚度即可。

[0381] (第九实施方式)

[0382] (像素的结构例)

[0383] 进而，也可以在形成于像素阵列部20的像素与像素之间设置用于提高邻接像素间的分离特性、抑制串扰的分离区域。

[0384] 在这样的情况下，像素51例如如图22所示那样构成。另外，对图22中的与图2的情况对应的部分标注相同的附图标记，适当省略其说明。

[0385] 图22所示的像素51的结构在基板61内设置分离区域441-1和分离区域441-2这一点上与图2所示的像素51不同，其他方面与图2的像素51结构相同。

[0386] 在图22所示的像素51中，在基板61内的像素51和与该像素51邻接的其他像素的边界部分、即像素51的图中左右的端部分，通过遮光膜等形成将邻接像素分离的分离区域441-1和分离区域441-2。另外，以下，在不需要特别区别分离区域441-1和分离区域441-2的情况下，也简称为分离区域441。

[0387] 例如在形成分离区域441时，在从基板61的光入射面侧、即图中上侧的面朝图中下方向(与基板61的面垂直的方向)以规定的深度在基板61形成长的槽(沟槽)，通过在该槽部分埋入遮光膜而形成分离区域441。该分离区域441作为像素分离区域发挥功能，该像素分离区域遮挡从光入射面入射到基板61内并朝向与像素51邻接的其他像素的红外光。

[0388] 通过如此形成埋入型的分离区域441，能够提高像素间的红外光的分离特性，能够抑制串扰的产生。

[0389] (第九实施方式的变形例1)

[0390] (像素的结构例)

[0391] 进而，在像素51形成埋入型的分离区域的情况下，例如如图23所示，也可以设置贯通基板61整体的分离区域471-1和分离区域471-2。另外，对图23中的与图2的情况对应的部分标注相同的附图标记，适当省略其说明。

[0392] 图23所示的像素51的结构在基板61内设置分离区域471-1和分离区域471-2这一点上与图2所示的像素51不同，其他方面与图2的像素51结构相同。即，图23所示的像素51构成为，代替图22所示的像素51的分离区域441，转而设置分离区域471-1和分离区域471-2。

[0393] 在图23所示的像素51中，在基板61内的像素51和与该像素51邻接的其他像素的边界部分、即像素51的图中左右的端部分，通过遮光膜等形成贯通基板61整体的分离区域471-1和分离区域471-2。另外，以下，在不需要特别区别分离区域471-1和分离区域471-2的情况下，也简称为分离区域471。

[0394] 例如在形成分离区域471时，在从基板61的与光入射面侧相反侧的面、即图中下侧

的面朝图中上方向形成长的槽(沟槽)。此时,这些槽以贯通基板61的方式形成至到达基板61的光入射面。并且,通过在如此形成的槽部分埋入遮光膜而形成分离区域471。

[0395] 通过这样的埋入型的分离区域471,也能够提高像素间的红外光的分离特性,能够抑制串扰的产生。

[0396] (第十实施方式)

[0397] (像素的结构例)

[0398] 进而,能够根据像素的各种特性等决定形成信号取出部65的基板的厚度。

[0399] 因而,例如如图24所示,能够使构成像素51的基板501比图2所示的基板61厚。另外,对图24中的与图2的情况对应的部分标注相同的附图标记,适当省略其说明。

[0400] 图24所示的像素51的结构在代替基板61转而设置基板501这一点上与图2所示的像素51不同,其他方面与图2的像素51结构相同。

[0401] 即,在图24所示的像素51中,在基板501中的光入射面侧形成片上透镜62、固定电荷膜66以及像素间形成遮光膜63。此外,在基板501的与光入射面侧相反侧的面的表面附近,形成氧化膜64、信号取出部65和分离部75。

[0402] 基板501由例如厚度为20μm以上的P型半导体基板构成,基板501与基板61仅是基板的厚度不同,形成氧化膜64、信号取出部65和分离部75的位置在基板501和基板61中为相同的位置。

[0403] 另外,在基板501和基板61的光入射面侧等适当形成的各种层(膜)的膜厚等也可以根据像素51的特性等最佳化。

[0404] (第十一实施方式)

[0405] (像素的结构例)

[0406] 进而,以上,对构成像素51的基板由P型半导体基板构成的例子进行了说明,但是例如也可以如图25所示那样由N型半导体基板构成。另外,对图25中的与图2的情况对应的部分标注相同的附图标记,适当省略其说明。

[0407] 图25所示的像素51的结构在代替基板61转而设置基板531这一点上与图2所示的像素51不同,其他方面与图2的像素51结构相同。

[0408] 在图25所示的像素51中,在例如由硅基板等的N型的半导体层构成的基板531中的光入射面侧形成片上透镜62、固定电荷膜66以及像素间遮光膜63。

[0409] 此外,在基板531的与光入射面侧相反侧的面的表面附近形成氧化膜64、信号取出部65和分离部75。形成这些氧化膜64、信号取出部65和分离部75的位置在基板531和基板61中为相同的位置,信号取出部65的结构在基板531和基板61中也是相同的。

[0410] 基板531的例如图中纵向的厚度、即与基板531的面垂直方向的厚度为20μm以下。

[0411] 此外,基板531例如是被设为1E+13级以下的基板浓度的高电阻的N-Epi基板等,基板531的电阻(电阻率)例如为500[Ω cm]以上。由此,能够降低像素51中的消耗电力。

[0412] 此处,对于基板531的基板浓度与电阻之间的关系,例如在基板浓度为2.15E+12[cm^3]时电阻为2000[Ω cm],在基板浓度为4.30E+12[cm^3]时电阻为1000[Ω cm],在基板浓度为8.61E+12[cm^3]时电阻为500[Ω cm]、以及在基板浓度4.32E+13[cm^3]时电阻为100[Ω cm]等。

[0413] 这样,即使将像素51的基板531设为N型半导体基板,通过与图2所示的例子相同的

动作，也能够得到相同的效果。

[0414] (第十二实施方式)

[0415] (像素的结构例)

[0416] 进而，与参照图24说明的例子相同，也能够根据像素的各种特性等决定N型半导体基板的厚度。

[0417] 因而，例如能够如图26所示那样使构成像素51的基板561比图25所示的基板531厚。另外，对图26中的与图25的情况对应的部分标注相同的附图标记，适当省略其说明。

[0418] 图26所示的像素51的结构在代替基板531转而设置基板561这一点上与图25所示的像素51不同，其他方面与图25的像素51结构相同。

[0419] 即，在图26所示的像素51中，在基板561中的光入射面侧形成片上透镜62、固定电荷膜66以及像素间遮光膜63。此外，在基板561的与光入射面侧相反侧的面的表面附近形成氧化膜64、信号取出部65以及分离部75。

[0420] 基板561由例如厚度为20μm以上的N型半导体基板构成，基板561和基板531仅是基板的厚度不同，形成氧化膜64、信号取出部65，和分离部75的位置在基板561和基板531中为相同的位置。

[0421] (第十三实施方式)

[0422] (像素的结构例)

[0423] 此外，例如也可以通过向基板61的光入射面侧施加偏压，强化基板61内的与基板61的面垂直的方向(以下，也称为Z方向)的电场。

[0424] 在这样的情况下，像素51例如形成为图27所示的结构。另外，对图27中的与图2的情况对应的部分标注相同的附图标记，适当省略其说明。

[0425] 图27的A表示图2所示的像素51，该像素51的基板61内的箭头表示基板61内的Z方向的电场的强度。

[0426] 与此相对，图27的B表示向基板61的光入射面施加偏压(电压)的情况下的像素51的结构。图27的B的像素51的结构基本上与图2所示的像素51的结构相同，但是在基板61的光入射面侧界面新追加形成P+半导体区域601。

[0427] 通过从像素阵列部20的内部或外部向形成于基板61的光入射面侧界面的P+半导体区域601施加0V以下的电压(负偏压)，Z方向的电场被强化。图27的B的像素51的基板61内的箭头表示基板61内的Z方向的电场的强度。在图27的B的基板61内描绘的箭头的粗细比图27的A的像素51的箭头粗，Z方向的电场更强。这样，通过向形成于基板61的光入射面侧的P+半导体区域601施加负偏压来强化Z方向的电场，能够提高信号取出部65中的电子的取出效率。

[0428] 另外，用于向基板61的光入射面侧施加电压的结构并不限定于设置P+半导体区域601的结构，也可以是其他任意的结构。例如可以通过层叠在基板61的光入射面与片上透镜62之间形成透明电极膜，通过向该透明电极膜施加电压来施加负偏压。

[0429] (第十四实施方式)

[0430] (像素的结构例)

[0431] 进而，为了提高像素51相对于红外线的灵敏度，也可以在基板61的与光入射面相反侧的面设置大面积的反射部件。

[0432] 在这样的情况下，像素51例如如图28所示那样构成。另外，对图28中的与图2的情况对应的部分标注相同的附图标记，适当省略其说明。

[0433] 图28所示的像素51的结构在基板61的与光入射面相反侧的面设置反射部件631这一点上与图2的像素51不同，其他方面与图2的像素51结构相同。

[0434] 在图28的例子中，以覆盖基板61的与光入射面相反侧的面整体的方式设置有反射红外光的反射部件631。

[0435] 该反射部件631只要红外光的反射率高，便可以是任意的部件。例如可以将设置在层叠于基板61的与光入射面相反侧的面的多层布线层内的铜、铝等金属(metal)用作反射部件631，也可以在基板61的与光入射面相反侧的面形成多晶硅、氧化膜等的反射结构，作为反射部件631。

[0436] 这样，通过在像素51设置反射部件631，能够使经由片上透镜62从光入射面入射到基板61内、在基板61内未进行光电转换而透射基板61的红外光，被反射部件631反射而再次向基板61内入射。由此，能够使在基板61内被光电转换的红外光的量更多，能够提高量子效率(QE)、即像素51相对于红外光的灵敏度。

[0437] (第十五实施方式)

[0438] (像素的结构例)

[0439] 进而，为了抑制附近像素中的光的误检测，也可以在基板61的与光入射面相反侧的面设置大面积的遮光部件。

[0440] 在这样的情况下，像素51例如能够构成为，将图28所示的反射部件631置换为遮光部件。即，在图28所示的像素51中，将覆盖基板61的与光入射面相反侧的面整体的反射部件631设为遮挡红外光的遮光部件631’。遮光部件631’由图28的像素51的反射部件631替代。

[0441] 该遮光部件631’只要红外光的遮光率高，便可以是任意的部件。例如将设置在层叠于基板61的与光入射面相反侧的面的多层布线层内的铜、铝等金属(metal)用作遮光部件631’，也可以在基板61的与光入射面相反侧的面形成多晶硅、氧化膜等的遮光结构，作为遮光部件631’。

[0442] 这样，通过在像素51上设置遮光部件631’，能够抑制经由片上透镜62从光入射面入射到基板61内、在基板61内未进行光电转换而透射基板61的红外光在布线层散射而入射到附近像素。由此，能够防止在附近像素误检测到光。

[0443] 另外，遮光部件631’例如通过由包含金属的材料形成，能够兼作反射部件631。

[0444] (第十六实施方式)

[0445] (像素的结构例)

[0446] 进而，也可以代替像素51的基板61中的氧化膜64，转而设置由P型半导体区域构成的P阱区。

[0447] 在这样的情况下，像素51例如如图29所示那样构成。另外，对图29中的与图2的情况对应的部分标注相同的附图标记，适当省略其说明。

[0448] 图29所示的像素51的结构在代替氧化膜64转而设置P阱区671、分离部672-1和分离部672-2这一点上与图2所示的像素51不同，其他方面与图2的像素51结构相同。

[0449] 在图29的例子中，在基板61内的与光入射面相反的面侧、即图中下侧的面的内侧的中央部分，形成由P型半导体区域构成的P阱区(Pwell)671。此外，在P阱区671与N+半导体

区域71-1之间，通过氧化膜等形成用于分离这些区域的分离部672-1。同样地，在P阱区671与N+半导体区域71-2之间，也通过氧化膜等形成用于分离这些区域的分离部672-2。在图29所示的像素51中，与N－半导体区域72相比，P－半导体区域74成为在图中上方向上更宽的区域。

[0450] (第十七实施方式)

[0451] (像素的结构例)

[0452] 此外，除了像素51的基板61中的氧化膜64之外，还可以设置由P型半导体区域构成的P阱区。

[0453] 在这样的情况下，像素51例如如图30所示那样构成。另外，对图30中的与图2的情况对应的部分标注相同的附图标记，适当省略其说明。

[0454] 图30所示的像素51的结构在新设置P阱区701这一点上与图2所示的像素51不同，其他方面与图2的像素51结构相同。即，在图30的例子中，在基板61内的氧化膜64的上侧形成由P型半导体区域构成的P阱区701。

[0455] 如上所述，根据本实用新型，通过将CAPD传感器设为背面照射型的结构，能够提高像素灵敏度等的特性。

[0456] (像素的等效电路结构例)

[0457] 图31表示像素51的等效电路。

[0458] 像素51针对包含N+半导体区域71-1和P+半导体区域73-1等的信号取出部65-1，具有传输晶体管721A、FD722A、复位晶体管723A、放大晶体管724A以及选择晶体管725A。

[0459] 此外，像素51针对包含N+半导体区域71-2和P+半导体区域73-2等的信号取出部65-2，具有传输晶体管721B、FD722B、复位晶体管723B、放大晶体管724B以及选择晶体管725B。

[0460] 抽头驱动部21向P+半导体区域73-1施加规定的电压MIX0(第一电压)，向P+半导体区域73-2施加规定的电压MIX1(第二电压)。在上述的例子中，电压MIX0和MIX1中的一方为1.5V，另一方为0V。P+半导体区域73-1和73-2是被施加第一电压或第二电压的电压施加部。

[0461] N+半导体区域71-1和71-2是检测入射到基板61的光进行光电转换而生成的电荷并蓄积的电荷检测部。

[0462] 传输晶体管721A当向栅极电极供给的驱动信号TRG成为激活状态时响应于此而成为导通状态，由此，将蓄积于N+半导体区域71-1的电荷传送到FD722A。传输晶体管721B当向栅极电极供给的驱动信号TRG成为激活状态时响应于此而成为导通状态，由此，将蓄积于N+半导体区域71-2的电荷传送到FD722B。

[0463] FD722A暂时保持从N+半导体区域71-1供给的电荷DET0。FD722B暂时保持从N+半导体区域71-2供给的电荷DET1。FD722A与参照图2说明的FD部A对应，FD722B与FD部B对应。

[0464] 复位晶体管723A当向栅极电极供给的驱动信号RST成为激活状态时响应于此而成为导通状态，由此，将FD722A的电位复位为规定的电平(电源电压VDD)。复位晶体管723B当向栅极电极供给的驱动信号RST成为激活状态时响应于此而成为导通状态，由此，将FD722B的电位复位为规定的电平(电源电压VDD)。另外，当使复位晶体管723A和723B成为激活状态时，传输晶体管721A和721B也同时成为激活状态。

[0465] 放大晶体管724A通过源极经由选择晶体管725A与垂直信号线29A连接，构成与垂

直信号线29A的一端连接的恒流源电路部726A的负载MOS和源极跟随器电路。放大晶体管724B通过源极经由选择晶体管725B与垂直信号线29B连接，构成与垂直信号线29B的一端连接的恒流源电路部726B的负载MOS和源极跟随器电路。

[0466] 选择晶体管725A连接在放大晶体管724A的源极与垂直信号线29A之间。选择晶体管725A当向栅极电极供给的选择信号SEL成为激活状态时响应于此而成为导通状态，将从放大晶体管724A输出的像素信号输出到垂直信号线29A。

[0467] 选择晶体管725B连接在放大晶体管724B的源极与垂直信号线29B之间。选择晶体管725B当向栅极电极供给的选择信号SEL成为激活状态时响应于此而成为导通状态，将从放大晶体管724B输出的像素信号输出到垂直信号线29B。

[0468] 像素51的传输晶体管721A和721B、复位晶体管723A和723B、放大晶体管724A和724B、以及选择晶体管725A和725B例如由垂直驱动部22控制。

[0469] (像素的其他等效电路结构例)

[0470] 图32表示像素51的其他等效电路。

[0471] 在图32中，对与图31对应的部分标注相同的附图标记，适当省略其说明。

[0472] 图32的等效电路针对图31的等效电路，向信号取出部65-1和65-2双方追加了附加电容727以及控制其连接的切换晶体管728。

[0473] 具体而言，在传输晶体管721A与FD722A之间经由切换晶体管728A连接附加电容727A，在传输晶体管721B与FD722B之间经由切换晶体管728B连接附加电容727B。

[0474] 切换晶体管728A当向栅极电极供给的驱动信号FDG成为激活状态时响应于此而成为导通状态，由此，使附加电容727A与FD722A连接。切换晶体管728B当向栅极电极供给的驱动信号FDG成为激活状态时响应于此而成为导通状态，由此，使附加电容727B与FD722B连接。

[0475] 垂直驱动部22例如在入射光的光量较多的高照度时，将切换晶体管728A和728B设为激活状态，连接FD722A和附加电容727A，并且连接FD722B和附加电容727B。由此，当高照度时，能够蓄积更多的电荷。

[0476] 另一方面，在入射光的光量少的低照度时，垂直驱动部22将切换晶体管728A和728B设为非激活状态，将附加电容727A和727B分别从FD722A和722B断开。

[0477] 如图31的等效电路那样，可以省略附加电容727，但是通过设置附加电容727，根据入射光量分开使用，能够确保高动态范围。

[0478] (电压供给线的配置例)

[0479] 接下来，参照图33至图35，说明用于向各像素51的信号取出部65的电压施加部的P+半导体区域73-1和73-2施加规定的电压MIX0或MIX1的电压供给线的配置。图33和图34所示的电压供给线741与图1所示的电压供给线30对应。

[0480] 另外，在图33和图34中，对作为各像素51的信号取出部65的结构采用图9所示的圆形的结构进行说明，但当然也可以是其他的结构。

[0481] 图33的A是表示电压供给线的第一配置例的俯视图。

[0482] 在第一配置例中，相对于呈矩阵状二维配置的多个像素51，在水平方向上邻接的2个像素之间(边界)沿着垂直方向布置电压供给线741-1或741-2。

[0483] 电压供给线741-1与作为像素51内的两个信号取出部65中的一方的信号取出部

65-1的P+半导体区域73-1连接。电压供给线741-2与作为像素51内的两个信号取出部65中的另一方的信号取出部65-2的P+半导体区域73-2连接。

[0484] 在该第一配置例中，在两个像素列配置两条电压供给线741-1和741-2，因此，在像素阵列部20中，所排列的电压供给线741的条数与像素51的列数基本相等。

[0485] 图33的B是表示电压供给线的第二配置例的俯视图。

[0486] 在第二配置例中，相对于呈矩阵状二维配置的多个像素51的一个像素列，沿着垂直方向布置两条电压供给线741-1和741-2。

[0487] 电压供给线741-1与作为像素51内的两个信号取出部65中的一方的信号取出部65-1的P+半导体区域73-1连接。电压供给线741-2与作为像素51内的两个信号取出部65中的另一方的信号取出部65-2的P+半导体区域73-2连接。

[0488] 在该第二配置例中，相对于一个像素列布置两条电压供给线741-1和741-2，因此，相对于两个像素列布置4条电压供给线741。在像素阵列部20中，排列的电压供给线741的条数为像素51的列数的约2倍。

[0489] 在图33的A和B的配置例中，都是电压供给线741-1与信号取出部65-1的P+半导体区域73-1连接，电压供给线741-2与信号取出部65-2的P+半导体区域73-2连接的结构相对于在垂直方向上排列的像素周期性反复的Periodic配置(周期性配置)。

[0490] 在图33的A的第一配置例中，能够减少相对于像素阵列部20布置的电压供给线741-1和741-2的条数。

[0491] 图33的B的第二配置例与第一配置例相比，尽管布线的条数变多，但是与1条电压供给线741连接的信号取出部65的数量为1/2，因此，能够降低布线的负载，在高速驱动和像素阵列部20的总像素数多时有效。

[0492] 图34的A是表示电压供给线的第三配置例的俯视图。

[0493] 第三配置例与图33的A的第一配置例相同，是相对于两个像素列配置两条电压供给线741-1和741-2的例子。

[0494] 第三配置例与图33的A的第一配置例的不同点在于，在垂直方向上排列的2个像素中，信号取出部65-1和65-2的连接目的地不同。

[0495] 具体而言，例如，在某个像素51中，电压供给线741-1与信号取出部65-1的P+半导体区域73-1连接，电压供给线741-2与信号取出部65-2的P+半导体区域73-2连接，但是在其下方或上方的像素51中，电压供给线741-1与信号取出部65-2的P+半导体区域73-2连接，电压供给线741-2与信号取出部65-1的P+半导体区域73-1连接。

[0496] 图34的B是表示电压供给线的第四配置例的俯视图。

[0497] 第四配置例与图33的B的第二配置例相同，是相对于两个像素列配置两条电压供给线741-1和741-2的例子。

[0498] 第四配置例与图33的B的第二配置例的不同点在于，在垂直方向上排列的2个像素中，信号取出部65-1和65-2的连接目的地不同。

[0499] 具体而言，例如，在某个像素51中，电压供给线741-1与信号取出部65-1的P+半导体区域73-1连接，电压供给线741-2与信号取出部65-2的P+半导体区域73-2连接，但是在其下方或上方的像素51中，电压供给线741-1与信号取出部65-2的P+半导体区域73-2连接，电压供给线741-2与信号取出部65-1的P+半导体区域73-1连接。

[0500] 在图34的A的第三配置例中，能够减少相对于像素阵列部20配置的电压供给线741-1和741-2的条数。

[0501] 图34的B的第四配置例与第三配置例相比，尽管布线条数变多，但是与1条电压供给线741连接的信号取出部65的数量为1/2，因此，能够降低布线的负载，在高速驱动和像素阵列部20的总像素数多时有效。

[0502] 图34的A和B的配置例都是相对于上下(垂直方向)邻接的2个像素的连接目的地镜像反转的Mirror配置(镜像配置)。

[0503] 在Periodic配置中，如图35的A所示，向隔着像素边界邻接的两个信号取出部65施加的电压为不同的电压，因此，在邻接像素间产生电荷的交换。因此，电荷的传送效率比Mirror配置好，但是邻接像素的串扰特性比Mirror配置差。

[0504] 另一方面，在Mirror配置中，如图35的B所示，向隔着像素边界邻接的两个信号取出部65施加的电压为相同的电压，因此，邻接像素间的电荷的交换受到抑制。因此，电荷的传送效率比Periodic配置差，但是邻接像素的串扰特性比Periodic配置好。

[0505] (第十四实施方式的多个像素的截面结构)

[0506] 在图2等所示的像素的截面结构中，省略了形成于基板61的与光入射面相反的表面侧的多层布线层的图示。

[0507] 因此，以下对于上述的几个实施方式，以不省略多层布线层的方式示出邻接的多个像素的截面图。

[0508] 首先，在图36和图37中示出图28所示的第十四实施方式的多个像素的截面图。

[0509] 图28所示的第十四实施方式是在基板61的与光入射面相反侧具备大面积的反射部件631的像素的结构。

[0510] 图36相当于图11的B－B'线处的截面图，图37相当于图11的A－A'线处的截面图。此外，图17的C－C'线处的截面图也能够如图36所示。

[0511] 如图36所示，在各像素51中，在中心部分形成氧化膜64，在该氧化膜64的两侧分别形成信号取出部65-1和信号取出部65-2。

[0512] 在信号取出部65-1中，以P+半导体区域73-1和P－半导体区域74-1为中心，以包围这些P+半导体区域73-1和P－半导体区域74-1的周围的方式，形成N+半导体区域71-1和N－半导体区域72-1。P+半导体区域73-1和N+半导体区域71-1与多层布线层811接触。P－半导体区域74-1以覆盖P+半导体区域73-1的方式配置在P+半导体区域73-1的上方(片上透镜62侧)，N－半导体区域72-1以覆盖N+半导体区域71-1的方式配置在N+半导体区域71-1的上方(片上透镜62侧)。换言之，P+半导体区域73-1和N+半导体区域71-1配置在基板61内的多层布线层811侧，N－半导体区域72-1和P－半导体区域74-1配置在基板61内的片上透镜62侧。此外，在N+半导体区域71-1与P+半导体区域73-1之间，通过氧化膜等形成用于分离这些区域的分离部75-1。

[0513] 在信号取出部65-2中，以P+半导体区域73-2和P－半导体区域74-2为中心，以包围上述P+半导体区域73-2和P－半导体区域74-2的周围的方式，形成N+半导体区域71-2和N－半导体区域72-2。P+半导体区域73-2和N+半导体区域71-2与多层布线层811接触。P－半导体区域74-2以覆盖P+半导体区域73-2的方式配置在P+半导体区域73-2的上方(片上透镜62侧)，N－半导体区域72-2以覆盖N+半导体区域71-2的方式配置在N+半导体区域71-2的上方

(片上透镜62侧)。换言之,P+半导体区域73-2和N+半导体区域71-2配置在基板61内的多层布线层811侧,N－半导体区域72-2和P－半导体区域74-2配置在基板61内的片上透镜62侧。此外,在N+半导体区域71-2与P+半导体区域73-2之间,也通过氧化膜等形成用于分离这些区域的分离部75-2。

[0514] 在作为相邻的像素51彼此的边界区域的、规定的像素51的信号取出部65-1的N+半导体区域71-1与其相邻的像素51的信号取出部65-2的N+半导体区域71-2之间,也形成氧化膜64。

[0515] 在基板61的光入射面侧(图36和图37中的上表面)的界面形成固定电荷膜66。

[0516] 如图36所示,当将在基板61的光入射面侧针对每个像素形成的片上透镜62在高度方向上区分为在像素内的整个区域厚度均匀地增高的增高部821、以及厚度根据像素内的位置而不同的曲面部822时,增高部821的厚度形成得比曲面部822的厚度薄。增高部821的厚度越厚,则倾斜的入射光越容易被像素间遮光膜63反射,因此,通过将增高部821的厚度形成得薄,能够将倾斜的入射光也取入基板61内。此外,曲面部822的厚度越厚,越能够将入射光聚光到像素中心。

[0517] 在针对每个像素形成片上透镜62的基板61的与光入射面侧相反的一侧,形成多层布线层811。换言之,在片上透镜62与多层布线层811之间配置有作为半导体层的基板61。多层布线层811由5层的金属膜M1至M5以及其间的层间绝缘膜812构成。另外,在图36中,多层布线层811的5层金属膜M1至M5中的最外侧的金属膜M5位于看不到的部位,因为未予图示,但是在从与图36的截面图不同的方向观察的截面图即图37中进行了图示。

[0518] 如图37所示,在多层布线层811的与基板61的界面部分的像素边界区域形成像素晶体管Tr。像素晶体管Tr是图31和图32所示的传输晶体管721、复位晶体管723、放大晶体管724以及选择晶体管725中的任意一个。

[0519] 在多层布线层811的5层金属膜M1至M5中的最接近基板61的金属膜M1中,包含用于供给电源电压的电源线813、用于向P+半导体区域73-1或73-2施加规定的电压的电压施加布线814、以及作为反射入射光的部件的反射部件815。在图36的金属膜M1中,电源线813和电压施加布线814以外的布线成为反射部件815,为了防止附图变得复杂而省略了一部分的附图标记。反射部件815是以反射入射光为目的而设置的虚拟布线,相当于图28所示的反射部件631。反射部件815以在俯视观察时与电荷检测部的N+半导体区域71-1和71-2重叠的方式,配置在N+半导体区域71-1和71-2的下方。另外,在代替图28所示的第十四实施方式的反射部件631,转而设置第十五实施方式的遮光部件631'的情况下,图36的反射部件815的部分成为遮光部件631'。

[0520] 此外,在金属膜M1中,为了将蓄积于N+半导体区域71的电荷向FD722传送,还形成将N+半导体区域71和传输晶体管721连接的电荷取出布线(图36中未图示)。

[0521] 另外,在该例子中,将反射部件815(反射部件631)和电荷取出布线配置在金属膜M1的同一层,但并不是一定限定于配置在同一层。

[0522] 在从基板61侧起的第2层的金属膜M2中,例如形成有与金属膜M1的电压施加布线814连接的电压施加布线816、传送驱动信号TRG、驱动信号RST、选择信号SEL、驱动信号FDG等的控制线817以及接地线等。此外,在金属膜M2中形成有FD722B和附加电容727A。

[0523] 在从基板61侧起的第3层的金属膜M3中,例如形成有垂直信号线29、屏蔽用的VSS

布线等。

[0524] 在从基板61侧起的第4层和第5层的金属膜M4和M5中，例如形成有用于向作为信号取出部65的电压施加部的P+半导体区域73-1和73-2，形成用于施加规定的电压MIX0或MIX1的电压供给线741-1和741-2(图33、图34)。

[0525] 另外，对于多层布线层811的5层的金属膜M1至M5的平面配置，将参照图42和图43进行后述。

[0526] (第九实施方式的多个像素的截面结构)

[0527] 图38是以不省略多层布线层的方式针对多个像素表示图22所示的第九实施方式的像素结构的截面图。

[0528] 图22所示的第九实施方式是在基板61内的像素边界部分从基板61的背面(光入射面)侧到规定的深度为止形成长的槽(沟槽)并埋入遮光膜而形成分离区域441的像素的结构。

[0529] 包括信号取出部65-1和65-2以及多层布线层811的5层金属膜M1至M5等的其他结构与图36所示的结构相同。

[0530] (第九实施方式的变形例1的多个像素的截面结构)

[0531] 图39是以不省略多层布线层的方式针对多个像素表示图23所示的第九实施方式的变形例1的像素结构的截面图。

[0532] 图23所示的第九实施方式的变形例1是在基板61内的像素边界部分具备贯通基板61整体的分离区域471的像素的结构。

[0533] 包括信号取出部65-1和65-2以及多层布线层811的5层金属膜M1至M5等的其他结构与图36所示的结构相同。

[0534] (第十六实施方式的多个像素的截面结构)

[0535] 图40是以不省略多层布线层的方式针对多个像素表示图29所示的第十六实施方式的像素结构的截面图。

[0536] 图29所示的第十六实施方式是在基板61内的与光入射面相反的面侧、即图中下侧的面的内侧的中央部分具备P阱区671的结构。此外，在P阱区671与N+半导体区域71-1之间通过氧化膜等形成分离部672-1。同样地，在P阱区671与N+半导体区域71-2之间也通过氧化膜等形成分离部672-2。在基板61的下侧的面的像素边界部分也形成P阱区671。

[0537] 包括信号取出部65-1和65-2以及多层布线层811的5层金属膜M1至M5等的其他结构与图36所示的结构相同。

[0538] (第十实施方式的多个像素的截面结构)

[0539] 图41是以不省略多层布线层的方式针对多个像素表示图24所示的第十实施方式的像素结构的截面图。

[0540] 图24所示的第十实施方式是代替基板61转而设置基板厚度厚的基板501的像素的结构。

[0541] 包括信号取出部65-1和65-2以及多层布线层811的5层金属膜M1至M5等的其他结构与图36所示的结构相同。

[0542] (5层的金属膜M1至M5的平面配置例)

[0543] 接下来，参照图42和图43对图36至图41所示的多层布线层811的5层金属膜M1至M5

的平面配置例进行说明。

[0544] 图42的A表示多层布线层811的5层金属膜M1至M5中的第一层的金属膜M1的平面配置例。

[0545] 图42的B表示多层布线层811的5层金属膜M1至M5中的第2层金属膜M2的平面配置例。

[0546] 图42的C表示多层布线层811的5层金属膜M1至M5中的第3层金属膜M3的平面配置例。

[0547] 图43的A表示多层布线层811的5层金属膜M1至M5中的第4层金属膜M4的平面配置例。

[0548] 图43的B表示多层布线层811的5层金属膜M1至M5中的第5层金属膜M5的平面配置例。

[0549] 另外，在图42的A至C以及图43的A和B中，用虚线表示像素51的区域、以及具有图11所示的八边形状的信号取出部65-1和65-2的区域。

[0550] 在图42的A至C和图43的A和B中，图面的纵向是像素阵列部20的垂直方向，图面的横向是像素阵列部20的水平方向。

[0551] 如图42的A所示，在作为多层布线层811的第一层的金属膜M1形成有反射红外光的反射部件631。在像素51的区域中，分别相对于信号取出部65-1和65-2形成两个反射部件631，信号取出部65-1的两个反射部件631与信号取出部65-1的两个反射部件631相对于垂直方向对称地形成。

[0552] 此外，在水平方向上的与相邻的像素51的反射部件631之间，配置有像素晶体管布线区域831。在像素晶体管布线区域831中，形成有连接传输晶体管721、复位晶体管723、放大晶体管724或选择晶体管725的像素晶体管Tr间的布线。该像素晶体管Tr用的布线也以两个信号取出部65-1和65-2的中间线(未图示)为基准，在垂直方向上对称地形成。

[0553] 此外，在垂直方向上的与相邻的像素51的反射部件631之间，形成有接地线832、电源线833、接地线834等的布线。这些布线也以两个信号取出部65-1和65-2的中间线为基准，在垂直方向上对称地形成。

[0554] 这样，第一层的金属膜M1在像素内的信号取出部65-1侧的区域和信号取出部65-2侧的区域中对称地配置，由此，能够在信号取出部65-1和65-2中均等地调整布线负载。由此，降低了信号取出部65-1和65-2的驱动偏差。

[0555] 在第一层的金属膜M1中，通过在形成于基板61的信号取出部65-1和65-2的下侧形成大面积的反射部件631，能够使经由片上透镜62入射到基板61内、在基板61内未进行光电转换而透射基板61的红外光，由反射部件631反射而再次入射到基板61内。由此，能够使在基板61内被光电转换的红外光的量更多，能够提高量子效率(QE)、即像素51相对于红外光的灵敏度。

[0556] 另一方面，在第一层的金属膜M1中，在代替反射部件631转而在与反射部件631相同的区域配置遮光部件631'的情况下，能够抑制经由片上透镜62从光入射面入射到基板61内、在基板61内未进行光电转换而透射基板61的红外光，在布线层发生散射而向附近像素入射。由此，能够防止在附近像素误检测到光。

[0557] 如图42的B所示，在作为多层布线层811的第2层的金属膜M2中，在信号取出部65-1

与65-2之间的位置配置有控制线区域851，在该控制线区域851形成有将规定的信号沿着水平方向传送的控制线841至844等。控制线841至844例如是传送驱动信号TRG、驱动信号RST、选择信号SEL或驱动信号FDG的线。

[0558] 通过将控制线区域851配置在两个信号取出部65之间，对信号取出部65-1和65-2分别造成的影响变得均等，能够减少信号取出部65-1和65-2的驱动偏差。

[0559] 此外，在与第2层的金属膜M2的控制线区域851不同的规定区域中，配置有形成有FD722B和附加电容727A的电容区域852。在电容区域852中，通过将金属膜M2图案形成为梳齿状，构成FD722B或附加电容727A。

[0560] 通过将FD722B或附加电容727A配置在第2层的金属膜M2，能够根据设计上的期望的布线电容，自由地配置FD722B或附加电容727A的图案，能够提高设计自由度。

[0561] 如图42的C所示，在作为多层布线层811的第3层的金属膜M3中，至少形成有将从各像素51输出的像素信号传送到列处理部23的垂直信号线29。为了提高像素信号的读出速度，能够相对于一个像素列配置3条以上的垂直信号线29。此外，除了垂直信号线29以外，还可以配置屏蔽布线以降低耦合电容。

[0562] 在作为多层布线层811的第4层的金属膜M4和第5层的金属膜M5中，形成有用于向各像素51的信号取出部65的P+半导体区域73-1和73-2施加规定的电压MIX0或MIX1的电压供给线741-1和741-2。

[0563] 图43的A和B所示的金属膜M4和金属膜M5表示采用图33的A所示的第一配置例的电压供给线741的情况。

[0564] 金属膜M4的电压供给线741-1经由金属膜M3和M2与金属膜M1的电压施加布线814(例如，图36)连接，电压施加布线814与像素51的信号取出部65-1的P+半导体区域73-1连接。同样地，金属膜M4的电压供给线741-2经由金属膜M3和M2与金属膜M1的电压施加布线814(例如，图36)连接，电压施加布线814与像素51的信号取出部65-2的P+半导体区域73-2连接。

[0565] 金属膜M5的电压供给线741-1和741-2与像素阵列部20的周边的抽头驱动部21连接。金属膜M4的电压供给线741-1和金属膜M5的电压供给线741-1在平面区域中存在双方的金属膜的规定位置处通过未图示的通孔等连接。来自抽头驱动部21的规定的电压MIX0或MIX1在金属膜M5的电压供给线741-1和741-2中传送，被供给到金属膜M4的电压供给线741-1和741-2，并从电压供给线741-1和741-2经由金属膜M3和M2供给到金属膜M1的电压施加布线814。

[0566] 通过将受光元件1设为背面照射型的CAPD传感器，例如如图43的A和B所示，能够将向各像素51的信号取出部65施加规定的电压MIX0或MIX1的电压供给线741-1和741-2在垂直方向上布置等，能够自由地设计驱动布线的布线宽度和布局。此外，也可以是适合于高速驱动的布线、考虑了负载降低的布线。

[0567] (像素晶体管的平面配置例)

[0568] 图44是使图42的A所示的第一层的金属膜M1与形成在其上形成的像素晶体管Tr的栅极电极等的多晶硅层重合的俯视图。

[0569] 图44的A是使图44的C的金属膜M1与图44的B的多晶硅层重合的俯视图，图44的B是仅多晶硅层的俯视图，图44的C是仅金属膜M1的俯视图。图44的C的金属膜M1的俯视图和图

42的A所示的俯视图相同，但省略了阴影线。

[0570] 如参照图42的A说明的那样，在各像素的反射部件631之间形成像素晶体管布线区域831。

[0571] 分别与信号取出部65-1和65-2对应的像素晶体管Tr例如如图44的B所示那样配置在像素晶体管布线区域831。

[0572] 在图44的B中，以两个信号取出部65-1和65-2的中间线(未图示)为基准，从接近中间线的一侧起形成复位晶体管723A和723B、传输晶体管721A和721B、切换晶体管728A和728B、选择晶体管725A和725B以及放大晶体管724A和724B的栅极电极。

[0573] 连接图44的C所示的金属膜M1的像素晶体管Tr间的布线，也以两个信号取出部65-1和65-2的中间线(未图示)为基准，在垂直方向上对称地形成。

[0574] 这样，通过将像素晶体管布线区域831内的多个像素晶体管Tr在信号取出部65-1侧的区域和信号取出部65-2侧的区域中对称地配置，能够减小信号取出部65-1和65-2的驱动偏差。

[0575] (反射部件631的变形例)

[0576] 接下来，参照图45和图46对形成于金属膜M1的反射部件631的变形例进行说明。

[0577] 在上述的例子中，如图42的A所示，在像素51内的成为信号取出部65周边的区域配置有大面积的反射部件631。

[0578] 与此相对，反射部件631例如如图45的A所示，也能够以格子形状的图案配置。这样，通过以格子形状的图案形成反射部件631，能够消除图案各向异性，降低反射能力的XY各向异性。换言之，通过以格子形状的图案形成反射部件631，能够减少向偏向的一部分区域的入射光的反射，能够容易各向同性地反射，因此测距精度提高。

[0579] 或者，此外，反射部件631例如如图45的B所示，也可以以条纹形状的图案配置。这样，通过以条纹形状的图案形成反射部件631，能够将反射部件631的图案也作为布线电容使用，因此能够实现将动态范围扩大至最大限度的结构。

[0580] 另外，图45的B是垂直方向的条纹形状的例子，但也可以是水平方向的条纹形状。

[0581] 或者，此外，反射部件631例如如图45的C所示，仅配置在像素中心区域，更具体而言，仅配置在两个信号取出部65之间。这样，通过在像素中心区域形成反射部件631而不在像素端形成反射部件631，能够得到反射部件631对像素中心区域的灵敏度提高的效果，并且能够抑制倾斜光入射的情况下的向邻接像素反射的成分，能够实现重视了串扰的抑制的结构。

[0582] 此外，反射部件631例如如图46的A所示，也可以将一部分图案配置成梳齿状，由此将金属膜M1的一部分分配给FD722或附加电容727的布线电容。在图46的A中，由实线的圆包围的区域861至864内的梳齿形状构成FD722或附加电容727的至少一部分。FD722或附加电容727也可以适当分开配置于金属膜M1和金属膜M2。能够将金属膜M1的图案平衡良好地配置在反射部件631、FD722或附加电容727的电容。

[0583] 图46的B表示不配置反射部件631的情况下的金属膜M1的图案。为了使在基板61内被光电转换的红外光的量更多而提高像素51的灵敏度，优选配置反射部件631，但也能够采用不配置反射部件631的结构。

[0584] 图45和图46所示的反射部件631的配置例也同样能够应用于遮光部件631’。

[0585] (受光元件的基板结构例)

[0586] 图1的受光元件1能够采用图47的A至C中任意一个的基板结构。

[0587] 图47的A表示由1个半导体基板911和其下方的支承基板912构成受光元件1的例子。

[0588] 在该情况下,在上侧的半导体基板911形成与上述的像素阵列部20对应的像素阵列区域951、控制像素阵列区域951的各像素的控制电路952、以及包含像素信号的信号处理电路的逻辑电路953。

[0589] 在控制电路952中包含上述的抽头驱动部21、垂直驱动部22、水平驱动部24等。在逻辑电路953中包含进行像素信号的AD转换处理等的列处理部23、进行根据由像素内的两个以上的信号取出部65分别取得的像素信号的比例计算距离的距离计算处理、校准处理等的信号处理部31。

[0590] 或者,此外,受光元件1如图47的B所示,可以是层叠形成有像素阵列区域951和控制电路952的第一半导体基板921、与形成有逻辑电路953的第二半导体基板922的结构。另外,第一半导体基板921和第二半导体基板922例如通过贯通孔、Cu-Cu的金属键而电接合。

[0591] 或者,此外,受光元件1如图47的C所示,可以是层叠仅形成有像素阵列区域951的第一半导体基板931、与形成有将控制各像素的控制电路和处理像素信号的信号处理电路以1个像素为单位或者以多个像素的区域为单位设置的区域控制电路954的第二半导体基板932。第一半导体基板931和第二半导体基板932例如通过贯通孔、Cu-Cu的金属键而电接合。

[0592] 如图47的C的受光元件1那样,根据以1个像素为单位或以区域为单位设置控制电路和信号处理电路的结构,能够针对每个分割控制单位设定最佳的驱动时刻和增益,能够与距离和反射率无关地取得最佳化的距离信息。此外,能够不驱动像素阵列区域951的整个面而仅驱动一部分的区域来计算距离信息,因此,也可以根据动作模式抑制消耗电力。

[0593] (像素晶体管周边的噪声对策例)

[0594] 然而,在像素阵列部20中沿着水平方向排列的像素51的边界部,如图37的截面图所示,配置有复位晶体管723、放大晶体管724以及选择晶体管725等的像素晶体管Tr。

[0595] 当更详细地图示图37所示的像素边界部的像素晶体管配置区域时,如图48所示,复位晶体管723、放大晶体管724以及选择晶体管725等的像素晶体管Tr形成于在基板61的表面侧形成的P阱区1011。

[0596] P阱区1011相对于在信号取出部65的N+半导体区域71的周围形成的STI(Shallow Trench Isolation)等的氧化膜64,在平面方向上隔开规定间隔地形成。此外,在基板61的背面侧界面形成有兼作像素晶体管Tr的栅极绝缘膜的氧化膜1012。

[0597] 此时,在基板61的背面侧界面,在氧化膜64与P阱区1011之间的间隙区域1013中,通过氧化膜1012中的正电荷产生的电势,电子容易蓄积,在不具有电子的排出机构的情况下,电子溢出而扩散,被收集到N型半导体区域而成为噪声。

[0598] 因此,如图49的A所示,能够在平面方向上延伸形成P阱区1021直至与邻接的氧化膜64接触为止,形成为在基板61的背面侧界面不存在间隙区域1013。由此,能够防止在图48所示的间隙区域1013蓄积电子,因此能够抑制噪声。P阱区1021的杂质浓度形成为比作为光电转换区域的基板61的P型半导体区域1022的杂质浓度高。

[0599] 或者，此外，如图49的B所示，也可以将在信号取出部65的N+半导体区域71的周围形成的氧化膜1032在平面方向延伸形成至P阱区1031，由此形成为在基板61的背面侧界面不存在间隙区域1013。在该情况下，P阱区1031内的复位晶体管723、放大晶体管724、选择晶体管725等的像素晶体管Tr间也被氧化膜1033元件分离。氧化膜1033例如可以由STI形成，在与氧化膜1032相同的工序中形成。

[0600] 根据图49的A或B的结构，在基板61的背面侧界面，像素的边界部的绝缘膜(氧化膜64、氧化膜1032)与P阱区(P阱区1021、P阱区1031)接触，由此能够消除间隙区域1013，因此，能够防止电子的蓄积，抑制噪声。图49的A或B的结构也能够应用于本说明书所记载的任意的实施方式。

[0601] 或者，在形成为原状保留间隙区域1013的结构的情况下，通过采用图50或图51所示的结构，能够抑制在间隙区域1013产生的电子的蓄积。

[0602] 图50表示二维配置有在1个像素具有两个信号取出部65-1和65-2的两个抽头的像素51的俯视图中的氧化膜64、P阱区1011以及间隙区域1013的配置。

[0603] 在二维配置的像素间未通过STI和DTI(Deep Trench Isolation，深槽隔离)分离的情况下，如图50所示，P阱区1011与在列方向上排列的多个像素相连地列状形成。

[0604] 能够在像素阵列部20的配置于有效像素区域1051的外侧的无效像素区域1052内的像素51的间隙区域1013中，作为漏极设置排出电荷的N型扩散层1061，向所述N型扩散层1061排出电子。N型扩散层1061形成在基板61的背面侧界面，向N型扩散层1061施加GND(0V)或正的电压。由于在各像素51的间隙区域1013产生的电子，在垂直方向(列方向)向无效像素区域1052内的N型扩散层1061移动，在像素列共用的N型扩散层1061被收集，所以能够抑制噪声。

[0605] 另一方面，如图51所示，在通过使用了STI、DTI等的像素分离部1071将像素间分离的情况下，能够在各像素51的间隙区域1013设置N型扩散层1061。由此，在各像素51的间隙区域1013产生的电子从N型扩散层1061排出，因此能够抑制噪声。图50和图51的结构也能够应用于本说明所记载的任意的实施方式。

[0606] (有效像素区域周边的噪声)

[0607] 接下来，进一步说明有效像素区域周边的电荷排出。

[0608] 在与有效像素区域邻接的外周部例如存在配置有遮光像素的遮光像素区域。

[0609] 如图52所示，在遮光像素区域的遮光像素51X中，信号取出部65等与有效像素区域的像素51同样地形成。此外，在遮光像素区域的遮光像素51X中，在像素区域的整个面形成像素间遮光膜63，成为光无法入射的结构。此外，在遮光像素51X中，多数情况下不施加驱动信号。

[0610] 另一方面，在与有效像素区域邻接的遮光像素区域中，入射来自透镜的斜入射光、来自像素间遮光膜63的折射光、来自多层布线层811的反射光，生成光电子。所生成的光电子由于不具有排出目的地，所以蓄积于遮光像素区域，通过浓度梯度向有效像素区域扩散，与信号电荷混合而成为噪声。该有效像素区域的周边的噪声成为所谓的边框不均。

[0611] 因此，作为在有效像素区域周边产生的噪声的对策，受光元件1能够在有效像素区域1051的外周设置图53的A至D中任一个的电荷排出区域1101。

[0612] 图53的A至D是表示设置于有效像素区域1051的外周的电荷排出区域1101的结构

例的俯视图。

[0613] 在图53的A至D的任一个中，都在配置于基板61的中央部的有效像素区域1051的外周设置有电荷排出区域1101，进而在电荷排出区域1101的外侧设置有OPB区域1102。电荷排出区域1101是内侧的虚线的矩形与外侧的虚线的矩形之间的附加了阴影线的区域。OPB区域1102是在区域整个面形成像素间遮光膜63，配置有与有效像素区域的像素51同样地驱动且检测黑电平信号的OPB像素的区域。在图53的A至D中，带有灰色的区域表示通过形成像素间遮光膜63而被遮光的区域。

[0614] 图53的A的电荷排出区域1101由配置有开口像素的开口像素区域1121和配置有遮光像素51X的遮光像素区域1122构成。开口像素区域1121的开口像素是具有与有效像素区域1051的像素51相同的像素结构，进行规定的驱动的像素。遮光像素区域1122的遮光像素51X是除了在像素区域整个面形成像素间遮光膜63这一点之外，具有与有效像素区域1051的像素51相同的像素结构，进行规定的驱动的像素。

[0615] 开口像素区域1121在有效像素区域1051的外周的四边的各列或各行，具有1个像素以上的像素列或像素行。遮光像素区域1122也在开口像素区域1121外周的四边的各列或各行，具有1个像素以上的像素列或像素行。

[0616] 图53的B的电荷排出区域1101由配置有遮光像素51X的遮光像素区域1122和配置有N型扩散层的N型区域1123构成。

[0617] 图54是电荷排出区域1101由遮光像素区域1122和N型区域1123构成的情况下的截面图。

[0618] N型区域1123是其区域整个面被像素间遮光膜63遮光，在基板61的P型半导体区域1022内代替信号取出部65转而形成高浓度的N型半导体区域即N型扩散层1131的区域。从多层布线层811的金属膜M1向N型扩散层1131始终或间歇性施加0V或正的电压。N型扩散层1131例如可以形成在N型区域1123的P型半导体区域1022的整个区域，俯视观察时形成为连续的大致环状，也可以局部形成在N型区域1123的P型半导体区域1022，俯视观察时多个N型扩散层1131大致环状地分散配置。

[0619] 返回图53的B，遮光像素区域1122在有效像素区域1051的外周的四边的各列或各行，具有1个像素以上的像素列或像素行。N型区域1123也在遮光像素区域1122的外周的四边的各列或各行，具有规定的列宽或行宽。

[0620] 图53的C的电荷排出区域1101由配置有遮光像素的遮光像素区域1122构成。遮光像素区域1122在有效像素区域1051的外周的四边的各列或各行，具有1个像素以上的像素列或像素行。

[0621] 图53的D的电荷排出区域1101由配置有开口像素的开口像素区域1121和配置有N型扩散层的N型区域1123构成。

[0622] 开口像素区域1121的开口像素和遮光像素区域1122的遮光像素51X所进行的规定的驱动只要包含向像素的N型半导体区域始终或间歇性施加正的电压的动作即可，优选为在以有效像素区域1051的像素51为基准的时刻，与像素51的驱动同样地向像素晶体管、P型半导体区域或N型半导体区域施加驱动信号的动作。

[0623] 图53的A至D所示的电荷排出区域1101的结构例仅为一例，并不限定于这些例子。电荷排出区域1101只要是具备进行规定的驱动的开口像素、进行规定的驱动的遮光像素、

具有始终或间歇性被施加0V或正的电压的N型扩散层的N型区域中的任一个的结构即可。因而，例如开口像素、遮光像素、N型区域可以在一个像素列或像素行中混合存在，也可以在有效像素区域的周边的四边的像素行或像素列配置开口像素、遮光像素或N型区域的不同种类。

[0624] 这样，通过在有效像素区域1051的外周设置电荷排出区域1101，能够抑制有效像素区域1051以外的电子蓄积，因此能够抑制从有效像素区域1051的外侧向有效像素区域1051扩散的光电荷与信号电荷相加而产生噪声。

[0625] 此外，通过将电荷排出区域1101设置在OPB区域1102的近前侧，能够防止在有效像素区域1051的外侧的遮光区域产生的光电子向OPB区域1102扩散，因此能够防止在黑电平信号加上噪声。图53的A至D所示的结构也能够应用于本说明所记载的任意的实施方式。

[0626] (第十八实施方式)

[0627] 接下来，参照图55对在具有光电转换区域的基板61配置像素晶体管的情况下的电流的流动进行说明。

[0628] 在像素51中，例如通过向两个信号取出部65的P+半导体区域73施加1.5V的正的电压和0V的电压而在两个P+半导体区域73间产生电场，电流从被施加1.5V的P+半导体区域73向被施加0V的P+半导体区域73流动。但是，由于形成于像素边界部的P阱区1011也是GND(0V)，所以不仅在两个信号取出部65间流动电流，而且如图55的A所示，也从被施加1.5V的P+半导体区域73向P阱区1011流动电流。

[0629] 图55的B是表示图42的A所示的像素晶体管布线区域831的平面配置的图。

[0630] 信号取出部65的面积能够通过布局变而缩小，与此相对，像素晶体管布线区域831的面积由1个像素晶体管专有面积和像素晶体管的数量以及布线面积决定，因此，仅通过布局设计上的研究难以缩小面积。因而，在想要缩小像素51的面积时，像素晶体管布线区域831的面积成为主要的制约因素。为了在维持传感器的光学尺寸的同时实现高分辨率化，需要缩小像素尺寸，但是像素晶体管布线区域831的面积成为制约。此外，如果在维持像素晶体管布线区域831的面积的同时缩小像素51的面积，则在图55的B中，虚线的箭头所示的流向像素晶体管布线区域831的电流的路径缩短，电阻下降，电流增加。因而，像素51的面积缩小会导致消耗电力的增加。

[0631] (像素的结构例)

[0632] 因此，如图56所示，能够采用将受光元件1设为层叠两个基板的层叠结构，在与具有光电转换区域的基板不同的基板配置全部的像素晶体管的结构。

[0633] 图56是第十八实施方式的像素的截面图。

[0634] 图56与上述的图36等相同，表示相当于图11的B－B’线的多个像素的截面图。

[0635] 在图56中，对与图36所示的第十四实施方式的多个像素的截面图对应的部分标注相同的附图标记，适当省略该部分的说明。

[0636] 在图56的第十八实施方式中，受光元件1通过层叠基板1201和基板1211这两个基板而构成。基板1201与图36所示的第十四实施方式中的基板61对应，例如由作为光电转换区域而具有P型半导体区域1204的硅基板等构成。基板1211也由硅基板等构成。

[0637] 另外，具有光电转换区域的基板1201除了由硅基板等构成以外，例如也可以由GaAs、InP、GaSb等的化合物半导体、Ge等窄带隙半导体、涂布有有机光电转换膜的玻璃基

板、塑料基板构成。在由化合物半导体构成基板1201的情况下，能够期待直接跃迁型的能带结构带来的量子效率的提高、灵敏度提高、基板薄膜化带来的传感器的低背化。此外，由于电子的迁移率变高，所以能够提高电子收集效率，由于空穴的迁移率低，因此能够降低消耗电力。在由窄带隙半导体构成基板1201的情况下，能够期待窄带隙带来的近红外区域的量子效率提高、灵敏度提高。

[0638] 基板1201和基板1211以基板1201的布线层1202与基板1211的布线层1212面对的方式贴合。并且，基板1201侧的布线层1202的金属布线1203与基板1211侧的布线层1212的金属布线1213例如通过Cu-Cu接合而电接合。另外，布线层彼此的电接合并不限定于Cu-Cu接合，例如也可以是Au-Au接合和Al-Al接合等的同种金属接合，Cu-Au接合、Cu-Al接合或者Au-Al接合等的异种金属接合等。此外，也可以在基板1201的布线层1202或基板1211的布线层1212中的任意一方进一步设置第十四实施方式的反射部件631或第十五实施方式的遮光部件631’。

[0639] 具有光电转换区域的基板1201与上述的第一至第十七实施方式的基板61的不同点在于，复位晶体管723、放大晶体管724以及选择晶体管725等全部的像素晶体管Tr都形成于基板1201。

[0640] 在图56的第十八实施方式中，复位晶体管723、放大晶体管724以及选择晶体管725等的像素晶体管Tr形成在图中下方的基板1211侧。在图56中图示了复位晶体管723、放大晶体管724以及选择晶体管725，但是在基板1211的未图示的区域还形成有传输晶体管721。

[0641] 在基板1211与布线层1212之间形成有兼作像素晶体管的栅极绝缘膜的绝缘膜(氧化膜)1214。

[0642] 因而，虽然省略了图示，但在以相当于图11的A－A’线的截面图观察第十八实施方式的像素的情况下，在图37中形成于像素边界部的像素晶体管Tr不形成于基板1201。

[0643] 当使用图31所示的像素51的等效电路表示分别配置于基板1201和基板1211的元件时，如图57所示，作为电压施加部的P+半导体区域73以及作为电荷检测部的N+半导体区域71形成于基板1201，传输晶体管721、FD722、复位晶体管723、放大晶体管724以及选择晶体管725形成于基板1211。

[0644] 当参照图47示出第十八实施方式的受光元件1时，如图58所示，受光元件1通过层叠基板1201和基板1211而构成。

[0645] 在基板1201的像素阵列区域1231，形成从图47的C所示的像素阵列区域951中除去传输晶体管721、FD722、复位晶体管723、放大晶体管724以及选择晶体管725以外的部分。

[0646] 在基板1211的区域控制电路1232中，除了图47的C所示的区域控制电路954以外，还形成有像素阵列部20的各像素的传输晶体管721、FD722、复位晶体管723、放大晶体管724以及选择晶体管725。图1所示的抽头驱动部21、垂直驱动部22、列处理部23、水平驱动部24、系统控制部25、信号处理部31以及数据存储部32也形成于基板1211。

[0647] 图59是表示授受电压MIX的基板1201与基板1211间的电接合部即MIX接合部、以及授受信号电荷DET的基板1201与基板1211间的电接合部即DET接合部的俯视图。另外，在图59中，为了防止附图变得复杂，省略了MIX接合部1251和DET接合部1252的附图标记的一部分。

[0648] 如图59所示，例如针对每个像素51分别设置用于供给电压MIX的MIX接合部1251和

用于取得信号电荷DET的DET接合部1252。在该情况下，电压MIX和信号电荷DET以像素为单位在基板1201与基板1211之间交接。

[0649] 或者，此外，如图60所示，用于取得信号电荷DET的DET接合部1252以像素为单位设置在像素区域内，但是用于供给电压MIX的MIX接合部1251也可以设置在像素阵列部20的外侧的周边部1261。在周边部1261中，从基板1211供给的电压MIX经由在基板1201中沿着垂直方向布线的电压供给线1253向各像素51的电压施加部即P+半导体区域73供给。这样，通过将供给电压MIX的MIX接合部1251在多个像素中共用，能够减少基板整体的MIX接合部1251的数量，容易实现像素尺寸和芯片尺寸的细微化。

[0650] 另外，图60的例子是通过将电压供给线1253沿着垂直方向布线而在像素列共用的例子，但也可以将电压供给线1253沿着水平方向布线而在像素行共用。

[0651] 此外，在上述的第十八实施方式中，对基板1201与基板1211的电接合通过Cu-Cu接合而电连接的例子进行了说明，但是也可以使用其他电接合方法，例如采用TCV(Through Chip Via)、使用了微凸块的凸块接合等。

[0652] 根据上述的第十八实施方式，通过基板1201与基板1211的层叠结构构成受光元件1，在与作为光电转换区域而具有P型半导体区域1204的基板1201不同的基板1211，配置进行作为电荷检测部的N+半导体区域71的信号电荷DET的读出动作的全部的像素晶体管、即传输晶体管721、复位晶体管723、放大晶体管724以及选择晶体管725。由此，能够解决参照图55说明的问题。

[0653] 即，像素51的面积能够与像素晶体管布线区域831的面积无关地缩小，不变更光学尺寸就能够实现高分辨率化。此外，由于避免了从信号取出部65向像素晶体管布线区域831的电流增加，所以还能够降低消耗电流。

[0654] (第十九实施方式)

[0655] 接下来，对第十九实施方式进行说明。

[0656] 为了提高CAPD传感器的电荷分离效率Cmod，需要加强作为电压施加部的P+半导体区域73或P－半导体区域74的电势。特别是，在需要高灵敏度地检测红外光等的长波长光的情况下，如图61所示，需要将P－半导体区域74扩展到半导体层的较深位置，或者将施加的正的电压提高到比电压VA_1高的电压VA_2。在该情况下，由于电压施加部间的低电阻化而导致电流Imix容易流动，消耗电流增大成为问题。此外，在为了提高分辨率而使像素尺寸细微化的情况下，由于电压施加部间的距离变短而导致低电阻化，消耗电流的增大成为问题。

[0657] (第十九实施方式的第一结构例)

[0658] 图62的A是第十九实施方式的第一结构例的像素的俯视图，图62的B是第十九实施方式的第一结构例的像素的截面图。

[0659] 图62的A是图62的B的B－B’线处的俯视图，图62的B是图62的A的A－A’线处的截面图。

[0660] 另外，在图62中仅示出像素51的形成于基板61的部分，例如省略了形成于光入射面侧的片上透镜62、形成于光入射面的相反侧的多层布线层811等的图示。省略图示的部分能够与上述的其他实施方式相同地构成。例如，能够在光入射面的相反侧的多层布线层811设置反射部件631或遮光部件631’。

[0661] 在第十九实施方式的第一结构例中，在作为基板61的光电转换区域的P型半导体

区域1301的规定位置处，形成有作为施加规定的电压MIX0的电压施加部发挥功能的电极部1311-1、以及作为施加规定的电压MIX1的电压施加部发挥功能的电极部1311-2。

[0662] 电极部1311-1由埋入基板61的P型半导体区域1301内的埋入部1311A-1、以及突出到基板61的第一面1321的上部的突出部1311B-1构成。

[0663] 电极部1311-2也同样由埋入基板61的P型半导体区域1301内的埋入部1311A-2、以及突出到基板61的第一面1321的上部的突出部1311B-2构成。电极部1311-1和1311-2例如通过钨(W)、铝(Al)、铜(Cu)等金属材料、硅或多晶硅等的导电性材料形成。

[0664] 如图62的A所示，平面形状形成为圆形的电极部1311-1(的埋入部1311A-1)和电极部1311-2(的埋入部1311A-2)以像素的中心点作为对称点点对称地配置。

[0665] 在电极部1311-1的外周(周围)形成有作为电荷检测部发挥功能的N+半导体区域1312-1，在电极部1311-1与N+半导体区域1312-1之间插入绝缘膜1313-1和空穴浓度强化层1314-1。

[0666] 同样地，在电极部1311-2的外周(周围)形成有作为电荷检测部发挥功能的N+半导体区域1312-2，在电极部1311-2与N+半导体区域1312-2之间插入绝缘膜1313-2和空穴浓度强化层1314-2。

[0667] 电极部1311-1和N+半导体区域1312-1构成上述的信号取出部65-1，电极部1311-2和N+半导体区域1312-2构成上述的信号取出部65-2。

[0668] 电极部1311-1在基板61内，如图62的B所示，由绝缘膜1313-1覆盖，该绝缘膜1313-1由空穴浓度强化层1314-1覆盖。电极部1311-2、绝缘膜1313-2以及空穴浓度强化层1314-2的关系也是同样的。

[0669] 绝缘膜1313-1和1313-2例如由氧化膜(SiO_2)等构成，在与形成在基板61的第一面1321上的绝缘膜1322相同的工序中形成。另外，在基板61的与第一面1321相反侧的第二面1331上也形成有绝缘膜1332。

[0670] 空穴浓度强化层1314-1和1314-2由P型半导体区域构成，例如能够采用离子注入法、固相扩散法、等离子体掺杂法等形成。

[0671] 以下，在不需要特别区别电极部1311-1和电极部1311-2的情况下，也简称为电极部1311，在不需要特别区别N+半导体区域1312-1和N+半导体区域1312-2的情况下，也简称为N+半导体区域1312。

[0672] 此外，在不需要特别区别空穴浓度强化层1314-1和空穴浓度强化层1314-2的情况下，也简称为空穴浓度强化层1314，在不需要特别区别绝缘膜1313-1和绝缘膜1313-2的情况下，也简称为绝缘膜1313。

[0673] 电极部1311、绝缘膜1313以及空穴浓度强化层1314能够通过如下的顺序形成。首先，通过从第一面1321侧对基板61的P型半导体区域1301进行蚀刻，形成规定的深度的沟槽。接着，在所形成的沟槽的内周通过离子注入法、固相扩散法、等离子体掺杂法等形成空穴浓度强化层1314后，形成绝缘膜1313。接着，通过在绝缘膜1313的内部埋入导电性材料，形成埋入部1311A。之后，在基板61的第一面1321上的整个面形成金属材料等的导电性材料后，通过蚀刻仅留下电极部1311的上部，由此形成突出部1311B-1。

[0674] 电极部1311的深度构成为至少达到比作为电荷检测部的N+半导体区域1312深的位置，优选构成为达到比基板61的一半深的位置。

[0675] 根据如以上那样构成的第十九实施方式的第一结构例的像素51，利用在基板61的深度方向形成沟槽并埋入导电性材料而成的电极部1311，对于在相对于基板61的深度方向的宽广区域内被光电转换的电荷，得到电荷的分配效果，因此能够提高相对于长波长光的电荷分离效率Cmod。

[0676] 此外，通过形成为由绝缘膜1313覆盖电极部1311的外周部的结构，抑制了在电压施加部间流动的电流，因此能够降低消耗电流。或者，此外，在以相同的消耗电流进行比较的情况下，能够向电压施加部施加高电压。进而，即使缩短电压施加部间的距离，也能够抑制消耗电流，因此，通过使像素尺寸细微化，增加像素数，能够实现高分辨率化。

[0677] 另外，在第十九实施方式的第一结构例中，电极部1311的突出部1311B也可以省略，但是通过设置突出部1311B，与基板61垂直的方向的电场强化，容易聚集电荷。

[0678] 此外，在想要提高施加电压的调制度、进一步提高电荷分离效率Cmod的情况下，也可以省略空穴浓度强化层1314。在设置有空穴浓度强化层1314的情况下，能够抑制因形成沟槽的蚀刻时的损伤、污染物质而引起的生成电子。

[0679] 在第十九实施方式的第一结构例中，基板61的第一面1321和第二面1331中的任一个可以是光入射面，也可以是背面照射型和表面照射型中的任一个，但更优选背面照射型。

[0680] (第十九实施方式的第二结构例)

[0681] 图63的A是第十九实施方式的第二结构例的像素的俯视图，图63的B是第十九实施方式的第二结构例的像素的截面图。

[0682] 图63的A是图63的B的B－B’线处的俯视图，图63的B是图63的A的A－A’线处的截面图。

[0683] 另外，在图63的第二结构例中，对与图62对应的部分标注相同的附图标记，着眼于与图62的第一结构例不同的部分进行说明，适当省略共同的部分的说明。

[0684] 在图63的第二结构例中，在电极部1311的埋入部1311A贯通作为半导体层的基板61这一点上不同，其他方面相同。电极部1311的埋入部1311A从基板61的第一面1321形成至第二面1331，在电极部1311的外周部最终形成绝缘膜1313和空穴浓度强化层1314。关于未形成作为电荷检测部的N+半导体区域1312的一侧的第二面1331，整个面被绝缘膜1332覆盖。

[0685] 如该第二结构例那样，也可以构成为作为电压施加部的电极部1311的埋入部1311A贯通基板61。在该情况下，对于在相对于基板61的深度方向的宽广区域内被光电转换的电荷，得到电荷的分配效果，因此能够提高相对于长波长光的电荷分离效率Cmod。

[0686] 此外，通过形成为由绝缘膜1313覆盖电极部1311的外周部的结构，抑制了在电压施加部间流动的电流，因此能够降低消耗电流。或者，此外，在以相同的消耗电流进行比较的情况下，可以向电压施加部施加高电压。进而，即使缩短电压施加部间的距离，也能够抑制消耗电流，因此，通过使像素尺寸细微化、增加像素数，能够实现高分辨率化。

[0687] 在第十九实施方式的第二结构例中，基板61的第一面1321和第二面1331中的任一个可以是光入射面，也可以是背面照射型和表面照射型中的任一个，但更优选背面照射型。

[0688] (平面形状的其他例子)

[0689] 在上述的第十九实施方式的第一结构例和第二结构例中，作为电压施加部的电极部1311与作为电荷检测部的N+半导体区域1312的平面形状为圆形。

[0690] 但是，电极部1311和N+半导体区域1312的平面形状并不限定于圆形，也可以是图11所示的八边形、图12所示的长方形或者正方形等形状。此外，配置于1个像素的信号取出部65(抽头)的个数也并不限定于2个，可以是图17所示的4个等。

[0691] 图64的A至C是相当于图62的B的B－B'线的俯视图，表示信号取出部65的个数为2个，构成信号取出部65的电极部1311和N+半导体区域1312的平面形状为圆形以外的形状的情况下的例子。

[0692] 图64的A是电极部1311和N+半导体区域1312的平面形状为在垂直方向上长的纵长的长方形的例子。

[0693] 在图64的A中，电极部1311-1和电极部1311-2以像素的中心点作为对称点点对称地配置。此外，电极部1311-1和电极部1311-2对置配置。形成于电极部1311的外周的绝缘膜1313、空穴浓度强化层1314以及N+半导体区域1312的形状和位置关系也与电极部1311相同。

[0694] 图64的B是电极部1311和N+半导体区域1312的平面形状为L形的例子。

[0695] 图64的C是电极部1311和N+半导体区域1312的平面形状为梳齿形的例子。

[0696] 在图64的B和C中，电极部1311-1和电极部1311-2也以像素的中心点作为对称点点对称地配置。此外，电极部1311-1和电极部1311-2对置配置。形成于电极部1311的外周的绝缘膜1313、空穴浓度强化层1314以及N+半导体区域1312的形状和位置关系也相同。

[0697] 图65的A至C是相当于图62的B的B－B'线的俯视图，表示信号取出部65的个数为4个，构成信号取出部65的电极部1311和N+半导体区域1312的平面形状为圆形以外的形状的情况下的例子。

[0698] 图65的A是电极部1311和N+半导体区域1312的平面形状为在垂直方向上长的纵长的长方形的例子。

[0699] 在图65的A中，纵长的电极部1311-1至1311-4在水平方向上以规定的间隔配置，将像素的中心点作为对称点而点对称地配置。此外，电极部1311-1和1311-2与电极部1311-3和1311-4对置配置。

[0700] 电极部1311-1和电极部1311-3通过布线1351电接合，例如构成被施加电压MIX0的信号取出部65-1(第一抽头TA)的电压施加部。N+半导体区域1312-1和N+半导体区域1312-3通过布线1352电接合，构成检测信号电荷DET1的信号取出部65-1(第一抽头TA)的电荷检测部。

[0701] 电极部1311-2和电极部1311-4通过布线1353电接合，例如构成被施加电压MIX1的信号取出部65-2(第二抽头TB)的电压施加部。N+半导体区域1312-2和N+半导体区域1312-4通过布线1354电接合，构成检测信号电荷DET2的信号取出部65-2(第二抽头TB)的电荷检测部。

[0702] 因而，换言之，在图65的A的配置中，平面形状为矩形的信号取出部65-1的电压施加部和电荷检测部的组、与平面形状为矩形的信号取出部65-2的电压施加部和电荷检测部的组在水平方向上交替地配置。

[0703] 形成于电极部1311的外周的绝缘膜1313和空穴浓度强化层1314的形状及位置关系也相同。

[0704] 图65的B是电极部1311和N+半导体区域1312的平面形状为正方形的例子。

[0705] 在图65的B的配置中，平面形状为矩形的信号取出部65-1的电压施加部和电荷检测部的组在像素51的对角方向上对置配置，平面形状为矩形的信号取出部65-2的电压施加部和电荷检测部的组在与信号取出部65-1不同的对角方向上对置配置。

[0706] 图65的C是电极部1311和N+半导体区域1312的平面形状为三角形的例子。

[0707] 在图65的C的配置中，平面形状为三角形的信号取出部65-1的电压施加部和电荷检测部的组在像素51的第一方向(水平方向)上对置配置，平面形状为三角形的信号取出部65-2的电压施加部和电荷检测部的组在与第一方向正交且与信号取出部65-1不同的第二方向(垂直方向)上对置配置。

[0708] 在图65的B和C中，4个电极部1311-1至1311-4以像素的中心点作为对称点而点对称地配置这一点、电极部1311-1和电极部1311-3通过布线1351电接合这一点、N+半导体区域1312-1和N+半导体区域1312-3通过布线1352电接合这一点、电极部1311-2和电极部1311-4通过布线1353电接合这一点、以及N+半导体区域1312-2和N+半导体区域1312-4通过布线1354电接合这一点都相同。形成于电极部1311的外周的绝缘膜1313和空穴浓度强化层1314的形状及位置关系也与电极部1311相同。

[0709] (第十九实施方式的第三结构例)

[0710] 图66的A是第十九实施方式的第三结构例的像素的俯视图，图66的B是第十九实施方式的第三结构例的像素的截面图。

[0711] 图66的A是图66的B的B－B’线处的俯视图，图66的B是图66的A的A－A’线处的截面图。

[0712] 另外，在图66的第三结构例中，对与图62的第一结构例对应的部分标注相同的附图标记，着眼于与图62的第一结构例不同的部分进行说明，适当省略共同的部分的说明。

[0713] 在图62的第一结构例和图63的第二结构例中，作为电压施加部的电极部1311和作为电荷检测部的N+半导体区域1312配置在基板61的相同的平面侧、即第一面1321侧的周围(附近)。

[0714] 与此相对，在图66的第三结构例中，电压施加部电极部1311配置在与形成有作为电荷检测部的N+半导体区域1312的基板61的第一面1321相反侧的平面侧、即第二面1331侧。电极部1311的突出部1311B形成在基板61的第二面1331的上部。

[0715] 此外，电极部1311和N+半导体区域1312配置在俯视观察时中心位置重叠的位置。图66的例子是电极部1311与N+半导体区域1312的圆形的平面区域完全一致的例子，但是并不是一定要完全一致，只要中心位置重叠，哪一方的平面区域大都可以。此外，中心位置也可以是即使不完全一致也可以视为大致一致的范围。

[0716] 第三结构例除了处理电极部1311和N+半导体区域1312的位置关系以外，都与上述的第一结构例相同。如该第三结构例那样，作为电压施加部的电极部1311的埋入部1311A形成至作为电荷检测部的N+半导体区域1312附近的较深位置，该N+半导体区域1312形成于与设置有电极部1311的第二面1331相反侧的第一面1321。在该情况下，对于在相对于基板61的深度方向的宽广区域中被光电转换的电荷，能够得到电荷的分配效果，因此能够提高相对于长波长光的电荷分离效率Cmod。

[0717] 此外，通过形成为由绝缘膜1313覆盖电极部1311的外周部的结构，抑制了在电压施加部间流动的电流，因此能够降低消耗电流。或者，此外，在以相同的消耗电流进行比较

的情况下，可以向电压施加部施加高电压。进而，即使缩短电压施加部间的距离，也能够抑制消耗电流，因此，通过使像素尺寸细微化、增加像素数，能够实现高分辨率化。

[0718] 在第十九实施方式的第三结构例中，基板61的第一面1321和第二面1331中的任一个可以是光入射面，也可以是背面照射型和表面照射型中的任一个，但更优选背面照射型。在第三结构例由背面照射型构成的情况下，第二面1331成为形成片上透镜62一侧的面，例如如图60所示，将向电极部1311供给施加电压的电压供给线1253在像素阵列部20的垂直方向上布线，在像素阵列部20的外侧的周边部1261，通过贯通基板61的贯通电极，能够与表面侧的布线连接。

[0719] (平面形状的其他例子)

[0720] 在上述的第十九实施方式的第三结构例中，作为电压施加部的电极部1311和作为电荷检测部的N+半导体区域1312的平面形状形成为圆形。

[0721] 但是，电极部1311和N+半导体区域1312的平面形状并不限定于圆形，也可以是图11所示的八边形、图12所示的长方形或者正方形等形状。此外，配置于1个像素的信号取出部65(抽头)的个数也并不限定于2个，也可以是图17所示的4个等。

[0722] 图67的A至C是相当于图66的B的B－B’线的俯视图，表示信号取出部65的个数为2个，构成信号取出部65的电极部1311和N+半导体区域1312的平面形状为圆形以外的形状的情况下的例子。

[0723] 图67的A是电极部1311和N+半导体区域1312的平面形状为在垂直方向上长的纵长的长方形的例子。

[0724] 在图67的A中，作为电荷检测部的N+半导体区域1312-1和N+半导体区域1312-2以像素的中心点作为对称点而点对称地配置。此外，N+半导体区域1312-1和N+半导体区域1312-2对置配置。配置在与N+半导体区域1312的形成面相反侧的第二面1331侧的电极部1311、以及形成于电极部1311的外周的绝缘膜1313和空穴浓度强化层1314的形状及位置关系，也与N+半导体区域1312相同。

[0725] 图67的B是电极部1311和N+半导体区域1312的平面形状为L形的例子。

[0726] 图67的C是电极部1311和N+半导体区域1312的平面形状为梳齿形的例子。

[0727] 在图67的B和C中，N+半导体区域1312-1和N+半导体区域1312-2也以像素的中心点作为对称点而点对称地配置。此外，N+半导体区域1312-1和N+半导体区域1312-2对置配置。配置在与N+半导体区域1312的形成面相反侧的第二面1331侧的电极部1311、以及形成于电极部1311的外周的绝缘膜1313和空穴浓度强化层1314的形状及位置关系，也与N+半导体区域1312相同。

[0728] 图68的A至C是相当于图66的B的B－B’线的俯视图，表示信号取出部65的个数为4个，构成信号取出部65的电极部1311和N+半导体区域1312的平面形状为圆形以外的形状的情况下的例子。

[0729] 图68的A是电极部1311和N+半导体区域1312的平面形状为在垂直方向上长的纵长的长方形的例子。

[0730] 在图68的A中，纵长的N+半导体区域1312-1至1312-4在水平方向上以规定的间隔配置，并以像素的中心点作为对称点而点对称地配置。此外，N+半导体区域1312-1和1312-2与N+半导体区域1312-3和1312-4对置配置。

[0731] 形成于第二面1331侧的未图示的电极部1311-1和电极部1311-3通过布线1351电接合，例如，构成被施加电压MIX0的信号取出部65-1(第一抽头TA)的电压施加部。N+半导体区域1312-1和N+半导体区域1312-3通过布线1352电接合，构成检测信号电荷DET1的信号取出部65-1(第一抽头TA)的电荷检测部。

[0732] 形成于第二面1331侧的未图示的电极部1311-2和电极部1311-4通过布线1353电接合，例如，构成被施加电压MIX1的信号取出部65-2(第二抽头TB)的电压施加部。N+半导体区域1312-2和N+半导体区域1312-4通过布线1354电接合，构成检测信号电荷DET2的信号取出部65-2(第二抽头TB)的电荷检测部。

[0733] 因而，换言之，在图68的A的配置中，平面形状为矩形的信号取出部65-1的电压施加部和电荷检测部的组、与平面形状为矩形的信号取出部65-2的电压施加部和电荷检测部的组在水平方向上交替地配置。

[0734] 形成于电极部1311的外周的绝缘膜1313和空穴浓度强化层1314的形状及位置关系也相同。

[0735] 图68的B是电极部1311和N+半导体区域1312的平面形状为正方形的例子。

[0736] 在图68的B的配置中，平面形状为矩形的信号取出部65-1的电压施加部和电荷检测部的组在像素51的对角方向上对置配置，平面形状为矩形的信号取出部65-2的电压施加部和电荷检测部的组在与信号取出部65-1不同的对角方向上对置配置。

[0737] 图68的C是电极部1311和N+半导体区域1312的平面形状为三角形的例子。

[0738] 在图68的C的配置中，平面形状为三角形的信号取出部65-1的电压施加部和电荷检测部的组在第一方向(水平方向)上对置配置，平面形状为三角形的信号取出部65-2的电压施加部和电荷检测部的组在与第一方向正交且与信号取出部65-1不同的第二方向(垂直方向)上对置配置。

[0739] 在图68的B和C中，4个电极部1311-1至1311-4以像素的中心点作为对称点而点对称地配置这一点、电极部1311-1和电极部1311-3通过布线1351电接合这一点、N+半导体区域1312-1和N+半导体区域1312-3通过布线1352电接合这一点、电极部1311-2和电极部1311-4通过布线1353电接合这一点、N+半导体区域1312-2和N+半导体区域1312-4通过布线1354电接合这一点都相同。形成于电极部1311的外周的绝缘膜1313和空穴浓度强化层1314的形状及位置关系也与电极部1311相同。

[0740] (布线布局的其他例子)

[0741] 在上述的图31和图32的像素电路、图42的金属膜M3的例子中，说明了与两个信号取出部65(两个抽头TA和TB)对应地在一个像素列配置两条垂直信号线29的结构。

[0742] 但是，例如也能够构成为，在一个像素列配置4条垂直信号线29，同时输出在垂直方向上邻接的2个像素的合计4个抽头的像素信号。

[0743] 图69表示同时输出在垂直方向上邻接的2个像素的合计4个抽头的像素信号的情况下的像素阵列部20的电路结构例。

[0744] 图69表示在像素阵列部20中呈矩阵状二维配置的多个像素51中的、2×2的4个像素的电路结构。另外，在图69中区分2×2的4个像素51的情况下，如像素51_1至51_4那样表示。

[0745] 各像素51的电路结构是参照图32说明的具备附加电容727和控制其连接的切换晶体管728的电路结构。电路结构的说明构成重复故省略。

[0746] 在像素阵列部20的一个像素列，在垂直方向上布线电压供给线30A和30B。并且，经由电压供给线30A向在垂直方向上排列的多个像素51的第一抽头TA供给规定的电压MIX0，经由电压供给线30B向第二抽头TB供给规定的电压MIX1。

[0747] 此外，在像素阵列部20的一个像素列，在垂直方向上布线4条垂直信号线29A至29D。

[0748] 在像素51_1和像素51_2的像素列中，垂直信号线29A例如将像素51_1的第一抽头TA的像素信号传送到列处理部23(图1)传送，垂直信号线29B将像素51_1的第二抽头TB的像素信号向列处理部23传送，垂直信号线29C将与像素51_1在同列上邻接的像素51_2的第一抽头TA的像素信号向列处理部23传送，垂直信号线29D将像素51_2的第二抽头TB的像素信号向列处理部23传送。

[0749] 在像素51_3和像素51_4的像素列中，垂直信号线29A例如将像素51_3的第一抽头TA的像素信号向列处理部23(图1)传送，垂直信号线29B将像素51_3的第二抽头TB的像素信号向列处理部23传送，垂直信号线29C将与像素51_3在同列上邻接的像素51_4的第一抽头TA的像素信号向列处理部23传送，垂直信号线29D将像素51_4的第二抽头TB的像素信号向列处理部23传送。

[0750] 另一方面，在像素阵列部20的水平方向上，以像素行为单位配置向复位晶体管723传送驱动信号RST的控制线841、向传输晶体管721传送驱动信号TRG的控制线842、向切换晶体管728传送驱动信号FDG的控制线843以及向选择晶体管725传送选择信号SEL的控制线844。

[0751] 驱动信号RST、驱动信号FDG、驱动信号TRG以及选择信号SEL从垂直驱动部22向在垂直方向上邻接的两行的各像素51供给相同的信号。

[0752] 这样，在像素阵列部20中，在一个像素列配置4条垂直信号线29A至29D，由此能够以两行为单位同时读出像素信号。

[0753] 图70表示在一个像素列配置4条垂直信号线29A至29D的情况下的多层布线层811的第3层的金属膜M3的布局。

[0754] 换言之，图70是图42的C所示的金属膜M3的布局的变形例。

[0755] 在图70的金属膜M3的布局中，在一个像素列配置4条垂直信号线29A至29D。此外，在一个像素列配置供给电源电压VDD的4条电源线1401A至1401D。

[0756] 另外，在图70中，为了参考，用虚线示出像素51的区域和具有图11所示的八边形状的信号取出部65-1及65-2的区域。在后述的图71至图76中也相同。

[0757] 在图70的金属膜M3的布局中，在垂直信号线29A至29D和电源线1401A至1401D的相邻处，配置GND电位的VSS布线(接地布线)1411。在VSS布线1411中包括：配置在垂直信号线29A至29D的相邻处的线宽细的VSS布线1411B；配置在垂直信号线29B与像素边界部的电源线1401C之间以及垂直信号线29C与像素边界部的电源线1401D之间的线宽粗的VSS布线1411A。

[0758] 为了提高信号的稳定性，提高向电源线1401供给的电源电压VDD，或者提高经由电压供给线30A和30B供给的电压MIX0和MIX1是有效的，但另一方面，电流增加，布线的可靠性恶化。因此，如图70所示，对于1个像素列，关于至少1条VSS布线1411，设置比电源线1401线宽粗的VSS布线1411A，由此，能够降低电流密度，提高布线的可靠性。图70表示对于1个像素

列在像素区域内对称地设置两条VSS布线1411A的例子。

[0759] 此外，在图70的布局中，在垂直信号线29A至29D的相邻处分别配置有VSS布线1411(1411A或1411B)。由此，能够使垂直信号线29难以受到来自外部的电位变动。

[0760] 另外，并不限定于图70所示的多层布线层811的第3层金属膜M3，其他层的金属膜也同样能够将信号线、电源线、控制线的相邻的布线设为VSS布线。例如，对于图42的B所示的第2层金属膜M2的控制线841至844，也能够在控制线841至844两侧分别配置VSS布线。由此，能够降低控制线841至844受到来自外部的电位变动的影响。

[0761] 图71表示在一个像素列配置4条垂直信号线29A至29D的情况下的作为多层布线层811的第3层的金属膜M3的布局的第一变形例。

[0762] 图71的金属膜M3的布局与图70所示的金属膜M3布局的不同点在于，4条垂直信号线29A至29D各自的相邻处的VSS布线1411为相同的线宽。

[0763] 更具体而言，在图70的金属膜M3的布局中，在垂直信号线29C的两侧配置有线宽粗的VSS布线1411A和线宽细的VSS布线1411B，在垂直信号线29B的两侧也配置有线宽粗的VSS布线1411A和线宽细的VSS布线1411B。

[0764] 与此相对，在图71的金属膜M3的布局中，在垂直信号线29C的两侧均配置有线宽细的VSS布线1411B，在垂直信号线29B的两侧也均配置有线宽细的VSS布线1411B。在其他垂直信号线29A和29D各自的两侧也配置线宽细的VSS布线1411B。4条垂直信号线29A至29D的两侧的VSS布线1411B的线宽相同。

[0765] 通过使垂直信号线29两侧的VSS布线1411的线宽相同，能够使串扰的影响度均匀，能够降低特性偏差。

[0766] 图72表示在一个像素列配置4条垂直信号线29A至29D的情况下的作为多层布线层811的第3层的金属膜M3的布局的第二变形例。

[0767] 图72的金属膜M3的布局与图70所示的金属膜M3布局的不同点在于，将线宽粗的VSS布线1411A置换为在内侧规则地设置有多个间隙1421的VSS布线1411C。

[0768] 即，VSS布线1411C具有比电源线1401粗的线宽，在其内侧在垂直方向上以规定的周期反复排列多个间隙1421。在图72的例子中，间隙1421的形状为矩形，但是并不限定于矩形，也可以是圆形、多边形。

[0769] 通过在布线区域的内侧设置多个间隙1421，能够提高形成(加工)宽幅的VSS布线1411C时的稳定性。

[0770] 另外，图72是将图70所示的金属膜M3的VSS布线1411A置换为VSS布线1411C的布局，但当然也可以将图71所示的金属膜M3的VSS布线1411A置换为VSS布线1411C。

[0771] (像素晶体管的其他布局例)

[0772] 接下来，参照图73对图44的B所示的像素晶体管的配置例的变形例进行说明。

[0773] 图73的A是再次示出图44的B所示的像素晶体管的配置的图。

[0774] 另一方面，图73的B表示像素晶体管的配置的变形例。

[0775] 在图73的A中，如在图44的B中说明的那样，以两个信号取出部65-1和65-2的中间线(未图示)为基准，从接近中间线的一侧朝向外侧，依次形成复位晶体管723A和723B、传输晶体管721A和721B、切换晶体管728A和728B、选择晶体管725A和725B、放大晶体管724A和724B的栅极电极。

[0776] 在该像素晶体管的配置下，在复位晶体管723A和723B之间配置有第一电源电压VDD(VDD_1)的触点1451，在放大晶体管724A和724B的栅极电极的外侧分别配置有第二电源电压VDD(VDD_2)的触点1452和1453。

[0777] 此外，在选择晶体管725A与切换晶体管728A的栅极电极之间配置有与第一VSS布线(VSS_A)接触的触点1461，在选择晶体管725B与切换晶体管728B的栅极电极之间配置有与第二VSS布线(VSS_B)接触的触点1462。

[0778] 在这样的像素晶体管的配置下，如图70至图72所示，在一个像素列需要4条电源线1401A至1401D。

[0779] 另一方面，在图73的B中，以两个信号取出部65-1和65-2的中间线(未图示)为基准，从接近中间线的一侧朝向外侧，依次形成切换晶体管728A和728B、传输晶体管721A和721B、复位晶体管723A和723B、放大晶体管724A和724B、选择晶体管725A和725B的栅极电极。

[0780] 在该像素晶体管的配置下，在切换晶体管728A和728B之间配置有与第一VSS布线(VSS_1)接触的触点1471，在选择晶体管725A和725B的栅极电极的外侧分别配置有与第二VSS布线(VSS_2)接触的触点1472和1473。

[0781] 此外，在放大晶体管724A与复位晶体管723A的栅极电极之间配置有与第一电源电压VDD(VDD_A)接触的触点1481，在放大晶体管724B和复位晶体管723B的栅极电极之间配置有与第二电源电压VDD(VDD_B)接触的触点1482。

[0782] 在这样的像素晶体管的配置下，与图73的A的像素晶体管布局相比，能够减少电源电压的触点数，因此能够简化电路。此外，还能够减少对像素阵列部20进行布置的电源线1401的布线，能够用两条电源线1401构成一个像素列。

[0783] 进而，在图73的B的像素晶体管布局中，能够省略切换晶体管728A和728B之间的与第一VSS布线(VSS_1)接触的触点1471。由此，能够降低纵向的像素晶体管的密集度。此外，通过减少与VSS布线接触的触点，能够减小在用于施加电压MIX0或MIX1的电压供给线741(图33、图34)与VSS布线之间流动的电流。

[0784] 在省略了与第一VSS布线(VSS_1)接触的触点1471的情况下，能够将放大晶体管724A和724B在垂直方向上形成得较大。由此，能够降低像素晶体管的噪声，减小信号的偏差。

[0785] 或者，此外，在图73的B的像素晶体管布局中，能够省略与第二VSS布线(VSS_2)接触的触点1472和1473。由此，能够降低纵向的像素晶体管的密集度。此外，通过减少与VSS布线接触的触点，能够减小在用于施加电压MIX0或MIX1的电压供给线741(图33、图34)与VSS布线之间流动的电流。

[0786] 在省略了与第二VSS布线(VSS_2)接触的触点1472和1473的情况下，能够将放大晶体管724A和724B在垂直方向上形成得较大。由此，能够降低像素晶体管的噪声，减小信号的偏差。

[0787] 图74表示图73的B的像素晶体管布局中的连接金属膜M1的像素晶体管Tr间的布线布局。图74与图44的C所示的连接金属膜M1的像素晶体管Tr间布线对应。连接像素晶体管Tr间的布线可以跨越金属膜M2、M3等其他布线层进行连接。

[0788] 图75表示在设为图73的B的像素晶体管布局且在一个像素列配置两条电源线1401

的情况下的作为多层布线层811的第3层的金属膜M3的布局。

[0789] 在图75中,对与图70对应的部分标注相同的附图标记,适当省略该部分的说明。

[0790] 当将图75的金属膜M3的布局与图70的金属膜M3的布局进行比较时,在图70的4条电源线1401A至1401D中,省略了两条电源线1401C和1401D,将线宽粗的VSS布线1411A置换为线宽更粗的VSS布线1411D。

[0791] 这样,通过增加VSS布线1411的面积(线宽),能够进一步降低电流密度,提高布线的可靠性。

[0792] 图76表示在设为图73的B的像素晶体管布局且在一个像素列配置两条电源线1401的情况下的作为多层布线层811的第3层的金属膜M3的其他布局。

[0793] 在图76中,对与图70对应的部分标注相同的附图标记,适当省略该部分的说明。

[0794] 当将图76的金属膜M3的布局与图70的金属膜M3的布局进行比较时,在图70的4条电源线1401A至1401D中,省略了两条电源线1401A和1401B,将其置换为线宽粗的VSS布线1411E。

[0795] 这样,通过增加VSS布线1411的面积(线宽),能够进一步降低电流密度,提高布线的可靠性。

[0796] 另外,图75和图76所示的金属膜M3的布局是将图70所示的金属膜M3的布局变更为两条电源线1401的例子,但是将图71和图72所示的金属膜M3的布局变更为两条电源线1401的例子也同样可以。

[0797] 即,对于将4条垂直信号线29A至29D各自的相邻处的VSS布线1411设为相同线宽的图71的金属膜M3的布局、具备设置有多个间隙1421的VSS布线1411C的图72的金属膜M3的布局,也可以形成为变更为两条电源线1401的结构。

[0798] 由此,能够进一步起到如下效果:与图71相同,能够使串扰的影响度均匀,能够减小特性偏差,或者与图72相同,能够提高形成宽幅的VSS布线1411C时的稳定性。

[0799] (电源线和VSS布线的布线例)

[0800] 图77是表示多层布线层811中的VSS布线的布线例的俯视图。

[0801] VSS布线如图77所示,在多层布线层811中,能够形成在如第一布线层1521、第二布线层1522以及第三布线层1523那样的多个布线层。

[0802] 在第一布线层1521中,例如相对于水平方向以规定的间隔配置有在像素阵列部20中沿着垂直方向延伸的多条垂直布线1511,在第二布线层1522中,例如相对于垂直方向以规定的间隔配置在像素阵列部20中沿着水平方向延伸的多条水平布线1512,在第三布线层1523中,例如以比垂直布线1511和水平布线1512粗的线宽,以至少包围像素阵列部20的外侧的方式配置有沿着垂直方向或水平方向延伸的布线1513,并与GND电位连接。布线1513也可以配置在像素阵列部20内以便将外周部的相对的布线1513彼此连接。

[0803] 第一布线层1521的垂直布线1511与第二布线层1522的水平布线1512在俯视观察时两者重叠的重叠部1531分别通过通孔等连接。

[0804] 此外,第一布线层1521的垂直布线1511与第三布线层1523的布线1513在俯视观察时两者重叠的重叠部1532分别通过通孔等连接。

[0805] 此外,第二布线层1522的水平布线1512与第三布线层1523的布线1513在俯视观察时两者重叠的重叠部1533分别通过通孔等连接。

[0806] 另外，在图77中，为了防止附图变得复杂，重叠部1531至1533仅在1处标注了附图标记。

[0807] 这样，VSS布线形成在多层布线层811的多个布线层，能够在像素阵列部20内以在俯视观察时通过垂直布线1511和水平布线151成为格子状的方式进行布置。由此，能够降低像素阵列部20内的传送延迟，抑制特性偏差。

[0808] 图78是表示多层布线层811中的VSS布线的其他布线例的俯视图。

[0809] 在图78中，对与图77对应的部分标注相同的附图标记，适当省略其说明。

[0810] 在图77中，第一布线层1521的垂直布线1511与第二布线层1522的水平布线1512并未形成于在像素阵列部20的外周形成的布线1513的外侧，但在图78中，延伸形成至像素阵列部20的外周的布线1513的外侧。并且，垂直布线1511在像素阵列部20的外侧的基板1541的外周部1542分别与GND电位连接，水平布线1512在像素阵列部20的外侧的基板1541的外周部1543分别与GND电位连接。

[0811] 换言之，在图77中，第一布线层1521的垂直布线1511和第二布线层1522的水平布线1512经由外周的布线1513与GND电位连接，但在图78中，不仅如此，而且垂直布线1511和水平布线1512自身也直接与GND电位连接。另外，垂直布线1511和水平布线1512自身与GND电位连接的区域如图78的外周部1542和1543那样，可以是基板1541的四边，也可以是规定的一边、两边或三边。

[0812] 这样，VSS布线形成于多层布线层811的多个布线层，能够在像素阵列部20内以俯视观察时成为格子状的方式进行布置。由此，能够降低像素阵列部20内的传送延迟，抑制特性偏差。

[0813] 另外，图77和图78作为VSS布线的布线例进行了说明，但对于电源线也能够同样地进行布置。

[0814] 图70至图76中说明的VSS布线1411和电源线1401能够如图77和图78所示的VSS布线或电源线那样配置在多层布线层811的多个布线层。图70至图76中说明的VSS布线1411和电源线1401也能够应用于本说明所记载的任意的实施方式。

[0815] (光瞳校正的第一方法)

[0816] 接下来，对受光元件1中的光瞳校正的第一方法进行说明。

[0817] 作为CAPD传感器的受光元件1与图像传感器相同，根据与像素阵列部20的面内位置对应的主光线的入射角的不同，能够进行使片上透镜62和像素间遮光膜63朝向像素阵列部20的平面中心偏移的光瞳校正。

[0818] 具体而言，如图79所示，在像素阵列部20的各位置1701-1至1701－9中的像素阵列部20的中心部的位置1701－5的像素51中，片上透镜62的中心与形成于基板61的信号取出部65-1和65-2间的中心一致，但是在像素阵列部20的周边部的位置1701-1至1701-4和1701－6及1701－9的像素51中，片上透镜62的中心向像素阵列部20的平面中心侧偏移配置。像素间遮光膜63-1和63-2也与片上透镜62相同，向像素阵列部20的平面中心侧偏移配置。

[0819] 此外，如图80所示，在像素51中，为了防止入射光向邻接像素入射，在像素边界部形成有从作为基板61的片上透镜62侧的背面侧沿着基板深度方向到规定的深度形成有沟槽(槽)的DTI1711-1和1711-2的情况下，在像素阵列部20的周边部的位置1701-1至1701-4

和1701－6及1701－9的像素51中，除了片上透镜62、像素间遮光膜63-1和63-2以外，DTI1711-1和1711-2也向像素阵列部20的平面中心侧偏移配置。

[0820] 或者，此外，如图81所示，在像素51中，为了防止入射光向邻接像素入射，在像素边界部形成有从作为基板61的多层布线层811侧的表面侧沿着基板深度方向到规定的深度形成有沟槽(槽)的DTI1712-1和1712-2的情况下，在像素阵列部20的周边部的位置1701-1至1701-4和1701－6及1701－9的像素51中，除了片上透镜62、像素间遮光膜63-1和63-2以外，DTI1712-1和1712-2也向像素阵列部20的平面中心侧偏移配置。

[0821] 另外，作为将邻接像素彼此的基板61分离并防止入射光向邻接像素入射的像素分离部，也可以代替DTI1711-1、1711-2、1712-1和1712-2，转而设置贯通基板61并将邻接像素分离的贯通分离部，在该情况下也相同，在像素阵列部20的周边部的位置1701-1至1701-4和1701－6及1701－9的像素51中，贯通分离部向像素阵列部20的平面中心侧偏移配置。

[0822] 如图79至图81所示，通过将片上透镜62与像素间遮光膜63等一起向像素阵列部20的平面中心侧偏移，能够使主光线与各像素内的中心一致，但在作为CAPD传感器的受光元件1中，由于通过向两个信号取出部65(抽头)间施加电压并流动电流来进行调制，所以各像素内的最佳入射位置不同。因而，在受光元件1中，与由图像传感器进行的光学光瞳校正不同，谋求相对于测距最佳的光瞳校正技术。

[0823] 参照图82对由作为CAPD传感器的受光元件1进行的光瞳校正与由图像传感器进行的光瞳校正的不同进行说明。

[0824] 另外，在图82的A至C中，3×3的9个像素51表示与图79至图81的像素阵列部20的位置1701-1至1701－9对应的像素51。

[0825] 图82的A表示不进行光瞳校正的情况下的片上透镜62的位置和基板表面侧的主光线的位置1721。

[0826] 在不进行光瞳校正的情况下，在像素阵列部20内的哪个位置1701-1至1701－9的像素51中，片上透镜62的中心都配置成与像素内的两个抽头的中心、即第一抽头TA(信号取出部65-1)和第二抽头TB(信号取出部65-2)的中心一致。在该情况下，基板表面侧的主光线的位置1721如图82的A所示，成为根据像素阵列部20内的位置1701-1至1701－9的位置而不同的位置。

[0827] 在由图像传感器进行的光瞳校正中，如图82的B所示，在像素阵列部20内的哪个位置1701-1至1701－9的像素51中，都以主光线的位置1721与第一抽头TA和第二抽头TB的中心一致的方式配置片上透镜62。更具体而言，片上透镜62如图79至图81所示，配置成向像素阵列部20的平面中心侧偏移。

[0828] 与此相对，在由受光元件1进行的光瞳校正中，如图82的C所示，从图82的B所示的主光线的位置1721成为第一抽头TA和第二抽头TB的中心位置的片上透镜62的位置起，进一步向第一抽头TA侧配置片上透镜62。图82的B与图82的C的主光线的位置1721的偏移量越是从像素阵列部20的中心位置趋向外周部则变得越大。

[0829] 图83是对将主光线的位置1721向第一抽头TA侧偏移时的片上透镜62的偏移量进行说明的图。

[0830] 例如，像素阵列部20的中心部的位置1701－5处的主光线的位置1721_C与像素阵列部20的周边部的位置1701-4处的主光线的位置1721_X的偏移量LD，与像素阵列部20的周边

部的位置1701-4处的针对光瞳校正的光路差LD相等。

[0831] 换言之，以使得主光线的光路长度在像素阵列部20的各像素中一致的方式，从第一抽头TA(信号取出部65-1)和第二抽头TB(信号取出部65-2)的中心位置向第一抽头TA侧移动。

[0832] 此处，向第一抽头TA侧移动是因为，以采用将受光时刻设为4Phase，仅使用第一抽头TA的输出值计算与到物体的距离对应的延迟时间ΔT所对应的相位偏移(Phase)的方式为前提。

[0833] 图84是在利用了间接ToF方式的ToF传感器中，说明基于2Phase的检测方式(2Phase方式)和基于4Phase的检测方式(4Phase方式)的时序图。

[0834] 从规定的光源输出以在照射时间T反复照射的开/关的方式进行了调制(1周期＝2T)的照射光，在受光元件1中，延迟与到物体的距离对应的延迟时间ΔT，接收反射光。

[0835] 在2Phase方式中，受光元件1由第一抽头TA和第二抽头TB在相位错开180度的时刻进行受光。能够根据由第一抽头TA接收到的信号值q_A与由第二抽头TB接收到的信号值q_B的分配比检测与延迟时间ΔT对应的相位偏移量θ。

[0836] 与此相对，在4Phase方式中，在与照射光相同的相位(即Phase0)、错开90度的相位(Phase90)、错开180度的相位(Phase180)、错开270度的相位(Phase270)的4个时刻进行受光。这样，在错开180度的相位检测到的信号值$TA_{phase180}$与2Phase方式中的由第二抽头TB接收到的信号值q_B相同。因而，如果以4Phase进行检测，则仅根据第一抽头TA和第二抽头TB中的任意一方的信号值，就能够检测与延迟时间ΔT对应的相位偏移量θ。在4Phase方式中，将检测相位偏移量θ的抽头称为相位偏移检测抽头。

[0837] 此处，在将第一抽头TA和第二抽头TB中的第一抽头TA设为检测相位偏移量θ的相位偏移检测抽头的情况下，在光瞳校正中，在像素阵列部20的各像素中，以使得主光线的光路长度大致一致的方式向第一抽头TA侧移动。

[0838] 当在4Phase方式中将第一抽头TA在Phase0、Phase90、Phase180、Phase270检测到的信号值分别设为q_{0A}、q_{1A}、q_{2A}、q_{3A}时，由第一抽头TA检测到的相位偏移量θA通过以下的式(2)计算。

[0839] (数式1)

[0840] $$\theta_A = \tan^{-1}\frac{q_{1A}-q_{3A}}{q_{0A}-q_{2A}} \quad \cdots(2)$$

[0841] 此外，在由第一抽头TA检测的情况下的4Phase方式的$Cmod_A$通过以下的式(3)计算。

[0842] (数式2)

[0843] $$Cmod_A = Max\left(\frac{q_{0A}-q_{2A}}{q_{0A}+q_{2A}}, \frac{q_{1A}-q_{3A}}{q_{1A}+q_{3A}}\right) \quad \cdots(3)$$

[0844] 如式(3)所示，4Phase方式中的$Cmod_A$成为$(q_{0A}-q_{2A})/(q_{0A}+q_{2A})$与$(q_{1A}-q_{3A})/(q_{1A}+q_{3A})$中较大一方的值。

[0845] 如上所述，受光元件1变更片上透镜62和像素间遮光膜63的位置，进行光瞳校正以使得主光线的光路长度在像素阵列部20的面内的各像素中大致相同。换言之，受光元件1进

行光瞳校正以使得像素阵列部20的面内的各像素的相位偏移检测抽头即第一抽头TA的相位偏移量θ_A大致相同。由此，能够消除芯片的面内依赖性，能够提高测距精度。此处，上述的大致一致或大致相同除了完全一致或完全相同以外，还表示在可视为相同的规定范围内相等。光瞳校正的第一方法也能够应用于本说明所记载的任意的实施方式中。

[0846] (光瞳校正的第二方法)

[0847] 接下来，对受光元件1中的光瞳校正的第二方法进行说明。

[0848] 在上述的光瞳校正的第一方法中，在决定为使用第一抽头TA和第二抽头TB中的第一抽头TA的信号计算相位偏移(Phase)的情况下是优选的，但是也存在无法决定使用哪个抽头的情况。在该情况下，能够通过下述的第二方法进行光瞳校正。

[0849] 在光瞳校正的第二方法中，将片上透镜62和像素间遮光膜63的位置向平面中心侧偏移配置，以使得第一抽头TA的DC对比度DC_A和第二抽头TB的DC对比度DC_B在像素阵列部20的面内的各像素中大致相同。在也形成有从基板61的片上透镜62侧形成的DTI1711、以及从表面侧形成的DTI1712的情况下，与第一方法相同，将它们的位置也错开配置。

[0850] 第一抽头TA的DC对比度DC_A和第二抽头TB的DC对比度DC_B通过以下的式(4)和式(5)计算。

[0851] (数式3)

[0852] $$DC_A = \frac{A_H - B_L}{A_H + B_L} \quad \cdots (4)$$

[0853] $$DC_B = \frac{B_H - A_L}{B_H + A_L} \quad \cdots (5)$$

[0854] 在式(4)中，A_H表示将不间断地连续照射的连续光直接照射到受光元件1，由施加了正的电压的第一抽头TA检测到的信号值，B_L表示由施加了0或负的电压的第二抽头TB检测到的信号值。在式(5)中，B_H表示将不间断地连续照射的连续光直接照射到受光元件1，由施加了正的电压的第二抽头TB检测到的信号值，A_L表示由施加了0或负的电压的第一抽头TA检测到的信号值。

[0855] 优选第一抽头TA的DC对比度DC_A和第二抽头TB的DC对比度DC_B相等，且第一抽头TA的DC对比度DC_A和第二抽头TB的DC对比度DC_B在像素阵列部20的面内的任意位置都大致一致，但是根据像素阵列部20的面内的位置，在第一抽头TA的DC对比度DC_A和第二抽头TB的DC对比度DC_B不同的情况下，将片上透镜62、像素间遮光膜63等的位置向平面中心侧错开配置，以使得像素阵列部20的中心部和外周部的第一抽头TA的DC对比度DC_A的偏移量、与像素阵列部20的中心部和外周部的第二抽头TB的DC对比度DC_B的偏移量大致一致。

[0856] 如上所述，受光元件1变更片上透镜62和像素间遮光膜63的位置，进行光瞳校正以使得第一抽头TA的DC对比度DC_A和第二抽头TB的DC对比度DC_B在像素阵列部20的面内的各像素中大致一致。由此，能够消除芯片的面内依赖性，能够提高测距精度。此处，上述的大致一致或大致相同除了完全一致或完全相同以外，还表示在可视为相同的规定范围内相等。光瞳校正的第二方法也能够应用于本说明所记载的任意的实施方式中。

[0857] 另外，图84所示的第一抽头TA和第二抽头TB的受光时刻由从抽头驱动部21经由电压供给线30供给的电压MIX0和电压MIX1控制。由于电压供给线30沿着像素阵列部20的垂直

方向共同地配置于一个像素列，所以距抽头驱动部21的距离越远，则RC成分引起的延迟越大。

[0858] 因此，如图85所示，根据距抽头驱动部21的距离，变更电压供给线30的电阻、电容，使各像素51的驱动能力大致均匀，由此能够校正为相位偏移(Phase)或DC对比度DC在像素阵列部20的面内大致均匀。具体而言，根据距抽头驱动部21的距离，以线宽变粗的方式配置电压供给线30。

[0859] (第二十实施方式)

[0860] 在以下的第二十至第二十二实施方式中，说明了能够取得根据第一抽头TA和第二抽头TB的信号的分配比求出的测距信息以外的校正信息的受光元件1的结构例。

[0861] 首先，对作为根据第一抽头TA和第二抽头TB的信号的分配比求出的测距信息以外的校正信息，能够取得相位差信息的受光元件1的结构例进行说明。

[0862] (第二十实施方式的第一结构例)

[0863] 图86的A是第二十实施方式的第一结构例的像素的截面图，图86的B和C是第二十实施方式的第一结构例的像素的俯视图。

[0864] 在图86的A的截面图中，对与上述的其他实施方式对应的部分标注相同的附图标记，适当省略该部分的说明。

[0865] 在图86中，在基板61的片上透镜62侧的面即上表面的一部分的像素51，新设置有相位差检测用的相位差遮光膜1801。相位差遮光膜1801例如如图86的B和C所示，将第一抽头TA侧或第二抽头TB侧中的任意一方的像素区域的单侧一半遮光。图86的B是第一抽头TA和第二抽头TB在上下方向(垂直方向)上排列的像素51的例子，图86的C是第一抽头TA和第二抽头TB在左右方向(水平方向)上排列的像素51的例子。

[0866] 第二十实施方式的第一结构例的像素51能够在像素阵列部20内进行图87的A至F的任一个所示的排列。

[0867] 图87的A表示第一抽头TA和第二抽头TB在上下方向上排列的像素51矩阵状排列的像素51的排列例。

[0868] 图87的B表示第一抽头TA和第二抽头TB在左右方向上排列的像素51矩阵状排列的像素51的排列例。

[0869] 图87的C表示第一抽头TA和第二抽头TB在上下方向上排列的像素51矩阵状排列，且在邻接的列中像素位置在上下方向上错开半个像素的像素51的排列例。

[0870] 图87的D表示第一抽头TA和第二抽头TB在左右方向上排列的像素51矩阵状排列，且在邻接的列中像素位置在上下方向上错开半个像素的像素51的排列例。

[0871] 图87的E表示第一抽头TA和第二抽头TB在上下方向上排列的像素51与第一抽头TA和第二抽头TB在左右方向上排列的像素51，在行方向和列方向上交替地排列的像素51的排列例。

[0872] 图87的F表示第一抽头TA和第二抽头TB在上下方向上排列的像素51与第一抽头TA和第二抽头TB在左右方向上排列的像素51在行方向和列方向上交替地排列，且在邻接的列中像素位置在上下方向上错开半个像素的像素51的排列例。

[0873] 图86的像素51以图87的A至F中任一个的排列配置，在其像素阵列部20内，如图86的B或C所示，将第一抽头TA侧的单侧一半遮光的像素51与将第二抽头TB侧的单侧一半遮光

的像素51配置在附近的位置。此外，将第一抽头TA侧的单侧一半遮光的像素51与将第二抽头TB侧的单侧一半遮光的像素51的组在像素阵列部20内分散配置多个。

[0874] 在第二十实施方式的第一结构例中，除了在一部分的像素51设置有相位差遮光膜1801这一点以外，例如与图2所示的第一个实施方式、图36中说明的第十四或者第十五实施方式同样地构成，但在图86中，简化表示其他结构。

[0875] 当对图86的相位差遮光膜1801以外的结构简单地进行说明时，像素51具有由P型的半导体层构成的基板61以及形成在该基板61上的片上透镜62。在片上透镜62与基板61之间形成有像素间遮光膜63和相位差遮光膜1801。在形成有相位差遮光膜1801的像素51中，与相位差遮光膜1801邻接的像素间遮光膜63与相位差遮光膜1801连续(一体)地形成。在像素间遮光膜63和相位差遮光膜1801的下表面，虽然省略图示，但如图2所示，也形成有固定电荷膜66。

[0876] 在与形成有片上透镜62的基板61的光入射面侧相反侧的面，形成第一抽头TA和第二抽头TB。第一抽头TA相当于上述的信号取出部65-1，第二抽头TB相当于信号取出部65-2。从抽头驱动部21(图1)经由形成于多层布线层811的电压供给线30A向第一抽头TA供给规定的电压MIX0，经由电压供给线30B向第二抽头TB供给规定的电压MIX1。

[0877] 图88是在第二十实施方式的第一结构例中，汇总了抽头驱动部21驱动第一抽头TA和第二抽头TB时的驱动模式的表格。

[0878] 在具有相位差遮光膜1801的像素51中，能够通过图88所示的模式1至模式5的5个种类的驱动方法检测相位差。

[0879] 模式1是与不具备相位差遮光膜1801的其他像素51同样的驱动。在模式1中，抽头驱动部21在规定的受光期间内，向设为有源抽头的第一抽头TA施加正的电压(例如，1.5V)，并且向设为无源抽头的第二抽头TB施加0V的电压。在下一个受光期间中，向设为有源抽头的第二抽头TB施加正的电压(例如，1.5V)，并向设为无源抽头的第一抽头TA施加0V的电压。向形成于多层布线层811的基板61的像素边界区域的传输晶体管721、复位晶体管723等的像素晶体管Tr(图37)，施加0V(VSS电位)。

[0880] 在模式1中，能够根据在第一抽头TA侧的单侧一半被遮光的像素51中将第二抽头TB设为有源抽头的信号、以及在第二抽头TB侧的单侧一半被遮光的像素51中将第一抽头TA设为有源抽头的信号，检测相位差。

[0881] 在模式2中，抽头驱动部21向第一抽头TA和第二抽头TB的双方施加正的电压(例如，1.5V)。向形成于多层布线层811的基板61的像素边界区域的像素晶体管Tr施加0V(VSS电位)。

[0882] 在模式2中，由于能够由第一抽头TA和第二抽头TB的双方均等地检测信号，所以能够根据第一抽头TA侧的单侧一半被遮光的像素51的信号和第二抽头TB侧的单侧一半被遮光的像素51的信号检测相位差。

[0883] 模式3是在模式2的驱动中，将第一抽头TA和第二抽头TB的施加电压附加了与像素阵列部20内的像高对应的权重的驱动。更具体而言，素阵列部20内的像高(距光学中心的距离)越大，则越设置向第一抽头TA和第二抽头TB施加的电位差。进一步说，以像素阵列部20内的像高越大，则位于像素阵列部20的内侧(中心部侧)的抽头侧的施加电压越大的方式进行驱动。由此，能够根据向抽头施加的电压的电位差进行光瞳校正。

[0884] 模式4是在模式2的驱动中，向形成于基板61的像素边界区域的像素晶体管Tr不是施加0V(VSS电位)而是施加负偏压(例如，-1.5V)的模式。通过向形成于像素边界区域的像素晶体管Tr施加负偏压，能够强化从像素晶体管Tr向第一抽头TA和第二抽头TB的电场，能够容易地将作为信号电荷的电子引入到抽头。

[0885] 模式5是在模式3的驱动中，向形成于基板61的像素边界区域的像素晶体管Tr不是施加0V(VSS电势)而是施加负偏压(例如，-1.5V)的模式。由此，能够强化从像素晶体管Tr向第一抽头TA和第二抽头TB的电场，能够容易地将信号电荷的电子引入到抽头。

[0886] 在上述的模式1至模式5的5个种类的驱动方法的任一个中，在第一抽头TA侧的单侧一半被遮光的像素51和第二抽头TB侧的单侧一半被遮光的像素51中，由于遮光区域的不同在读出的信号产生相位差(像的偏移)，因此能够检测相位差。

[0887] 根据如以上那样构成的第二十实施方式的第一结构例，受光元件1在排列有多个具备第一抽头TA和第二抽头TB的像素51的像素阵列部20的一部分的像素51中具有：通过相位差遮光膜1801将第一抽头TA侧的单侧一半遮光的像素51；以及通过相位差遮光膜1801将第二抽头TB侧的单侧一半遮光的像素51。由此，作为根据第一抽头TA和第二抽头TB的信号的分配比求出的测距信息以外的校正信息，能够取得相位差信息。根据检测到的相位差信息，能够分度焦点位置，提高深度方向的精度。

[0888] (第二十实施方式的第二结构例)

[0889] 图89表示第二十实施方式的第二结构例的像素的截面图。

[0890] 在图89的截面图中，对与上述的第二十实施方式的第一结构例对应的部分标注相同的附图标记，适当省略该部分的说明。

[0891] 在图86所示的第一结构例中，以1个像素为单位形成片上透镜62，但是在图89的第二结构例中，相对于多个像素51形成1个片上透镜1821。在作为基板61的片上透镜1821侧的面的上表面的一部分的像素51新设置有相位差检测用的相位差遮光膜1811。相位差遮光膜1811形成于共用同一片上透镜1821的多个像素51中的规定的像素51。在与相位差遮光膜1811邻接的像素间遮光膜63和相位差遮光膜1811连续(一体)地形成这一点上，与第一结构例相同。

[0892] 图90的A至F是表示第二十实施方式的第二结构例能够采用的相位差遮光膜1811和片上透镜1821的配置的俯视图。

[0893] 图90的A表示相位差遮光膜1811和片上透镜1821的第一配置例。

[0894] 图90的A所示的像素组1831由在上下方向(垂直方向)上排列的两个像素51构成，相对于在上下方向上排列的两个像素51配置1个片上透镜1821。此外，共用1个片上透镜1821的两个像素51的第一抽头TA和第二抽头TB的配置相同。并且，使用相位差遮光膜1811的形成位置对称的两组像素组1831中的未形成相位差遮光膜1811的2个像素51，检测相位差。

[0895] 图90的B表示相位差遮光膜1811和片上透镜1821的第二配置例。

[0896] 图90的A所示的像素组1831由在上下方向(垂直方向)上排列的两个像素51构成，相对于在上下方向上排列的两个像素51配置1个片上透镜1821。此外，共用1个片上透镜1821的两个像素51的第一抽头TA和第二抽头TB的配置相反。并且，使用相位差遮光膜1811的形成位置对称的两组像素组1831中的未形成相位差遮光膜1811的2个像素51，检测相位

差。

[0897] 图90的C表示相位差遮光膜1811和片上透镜1821的第三配置例。

[0898] 图90的C所示的像素组1831由在左右方向(水平方向)上排列的两个像素51构成，相对于在左右方向上排列的两个像素51配置1个片上透镜1821。此外，共用1个片上透镜1821的两个像素51的第一抽头TA和第二抽头TB的配置相同。并且，使用相位差遮光膜1811的形成位置对称的两组像素组1831中的未形成相位差遮光膜1811的2个像素51，检测相位差。

[0899] 图90的D表示相位差遮光膜1811和片上透镜1821的第四配置例。

[0900] 图90的D所示的像素组1831由在左右方向(水平方向)上排列的两个像素51构成，相对于在左右方向上排列的两个像素51配置1个片上透镜1821。此外，共用1个片上透镜1821的两个像素51的第一抽头TA和第二抽头TB的配置相反。并且，使用相位差遮光膜1811的形成位置对称的两组像素组1831中的未形成相位差遮光膜1811的2个像素51，检测相位差。

[0901] 图90的E表示相位差遮光膜1811和片上透镜1821的第五配置例。

[0902] 图90的E所示的像素组1831由2×2排列的4个像素51构成，相对于4个像素51配置1个片上透镜1821。此外，共用1个片上透镜1821的4个像素51的第一抽头TA和第二抽头TB的配置相同。并且，使用相位差遮光膜1811的形成位置对称的两组像素组1831中的未形成相位差遮光膜1811的4个像素51，检测相位差。

[0903] 图90的F表示相位差遮光膜1811和片上透镜1821的第六配置例。

[0904] 图90的F所示的像素组1831由2×2排列的4个像素51构成，相对于4个像素51配置1个片上透镜1821。此外，共用1个片上透镜1821的4个像素51的第一抽头TA和第二抽头TB的配置在左右像素中相反。并且，使用相位差遮光膜1811的形成位置对称的两组像素组1831中的未形成相位差遮光膜1811的4个像素51，检测相位差。

[0905] 如上所述，作为相对于多个像素51形成1个片上透镜1821的情况下的配置，具有相对于2个像素形成1个片上透镜1821的配置、相对于4像素形成1个片上透镜1821的配置，能够采用任意一方。相位差遮光膜1811对成为1个片上透镜1821下方的单侧一半的多个像素进行遮光。

[0906] 第二结构例中的驱动模式可以是参照图88说明的模式1至模式5的5个种类的驱动方法。

[0907] 因而，根据第二十实施方式的第二结构例，受光元件1在排列有多个具备第一抽头TA和第二抽头TB的像素51的像素阵列部20的一部分的像素51中，具有相位差遮光膜1811的形成位置对称的两组像素组1831。由此，作为根据第一抽头TA和第二抽头TB的信号的分配比求出的测距信息以外的校正信息，能够取得相位差信息。根据检测到的相位差信息，能够分度焦点位置，提高深度方向的精度。

[0908] 另外，作为构成像素阵列部20的多个像素51，也可以将第二十实施方式的第一结构例的像素51与第二十实施方式的第二结构例的像素51混合存在。

[0909] (不具有相位差遮光膜的变形例)

[0910] 在上述的第二十实施方式的第一结构例和第二结构例中，对在片上透镜62与基板61之间形成相位差遮光膜1801或1811的结构进行了说明。

[0911] 但是，即便是不具有相位差遮光膜1801或1811的像素51，如果使用模式1至模式5的5个种类的驱动方法中的、向第一抽头TA和第二抽头TB的双方同时施加正的电压的模式2至模式5的驱动，则也能够取得相位差信息。例如，通过以模式2至模式5驱动1个片上透镜1821下方的多个像素中的单侧一半的像素51，能够取得相位差信息。即使在每个像素配置1个片上透镜62的结构中，通过以模式2至模式5进行驱动，也能够取得相位差信息。

[0912] 因而，在不具有相位差遮光膜1801或1811的像素51中，通过进行模式2至模式5的驱动，也可以取得相位差信息。在该情况下，根据检测到的相位差信息，能够分度焦点位置，提高深度方向的精度。

[0913] 另外，在不具有相位差遮光膜1801或1811的像素51中，在想要使用模式1的驱动取得相位差信息的情况下，只要将从光源照射的照射光设为不间断地连续照射的连续光，就能够取得相位差信息。

[0914] (第二十一实施方式)

[0915] 接下来，对作为根据第一抽头TA和第二抽头TB的信号的分配比求出的测距信息以外的校正信息，能够取得偏振度信息的受光元件1的结构例进行说明。

[0916] 图91表示第二十一实施方式的像素的截面图。

[0917] 在图91中，对与上述的第二十实施方式对应的部分标注相同的附图标记，适当省略该部分的说明。

[0918] 在图91的第二十一实施方式中，在片上透镜62与基板61之间形成有偏振滤波器1841。第二十一实施方式的像素51除了设置有偏振滤波器1841这一点以外，例如与图2所示的第一个实施方式、图36中说明的第十四或者第十五实施方式相同地构成。

[0919] 偏振滤波器1841、片上透镜62以及第一抽头TA和第二抽头TB设为图92的A或B中任一个的配置。

[0920] 图92的A是表示第二十一实施方式中的偏振滤波器1841、片上透镜62以及第一抽头TA和第二抽头TB的第一配置例的俯视图。

[0921] 如图92的A所示，偏振滤波器1841具有0度、45度、135度或135度中任一个的偏振方向，偏振方向各相差45度的4种不同的偏振滤波器1841，以2×2的4个像素为单位形成于像素阵列部20内的规定的像素51。

[0922] 片上透镜62以像素为单位设置，第一抽头TA和第二抽头TB的位置关系在全部像素中相同。

[0923] 图92的B是表示第二十一实施方式中的偏振滤波器1841、片上透镜62以及第一抽头TA和第二抽头TB的第二配置例的俯视图。

[0924] 如图92的B所示，偏振滤波器1841具有0度、45度、135度或135度中任一个的偏振方向，偏振方向各相差45度的4种不同的偏振滤波器1841，以2×2的4个像素为单位形成于像素阵列部20内的规定的像素51。

[0925] 片上透镜62以像素为单位设置，第一抽头TA和第二抽头TB的位置关系在横向上相邻的像素中相反。换言之，第一抽头TA和第二抽头TB的配置相反的像素列在横向上交替地配置。

[0926] 具备偏振滤波器1841的像素51的驱动方法可以是在第二十实施方式中参照图88说明的模式1至模式5的5个种类的驱动方法。

[0927] 在第二十一实施方式中，在像素阵列部20中排列的多个像素51中的一部分的像素51具备图91和图92所示的偏振滤波器1841。

[0928] 通过以模式1至模式5中的任一个模式驱动具备偏振滤波器1841的像素51，能够取得偏振度信息。根据所取得的偏振度信息，能够取得关于作为被摄体的物体面的表面状态(凹凸)和相对距离差的信息，或者计算反射方向、取得到玻璃等透明物体自身和透明物体前方的物体的测距信息。

[0929] 此外，通过设定多种从光源照射的照射光的频率，针对每个频率使偏振方向不同，可以进行多重频率的并行测距。例如，同时照射20MHz、40MHz、60MHz、100MHz的4种照射光，使各自的偏振方向分别与偏振滤波器1841的偏振方向一致而成为0度、45度、135度、135度，由此，能够同时接收4种照射光的反射光，取得测距信息。

[0930] 另外，受光元件1的像素阵列部20的全部像素51也可以为具备偏振滤波器1841的像素51。

[0931] (第二十二实施方式)

[0932] 接下来，对作为根据第一抽头TA和第二抽头TB的信号的分配比求出的测距信息以外的校正信息，能够取得RGB的每个波长的灵敏度信息的受光元件1的结构例进行说明。

[0933] 图93表示第二十二实施方式的像素的截面图。

[0934] 在第二十二实施方式中，受光元件1作为像素阵列部20的一部分的像素51而具有图93的A或B中的至少一方的像素51。

[0935] 在图93的A和B中，对与上述的第二十实施方式对应的部分标注相同的附图标记，适当省略该部分的说明。

[0936] 图93的A所示的像素51，在片上透镜62与基板61之间形成有能够使R(Red)、G(Green)或B(Blue)中的任一个的波长透射的彩色滤光片1861。图93的A所示的像素51除了设置有彩色滤光片1861这一点以外，例如与图2所示的第一个实施方式、图36中说明的第十四或者第十五实施方式相同地构成。

[0937] 另一方面，在图93的B中，在片上透镜62与基板61之间，通过层叠截止红外光的IR截止滤光片1871与彩色滤光片1872而形成的像素51、与未形成IR截止滤光片1871和彩色滤光片1872的像素51邻接地配置。并且，在形成有IR截止滤光片1871和彩色滤光片1872的像素51的基板61，不形成第一抽头TA和第二抽头TB，而形成光电二极管1881。进而，在形成有光电二极管1881的像素51的像素边界部，形成有将邻接像素与基板61分离的像素分离部1882。像素分离部1882例如以由绝缘膜覆盖钨(W)、铝(Al)、铜(Cu)等金属材料、多晶硅等导电性材料的外周的方式形成。利用像素分离部1882限制与邻接像素之间的电子的移动。具有光电二极管1881的像素51经由与具有第一抽头TA和第二抽头TB的像素51不同的控制布线而被分开驱动。其他结构例如与图2所示的第一个实施方式、图36所示的第十四实施方式相同。

[0938] 图94的A是表示图93的A所示的像素51以2×2排列的4像素区域中的彩色滤光片1861的配置的俯视图。

[0939] 对于2×2的4像素区域，彩色滤光片1861将由透射G的滤光片、透射R的滤光片、透射B的滤光片以及透射IR的滤光片构成的4个种类以2×2排列。

[0940] 图94的B是关于图93的A所示的像素51以2×2排列的4像素区域的图93的A的A-A’

线处的俯视图。

[0941] 在图93的A所示的像素51中，第一抽头TA和第二抽头TB以像素为单位配置。

[0942] 图94的C是表示图93的B所示的像素51以2×2排列的4像素区域中的彩色滤光片1872的配置的俯视图。

[0943] 对于2×2的4像素区域，彩色滤光片1872将由透射G的滤光片、透射R的滤光片、透射B的滤光片以及空气(无滤光片)构成的4个种类以2×2排列。另外，也可以代替空气，转而配置使全部波长(R、G、B、IR)透射的透明滤光片。

[0944] 在彩色滤光片187中，在透射G的滤光片、透射R的滤光片、透射B的滤光片的上层，如图93的B所示，配置有IR截止滤光片1871。

[0945] 图94的D是图93的B所示的像素51为2×2排列的4像素区域的、图93的B的B-B'线处的俯视图。

[0946] 在2×2的4像素区域的基板61部分，在具有透射G、R或B的滤光片的像素51形成光电二极管1881，在具有空气(无滤光片)的像素51形成第一抽头TA和第二抽头TB。此外，在形成有光电二极管1881的像素51的像素边界部，形成将邻接像素与基板61分离的像素分离部1882。

[0947] 如上所述，图93的A所示的像素51具有图94的A所示的彩色滤光片1861与图94的B所示的光电转换区域的组合，图93的B所示的像素51具有图94的C所示的彩色滤光片1872与图94的D所示的光电转换区域的组合。

[0948] 但是，图94的A和C的彩色滤光片与图94的B和D的光电转换区域的组合也可以替换。即，作为第二十二实施方式中的像素51的结构，还可以是图94的A所示的彩色滤光片1861与图94的D所示的光电转换区域组合的结构，或图94的C所示的彩色滤光片1872与图94的B所示的光电转换区域组合的结构。

[0949] 具备第一抽头TA和第二抽头TB的像素51的驱动可以是参照图88说明的模式1至模式5的5个种类的驱动方法。

[0950] 具有光电二极管1881的像素51的驱动与具有第一抽头TA和第二抽头TB的像素51的驱动不同，进行与通常的图像传感器的像素相同的驱动。

[0951] 根据第二十二实施方式，受光元件1作为排列有多个具备第一抽头TA和第二抽头TB的像素51的像素阵列部20的一部分，如图93的A所示，能够具备在形成有第一抽头TA和第二抽头TB的基板61的光入射面侧具有彩色滤光片1861的像素51。由此，能够按照G、R、B以及IR的每个波长取得信号，能够提高物体识别力。

[0952] 此外，根据第二十二实施方式，受光元件1作为排列有多个具备第一抽头TA和第二抽头TB的像素51的像素阵列部20的一部分，如图93的B所示，能够具备代替第一抽头TA和第二抽头TB转而在基板61内具有光电二极管1881且在光入射面侧具备彩色滤光片1872的像素51。由此，能够取得与图像传感器相同的G信号、R信号以及B信号，能够提高物体识别力。

[0953] 进而，也可以在像素阵列部20内形成图93的A所示的具备第一抽头TA和第二抽头TB及彩色滤光片1861的像素51、以及图93的B所示的具备光电二极管1881和彩色滤光片1872的像素51的双方。

[0954] 此外，受光元件1的像素阵列部20的全部的像素51可以由图94的A和B的组合的像素、图94的C和D的组合的像素、图94的A和D的组合的像素、图94的C和B的组合的像素中的至

少1种构成。

[0955] (测距模块的结构例)

[0956] 图95是表示使用图1的受光元件1输出测距信息的测距模块的结构例的框图。

[0957] 测距模块5000具备发光部5011、发光控制部5012以及受光部5013。

[0958] 发光部5011具有发出规定波长的光的光源，发出亮度周期性变动的照射光并向物体照射。例如，发光部5011作为光源而具有发出波长在780nm至1000nm范围的红外光的发光二极管，与从发光控制部5012供给的矩形波的发光控制信号CLKp同步地产生照射光。

[0959] 另外，发光控制信号CLKp只要是周期信号，便并不限定于矩形波。例如，发光控制信号CLKp也可以是正弦波。

[0960] 发光控制部5012向发光部5011和受光部5013供给发光控制信号CLKp，控制照射光的照射时刻。该发光控制信号CLKp的频率例如为20兆赫(MHz)。另外，发光控制信号CLKp的频率并不限定于20兆赫(MHz)，也可以是5兆赫(MHz)等。

[0961] 受光部5013接收从物体反射的反射光，根据受光结果针对每个像素计算距离信息，生成针对每个像素用灰度值表示距物体的距离的深度图像并输出。

[0962] 在受光部5013使用上述的受光元件1，作为受光部5013的受光元件1，例如基于发光控制信号CLKp，根据由像素阵列部20的各像素51的信号取出部65-1和65-2各自的电荷检测部(N+半导体区域71)检测到的信号强度，针对每个像素计算距离信息。

[0963] 如上所述，作为通过间接ToF方式求出距被摄体的距离信息并输出的测距模块5000的受光部5013，能够组装图1的受光元件1。作为测距模块5000的受光部5013，通过采用上述的各实施方式的受光元件1，具体而言，采用设为背面照射型而提高了像素灵敏度的受光元件，由此，能够提高作为测距模块5000的测距特性。

[0964] (向移动体的应用例)

[0965] 本实用新型的技术(本技术)能够应用于各种产品。例如，本实用新型的技术可以作为搭载于汽车、电动汽车、混合动力汽车、自动二轮车、自行车、个人移动装置、飞机、无人机、船舶以及机器人等的任意一种移动体的装置来实现。

[0966] 图96是表示能够应用本实用新型的技术的移动体控制系统的一例的车辆控制系统的概要结构例的框图。

[0967] 车辆控制系统12000具备经由通信网络12001连接的多个电子控制单元。在图96的例子中，车辆控制系统12000具备驱动系统控制单元12010、车身系统控制单元12020、车外信息检测单元12030、车内信息检测单元12040以及综合控制单元12050。此外，作为综合控制单元12050的功能结构，图示了微型计算机12051、声音图像输出部12052以及车载网络I/F(interface)12053。

[0968] 驱动系统控制单元12010按照各种程序对与车辆的驱动系统相关的装置动作进行控制。例如，驱动系统控制单元12010作为内燃机或者驱动用马达等的用于产生车辆的驱动力的驱动力产生装置、用于将驱动力向车轮传递的驱动力传递机构、调节车辆的转向角的转向机构、以及产生车辆的制动力的制动装置等的控制装置发挥功能。

[0969] 车身系统控制单元12020按照各种程序对装备于车身的各种装置的动作进行控制。例如，车身系统控制单元12020作为无钥匙进入系统、智能钥匙系统、电动窗装置或者前照灯、尾灯、刹车灯、指示灯或者雾灯等各种灯的控制装置发挥功能。在该情况下，能够向车

身系统控制单元12020输入从代替钥匙的移动设备发送的电波或者各种开关的信号。车身系统控制单元12020接受这些电波或信号的输入，对车辆的门锁装置、电动窗装置以及灯等进行控制。

[0970] 车外信息检测单元12030检测搭载有车辆控制系统12000的车辆的外部信息。例如，在车外信息检测单元12030连接有摄像部12031。车外信息检测单元12030使摄像部12031拍摄车外的图像并接收拍摄到的图像。车外信息检测单元12030也可以基于接收到的图像，进行人、车、障碍物、标识或路面上的文字等的物体检测处理或距离检测处理。

[0971] 摄像部12031是接收光并输出与该光的受光量对应的电信号的光传感器。摄像部12031既能够将电信号作为图像输出，又能够将电信号作为测距的信息输出。此外，摄像部12031接收的光可以是可见光，也可以是红外线等的非可见光。

[0972] 车内信息检测单元12040检测车内的信息。在车内信息检测单元12040例如连接有检测驾驶员的状态的驾驶员状态检测部12041。驾驶员状态检测部12041例如包括拍摄驾驶员的相机，车内信息检测单元12040基于从驾驶员状态检测部12041输入的检测信息，可以计算驾驶员的疲劳程度或者集中程度，也可以判断驾驶员是否打瞌睡。

[0973] 微型计算机12051能够基于从车外信息检测单元12030或者车内信息检测单元12040取得的车内外的信息，对驱动力产生装置、转向机构或者制动装置的控制目标值进行运算，对驱动系统控制单元12010输出控制指令。例如微型计算机12051能够进行协调控制，该协调控制以实现包括车辆的碰撞避免或者冲击缓和、基于车间距离的跟随行驶、车速维持行驶、车辆的碰撞警告或者车辆偏离路径警告等的ADAS(Advanced Driver Assistance System)的功能为目的。

[0974] 此外，微型计算机12051能够基于由车外信息检测单元12030或者车内信息检测单元12040取得的车辆周围的信息，对驱动力产生装置、控制机构或制动装置等进行控制，由此，能够进行以与驾驶员的操作无关地自主行驶的自动驾驶等为目的的协调控制。

[0975] 此外，微型计算机12051能够基于由车外信息检测单元12030取得的车外的信息，对车身系统控制单元12020输出控制指令。例如，微型计算机12051能够根据由车外信息检测单元12030检测到的前车或者对向车的位置，控制前照灯，进行实现将远光切换为近光等的防眩为目的的协调控制。

[0976] 声音图像输出部12052能够针对车辆的搭乘者或车外，向能够视觉上或听觉上通知信息的输出装置发送声音和图像中的至少一方的输出信号。在图96的例子中，作为输出装置，例示了音频扬声器12061、显示部12062和仪表板12063。显示部12062例如也可以包括车载显示器和平视显示器中的至少一个。

[0977] 图97是摄像部12031的设置位置的例子的图。

[0978] 在图97中，车辆12100作为摄像部12031而具有摄像部12101、12102、12103、12104、12105。

[0979] 摄像部12101、12102、12103、12104、12105例如设置在车辆12100的前保险杠、侧后视镜、后保险杠、后备箱门以及车厢内的前挡风玻璃的上部等位置。前保险杠所具备的摄像部12101以及车厢内的前挡风玻璃的上部具备的摄像部12105主要取得车辆12100的前方的图像。侧后视镜所具备的摄像部12102、12103主要取得车辆12100的侧方的图像。后保险杠或后备箱门所具备的摄像部12104主要取得车辆12100的后方的图像。由摄像部12101和

12105取得的前方的图像主要用于检测前车或行人、障碍物、信号灯、交通标识或车道等。

[0980] 另外，在图97中示出了摄像部12101至12104的拍摄范围的一例。拍摄范围12111表示设置于前保险杠的摄像部12101的拍摄范围，拍摄范围12112、12113分别表示设置于侧后视镜的摄像部12102、12103的拍摄范围，拍摄范围12114表示设置于后保险杠或后备箱门的摄像部12104的拍摄范围。例如，使由摄像部12101至12104拍摄的图像数据重叠，由此得到从上方观察车辆12100的俯瞰图像。

[0981] 摄像部12101至12104中的至少一个可以具有取得距离信息的功能。例如，摄像部12101至12104中的至少一个可以是由多个摄像元件构成的立体相机，也可以是具有相位差检测用的像素的摄像元件。

[0982] 例如，微型计算机12051基于由摄像部12101至12104得到的距离信息，求出到拍摄范围12111至12114内的各立体物的距离以及该距离的时间性变化(相对车辆12100的相对速度)，由此，能够提取尤其是处于车辆12100的行驶道路上的最近的立体物、且是沿着与车辆12100大致相同的方向以规定的速度(例如，0km/h以上)行驶的立体物来作为前车。进而，微型计算机12051能够设定到前车的跟前应当预先确保的车间距离，进行自动制动控制(也包括跟随停止控制)、自动加速控制(也包括跟随起动控制)等。这样，能够进行以与驾驶员的操作无关地自主行驶的自动驾驶等为目的的协调控制。

[0983] 例如，微型计算机12051能够基于由摄像部12101至12104得到的距离信息，将与立体物相关的立体物数据分类为两轮车、普通车辆、大型车辆、行人、电线杆等以及其他立体物进行提取，用于自动避开障碍物。例如，微型计算机12051将车辆12100的周边的障碍物识别为车辆12100的驾驶员能够目视确认的障碍物和难以目视确认的障碍物。然后，微型计算机12051判断表示与各障碍物的碰撞的危险程度的碰撞危险，当处于碰撞危险为设定值以上而存在碰撞可能性的状况时，经由音频扬声器12061、显示部12062向驾驶员输出警报、经由驱动系统控制单元12010进行强制减速和躲避转向，由此能够进行用于避免碰撞的驾驶辅助。

[0984] 摄像部12101至12104中的至少一个也可以是检测红外线的红外线相机。例如，微型计算机12051能够通过判断摄像部12101至12104的摄像图像中是否存在行人来识别行人。例如，通过提取作为红外线相机的摄像部12101至12104的摄像图像中的特征点的步骤、以及对表示物体的轮廓的一系列的特征点进行图案匹配处理来判断是否为行人的步骤，进行这种行人的识别。微型计算机12051判断为摄像部12101至12104的摄像图像中存在行人，当识别到行人时，声音图像输出部12052对显示部12062进行控制，以使得用于强调的方形轮廓线重叠显示于该识别到的行人。此外，声音图像输出部12052也可以对显示部12062进行控制，以使得表示行人的图标等显示于所期望的位置。

[0985] 以上，对能够应用本实用新型的技术的车辆控制系统的一例进行了说明。本实用新型的技术能够应用于以上说明的结构中的摄像部12031。具体而言，例如通过将图1所示的受光元件1应用于摄像部12031，能够提高灵敏度等的特性。

[0986] 本技术的实施方式并不限定于上述的实施方式，能够在不脱离本技术的主旨的范围内进行各种变更。

[0987] 例如，当然也可以适当组合以上说明的2个以上的实施方式。即，例如可以根据优先像素的灵敏度等的哪个特性，适当选择设置在像素内的信号取出部的个数和配置位置、

信号取出部的形状和是否设为共用结构、片上透镜的有无、像素间遮光部的有无、分离区域的有无、片上透镜和基板的厚度、基板的种类和膜设计、向光入射面的偏压的有无、反射部件的有无等。

[0988] 此外，在上述的实施方式中，对作为信号载波使用电子的例子进行了说明，但是也可以将通过光电转换而产生的空穴用作信号载波。在该情况下，只要用于检测信号载波的电荷检测部由P+半导体区域构成，用于在基板内产生电场的电压施加部由N+半导体区域构成，在设置于信号取出部的电荷检测部中，检测作为信号载波的空穴即可。

[0989] 根据本技术，通过将CAPD传感器设为背面照射型的受光元件的结构，能够提高测距特性。

[0990] 另外，以向形成于基板61的P+半导体区域73直接施加电压，通过所产生的电场使光电转换后的电荷移动的驱动方式记载了上述的实施方式，但是本技术并不限定于该驱动方式，也可以应用其他驱动方式。例如，也可以是使用形成于基板61的第一和第二传输晶体管以及第一和第二浮动扩散区域，向第一和第二传输晶体管的栅极分别施加规定的电压，由此将光电转换后的电荷经由第一传输晶体管分配到第一浮动扩散区域，或者经由第二传输晶体管分配到第二浮动扩散区域进行蓄积的驱动方式。在该情况下，形成于基板61的第一和第二传输晶体管分别作为向栅极施加规定的电压的第一和第二电压施加部发挥功能，形成于基板61的第一和第二浮动扩散区域分别作为检测通过光电转换而产生的电荷的第一和第二电荷检测部发挥功能。

[0991] 此外，换言之，在向形成于基板61的P+半导体区域73直接施加电压，通过所产生的电场使光电转换后的电荷移动的驱动方式中，作为第一和第二电压施加部的两个P+半导体区域73是被施加规定的电压的控制节点，作为第一和第二电荷检测部的两个N+半导体区域71是检测电荷的检测节点。在向形成于基板61的第一和第二传输晶体管的栅极施加规定的电压，将光电转换后的电荷分配到第一浮动扩散区域或第二浮动扩散区域进行蓄积的驱动方式中，第一和第二传输晶体管的栅极是施加规定的电压的控制节点，形成于基板61的第一和第二浮动扩散区域是检测电荷的检测节点。

[0992] 此外，本说明书中记载的效果只不过例示而已，并不是限定的，还可以是其他效果。

[0993] 另外，本实用新型能够采用以下的结构。

[0994] (1)一种受光元件，具备：

[0995] 片上透镜；

[0996] 布线层；以及

[0997] 半导体层，配置在所述片上透镜与所述布线层之间，

[0998] 所述半导体层具备：

[0999] 第一抽头，具有被施加第一电压的第一电压施加部以及配置在该第一电压施加部的周围的第一电荷检测部；以及

[1000] 第二抽头，具有被施加与第一电压不同的第二电压的第二电压施加部以及配置在该第二电压施加部的周围的第二电荷检测部，

[1001] 使所述片上透镜的位置在像素阵列部的面内的位置不同，以使得来自被摄体的主光线的光路长度或者DC对比度在所述像素阵列部的面内的各像素中均匀。

[1002] (2)在所述(1)所记载的受光元件中，

[1003] 所述布线层至少具有具备反射部件的1层，

[1004] 所述反射部件被设置成在俯视观察时与所述第一电荷检测部或者所述第二电荷检测部重叠。

[1005] (3)在所述(1)或(2)所记载的受光元件中，

[1006] 所述布线层至少具有具备遮光部件的1层，

[1007] 所述遮光部件被设置成在俯视观察时与所述第一电荷检测部或者所述第二电荷检测部重叠。

[1008] (4)在所述(1)至(3)中任一个所记载的受光元件中，

[1009] 像素间遮光膜的位置也与所述片上透镜一起在所述像素阵列部的面内的位置不同。

[1010] (5)在所述(1)至(4)中任一个所记载的受光元件中，

[1011] 在像素边界部还具备像素分离部，该像素分离部针对所述半导体层的深度方向的至少一部分将邻接像素分离。

[1012] (6)在所述(5)所记载的受光元件中，

[1013] 所述像素分离部是从所述半导体层的背面侧或者表面侧到规定的深度为止将邻接像素分离的深槽隔离。

[1014] (7)在所述(5)所记载的受光元件中，

[1015] 所述像素分离部是贯通所述半导体层而将邻接像素分离的贯通分离部。

[1016] (8)在所述(1)至(7)中任一个所记载的受光元件中，

[1017] 使所述片上透镜的位置在所述像素阵列部的面内的位置不同，以使得作为各像素的所述第一抽头和所述第二抽头中的一方的相位偏移检测抽头的相位偏移量θ在规定的范围内相等。

[1018] (9)在所述(1)至(7)中任一个所记载的受光元件中，

[1019] 使所述片上透镜的位置在所述像素阵列部的面内的位置不同，以使得所述第一抽头的所述DC对比度与所述第二抽头的所述DC对比度在规定的范围内相等。

[1020] (10)在所述(1)至(7)、(9)中任一个所记载的受光元件中，

[1021] 使所述片上透镜的位置在所述像素阵列部的面内的位置不同，以使得所述像素阵列部的中心部和外周部的所述第一抽头的所述DC对比度的偏移量、与所述像素阵列部的中心部和外周部的所述第二抽头的所述DC对比度的偏移量在规定的范围内相等。

[1022] (11)在所述(1)至(10)中任一个所记载的受光元件中，

[1023] 所述受光元件还具备：

[1024] 驱动部，向所述第一电压施加部或者所述第二电压施加部供给所述第一电压或者所述第二电压；以及

[1025] 电压供给线，从所述驱动部向所述第一电压施加部或者所述第二电压施加部传送所述第一电压或者所述第二电压，

[1026] 所述电压供给线的线宽根据距所述驱动部的距离而不同。

[1027] (12)在所述(11)所记载的受光元件中，

[1028] 所述电压供给线形成为，距所述驱动部的距离越远，则所述线宽越粗。

[1029] (13)在所述(1)至(12)中任一个所记载的受光元件中，

[1030] 所述第一电压施加部和所述第二电压施加部分别由形成于所述半导体层的第一P型半导体区域和第二P型半导体区域构成。

[1031] (14)在所述(1)至(13)中任一个所记载的受光元件中，

[1032] 所述第一电压施加部和所述第二电压施加部分别由形成于所述半导体层的第一传输晶体管和第二传输晶体管构成。

[1033] (15)一种测距模块，具备：

[1034] 所述测距模块具备：

[1035] 受光元件；

[1036] 光源，照射亮度周期性变动的照射光；以及

[1037] 发光控制部，对所述照射光的照射时刻进行控制，

[1038] 其中，所述受光元件具备：

[1039] 片上透镜；

[1040] 布线层；以及

[1041] 半导体层，配置在所述片上透镜与所述布线层之间，

[1042] 所述半导体层具备：

[1043] 第一抽头，具有被施加第一电压的第一电压施加部以及配置在该第一电压施加部的周围的第一电荷检测部；以及

[1044] 第二抽头，具有被施加与所述第一电压不同的第二电压的第二电压施加部以及配置在该第二电压施加部的周围的第二电荷检测部，

[1045] 使所述片上透镜的位置在像素阵列部的面内的位置不同，以使得来自被摄体的主光线的光路长度或者DC对比度在所述像素阵列部的面内的各像素中均匀。

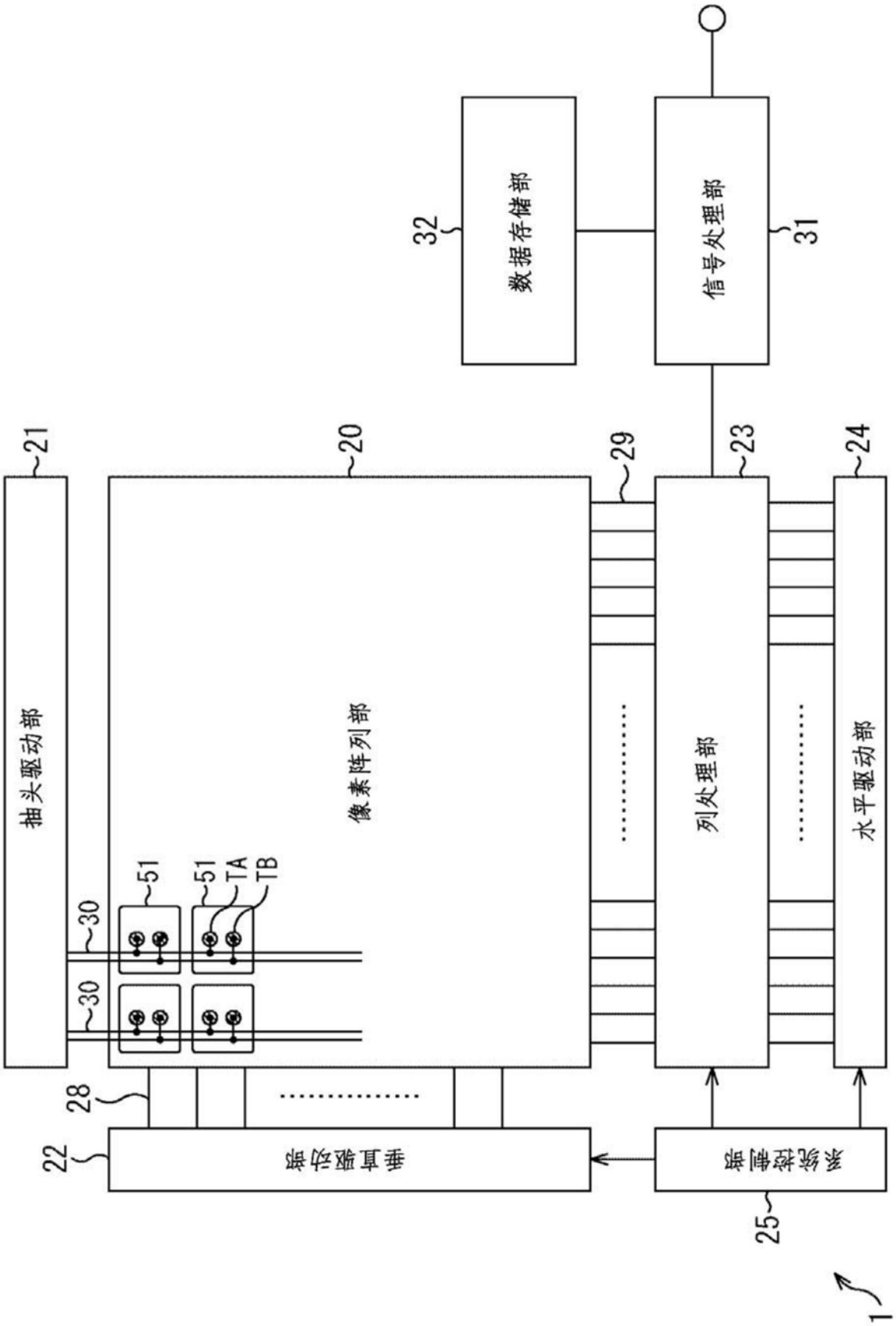

数据存储部
32
信号处理部
31
21
20
29
23
24
抽头驱动部
像素阵列部
列处理部
水平驱动部
51
51
TA
TB
30
30
28
22
垂直驱动部
系统控制部
25
1

图1

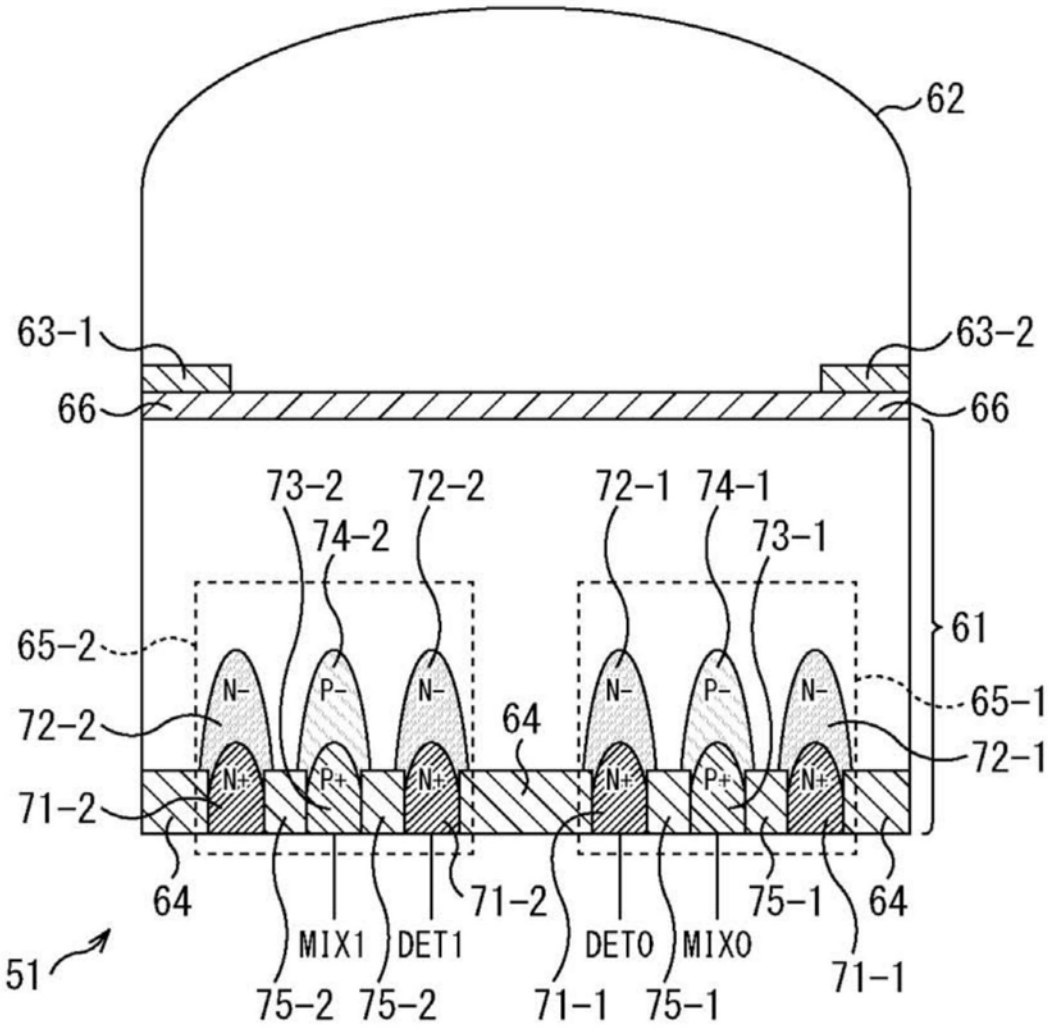

62
63-1
63-2
66
66
73-2
72-2
72-1
74-1
74-2
73-1
61
65-2
65-1
N-
P-
N-
N-
P-
N-
72-2
64
72-1
N+
P+
N+
N+
P+
N+
71-2
64
71-2
75-1
64
51
MIX1
DET1
DET0
MIX0
71-1
75-2
75-2
71-1
75-1

图2

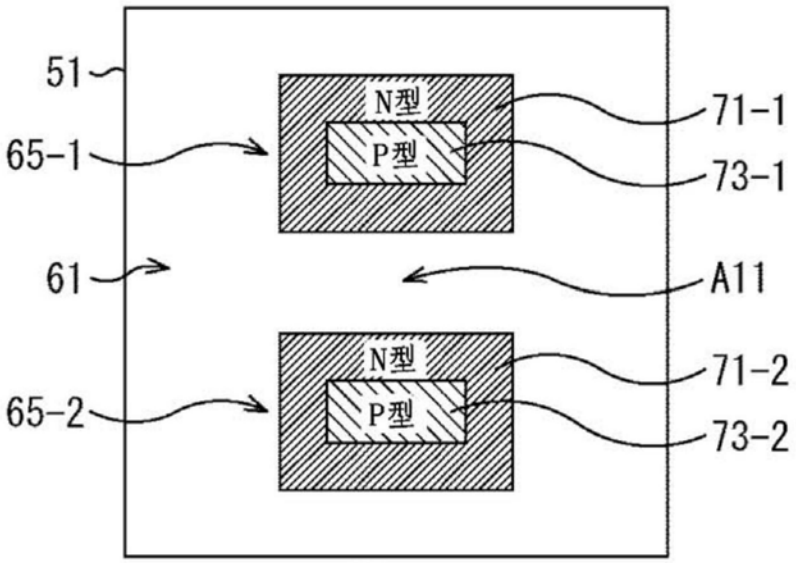

51
N型
71-1
65-1
P型
73-1
61
A11
N型
71-2
65-2
P型
73-2

图3

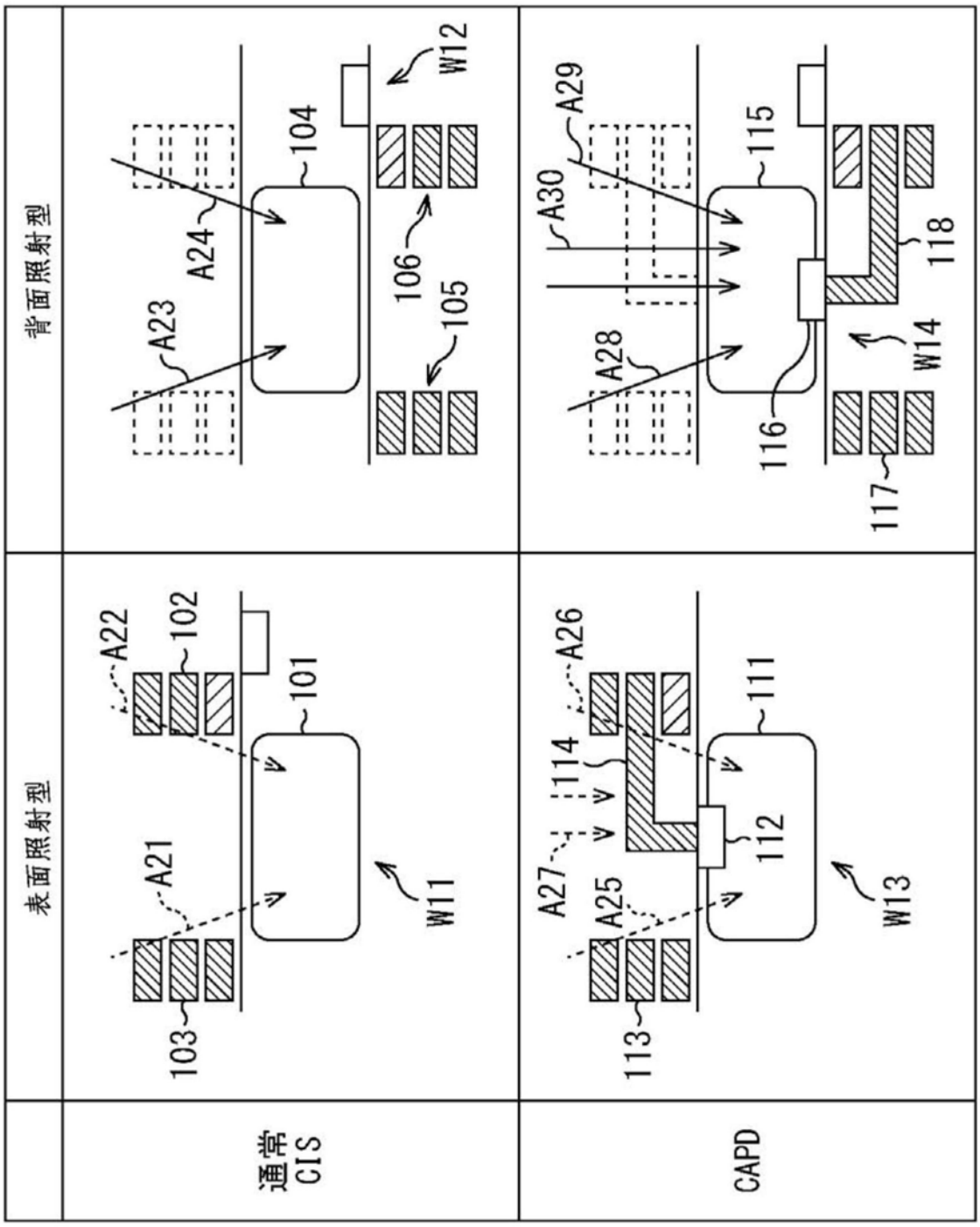

背面照射型
表面照射型
通常CIS
CAPD
A21
A22
A23
A24
A25
A26
A27
A28
A29
A30
101
102
103
104
105
106
111
112
113
114
115
116
117
118
W11
W12
W13
W14

图4

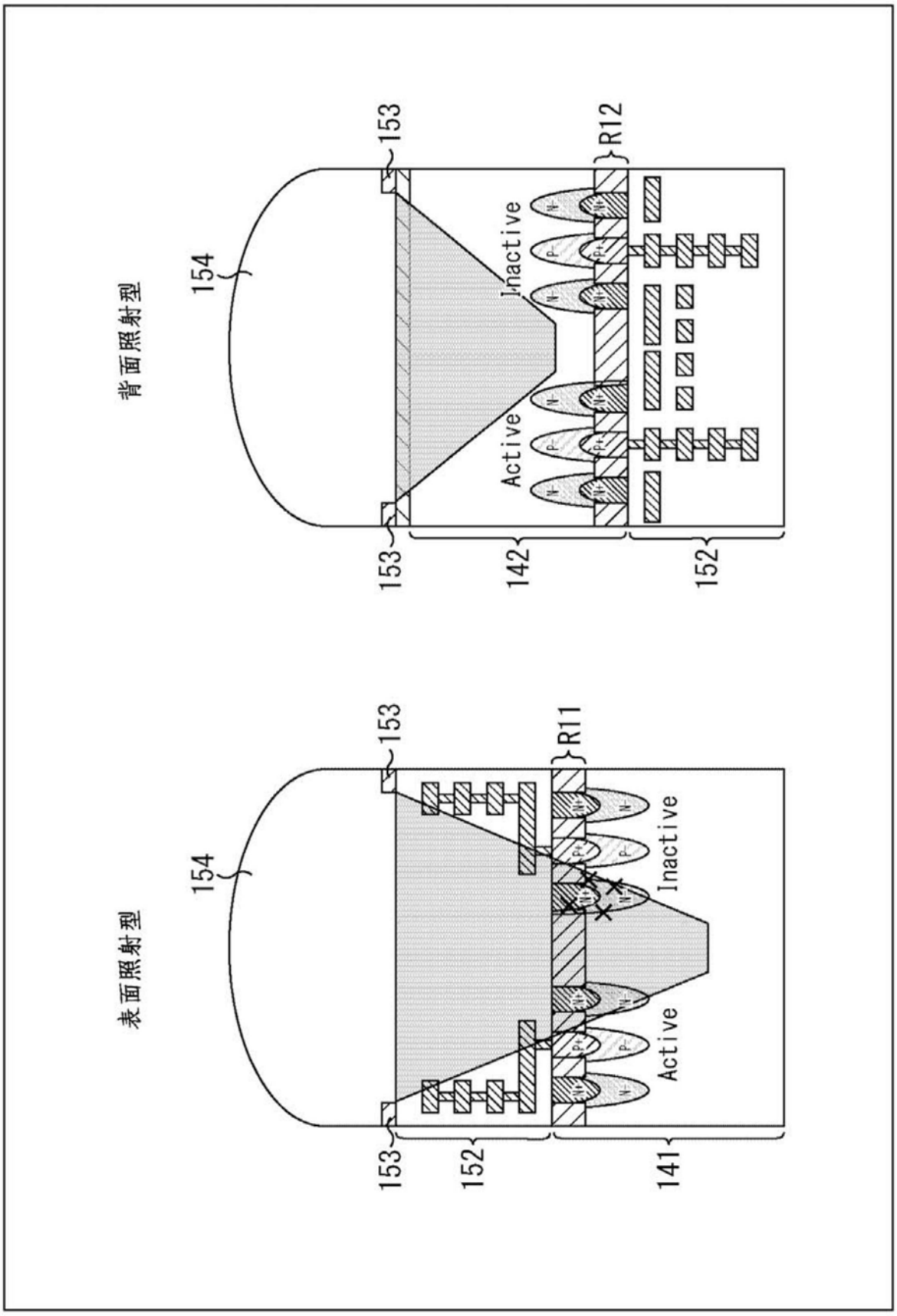

背面照射型
154
153
R12
Inactive
Active
153
142
152
表面照射型
154
153
R11
Inactive
Active
153
152
141

图5

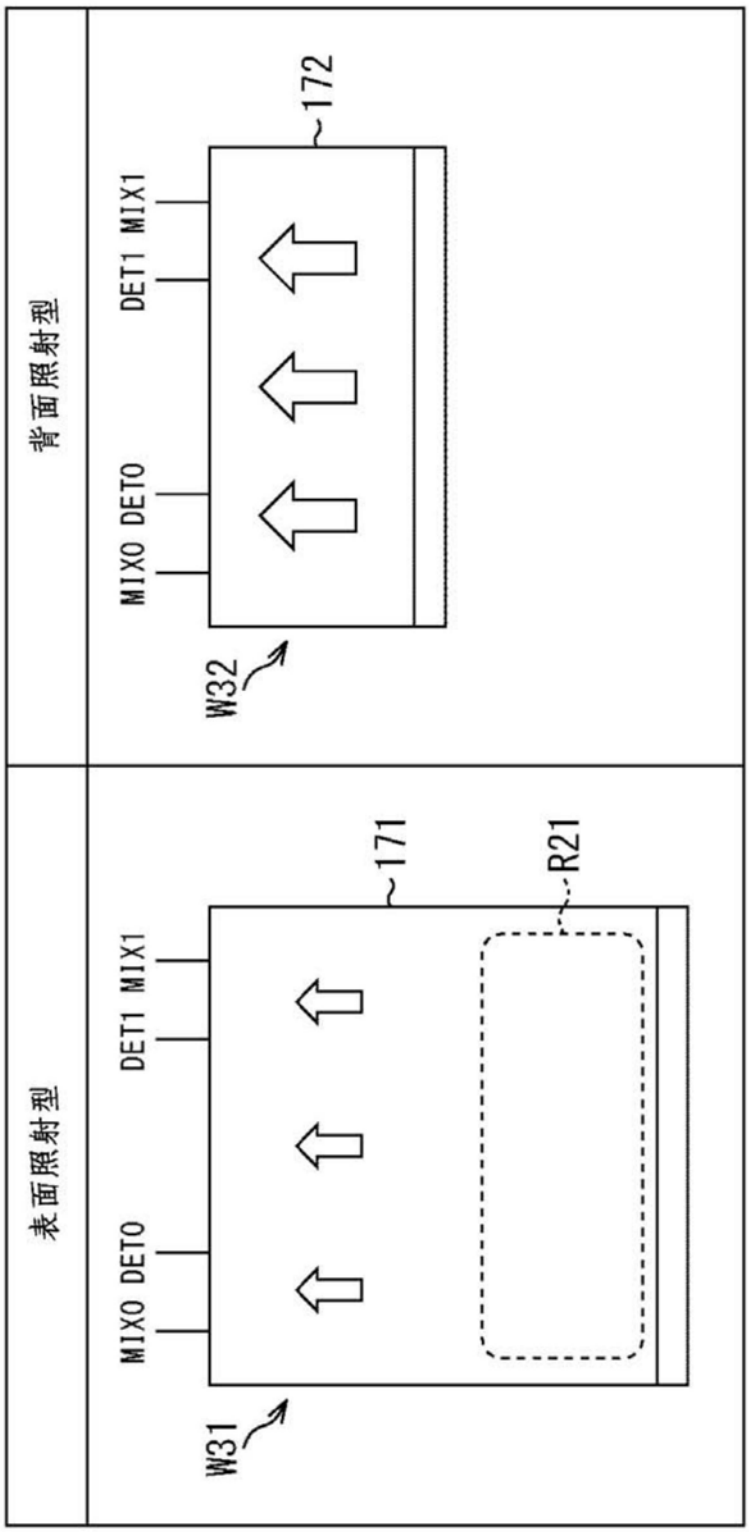


图6

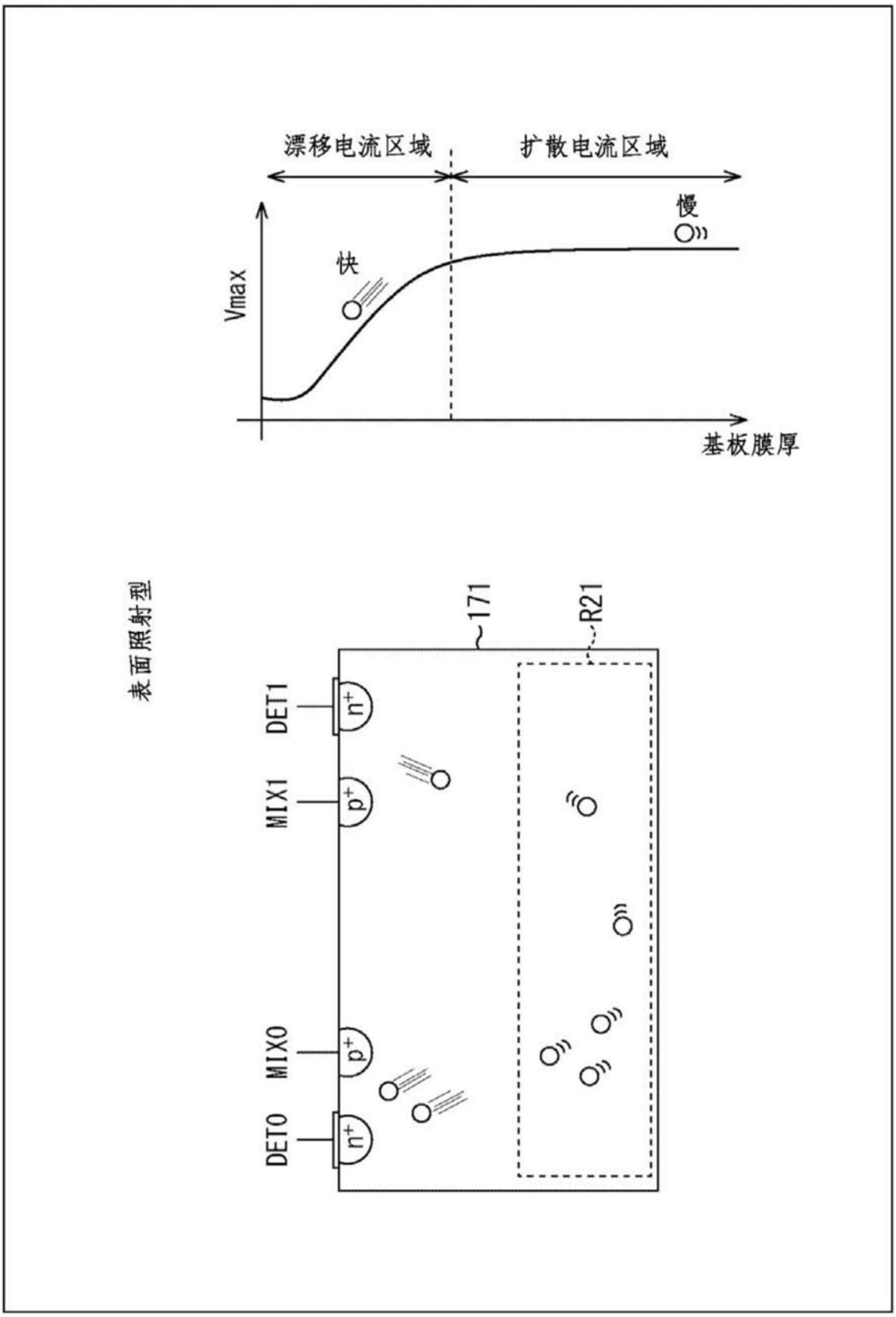

漂移电流区域
扩散电流区域
慢
快
Vmax
基板膜厚
表面照射型
~171
R21
DET1
MIX1
MIX0
DET0
n+
p+
n+

图7

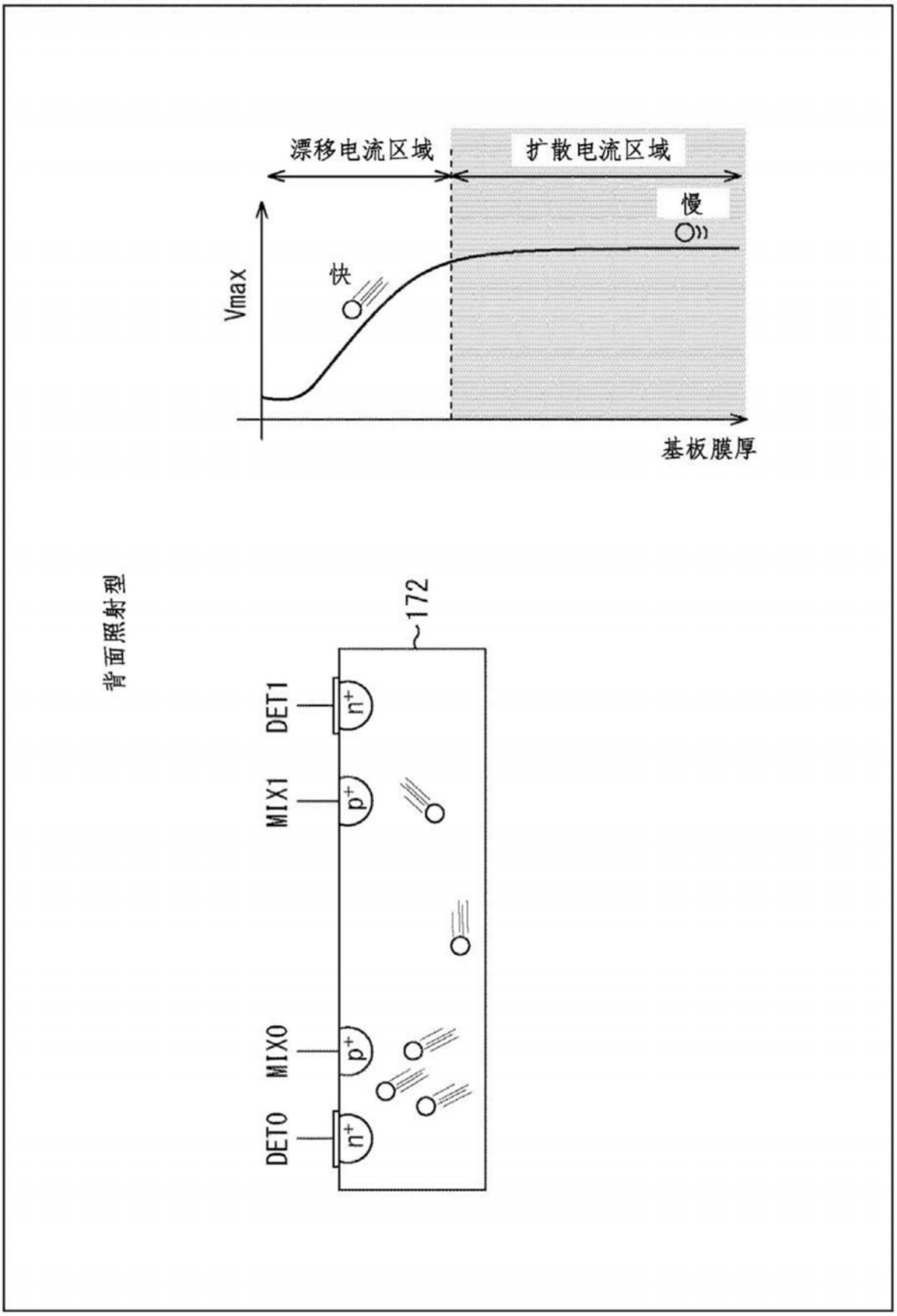


图8

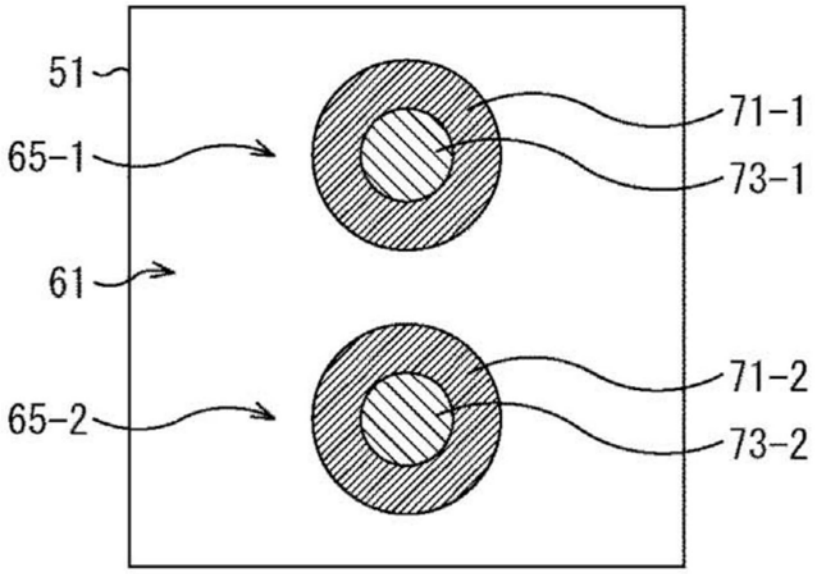


图9

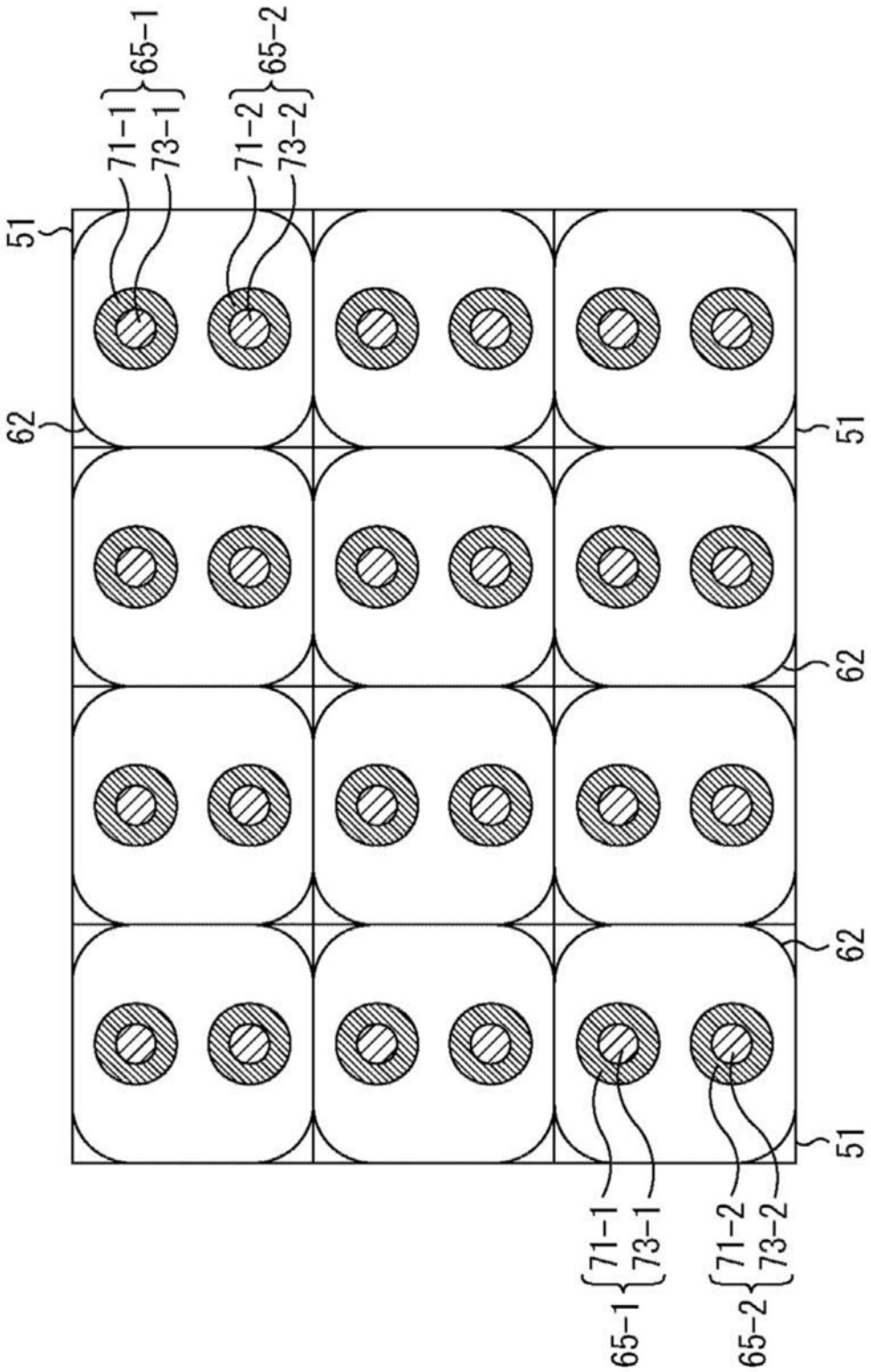


图10

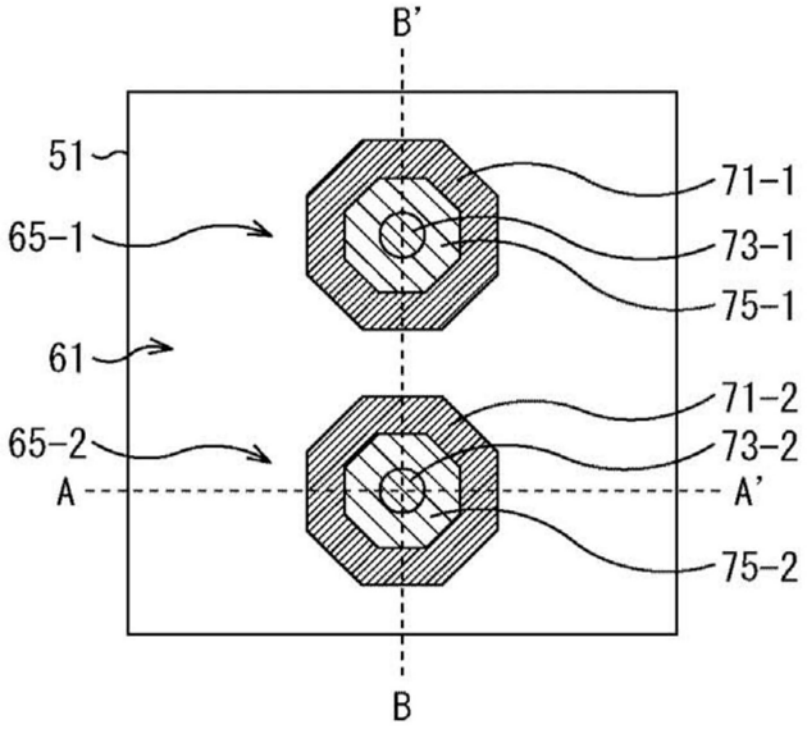

B'
51
65-1
71-1
73-1
75-1
61
71-2
65-2
73-2
A
A'
75-2
B

图11

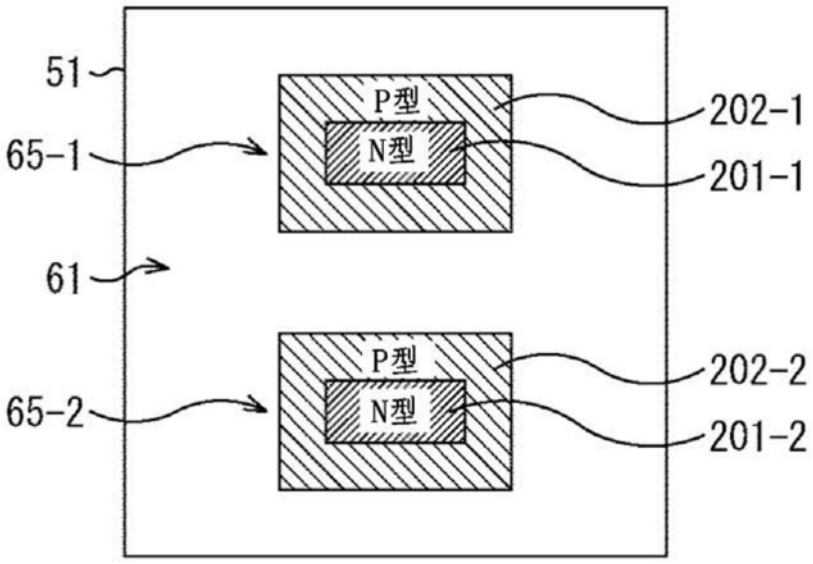

51
P型
202-1
65-1
N型
201-1
61
P型
202-2
65-2
N型
201-2

图12

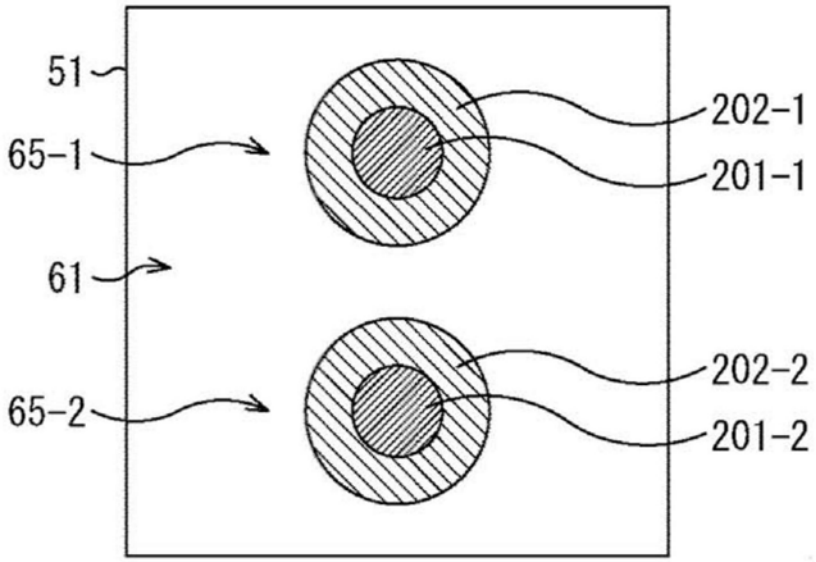

51
65-1
61
65-2
202-1
201-1
202-2
201-2

图13

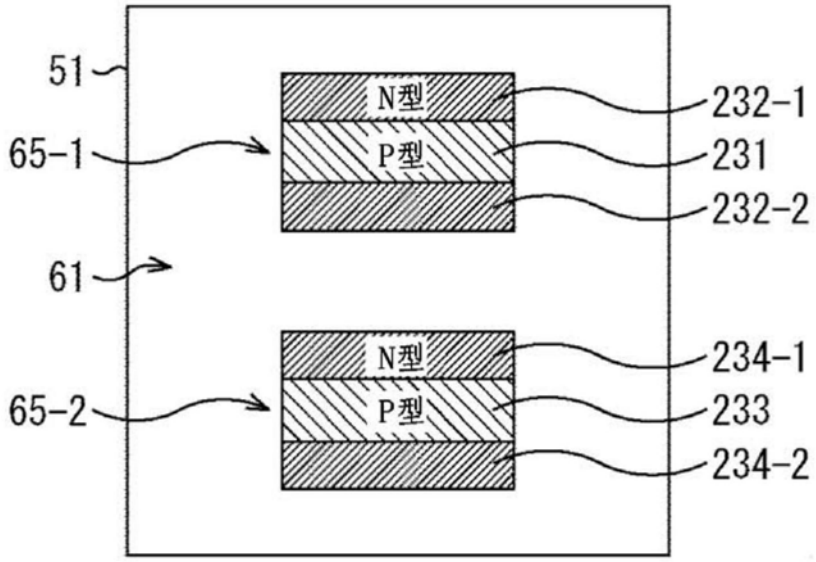

51
65-1
61
65-2
N型
P型
N型
P型
232-1
231
232-2
234-1
233
234-2

图14

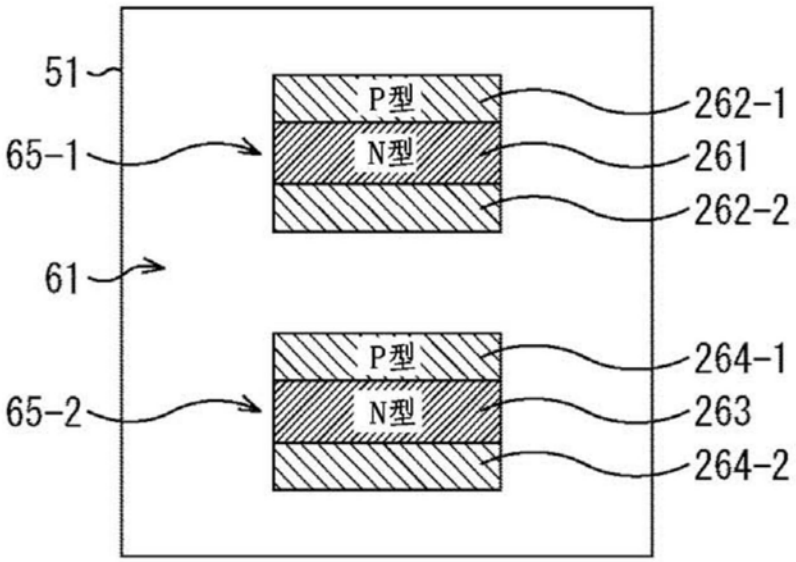

51
65-1
61
65-2
P型
N型
P型
N型
262-1
261
262-2
264-1
263
264-2

图15

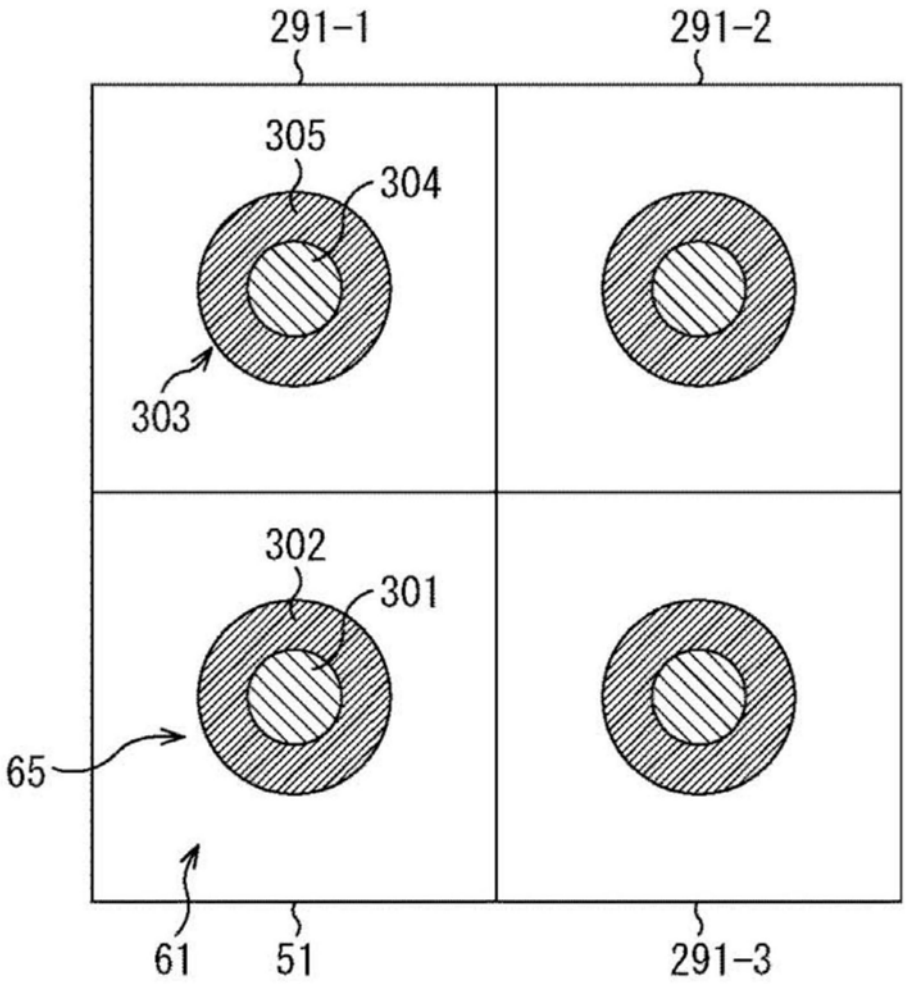

291-1
291-2
305
304
303
302
301
65
61
51
291-3

图16

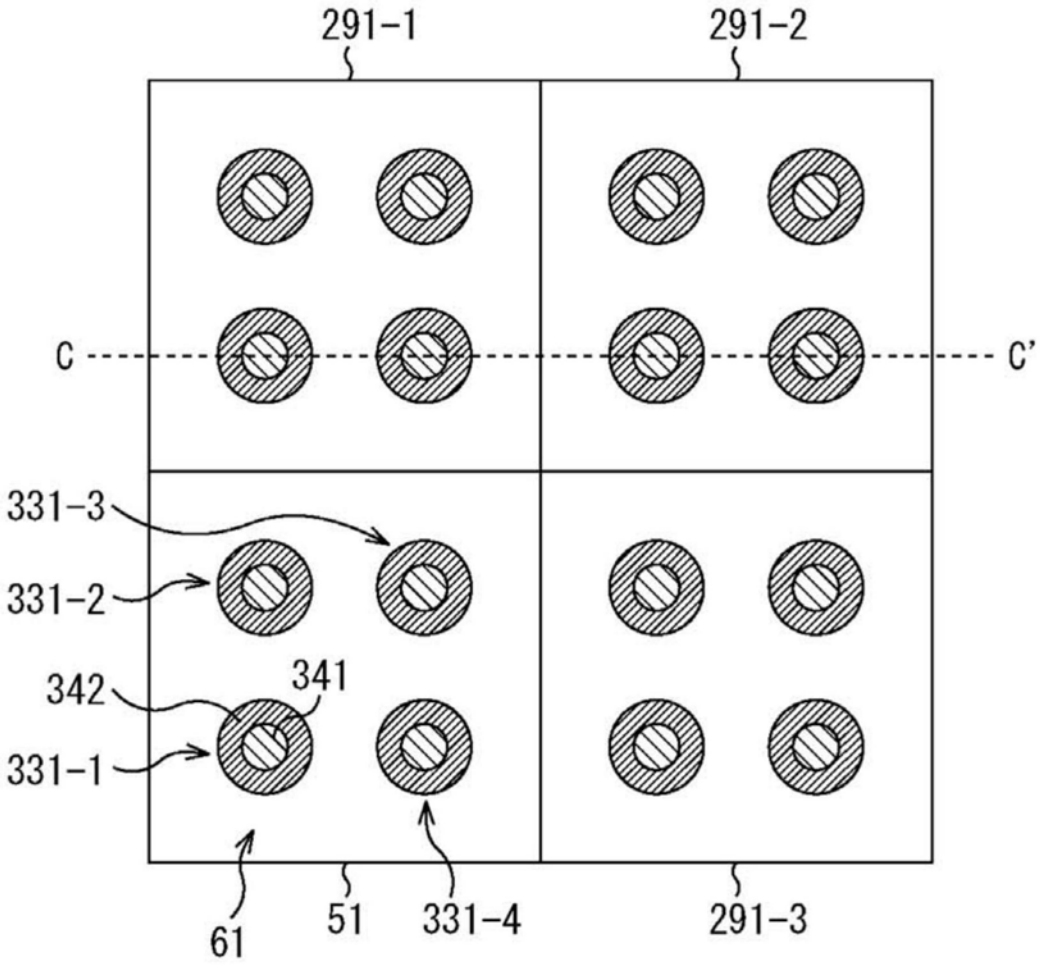


图17

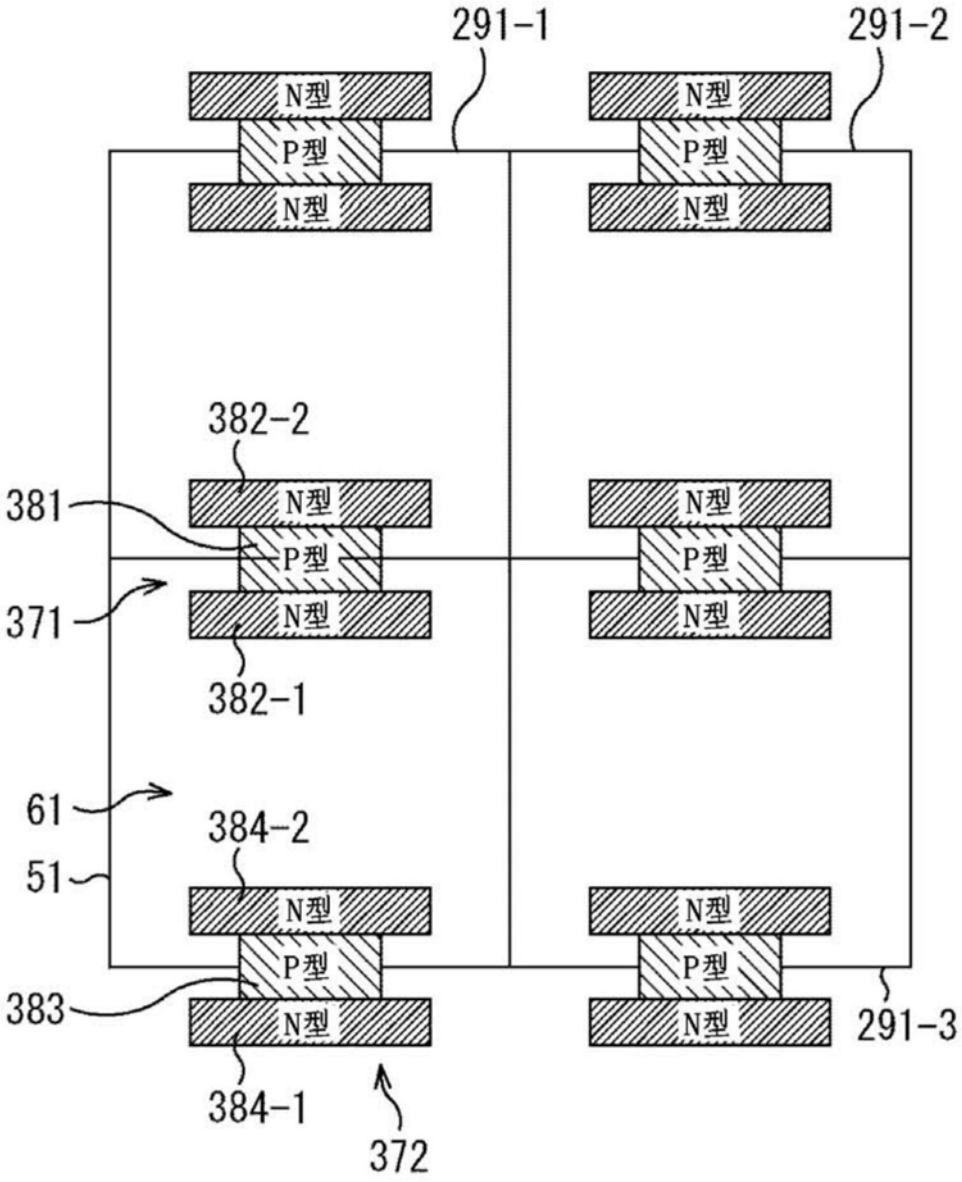

291-1
291-2
N型
P型
N型
382-2
381
371
382-1
61
384-2
51
383
384-1
372
291-3

图18

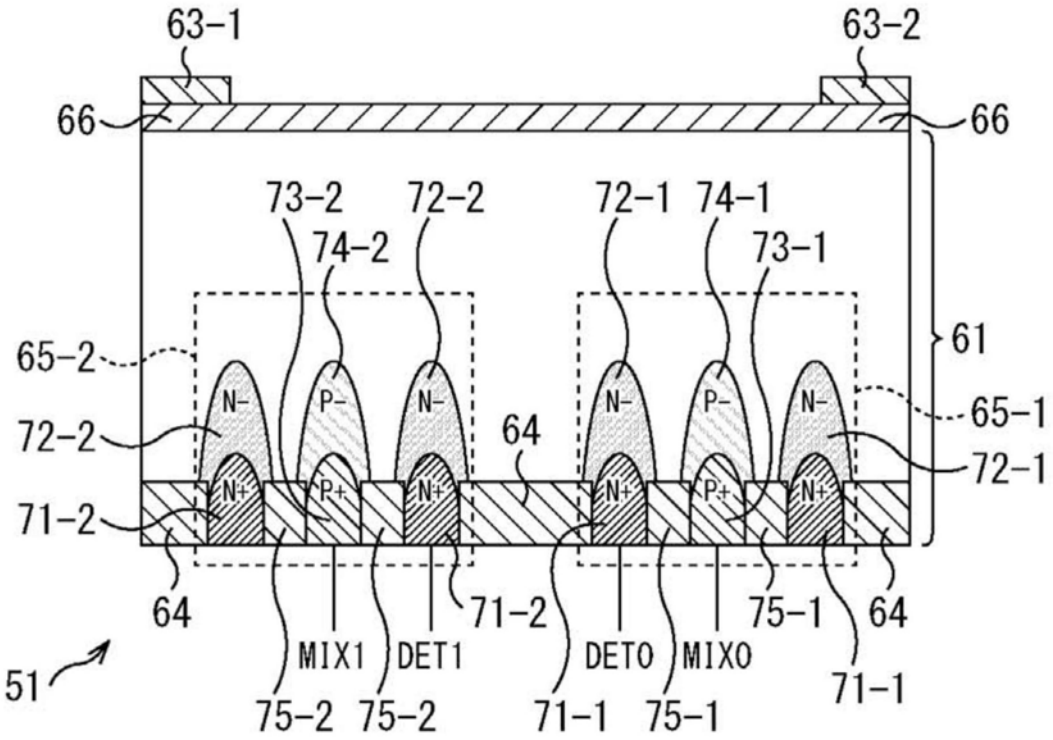

63-1
63-2
66
66
73-2
72-2
72-1
74-1
74-2
73-1
61
65-2
65-1
N-
P-
N-
N-
P-
N-
72-2
64
72-1
N+
P+
N+
N+
P+
N+
71-2
64
71-2
75-1
64
MIX1
DET1
DET0
MIX0
51
75-2
75-2
71-1
75-1
71-1

图19

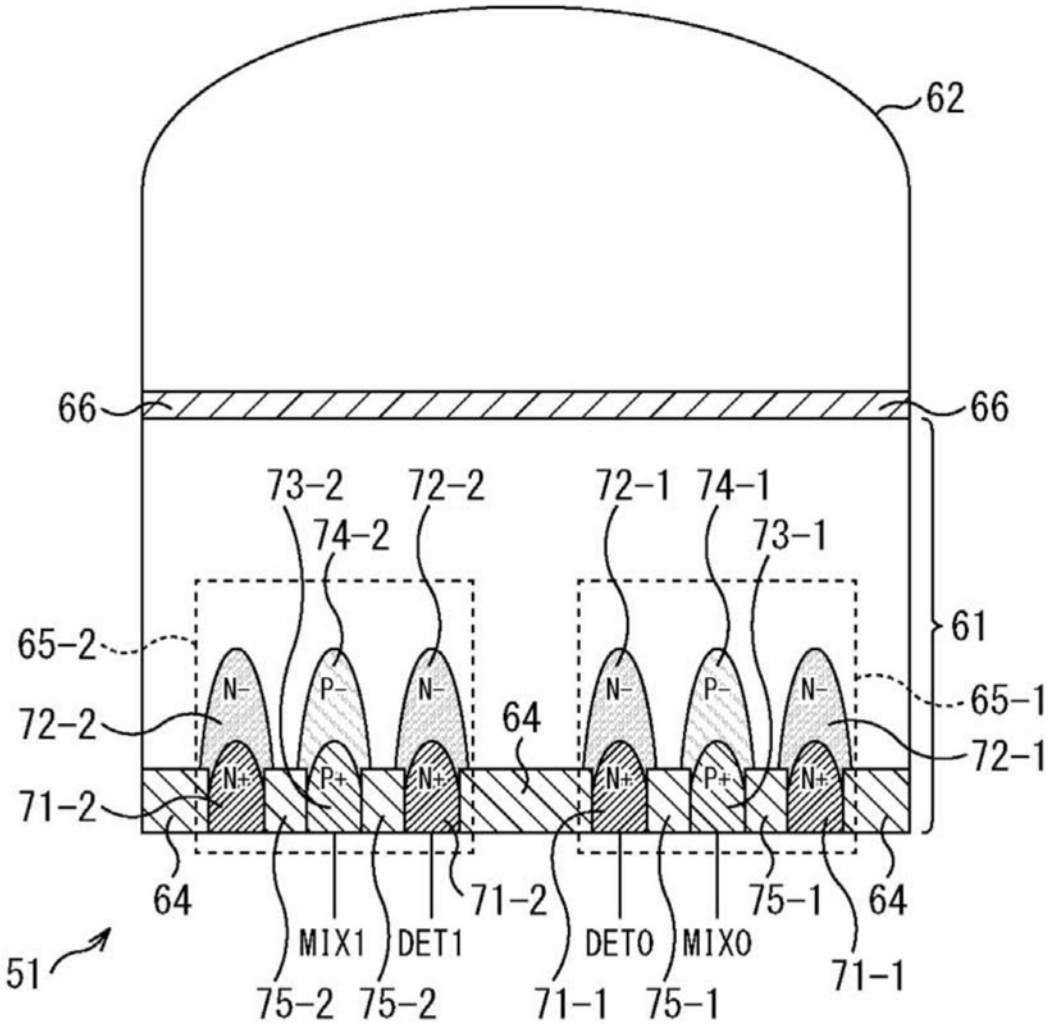

62
66
66
73-2
72-2
74-2
72-1
74-1
73-1
61
65-2
65-1
72-2
72-1
64
71-2
64
71-2
75-1
64
51
MIX1
DET1
DET0
MIX0
71-1
75-2
75-2
71-1
75-1
N-
P-
N+
P+

图20

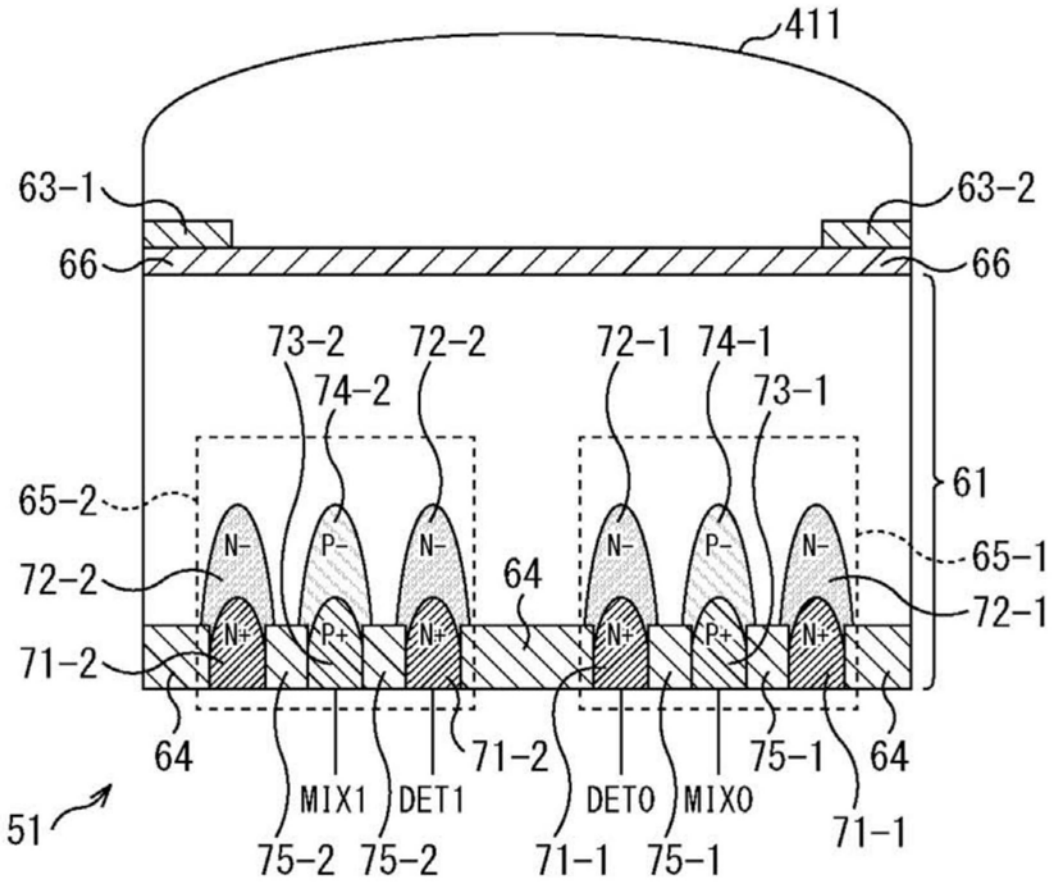

411
63-1
63-2
66
66
73-2
72-2
72-1
74-1
74-2
73-1
61
65-2
65-1
N-
P-
N-
N-
P-
N-
72-2
64
72-1
N+
P+
N+
N+
P+
N+
71-2
64
71-2
75-1
64
MIX1
DET1
DETO
MIXO
51
75-2
75-2
71-1
75-1
71-1

图21

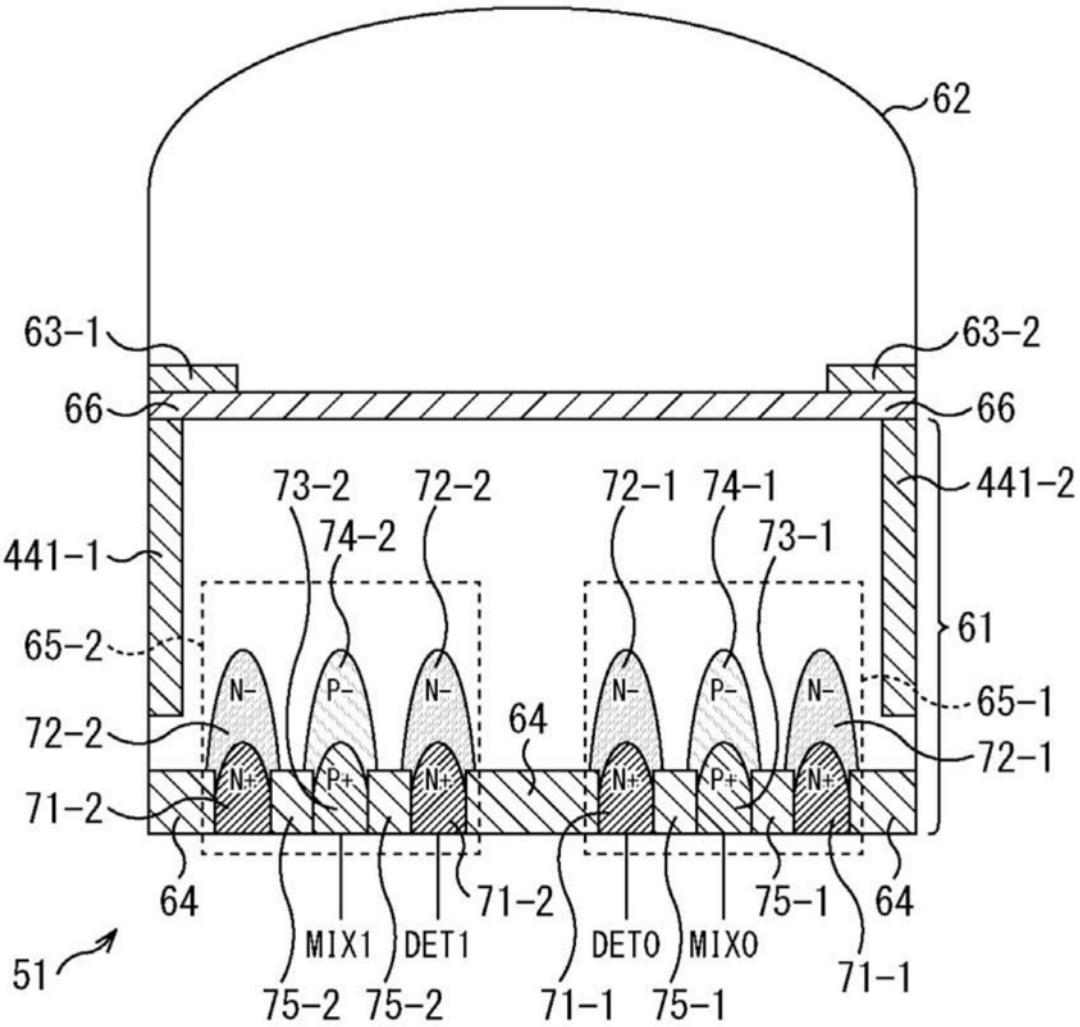

62
63-1
63-2
66
66
73-2
72-2
72-1
74-1
441-2
74-2
73-1
441-1
61
65-2
N-
P-
N-
N-
P-
N-
65-1
72-2
64
72-1
N+
P+
N+
N+
P+
N+
71-2
64
71-2
75-1
64
MIX1
DET1
DET0
MIX0
51
75-2
75-2
71-1
75-1
71-1

图22

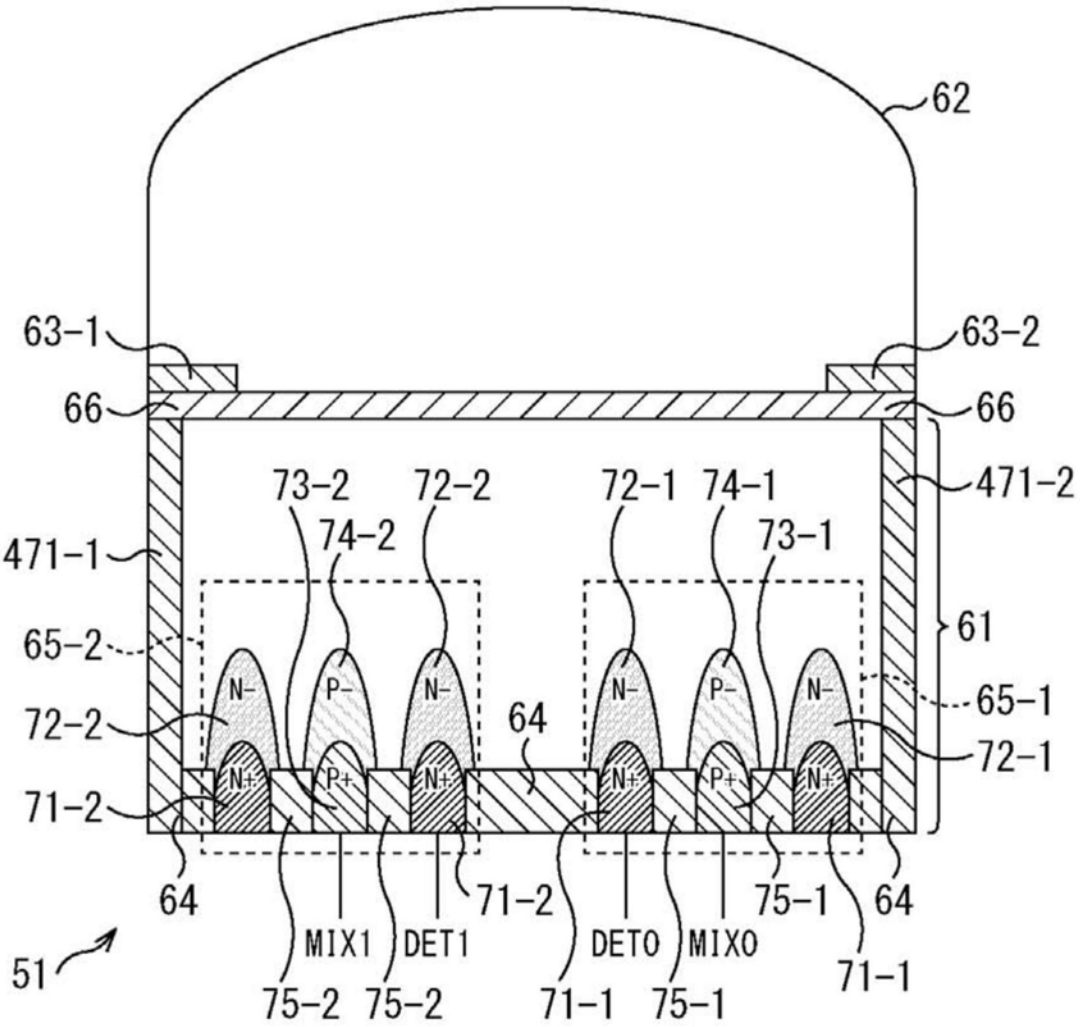

62
63-1
63-2
66
66
471-2
73-2
72-2
72-1
74-1
74-2
73-1
471-1
61
65-2
65-1
N-
P-
N-
N-
P-
N-
72-2
64
72-1
N+
P+
N+
N+
P+
N+
71-2
64
75-1
64
71-2
MIX1
DET1
DET0
MIX0
51
71-1
75-2
75-2
71-1
75-1

图23

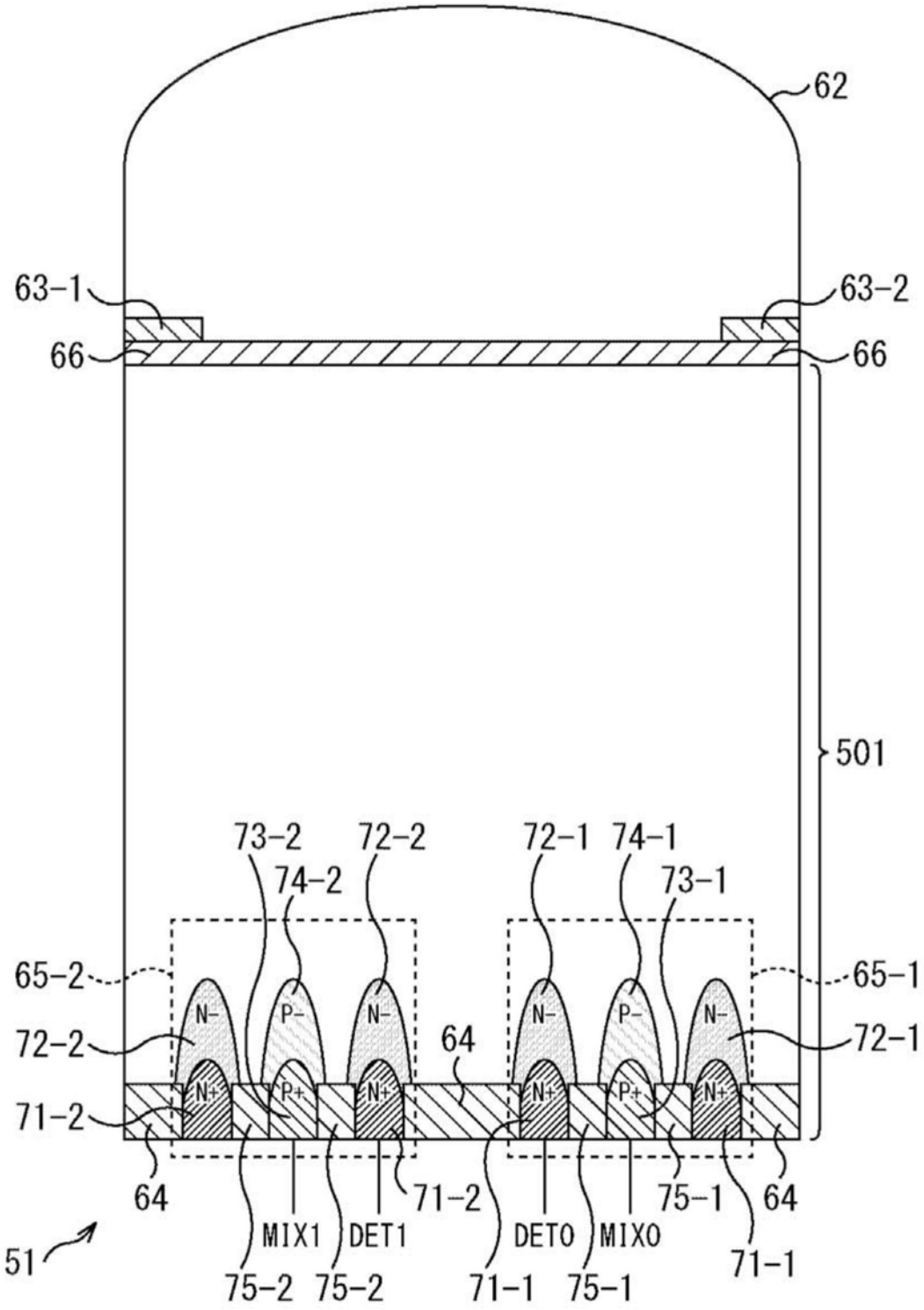

62
63-1
63-2
66
66
501
73-2
72-2
74-2
72-1
74-1
73-1
65-2
65-1
72-2
72-1
64
71-2
N-
P-
N-
N-
P-
N-
N+
P+
N+
N+
P+
N+
64
71-2
75-1
64
51
MIX1
DET1
DET0
MIX0
75-2
75-2
71-1
75-1
71-1

图24

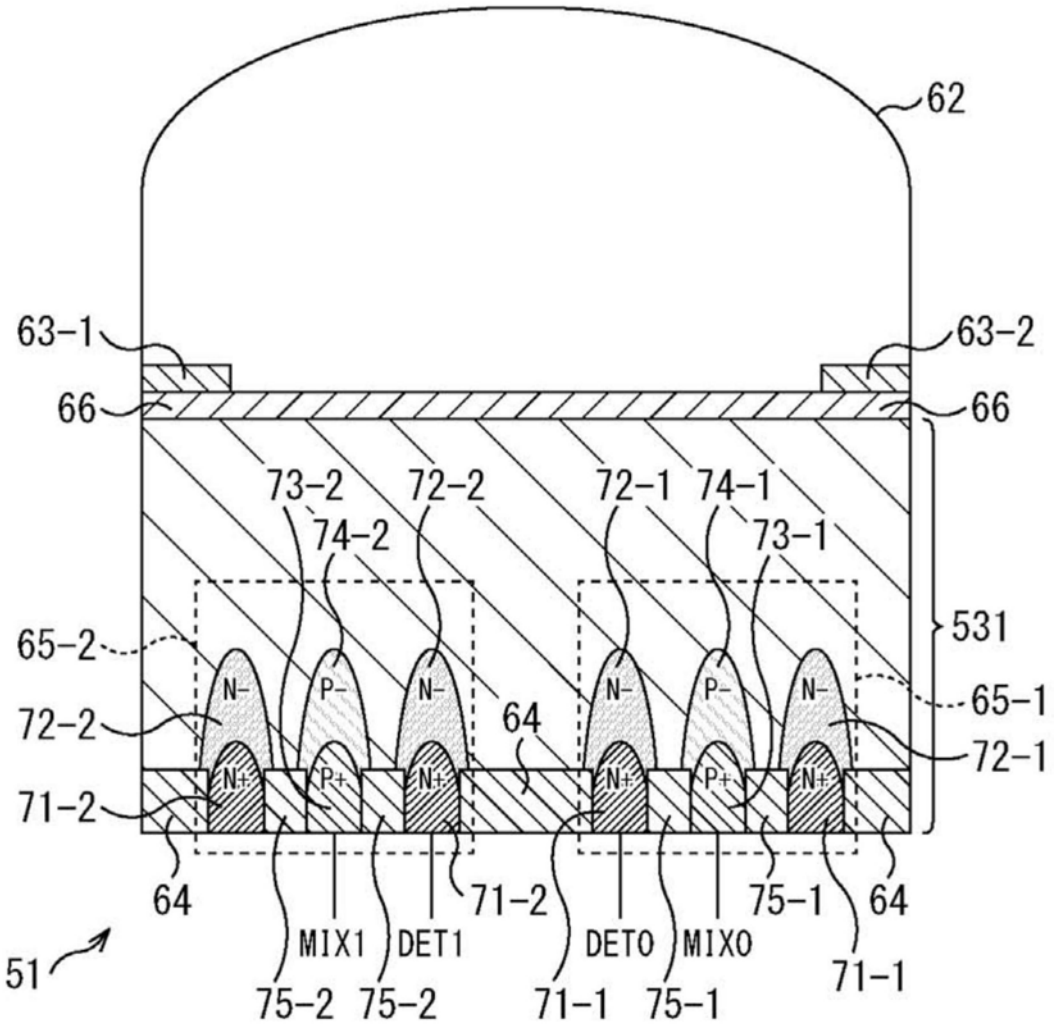

62
63-1
63-2
66
66
73-2
72-2
72-1
74-1
74-2
73-1
531
65-2
65-1
72-2
72-1
64
71-2
64
71-2
75-1
64
MIX1
DET1
DET0
MIX0
51
75-2
75-2
71-1
75-1
71-1
N-
P-
N+
P+

图25

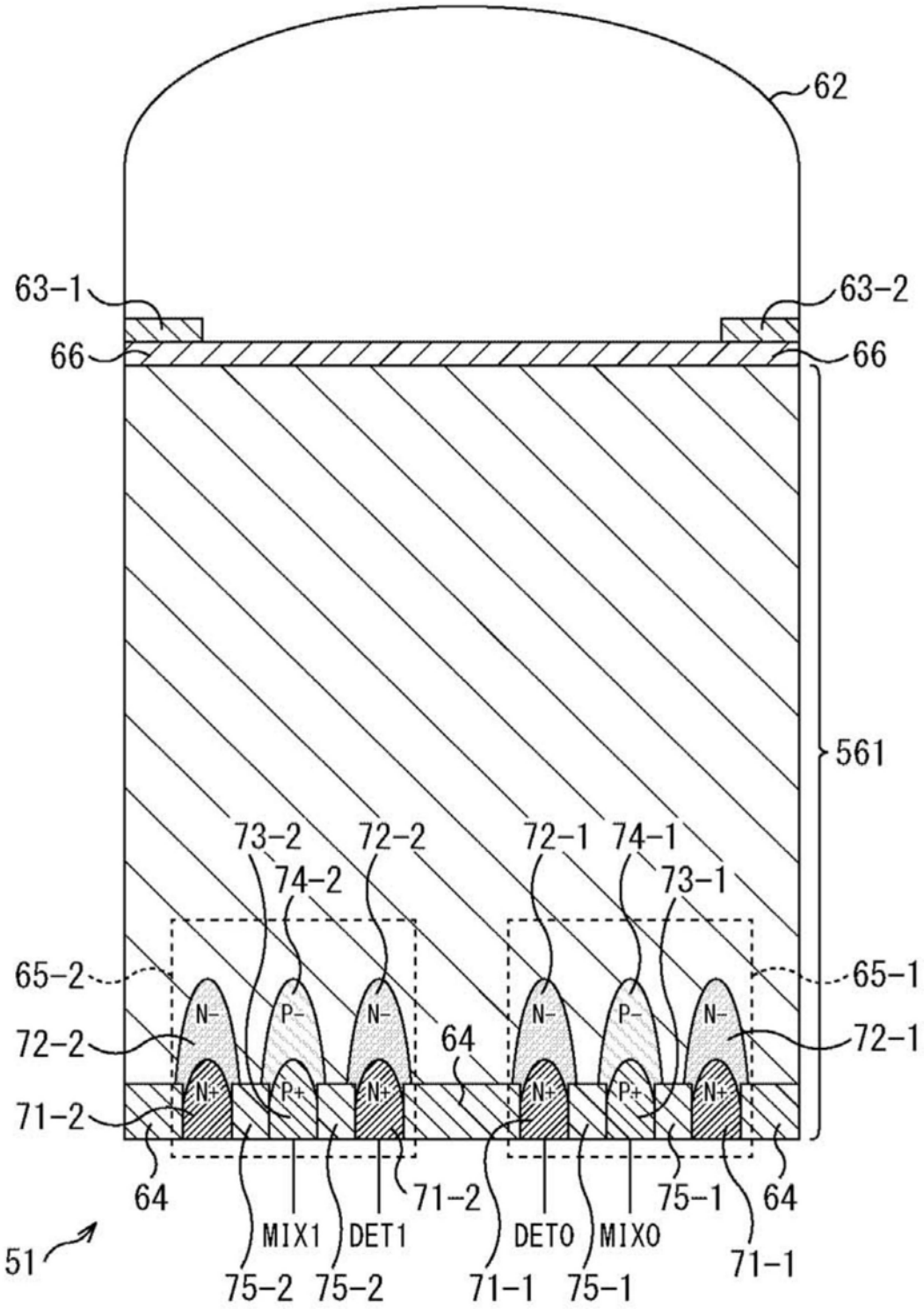

62
63-1
63-2
66
66
561
73-2
72-2
72-1
74-1
74-2
73-1
65-2
65-1
N-
P-
N-
N-
P-
N-
72-2
64
72-1
N+
P+
N+
N+
P+
N+
71-2
64
71-2
75-1
64
MIX1
DET1
DET0
MIX0
51
75-2
75-2
71-1
75-1
71-1

图26

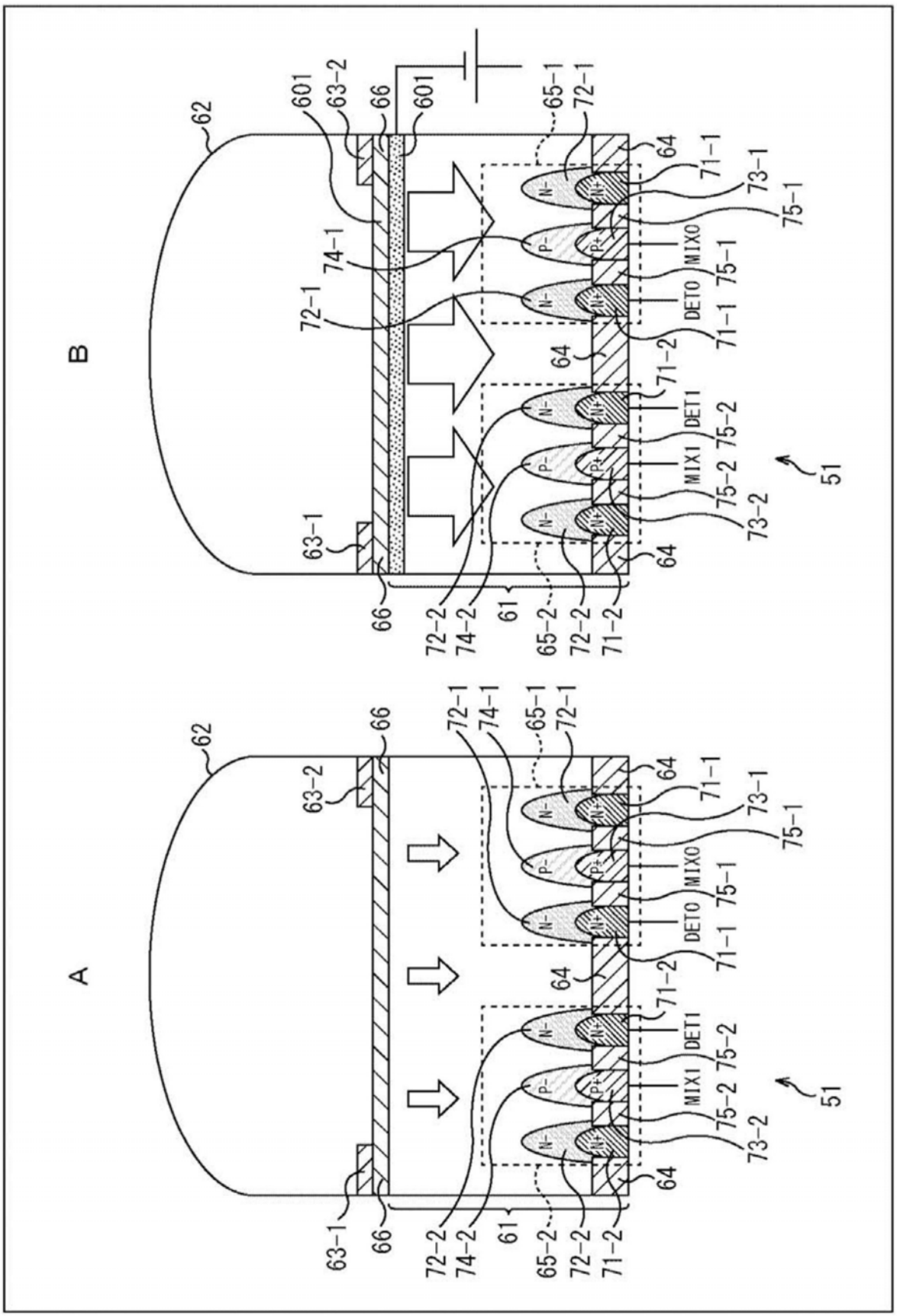

A
B
62
601
63-2
66
65-1
72-1
74-1
64
71-1
73-1
75-1
N-
N+
P-
P+
MIXO
DETO
71-2
DET1
MIXI
75-2
73-2
51
63-1
72-2
74-2
61
65-2

图27

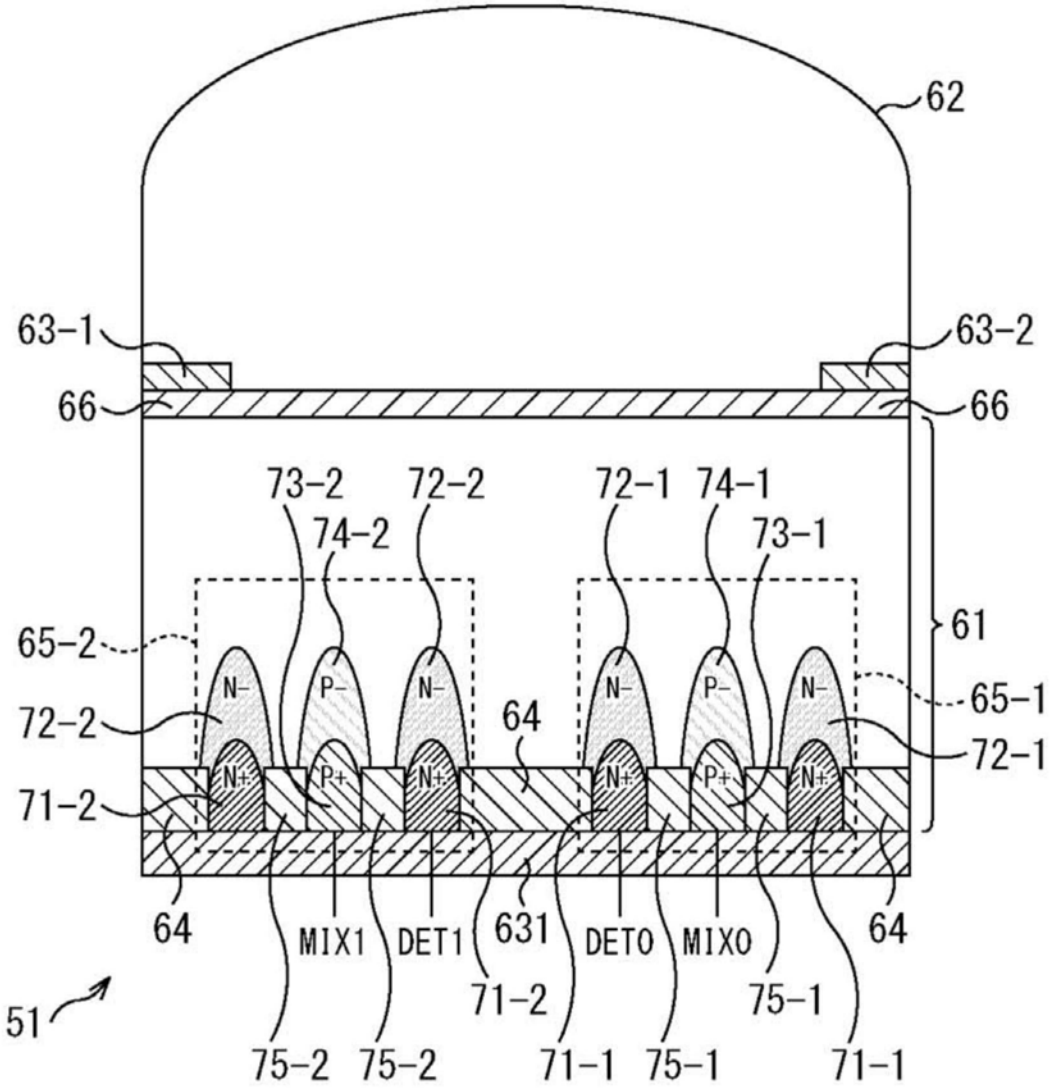

62
63-1
63-2
66
66
73-2
72-2
72-1
74-1
74-2
73-1
61
65-2
65-1
72-2
72-1
64
71-2
N-
P-
N-
N-
P-
N-
N+
P+
N+
N+
P+
N+
64
64
MIX1
DET1
631
DET0
MIX0
71-2
75-1
51
75-2
75-2
71-1
75-1
71-1

图28

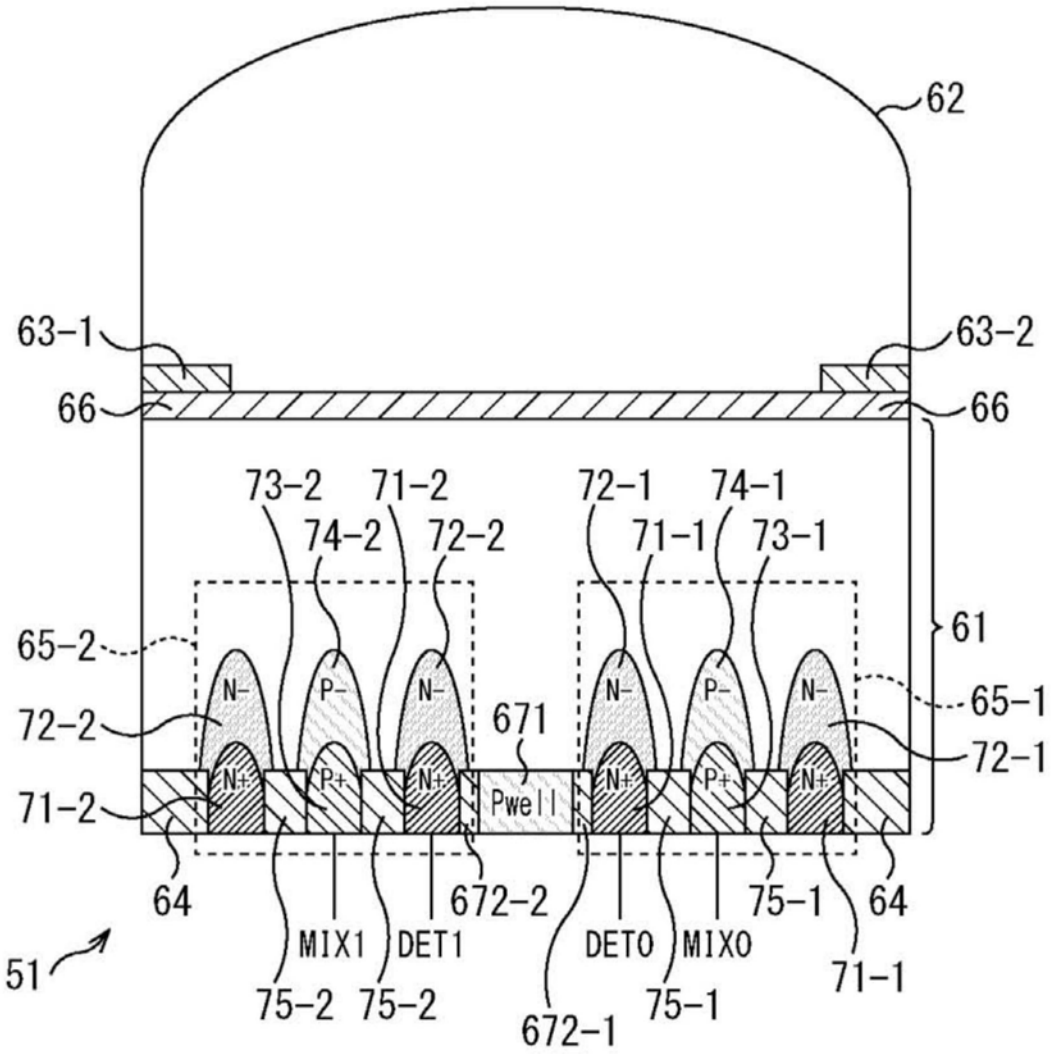

62
63-1
63-2
66
66
73-2
71-2
72-1
74-1
74-2
72-2
71-1
73-1
61
65-2
65-1
72-2
72-1
671
71-2
64
672-2
75-1
64
MIX1
DET1
DET0
MIX0
51
75-2
75-2
672-1
75-1
71-1
N-
P-
N+
P+
Pwell

图29

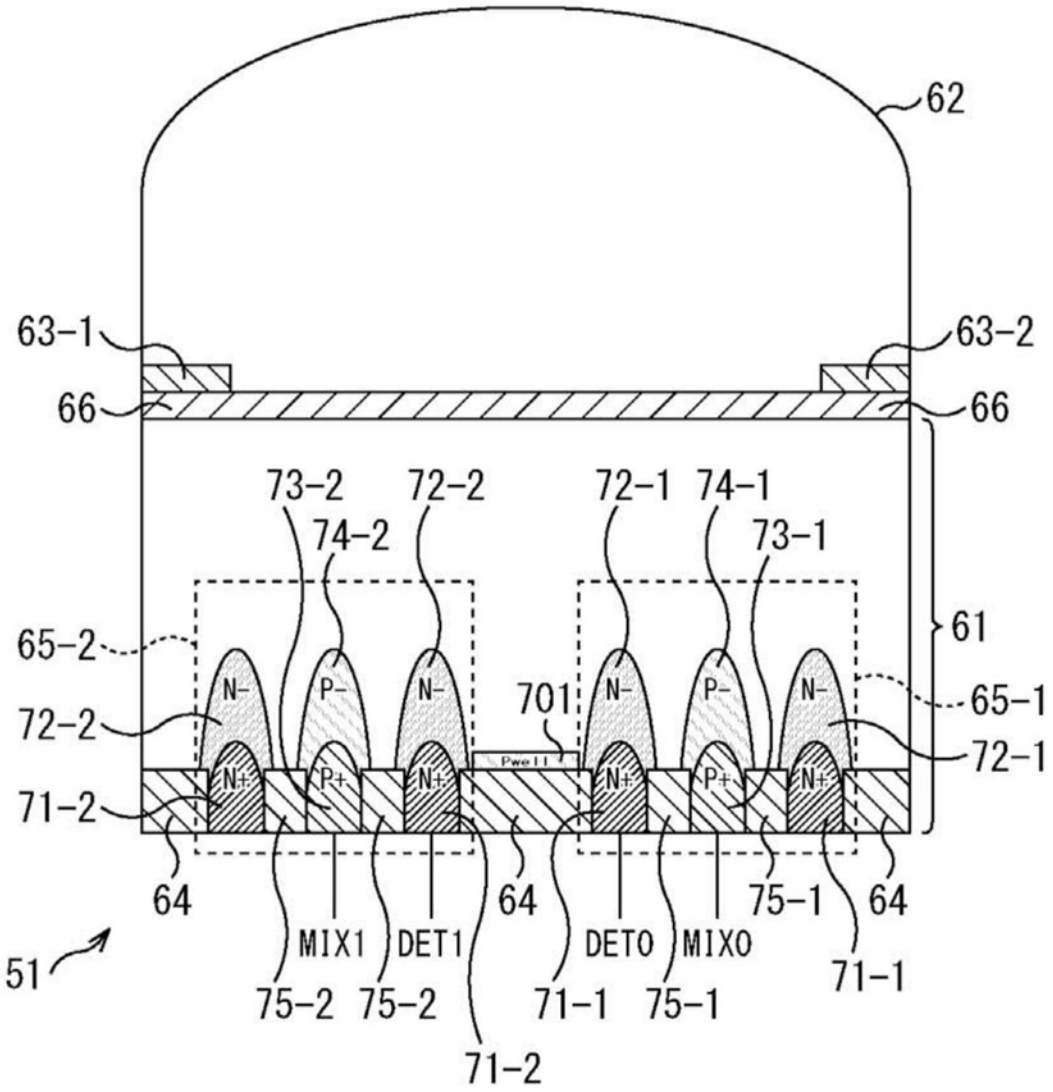

62
63-1
63-2
66
66
73-2
72-2
72-1
74-1
74-2
73-1
61
65-2
65-1
72-2
72-1
701
71-2
64
64
75-1
64
MIX1
DET1
DET0
MIX0
51
75-2
75-2
71-1
75-1
71-1
71-2

图30

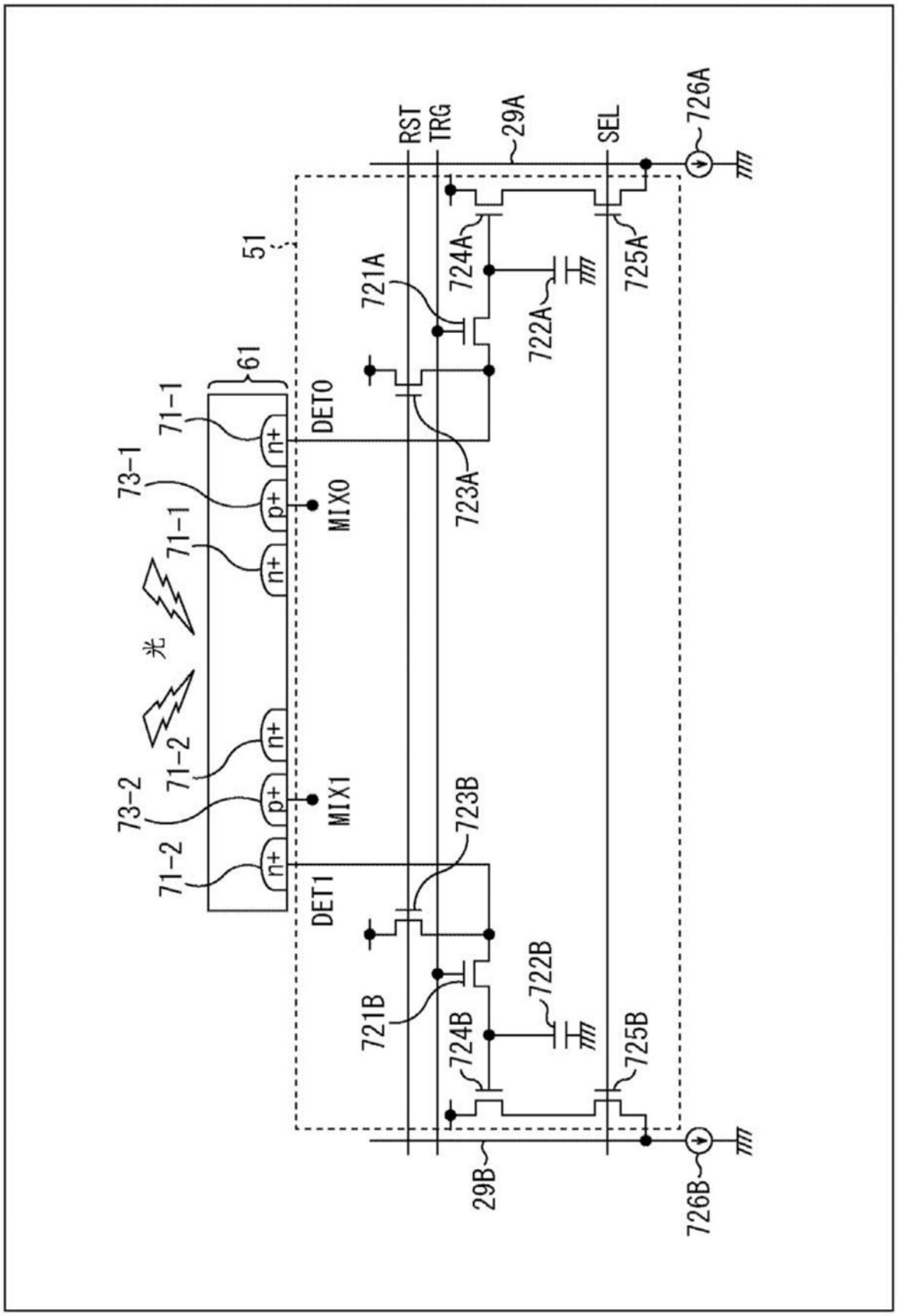

RST
TRG
29A
SEL
726A
51
721A
724A
722A
725A
61
71-1
73-1
71-1
DET0
MIX0
723A
光
71-2
73-2
71-2
MIX1
723B
DET1
721B
722B
724B
725B
29B
726B

图31

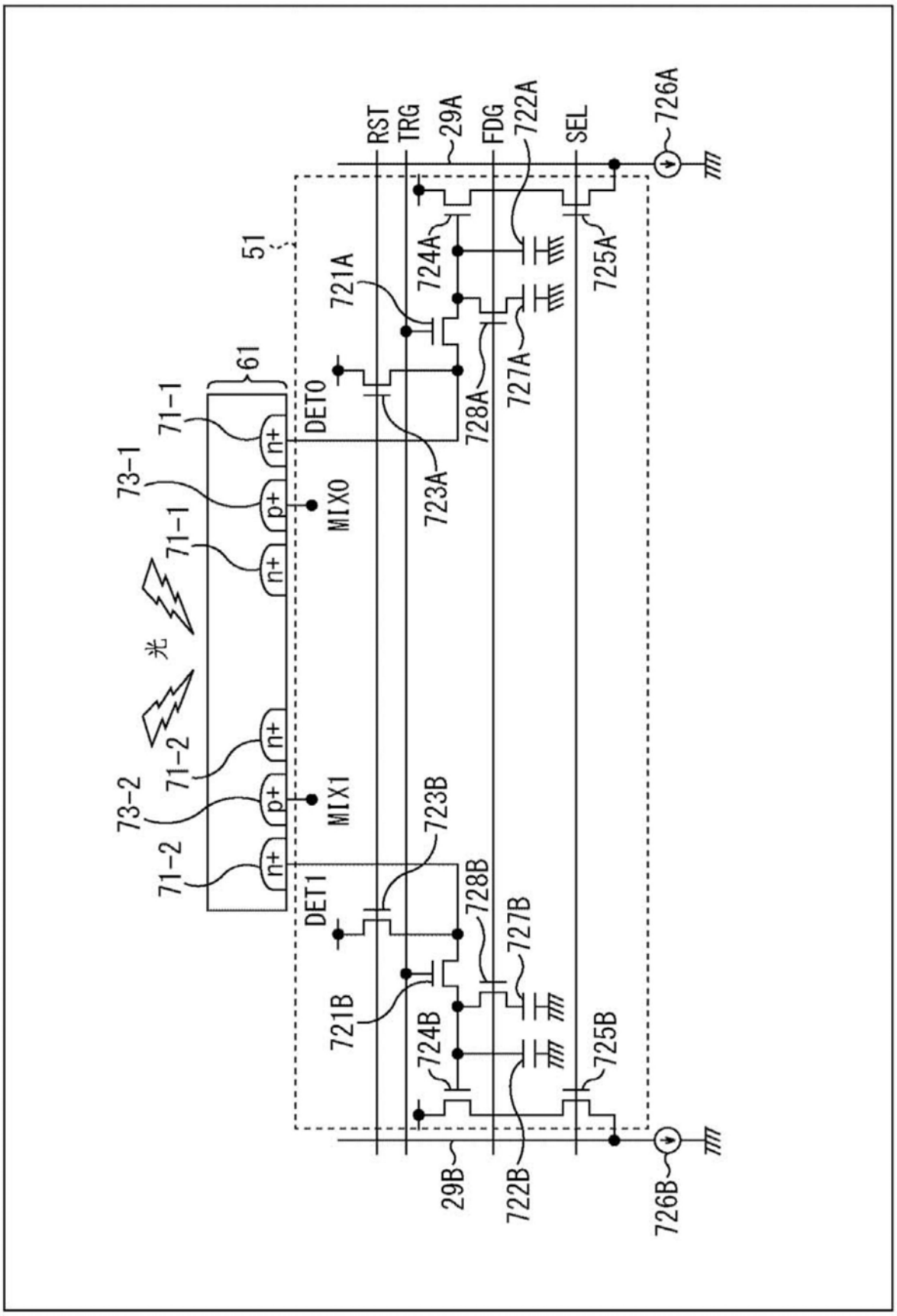

RST
TRG
29A
FDG
722A
SEL
726A
51
721A
724A
725A
61
DET0
727A
728A
71-1
73-1
MIX0
723A
光
71-2
73-2
MIX1
723B
DET1
728B
727B
721B
724B
725B
29B
722B
726B

图32

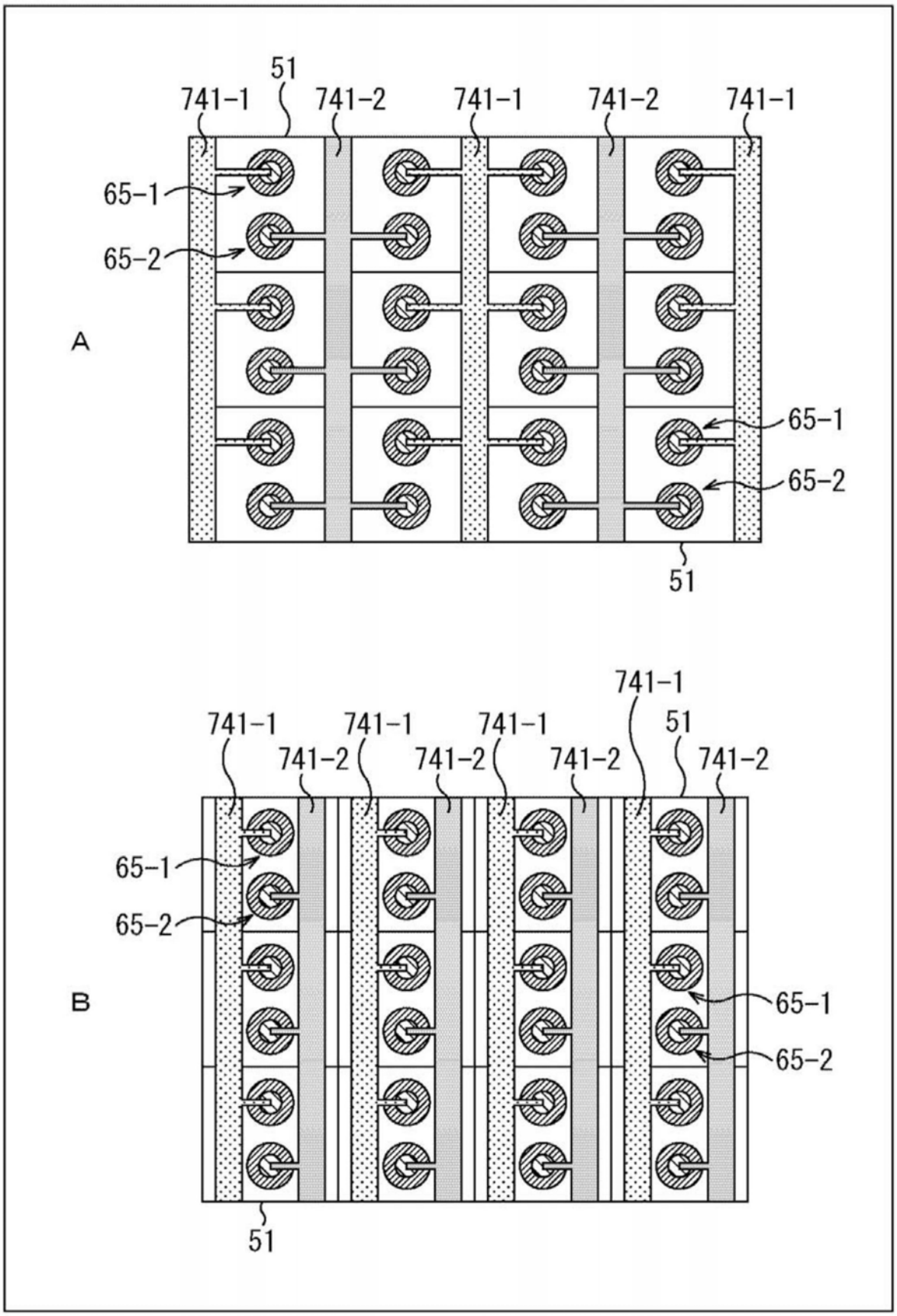

51
741-1
741-2
741-1
741-2
741-1
65-1
65-2
A
65-1
65-2
51
741-1
741-1
741-1
741-1
51
741-2
741-2
741-2
741-2
65-1
65-2
B
65-1
65-2
51

图33

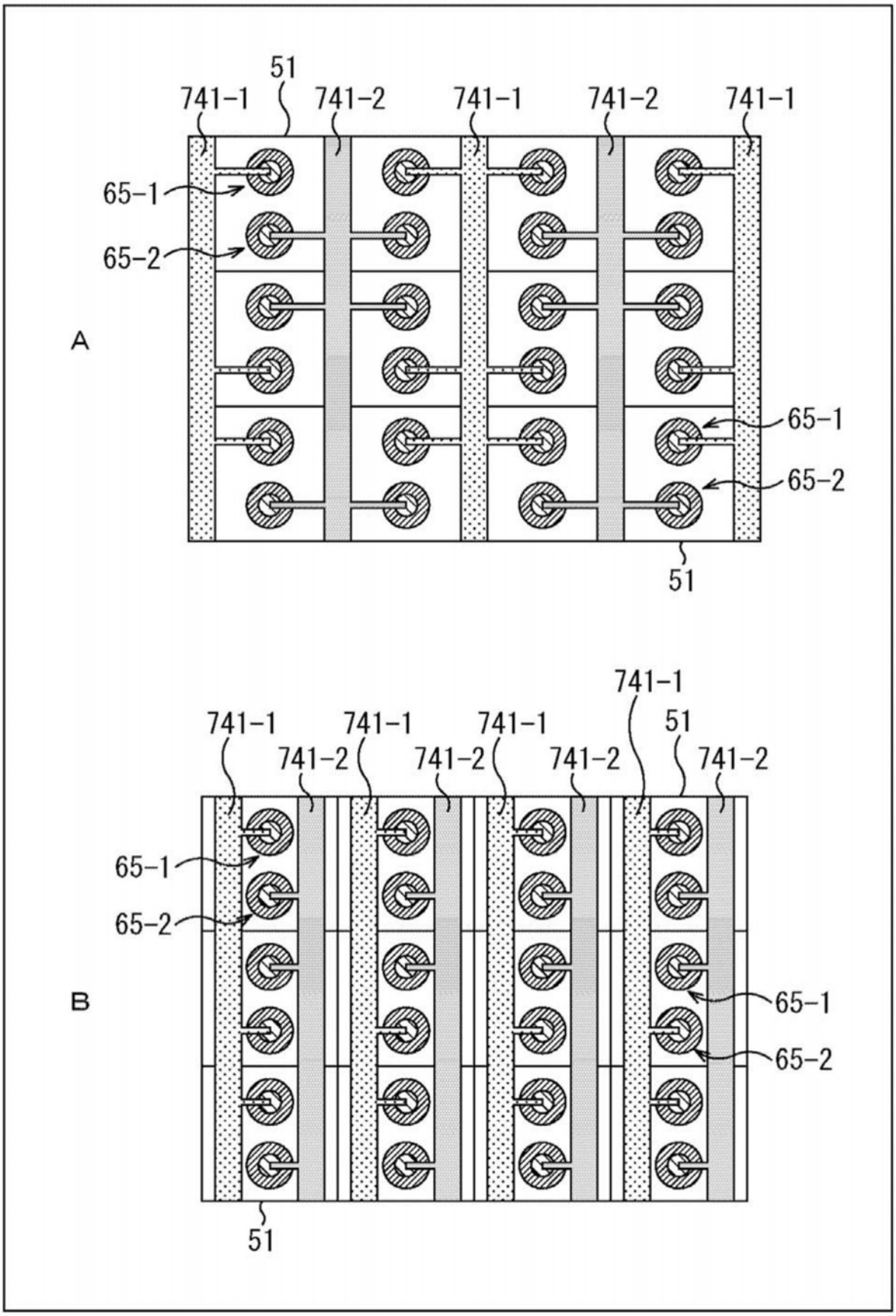

51
741-1
741-2
741-1
741-2
741-1
65-1
65-2
A
65-1
65-2
51
741-1
741-1
741-1
741-1
51
741-2
741-2
741-2
741-2
65-1
65-2
B
65-1
65-2
51

图34

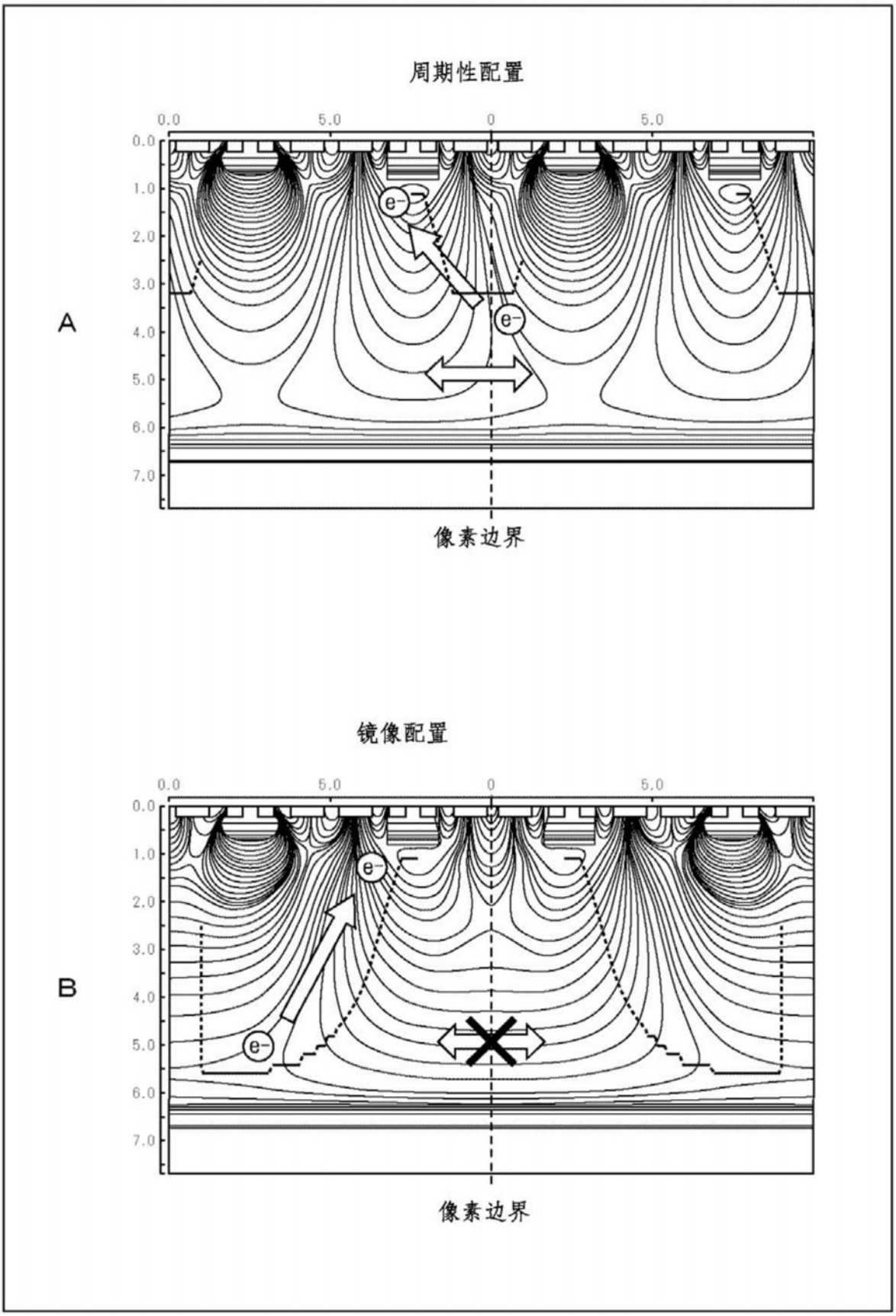

周期性配置
0.0
5.0
0
5.0
0.0
1.0
2.0
3.0
4.0
5.0
6.0
7.0
e⁻
e⁻
A
像素边界
镜像配置
0.0
5.0
0
5.0
0.0
1.0
2.0
3.0
4.0
5.0
6.0
7.0
e⁻
e⁻
B
像素边界

图35

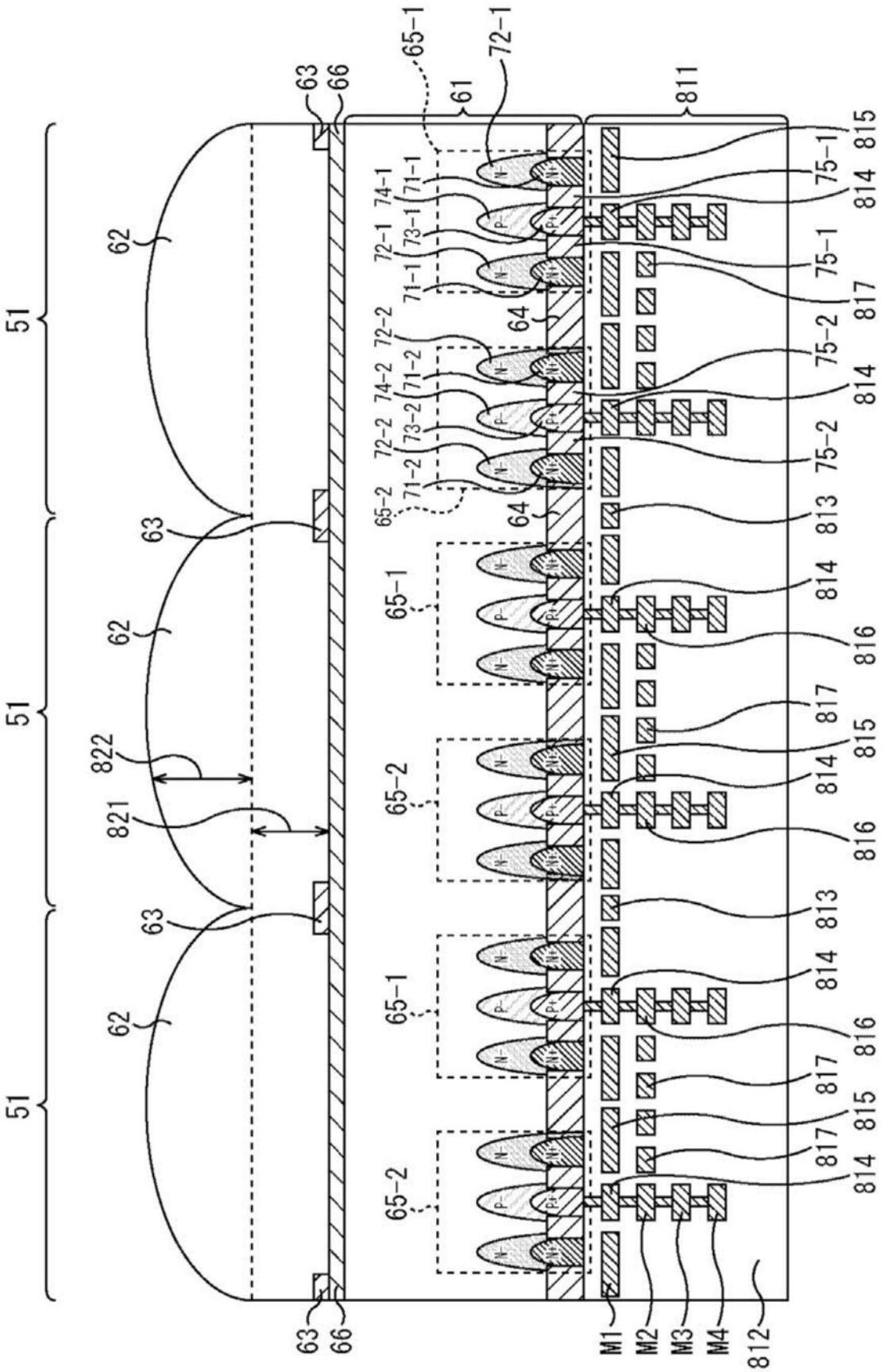

51
62
63
66
61
811
65-1
72-1
71-1
74-1
73-1
72-1
71-1
75-1
814
815
817
64
72-2
71-2
74-2
73-2
72-2
71-2
65-2
75-2
813
816
822
821
N-
N+
P-
P+
M1
M2
M3
M4
812

图36

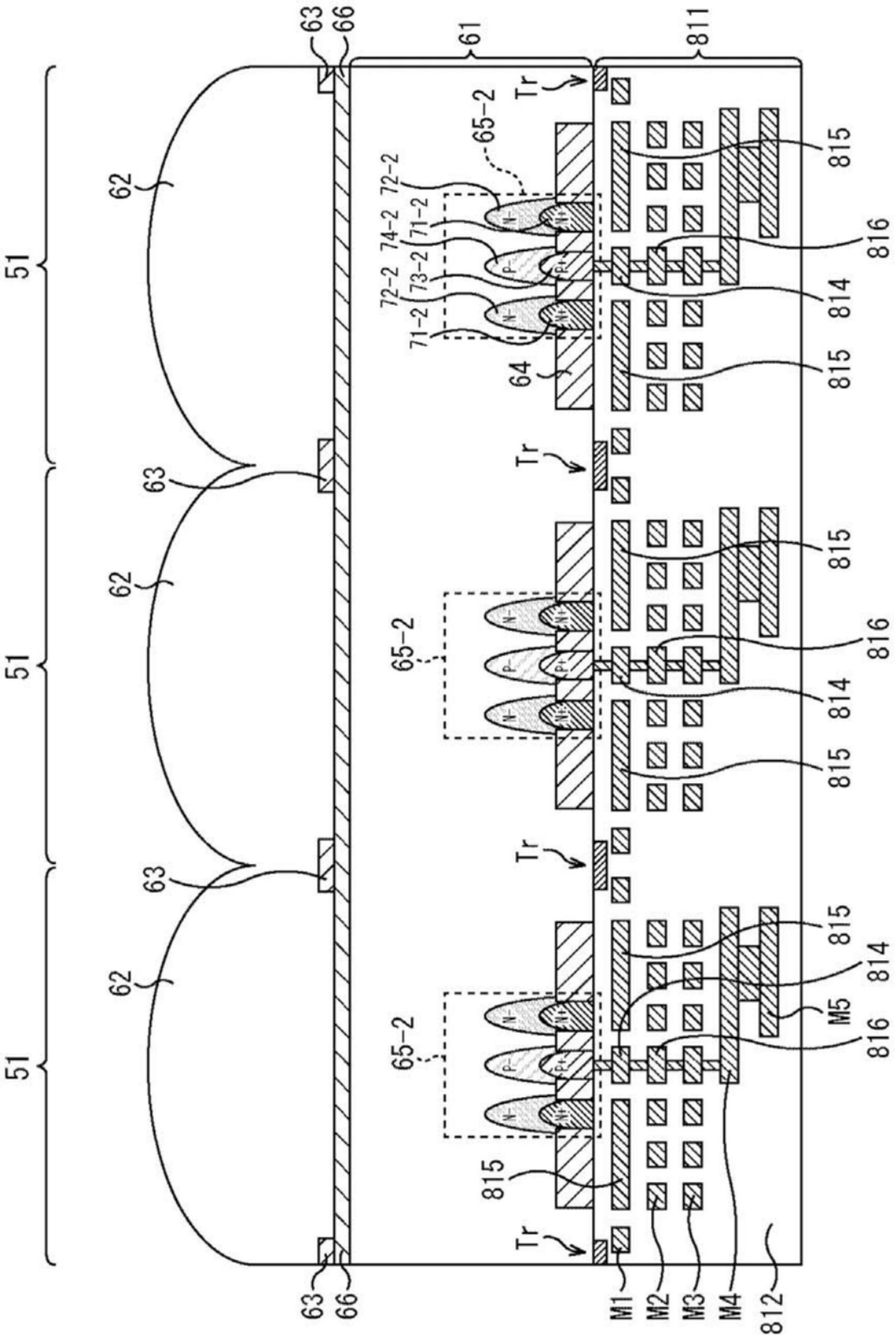

63
66
61
811
51
62
63
62
63
62
63
66
Tr
65-2
72-2
74-2
71-2
73-2
64
815
816
814
M1
M2
M3
M4
M5
812

图37

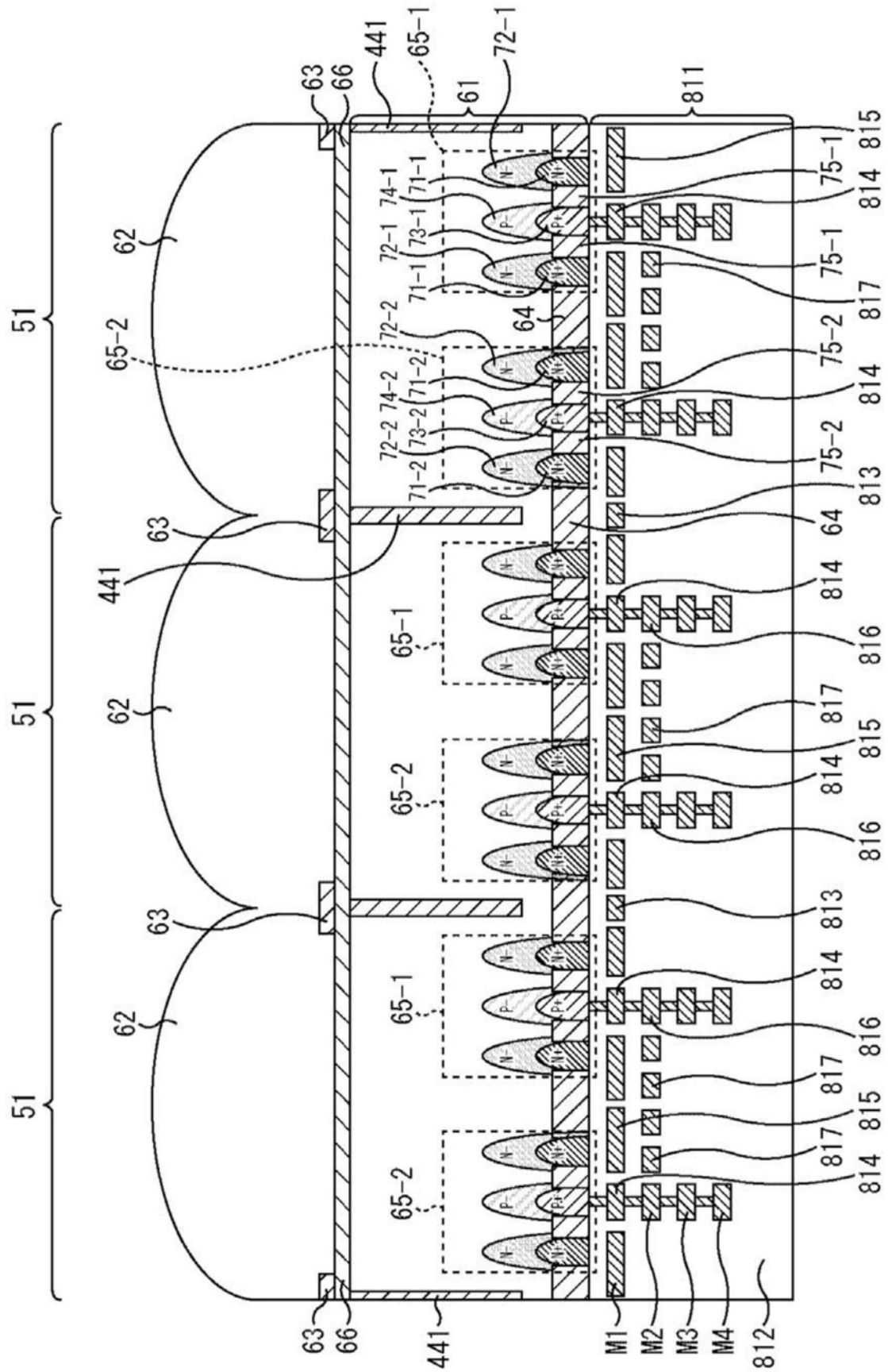

51
62
65-2
63
441
65-1
72-1
61
811
64
74-1
71-1
73-1
72-1
71-1
72-2
71-2
74-2
73-2
72-2
71-2
75-1
75-2
814
815
816
817
813
N-
N+
P-
P+
63
66
441
M1
M2
M3
M4
812

图38

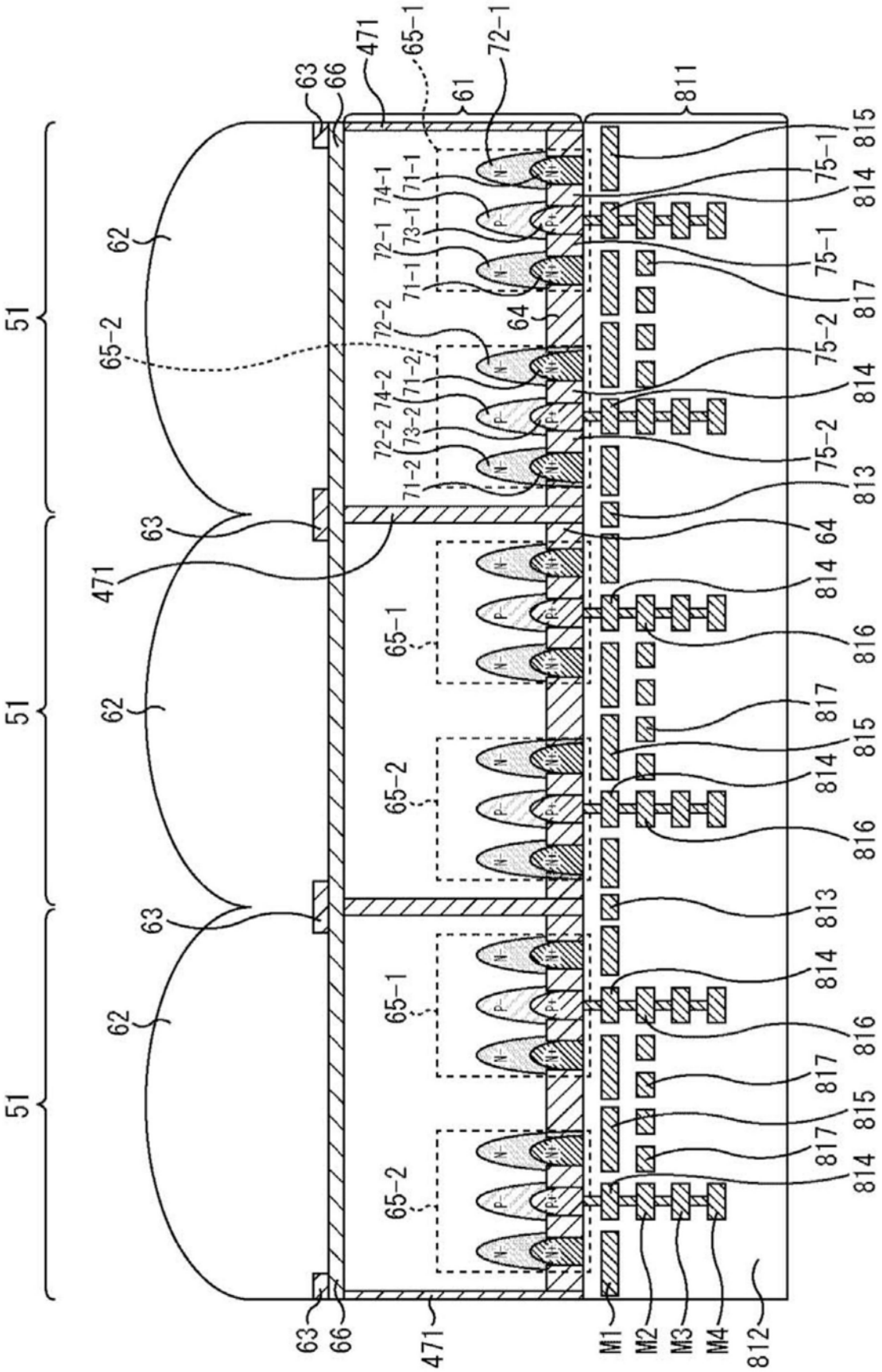

51
62
63
66
471
65-1
72-1
61
811
815
75-1
814
74-1
71-1
73-1
72-1
817
64
65-2
72-2
71-2
75-2
74-2
73-2
813
816
M1
M2
M3
M4
812
N-
N+
P-
P+

图39

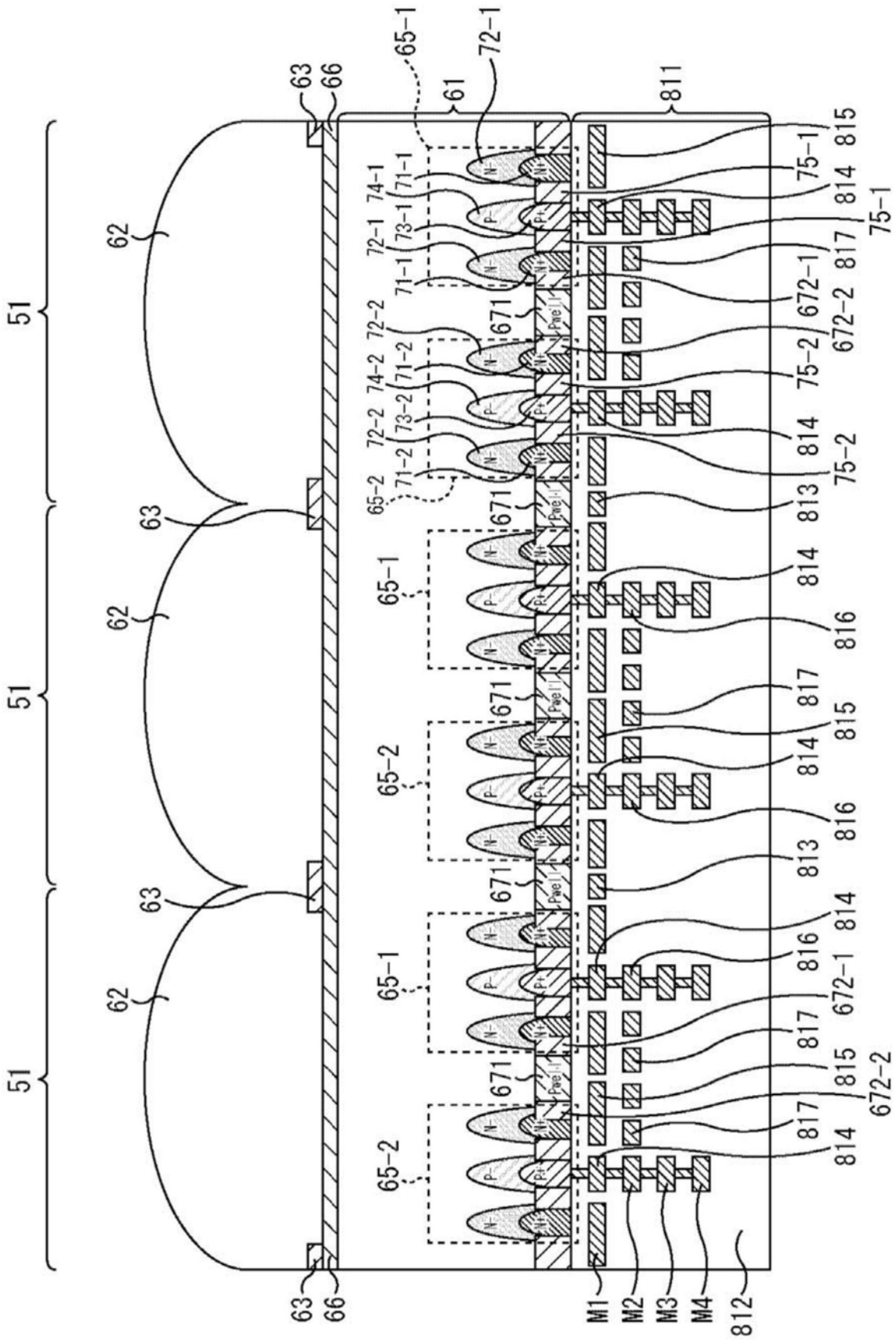

51
62
63
66
61
811
65-1
72-1
71-1
74-1
73-1
72-2
71-2
74-2
73-2
65-2
671
672-1
672-2
75-1
75-2
813
814
815
816
817
M1
M2
M3
M4
812

图40

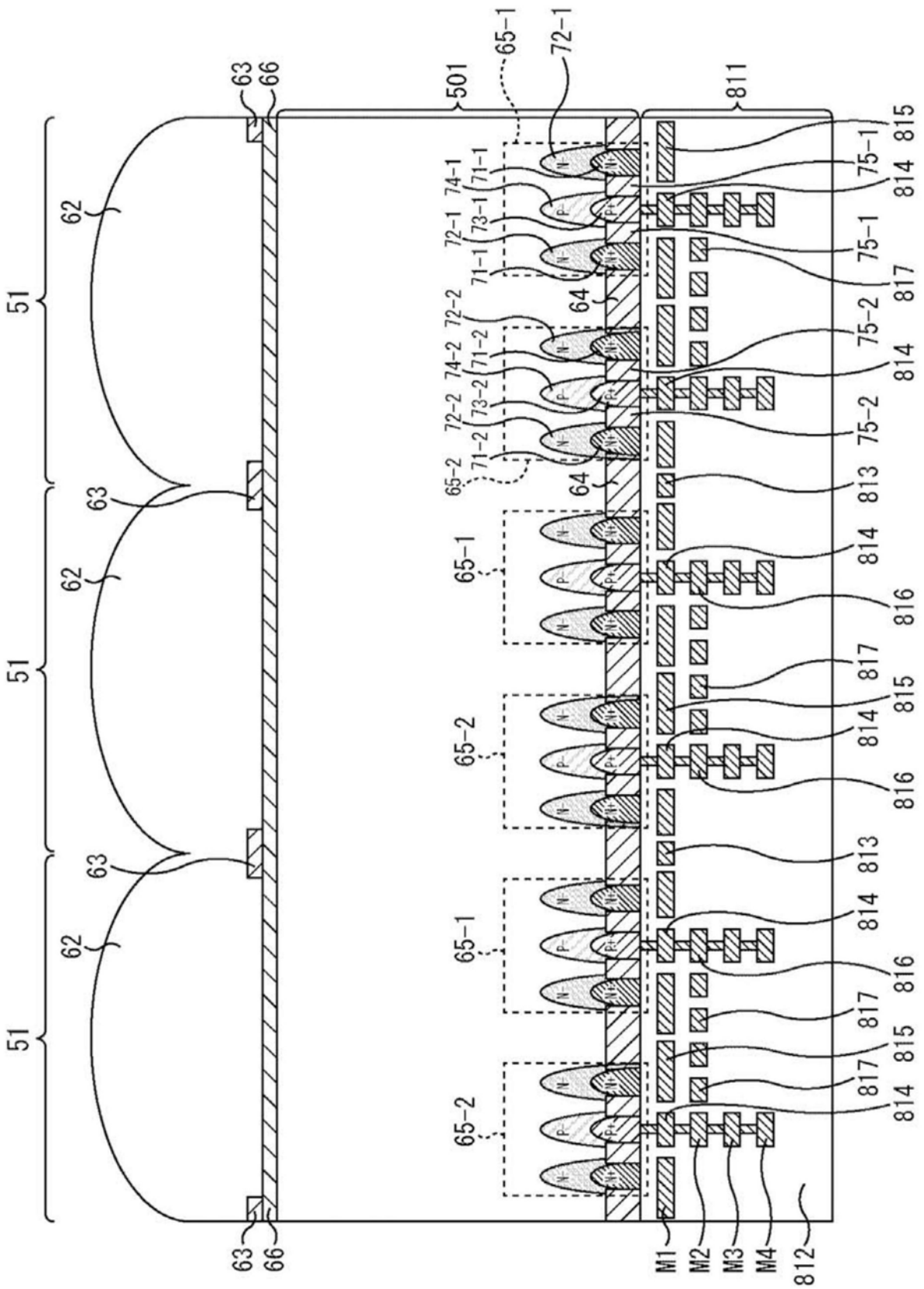

63
66
501
65-1
72-1
811
62
51
74-1
71-1
73-1
72-1
64
72-2
71-2
74-2
73-2
65-2
N-
N+
P-
P+
75-1
75-2
814
815
817
813
816
812
M1
M2
M3
M4

图41

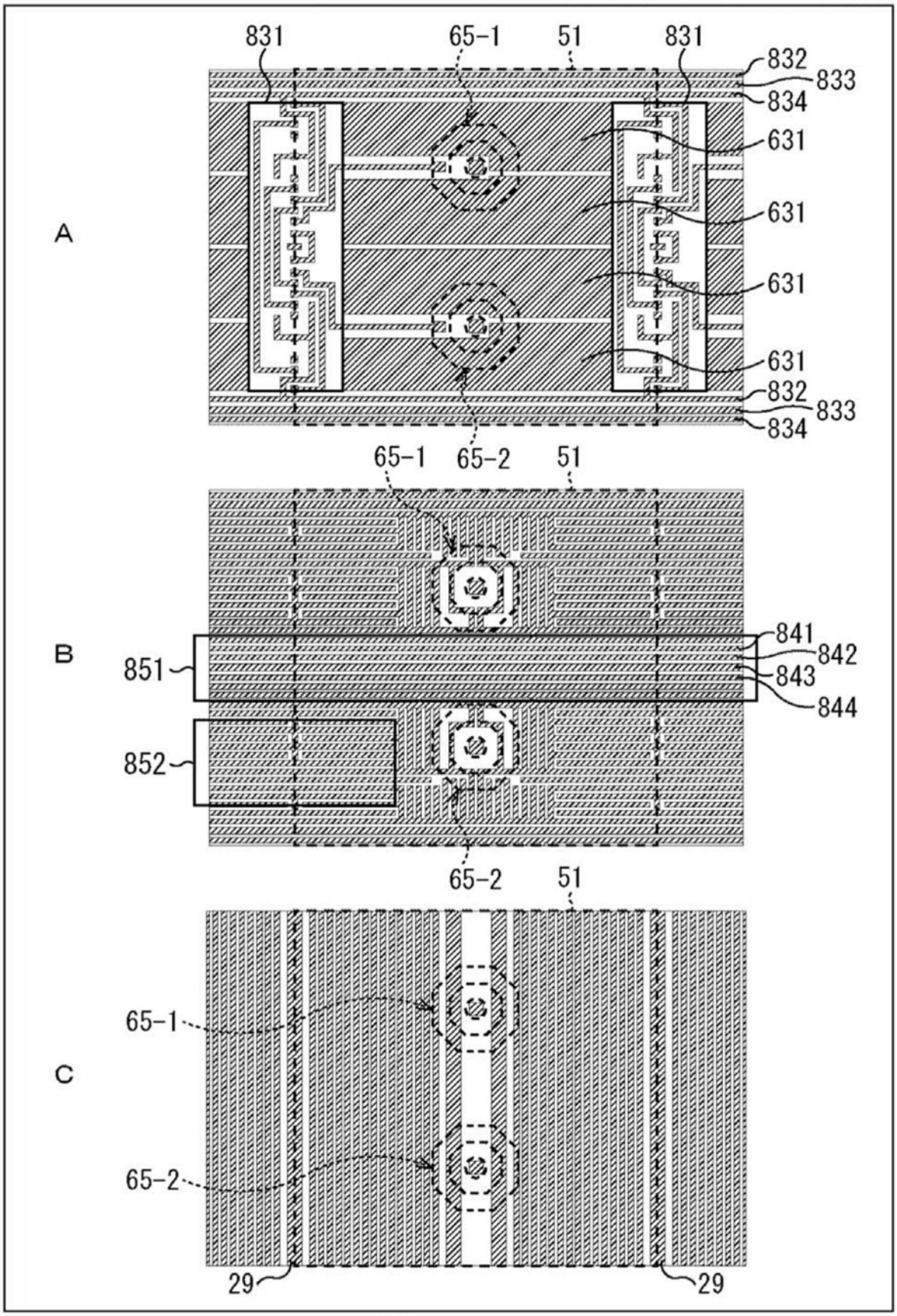

A
831
65-1
51
831
832
833
834
631
631
631
631
832
833
834
B
65-1
65-2
51
841
842
843
844
851
852
65-2
51
C
65-1
65-2
29
29

图42

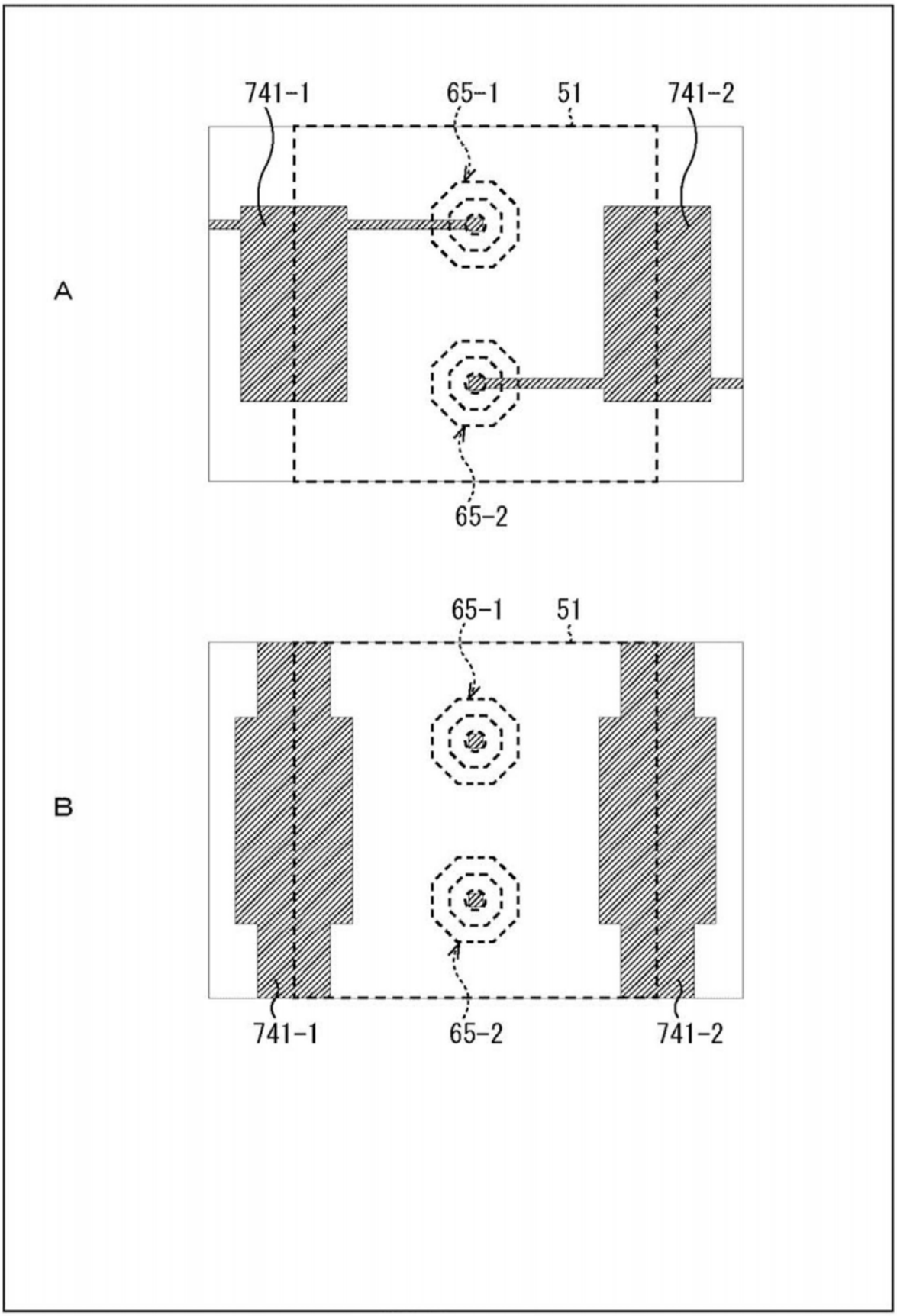


图43

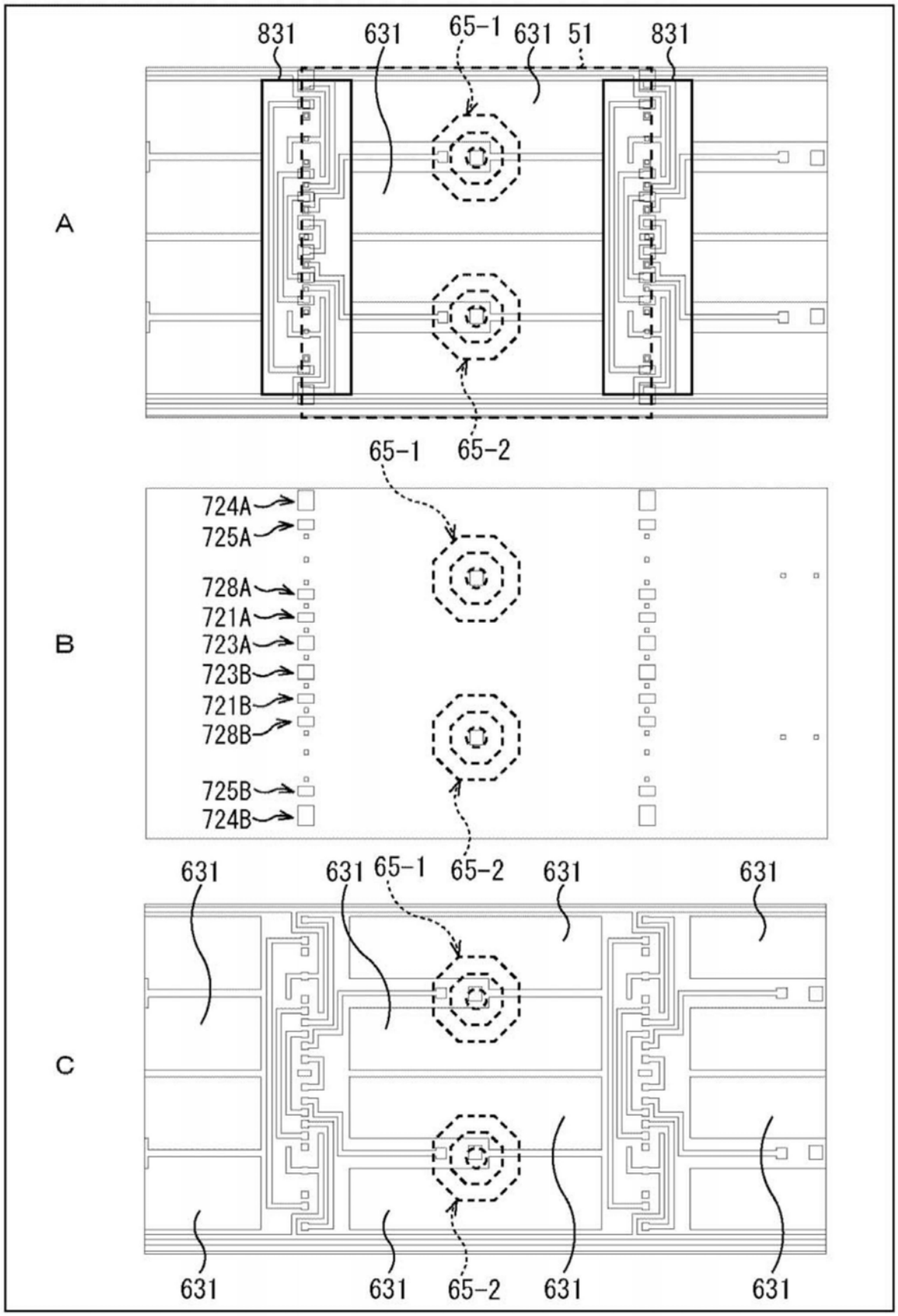

A
831
631
65-1
631
51
831
65-1
65-2
B
724A
725A
728A
721A
723A
723B
721B
728B
725B
724B
C
631
631
65-1
65-2
631
631
631
631
65-2
631
631

图44

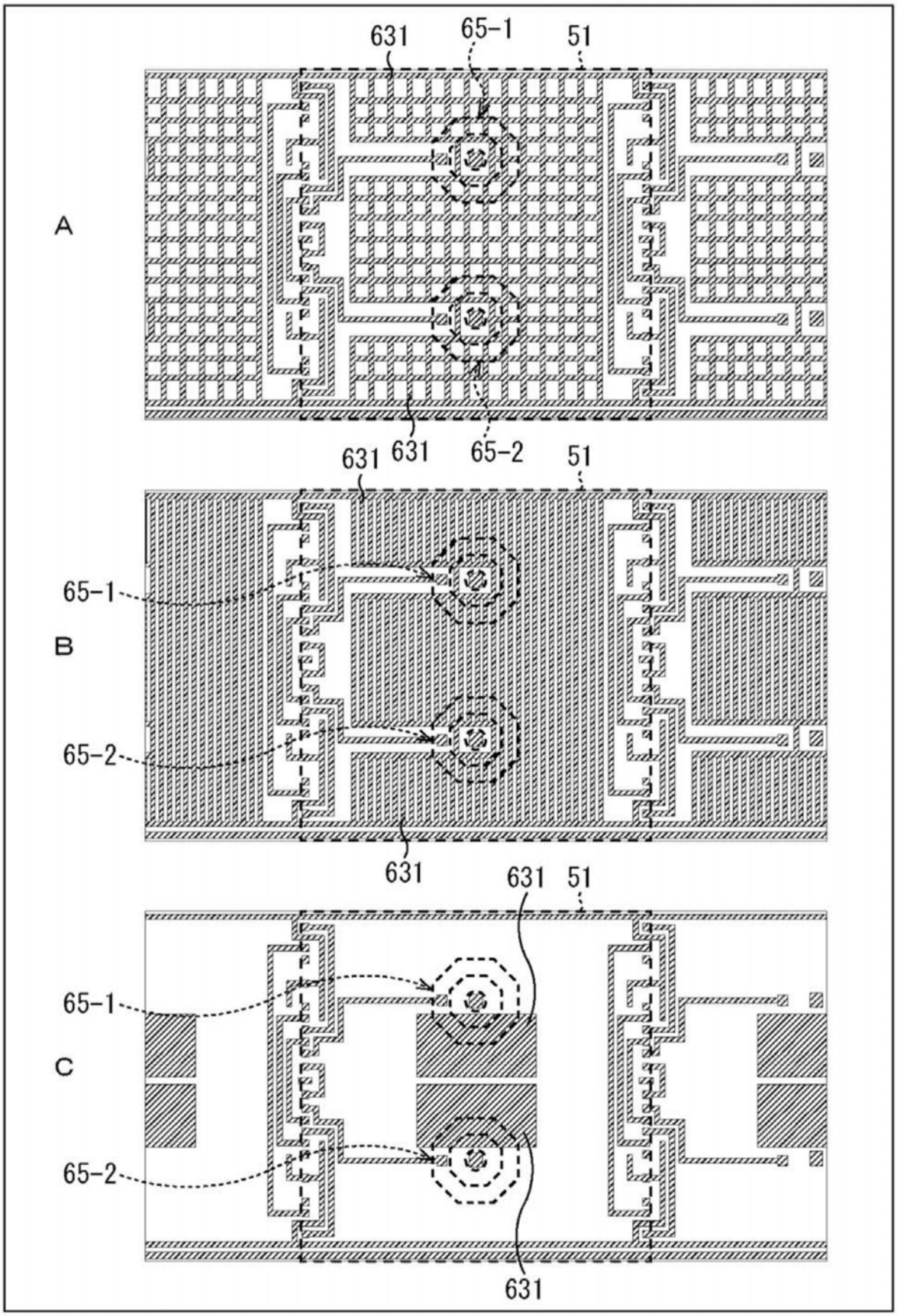


图45

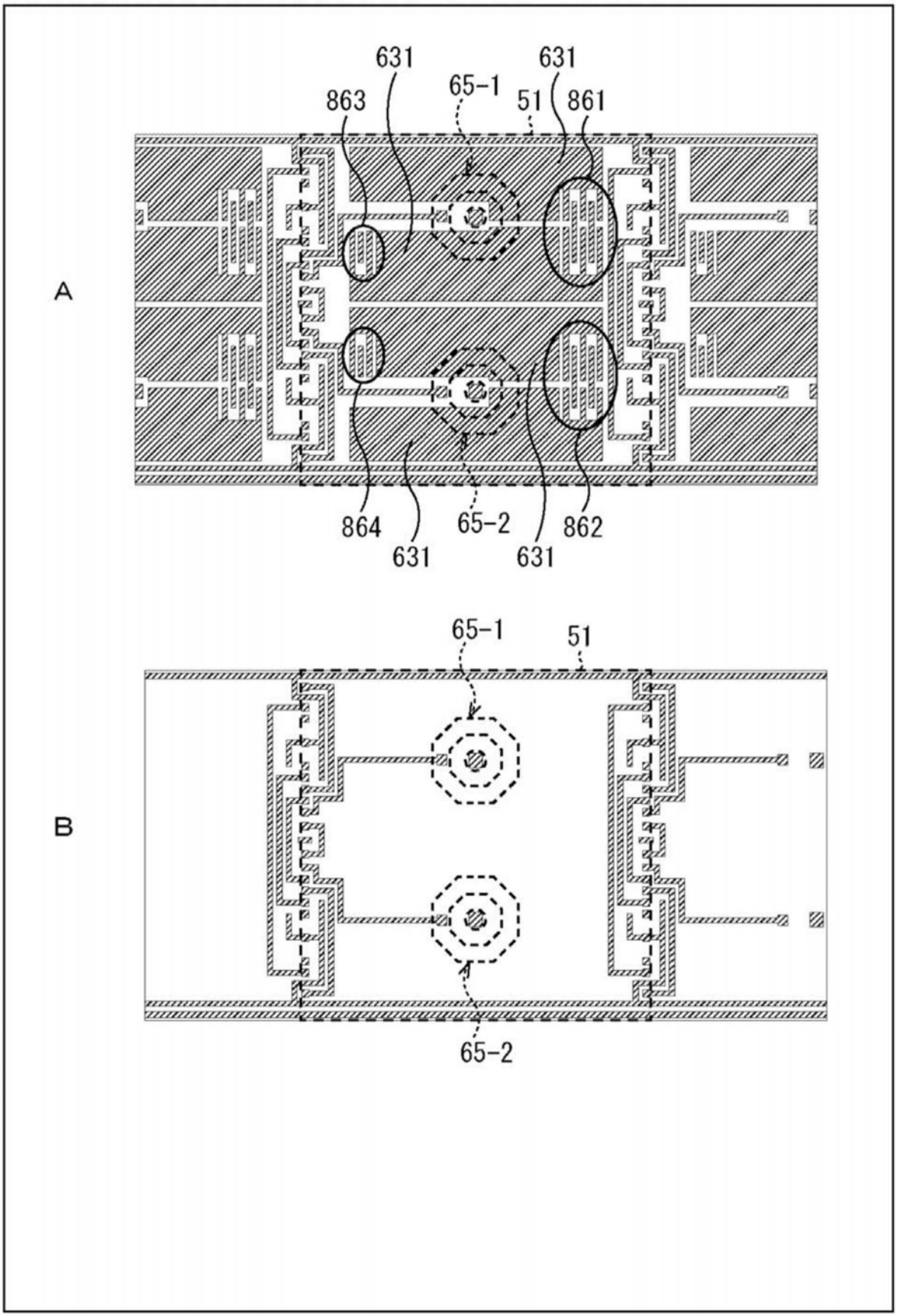


图46

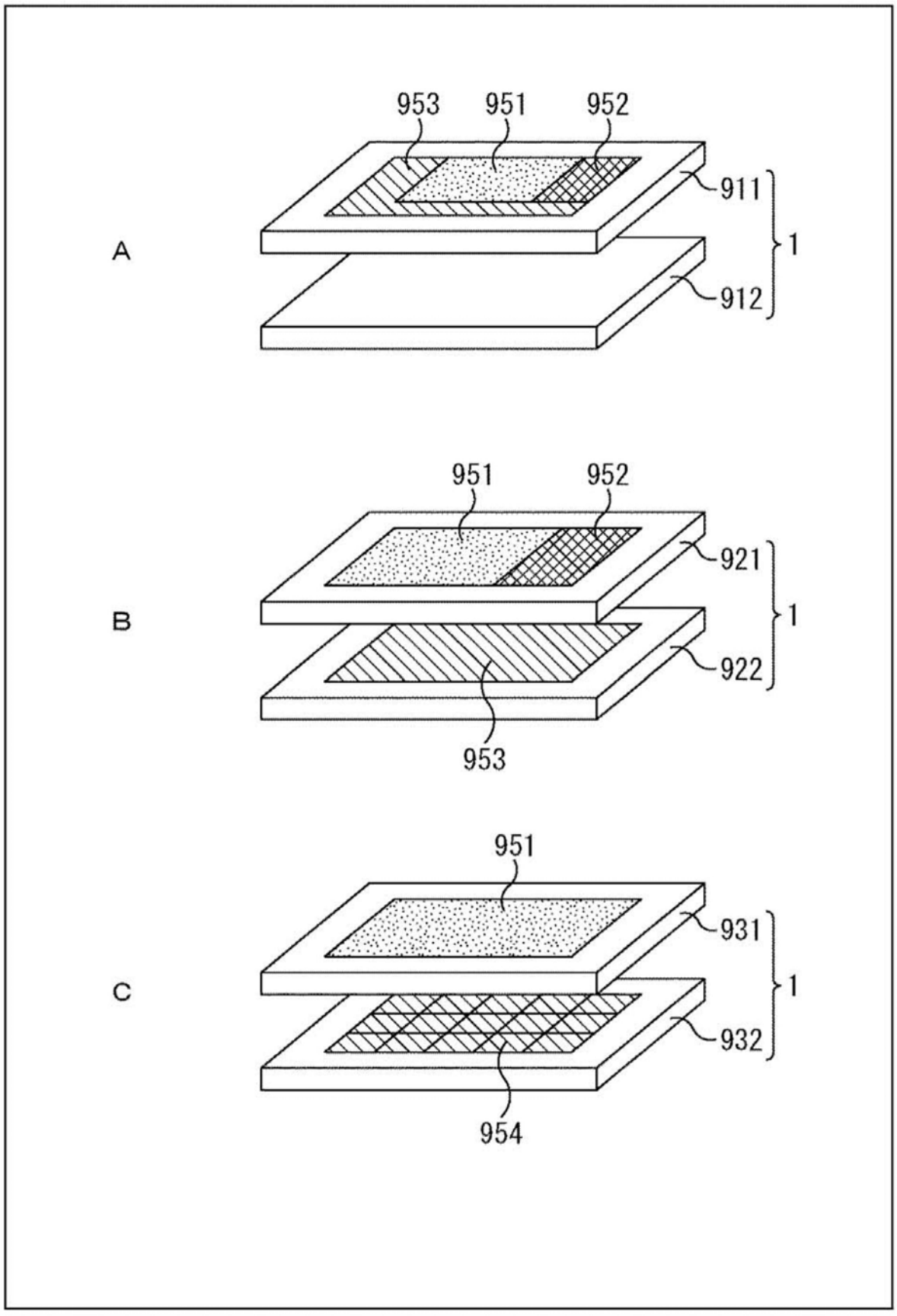


图47

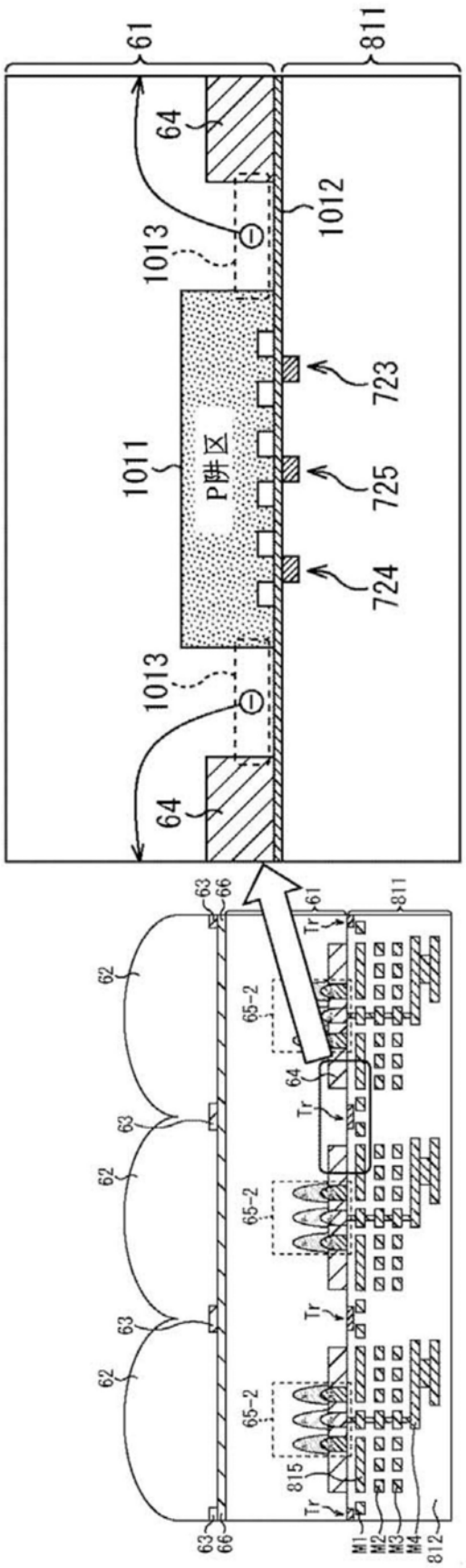

61
811
64
1012
1013
1011
P阱区
723
725
724
1013
64
63
66
62
65-2
Tr
815
M1
M2
M3
M4
812

图48

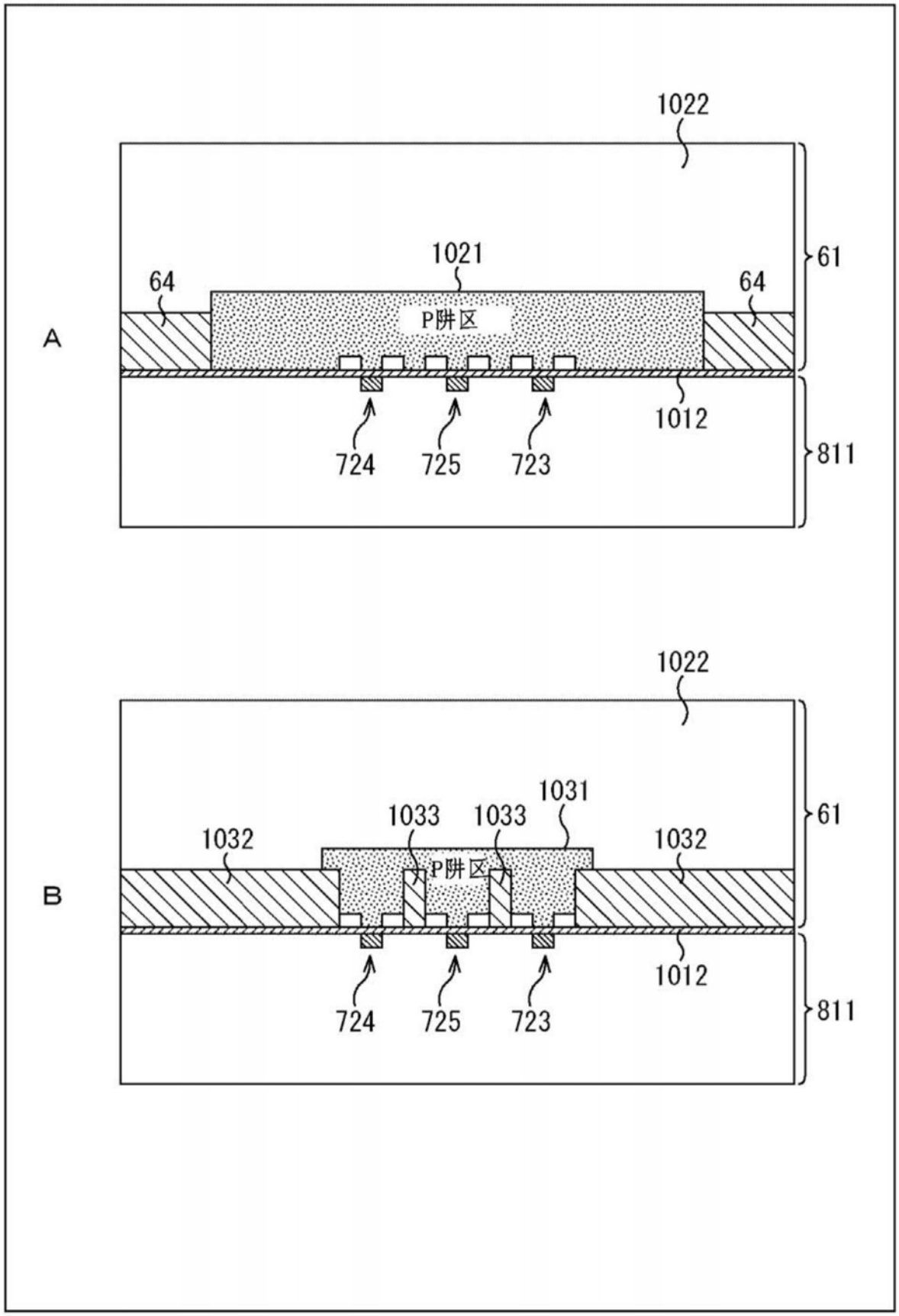

A
1022
1021
64
64
P阱区
61
1012
724
725
723
811
B
1022
1031
1033
1033
1032
1032
P阱区
61
1012
724
725
723
811

图49

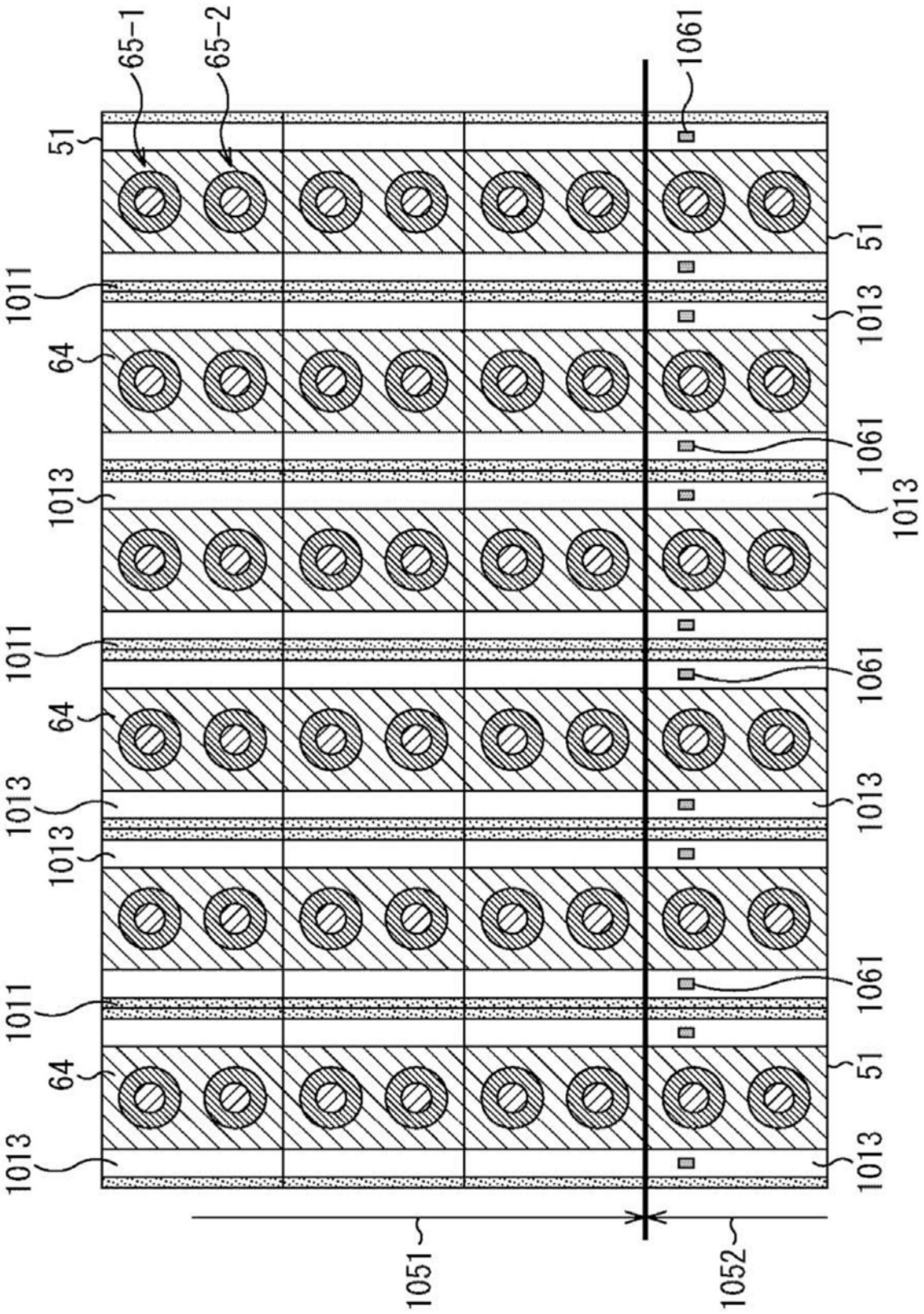


图50

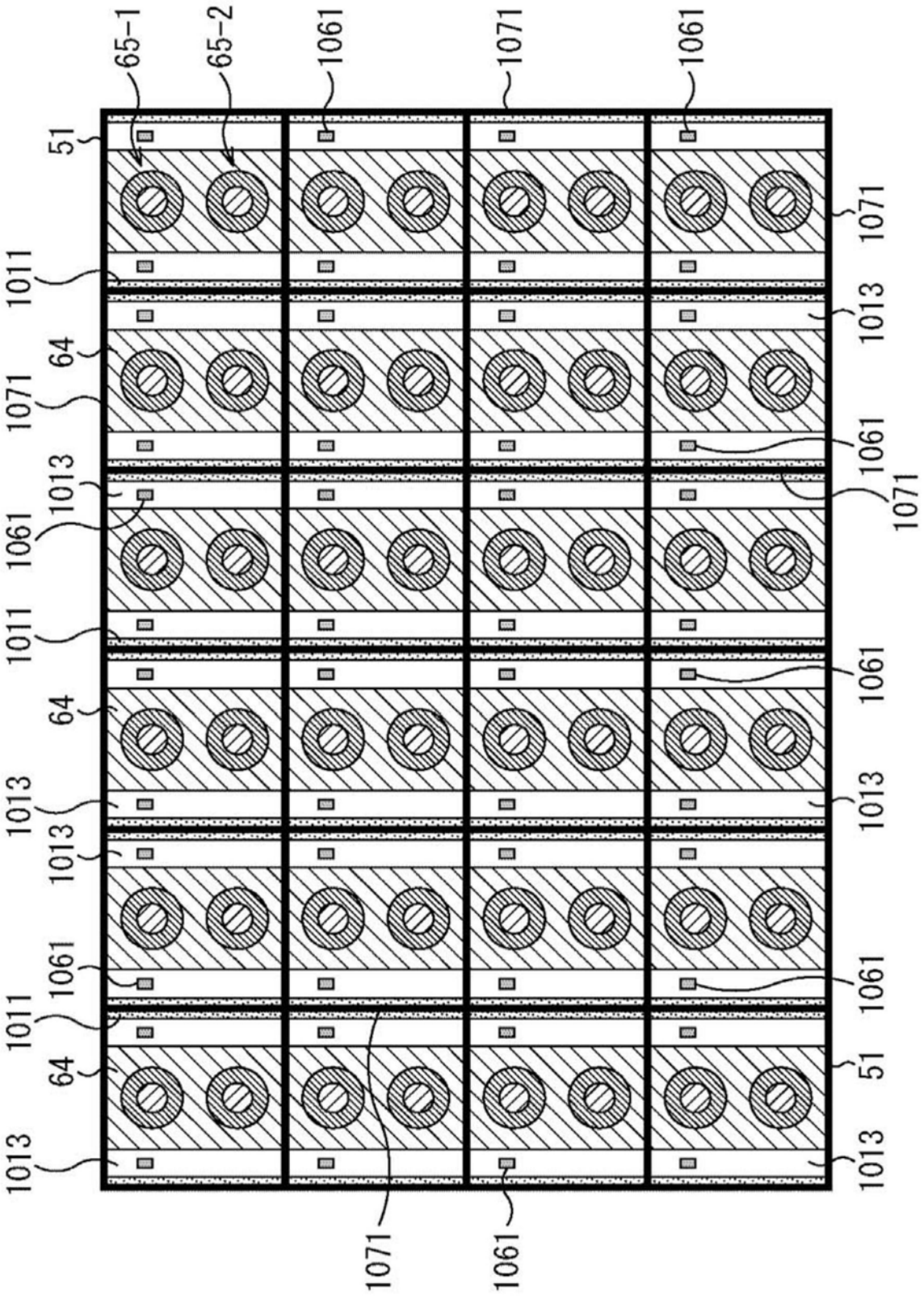

65-1
65-2
1061
1071
1061
51
1011
64
1071
1013
1061
1011
64
1013
1013
1011
1061
64
1013
1071
1061
1071
1061
1013
1061
1061
1013
1061
1071
1061
51
1013

图51

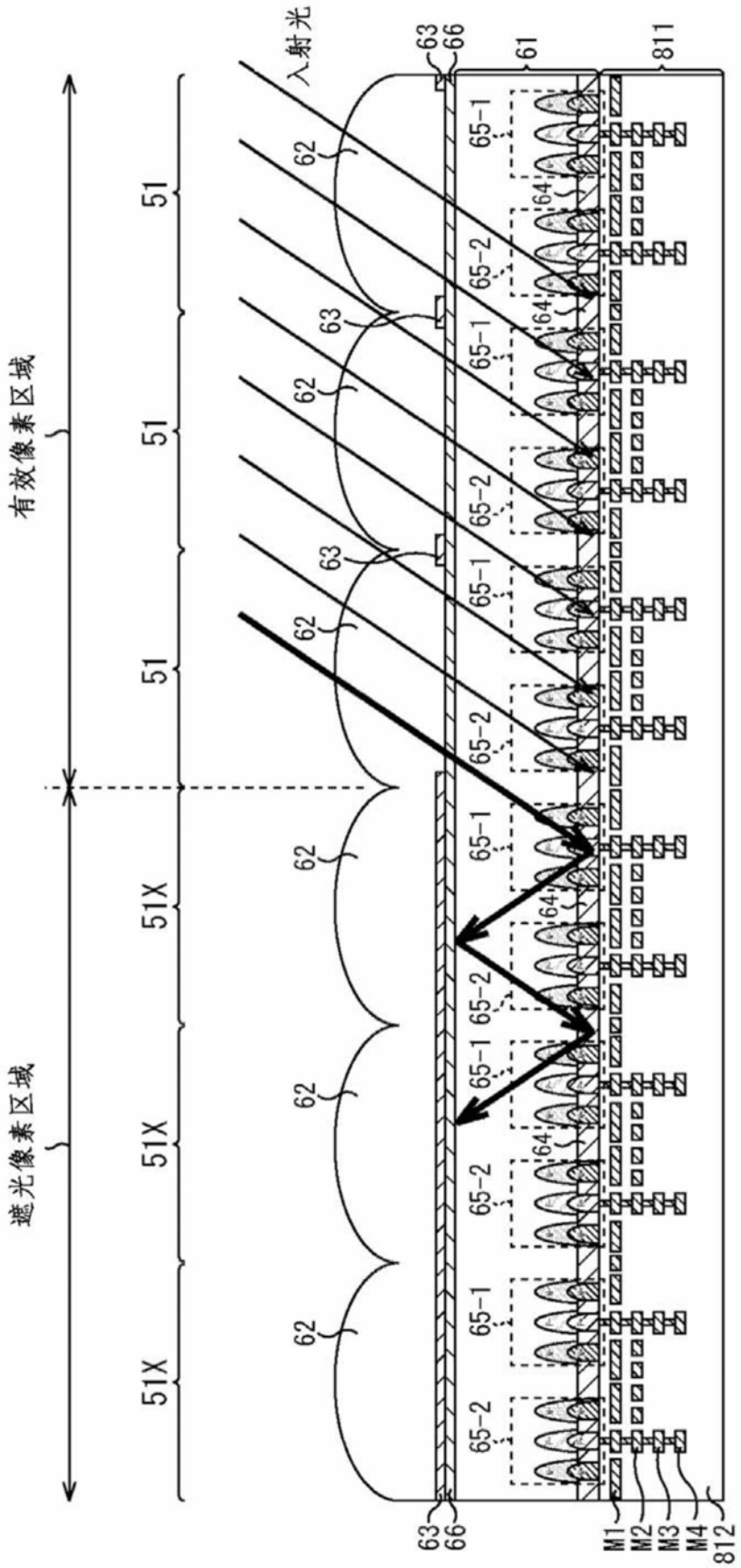

入射光
63
66
61
811
62
65-1
64
65-2
63
51
51
51
51X
51X
51X
有效像素区域
遮光像素区域
M1
M2
M3
M4
812

图52

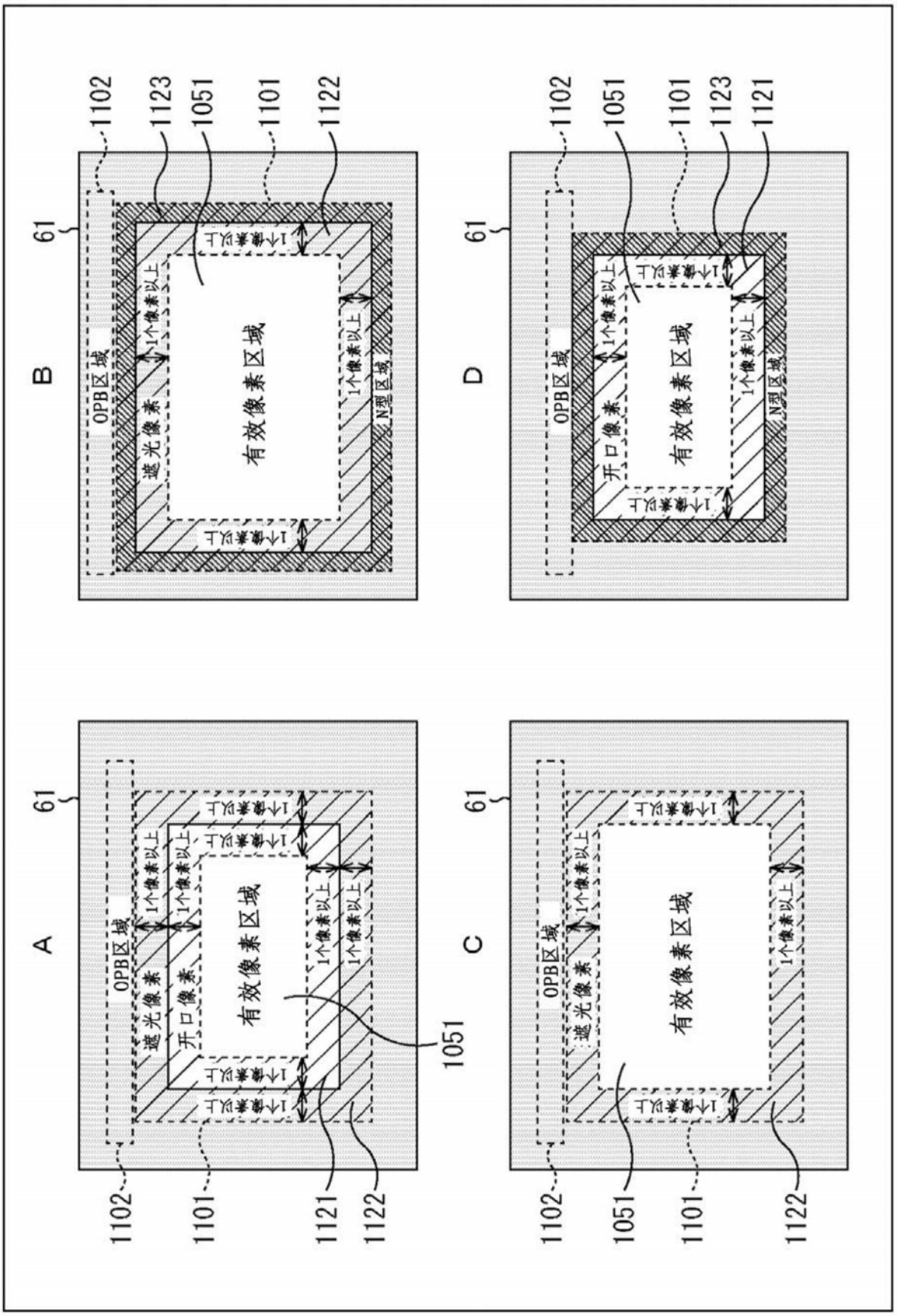

A
B
C
D
61
OPB区域
遮光像素
开口像素
有效像素区域
1个像素以上
N型区域
1102
1123
1051
1101
1122
1121

图53

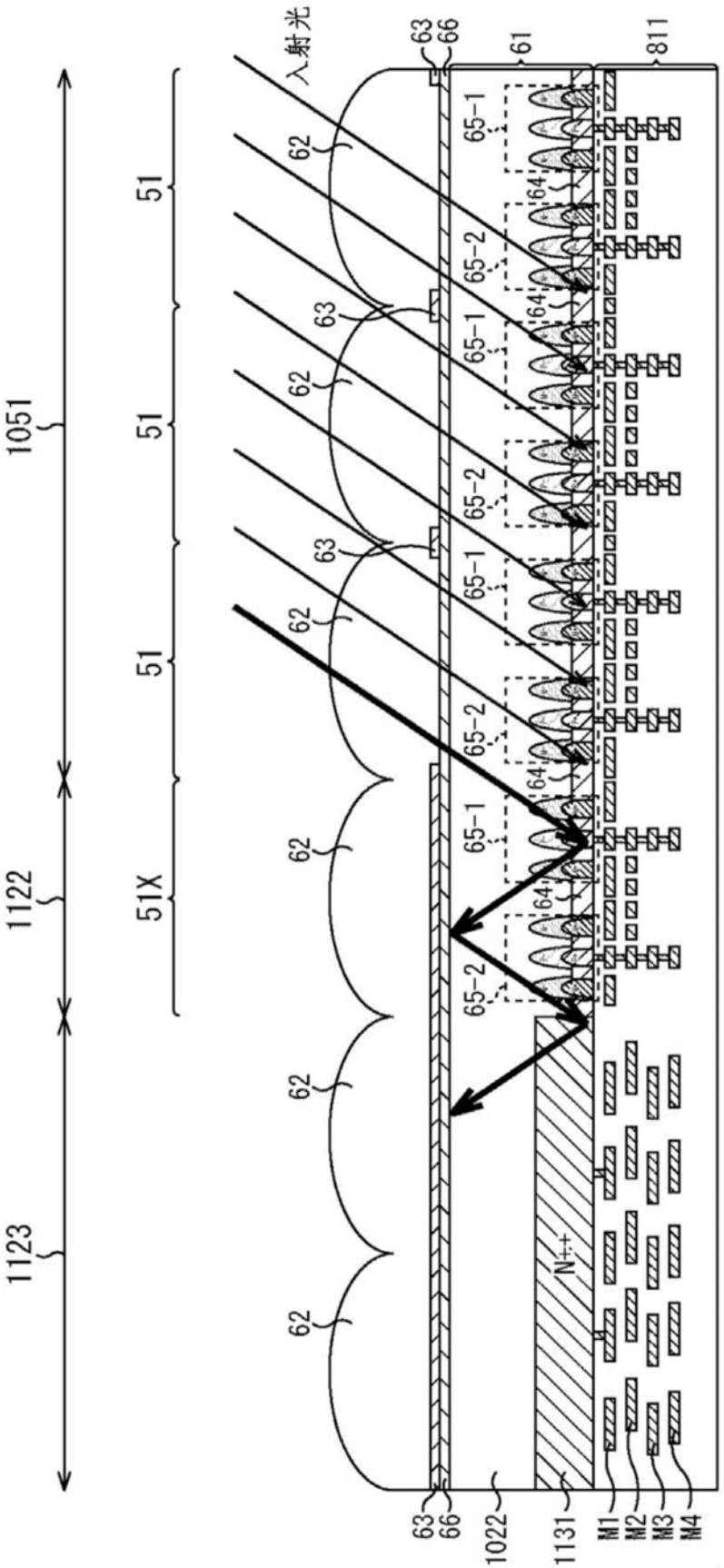

入射光
63
66
61
811
62
65-1
64
65-2
51
1051
51X
1122
1123
N++
1022
1131
M1
M2
M3
M4

图54

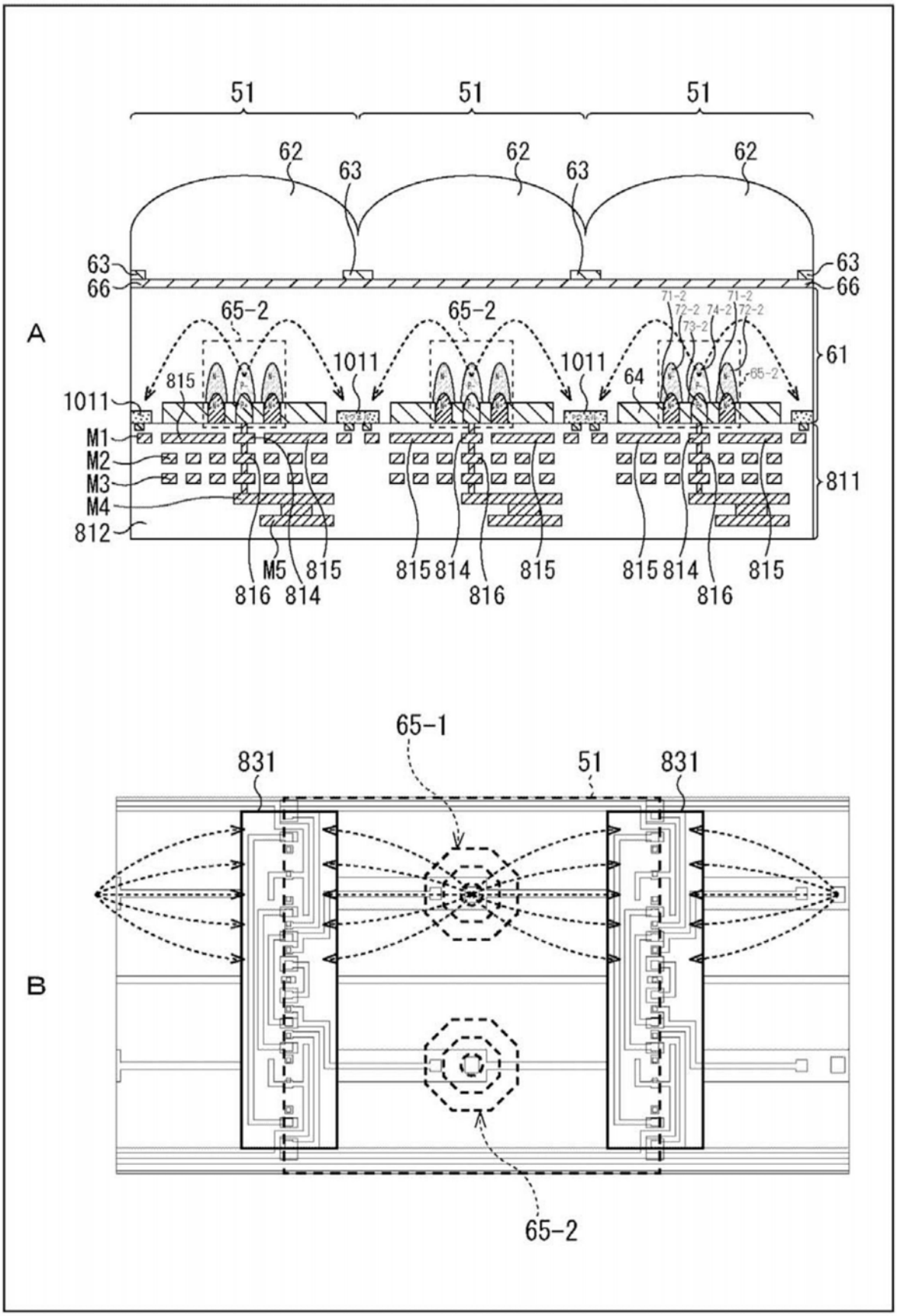

A
51
51
51
62
63
62
63
62
63
66
63
66
65-2
65-2
71-2
72-2
74-2
73-2
71-2
72-2
65-2
61
1011
1011
1011
815
64
M1
M2
M3
M4
812
811
M5
815
815
814
815
815
814
815
816
814
816
816
B
65-1
831
51
831
65-2

图55

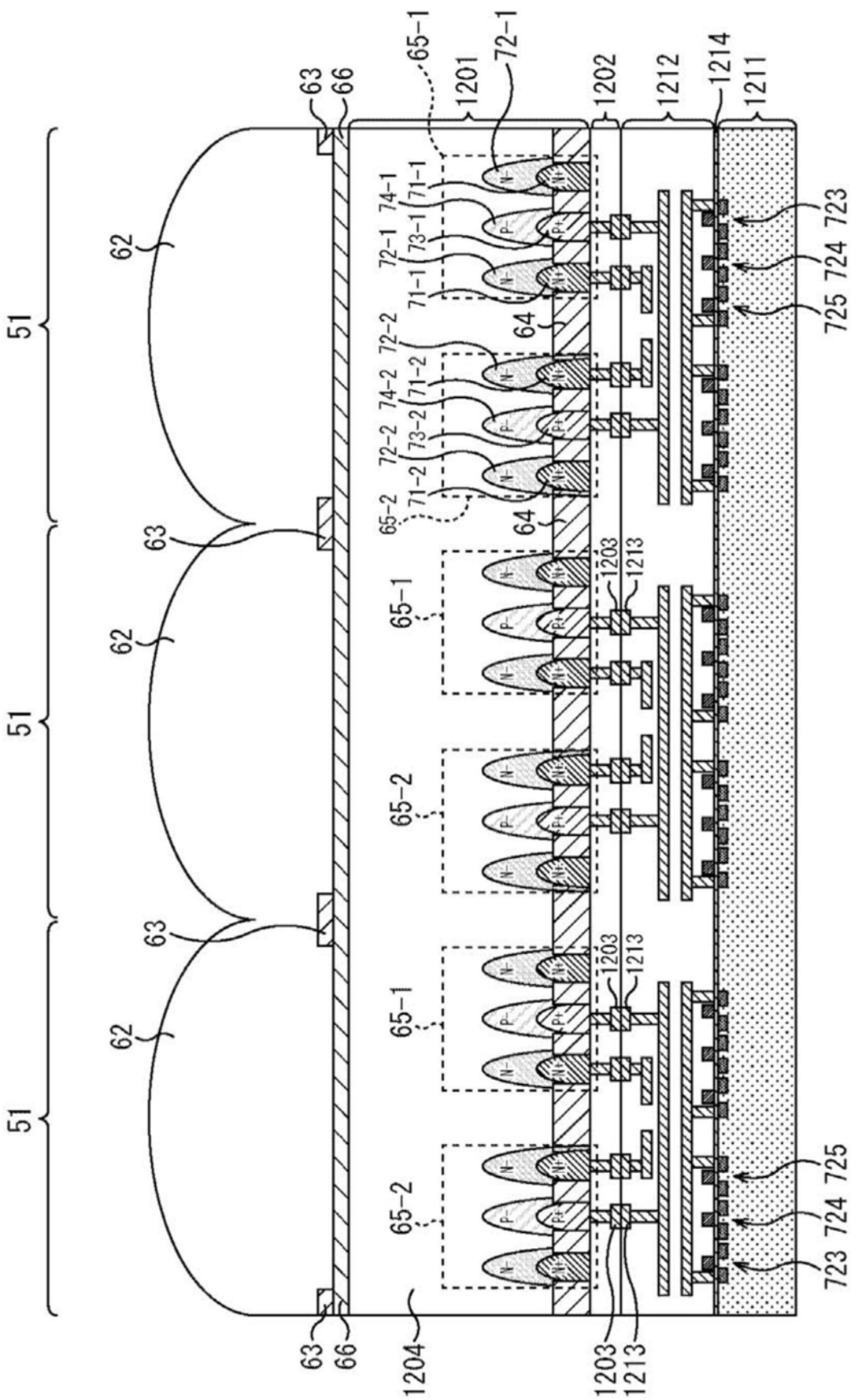

51
62
63
66
65-1
72-1
1201
1202
1212
1214
1211
74-1
71-1
73-1
72-1
64
72-2
74-2
71-2
73-2
65-2
1203
1213
723
724
725
1204

图56

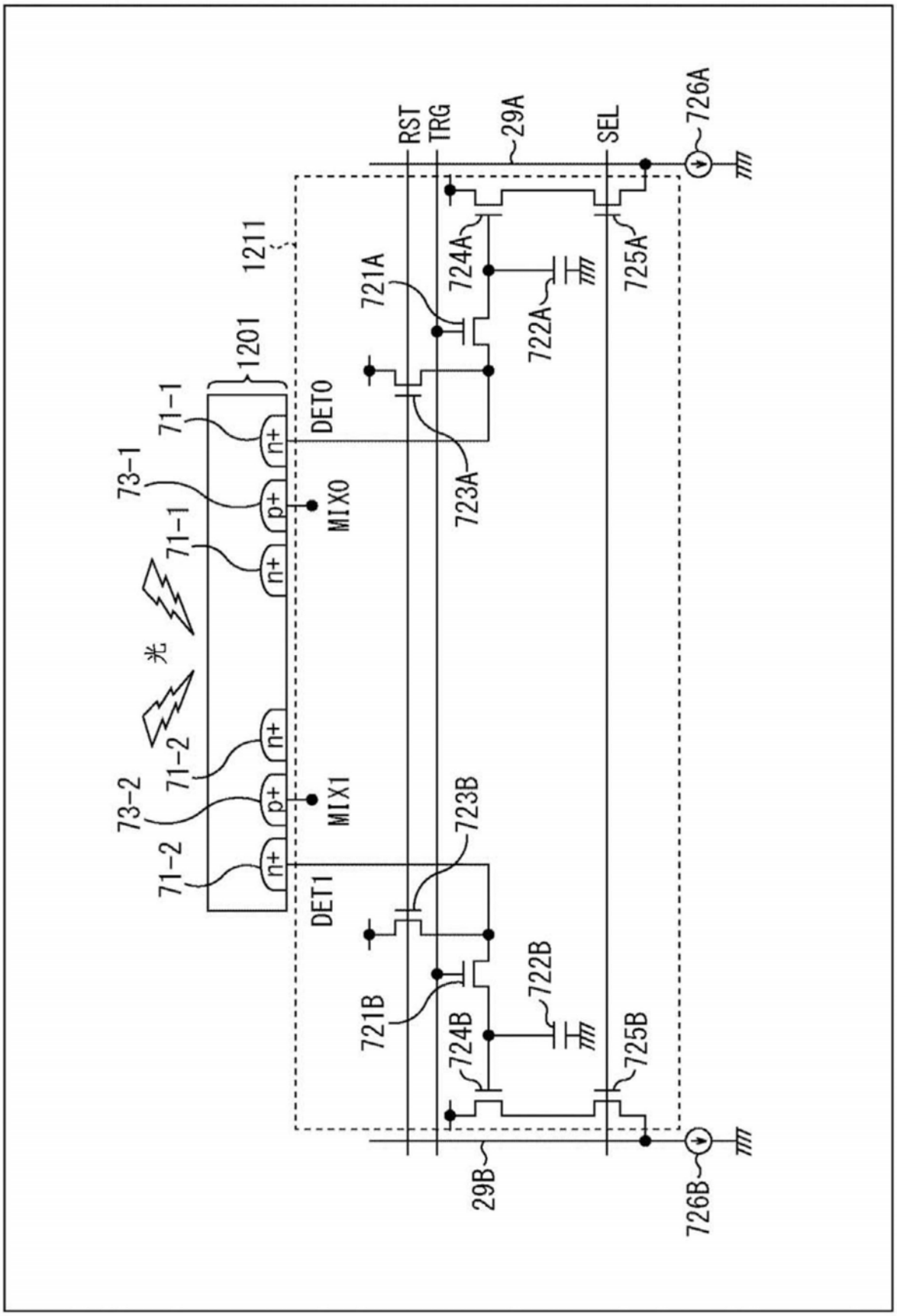

RST
TRG
29A
SEL
726A
1211
1201
721A
724A
722A
725A
71-1
DET0
73-1
MIX0
723A
光
71-2
73-2
MIX1
723B
DET1
721B
722B
724B
725B
29B
726B

图57

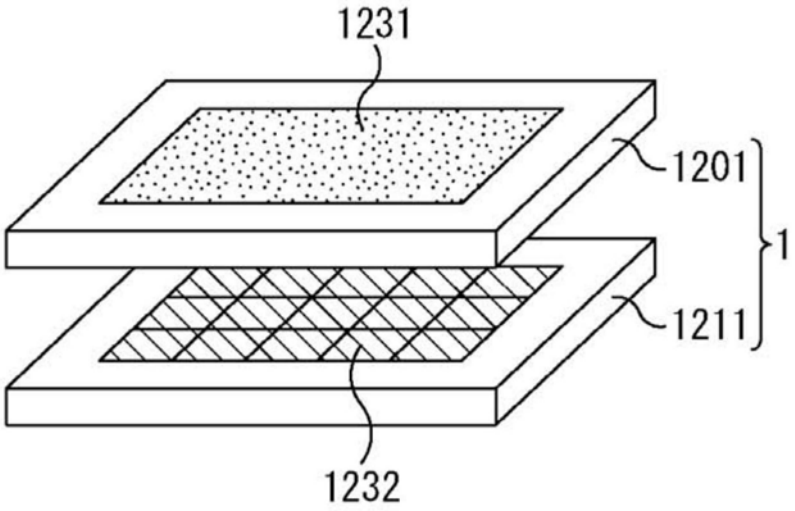


图58

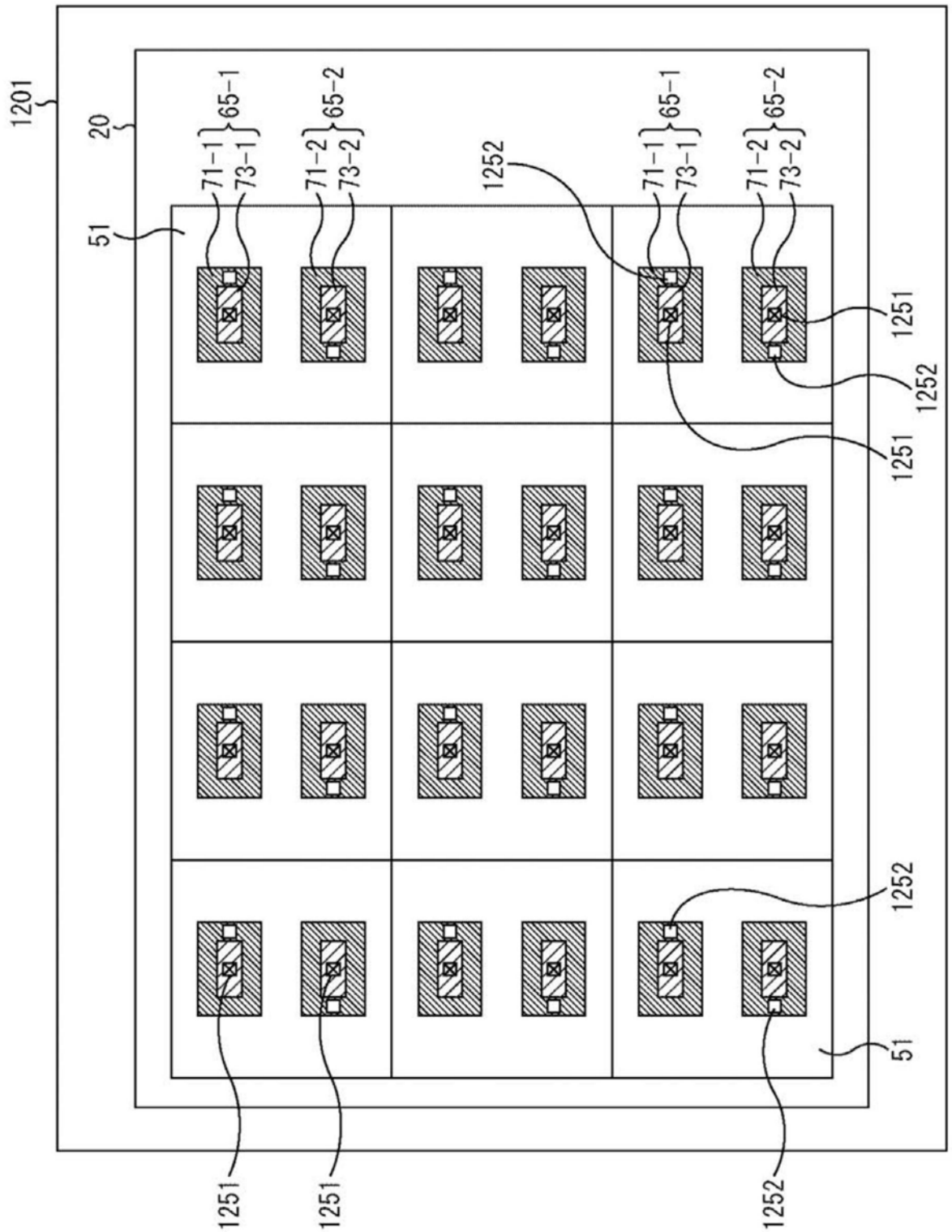


图59

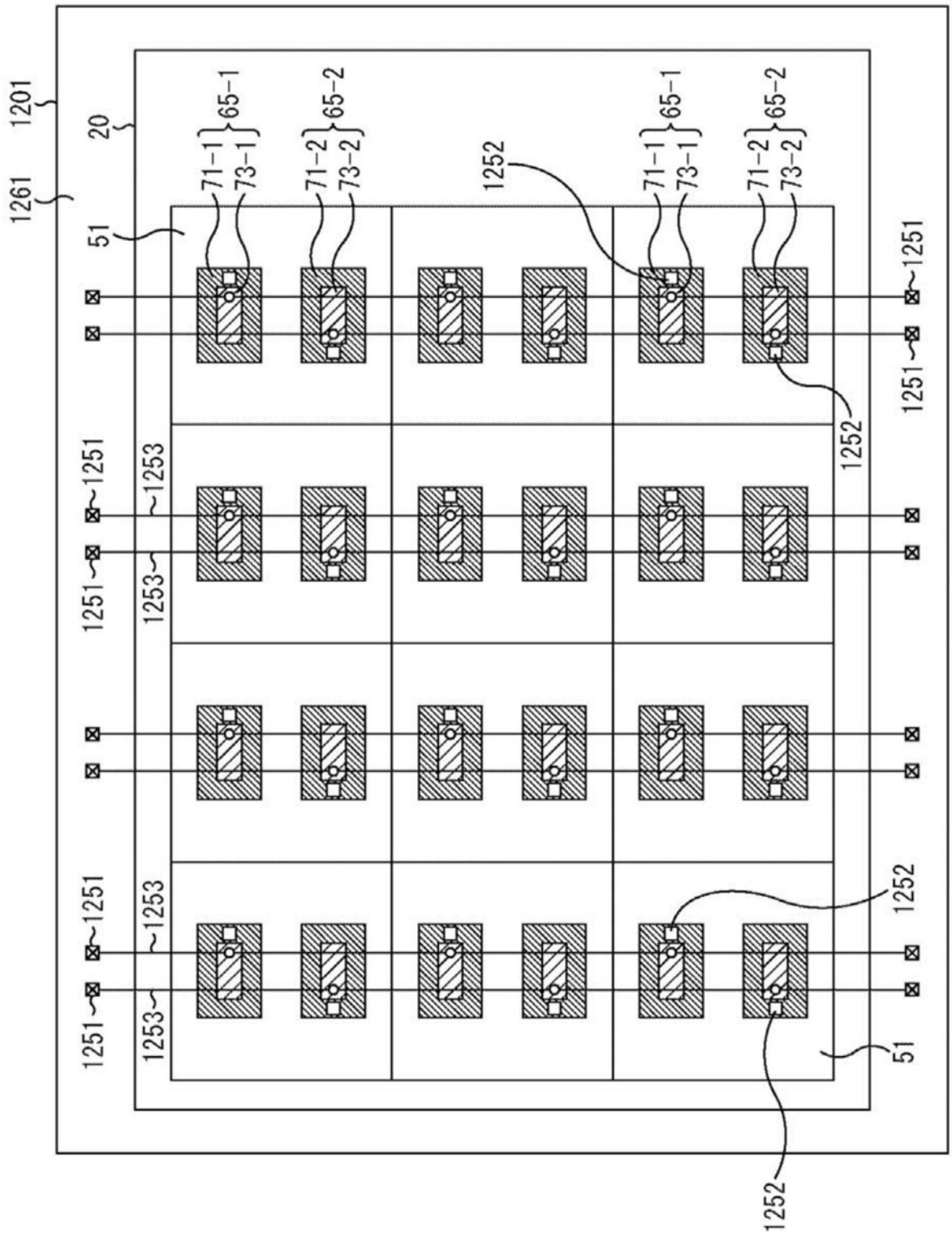


图60

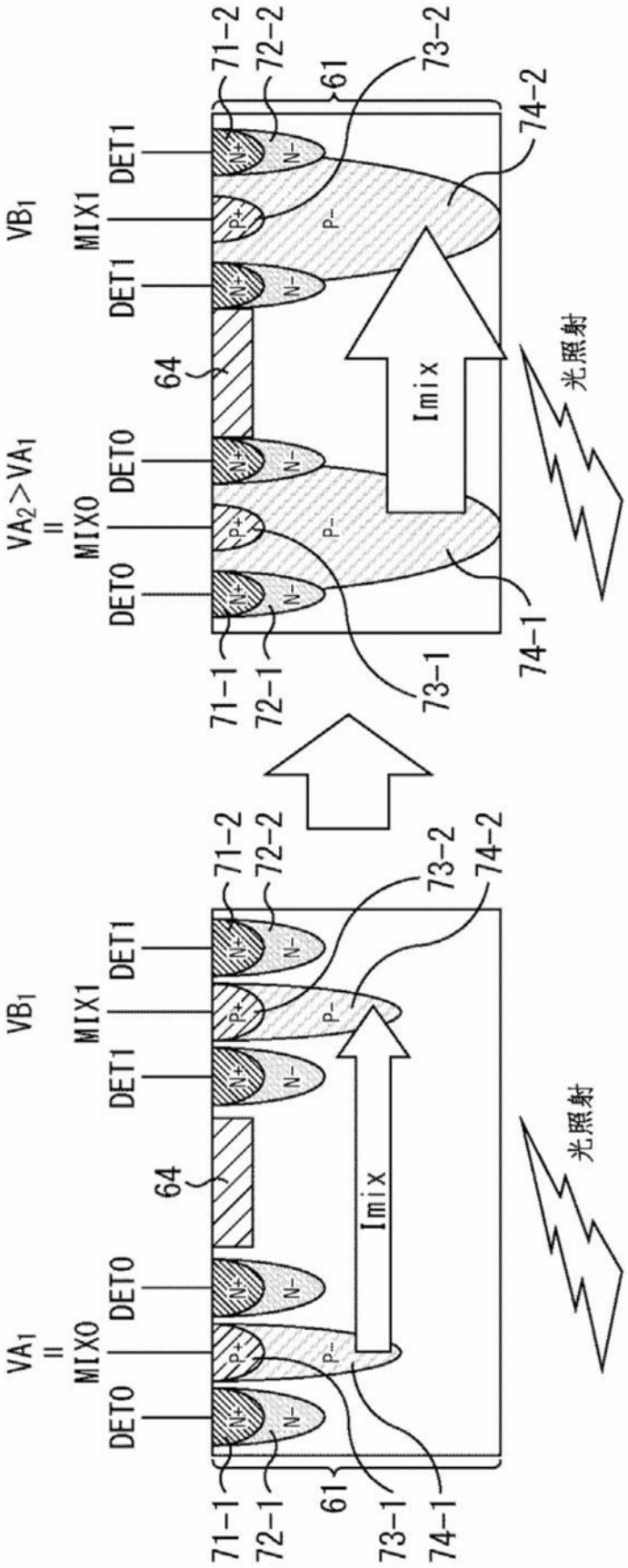

VB1
MIX1
DET1
DET1
VA2>VA1
=
MIX0
DET0
DET0
64
71-2
72-2
61
73-2
74-2
71-1
72-1
73-1
74-1
Imix
光照射
VA1
=
MIX0
DET0
DET0
VB1
MIX1
DET1
DET1
64
71-2
72-2
73-2
74-2
Imix
光照射
71-1
72-1
61
73-1
74-1
N+
N-
P+
P-

图61

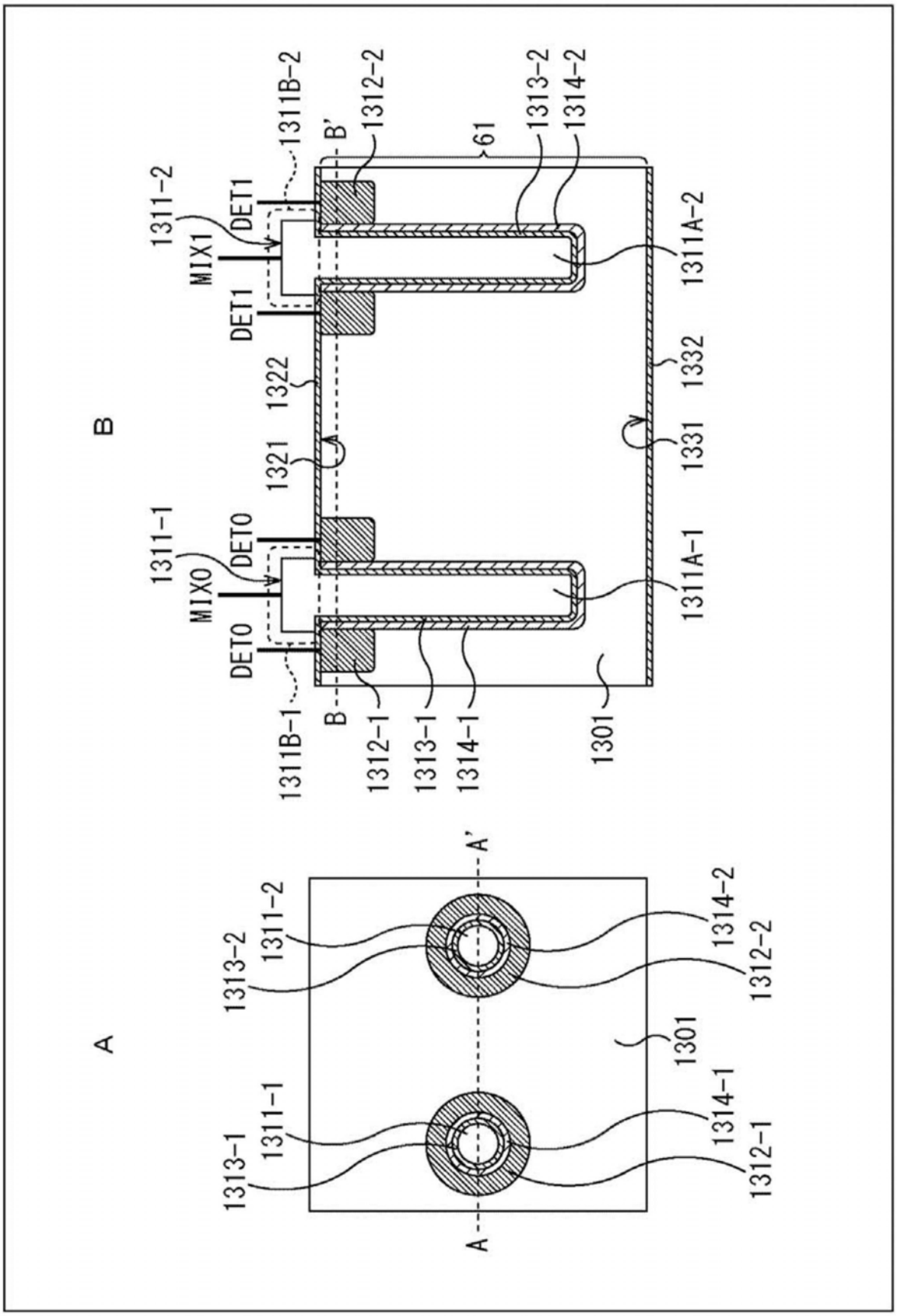

B
1311B-2
B'
1312-2
61
1313-2
1314-2
1311-2
DET1
MIX1
DET1
1322
1321
1311A-2
1332
1331
1311-1
DET0
MIX0
DET0
1311A-1
1311B-1
B
1312-1
1313-1
1314-1
1301
A
A'
1313-2
1311-2
1314-2
1312-2
1301
1313-1
1311-1
1314-1
1312-1
A

图62

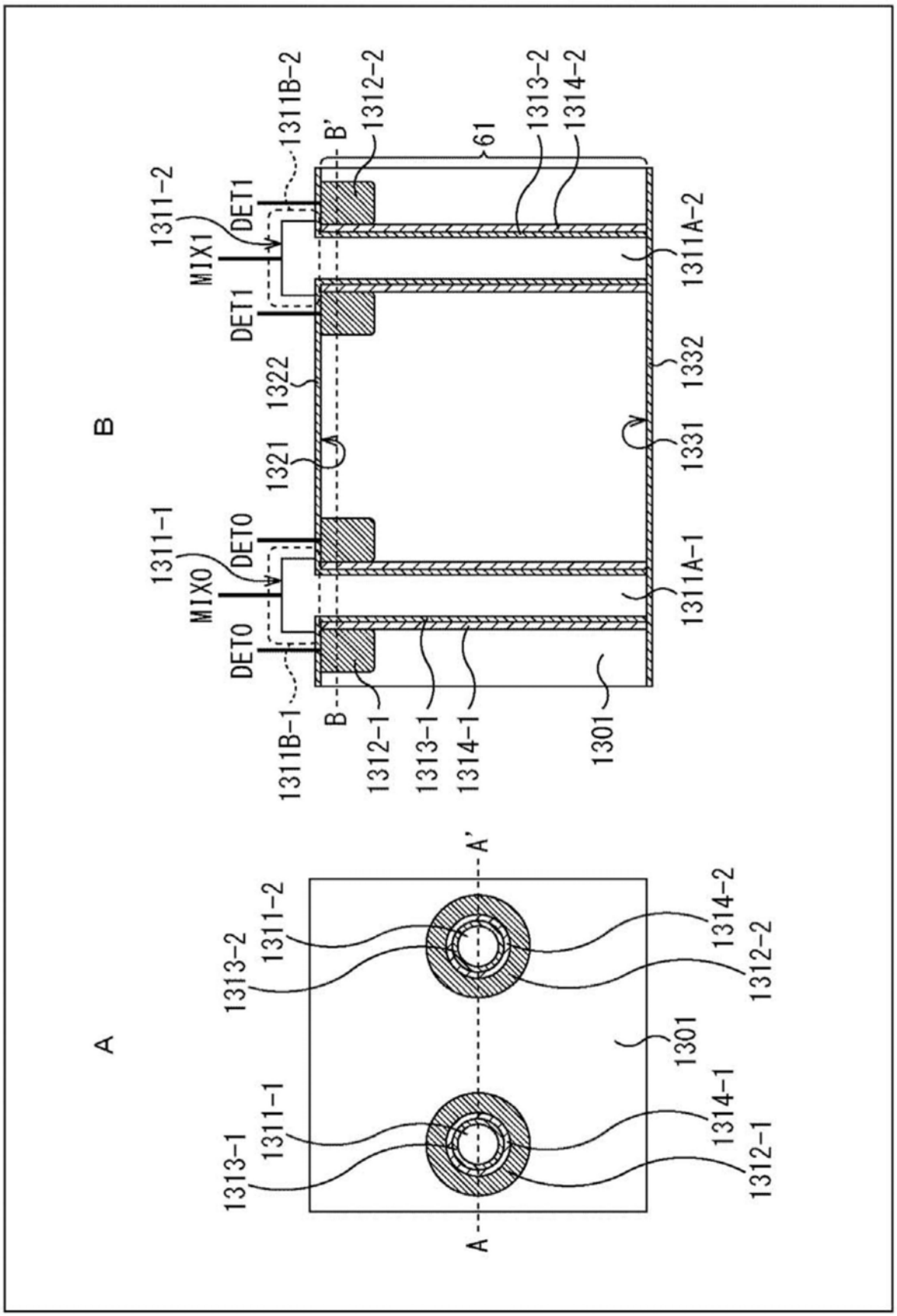

B
1311B-2
B'
1312-2
61
1313-2
1314-2
1311-2
DET1
MIX1
DET1
1322
1321
1311A-2
1332
1331
1311-1
DET0
MIX0
DET0
1311A-1
1311B-1
B
1312-1
1313-1
1314-1
1301
A
A'
1313-2
1311-2
1314-2
1312-2
1301
1313-1
1311-1
1314-1
1312-1
A

图63

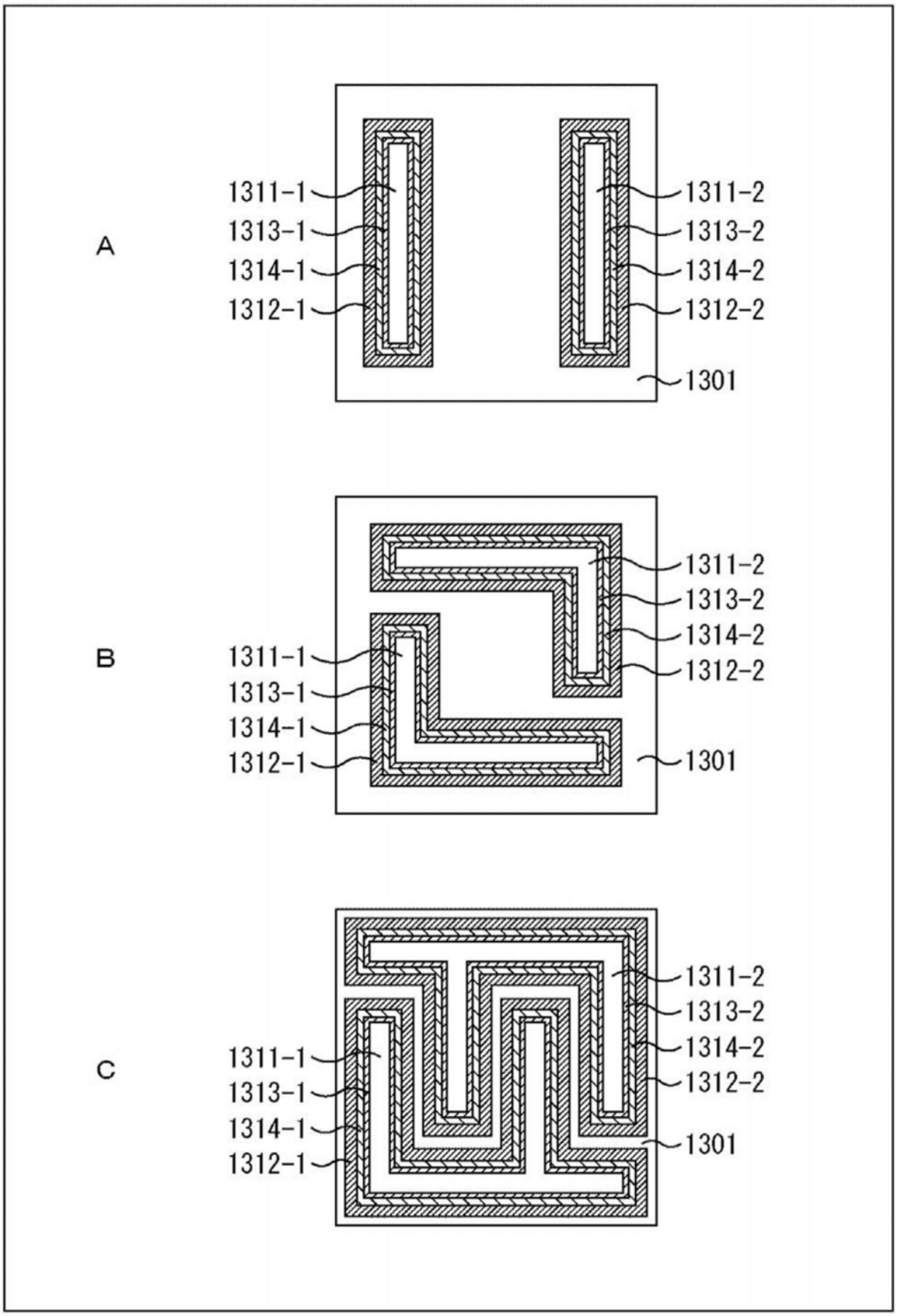

A
1311-1
1313-1
1314-1
1312-1
1311-2
1313-2
1314-2
1312-2
1301
B
1311-1
1313-1
1314-1
1312-1
1311-2
1313-2
1314-2
1312-2
1301
C
1311-1
1313-1
1314-1
1312-1
1311-2
1313-2
1314-2
1312-2
1301

图64

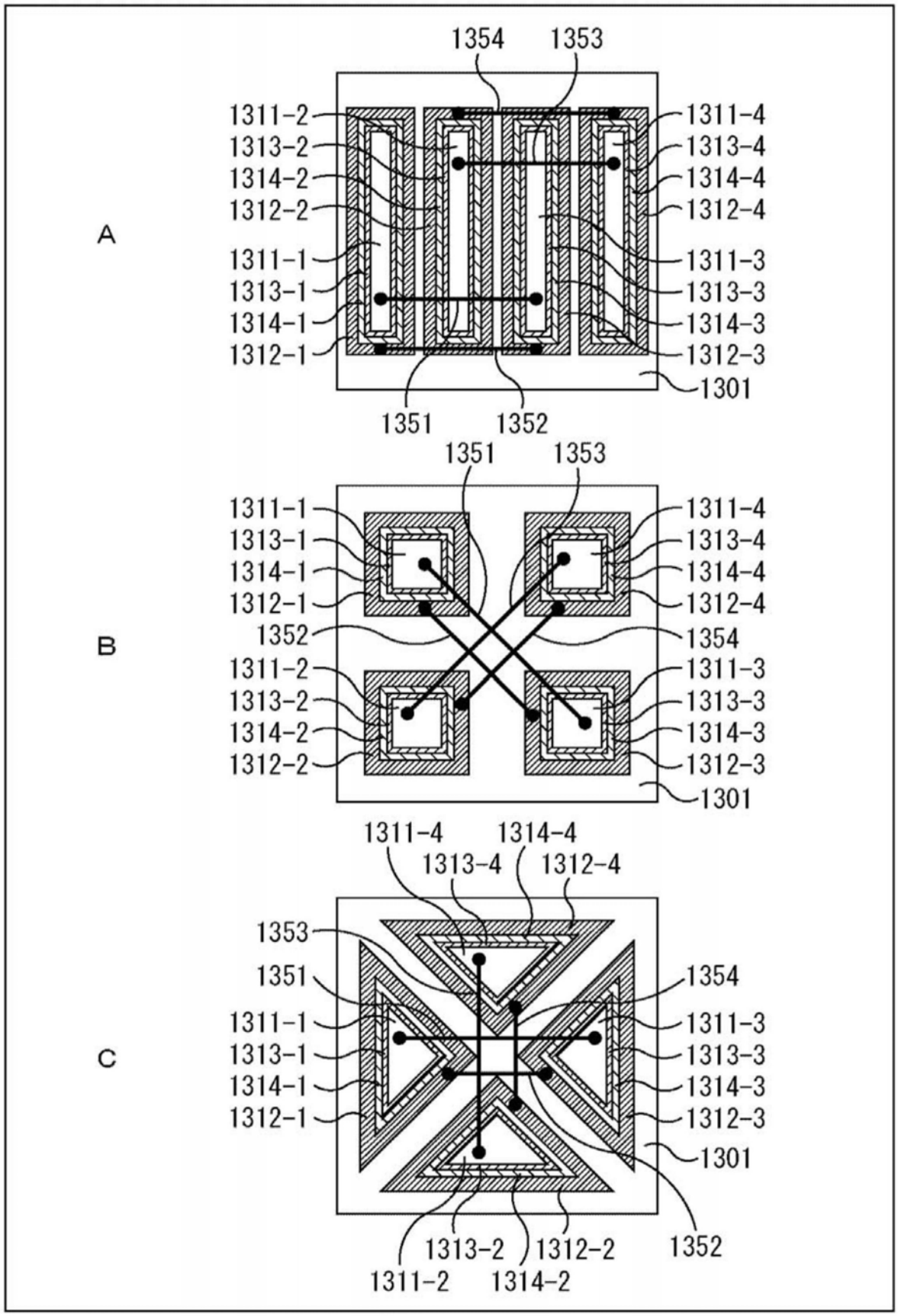

A
1354
1353
1311-2
1313-2
1314-2
1312-2
1311-1
1313-1
1314-1
1312-1
1311-4
1313-4
1314-4
1312-4
1311-3
1313-3
1314-3
1312-3
1301
1351
1352
B
1351
1353
1311-1
1313-1
1314-1
1312-1
1352
1311-2
1313-2
1314-2
1312-2
1311-4
1313-4
1314-4
1312-4
1354
1311-3
1313-3
1314-3
1312-3
1301
C
1311-4
1314-4
1313-4
1312-4
1353
1351
1311-1
1313-1
1314-1
1312-1
1354
1311-3
1313-3
1314-3
1312-3
1301
1313-2
1312-2
1352
1311-2
1314-2

图65

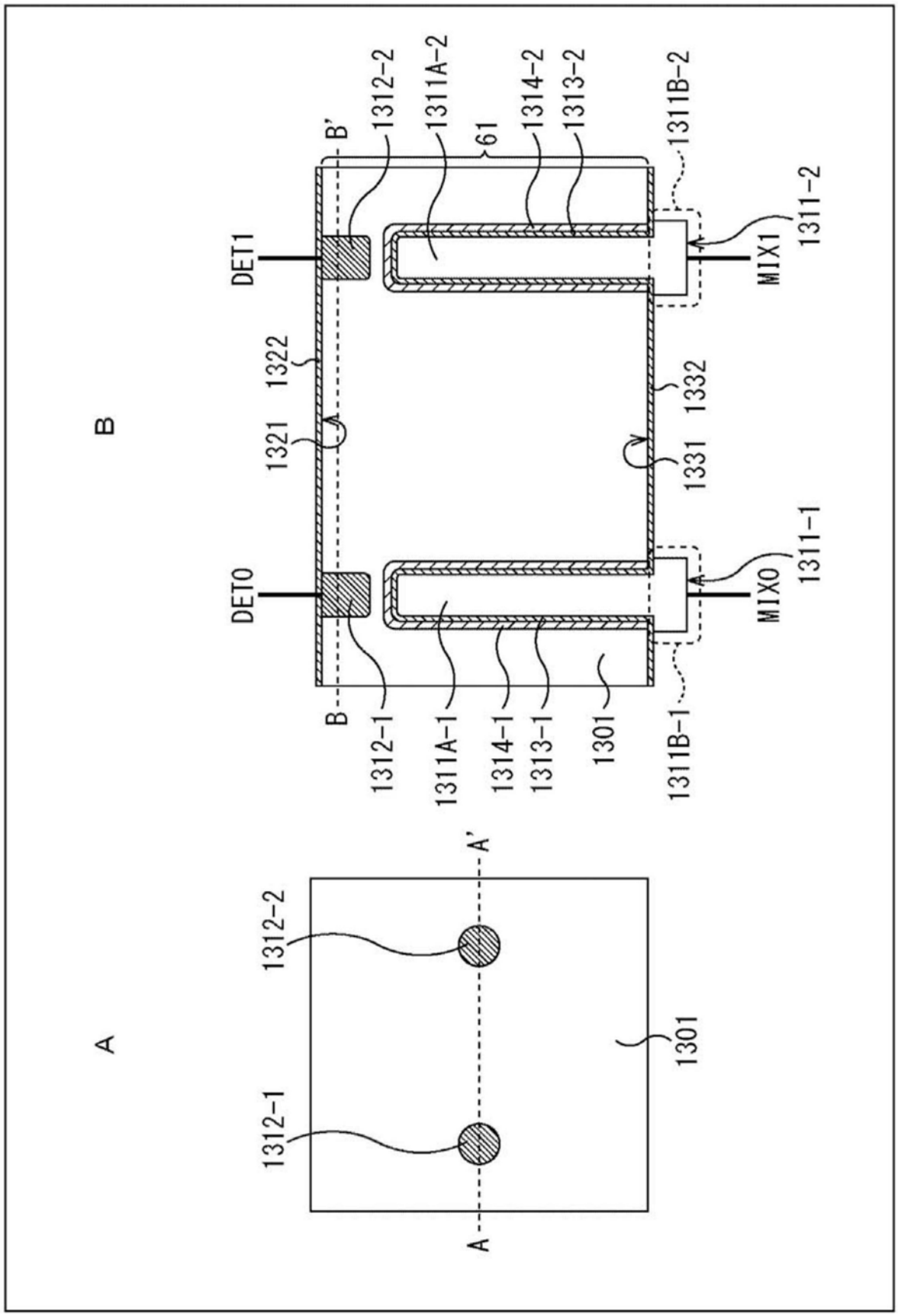

B
B'
1312-2
1311A-2
61
1314-2
1313-2
1311B-2
DET1
MIX1
1311-2
1322
1321
A
A
1332
1331
DET0
MIX0
1311-1
B
1312-1
1311A-1
1314-1
1313-1
1301
1311B-1
A
A'
1312-2
1312-1
1301
A

图66

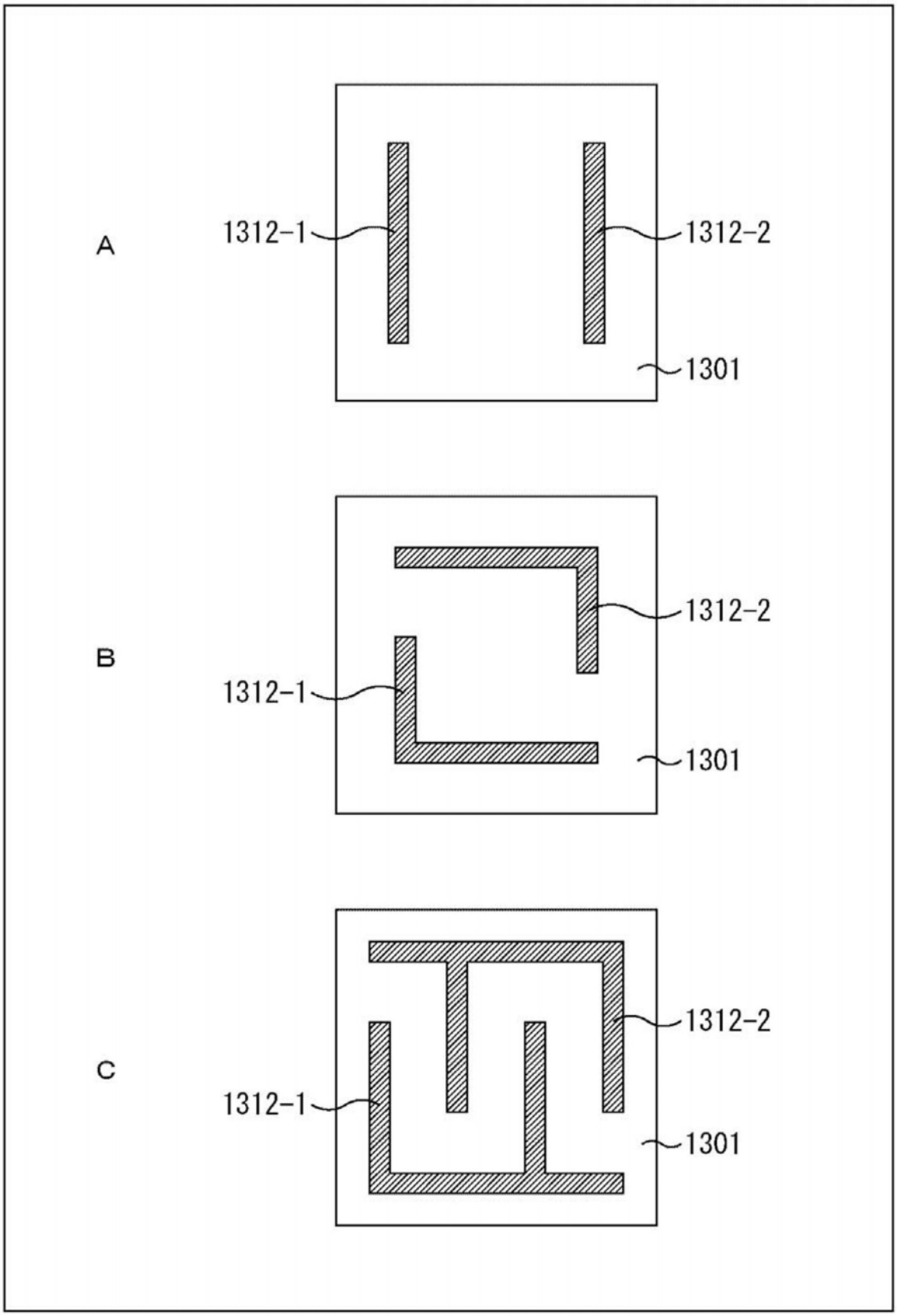


图67

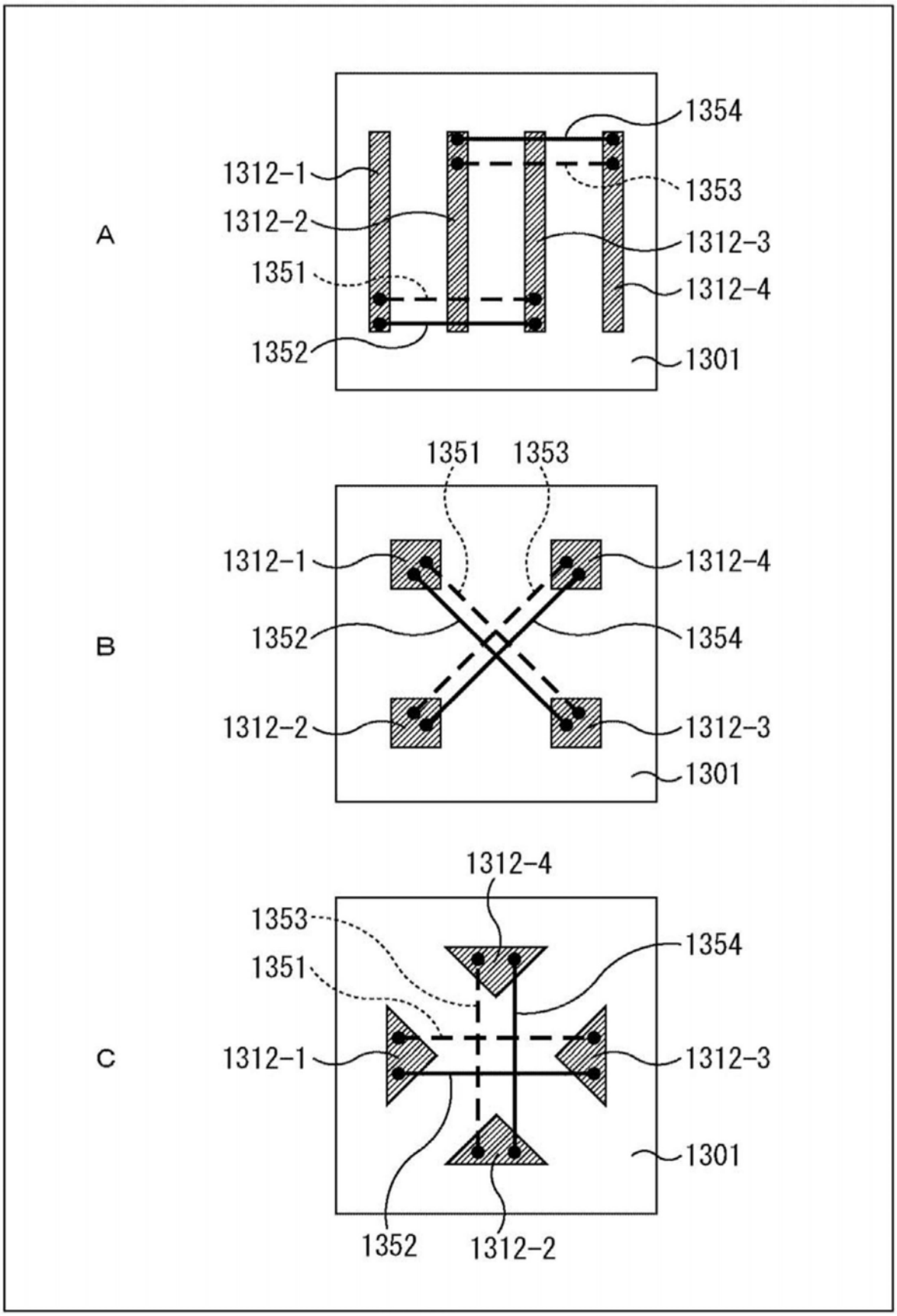

A
1354
1312-1
1353
1312-2
1312-3
1351
1312-4
1352
1301
B
1351
1353
1312-1
1312-4
1352
1354
1312-2
1312-3
1301
C
1312-4
1353
1354
1351
1312-1
1312-3
1301
1352
1312-2

图68

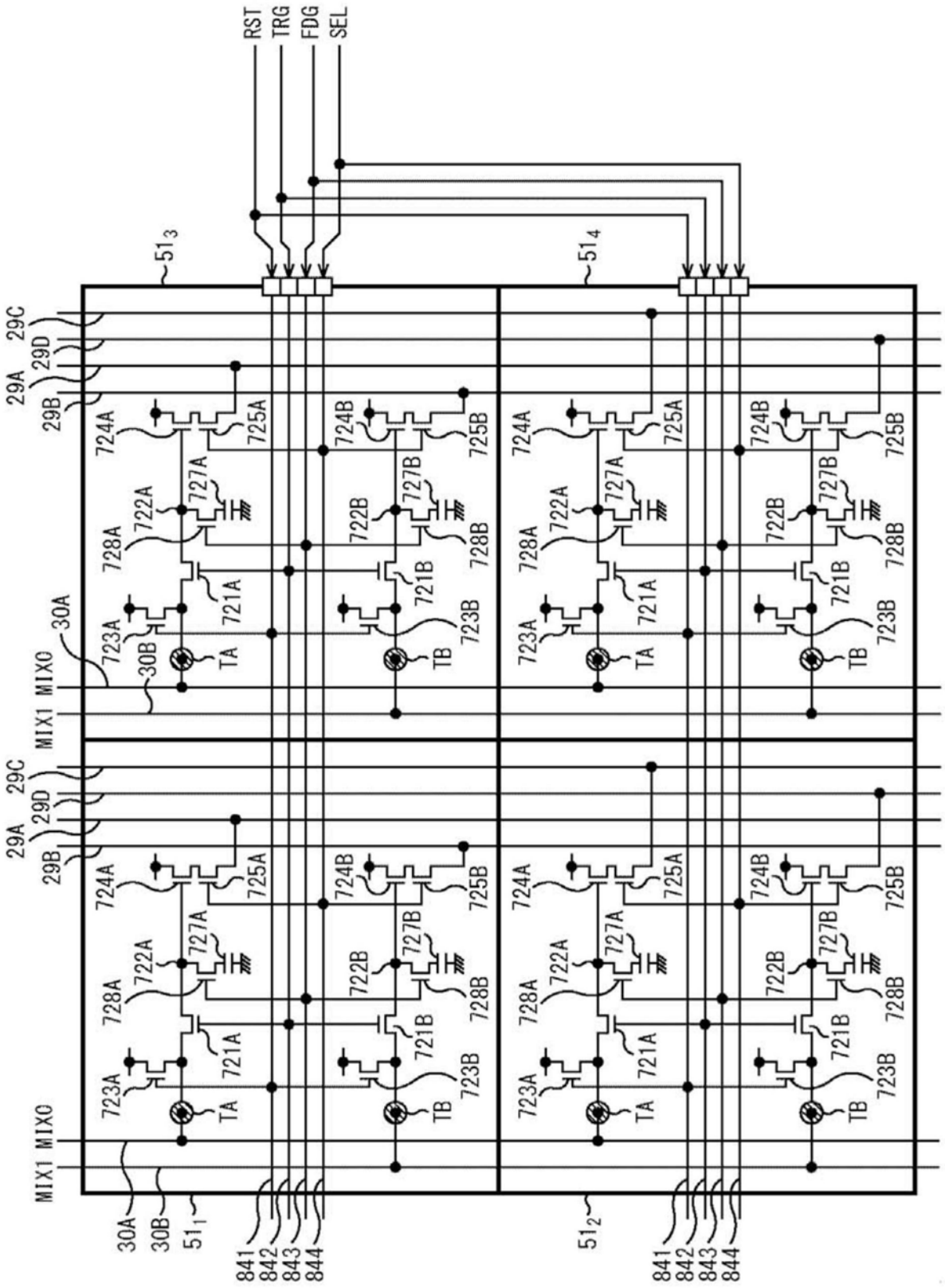

RST
TRG
FDG
SEL
513
514
512
511
29C
29D
29A
29B
30A
30B
MIX0
MIX1
724A
725A
724B
725B
727A
722A
727B
722B
728A
728B
721A
721B
723A
723B
TA
TB
841
842
843
844

图69

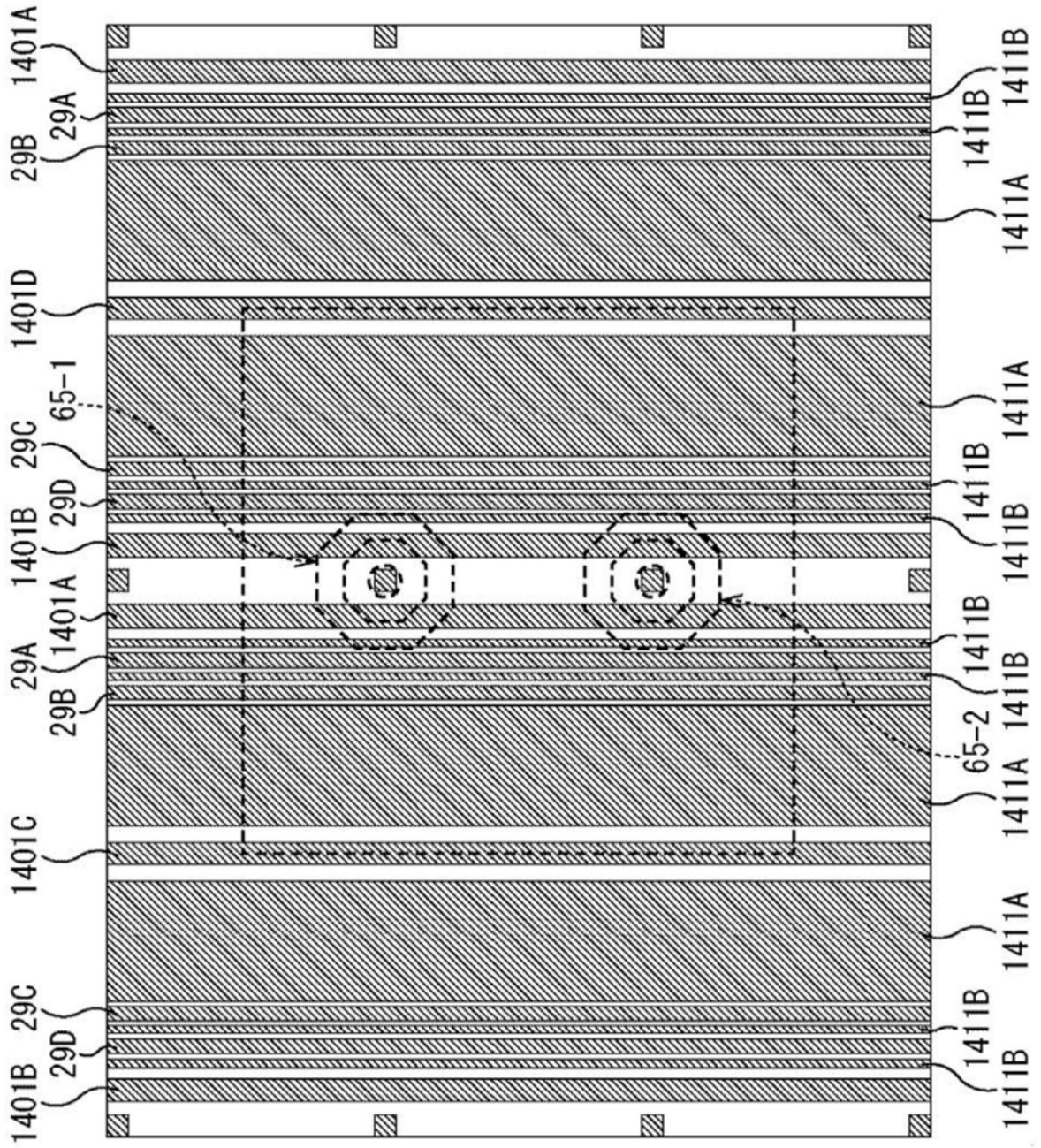

1401A
29A
29B
1401D
65-1
29C
29D
1401B
1401A
29A
29B
1401C
29C
29D
1401B
1411B
1411A
1411B
1411B
1411B
1411B
65-2
1411A
1411A
1411B
1411B

图70

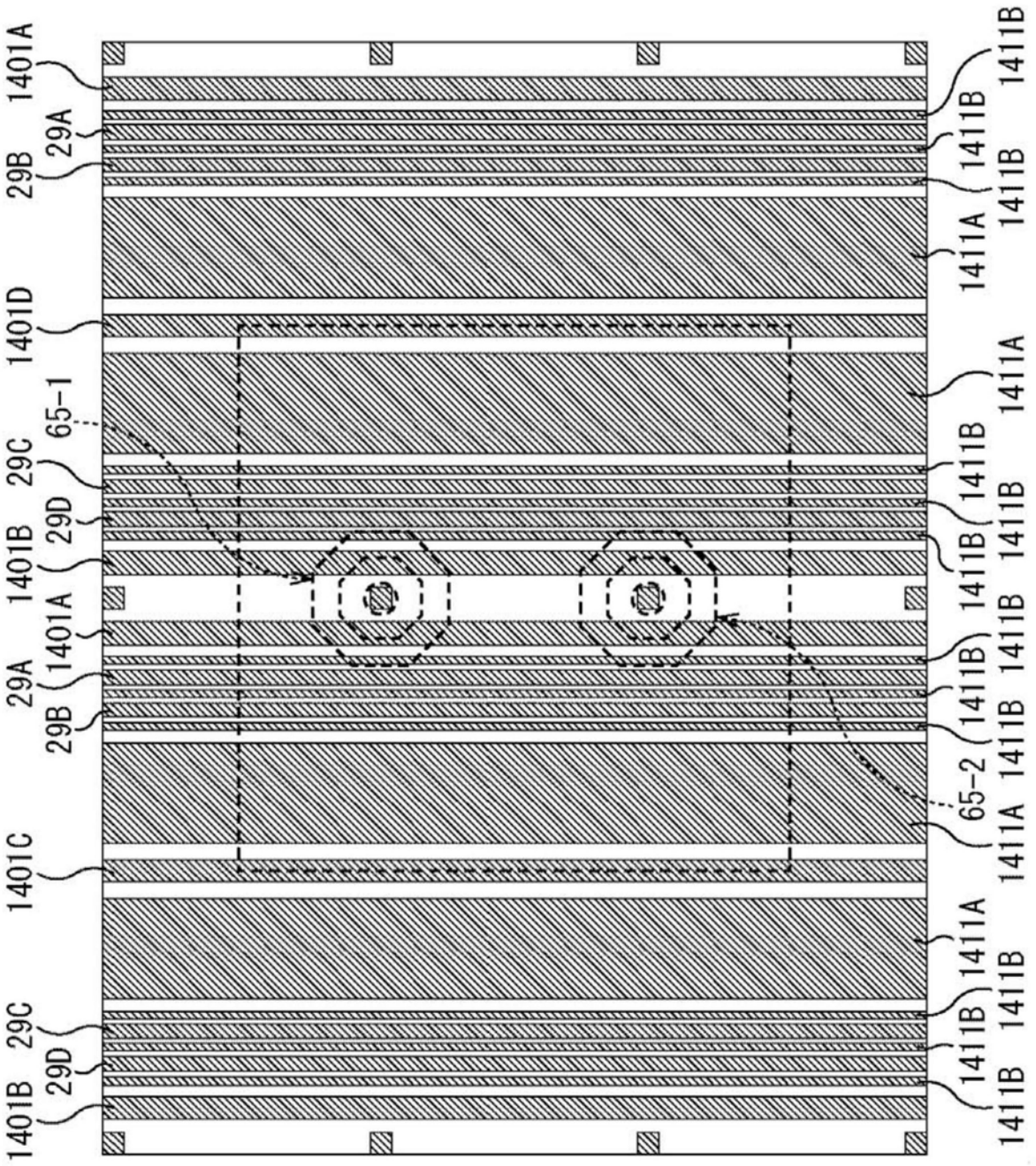

1401A
29A
29B
1401D
65-1
29C
29D
1401B
1401A
29A
29B
1401C
29C
29D
1401B
1411B
1411A
65-2

图71

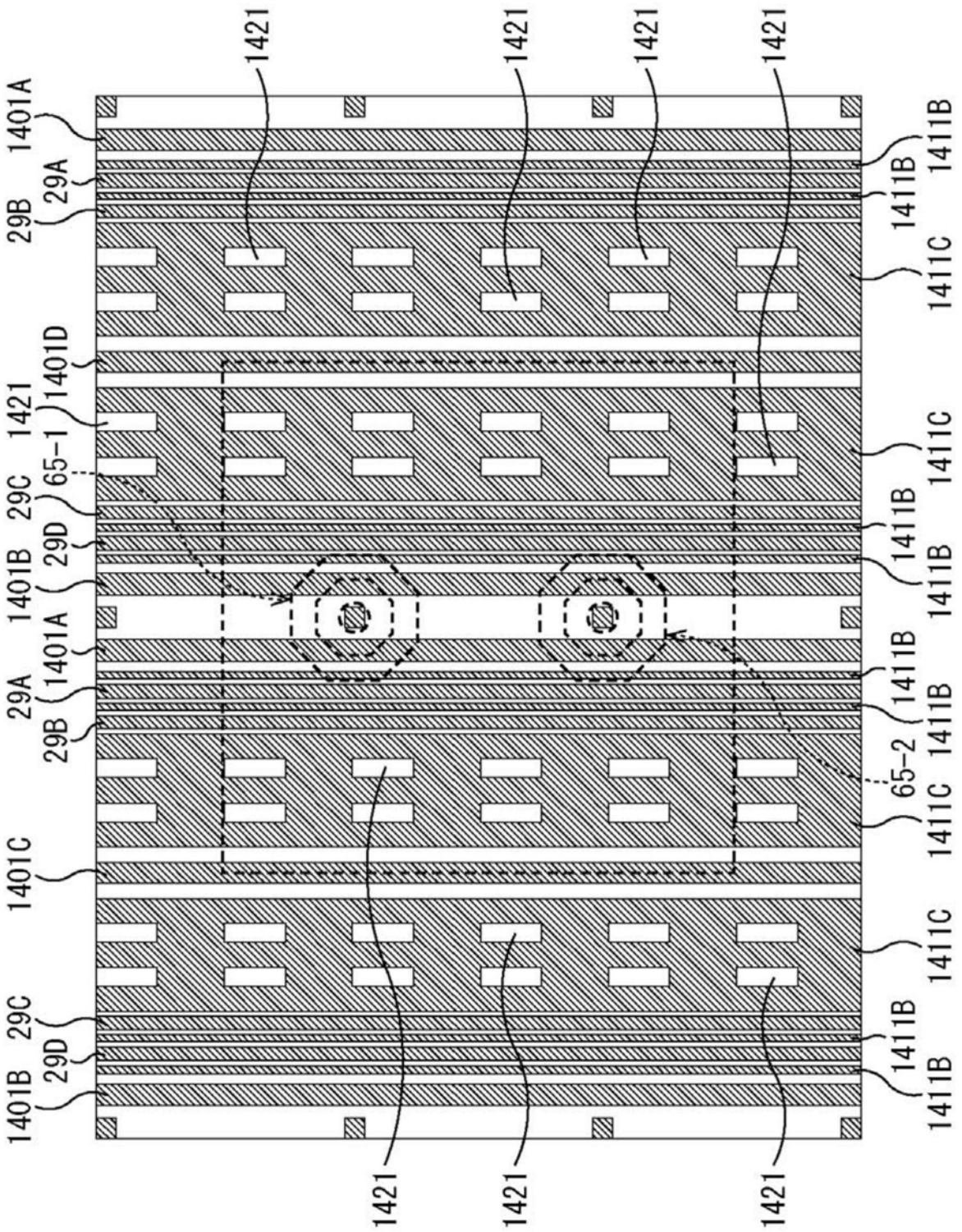

1421
1421
1421
1421
1401A
29A
29B
1411B
1411B
1411C
1401D
1421
65-1
1411C
29C
29D
1401B
1411B
1411B
1401A
29A
1411B
1401B
29B
65-2
1411C
1411B
1401C
1411C
29C
29D
1411B
1401B
1411B
1421
1421
1421

图72

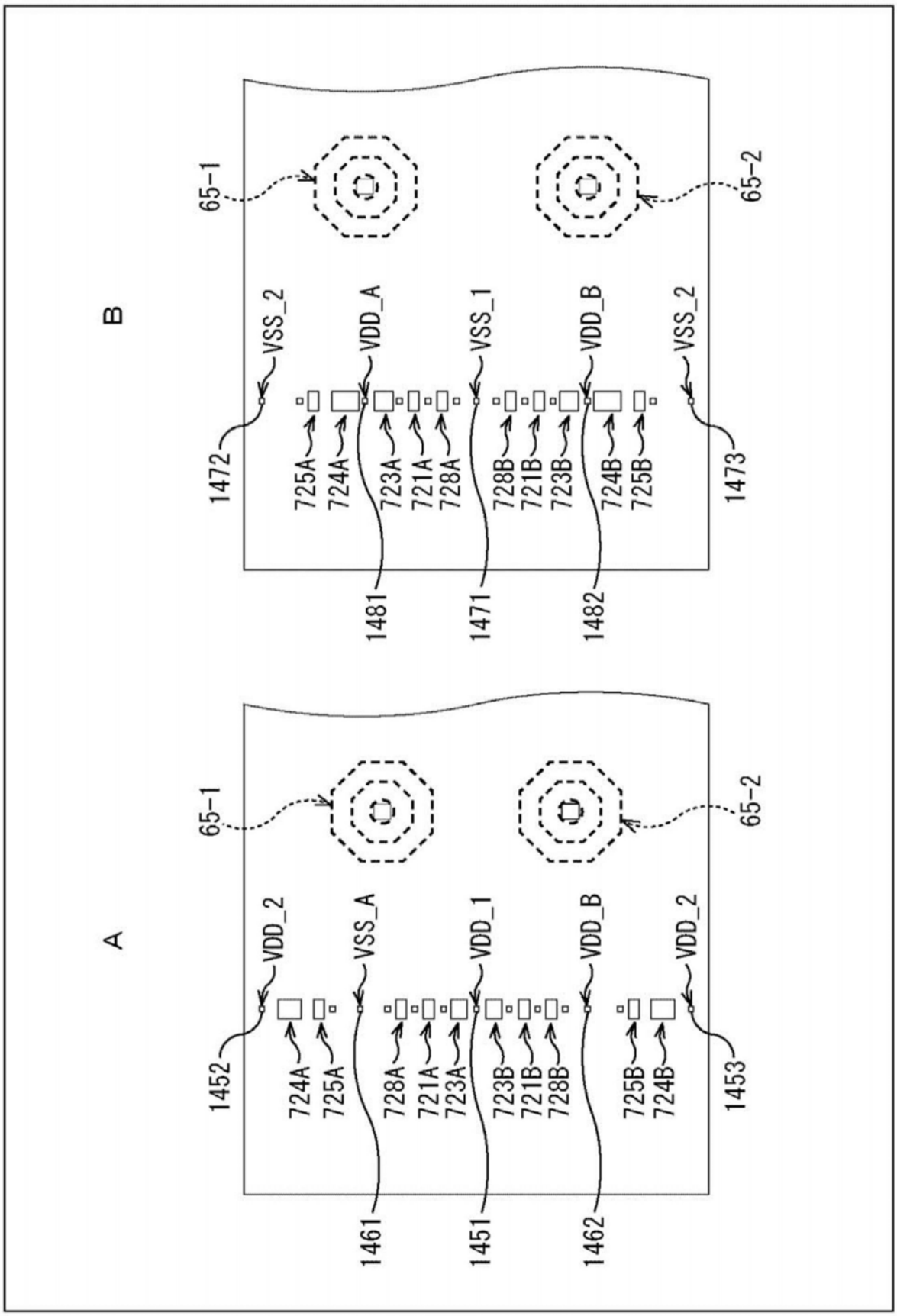

B
65-1
65-2
VSS_2
VDD_A
VSS_1
VDD_B
VSS_2
1472
725A
724A
723A
721A
728A
728B
721B
723B
724B
725B
1473
1481
1471
1482
A
65-1
65-2
VDD_2
VSS_A
VDD_1
VDD_B
VDD_2
1452
724A
725A
728A
721A
723A
723B
721B
728B
725B
724B
1453
1461
1451
1462

图73

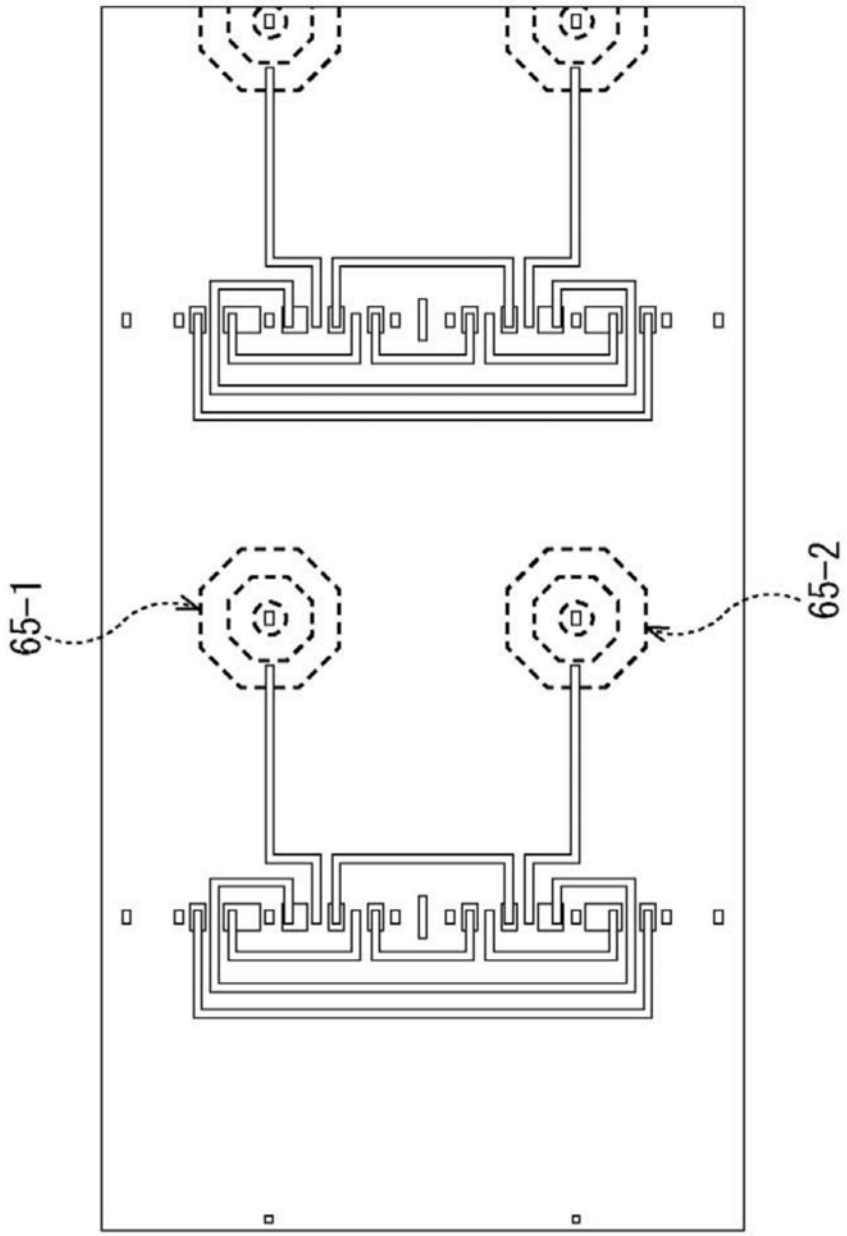


图74

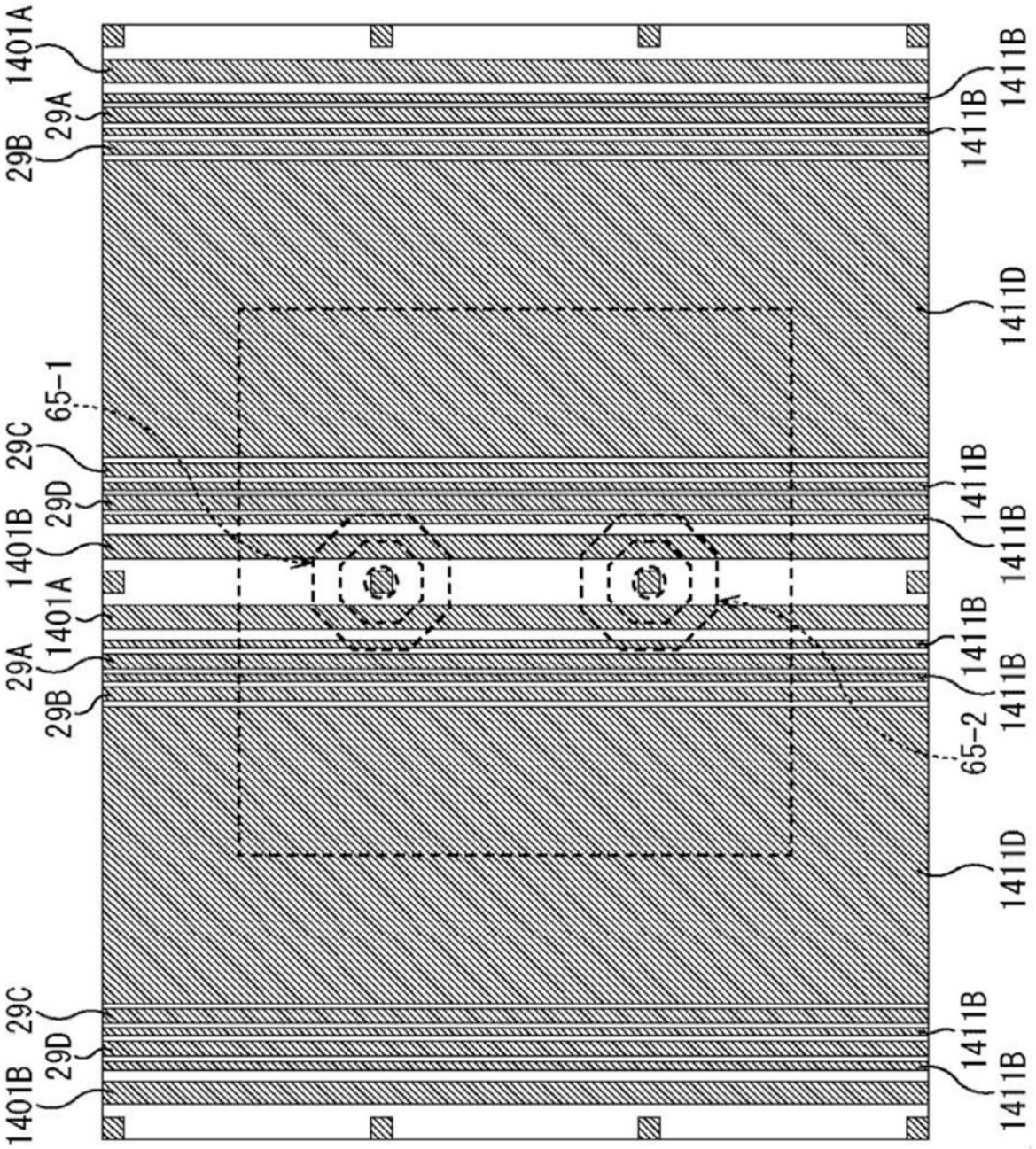

1401A
29A
29B
1411B
1411B
1411D
65-1
29C
29D
1401B
1411B
1411B
1401A
29A
1411B
29B
1411B
65-2
1411D
29C
29D
1401B
1411B
1411B

图75

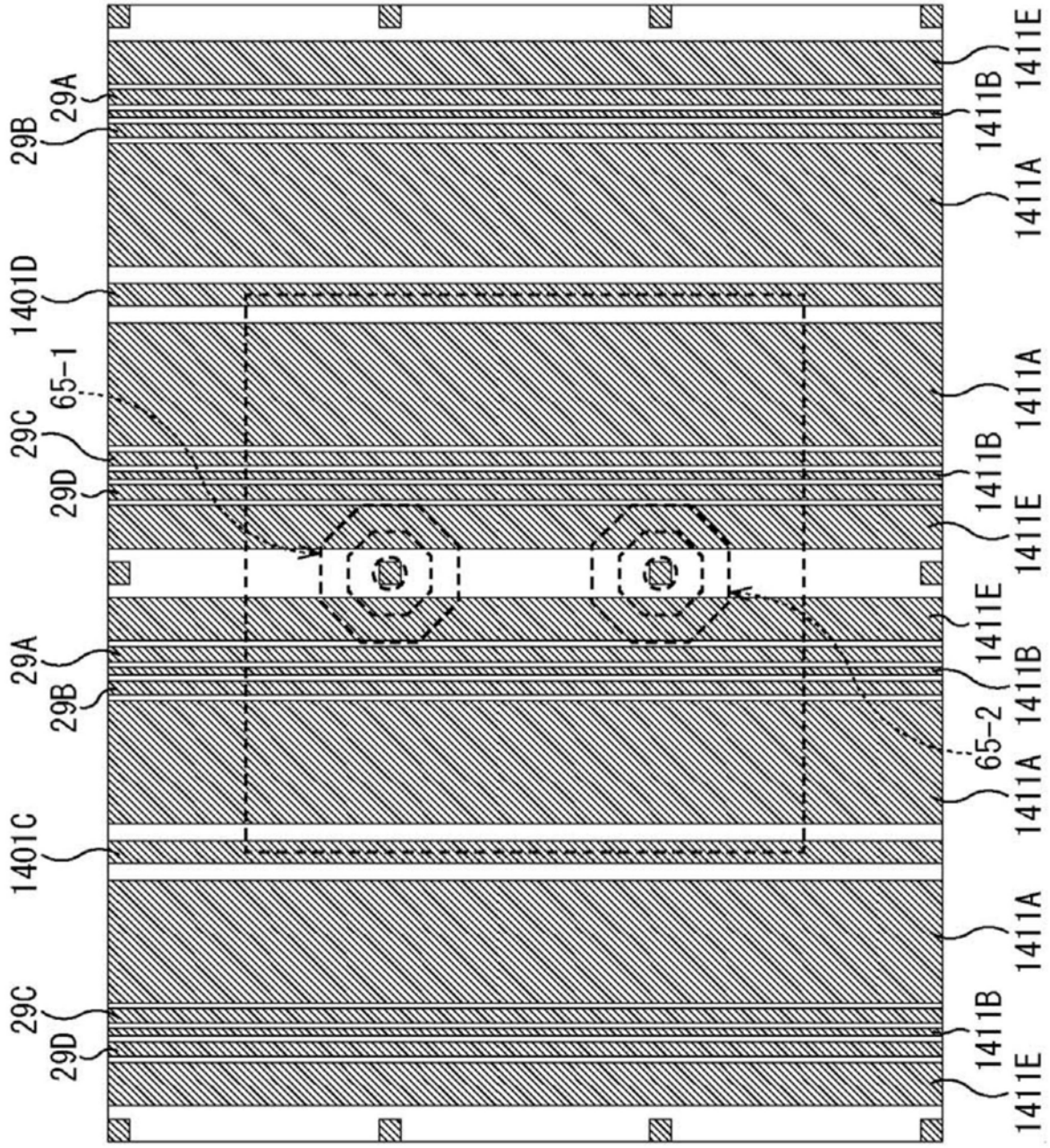

29A
29B
1401D
65-1
29C
29D
29A
29B
1401C
29C
29D
1411E
1411B
1411A
1411A
1411B
1411E
1411E
1411B
65-2
1411A
1411A
1411B
1411E

图76

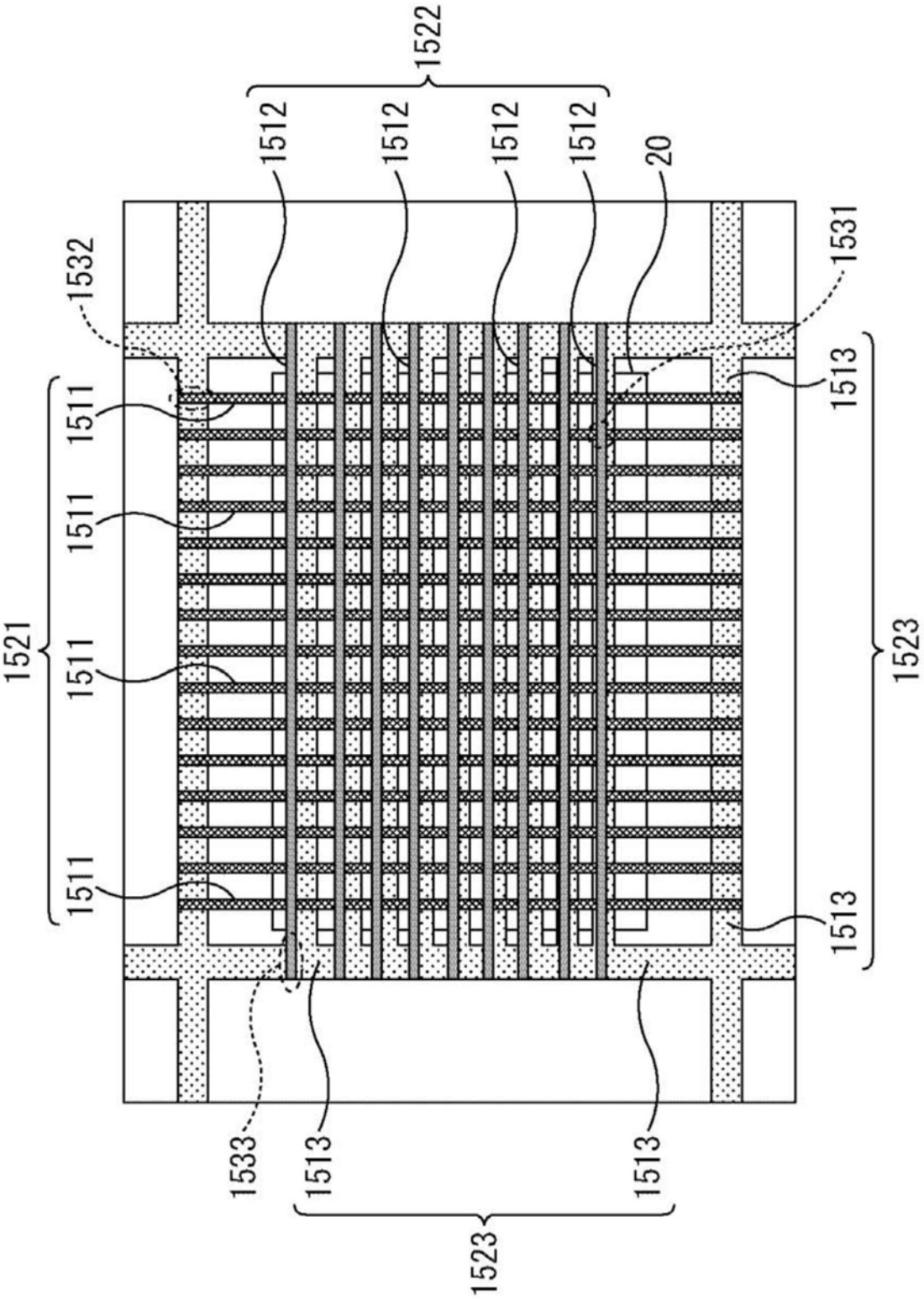

1522
1512
1512
1512
1512
20
1531
1532
1511
1511
1511
1511
1513
1513
1521
1523
1533
1513
1513
1523

图77

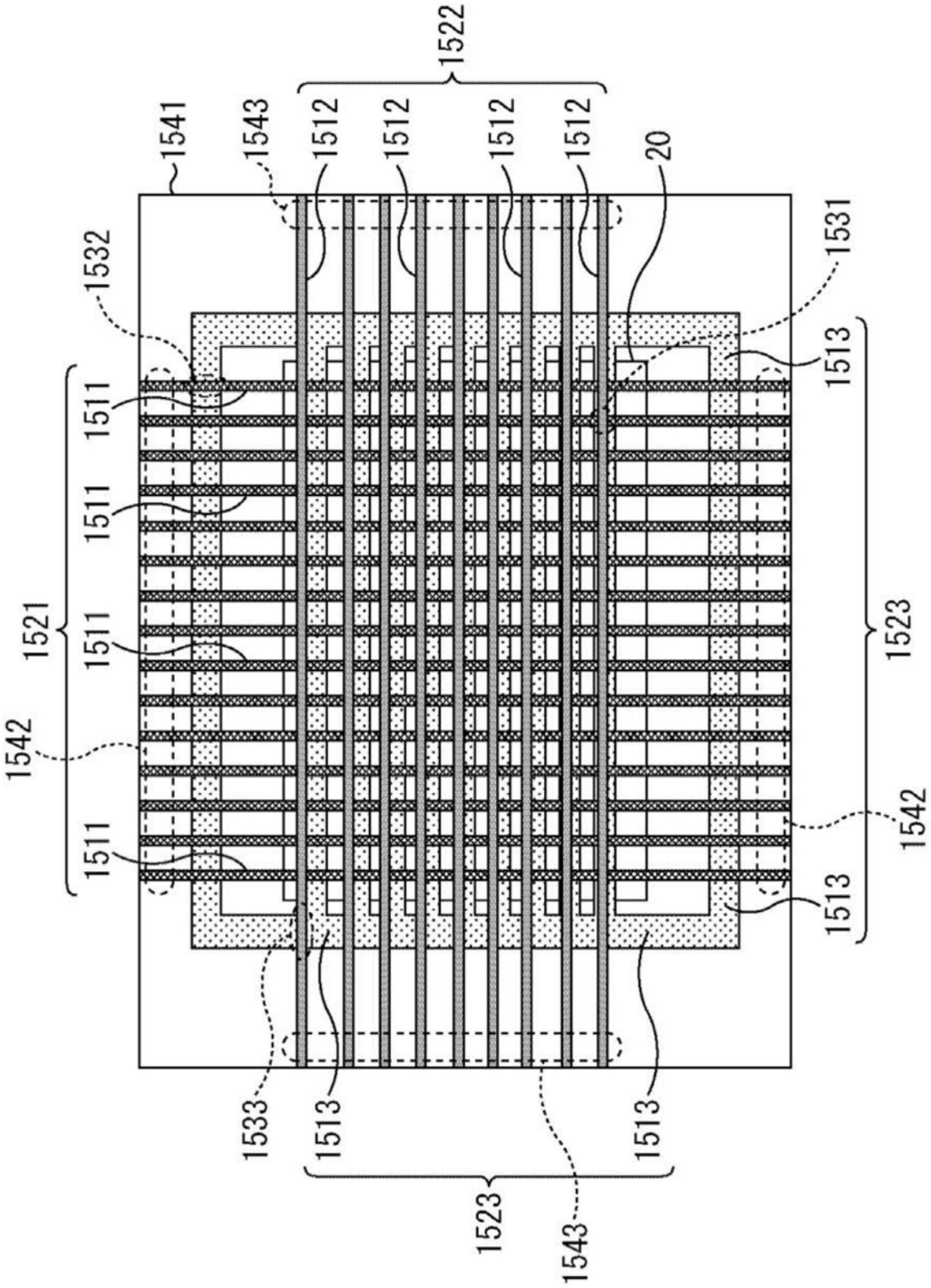

1522
1541
1543
1512
1512
1512
1512
20
1532
1531
1513
1511
1511
1521
1523
1542
1511
1542
1513
1533
1513
1513
1523
1543

图78

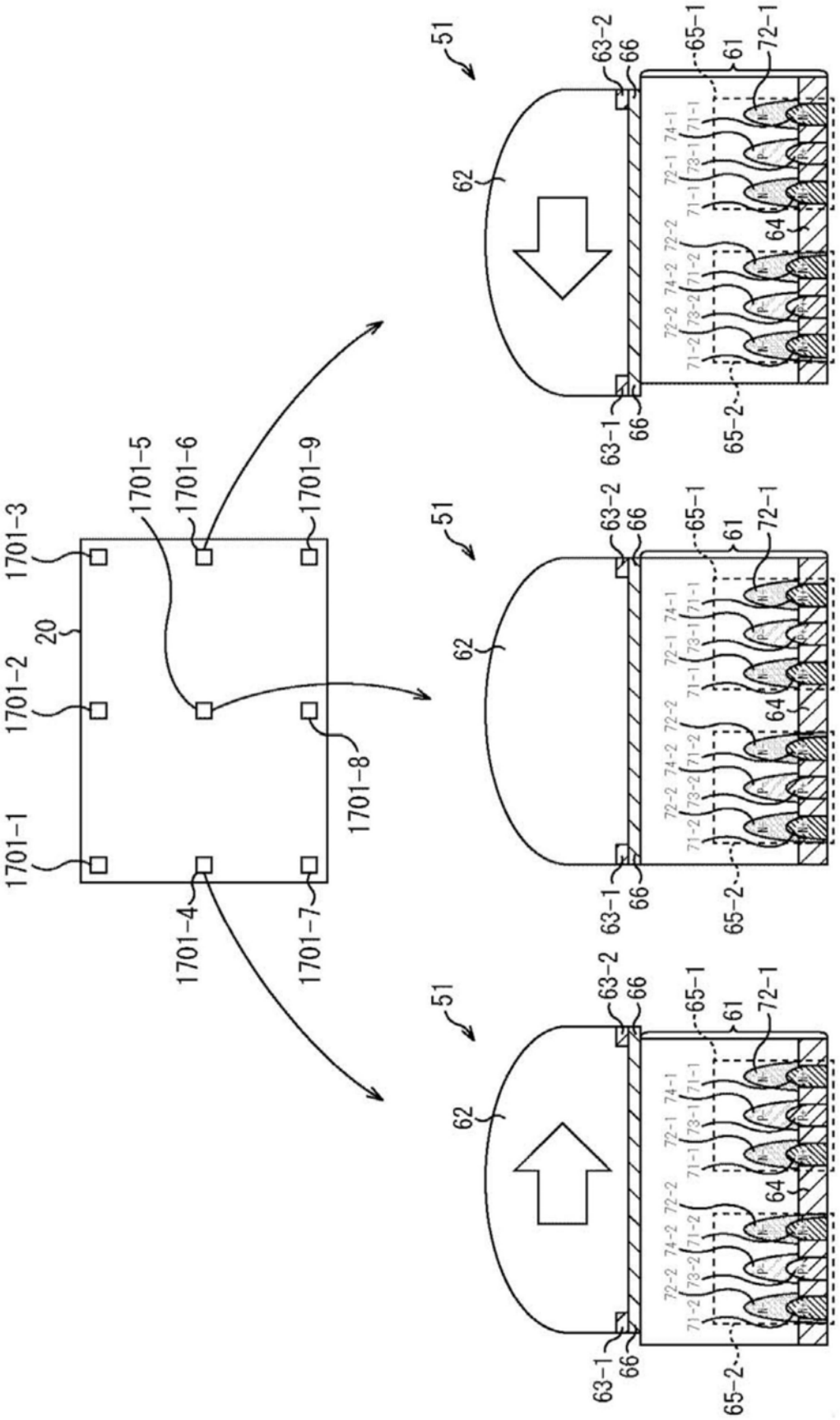

1701-1
1701-2
1701-3
20
1701-4
1701-5
1701-6
1701-7
1701-8
1701-9
51
62
63-1
63-2
64
65-1
65-2
66
61
72-1
71-1
73-1
74-1
72-2
71-2
73-2
74-2

图79

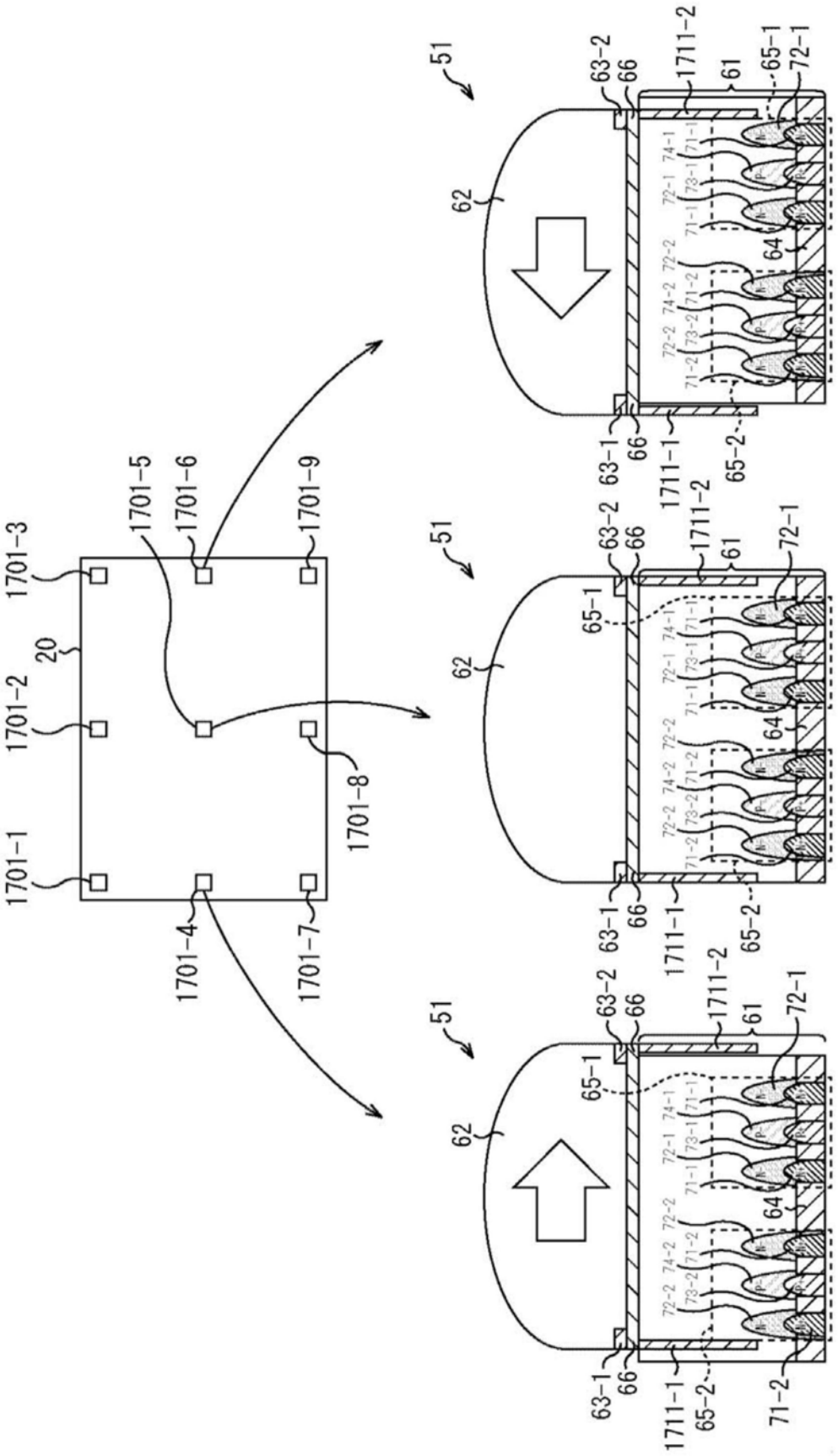

1701-1
1701-2
1701-3
20
1701-4
1701-5
1701-6
1701-7
1701-8
1701-9
51
62
63-1
63-2
64
65-1
65-2
66
71-1
71-2
72-1
72-2
73-1
73-2
74-1
74-2
61
1711-1
1711-2

图80

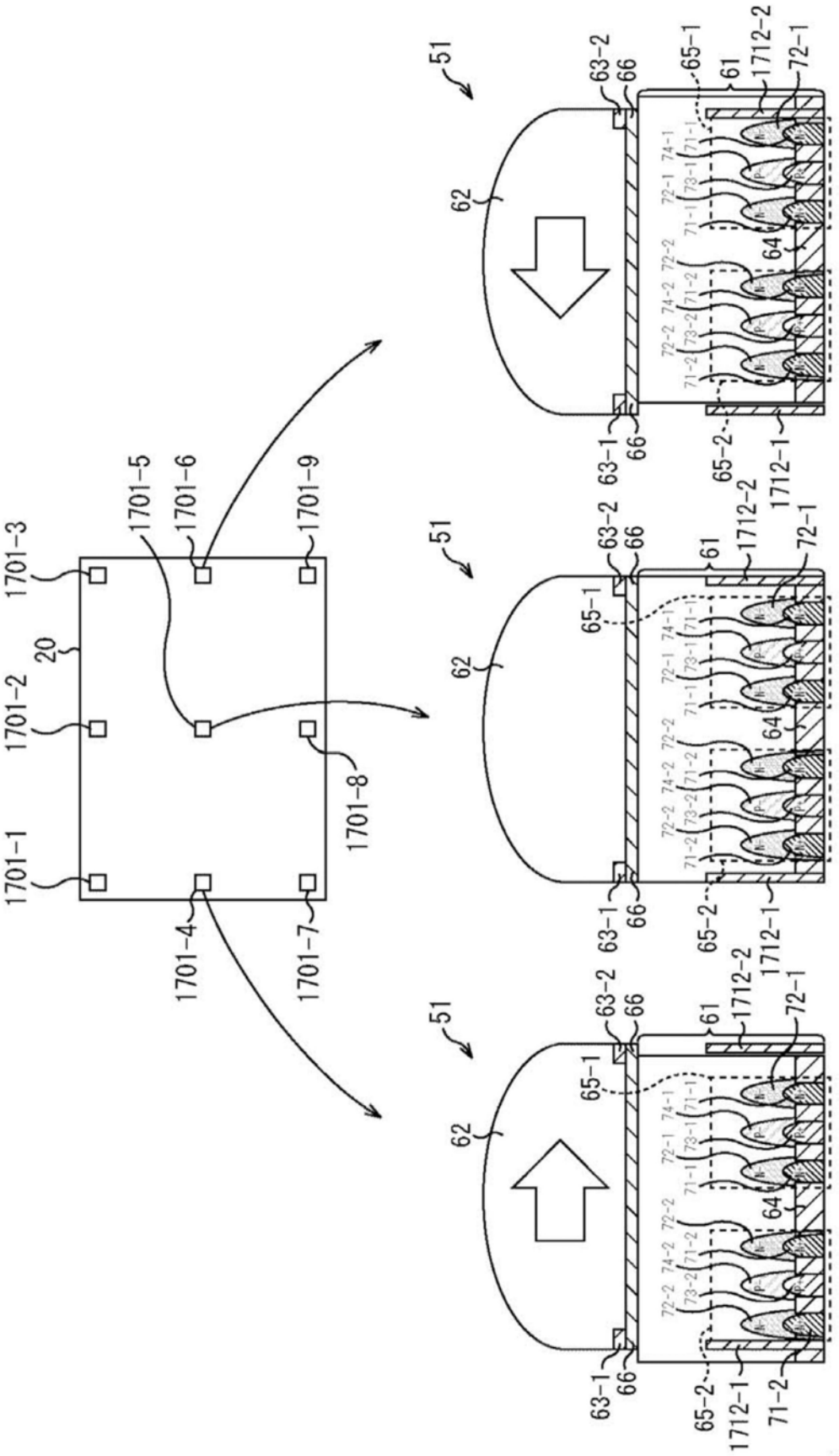

1701-1
1701-2
1701-3
20
1701-4
1701-5
1701-6
1701-7
1701-8
1701-9
51
62
63-1
63-2
64
65-1
65-2
66
71-1
71-2
72-1
72-2
73-1
73-2
74-1
74-2
61
1712-1
1712-2

图81

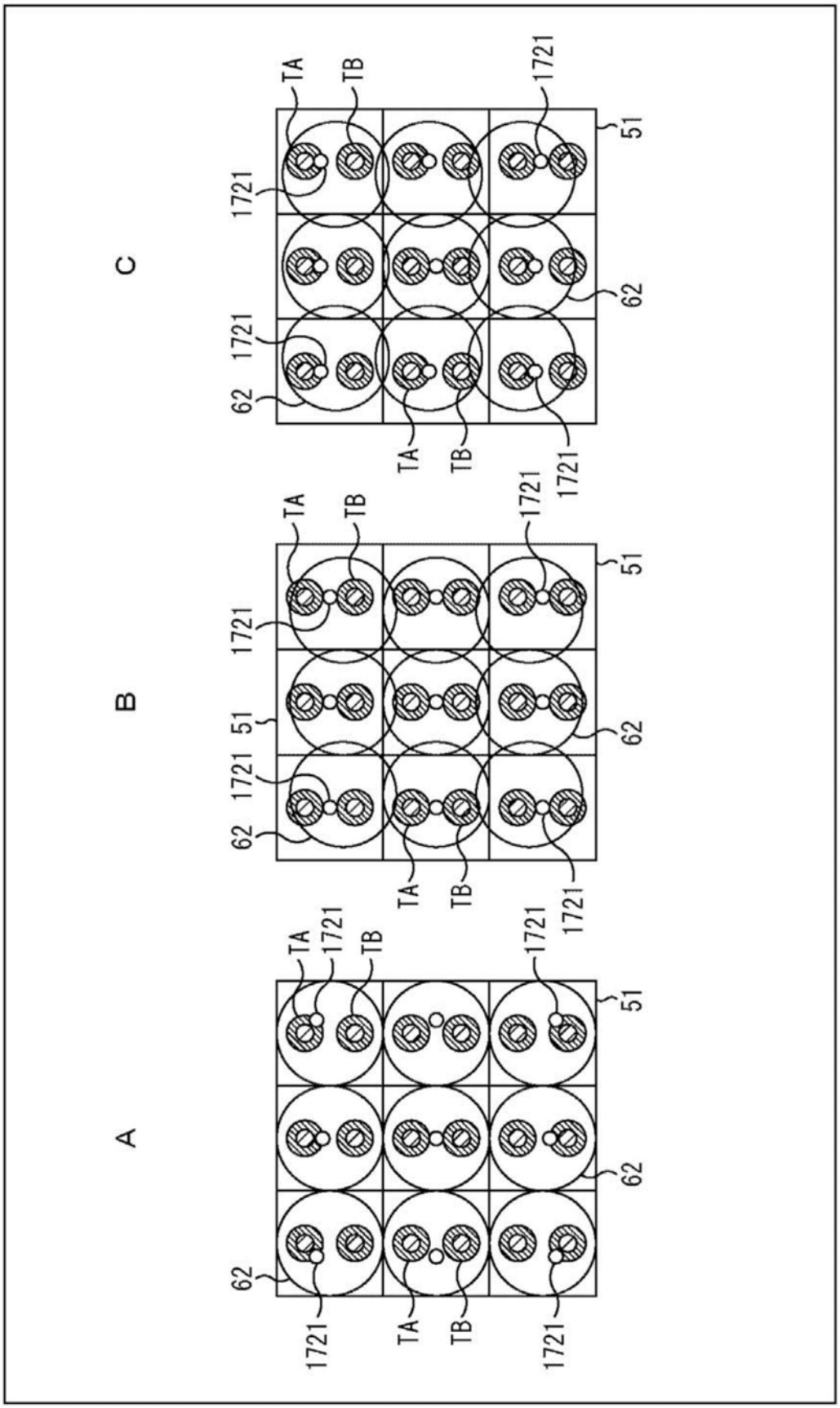


图82

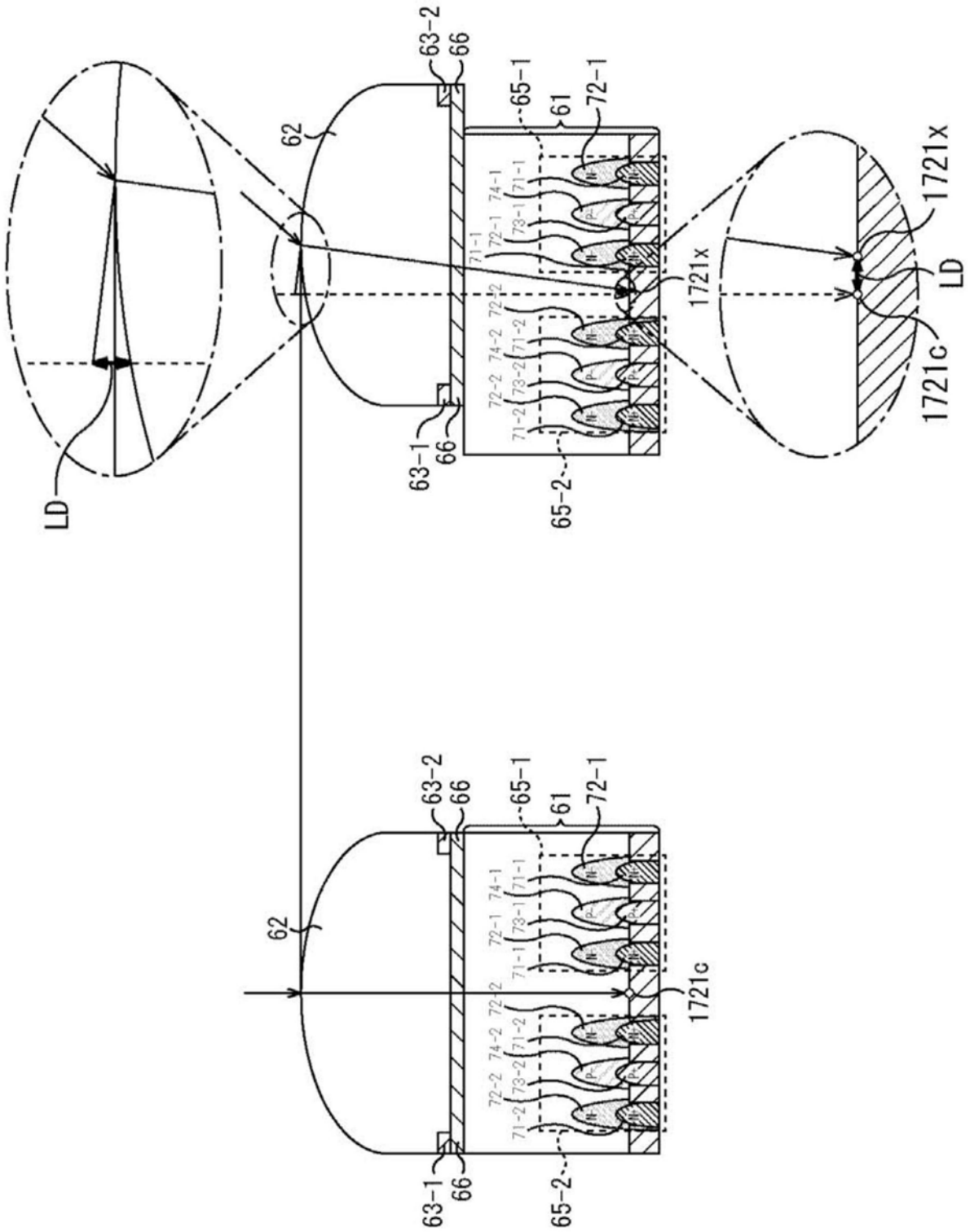

63-2
66
65-1
61
72-1
62
LD
63-1
66
65-2
1721x
1721c
71-1
72-1
73-1
74-1
72-2
71-2
73-2
74-2

图83

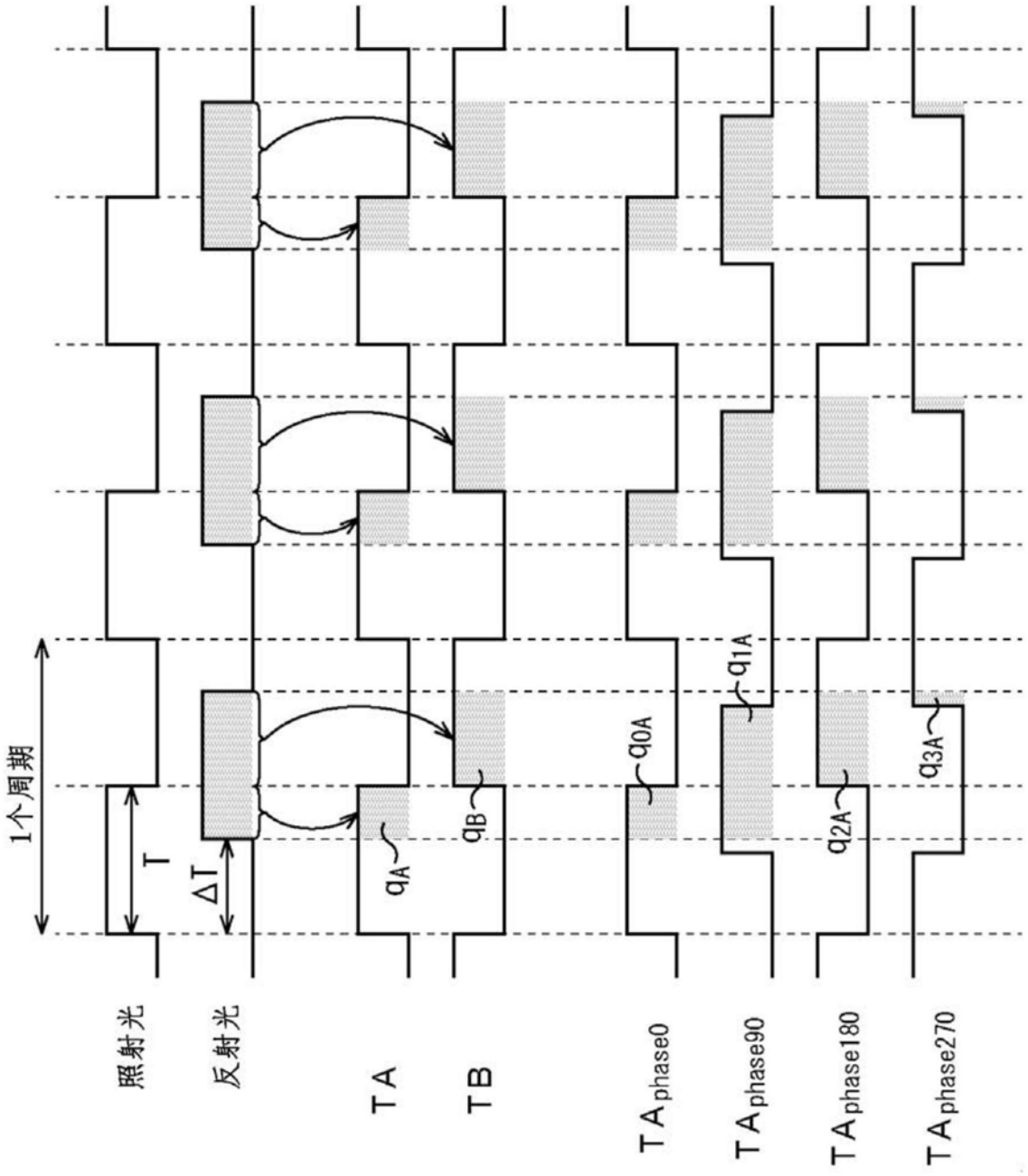

1个周期
T
ΔT
照射光
反射光
TA
TB
qA
qB
TAphase0
TAphase90
TAphase180
TAphase270
q0A
q1A
q2A
q3A

图84

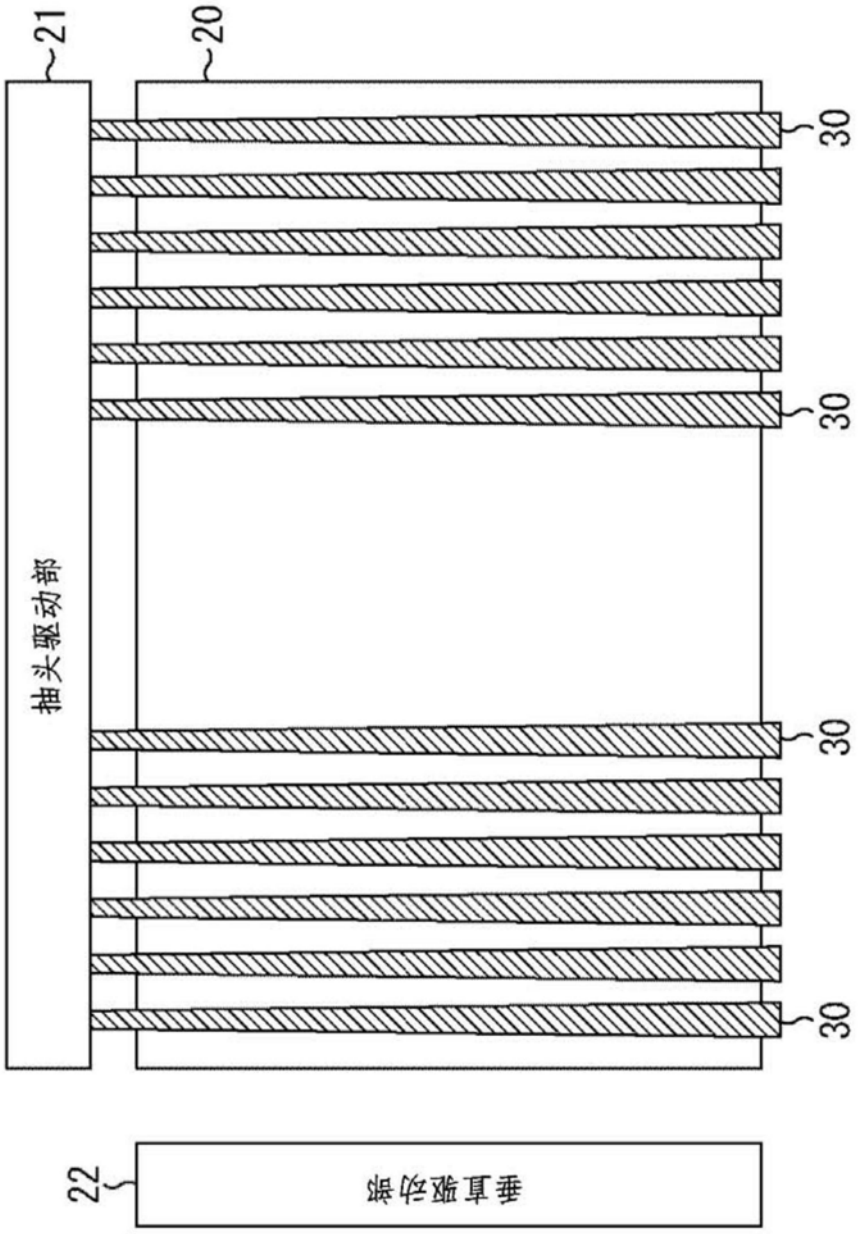


图85

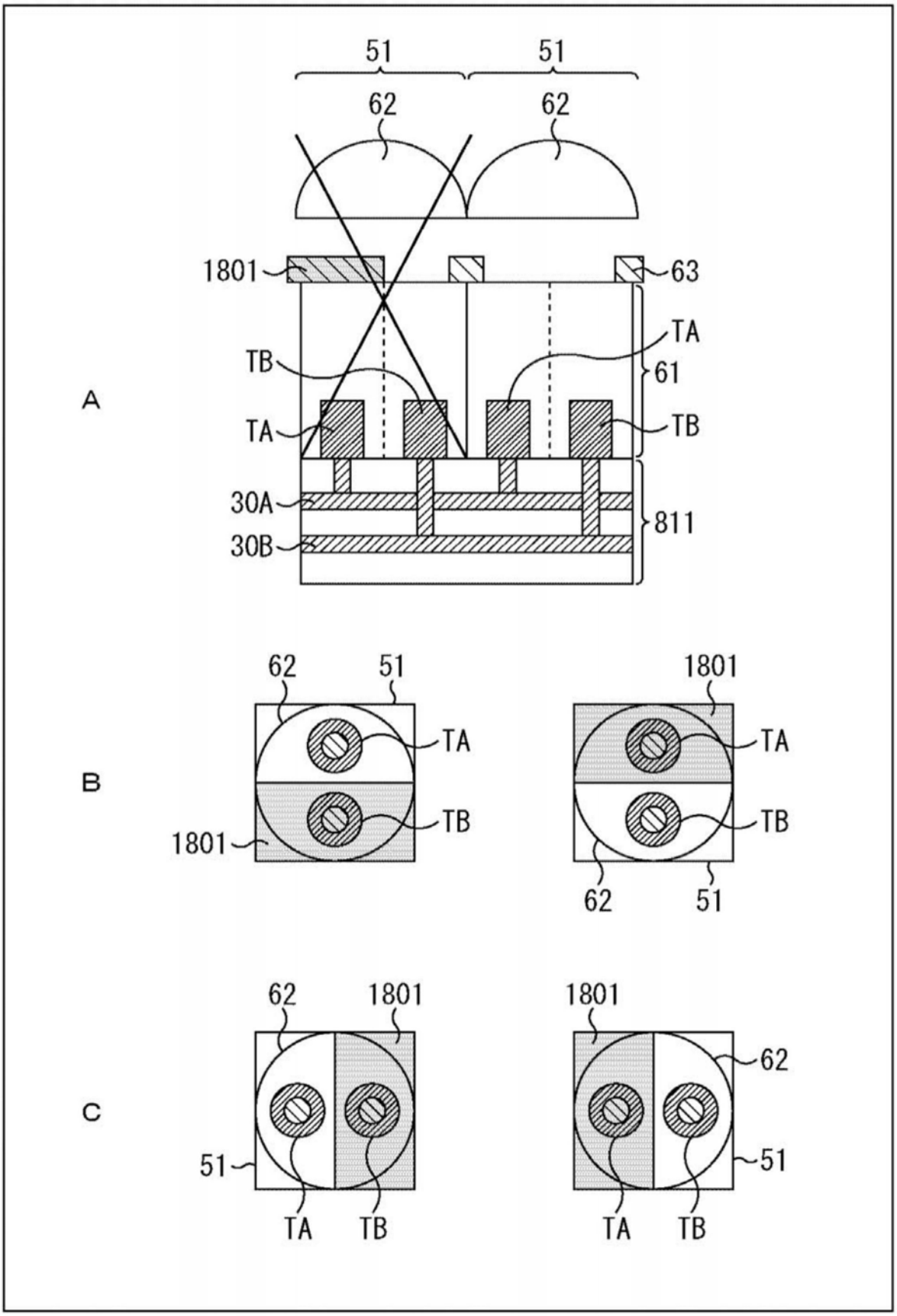

A
51
51
62
62
1801
63
TA
TB
61
TA
TB
30A
30B
811
B
62
51
TA
TB
1801
1801
TA
TB
62
51
C
62
1801
51
TA
TB
1801
62
51
TA
TB

图86

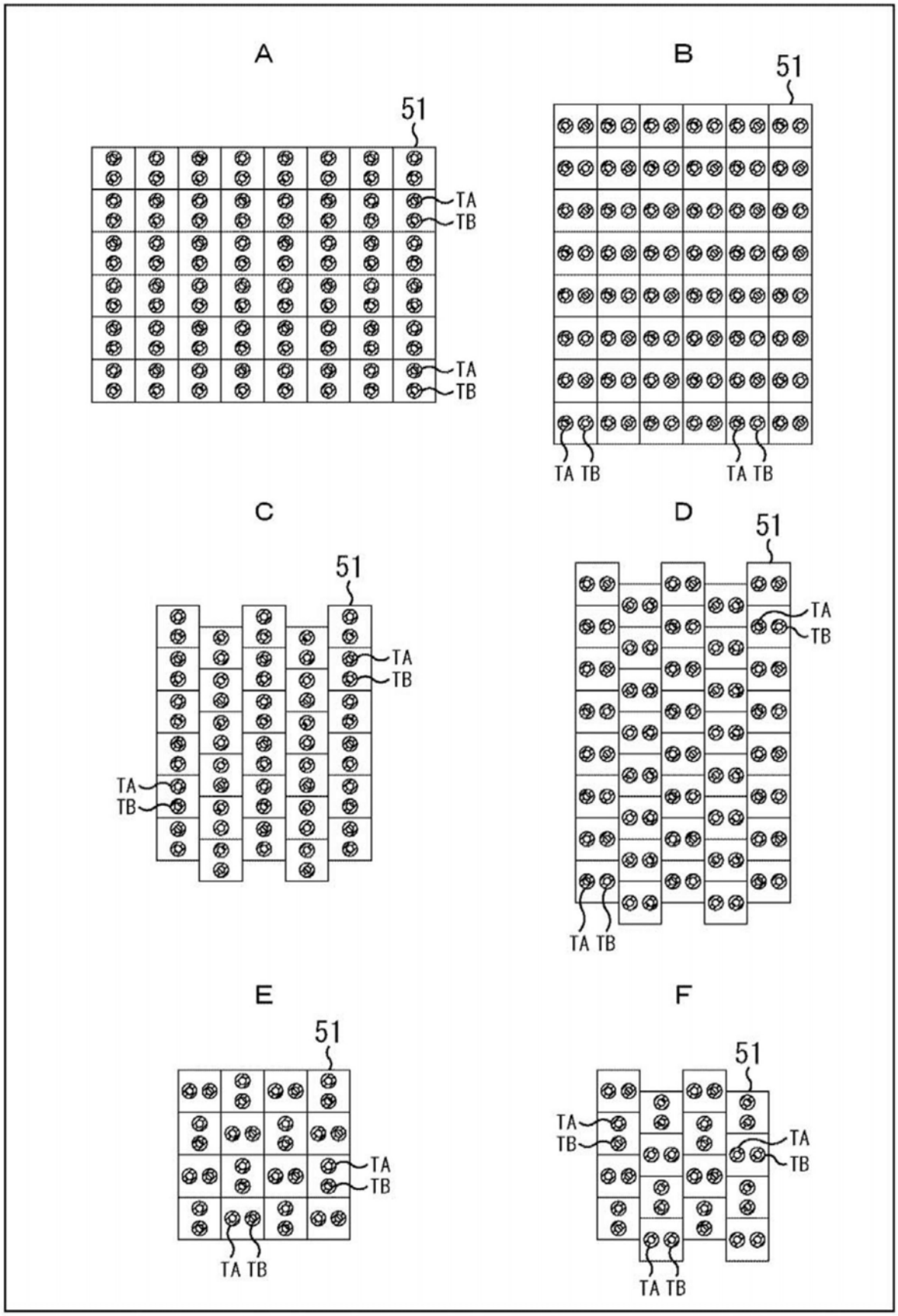

A
51
TA
TB
TA
TB
B
51
TA TB
TA TB
C
51
TA
TB
TA
TB
D
51
TA
TB
TA TB
E
51
TA
TB
TA TB
F
51
TA
TB
TA
TB
TA TB

图87

施加电压	模式1		模式2	模式3	模式4	模式5
抽头TA	H	0	H	H（像高加权）	H	H（像高加权）
抽头TB	0	H	H	H（像高加权）	H	H（像高加权）
像素Tr	VSS	VSS	VSS	VSS	L	L

H(High):1.5V, VSS:0V, L(Low)=-1.5V

图88

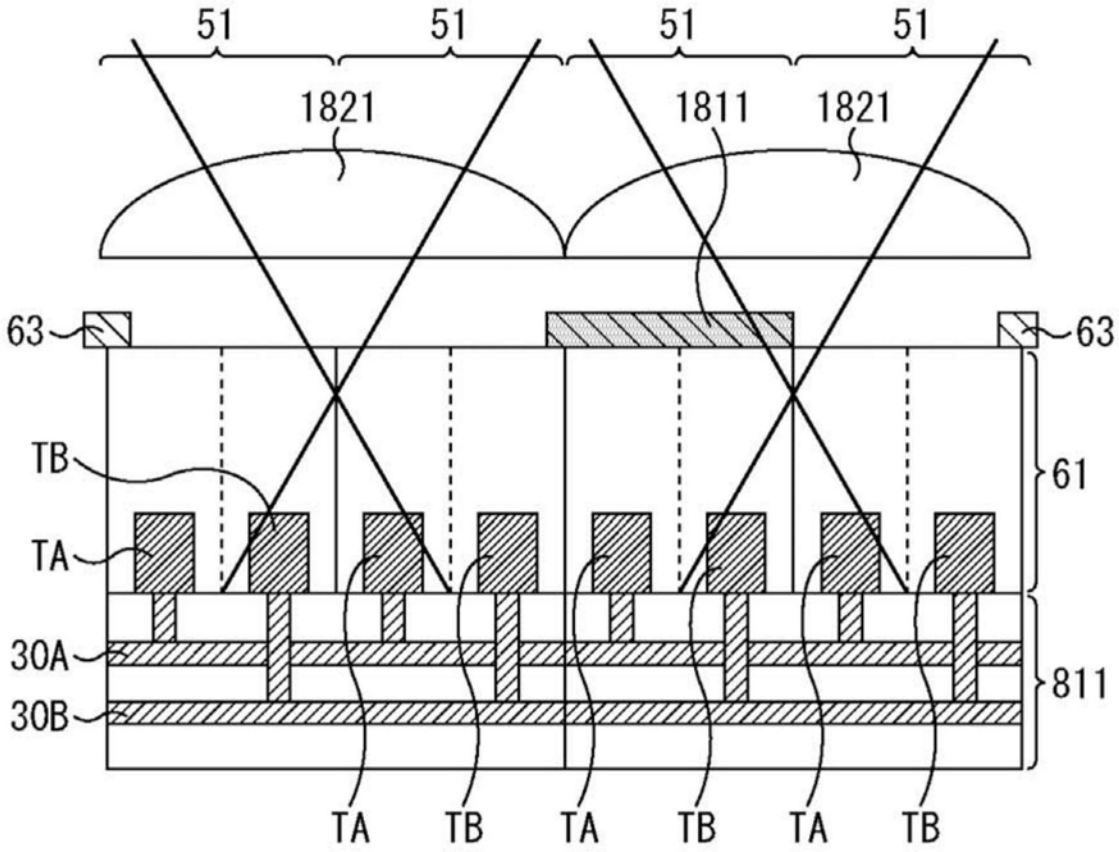

51
51
51
51
1821
1811
1821
63
63
TB
61
TA
30A
811
30B
TA
TB
TA
TB
TA
TB

图89

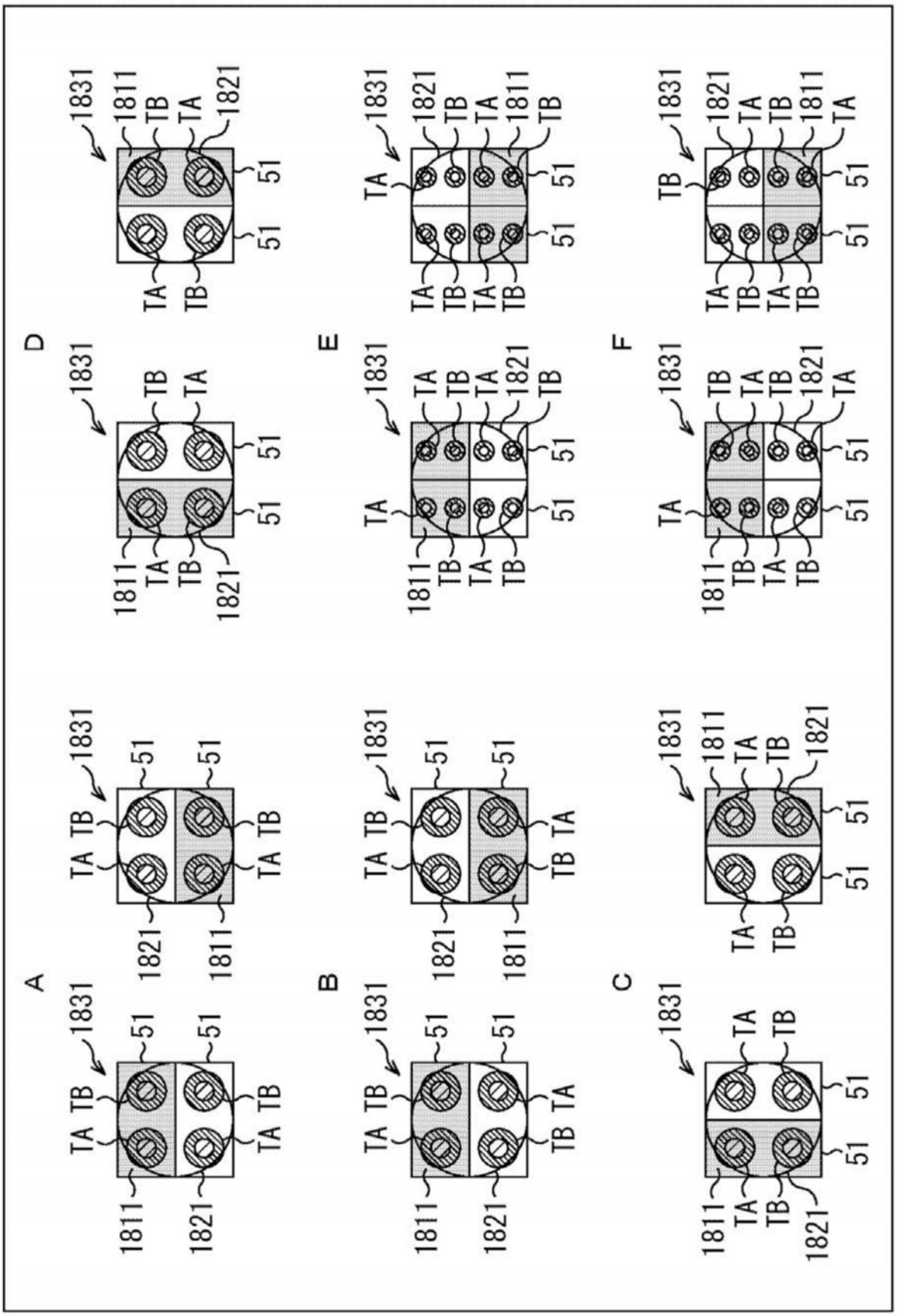


图90

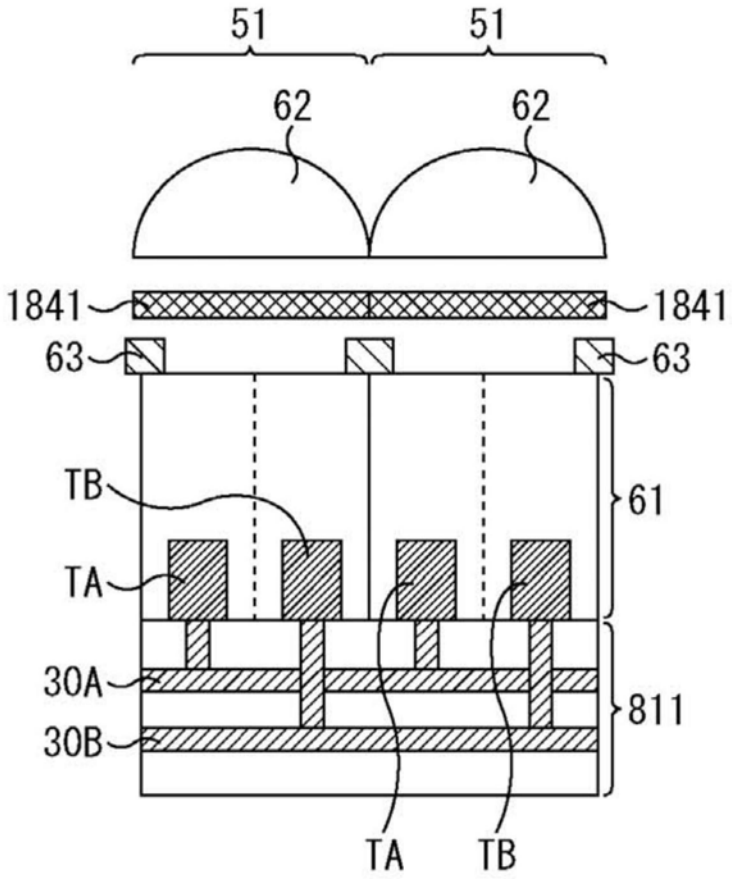


图91

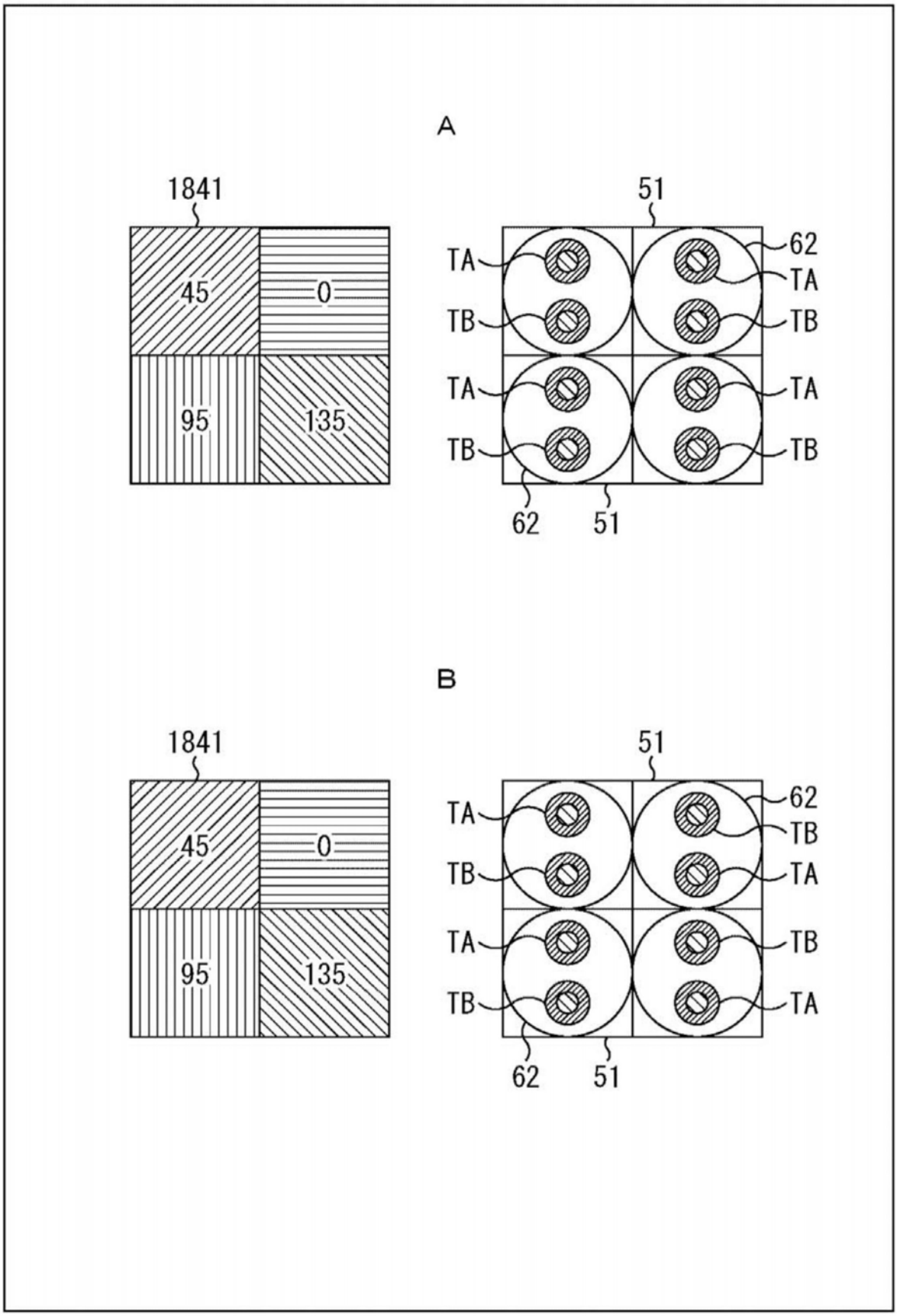


图92

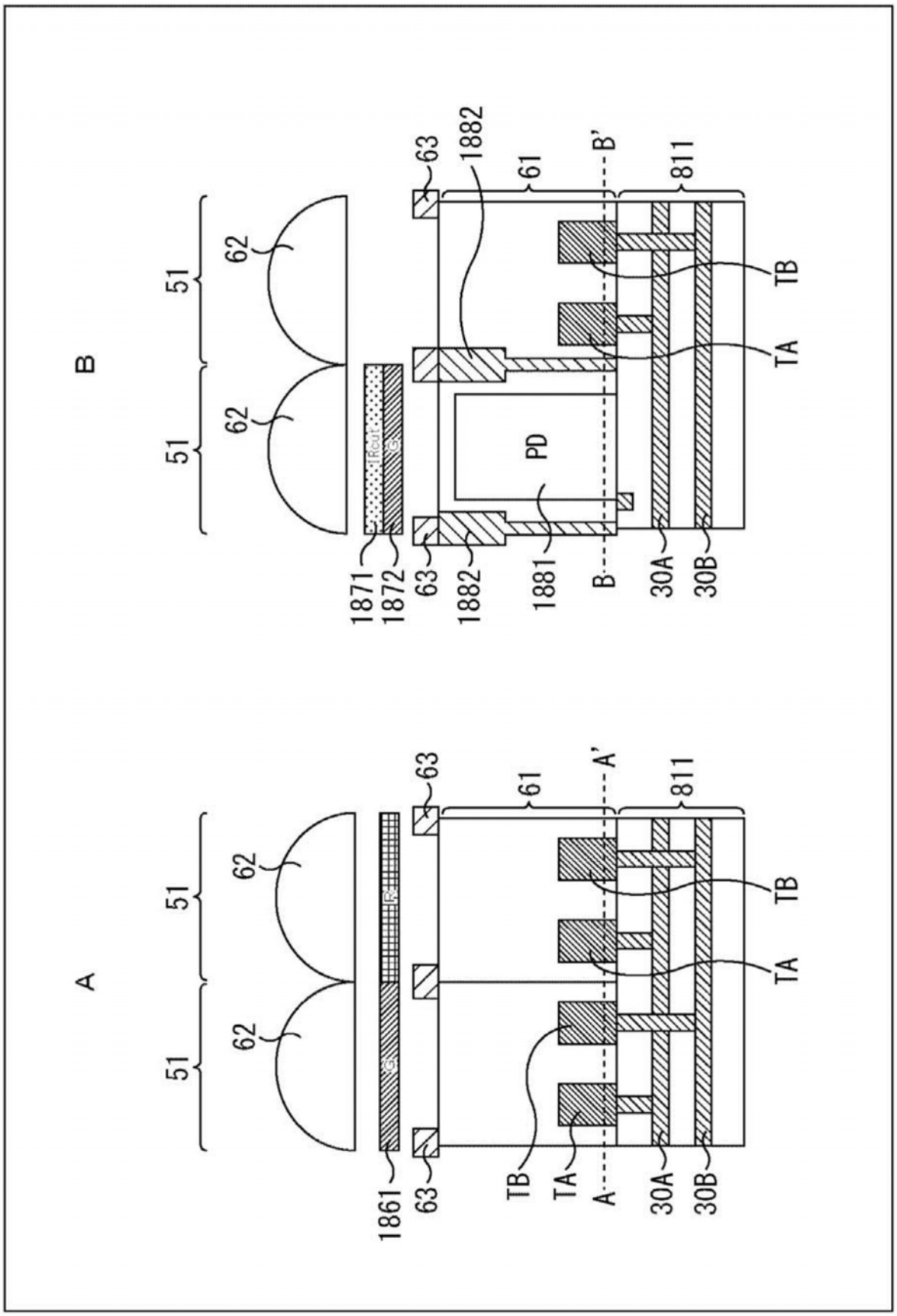


图93

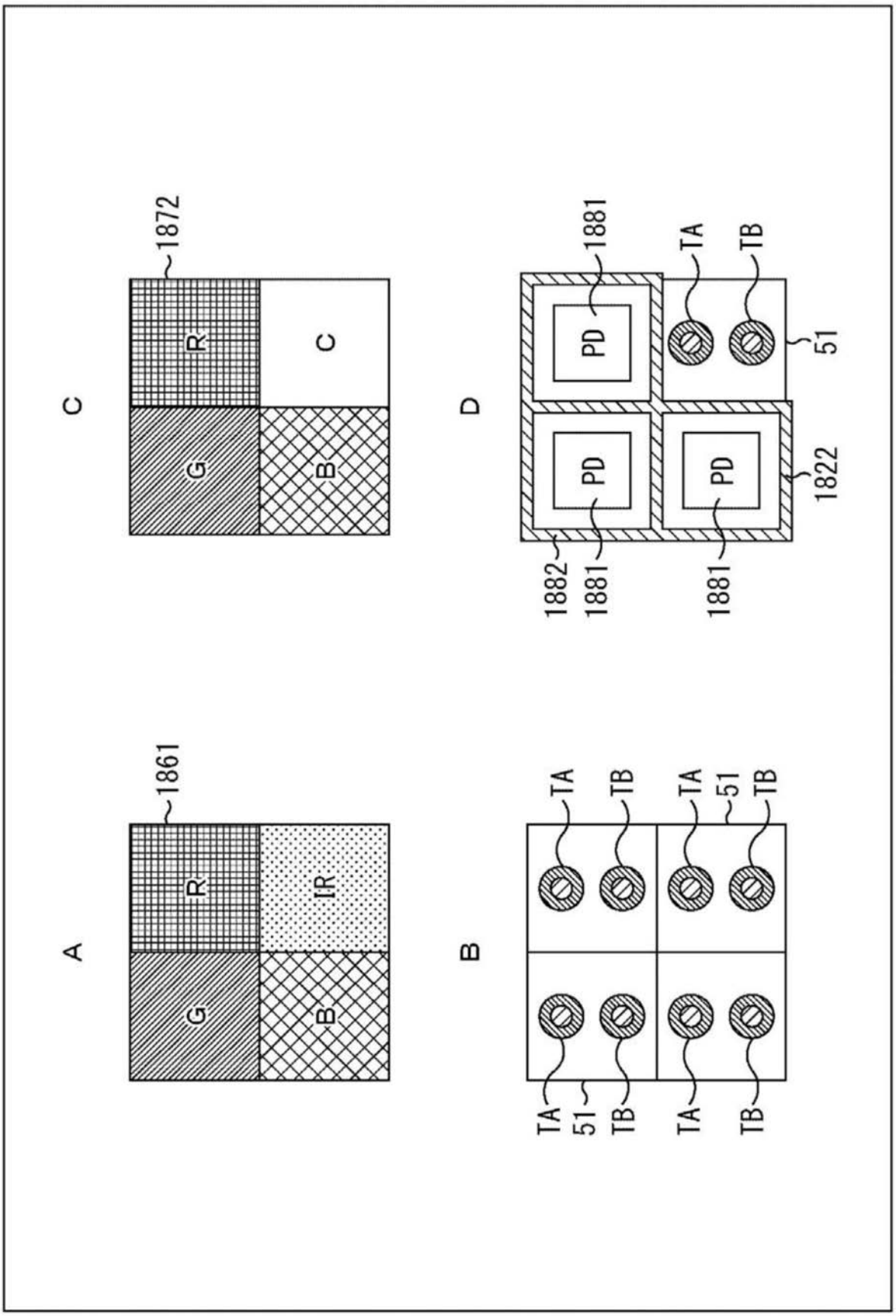

A
1861
R
IR
G
B
B
TA
TB
TA
51
TB
TA
51
TB
TA
TB
C
1872
R
C
G
B
D
1881
TA
TB
PD
PD
51
PD
PD
1822
1882
1881
1881

图94

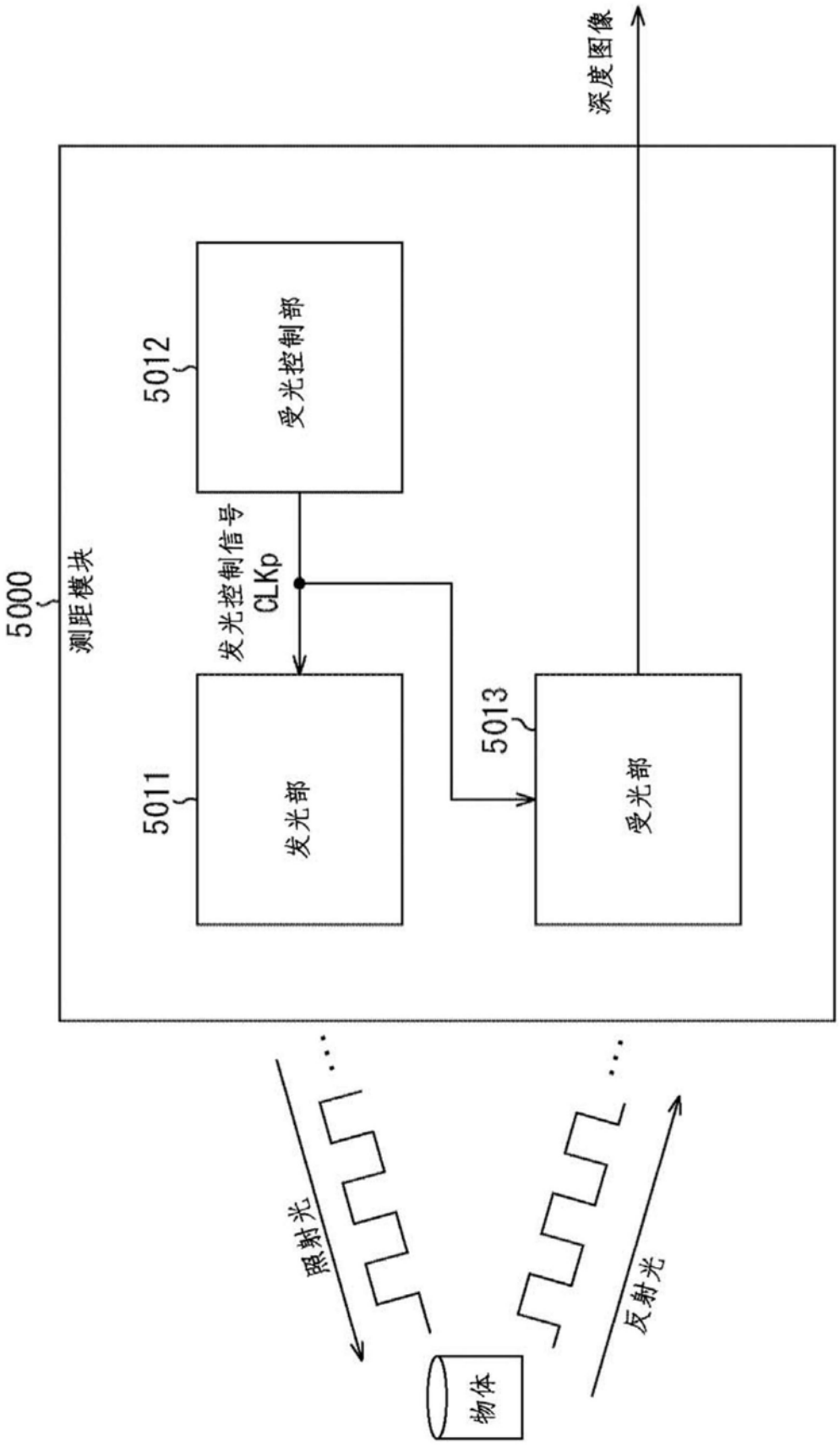

深度图像
5000
测距模块
5012
受光控制部
发光控制信号
CLKp
5011
发光部
5013
受光部
照射光
物体
反射光

图95

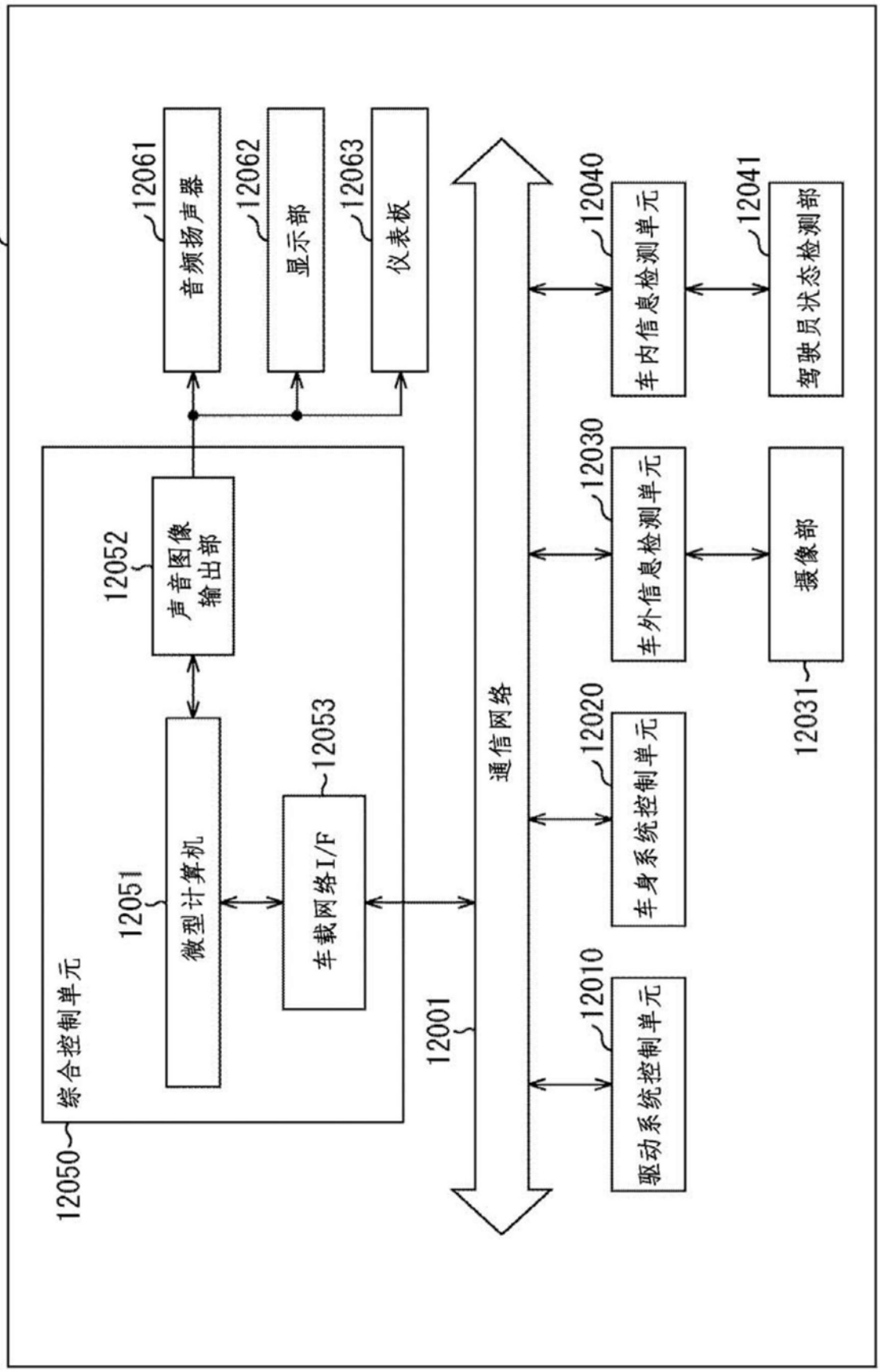

12000
12061
音频扬声器
12062
显示部
12063
仪表板
12040
车内信息检测单元
12041
驾驶员状态检测部
12052
声音图像输出部
12030
车外信息检测单元
12051
微型计算机
12053
车载网络I/F
12020
车身系统控制单元
12031
摄像部
通信网络
12001
12010
驱动系统控制单元
综合控制单元
12050

图96

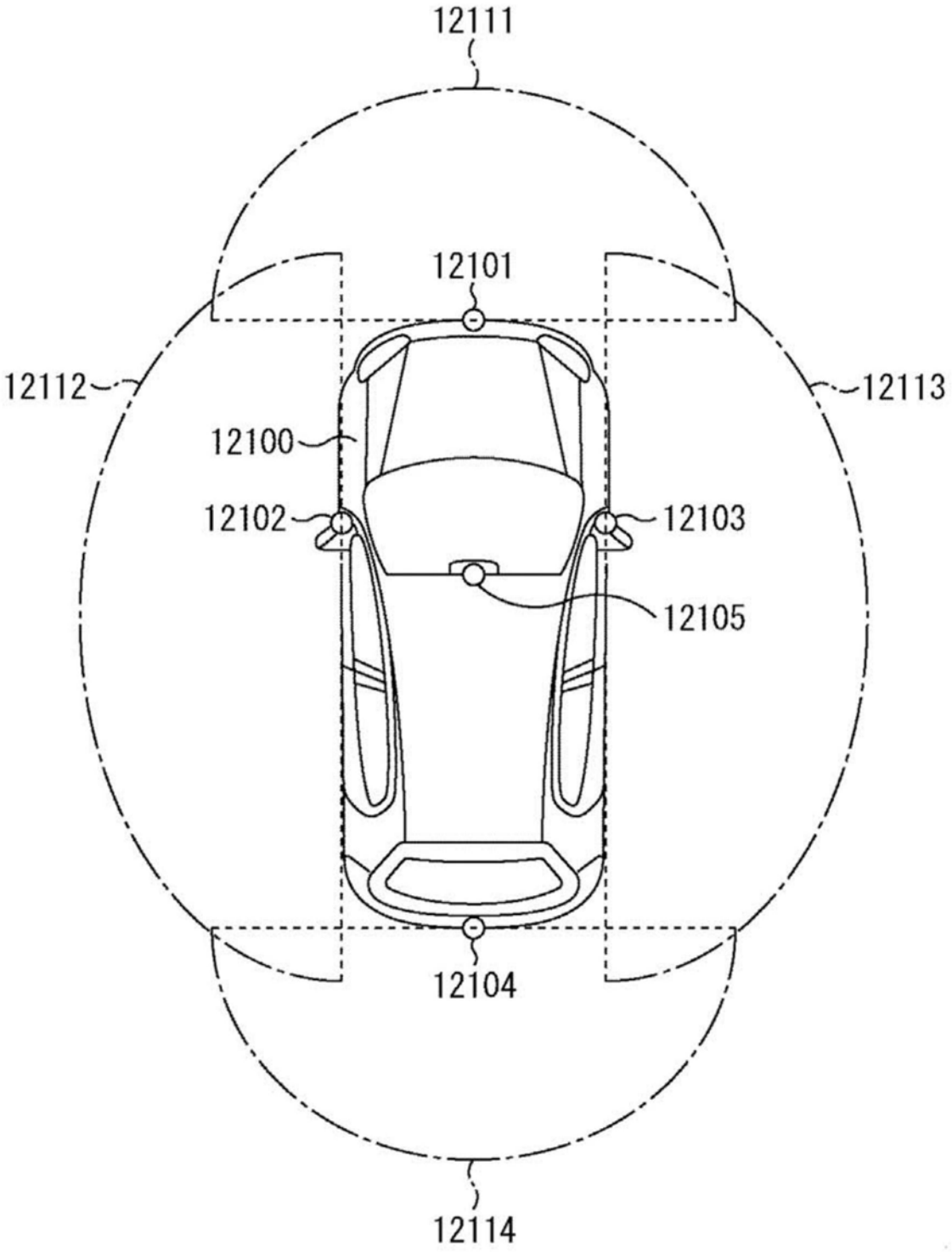

12111
12101
12112
12113
12100
12102
12103
12105
12104
12114

图97