



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2008년03월31일  
(11) 등록번호 10-0817990  
(24) 등록일자 2008년03월24일

(51) Int. Cl.

G09G 3/36 (2006.01) G09G 3/20 (2006.01)

(21) 출원번호 10-2006-0028499

(22) 출원일자 2006년03월29일

심사청구일자 2006년03월29일

(65) 공개번호 10-2006-0105525

(43) 공개일자 2006년10월11일

(30) 우선권주장

JP-P-2005-00096624 2005년03월30일 일본(JP)

(56) 선행기술조사문헌

JP11338441 A

JP2001194685 A

JP2002041003 A

전체 청구항 수 : 총 20 항

(73) 특허권자

가부시키가이샤 히타치 디스플레이즈

일본국 치바켄 모바라시 하야노 3300

(72) 발명자

나카오 다카유키

일본 지바켄 모바라시 마찌보 13-2

사토우 히데오

일본 이바라끼켄 히타찌시 다이하라조 3조메 5-5

(뒷면에 계속)

(74) 대리인

구영창, 이중희, 장수길

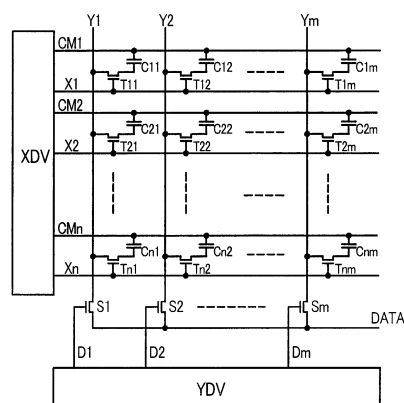
심사관 : 이병우

(54) 표시 장치

(57) 요약

종래의 것과 비교하여, 소자 수를 증가시키지 않고, 또한 회로 규모를 축소시키는 것이 가능한 단채널 구성의 공통 전극 구동 회로를 구비한 표시 장치를 제공한다. 복수의 화소와, 공통 전극 구동 회로를 구비하고, 상기 공통 전극 구동 회로는, 복수의 기본 회로를 갖고, 상기 기본 회로는, 클럭 신호가 제2 전압 레벨로부터 제1 전압 레벨로 변화한 시점에서 제1 입력 신호를 래치하는 제1 회로와, 상기 클럭 신호가 상기 제2 전압 레벨로부터 상기 제1 전압 레벨로 변화한 시점에서 제2 입력 신호를 래치하는 제2 회로와, 상기 제1 회로에서 래치된 전압에 기초하여 스위칭되고, 온 상태에서 출력 단자에 제1 전원 전압을 출력하는 제1 스위칭 회로와, 상기 제2 회로에서 래치된 전압에 기초하여 스위칭되고, 온 상태에서 출력 단자에 제2 전원 전압을 출력하는 제2 스위칭 회로를 갖고, 상기 제1 입력 신호가 상기 제2 전압 레벨일 때, 상기 제2 입력 신호는 상기 제1 전압 레벨이고, 상기 제2 입력 신호가 상기 제2 전압 레벨일 때, 상기 제1 입력 신호는 상기 제1 전압 레벨이며, 상기 클럭 신호가 상기 제1 전압 레벨로부터 상기 제2 전압 레벨로 변화한 후로서, 또한, 상기 클럭 신호가 상기 제2 전압 레벨로부터 상기 제1 전압 레벨로 되돌아가기 보다도 전에, 상기 제1 입력 신호와 상기 제2 입력 신호 중 한쪽이 상기 제1 전압 레벨로부터 상기 제2 전압 레벨로 변화한다.

대표도 - 도1



(72) 발명자

**마끼 마사히로**

일본 지바켄 모바라시 무쯔노 206-2

**미야자와 도시오**

일본 지바켄 지바시 미도리꾸 오유미노 츄오 4쵸메  
28-2

---

## 특허청구의 범위

### 청구항 1

복수의 화소와, 공통 전극 구동 회로를 포함하고,

상기 공통 전극 구동 회로는, 복수의 기본 회로를 갖고,

상기 기본 회로는, 클럭 신호가 제2 전압 레벨로부터 제1 전압 레벨로 변화한 시점에서 제1 입력 신호를 래치하는 제1 회로와,

상기 클럭 신호가 상기 제2 전압 레벨로부터 상기 제1 전압 레벨로 변화한 시점에서 제2 입력 신호를 래치하는 제2 회로와,

상기 제1 회로에서 래치된 전압에 기초하여 스위칭되고, 온 상태에서 출력 단자에 제1 전원 전압을 출력하는 제1 스위칭 회로와,

상기 제2 회로에서 래치된 전압에 기초하여 스위칭되고, 온 상태에서 출력 단자에 제2 전원 전압을 출력하는 제2 스위칭 회로를 갖고,

상기 제1 입력 신호가 상기 제2 전압 레벨일 때, 상기 제2 입력 신호는 상기 제1 전압 레벨이고, 상기 제2 입력 신호가 상기 제2 전압 레벨일 때, 상기 제1 입력 신호는 상기 제1 전압 레벨이며,

상기 클럭 신호가 상기 제1 전압 레벨로부터 상기 제2 전압 레벨로 변화한 후로서, 또한, 상기 클럭 신호가 상기 제2 전압 레벨로부터 상기 제1 전압 레벨로 되돌아가기 보다는 전에, 상기 제1 입력 신호와 상기 제2 입력 신호 중 한쪽이 상기 제1 전압 레벨로부터 상기 제2 전압 레벨로 변화하는 것을 특징으로 하는 표시 장치.

### 청구항 2

복수의 화소와, 공통 전극 구동 회로를 포함하고,

상기 공통 전극 구동 회로는, 복수의 기본 회로를 갖고,

상기 기본 회로는, 제1 전극에 제1 입력 신호가 인가되고, 제어 전극에 클럭 신호가 인가되는 제1 트랜지스터와,

제1 전극에 제2 입력 신호가 인가되고, 제어 전극이 상기 제1 트랜지스터의 제어 전극에 접속되는 제2 트랜지스터와,

제어 전극이 상기 제1 트랜지스터의 제2 전극에 접속되고, 제1 전극이 출력 단자에 접속됨과 함께, 제2 전극에 제1 전원 전압이 인가되는 제3 트랜지스터와,

제어 전극이 상기 제2 트랜지스터의 제2 전극에 접속되고, 제2 전극이 상기 출력 단자에 접속됨과 함께, 제1 전극에 제2 전원 전압이 인가되는 제4 트랜지스터를 갖고,

상기 클럭 신호가 제1 전압 레벨로부터 상기 제1 및 상기 제2 트랜지스터를 온시키는 제2 전압 레벨로 변화한 후로서, 또한, 상기 클럭 신호가 상기 제2 전압 레벨로부터 상기 제1 전압 레벨로 되돌아가기 보다는 전에, 상기 제1 입력 신호와 상기 제2 입력 신호 중 한쪽이 상기 제1 전압 레벨로부터 상기 제2 전압 레벨로 변화하고,

상기 제1 입력 신호가 상기 제2 전압 레벨일 때, 상기 제2 입력 신호는 상기 제1 전압 레벨이고, 상기 제2 입력 신호가 상기 제2 전압 레벨일 때, 상기 제1 입력 신호는 상기 제1 전압 레벨인 것을 특징으로 하는 표시 장치.

### 청구항 3

제2항에 있어서,

상기 기본 회로는, 상기 제1 트랜지스터의 제2 전극과, 기준 전압이 공급되는 기준 전원선과의 사이에 접속되는 제1 용량 소자와,

상기 제2 트랜지스터의 제2 전극과, 상기 기준 전원선과의 사이에 접속되는 제2 용량 소자를 갖는 것을 특징으로 하는 표시 장치.

#### 청구항 4

제2항에 있어서,

상기 기본 회로는, 제어 전극이 상기 제1 트랜지스터의 제2 전극에 접속되고, 제2 전극이 상기 제2 트랜지스터의 제2 전극에 접속됨과 함께, 제1 전극이 기준 전압이 공급되는 기준 전원선에 접속되는 제5 트랜지스터와,

제어 전극이 상기 제2 트랜지스터의 제2 전극에 접속되고, 제2 전극이 상기 제1 트랜지스터의 제2 전극에 접속됨과 함께, 제1 전극이 상기 기준 전원선에 접속되는 제6 트랜지스터를 갖는 것을 특징으로 하는 표시 장치.

#### 청구항 5

복수의 화소와, 공통 전극 구동 회로를 포함하고,

상기 공통 전극 구동 회로는,  $k(k \geq 2)$ 개의 기본 회로를 갖고,

$n(1 \leq n \leq k)$ 번째의 기본 회로는, 제1 전극에 제1 입력 신호가 인가되고, 제어 전극에  $(n-1)$ 번째의 주사선 선택 신호가 인가되는 제1 트랜지스터와,

제1 전극에 제2 입력 신호가 인가되고, 제어 전극이 상기 제1 트랜지스터의 제어 전극에 접속되는 제2 트랜지스터와,

제어 전극이 상기 제1 트랜지스터의 제2 전극에 접속되고, 제1 전극이 출력 단자에 접속됨과 함께, 제2 전극에 제1 전원 전압이 인가되는 제3 트랜지스터와,

제어 전극이 상기 제2 트랜지스터의 제2 전극에 접속되고, 제2 전극이 상기 출력 단자에 접속됨과 함께, 제1 전극에 제2 전원 전압이 인가되는 제4 트랜지스터와,

제어 전극이 상기 제1 트랜지스터의 제2 전극에 접속되고, 제1 전극에  $n$ 번째의 주사선 선택 신호가 인가되는 제5 트랜지스터와,

제어 전극이 상기 제2 트랜지스터의 제2 전극에 접속되고, 제1 전극에  $n$ 번째의 주사선 선택 신호가 인가되는 제6 트랜지스터와,

상기 제1 트랜지스터의 제2 전극과, 상기 제5 트랜지스터의 제2 전극과의 사이에 접속되는 제1 용량 소자와,

상기 제2 트랜지스터의 제2 전극과, 상기 제6 트랜지스터의 제2 전극과의 사이에 접속되는 제2 용량 소자와,

제어 전극이 상기 제1 트랜지스터의 제어 전극에 접속되고, 제1 전극이 기준 전위가 공급되는 기준 전원선에 접속됨과 함께, 제2 전극이 상기 제5 트랜지스터의 제2 전극에 접속되는 제7 트랜지스터와,

제어 전극이 상기 제1 트랜지스터의 제어 전극에 접속되고, 제1 전극이 상기 기준 전원선에 접속됨과 함께, 제2 전극이 상기 제6 트랜지스터의 제2 전극에 접속되는 제8 트랜지스터를 갖고,

상기  $(n-1)$ 번째의 주사선 선택 신호가 제1 전압 레벨로부터 상기 제1 및 상기 제2 트랜지스터를 온시키는 제2 전압 레벨로 변화한 후로서, 또한, 상기  $(n-1)$ 번째의 주사선 선택 신호가 상기 제2 전압 레벨로부터 상기 제1 전압 레벨로 되돌아가기 보다도 전에, 상기 제1 입력 신호와 상기 제2 입력 신호 중 한쪽이 상기 제1 전압 레벨로부터 상기 제2 전압 레벨로 변화하고,

상기  $n$ 번째의 주사선 선택 신호가 상기 제1 전압 레벨로부터 상기 제2 전압 레벨로 변화한 후로서, 또한, 상기  $n$ 번째의 주사선 선택 신호가 상기 제2 전압 레벨로부터 상기 제1 전압 레벨로 되돌아가기 보다도 전에, 상기 제1 입력 신호와 상기 제2 입력 신호 중 상기 한쪽, 또는, 다른 쪽이 상기 제1 전압 레벨로부터 상기 제2 전압 레벨로 변화하고,

상기 제1 입력 신호가 상기 제2 전압 레벨일 때, 상기 제2 입력 신호는 상기 제1 전압 레벨이고, 상기 제2 입력 신호가 상기 제2 전압 레벨일 때, 상기 제1 입력 신호는 상기 제1 전압 레벨인 것을 특징으로 하는 표시 장치.

#### 청구항 6

복수의 화소와, 공통 전극 구동 회로를 포함하고,

상기 공통 전극 구동 회로는,  $k(k \geq 2)$ 개의 기본 회로를 갖고,

$n(1 \leq n \leq k)$ 번째의 기본 회로는, 제1 전극에 제1 입력 신호가 인가되는 제1 트랜지스터와,

제1 전극에 제2 입력 신호가 인가되고, 제어 전극이 상기 제1 트랜지스터의 제어 전극에 접속되는 제2 트랜지스터와,

제어 전극이 상기 제1 트랜지스터의 제2 전극에 접속되고, 제1 전극이 출력 단자에 접속됨과 함께, 제2 전극에 제1 전원 전압이 인가되는 제3 트랜지스터와,

제어 전극이 상기 제2 트랜지스터의 제2 전극에 접속되고, 제2 전극이 상기 출력 단자에 접속됨과 함께, 제1 전극에 제2 전원 전압이 인가되는 제4 트랜지스터와,

제어 전극이 상기 제1 트랜지스터의 제2 전극에 접속되고, 제1 전극에  $n$ 번째의 주사선 선택 신호가 인가되는 제5 트랜지스터와,

제어 전극이 상기 제2 트랜지스터의 제2 전극에 접속되고, 제1 전극에  $n$ 번째의 주사선 선택 신호가 인가되는 제6 트랜지스터와,

상기 제1 트랜지스터의 제2 전극과, 상기 제5 트랜지스터의 제2 전극과의 사이에 접속되는 제1 용량 소자와,

상기 제2 트랜지스터의 제2 전극과, 상기 제6 트랜지스터의 제2 전극과의 사이에 접속되는 제2 용량 소자와,

제어 전극이 상기 제1 트랜지스터의 제어 전극에 접속되고, 제1 전극이 기준 전위가 공급되는 기준 전원선에 접속됨과 함께, 제2 전극이 상기 제5 트랜지스터의 제2 전극에 접속되는 제7 트랜지스터와,

제어 전극이 상기 제1 트랜지스터의 제어 전극에 접속되고, 제1 전극이 상기 기준 전원선에 접속됨과 함께, 제2 전극이 상기 제6 트랜지스터의 제2 전극에 접속되는 제8 트랜지스터와,

제1 전극에 제1 주사 방향 시에 있어서  $(n-1)$ 번째로 되는 주사선 선택 신호가 인가되고, 제어 전극에 제1 주사 방향 제어 신호가 인가됨과 함께, 제2 전극이 상기 제1 트랜지스터의 제어 전극에 접속되는 제9 트랜지스터와,

제1 전극에 상기 제1 주사 방향과는 반대 방향의 제2 주사 방향 시에 있어서  $(n-1)$ 번째로 되는 주사선 선택 신호가 인가되고, 제어 전극에 제2 주사 방향 제어 신호가 인가됨과 함께, 제2 전극이 상기 제1 트랜지스터의 제어 전극에 접속되는 제10 트랜지스터를 갖고,

상기  $(n-1)$ 번째의 주사선 선택 신호가 제1 전압 레벨로부터 상기 제1 및 상기 제2 트랜지스터를 온시키는 제2 전압 레벨로 변화한 후로서, 또한, 상기  $(n-1)$ 번째의 주사선 선택 신호가 상기 제2 전압 레벨로부터 상기 제1 전압 레벨로 되돌아가기 보다도 전에, 상기 제1 입력 신호와 상기 제2 입력 신호 중 한쪽이 상기 제1 전압 레벨로부터 상기 제2 전압 레벨로 변화하고,

상기  $n$ 번째의 주사선 선택 신호가 상기 제1 전압 레벨로부터 상기 제2 전압 레벨로 변화한 후로서, 또한, 상기  $n$ 번째의 주사선 선택 신호가 상기 제2 전압 레벨로부터 상기 제1 전압 레벨로 되돌아가기 보다도 전에, 상기 제1 입력 신호와 상기 제2 입력 신호 중 상기 한쪽, 또는, 다른 쪽이 상기 제1 전압 레벨로부터 상기 제2 전압 레벨로 변화하고,

상기 제1 입력 신호가 상기 제2 전압 레벨일 때, 상기 제2 입력 신호는 상기 제1 전압 레벨이고, 상기 제2 입력 신호가 상기 제2 전압 레벨일 때, 상기 제1 입력 신호는 상기 제1 전압 레벨인 것을 특징으로 하는 표시 장치.

## 청구항 7

제5항 또는 제6항에 있어서,

상기  $n$ 번째의 기본 회로는, 상기 제5 트랜지스터의 제2 전극과, 상기 기준 전원선과의 사이에 접속되는 제3 용량 소자와,

상기 제6 트랜지스터의 제2 전극과, 상기 기준 전원선과의 사이에 접속되는 제4 용량 소자를 갖는 것을 특징으로 하는 표시 장치.

## 청구항 8

제5항 또는 제6항에 있어서,

상기 n번째의 기본 회로는, 상기 제1 트랜지스터의 제2 전극과, 상기 제3 트랜지스터의 제어 전극과의 사이에 접속되는 제11 트랜지스터와,

상기 제2 트랜지스터의 제2 전극과, 상기 제4 트랜지스터의 제어 전극과의 사이에 접속되는 제12 트랜지스터를 갖고,

상기 제11 및 상기 제12 트랜지스터의 제어 전극에는, 상기 주사선 선택 신호의 하이(High) 레벨과 동일한 전위가 인가되는 것을 특징으로 하는 표시 장치.

#### 청구항 9

제6항에 있어서,

상기 n번째의 기본 회로는, 상기 제1 트랜지스터의 제2 전극과, 상기 제3 트랜지스터의 제어 전극과의 사이에 접속되는 제11 트랜지스터 및 제12 트랜지스터와,

상기 제2 트랜지스터의 제2 전극과, 상기 제4 트랜지스터의 제어 전극과의 사이에 접속되는 제13 트랜지스터 및 제14 트랜지스터를 갖고,

상기 제11 및 상기 제13 트랜지스터의 제어 전극에는, 상기 제1 주사 방향 제어 신호가 인가되고,

상기 제12 및 상기 제14 트랜지스터의 제어 전극에는, 상기 제2 주사 방향 제어 신호가 인가되는 것을 특징으로 하는 표시 장치.

#### 청구항 10

제9항에 있어서,

상기 n번째의 기본 회로는, 상기 제5 트랜지스터의 제2 전극과, 상기 기준 전원선과의 사이에 접속되는 제3 용량 소자와,

상기 제6 트랜지스터의 제2 전극과, 상기 기준 전원선과의 사이에 접속되는 제4 용량 소자를 갖는 것을 특징으로 하는 표시 장치.

#### 청구항 11

제5항 또는 제6항에 있어서,

상기 공통 전극 구동 회로는, 홀수단째 또는 짝수단째 중 한쪽의 기본 회로가 상기 n번째의 기본 회로로 구성되어 있고, 상기 홀수단째 또는 상기 짝수단째 중 다른 쪽의 기본 회로가 상기 n번째의 기본 회로에서 상기 제1 입력 신호와 상기 제2 입력 신호와의 관계를 교체한 것, 또는, 상기 제1 전원 전압과 상기 제2 전원 전압과의 관계를 교체한 것으로 구성되어 있는 것을 특징으로 하는 표시 장치.

#### 청구항 12

복수의 화소와, 공통 전극 구동 회로를 포함하고,

상기 공통 전극 구동 회로는,  $k(k \geq 2)$ 개의 기본 회로를 갖고,

$n(1 \leq n \leq k)$ 번째의 기본 회로는, 제1 전극에 제1 입력 신호가 인가되고, 제어 전극에  $(n-1)$ 번째의 주사선 선택 신호가 인가되는 제1 트랜지스터와,

제1 전극에 제2 입력 신호가 인가되고, 제어 전극이 상기 제1 트랜지스터의 제어 전극에 접속되는 제2 트랜지스터와,

제어 전극이 상기 제1 트랜지스터의 제2 전극에 접속되고, 제1 전극이 출력 단자에 접속됨과 함께, 제2 전극에 제1 전원 전압이 인가되는 제3 트랜지스터와,

제어 전극이 상기 제2 트랜지스터의 제2 전극에 접속되고, 제2 전극이 상기 출력 단자에 접속됨과 함께, 제1 전극에 제2 전원 전압이 인가되는 제4 트랜지스터와,

제어 전극이 상기 제1 트랜지스터의 제2 전극에 접속되고, 제1 전극에 n번째의 주사선 선택 신호가 인가되는 제5 트랜지스터와,

상기 제1 트랜지스터의 제2 전극과, 상기 제5 트랜지스터의 제2 전극과의 사이에 접속되는 제1 용량 소자와,

제어 전극이 상기 제1 트랜지스터의 제어 전극에 접속되고, 제1 전극이 기준 전위가 공급되는 기준 전원선에 접속됨과 함께, 제2 전극이 상기 제5 트랜지스터의 제2 전극에 접속되는 제6 트랜지스터를 갖고,

상기 (n-1)번째의 주사선 선택 신호가 제1 전압 레벨로부터 상기 제1 및 상기 제2 트랜지스터를 온시키는 제2 전압 레벨로 변화한 후로서, 또한, 상기 (n-1)번째의 주사선 선택 신호가 상기 제2 전압 레벨로부터 상기 제1 전압 레벨로 되돌아가기 보다는 전에, 상기 제1 입력 신호와 상기 제2 입력 신호 중 한쪽이 상기 제1 전압 레벨로부터 상기 제2 전압 레벨로 변화하고,

상기 n번째의 주사선 선택 신호가 상기 제1 전압 레벨로부터 상기 제2 전압 레벨로 변화한 후로서, 또한, 상기 n번째의 주사선 선택 신호가 상기 제2 전압 레벨로부터 상기 제1 전압 레벨로 되돌아가기 보다는 전에, 상기 제1 입력 신호와 상기 제2 입력 신호 중 상기 한쪽, 또는, 다른 쪽이 상기 제1 전압 레벨로부터 상기 제2 전압 레벨로 변화하고,

상기 제1 입력 신호가 상기 제2 전압 레벨일 때, 상기 제2 입력 신호는 상기 제1 전압 레벨이고, 상기 제2 입력 신호가 상기 제2 전압 레벨일 때, 상기 제1 입력 신호는 상기 제1 전압 레벨인 것을 특징으로 하는 표시 장치.

### 청구항 13

복수의 화소와, 공통 전극 구동 회로를 포함하고,

상기 공통 전극 구동 회로는,  $k(k \geq 2)$ 개의 기본 회로를 갖고,

$n(1 \leq n \leq k)$ 번째의 기본 회로는, 제1 전극에 제1 입력 신호가 인가되는 제1 트랜지스터와,

제1 전극에 제2 입력 신호가 인가되고, 제어 전극이 상기 제1 트랜지스터의 제어 전극에 접속되는 제2 트랜지스터와,

제어 전극이 상기 제1 트랜지스터의 제2 전극에 접속되고, 제1 전극이 출력 단자에 접속됨과 함께, 제2 전극에 제1 전원 전압이 인가되는 제3 트랜지스터와,

제어 전극이 상기 제2 트랜지스터의 제2 전극에 접속되고, 제2 전극이 상기 출력 단자에 접속됨과 함께, 제1 전극에 제2 전원 전압이 인가되는 제4 트랜지스터와,

제어 전극이 상기 제1 트랜지스터의 제2 전극에 접속되고, 제1 전극에 n번째의 주사선 선택 신호가 인가되는 제5 트랜지스터와,

상기 제1 트랜지스터의 제2 전극과, 상기 제5 트랜지스터의 제2 전극과의 사이에 접속되는 제1 용량 소자와,

제어 전극이 상기 제1 트랜지스터의 제어 전극에 접속되고, 제1 전극이 기준 전위가 공급되는 기준 전원선에 접속됨과 함께, 제2 전극이 상기 제5 트랜지스터의 제2 전극에 접속되는 제6 트랜지스터와,

제1 전극에 제1 주사 방향 시에 있어서 (n-1)번째로 되는 주사선 선택 신호가 인가되고, 제어 전극에 제1 주사 방향 제어 신호가 인가됨과 함께, 제2 전극이 상기 제1 트랜지스터의 제어 전극에 접속되는 제7 트랜지스터와,

제1 전극에 상기 제1 주사 방향과는 반대 방향의 제2 주사 방향 시에 있어서 (n-1)번째로 되는 주사선 선택 신호가 인가되고, 제어 전극에 제2 주사 방향 제어 신호가 인가됨과 함께, 제2 전극이 상기 제1 트랜지스터의 제어 전극에 접속되는 제8 트랜지스터를 갖고,

상기 (n-1)번째의 주사선 선택 신호가 제1 전압 레벨로부터 상기 제1 및 상기 제2 트랜지스터를 온시키는 제2 전압 레벨로 변화한 후로서, 또한, 상기 (n-1)번째의 주사선 선택 신호가 상기 제2 전압 레벨로부터 상기 제1 전압 레벨로 되돌아가기 보다는 전에, 상기 제1 입력 신호와 상기 제2 입력 신호 중 한쪽이 상기 제1 전압 레벨로부터 상기 제2 전압 레벨로 변화하고,

상기 n번째의 주사선 선택 신호가 상기 제1 전압 레벨로부터 상기 제2 전압 레벨로 변화한 후로서, 또한, 상기

n번째의 주사선 선택 신호가 상기 제2 전압 레벨로부터 상기 제1 전압 레벨로 되돌아가기 보다는 전에, 상기 제1 입력 신호와 상기 제2 입력 신호 중 상기 한쪽, 또는, 다른 쪽이 상기 제1 전압 레벨로부터 상기 제2 전압 레벨로 변화하고,

상기 제1 입력 신호가 상기 제2 전압 레벨일 때, 상기 제2 입력 신호는 상기 제1 전압 레벨이고, 상기 제2 입력 신호가 상기 제2 전압 레벨일 때, 상기 제1 입력 신호는 상기 제1 전압 레벨인 것을 특징으로 하는 표시 장치.

#### 청구항 14

제12항 또는 제13항에 있어서,

상기 n번째의 기본 회로는, 상기 제5 트랜지스터의 제2 전극과, 상기 기준 전원선과의 사이에 접속되는 제3 용량 소자를 갖는 것을 특징으로 하는 표시 장치.

#### 청구항 15

제12항 또는 제13항에 있어서,

상기 n번째의 기본 회로는, 상기 제1 트랜지스터의 제2 전극과, 상기 제3 트랜지스터의 제어 전극과의 사이에 접속되는 제9 트랜지스터를 갖고,

상기 제9 트랜지스터의 제어 전극에는, 상기 주사선 선택 신호의 하이 레벨과 동일한 전위가 인가되는 것을 특징으로 하는 표시 장치.

#### 청구항 16

제13항에 있어서,

상기 n번째의 기본 회로는, 상기 제1 트랜지스터의 제2 전극과, 상기 제3 트랜지스터의 제어 전극과의 사이에 접속되는 제9 트랜지스터 및 제10 트랜지스터를 갖고,

상기 제9 트랜지스터의 제어 전극에는, 상기 제1 주사 방향 제어 신호가 인가되고,

상기 제10 트랜지스터의 제어 전극에는, 상기 제2 주사 방향 제어 신호가 인가되는 것을 특징으로 하는 표시 장치.

#### 청구항 17

제16항에 있어서,

상기 n번째의 기본 회로는, 상기 제5 트랜지스터의 제2 전극과, 상기 기준 전원선과의 사이에 접속되는 제3 용량 소자를 갖는 것을 특징으로 하는 표시 장치.

#### 청구항 18

제12항 또는 제13항에 있어서,

상기 공통 전극 구동 회로는, 홀수단째 또는 짝수단째 중 한쪽의 기본 회로가 상기 n번째의 기본 회로로 구성되어 있고, 상기 홀수단째 또는 상기 짝수단째 중 다른 쪽의 기본 회로가 상기 n번째의 기본 회로에서 상기 제1 입력 신호와 상기 제2 입력 신호와의 관계를 교체한 것, 또는, 상기 제1 전원 전압과 상기 제2 전원 전압과의 관계를 교체한 것으로 구성되어 있는 것을 특징으로 하는 표시 장치.

#### 청구항 19

제5항, 제6항, 제12항 또는 제13항 중 어느 한 항에 있어서,

상기 n번째의 기본 회로는, 제어 전극이 상기 제1 트랜지스터의 제2 전극에 접속되고, 제2 전극이 상기 제2 트랜지스터의 제2 전극에 접속됨과 함께, 제1 전극이 상기 기준 전원선에 접속되는 제15 트랜지스터와,

제어 전극이 상기 제2 트랜지스터의 제2 전극에 접속되고, 제2 전극이 상기 제1 트랜지스터의 제2 전극에 접속됨과 함께, 제1 전극이 상기 기준 전원선에 접속되는 제16 트랜지스터를 갖는 것을 특징으로 하는 표시 장치.



## 청구항 20

제5항, 제6항, 제12항 또는 제13항 중 어느 한 항에 있어서,

상기 n번째의 주사선 선택 신호는, 다이오드 소자를 통하여 상기 제5 트랜지스터의 제1 전극에 인가되는 것을 특징으로 하는 표시 장치.

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

#### 종래기술의 문헌 정보

<30> [특허 문헌1] 일본 특개2001-194685호 공보

#### 발명이 속하는 기술 및 그 분야의 종래기술

- <31> 본 발명은, 표시 장치에 관한 것으로, 특히, 라인마다 독립 커먼 교류 구동 방식의 공통 전극 구동 회로를 구비한 표시 장치에 관한 것이다.
- <32> TFT(Thin Film Transistor) 방식의 액정 표시 모듈은, 노트형 퍼스널 컴퓨터 등의 휴대 기기의 표시 장치로서 널리 사용되어 있다. 특히, 소형의 액정 표시 패널을 구비하는 액정 표시 모듈은, 예를 들면, 휴대 전화기 등의 항상 휴대되는 휴대 기기의 표시 장치로서 사용된다.
- <33> 일반적으로, 액정층은, 장시간 동일한 전압(직류 전압)이 인가되어 있으면, 액정층의 기울기가 고정화되어, 결과적으로 잔상 현상을 야기하여, 액정층의 수명을 단축하게 된다.
- <34> 이것을 방지하기 위해, 액정 표시 모듈에서는, 액정층에 인가하는 전압을 임의의 일정 시간마다 교류화, 즉, 커먼 전극(공통 전극이라고도 함)에 인가하는 전압을 기준으로 하여, 화소 전극에 인가하는 전압을, 일정 시간마다 정전압측/부전압측으로 변화시키도록 하고 있다.
- <35> 이 액정층에 교류 전압을 인가하는 구동 방법으로서, 커먼 전극에 인가되는 전압을, 교대로 고전위측, 저전위측의 2개의 전위로 반전시키는 커먼 반전 방법이 있고, 이 커먼 반전법의 하나로, 커먼 전극에 인가하는 전압을 라인마다 독립적으로 교류화하는 구동 방법(라인마다 독립 커먼 교류 구동 방식이라고 함)이 하기 특허 문헌1에 기재되어 있다.
- <36> 전술한 특허 문헌1에 기재되어 있는 라인마다 독립 커먼 교류 구동 방식은, IPS(In Plane Switching) 액정 표시 패널을 사용하여, 각 표시 라인의 커먼 전극에 인가하는 전압을 라인마다 독립적으로 교류화하는 것으로서, 해당 구동 방법에 따르면, 주사선에 공급하는 게이트 전압의 전압 폭을 작게 하는 것이 가능하게 된다.
- <37> 또한, 본원 발명에 관련되는 선행 기술 문헌으로서의 이하의 것이 있다.
- <38> 전술한 특허 문헌1에는, 커먼 전극을 전술한 라인마다 독립 커먼 교류 구동 방식으로 구동하기 위한 공통 전극 구동 회로로서, CMOS 회로로 구성된 구동 회로가 기재되어 있지만, CMOS 회로는, 제조 프로세스가 증가한다는 문제점이 있다.
- <39> 이 문제점을 해소하기 위해서는, 커먼 전극을 전술한 라인마다 독립 커먼 교류 구동 방식으로 구동하기 위한 공통 전극 구동 회로를, 단채널 회로로 구성하면 된다.
- <40> 도 18은, 본원 발명의 전에, 본 출원인에 의해 생각된, 라인마다 독립 커먼 교류 구동 방식으로 구동하기 위한 단채널 회로 구성의 공통 전극 구동 회로를 도시하는 회로도이다. 이 도 18에 도시하는 공통 전극 구동 회로는, 트랜지스터로서, n형의 MOS 트랜지스터를 사용한 것이며, 또한, 도 19는, 도 18에 도시하는 공통 전극 구동 회로의 타임차트이다.
- <41> 도 18에 도시하는 공통 전극 구동 회로는, 복수의 기본 회로를 갖고, 해당 기본 회로는, 주사선 선택 신호가, High 레벨(이하, H 레벨이라고 함)로부터 Low 레벨(이하, L 레벨이라고 함)로 변화한 시점에서, 트랜지스터(T1)에 의해, 교류화 신호(M)를 래치하고, 또한, 트랜지스터(T2)에 의해, 반전 교류화 신호(MB)를 래치한다.

- <42> 여기서, 도 19에 도시하는 바와 같이, 교류화 신호(M)와, 반전 교류화 신호(MB)는, 위상이 180° 서로 다르기 때문에, 노드(ND1)와 노드(ND2)는, 반드시 한쪽이 H 레벨이면, 다른 쪽이 L 레벨로 된다.
- <43> H 레벨로 된 노드에 의해, 트랜지스터(T3), 혹은 트랜지스터(T4)를 온 상태로 함으로써, 노드(ND1)가 H 레벨일 때에, 출력(OUT)에 정극성의 공통 전압(VCOMH)을, 또한, 노드(ND2)가 H 레벨일 때에, 출력 단자(OUT)에 부극성의 공통 전압(VCOML)을 출력한다.
- <44> 이하, 도 19에 도시하는 타임차트를 이용하여, 도 18에 도시하는 공통 전극 구동 회로의 동작을 보다 상세히 설명한다.
- <45> (1) 주사선 선택 신호(SR(n))의 전전단의 주사선 선택 신호(SR(n-2))가, H 레벨로 되었을 때에, 트랜지스터(T21, T22)가 온 상태로 되고, 노드(ND1, ND2)가 리셋, 즉, L 레벨로 된다.
- <46> 마찬가지로, 전전단의 주사선 선택 신호(SR(n-2))가, H 레벨로 되었을 때에, 트랜지스터(T23, T24)가 온 상태로 되고, 노드(ND4, ND5)가 리셋으로 된다.
- <47> (2) 주사선 선택 신호(SR(n))의 전단의 주사선 선택 신호(SR(n-1))가, H 레벨로 되었을 때에, 트랜지스터(T1, T2)가 온 상태로 되고, 노드(ND1, ND2)에, 교류화 신호(M) 및 반전 교류화 신호(MB)의 전압 레벨이 래치된다.
- <48> 마찬가지로, 전단의 주사선 선택 신호(SR(n-1))가, H 레벨로 되었을 때에, 트랜지스터(T7, T8)가 온 상태로 되고, 노드(ND4, ND5)가 리셋으로 된다. (3) 주사선 선택 신호(SR(n))가, H 레벨로 되었을 때에, 트랜지스터(T5, T6) 및 용량 소자(Cbs1, Cbs2)에 의한 부트 스트랩 효과에 의해, 전단의 주사선 선택 신호(SR(n-1))가 H 레벨로 되었을 때에 H 레벨로 된 노드(ND1 또는 ND2)의 전압을 더욱 들어올린다.
- <49> 이상의 동작에 의해, 복수의 커먼 전극을, 각 라인마다 교류 구동할 수 있다. 또한, 도 18에 도시하는 회로에서, 용량 소자(Cs1, Cs2)는, 노드(ND1, ND2)를 안정시키기 위한 부하 용량 소자, 트랜지스터(T9, T10)는, 노드(ND1, ND2)의 한쪽이 H 레벨일 때, 다른 쪽을 L 레벨로 하기 위한 트랜지스터이다.

### 발명이 이루고자 하는 기술적 과제

- <50> 그러나, 전술한 도 18에 도시하는 공통 전극 구동 회로는, 노드를 리셋하기 위한 트랜지스터(T21~T24)가 필요하게 되며, 회로를 구성하는 트랜지스터가 증가하고, 또한, 회로 구성이 복잡해진다고 하는 문제점이 있다.
- <51> 본 발명은, 상기 종래 기술의 문제점을 해결하기 위해 이루어진 것으로, 본 발명의 이점은, 종래의 것에 비하여, 소자 수를 증가시키지 않고, 또한 회로 규모를 축소시키는 것이 가능한 단채널 구성의 공통 전극 구동 회로를 구비한 표시 장치를 제공하는 데 있다.

### 발명의 구성 및 작용

- <52> 본 발명의 상기 및 그 밖의 이점과 신규의 특징은, 본 명세서의 기술 및 첨부 도면에 의해 명백하게 된다.
- <53> 본원에서 개시되는 발명 중, 대표적인 것의 개요를 간단히 설명하면, 하기와 같다.
- <54> 전술한 과제를 달성하기 위해, 본 발명에서는, 복수의 화소와, 공통 전극 구동 회로를 구비하고, 상기 공통 전극 구동 회로는, 복수의 기본 회로를 갖고, 상기 기본 회로는, 클럭 신호가 제2 전압 레벨로부터 제1 전압 레벨로 변화한 시점에서 제1 입력 신호를 래치하는 제1 회로와, 상기 클럭 신호가 상기 제2 전압 레벨로부터 상기 제1 전압 레벨로 변화한 시점에서 제2 입력 신호를 래치하는 제2 회로와, 상기 제1 회로에서 래치된 전압에 기초하여 스위칭되고, 온 상태에서 출력 단자에 제1 전원 전압을 출력하는 제1 스위칭 회로와, 상기 제2 회로에서 래치된 전압에 기초하여 스위칭되고, 온 상태에서 출력 단자에 제2 전원 전압을 출력하는 제2 스위칭 회로를 갖는 표시 장치에서, 상기 제1 입력 신호가 상기 제2 전압 레벨일 때, 상기 제2 입력 신호는 상기 제1 전압 레벨이며, 상기 제2 입력 신호가 상기 제2 전압 레벨일 때, 상기 제1 입력 신호는 상기 제1 전압 레벨이며, 상기 클럭 신호가 상기 제1 전압 레벨로부터 상기 제2 전압 레벨로 변화한 후로서, 또한, 상기 클럭 신호가 상기 제2 전압 레벨로부터 상기 제1 전압 레벨로 되돌아가기 보다도 전에, 상기 제1 입력 신호와 상기 제2 입력 신호 중 한쪽이 상기 제1 전압 레벨로부터 상기 제2 전압 레벨로 변화하는 것을 특징으로 한다.
- <55> 이하, 본 발명을 액티브 매트릭스형 액정 표시 장치에 적용한 실시예를 도면을 참조하여 상세히 설명한다.
- <56> <실시예>
- <57> 또한, 실시예를 설명하기 위한 모든 도면에서, 동일 기능을 갖는 것은 동일 부호를 부여하고, 그 반복 설명은

생략한다.

- <58> 도 1은, 본 발명의 실시예의 액티브 매트릭스형 액정 표시 장치의 등가 회로를 도시하는 회로도이다.
- <59> 도 1에 도시하는 바와 같이, 본 실시예의 액티브 매트릭스형 액정 표시 장치는, IPS(In Plane Switching) 액정 표시 패널을 사용하는 액티브 매트릭스형 액정 표시 장치로서, 액정을 통하여 서로 대향 배치되는 한 쌍의 기관의 한쪽의 기관의 액정면에, x 방향으로 연장되는 n개의 게이트선(X1, X2, ..., Xn)과, x 방향으로 연장되는 n개의 커먼선(CM1, CM2, ..., CMn)과, x 방향으로 교차하여 y 방향으로 연장되는 m개의 드레인선(Y1, Y2, ..., Ym)을 갖는다.
- <60> 게이트선(주사선이라고도 함)과 드레인선(영상선이라고도 함)으로 둘러싸인 영역이 화소 영역이며, 1개의 화소 영역에는, 게이트가 게이트선에, 드레인(또는, 소스)이 드레인선에, 및 소스(또는, 드레인)가 화소 전극에 접속되는 박막 트랜지스터(Tnm)가 설치된다. 또한, 화소 전극과 커먼선(공통 전극이라고도 함)과의 사이에는 액정 용량(Cnm)이 설치된다.
- <61> 또한, 화소 전극과 커먼선(CM1, CM2, ..., CMn)과의 사이에는, 축적 용량도 설치되지만, 도 1에서는 그 도시는 생략하고 있다.
- <62> 각 게이트선(X1, X2, ..., Xn)은, 수직 구동 회로(XDV)에 접속되고, 수직 구동 회로(XDV)에 의해, 게이트 신호를, X1로부터 Xn의 게이트선을 향하여 순차적으로 공급한다.
- <63> 각 커먼선(CM1, CM2, ..., CMn)은, 수직 구동 회로(XDV)에 접속되고, 수직 구동 회로(XDV)에 의해, 게이트 신호와 동일한 타이밍에서, CM1로부터 CMn의 커먼선에 인가하는 전압을, 순차적으로 극성을 절환하여 교류 구동한다.
- <64> 각 드레인선(Y1, Y2, ..., Ym)은, 스위치 소자(S1, S2, ..., Sm)의 드레인(또는, 소스)에 접속된다.
- <65> 스위치 소자(S1, S2, ..., Sm)의 소스(또는, 드레인)는, 영상 신호선(데이터)에, 게이트는 수평 구동 회로(YDV)에 접속되고, 수평 구동 회로(YDV)는, S1로부터 Sm의 스위치 소자를 향하여, 순차적으로 스위치 소자를 주사한다.
- <66> 본 발명은, 수직 구동 회로(XDV) 내의 공통 전극 구동 회로에 관한다.
- <67> 본 발명에서는, SW1, SW2의 2개의 스위치 소자를, 도 2a와 같이 구성한다.
- <68> 스위치 소자(SW1, SW2)에, nMOS-TFT(n형의 MOS 박막 트랜지스터)를 이용하면, 클럭 신호(CLK)가 H 레벨로부터 L 레벨로 절환되면, 스위치 소자(SW1)는, 입력 신호(IN)의 전압을 래치한다.
- <69> 이 래치된 전압은, 클럭 신호(CLK)가 L 레벨일 때에 유지되고, 래치된 전압이 H 레벨일 때에, 스위치 소자(SW2)가 온 상태로 되어, 출력(OUT)으로서, VDC의 전압이 공급된다.
- <70> 본 발명의 공통 전극 구동 회로는, 도 2b에 도시하는 바와 같이, 도 2a에 도시하는 회로 구성을 2개 조합한 회로를, 기본 구성으로 한다. 단, 클럭(CLK)이 H 레벨의 상태에서, 제1 입력 신호(IN1)와, 제2 입력(IN2)을 동시에 H 레벨로 하는 것은 금지된다.
- <71> 도 3은, 도 1에 도시하는 수직 구동 회로(XDV)의 내부 구성을 도시하는 블록도로서, 동 도면에서, 10은 주사선 구동 회로, CA1, CA2, ..., CAn은 공통 전극 구동 회로이다.
- <72> 도 3에 도시하는 바와 같이, 본 발명의 공통 전극 구동 회로(CA1, CA2, ..., CAn)는, 게이트선마다 설치된다.
- <73> 도 4는, 본 실시예의 공통 전극 구동 회로(CA1, CA2, ..., CAn)의 기본 회로를 도시하는 회로도로서, 도 2b에 도시하는 회로를, nMOS-TFT를 이용하여 구성한 것이다.
- <74> 도 4에서, SRn은, 주사선 구동 회로(10)로부터 출력되는 n번째의 주사선 선택 신호로서, M 및 MB는 교류화 신호이다. 또한, VCOMH는, 커먼선에 공급시키는 정극성의 공통 전압이며, VCOML은, 커먼선에 공급시키는 부극성의 공통 전압이다.
- <75> 교류화 신호(M, MB) 및 주사선 선택 신호(SRn)의 H 레벨은, 정극성의 공통 전압(VCOMH)보다 높고, L 레벨은, 부극성의 공통 전압(VCOML)보다 낮게 한다.
- <76> 이것에 의해, 주사선 선택 신호(SRn)가 H 레벨이고, 교류화 신호(M)가 L 레벨, 교류화 신호(MB)가 H 레벨일 때에, 노드(ND1)가 H 레벨, 노드(ND2)가 L 레벨로 되어, 1 프레임 기간 유지되므로, 출력(OUT)으로서, 1 프레임

기간, 정극성의 공통 전압(VCOMH)이 출력된다.

- <77> 또한, 주사선 선택 신호(SRn)가 H 레벨이고, 교류화 신호(M)가 H 레벨, 교류화 신호(MB)가 L 레벨일 때에, 노드(ND1)가 L 레벨, 노드(ND2)가 H 레벨로 되어, 1 프레임 기간 유지되므로, 출력(OUT)으로서, 1 프레임 기간, 부극성의 공통 전압(VCOML)이 출력되므로, 커먼선에 인가하는 공통 전압의 교류화가 가능하게 된다.
- <78> 그리고, 도 3에 도시하는 바와 같이, 공통 전극 구동 회로(CA1, CA2, ..., CAn)를 게이트선마다 설치함으로써, 게이트선 기입의 타이밍에서, 각각 커먼선에 인가하는 공통 전압을 독립적으로 설정하여, 교류화가 가능하게 된다.
- <79> 또한, 도 4의 구성에서는, 교류화 신호(M)가 H 레벨이고, 출력(OUT)이 부극성의 공통 전압(VCOML)으로 되어, 액정에는, 플러스 기입으로 되는 구성으로 하였지만, 기입 구성에 의해, M과 MB의 교류화 신호, 또는, VCOMH의 공통 전압과 VCOML의 공통 전압을 각각 교체해도 된다.
- <80> 도 4에 도시하는 공통 전극 구동 회로(CA1, CA2, ..., CAn)에서는, 노드(ND1) 및 노드(ND2)의 상태를 절환하여 교류화를 행하지만, 노드(ND1)를 H 레벨로부터 L 레벨로, 또한, 노드(ND2)를 L 레벨로부터 H 레벨로 절환하는 경우, 혹은, 그 반대일 때, 절환의 순간에서, 노드(ND1)와 노드(ND2)가 함께 H 레벨로 되는 시간이 존재할 가능성이 있다.
- <81> 즉, 트랜지스터(Tr3)와 트랜지스터(Tr4)가 동시에 온 상태로 될 가능성이 있고, 이 경우, 정극성의 공통 전압(VCOMH)이 공급되는 단자와, 부극성의 공통 전압(VCOML)이 공통되는 단자가 직결되어, 관통 전류가 흐르게 된다.
- <82> 따라서, 주사선 선택 신호(SRn)와, 교류화 신호(M, MB)로서, 도 5의 타임차트에 도시하는 바와 같은 타이밍의 클럭 신호를 입력한다.
- <83> 즉, 주사선 선택 신호(SRn)가 H 레벨로 될 때에, 처음의 임의의 기간, 교류화 신호(M, MB)가, 함께 L 레벨로 되는 타이밍 관계로 함으로써, 도 4의 노드(ND1)와 노드(ND2)를 L 레벨로 할 수 있고, 일단, 트랜지스터(Tr3)와, 트랜지스터(Tr4)를 오프 상태로 할 수 있다.
- <84> 그 후, 교류화 신호(M), 혹은, 교류화 신호(MB)를 H 레벨로 함으로써, 트랜지스터(Tr3), 혹은, 트랜지스터(Tr4) 중 어느 한쪽만을 온 상태로 할 수 있고, 커먼선에 인가하는 공통 전압을 안전하게 절환하는 것이 가능하게 된다.
- <85> 또한, 도 5에서, 주사선 선택 신호(SRn)의 하강은, 교류화 신호(M, MB)의 하강보다도 빠른 것이 바람직하다. 주사선 선택 신호(SRn)의 하강이, 교류화 신호(M, MB)의 하강과 동시, 혹은, 그것보다도 느린 경우, 주사선 선택 신호(SRn)의 하강 시의 노드(ND1, ND2)가 양쪽 모두 L 레벨로 될 가능성이 있다. 그 경우에도, 출력(OUT)은 유지되어 있기 때문에 동작하는 데 있어서 지장은 없다. 그러나, 노드(ND1, ND2)가 양쪽 모두 L 레벨 상태에서는 출력(OUT)에 변동이 일어나기 쉽다. 따라서, 주사선 선택 신호(SRn)의 하강을, 교류화 신호(M, MB)의 하강보다도 빠르게 함으로써, 노드(ND1, ND2) 중 어느 한쪽만을 H 레벨로 할 수 있다. 이것에 의해, 출력(OUT)의 안정화를 도모할 수 있다.
- <86> 노드(ND1)와 노드(ND2)는 플로팅 노드이다. 공통 전압을 공급하는 트랜지스터(Tr3, 혹은 Tr4)를 일정 기간 온 상태로 하기 위해서는, 노드(ND1) 혹은 노드(ND2)의 H 레벨을 유지할 필요가 있다.
- <87> 따라서, 도 6에 도시하는 바와 같이, 노드(ND1, ND2)(또는, 트랜지스터(Tr1, Tr2)의 드레인)와, 기준 전압(VSS)이 공급되는 기준 전원선과의 사이에, 축적 용량(Cs1, Cs2)을 접속함으로써, 노드(ND1, ND2)의 전압을 안정화할 수 있다.
- <88> 전술한 바와 같이, 노드(ND1)와 노드(ND2)를 동시에 H 레벨로 하면, 정극성의 공통 전압(VCOMH)이 공급되는 단자와, 부극성의 공통 전압(VCOML)이 공통되는 단자와의 사이에 관통 전류가 흐른다.
- <89> 노드(ND1) 및 노드(ND2)는, 플로팅 노드이기 때문에, 노이즈의 영향을 받기 쉽다. 도 6에 도시하는 바와 같은 회로 구성으로 함으로써, 노이즈에 대한 영향을 적게 하는 것이 가능하지만, 일단, 전압이 변동하면 효과가 없다.
- <90> 따라서, 도 7에 도시하는 바와 같이, 교차의 트랜지스터(Tr5) 및 트랜지스터(Tr6)를 설치함으로써, 노드(ND1)와 노드(ND2)의 한쪽이 H 레벨일 때에는 항상, 또 한쪽을 L 레벨로 할 수 있다. 단, 기준 전압(VSS)은, 교류화 신호(M, MB)의 L 레벨에 상당하는 전압으로 된다.

- <91> 이 구성에서 노드(ND1)와 노드(ND2)가 동시에 H 레벨로 되면, 교류화 신호(MB)가 공급되는 단자로부터, 트랜지스터(Tr1)와 트랜지스터(Tr6)를 통하여, 혹은, 교류화 신호(M)가 공급되는 단자로부터 트랜지스터(Tr2)와 트랜지스터(Tr5)를 통하여, 각각 관통 전류가 흐르기 때문에, 노드(ND1)와 노드(ND2)의 상태 전환에는, 도 5에 도시하는 바와 같은 타이밍 관계가 유효하다.
- <92> 도 4에 도시하는 회로 구성에서, 교류화 신호(MB)의 H 레벨을, 노드(ND1)에 취득할 때, 실제로는, 교류화 신호(MB)의 H 레벨로부터 임계치 전압( $V_{th}$ )만큼 내려간 전압이, 노드(ND1)에 기입된다.
- <93> 또한, 출력(OUT)의 H 레벨(커먼선에 인가하는 정극성의 공통 전압(VCOMH)의 H 레벨)은, 노드(ND1)의 H 레벨의 전압으로부터 임계치 전압( $V_{th}$ ) 내려간 전압이 최대로 된다.
- <94> 따라서, 교류화 신호(M, MB)의 H 레벨은, 최저라 하더라도, 커먼선에 인가하는 정극성의 공통 전압(VCOMH)의 H 레벨에, 임계치 전압( $V_{th}$ )의 2배 만큼의 전압을 가산한 전압이 필요하게 된다.
- <95> 실제로는, 유지 상태에서, 전하의 감소에 의한 전압 강하나 기입 특성의 문제로부터 그것보다 충분히 높은 전압이 필요하게 된다.
- <96> 따라서, 부트 스트랩 효과를 이용한 승압 회로를 설치한 공통 전극 구동 회로를 도 8에 도시한다. 또한, 도 9는, 도 8에 도시하는 공통 전극 구동 회로의 타임차트이다.
- <97> 도 8에서, SR(n-1)은, n번째의 주사선 선택 신호(SRn)의 전단의 주사선 선택 신호로서, 이 주사선 선택 신호(SR(n-1))는, 도 3에 도시하는 주사선 구동 회로(10)로부터 출력된다.
- <98> 도 9에 도시하는 타임차트를 이용하여, 도 8에 도시하는 공통 전극 구동 회로의 동작을 간단히 설명한다.
- <99> 전단의 주사선 선택 신호(SR(n-1))가 H 레벨로 되어, 노드(ND1)와 노드(ND2)에, 일단 L 레벨이 취득되어 리셋 후, 교류화 신호(M, MB)의 상태를 취득하고, 또한, 트랜지스터(TrA)와 트랜지스터(TrB)를 온 상태로 함으로써, 노드(ND4)와 노드(ND5)의 전압이, 기준 전압(VSS)으로 된다. 이것에 의해, 용량 소자(Cbs1)와 용량 소자(Cbs2)에는, 교류화 신호(M, MB)의 전압이 충전된다.
- <100> 이 상태에서, 전단의 주사선 선택 신호(SR(n-1))가 L 레벨로 되어, 노드(ND1), 노드(ND2), 노드(ND4), 노드(ND5)는, 전압의 유지 상태로 된다.
- <101> 다음으로, n번째의 주사선 선택 신호(SRn)가 H 레벨로 되면, 다이오드 접속된 트랜지스터(Tr7)를 통하여, 노드(ND3)에 H 레벨(실제로는, 임계치 전압( $V_{th}$ )만큼 강하한 전압)이 기입된다.
- <102> 여기서, 노드(ND1)가 H 레벨이고, 노드(ND2)가 L 레벨이라고 하면, 트랜지스터(Tr8)가 온 상태이고, 트랜지스터(Tr9)가 오프 상태로 되기 때문에, 노드(ND5)는 L 레벨의 상태로, 노드(ND4)에만 H 레벨이 기입된다.
- <103> 따라서, 용량 소자(C, bs1)를 통하여, 부트 스트랩 효과에 의해, 노드(ND1)의 전압이 상승한다. 노드(ND1)의 전압 상승에 의해, 트랜지스터(Tr8)는 완전하게 온 상태로 되기 때문에, 노드(ND1)의 전압은, 최대, n번째의 주사선 선택 신호(SRn)의 H 레벨로부터 임계치 전압( $V_{th}$ )이 감산된 전압만큼 상승한다.
- <104> 노드(ND2)는, 노드(ND5)가 변동하지 않기 때문에, 전압 변동은 발생하지 않고, L 레벨 유지로 된다.
- <105> 또한, 출력(OUT)에 부극성의 공통 전압(VCOML)을 출력하는 트랜지스터(Tr4)를 제어하는 노드(ND2)측의 트랜지스터(Tr9, TrB), 용량 소자(Cbs2)는 생략하는 것도 가능하다.
- <106> 노드(ND1), 노드(ND2), 노드(ND4), 및 노드(ND5)는 플로팅 노드이다. 따라서, 노드(ND1) 및 노드(ND2)는, 노드(ND4) 및 노드(ND5)의 전압 변동의 영향을, 용량 소자(Cbs1, Cbs2)를 통하여 그대로 받게 된다.
- <107> 따라서, 도 10에 도시하는 바와 같이, 노드(ND4, ND5)(또는, 트랜지스터(Tr8, Tr9)의 드레인)와, 기준 전압(VSS)이 공급되는 기준 전원선과의 사이에, 부하 용량(Cs1, Cs2)을 접속함으로써, 노드(ND1, ND2)의 전압을 안정화할 수 있다. 또한, 부하 용량(Cs2)은 생략하는 것도 가능하다.
- <108> 도 8에 도시하는 공통 전극 구동 회로에서, 전단의 주사선 선택 신호(SR(n-1))가 H 레벨로 되면, 노드(ND1), 노드(ND2)에는, 교류화 신호(M, MB)의 전압이 기입되고, 노드(ND4), 노드(ND5)의 전압은, 기준 전압(VSS)으로 된다.
- <109> 전단의 주사선 선택 신호(SR(n-1))는, 도 3에 도시하는 주사선 구동 회로(10)로부터 출력된다. 주사선 구동 회로(10)의 출력은, 게이트선(X1, X2, ..., Xn)에 접속되기 때문에, 드레인선(Y1, Y2, ..., Ym)의 전압 변동의 영향



을 받기 쉽다.

- <110> 이 전압 변동의 영향에 의해, 주사선 구동 회로(10)의 출력 노드의 전압이 순간적으로 상승하면, 트랜지스터(Tr1), 트랜지스터(Tr2), 트랜지스터(TrA), 및 트랜지스터(TrB)가 온 상태로 될 가능성이 있다.
- <111> 또한, 노드(ND1), 노드(ND2), 노드(ND4), 및 노드(ND5)는 플로팅 노드이기 때문에 노이즈의 영향을 받기 쉽고, 전술한 전압 변동에 의해, 혹은, 반복 전압 변동의 영향을 받음으로써, 유지하고 있는 전하가 손실되는 것을 생각할 수 있고, 오작동을 일으킬 가능성이 있다.
- <112> 따라서, 도 11에 도시하는 바와 같이, 주사선 구동 회로(10)의 출력 단자를 분할하고,  $X1'$ ,  $X2'$ , ...,  $Xn'$ 를, 게이트선( $X1$ ,  $X2$ , ...,  $Xn$ )과 독립하게 함으로써, 전압 변동의 영향을 받기 어렵게 하여, 오작동을 억제할 수 있다.
- <113> 또한, n번째의 주사선 선택 신호( $SR_n$ )가 공급되는 단자에 대해서는, 정상 상태에서 노드(ND3)는 H 레벨이기 때문에, 트랜지스터(Tr7)에 의해, n번째의 주사선 선택 신호( $SR_n$ )가 공급되는 단자의 전압 변동의 영향은 거의 받지 않아, 문제없다고 생각된다.
- <114> 도 8에 도시하는 공통 전극 구동 회로에서, 노드(ND1), 및 노드(ND2)의 전압은, 부트 스트랩 효과에 의해, 교류화 신호(M, MB)의 H 레벨보다도 높은 전압으로 된다. 따라서, 트랜지스터(Tr1) 및 트랜지스터(Tr2)의 소스-드레인 사이에 높은 전압 차가 발생하여, 내압이 문제로 된다.
- <115> 따라서, 도 12에 도시하는 바와 같이, 트랜지스터(Tr1)의 드레인과 트랜지스터(Tr3)의 게이트와의 사이에 트랜지스터(TrE)를 접속하고, 마찬가지로, 트랜지스터(Tr2)의 드레인과 트랜지스터(Tr4)의 게이트와의 사이에 트랜지스터(TrF)를 접속한다.
- <116> 그리고, 트랜지스터(TrE, TrF)의 게이트에, VDD의 소정의 전압을 인가한다. 여기서, 전압(VDD)은, 주사선 선택 신호의 H 레벨과 동등한 전압으로 한다. 또한, 트랜지스터(TrF)는 생략하는 것도 가능하다.
- <117> 이것에 의해, 예를 들면, 노드(ND1)가 부트 스트랩 효과에 의해 고전압으로 되었다고 해도, 노드(ND7)는, 최대한 하더라도, VDD의 전압으로부터 임계치 전압( $V_{th}$ ) 강하한 전압( $VDD - V_{th}$ )으로만 된다.
- <118> 따라서, 어떤 트랜지스터의 소스-드레인 사이에도, 교류화 신호(M, MB) 또는 주사선 선택 신호의 진폭 이상의 전압 차는 발생하지 않는다.
- <119> 또한, 도 7에 도시하는 트랜지스터(Tr5) 및 트랜지스터(Tr6)와 조합하는 경우, 각각 노드(ND8) 및 노드(ND7)에 대하여 접속함으로써, 트랜지스터(Tr5) 및 트랜지스터(Tr6)에 대해서도 전술한 효과를 얻을 수 있다.
- <120> 도 8에 도시하는 공통 전극 구동 회로에서, 도 13에 도시하는 바와 같이, 전단의 주사선 선택 신호( $SR(n-1)$ )가 공급되는 단자에 방향 제어 스위치를 설치함으로써, 간단히 쌍방향화가 가능하다.
- <121> 도 13에 도시하는 공통 전극 구동 회로에서, 순방향과 역방향 주사가 있다고 하면, 순방향 주사 시에 있어서,  $SR(n-1)F$ 는, n번째의 주사선 선택 신호( $SR_n$ )의 전단의 출력(역방향 주사 시에는 후단의 출력)  $SR(n-1)$ 이며,  $SR(n-1)R$ 은, n번째의 주사선 선택 신호( $SR_n$ )의 후단의 출력(역방향 주사 시에는 전단의 출력)  $SR(n+1)$ 이다.
- <122> 주사선 선택 신호( $SR(n-1)F$ ,  $SR(n-1)R$ )는, 도 3에 도시하는 주사선 구동 회로(10)로부터 출력된다.
- <123> 그리고, 순방향 주사 시에는, 방향 제어 신호(DRF)를 H 레벨, 방향 제어 신호(DRR)를 L 레벨로 함으로써 트랜지스터(TrC)가 온 상태로 된다. 또한, 역방향 주사 시에는, 방향 제어 신호(DRF)를 L 레벨, 방향 제어 신호(DRR)를 H 레벨로 함으로써 트랜지스터(TrD)가 온 상태로 된다. 따라서, 노드(ND6)에는, 주사 방향에 대하여, n번째의 주사선 선택 신호( $SR_n$ )의 전단의 주사 선택 신호가 항상 입력되므로, 쌍방향화할 수 있다.
- <124> 또한, 방향 제어 신호(DRF, DRR)의 H 레벨은, 주사선 선택 신호의 H 레벨보다 높게 하고, 방향 제어 신호(DRF, DRR)의 L 레벨은, 주사선 선택 신호의 L 레벨보다 낮게 한 쪽이 바람직하다.
- <125> 도 13에 도시하는 공통 전극 구동 회로에서는, 예를 들면, 순방향 주사(방향 제어 신호(DRF)가 H 레벨이고, 방향 제어 신호(DRR)가 L 레벨)시, 주사선 선택 신호( $SR(n-1)F$ )가 H 레벨로 되면, 노드(ND6)의 전압도 상승하여, 방향 제어 신호(DRF)의 H 레벨로부터 임계치 전압( $V_{th}$ ) 강하한 전압에서, 트랜지스터(TrC)가 오프 상태로 되기 때문에, 노드(ND6)는 플로팅 상태로 된다.
- <126> 그 후, 예를 들면, 교류화 신호(M)가 H 레벨(교류화 신호(MB)가 L 레벨)로 되면, 트랜지스터(Tr1)의 게이트 용량에 의해 부트 스트랩 효과가 얻어지고, 노드(ND6)의 전압이 상승한다.

- <127> 이 경우, 상승하는 전압은, 트랜지스터(Tr1)의 게이트 용량과 노드(ND6)의 부하 용량(트랜지스터(Tr2), 트랜지스터(TrA), 트랜지스터(TrB)의 게이트 용량이나 트랜지스터(TrD)의 게이트 오프 용량 등)과의 비로 결정된다.
- <128> 따라서, 트랜지스터(TrA), 트랜지스터(TrB)의 게이트 용량이나, 트랜지스터(TrC), 트랜지스터(TrD)의 게이트 오프 용량을 작게 함으로써, 보다 높은 부트 스트랩 효과가 얻어진다.
- <129> 도 13에 도시하는 공통 전극 구동 회로에서도, 노드(ND1), 및 노드(ND2)의 전압은, 부트 스트랩 효과에 의해, 교류화 신호(M, MB)의 H 레벨보다도 높은 전압으로 된다. 따라서, 트랜지스터(Tr1) 및 트랜지스터(Tr2)의 소스-드레인 사이에 높은 전압 차가 발생하여, 내압이 문제로 된다.
- <130> 이 문제를 해결하기 위해, 전술한 도 12에 도시하는 바와 같은 회로 구성을 채용하면 되지만, 쌍방향 대응의 회로 구성인 경우, 도 14에 도시하는 바와 같이, 방향 제어 신호를 이용하는 것도 가능하다.
- <131> 도 14에 도시하는 공통 전극 구동 회로에서, 트랜지스터(Tr1)의 드레인과 트랜지스터(Tr3)의 게이트와의 사이에 트랜지스터(TrE)와 트랜지스터(TrG)를 접속하고, 마찬가지로, 트랜지스터(Tr2)의 드레인과 트랜지스터(Tr4)의 게이트와의 사이에 트랜지스터(TrF)와 트랜지스터(TrH)를 접속한다. 또한, 트랜지스터(TrF, TrH)는 생략하는 것도 가능하다.
- <132> 그리고, 트랜지스터(TrE, TrF)의 게이트에, 방향 제어 신호(DRF)를, 또한, 트랜지스터(TrG, TrH)의 게이트에, 방향 제어 신호(DRR)를 인가한다.
- <133> 이것에 의해, 트랜지스터(Tr1) 및 트랜지스터(Tr2)의 소스-드레인 사이에 높은 전압 차가 발생하는 것을 방지할 수 있다.
- <134> 또한, 도 7에 도시하는 트랜지스터(Tr5) 및 트랜지스터(Tr6)와 조합하는 경우, 각각 노드(ND8) 및 노드(ND7)에 대하여 접속함으로써, 트랜지스터(Tr5) 및 트랜지스터(Tr6)에 대해서도 전술한 효과를 얻을 수 있다.
- <135> 도 8에 도시하는 공통 전극 구동 회로를, 각 커먼선에 대하여 설치한 경우, 라인 반전 구동의 타이밍차트는, 도 15에 도시하는 바와 같이 되고, 또한, 프레임 반전 구동의 타이밍차트는 도 16에 도시하는 바와 같이 된다.
- <136> 도 16에 도시하는 바와 같이, 이 회로 구성의 경우, 프레임에 따라서는, 교류화 신호(M, MB)의 주파수가 라인 반전 구동인 경우의 주파수에 대하여 2배로 되는 것을 알 수 있다.
- <137> 따라서, 도 8에 도시하는 공통 전극 구동 회로를 CA로 하고, 도 8에 도시하는 공통 전극 구동 회로에 대하여, 교류화 신호(M)가 인가되는 단자와, 교류화 신호(MB)가 인가되는 단자를 교체한 회로(이것은, 정극성의 공통 전압(VCOMH)과, 부극성의 공통 전압(VCOML) 단자를 교체한 회로와 등가)를 CA'로 하고, 예를 들면, 도 17에 도시하는 바와 같이, 교대로 설치함으로써(n은 짝수), 도 15에 도시하는 교류화 신호(M, MB)의 타이밍에서 프레임 반전 구동을 할 수 있다. 또한, 홀수단이 CA, 짝수단이 CA'로 하였지만, 당연히 교체해도 된다.
- <138> 또한, 전술한 설명에서는, 공통 전극 구동 회로를, n형의 박막 트랜지스터로 구성한 경우에 대해 설명하였지만, 본 발명은, n형의 박막 트랜지스터로 이루어지는 MOS 단채널 구성뿐 아니라, p형의 박막 트랜지스터로 이루어지는 pMOS 단채널로도 구성 가능하다. 이 경우, VSS의 기준 전압이 H 레벨로 되어, 논리가 반전한다.
- <139> 또한, 공통 전압(VCOMH, VCOML)은 화소 내에 형성된 대향 전극에 인가된다. 본 명세서에서, 정극성의 공통 전압(VCOMH)의 "정극성"이란, 화소 전극에 인가되는 전압보다도 고전위측인 것을 의미하고 있고, 0V보다도 큰지 작은지를 불문한다. 마찬가지로, 부극성의 공통 전압(VCOML)의 "부극성"이란, 화소 전극에 인가되는 전압보다도 저전위측인 것을 의미하고 있고, 0V보다도 큰지 작은지를 불문한다.
- <140> 이상 설명한 바와 같이, 본 실시예에 따르면, n형 혹은 p형의 단채널 소자로 회로를 구성할 수 있기 때문에 제조 프로세스의 단축이 가능하게 된다. 또한, 1개의 회로로 쌍방향화가 가능하게 된다. 또한, 소자(트랜지스터) 수 및 신호 경로의 삭감에 의해, 회로 규모의 축소가 가능하게 되어, 수율을 향상시키는 것이 가능하게 된다.
- <141> 또한, 전술한 설명에서는, 트랜지스터로서, MOS(Metal Oxide Semiconductor)형의 TFT를 사용한 경우에 대해 설명하였지만, 일반적인 MOS-FET, 혹은, MIS(Metal Insulator Semiconductor)형의 FET 등도 사용 가능하다.
- <142> 또한, 전술한 설명에서는, 본 발명을 액정 표시 장치에 적용한 실시예에 대해 설명하였지만, 본 발명은 이것에 한정되는 것이 아니라, 예를 들면, 유기 EL 소자 등을 사용하는 EL 표시 장치에도 적용 가능한 것은 물론이다.
- <143> 이상, 본 발명자에 의해 이루어진 발명을, 상기 실시예에 기초하고 구체적으로 설명하였지만, 본 발명은, 상기

실시예에 한정되는 것이 아니라, 그 요지를 일탈하지 않은 범위에서 여러 가지 변경 가능한 것은 물론이다.

### 발명의 효과

- <144> 본원에서 개시되는 발명 중 대표적인 것에 의해 얻어지는 효과를 간단히 설명하면, 하기와 같다.
- <145> 본 발명에 따르면, 종래의 것과 비교하여, 소자 수를 증가시키지 않고, 또한 회로 규모를 축소시킬 수 있는 단 채널 구성의 공통 전극 구동 회로를 구비한 표시 장치를 제공하는 것이 가능하게 된다.

### 도면의 간단한 설명

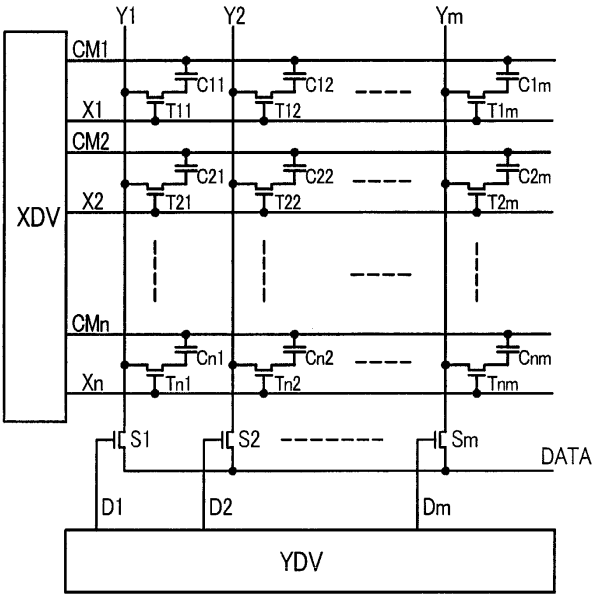
- <1> 도 1은 본 발명의 실시예의 액티브 매트릭스형 액정 표시 장치의 등가 회로를 도시하는 회로도.
- <2> 도 2a는 본 발명의 공통 전극 구동 회로의 원리를 설명하기 위한 회로도.
- <3> 도 2b는 본 발명의 공통 전극 구동 회로의 원리를 설명하기 위한 회로도.
- <4> 도 3은 도 1에 도시하는 수직 구동 회로의 일례의 내부 구성을 도시하는 블록도.
- <5> 도 4는 본 발명의 실시예의 공통 전극 구동 회로의 기본 회로를 도시하는 회로도.
- <6> 도 5는 도 4에 도시하는 공통 전극 구동 회로의 타임차트.
- <7> 도 6은 도 4에 도시하는 공통 전극 구동 회로의 변형예를 도시하는 회로도.
- <8> 도 7은 도 4에 도시하는 공통 전극 구동 회로의 변형예를 도시하는 회로도.
- <9> 도 8은 도 4에 도시하는 공통 전극 구동 회로의 변형예를 도시하는 회로도.
- <10> 도 9는 도 8에 도시하는 공통 전극 구동 회로의 타임차트.
- <11> 도 10은 도 8에 도시하는 공통 전극 구동 회로의 변형예를 도시하는 회로도.
- <12> 도 11은 도 1에 도시하는 수직 구동 회로의 다른 예의 내부 구성을 도시하는 블록도.
- <13> 도 12는 도 8에 도시하는 공통 전극 구동 회로의 변형예를 도시하는 회로도.
- <14> 도 13은 도 8에 도시하는 공통 전극 구동 회로의 변형예를 도시하는 회로도.
- <15> 도 14는 도 13에 도시하는 공통 전극 구동 회로의 변형예를 도시하는 회로도.
- <16> 도 15는 도 8에 도시하는 공통 전극 구동 회로를 각 커먼선마다 설치하고, 라인 반전 구동 방법으로 구동한 경우의 타임차트.
- <17> 도 16은 도 8에 도시하는 공통 전극 구동 회로를 각 커먼선마다 설치하고, 프레임 반전 구동 방법으로 구동한 경우의 타임차트.
- <18> 도 17은 도 8에 도시하는 공통 전극 구동 회로를 각 커먼선마다 설치하고, 프레임 반전 구동 방법으로 구동하는 경우의 공통 전극 구동 회로의 변형예를 도시하는 블록도.
- <19> 도 18은 본원 발명의 전예, 본 출원인 의해 생각된, 라인마다 독립 커먼 교류 구동 방식으로 구동하기 위한 단 채널 회로 구성의 공통 전극 구동 회로를 도시하는 회로도.
- <20> 도 19는 도 18에 도시하는 공통 전극 구동 회로의 타임차트.
- <21> <도면의 주요 부분에 대한 부호의 설명>
- <22> X1, X2, ..., Xn : 게이트선
- <23> CM1, CM2, ..., CMn : 커먼선
- <24> Y1, Y2, ..., Ym : 드레인선
- <25> S1, S2, ..., Sm : 스위치 소자
- <26> Tnm : 박막 트랜지스터
- <27> Cnm : 액정 용량



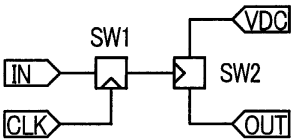
- <28> XDV : 수직 구동 회로
- <29> YDV : 수평 구동 회로

도면

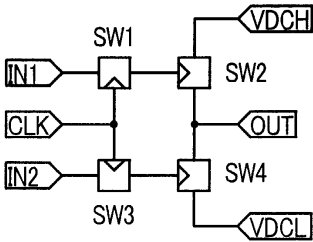
도면1



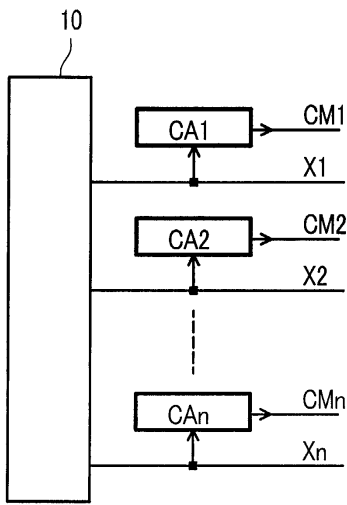
도면2a



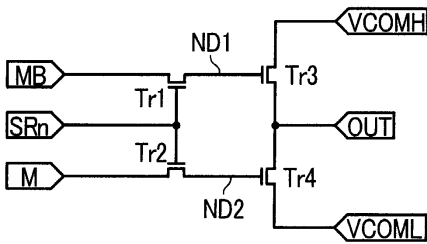
도면2b



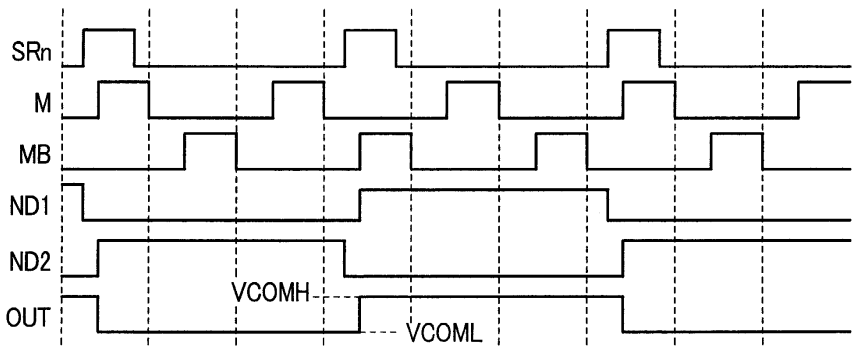
도면3



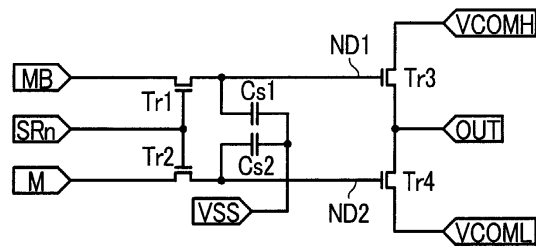
도면4



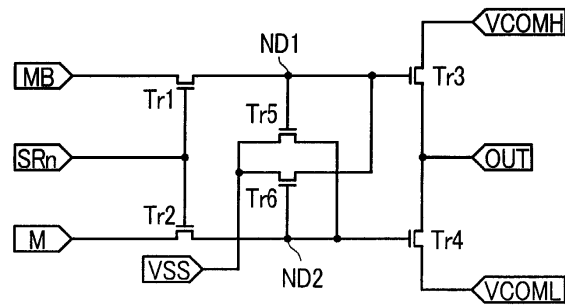
도면5



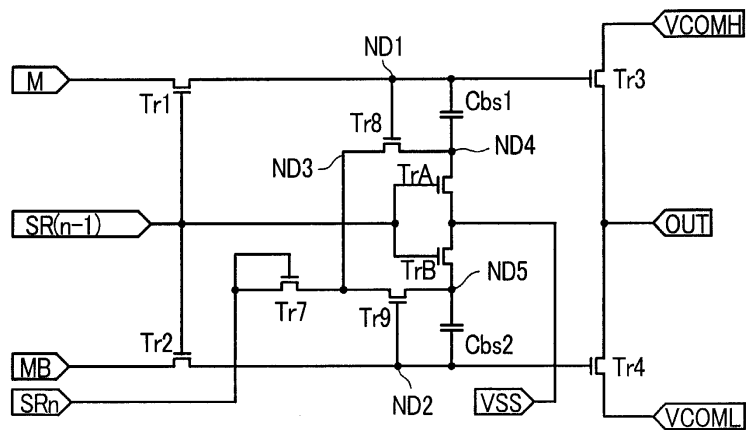
도면6



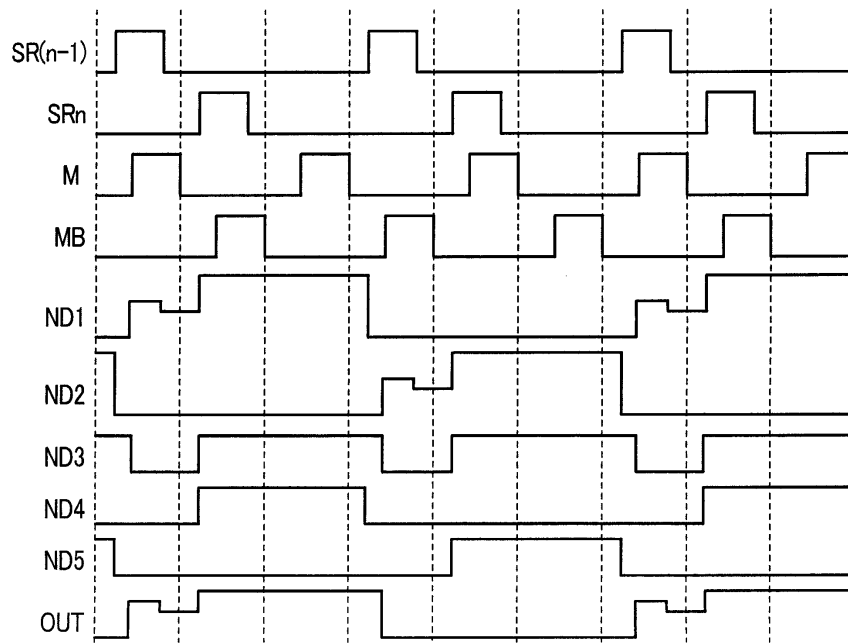
도면7



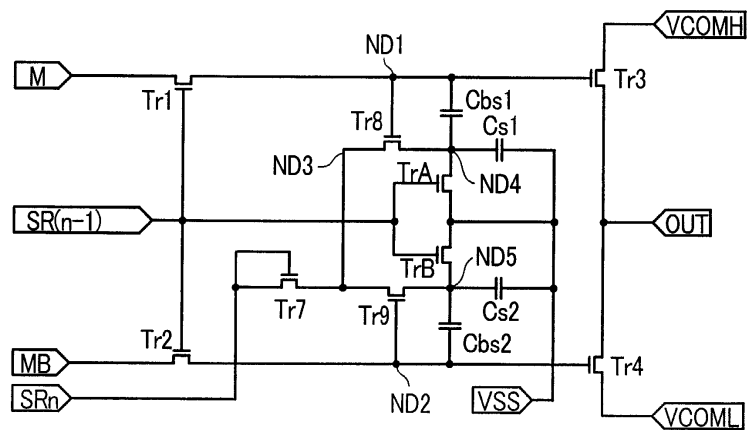
도면8



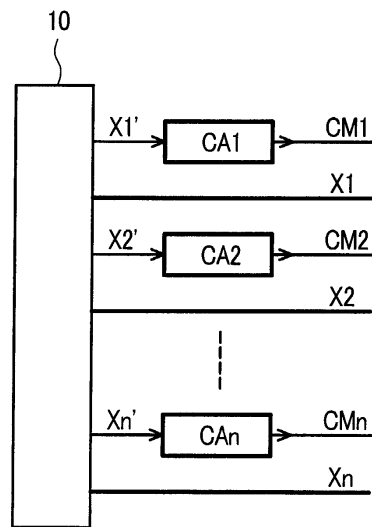
도면9



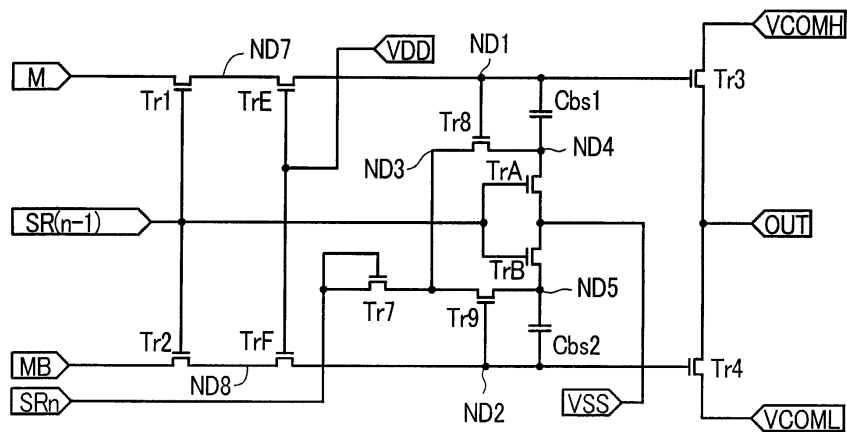
도면10



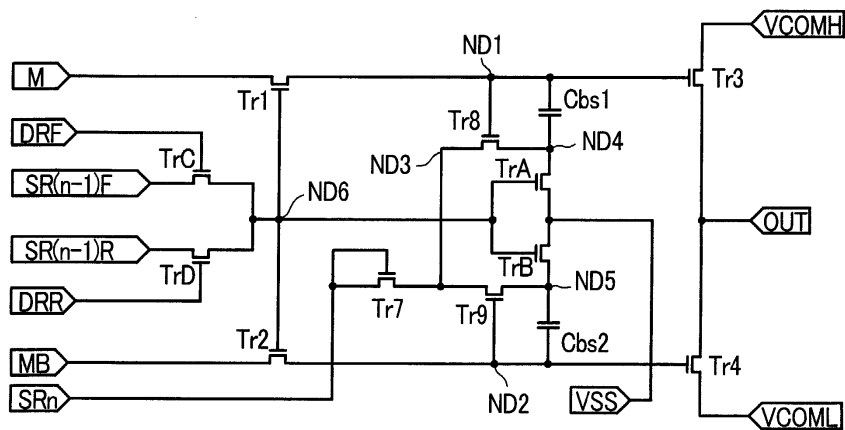
도면11



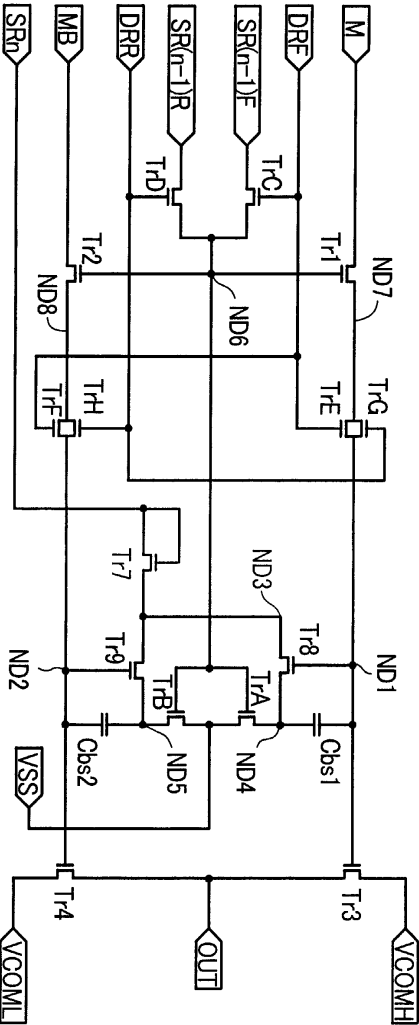
도면12



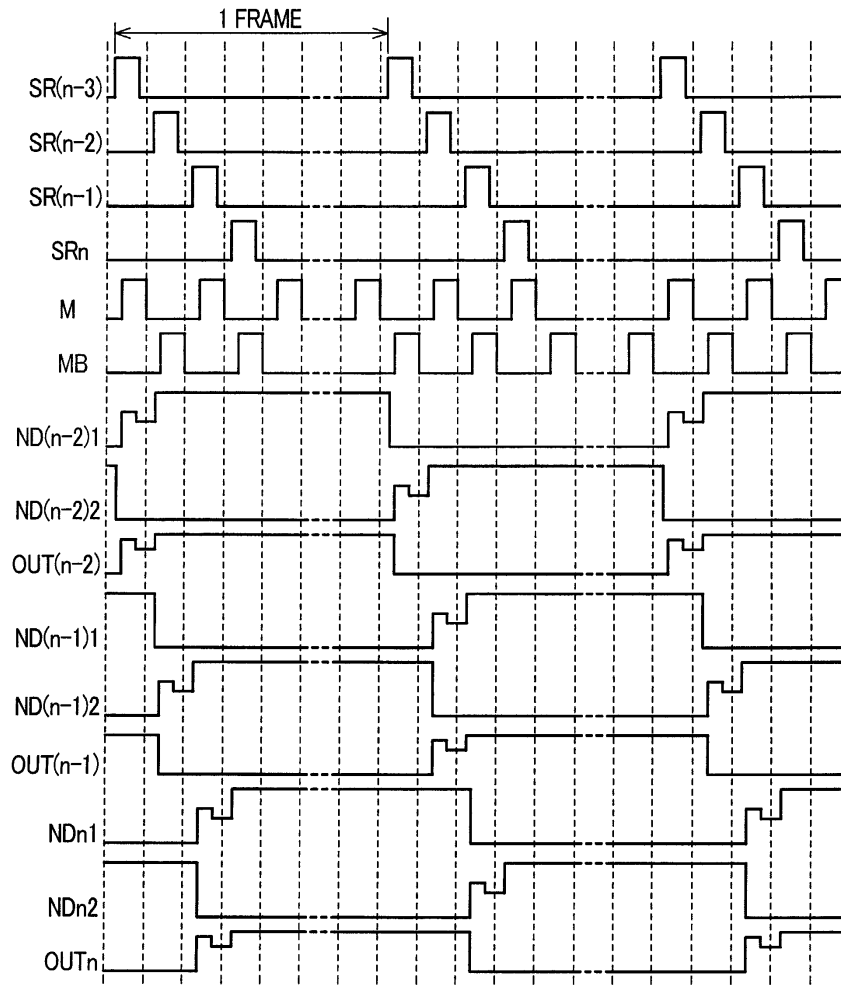
도면13



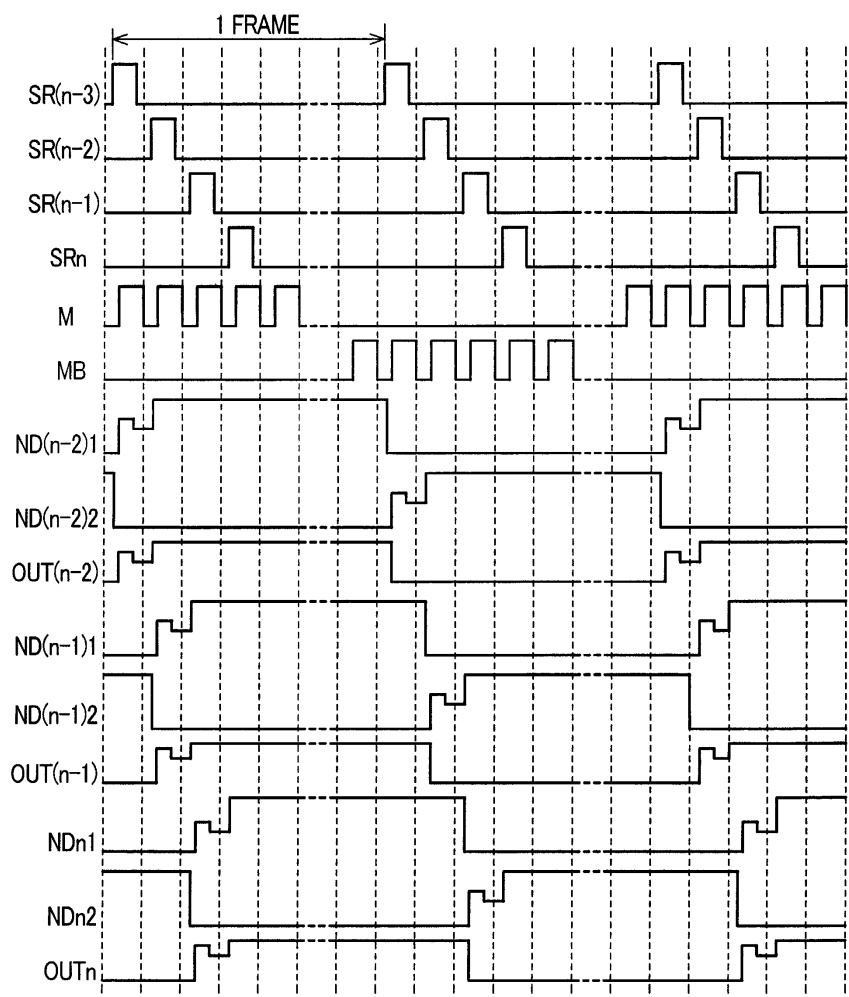
도면14



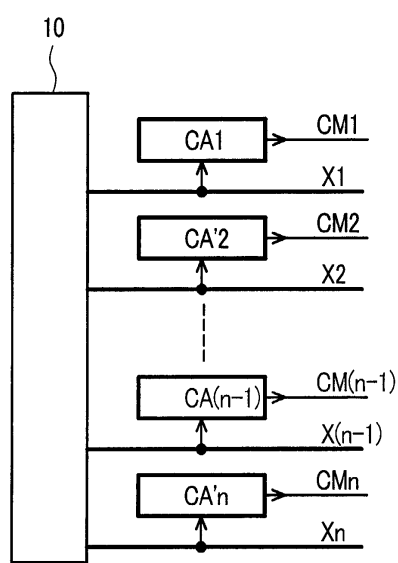
도면15



도면16

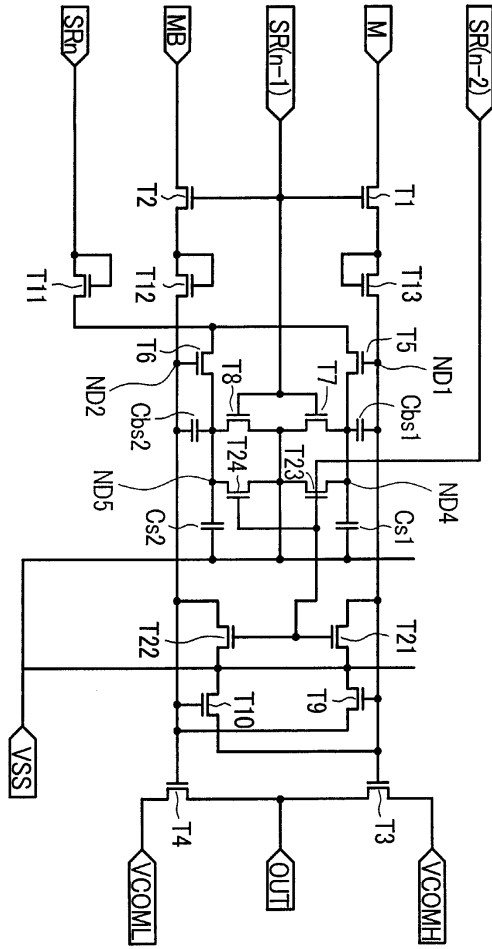


도면17





도면18



도면19

