

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年4月4日(04.04.2019)



(10) 国際公開番号

WO 2019/064575 A1

(51) 国際特許分類:
G02F 1/13357 (2006.01) H01L 27/32 (2006.01)

(21) 国際出願番号: PCT/JP2017/035708

(22) 国際出願日: 2017年9月29日(29.09.2017)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5908522 大阪府堺市堺区匠町1番地 Osaka (JP). 堺ディスプレイプロダクト株式会社(SAKAI DISPLAY PRODUCTS CORPORATION) [JP/JP]; 〒5908522 大阪府堺市堺区匠町1番地 Osaka (JP).

(72) 発明者: 箕浦 潔(MINOURA, Kiyoshi). 土屋 博司(TSUCHIYA, Hiroshi). 島田 伸二(SHIMADA, Shinji). 小林 勇毅(KOBAYASHI, Yuhki). 鳴瀧 陽三(NARUTAKI, Yozo); 〒5908522 大阪府堺市堺区匠町1番地 堺ディスプレイプロダクト株式会社内 Osaka (JP).

(74) 代理人: 特許業務法人 H A R A K E N Z O W O R L D P A T E N T & T R A D E M A R K (HARAKENZO WORLD PATENT & TRADEMARK); 〒5300041 大阪府大阪市北区天神橋2丁目北2番6号 大和南森町ビル Osaka (JP).

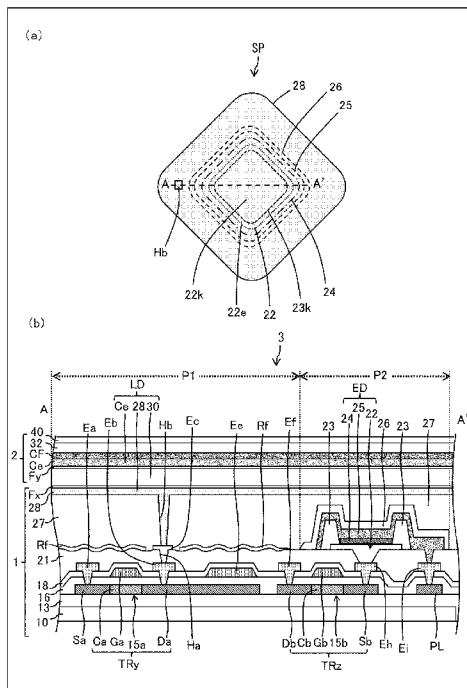
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS,

(54) Title: DISPLAY DEVICE

(54) 発明の名称: 表示デバイス

図 2



(57) Abstract: This display device is provided with: a first substrate (3) that includes a light emitting element (ED) that emits light upward, and a transistor (TRc) that is in a layer lower than the light emitting element; a second substrate (4) facing the first substrate; and a liquid crystal layer (30) that is disposed between the first substrate and the second substrate. The first substrate is provided with: an island-shaped sealing film (26) covering the light emitting element; a pixel electrode (28) having a first portion (P1) not overlapping the sealing film; and a light reflecting film (Rf), which overlaps the first portion, and which has an uneven surface.

(57) 要約: 上方発光型の発光素子 (E D) および前記発光素子よりも下層のトランジスタ (T R c) を含む第1基板 (3) と、前記第1基板に対向する第2基板 (4) と、前記第1基板および前記第2基板の間に配された液晶層 (3 0) とを備える表示デバイスであって、前記第1基板には、前記発光素子を覆う島状の封止膜 (2 6) と、前記封止膜と重ならない第1部分 (P 1) を有する画素電極 (2 8) と、前記第1部分と重なり、表面が凹凸をなす光反射膜 (R f) と、が設けられている。

MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

明 細 書

発明の名称：表示デバイス

技術分野

[0001] 本発明は表示デバイスに関する。

背景技術

[0002] 特許文献1には、EL発光素子による発光表示と反射液晶素子による液晶表示とを行う表示デバイスが開示されている。

先行技術文献

特許文献

[0003] 特許文献1：国際公開公報WO2004/053819（公開日：2004年6月24日）

発明の概要

発明が解決しようとする課題

[0004] 前記従来の表示デバイスでは、発光領域が発光表示と反射液晶表示とで同一であるため、反射液晶表示に最適な設計ができず、反射液晶表示時に輝度が不足するという問題がある。

課題を解決するための手段

[0005] 本発明の一態様に係る表示デバイスは、上方発光型の発光素子および前記発光素子よりも下層のトランジスタを含む第1基板と、前記第1基板に対向する第2基板と、前記第1基板および前記第2基板の間に配された液晶層とを備える表示デバイスであって、前記第1基板には、前記発光素子を覆う島状の封止膜と、前記封止膜と重ならない第1部分を有する画素電極と、前記第1部分と重なり、表面が凹凸をなす光反射膜とが設けられる。

発明の効果

[0006] 前記第1部分と重畳する領域については、発光素子が形成されていないため、反射液晶表示に最適な設計が可能である。これにより、反射液晶表示時

の輝度が高められる。

図面の簡単な説明

[0007] [図1] (a) は実施形態 1 の表示デバイスを示す平面図であり、(b) はサブピクセルの構成例を示す回路図である。

[図2] (a) はサブ画素の構成例を示す平面図であり、(b) は表示部のサブ画素を通る断面図である。

[図3] 実施形態 1 の表示デバイスの表示原理を示す断面図である。

[図4] (a) は実施形態 1 の表示デバイスの 2 画素領域を示す平面図であり、(b) は 2 画素領域の表示例（外光強の場合と外光弱の場合）を示す平面図である。

[図5] 実施形態 2 の表示デバイスを示す断面図である。

[図6] 実施形態 3 の表示デバイスを示す断面図である。

[図7] 実施形態 4 の表示デバイスを示す断面図である。

[図8] 実施形態 5 の表示デバイスを示す断面図である。

発明を実施するための形態

[0008] [実施形態 1]

以下においては、「同層」とは同一プロセスにて同材料で形成されていることを意味し、「下層」とは、比較対象の層よりも先のプロセスで形成されていることを意味し、「上層」とは比較対象の層よりも後のプロセスで形成されていることを意味する。また、「重なる」とは、2つの部材が平面視において重畳部分を有することであり、これら2つの部材間に別の部材が介在する場合も介在しない場合も含まれるものとする。

[0009] 図 1 (a) は実施形態 1 の表示デバイスを示す平面図であり、図 1 (b) はサブピクセルの構成例を示す回路図である。図 1 (a) に示すように、実施形態 1 の表示デバイス 3 は、赤のサブ画素 S P (R)、緑のサブ画素 S P (G)、および青のサブ画素 S P (B) を含む表示部 3 d と、表示部 3 d を駆動するドライバ回路 D R C と、外光センサ L S と、表示制御回路 D C C とを備える。

[0010] 図1に示すように、表示部3dには、データラインDL、ゲートラインGL_n、切り替えラインKL、電流ラインCL、および接地ラインPLが設けられる。ドライバ回路DRCには、データラインDLを駆動するソースドライバSDと、ゲートラインGL_nおよび切り替えラインKLを駆動するゲートドライバGDとが含まれる。表示制御回路DCCは、外光センサLSの出力（外光量）に基づいてソースドライバSDおよびゲートドライバGDを制御する。

[0011] サブ画素SPは、発光素子ED（例えば、有機発光ダイオード）、反射液晶素子（反射液晶容量）LD、トランジスタTR_x・TR_y・TR_z、容量C_p・C_sを含む。例えば赤のサブ画素SP（R）は、赤色カラーフィルタを含む反射液晶素子LDと、赤色発光する発光素子EDとを含む。

[0012] 切り替えラインKLが非アクティブ（外光量が閾値未満）の期間はトランジスタTR_yがOFFであり、ゲートラインGL_nがアクティブになると発光表示用の階調信号がデータラインDLおよびトランジスタTR_xを介して入力され、容量C_pが階調に応じて充電される。そして、電流ラインCLがアクティブになることでトランジスタTR_zを介して発光素子EDに電流が通り、発光素子EDが階調に応じた輝度で発光する。発光素子EDのカソードは接地ラインPLに接続される。

[0013] 切り替えラインKLがアクティブ（外光量が閾値以上）の期間はトランジスタTR_yがONであり、ゲートラインGL_nがアクティブになると反射液晶表示用の階調信号がデータラインDL並びにトランジスタTR_xおよびトランジスタTR_yを介して入力され、反射液晶素子（反射液晶容量）LDが階調に応じて充電される。これにより、反射液晶素子LDが階調に応じた透過率となり、反射光が反射液晶素子LDを透過する。容量C_sは反射液晶素子LDの補助容量として機能する。

[0014] 図2（a）はサブ画素の構成例を示す平面図であり、図2（b）は、表示デバイスのサブ画素を通る断面図である。図2に示すように、表示デバイス3では、第1基板（下側基板）1、液晶30、第2基板（上側基板）2、お

よび円偏光板 40 がこの順に積層されている。

[0015] 第1基板1では、基材10上に、バリア層13、半導体膜15a・15b、無機絶縁膜16、電極Ga・Ee・Gb、無機絶縁膜18、電極Ea・Eb・Ef・Eh・Ei、層間絶縁膜21、光反射膜Rf・電極Ec・アノード22、発光層24、カソード25、封止膜26、平坦化膜27、画素電極28、および配向膜Fxがこの順に積層されている。また、第2基板2では、基材32上に、カラーフィルタCF、対向電極Ce、および配向膜Fyがこの順に積層されている。

[0016] サブ画素SPには、アノード22（下側電極）、発光層24およびカソード25（上側電極）を含むように構成された発光素子EDと、画素電極28、液晶層30、および対向電極Ceを含むように構成された反射液晶素子LDとが設けられ、発光素子EDが島状の封止膜26によって覆われている。

[0017] 基材10の材料としては、例えば、ガラス、ポリエチレンテレフタレート（PET）が挙げられる。バリア層3は、水、酸素等の異物がトランジスタTRY・TRZ、発光層24等に浸透することを防ぐ層であり、例えば、CVDにより形成される、酸化シリコン膜、窒化シリコン膜、あるいは酸窒化シリコン膜、またはこれらの積層膜で構成することができる。

[0018] 半導体膜15a・15bは、例えば低温ポリシリコン（LTPS）あるいは酸化物半導体で構成される。半導体膜15aは、チャネル部Ca、ソース部Saおよびドレイン部Daを含み、半導体膜15bは、チャネル部Cb、ソース部Sbおよびドレイン部Dbを含む。

[0019] 無機絶縁膜16・18は、例えば、CVD法によって形成された、酸化シリコン（SiO_x）膜あるいは窒化シリコン（SiN_x）膜またはこれらの積層膜によって構成することができる。

[0020] 電極Ga・Gb・Ea・Eb・Ee・Ef・Eh・Eiは、例えば、アルミニウム（Al）、タングステン（W）、モリブデン（Mo）、タンタル（Ta）、クロム（Cr）、チタン（Ti）、銅（Cu）の少なくとも1つを含む金属の単層膜あるいは積層膜によって構成される。

- [0021] 半導体膜15aと、無機絶縁膜18を介してチャネル部Caと重なる電極Ga（ゲート電極）とを含むようにトランジスタTRY（図1（b）参照）が構成される。半導体膜15bと、無機絶縁膜18を介してチャネル部Cbと重なる電極Gb（ゲート電極）とを含むようにトランジスタTRz（図1（b）参照）が構成される。
- [0022] 層間絶縁膜21は、ソースメタル（ソース層）といわれる電極Ea・Eb・Ef・Eh・Eiを覆う膜であり、例えば、ポリイミド、アクリル等の塗布可能な感光性有機材料によって構成することができる。層間絶縁膜21は、発光素子EDの下地膜（平坦化膜）として機能する。
- [0023] 半導体膜15aのドレイン部Da（トランジスタTRYのドレイン）は、電極Ebを介して、層間絶縁膜21のコンタクトホールHaを埋める電極Ecに接続され、電極Ecは、平坦化膜27のコンタクトホールHbによって画素電極28に接続される。なお、ドレイン部Daと電極Eeとが無機絶縁膜16を介して重なる部分に容量Cs（図1（b）参照）が形成される。半導体膜15bのソース部Sb（トランジスタTRzのソース）は、電極Ehを介して、層間絶縁膜21のコンタクトホールを埋めるアノード22に接続される。
- [0024] アノード22、光反射膜Rf、および電極Ecは、例えば、2枚のITO（Indium Tin Oxide）膜でAg合金膜を挟んだ光反射性の積層膜であり、層間絶縁膜21上に、同一工程で（同層に）形成することができる。
- [0025] 電極カバー膜23は有機絶縁膜であり、例えば、ポリイミド、アクリル等の感光性有機材料を塗布した後にフォトリソグラフィ法によってパターンニングすることで形成される。
- [0026] 発光層24は、FMM（Fine Metal Mask）を用いた蒸着法あるいはインクジェット法によって、サブ画素ごとに島状に形成される。図面では割愛するが、アノード22と発光層24との間に正孔輸送層を設けることもできる。
- [0027] カソード25は、例えば、厚さ20nm以下とされた透光性のMgAg合金膜であり、サブ画素ごとに島状に形成される。図面では割愛するが、発光

層 2 4 とカソード 2 5 との間に電子輸送層を設けることもできる。カソード 2 5 は、例えば、FMMを用いた蒸着法によってパターン形成することができる。

[0028] 発光素子 ED (OLED) では、アノード 2 2 およびカソード 2 5 間の駆動電流によって正孔と電子が発光層 2 4 内で再結合し、これによって生じたエキシトンが基底状態に落ちることによって、光が放出される。カソード 2 5 が透光性であり、アノード 2 2 が光反射性であるため、発光層 2 4 から放出された光は上方に向かい、トップエミッション（上方発光）となる。

[0029] 封止膜 2 6 は、2 枚の無機封止膜を含む積層膜であり、サブ画素ごとに発光素子 ED を覆う島状に形成される。無機封止膜は、例えば、CVDにより形成される、酸化シリコン膜、窒化シリコン膜、あるいは酸窒化シリコン膜、またはこれらの積層膜で構成することができる。2 枚の無機封止膜の間に、アクリル等の塗布可能な有機膜を例えばインクジェット法により配することもできる。これは、1 層目（下側）の無機封止膜の内部あるいは当該無機封止膜上に異物がある場合に、2 層目（上側）の無機封止膜が段切れを起こし、封止性能が低下することを防ぐためである。

[0030] 平坦化膜 2 7 は、光反射膜 Rf および封止膜 2 6 を覆う膜であり、例えば、ポリイミド、アクリル等の塗布可能な感光性有機材料によって構成することができる。

[0031] 画素電極 2 8 は、平坦化膜 2 7 上に、ITO、IZO等の透光性の導電材を用いてサブ画素ごとに形成される。画素電極 2 8 を覆う配向膜 Fx はポリイミド等を用いて構成することができるが、発光素子 ED への影響を考慮し、ラビングあるいはUV照射を行う配向処理（プレチルト付与）は行わない。

[0032] 液晶層 3 0 はノーマリブラックとなる垂直配向（VA）モードであり、第 2 基板 2 の配向膜 Fy には配向処理（プレチルト付与）がなされる。カラーフィルタ CF の色（赤・緑・青）はサブ画素ごとに規定される。対向電極 Ce は、共通電位 Vcom が与えられる共通電極であり、ITO、IZO等の

透光性の導電材を用いてベタ状に形成される。

[0033] 円偏光板 40 は、例えば、直線偏光板と $1/4$ 波長の位相差板との組み合わせで形成される。例えば、液晶層 30 が垂直配向（LD の電圧が最小の場合）のときに、液晶層を通過した光の位相がずれないように設定し、円偏光板 40 および液晶層 30 を通って光反射膜 Rf で反射し、再び円偏光板 40 に戻った外光を最小透過（黒色表示）とする。一方、液晶層 30 が水平配向（LD の電圧が最大の場合）のときに液晶層を通過した光の位相が $1/4$ 波長分ずれるように設定し、円偏光板 40 および液晶層 30 を通って光反射膜 Rf で反射して再び円偏光板 40 に戻った外光を最大透過（白色表示）とする。

[0034] 図 3 は、実施形態 1 の表示デバイスの表示原理を示す断面図である。図 1 の表示制御回路 DCC は、外光センサ LS で得られる外光量が閾値未満であれば、図 3 (a) のように、発光素子 ED による発光表示を行う第 1 モードとし、外光量が閾値以上であれば、図 3 (b) のように、発光素子 ED を非発光として反射液晶素子 LD による反射液晶表示を行う第 2 モードとする。こうすれば、強外光下での発光表示の劣化および低消費電力化を実現することができる。

[0035] 図 2・3 に示すように、第 1 基板 1 には、発光素子 ED を覆う島状の封止膜 26 と、封止膜 26 と重ならない第 1 部分 P1 を有する画素電極 28 と、第 1 部分 P1 と重なり、表面が凹凸をなす光反射膜 Rf とが設けられている。第 1 部分 P1 と重畳する領域については、発光素子がないため反射液晶表示に最適な設計が可能であり、かつ光反射膜 Rf によって反射光の反射角制御が可能であるため、高品位な反射液晶表示が実現される。

[0036] 実施形態 1 では、光反射膜 Rf が、層間絶縁膜 21 上（発光素子 ED のアノード 22 と同層）に形成される。層間絶縁膜 21 をフォトリソグラフィによってパターニングする際、所定領域に凹凸を形成することで、この所定領域上に形成される光反射膜 Rf に凹凸をつけることができる。例えば、コンタクトホール Ha の形成領域と、所定領域の一部（凸形成領域）と、所定領

域の別の一部（凹形成領域）とで露光量を変えることにより、凹凸を形成する。また、凹凸面の角度は、露光パターンの大きさと露光量によりコントロールすることができるため、より高輝度の反射液晶表示が可能となる。

[0037] なお、層間絶縁膜 21 は、発光素子 ED のアノード 22 と重なる領域はフラットである。こうすれば、アノード 22 の表面がフラットとなり、発光層 24 を良好に蒸着形成することができる。また、カソード 25 に、例えば厚さ 20 nm 以下の MgAg 合金膜（光透過および光反射性をもつ）を用いることで、アノード 22 およびカソード 25 間をマイクロキャビティとして機能させ、発光色の純度を高めることができる。

[0038] 実施形態 1 では、画素電極 28 は、封止膜 26 と重畳する第 2 部分 P2 を含む。具体的には、発光素子 ED のアノード 22 は、電極カバー膜 23 で覆われたエッジ部 22e と、電極カバー膜 23 で覆われていない非エッジ部 22k（電極カバー膜 23 の開口 23k 下の露出部分）とを含み、非エッジ部 22k の全域が、発光層 24、カソード 25、封止膜 26 および画素電極 28 の第 2 部分 P2 と重なる。

[0039] したがって、画素電極 28 の第 1 部分 P1 および第 2 部分 P2 を反射液晶素子 LD に利用でき、図 3（b）において、光反射膜 Rf で反射して第 1 部分 P1 を通る外光 L1 と、アノード 22 で反射して第 2 部分 P2 を通る外光 L2 とを表示に寄与させることができる。これにより、反射液晶表示時の輝度が高められる。なお、光反射膜 Rf は、発光素子 ED のカソード 25 と重ならないように形成する。

[0040] 図 4（a）は実施形態 1 の表示デバイスの 2 画素領域を示す平面図であり、図 4（b）は 2 画素領域の表示例（外光強の場合と外光弱の場合）を示す平面図である。図 2・4 に示すように、平面視において、画素電極 28 の外周の内側にアノード 22 の非エッジ部 22k が位置し、画素電極 28 の第 1 部分 P1（封止膜 26 と重ならない部分）が第 2 部分 P2（封止膜 26 と重なる部分）を取り囲む。すなわち、平面視において、画素電極 28 の外周の内側に発光素子 ED の発光領域 EA が位置し、画素電極 28 の重心と、発光

領域E Aの重心とが一致する。こうすれば、反射液晶表示時の、赤サブ画素の発光領域L A（R）、緑サブ画素の発光領域L A（G）、青サブ画素の発光領域L A（B）それぞれを、発光表示時の、赤サブ画素の発光領域E A（R）、緑サブ画素の発光領域E A（G）、青サブ画素の発光領域E A（B）よりも大きくすることができ、反射液晶表示の品位を高めることができる。また、発光表示と反射液晶表示とを切り替えてもサブ画素の輝度重心が変わらないため、表示の切り替わり時の違和感が低減される。図1・4等では赤、緑、青のサブ画素をペンタイル方式で配置しているがこれは一例に過ぎない。

[0041] 封止膜26よりも上層かつ画素電極28よりも下層に平坦化膜27が設けられ、平坦化膜27が、画素電極28の第1部分P1および第2部分P2と重なる。こうすれば、第1部分P1と重なる液晶層30の厚み（ギャップ）と、第2部分P2と重なる液晶層30の厚み（ギャップ）とが等しくなり、反射液晶表示の品位を高めることができる。

[0042] 島状の封止膜26よりも上層に形成される画素電極28の第1部分P1（封止膜26と重ならない部分）が、層間絶縁膜21のコンタクトホールHaおよび平坦化膜27のコンタクトホールHbを介してトランジスタTRyに接続されている。このように、封止膜26にホール（孔）を形成することなく、画素電極28とトランジスタTRyとを電氣的に接続することで、封止効果を高め、発光素子EDの劣化を抑えることができる。

[0043] 〔実施形態2〕

図5は実施形態2の表示デバイスを示す断面図である。実施形態2では、発光素子のアノード22を覆う電極カバー膜23と同層のバッファ膜Bfが設けられ、バッファ膜Bfは、表面が凹凸をなす領域を含み、この領域上に光反射膜Rfが形成されている。画素電極28は光反射膜Rf上に形成される。画素電極28（第1部分）は、層間絶縁膜21のコンタクトホールHaおよびバッファ膜BfのコンタクトホールHcを介してトランジスタTRyに接続されている。

[0044] このように、電極カバー膜 23 と同一工程で形成バッファ膜 B f 上に光反射膜 R f を形成することで、製造工程を減らすことができる。この場合、バッファ膜 B f の上面レベルを、封止膜 26 の上面レベルに合わせることで、第 1 部分 P 1 と重なる液晶層 30 の厚み（ギャップ）と、第 2 部分 P 2 と重なる液晶層 30 の厚み（ギャップ）とが等しくなり、反射液晶表示の品位を高めることができる。

[0045] 〔実施形態 3〕

図 6 は実施形態 2 の表示デバイスを示す断面図である。実施形態 2 では、表面が凹凸をなす光反射膜 R f を発光素子 E D に重ね、光反射膜 R f と同層の（同一工程で形成される）アノード 22 の表面にも凹凸をつけている。こうすれば、発光素子 E D の形成領域においても反射光を効果的に拡散させることができ、反射液晶表示の品位を高めることができる。また、封止膜 26 の端縁が、無機膜である光反射膜 R f に接するため、両者の接合性がよく、封止効果が高い。図 6 は、光反射膜 R f およびカソード 25 が接触する構成であるため、光反射膜 R f にカソード電位が供給される。光反射膜 R f とカソード 25 とが接触しない構成でもよい。

[0046] 〔実施形態 4〕

図 7 は実施形態 4 の表示デバイスを示す断面図である。実施形態 1 では、画素電極 28（第 2 部分 P 2）を発光素子の発光領域（アノード 22 の非エッジ部 22 k の上方領域）に重ねているがこれに限定されない。図 7 のように、発光素子 E D の発光領域上には画素電極 28 およびカラーフィルタ C F を形成しないことも可能である。こうすれば、発光素子 E D から出射した多くの光がカラーフィルタを通過しなくなるため、発光表示時の輝度を高めることができる。

[0047] 〔実施形態 5〕

図 8 は実施形態 5 の表示デバイスを示す断面図である。実施形態 1・2 では、層間絶縁膜 21 上に光反射膜 R f を形成しているがこれに限定されない。図 8 のように、平坦化膜 27 上に、表面が凹凸をなす光反射膜 R f を形成

し、光反射膜 R f 上に画素電極 28 を形成することも可能である。図 8 では、発光素子 E D の発光領域上に画素電極 28 およびカラーフィルタ C F を形成しない構成としているが、これに限定されない。実施形態 1 のように、画素電極 28（第 2 部分）を発光素子の発光領域に重ねる構成も可能である。

[0048] 〔まとめ〕

本実施形態にかかる表示デバイスが備える電気光学素子（電流によって輝度や透過率が制御される電気光学素子）は特に限定されるものではない。本実施形態にかかる表示装置としては、例えば、電気光学素子として O L E D（Organic Light Emitting Diode：有機発光ダイオード）を備えた有機 E L（Electro Luminescence：エレクトロルミネッセンス）ディスプレイ、電気光学素子として無機発光ダイオードを備えた無機 E L ディスプレイ、電気光学素子として Q L E D（Quantum dot Light Emitting Diode：量子ドット発光ダイオード）を備えた Q L E D ディスプレイ等が挙げられる。

[0049] 〔態様 1〕

上方発光型の発光素子および前記発光素子よりも下層のトランジスタを含む第 1 基板と、前記第 1 基板に対向する第 2 基板と、前記第 1 基板および前記第 2 基板の間に配された液晶層とを備える表示デバイスであって、前記第 1 基板には、前記発光素子を覆う島状の封止膜と、前記封止膜と重ならない第 1 部分を有する画素電極と、前記第 1 部分と重なり、表面が凹凸をなす光反射膜とが設けられている表示デバイス。

[0050] 〔態様 2〕

前記トランジスタよりも上層かつ前記発光素子よりも下層に層間絶縁膜が設けられ、前記層間絶縁膜は、表面が凹凸をなす領域を含み、この領域上に前記光反射膜が形成されている例えば態様 1 に記載の表示デバイス。

[0051] 〔態様 3〕

前記光反射膜が前記発光素子の下側電極と同層に形成されている例えば態様 2 に記載の表示デバイス。

[0052] 〔態様 4〕

前記層間絶縁膜は、前記発光素子の下側電極と重なる領域がフラットである例えば態様2または3に記載の表示デバイス。

[0053] 〔態様5〕

前記発光素子の下側電極を覆う電極カバー膜と同層のバッファ膜が設けられ、

前記バッファ膜は、表面が凹凸をなす領域を含み、この領域上に前記光反射膜が形成されている例えば態様1に記載の表示デバイス。

[0054] 〔態様6〕

前記封止膜よりも上層かつ前記画素電極よりも下層に平坦化膜が設けられ、

前記平坦化膜は、表面が凹凸をなす領域を含み、この領域上に前記光反射膜が形成されている例えば態様1に記載の表示デバイス。

[0055] 〔態様7〕

前記画素電極が前記封止膜よりも上層に設けられ、

前記画素電極の第1部分および前記トランジスタがコンタクトホールを介して接続されている例えば態様1～6のいずれか1項に記載の表示デバイス。

[0056] 〔態様8〕

前記画素電極は、前記封止膜と重なる第2部分を有する例えば態様1～7のいずれか1項に記載の表示デバイス。

[0057] 〔態様9〕

前記光反射膜は、前記第2部分と重なる例えば態様8に記載の表示デバイス。

[0058] 〔態様10〕

前記光反射膜は、前記発光素子の上側電極と重ならない例えば態様1～8のいずれか1項に記載の表示デバイス。

[0059] 〔態様11〕

前記封止膜および前記画素電極がサブ画素ごとに設けられている例えば態

様 1 ～ 1 0 のいずれか 1 項に記載の表示デバイス。

[0060] 〔態様 1 2〕

サブ画素ごとに、前記画素電極および前記液晶層を含む反射液晶素子と、前記封止膜で覆われた前記発光素子とが設けられ、

前記発光素子を非発光として前記反射液晶表示による反射液晶表示を行う第 1 モードと、前記発光素子による発光表示を行う第 2 モードとが外光量に応じて切り替えられる例えば態様 1 1 に記載の表示デバイス。

符号の説明

- [0061] 1 第 1 基板
 2 第 2 基板
 3 表示デバイス
 1 0 基材
 1 3 バリア層
 1 6 ・ 1 8 無機絶縁膜
 2 1 層間絶縁膜
 2 2 アノード（下側電極）
 2 3 電極カバー膜
 2 4 発光層
 2 5 カソード（上側電極）
 2 6 封止膜
 2 7 平坦化膜
 2 8 画素電極
 3 0 液晶層
 4 0 円偏光板
 P 1 第 1 部分
 P 2 第 2 部分
 E D 発光素子
 L D 反射液晶素子

R f 光反射膜

F x · F y 配向膜

B f バッファ膜

C e 対向電極

C F カラーフィルタ

H a · H b · H c コンタクトホール

T R x ~ T R z トランジスタ

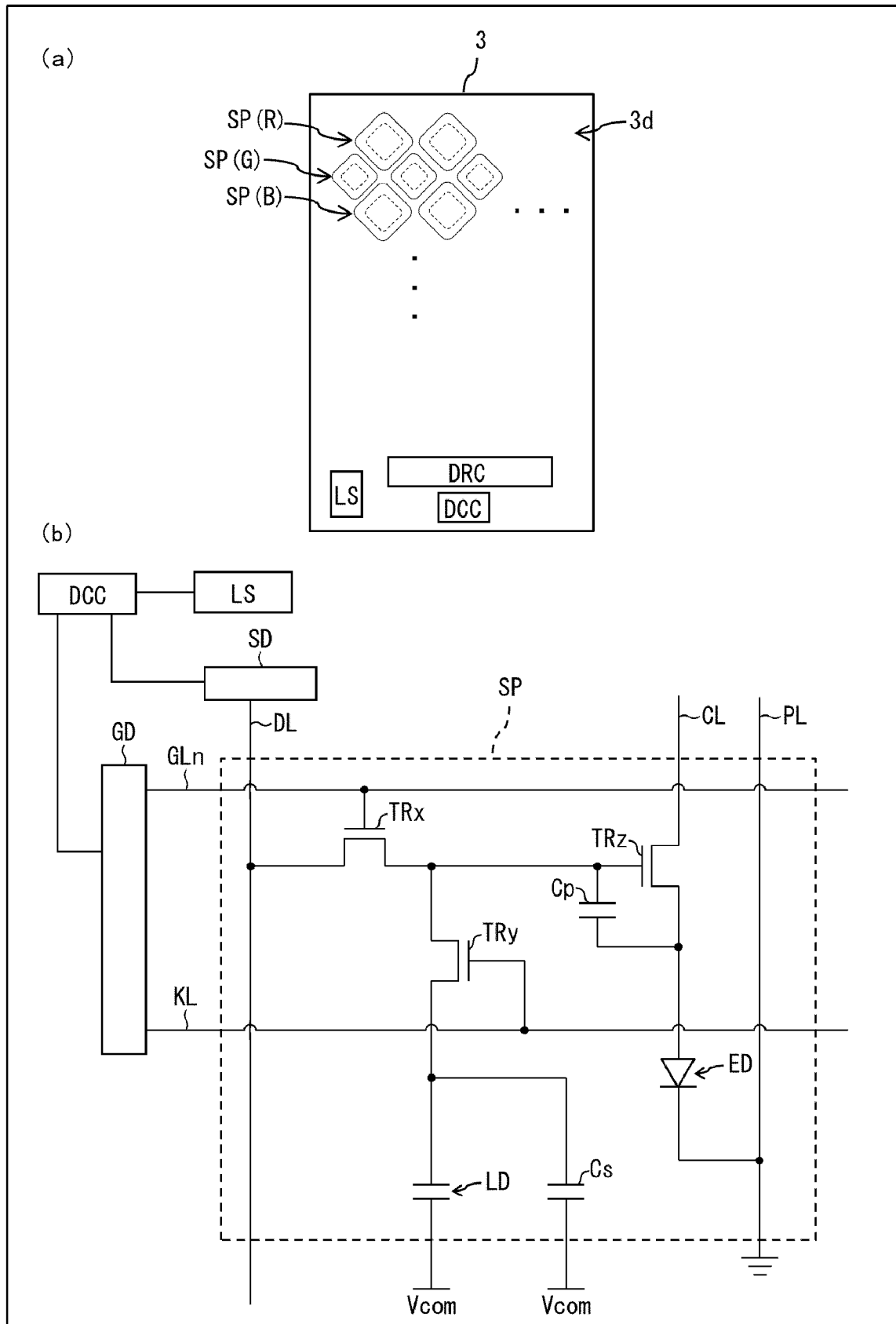
請求の範囲

- [請求項1] 上方発光型の発光素子および前記発光素子よりも下層のトランジスタを含む第1基板と、前記第1基板に対向する第2基板と、前記第1基板および前記第2基板の間に配された液晶層とを備える表示デバイスであって、
- 前記第1基板には、前記発光素子を覆う島状の封止膜と、前記封止膜と重ならない第1部分を有する画素電極と、前記第1部分と重なり、表面が凹凸をなす光反射膜とが設けられている表示デバイス。
- [請求項2] 前記トランジスタよりも上層かつ前記発光素子よりも下層に層間絶縁膜が設けられ、
- 前記層間絶縁膜は、表面が凹凸をなす領域を含み、この領域上に前記光反射膜が形成されている請求項1に記載の表示デバイス。
- [請求項3] 前記光反射膜が前記発光素子の下側電極と同層に形成されている請求項2に記載の表示デバイス。
- [請求項4] 前記層間絶縁膜は、前記発光素子の下側電極と重なる領域がフラットである請求項2または3に記載の表示デバイス。
- [請求項5] 前記発光素子の下側電極を覆う電極カバー膜と同層のバッファ膜が設けられ、
- 前記バッファ膜は、表面が凹凸をなす領域を含み、この領域上に前記光反射膜が形成されている請求項1に記載の表示デバイス。
- [請求項6] 前記封止膜よりも上層かつ前記画素電極よりも下層に平坦化膜が設けられ、
- 前記平坦化膜は、表面が凹凸をなす領域を含み、この領域上に前記光反射膜が形成されている請求項1に記載の表示デバイス。
- [請求項7] 前記画素電極が前記封止膜よりも上層に設けられ、
- 前記画素電極の第1部分と前記トランジスタとがコンタクトホールを介して接続されている請求項1～6のいずれか1項に記載の表示デバイス。

- [請求項8] 前記画素電極は、前記封止膜と重なる第2部分を有する請求項1～7のいずれか1項に記載の表示デバイス。
- [請求項9] 前記光反射膜は、前記第2部分と重なる請求項8に記載の表示デバイス。
- [請求項10] 前記光反射膜は、前記発光素子の上側電極と重ならない請求項1～8のいずれか1項に記載の表示デバイス。
- [請求項11] 前記封止膜および前記画素電極がサブ画素ごとに設けられている請求項1～10のいずれか1項に記載の表示デバイス。
- [請求項12] サブ画素ごとに、前記画素電極および前記液晶層を含む反射液晶素子と、前記封止膜で覆われた前記発光素子とが設けられ、
前記発光素子を非発光として前記反射液晶表示による反射液晶表示を行う第1モードと、前記発光素子による発光表示を行う第2モードとが外光量に応じて切り替えられる請求項11に記載の表示デバイス。

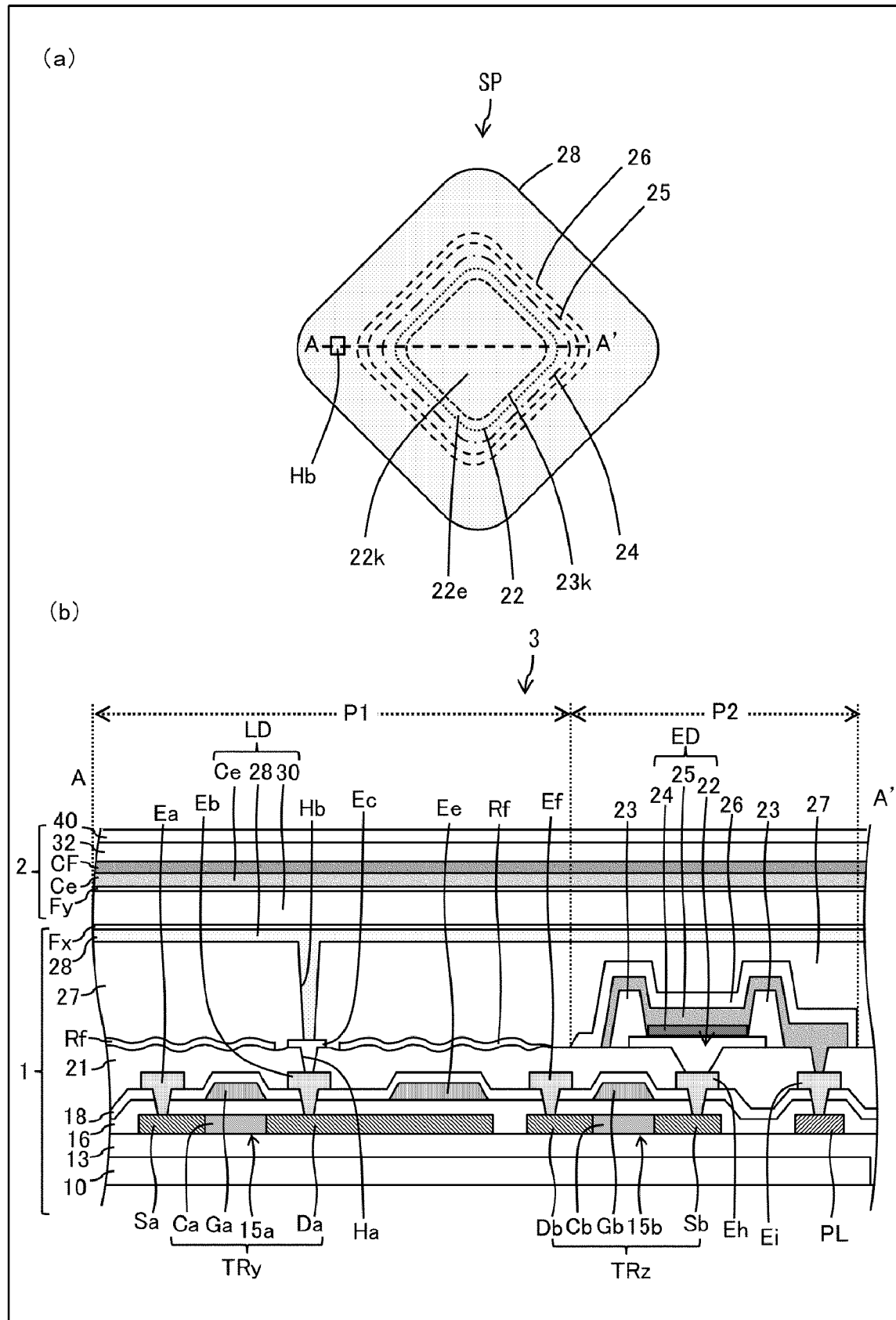
[図1]

図 1



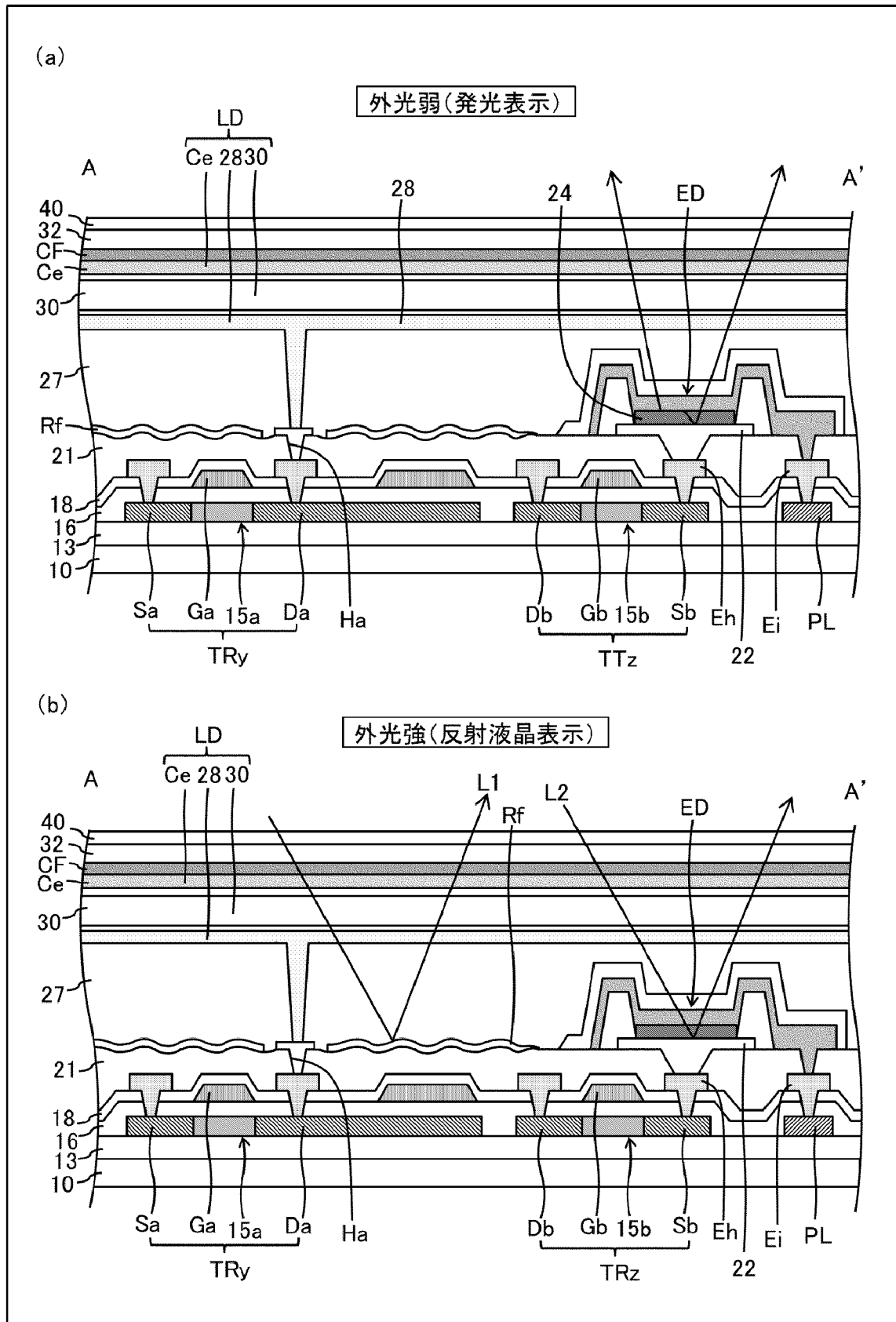
[図2]

図 2



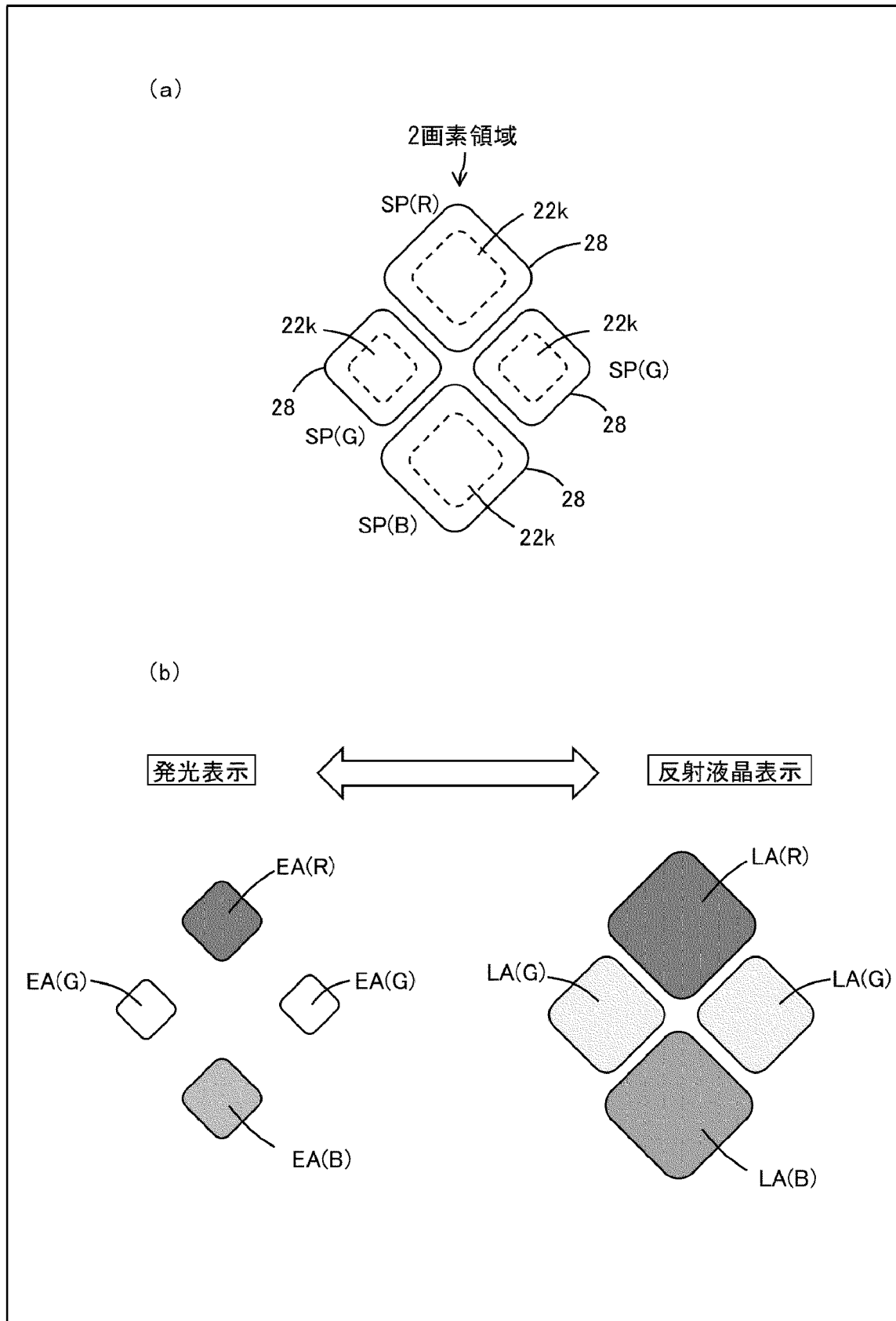
[図3]

図 3



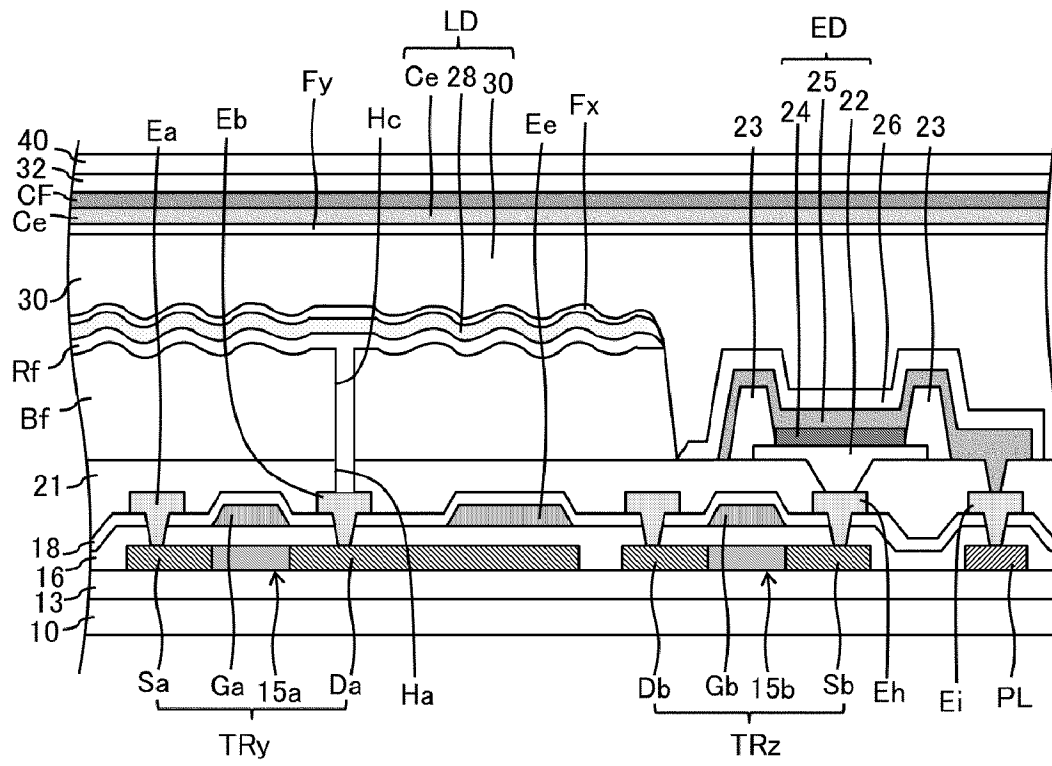
[図4]

図 4



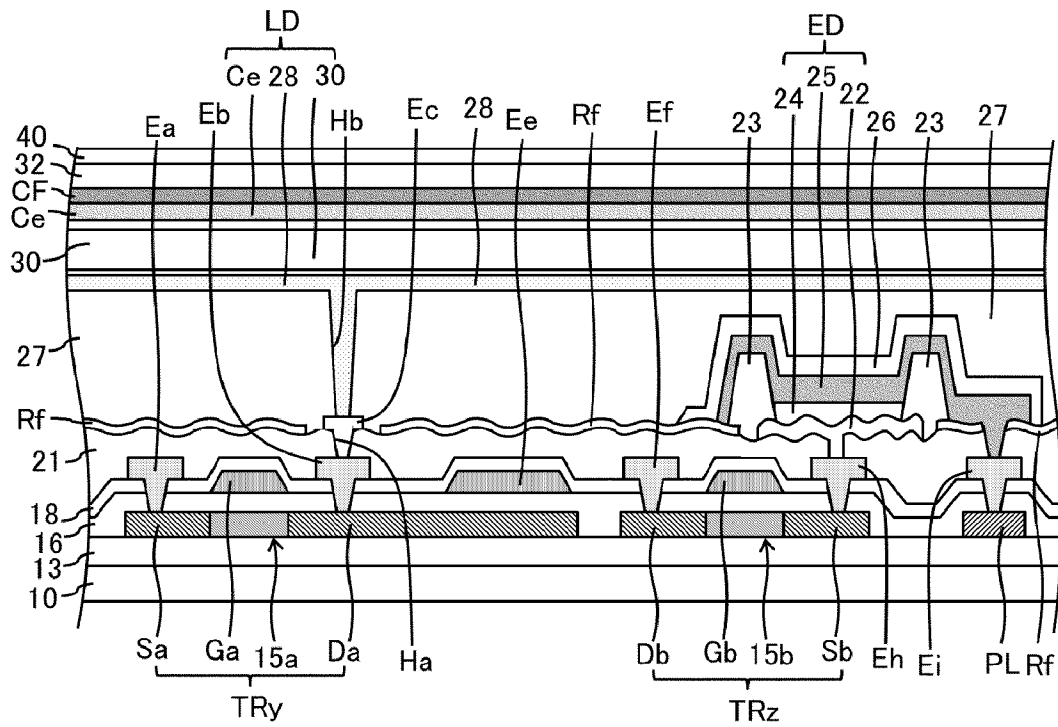
[図5]

図 5



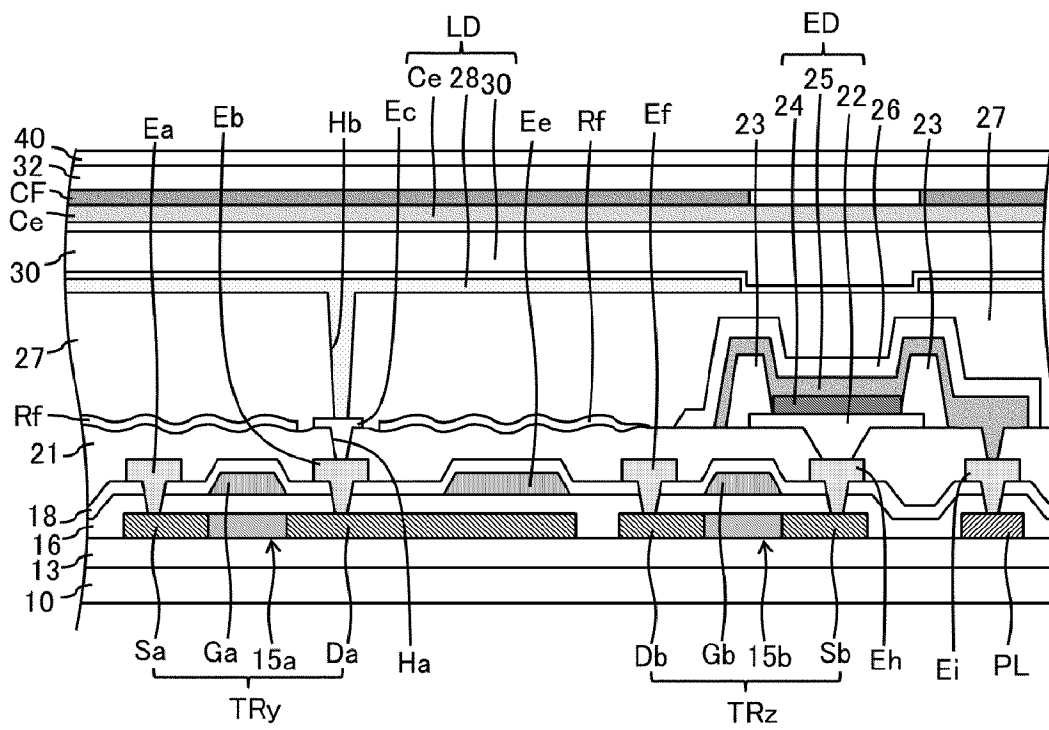
[図6]

図 6



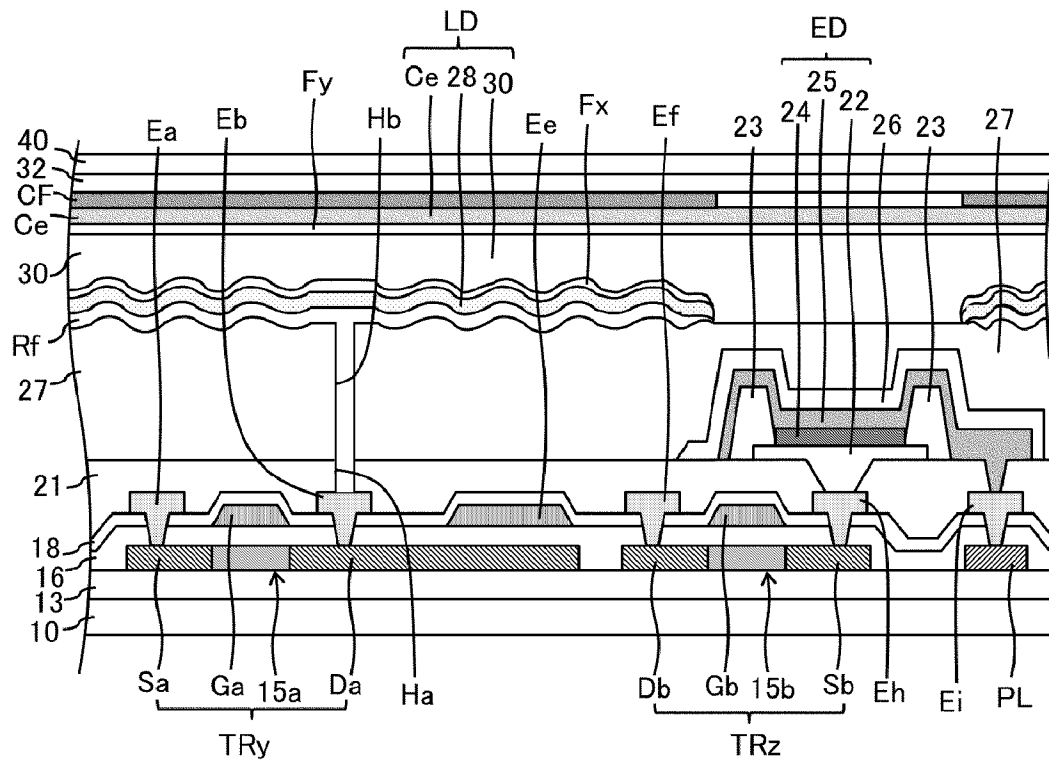
[図7]

図 7



[図8]

図 8



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/035708

A. CLASSIFICATION OF SUBJECT MATTER

G02F1/13357(2006.01)i, H01L27/32(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F1/13357, H01L27/32

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-196702 A (Sony Corp.), 12 July 2002 (12.07.2002), claims; paragraphs [0003] to [0023] (particularly, paragraphs [0010] to [0013]); fig. 1 to 11 (Family: none)	1-12
Y	JP 2015-181137 A (Konica Minolta, Inc.), 15 October 2015 (15.10.2015), claims; paragraphs [0011] to [0164]; fig. 1 to 4 (particularly, fig. 4) (Family: none)	1-12

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
31 October 2017 (31.10.17)

Date of mailing of the international search report
14 November 2017 (14.11.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/035708

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2003-076302 A (Sharp Corp.), 14 March 2003 (14.03.2003), claims; paragraphs [0010] to [0134] (particularly, paragraph [0067]); fig. 1 to 15 (particularly, fig. 1) & TW 588185 B & KR 10-2003-0022049 A & CN 1403856 A	1-12

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G02F1/13357(2006.01)i, H01L27/32(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G02F1/13357, H01L27/32

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2002-196702 A (ソニー株式会社) 2002.07.12, 特許請求の範囲、段落【0003】-【0023】(特に【0010】-【0013】), 第1図-第11図 (ファミリーなし)	1-12
Y	JP 2015-181137 A (コニカミノルタ株式会社) 2015.10.15, 特許請求の範囲、段落【0011】-【0164】、第1図-第4図 (特に第4図) (ファミリーなし)	1-12

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

31.10.2017

国際調査報告の発送日

14.11.2017

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

越河 勉

2 L

9313

電話番号 03-3581-1101 内線 3295

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2003-076302 A (シャープ株式会社) 2003. 03. 14, 特許請求の範囲、段落【0010】 - 【0134】 (特に段落【0067】), 第 1 図-第 15 図 (特に第 1 図) & TW 588185 B & KR 10-2003-0022049 A & CN 1403856 A	1-12