(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第6033012号
(P6033012)
(45)発行日　平成28年11月30日(2016.11.30)　(24)登録日　平成28年11月4日(2016.11.4)

(51)Int.Cl.		F I		
H04B 1/16	(2006.01)	H04B	1/16	Z
H04B 1/00	(2006.01)	H04B	1/00	121
H03H 17/00	(2006.01)	H03H	17/00	621A

請求項の数 9　外国語出願　(全 15 頁)

(21)出願番号　特願2012-200461 (P2012-200461)
(22)出願日　平成24年9月12日 (2012.9.12)
(65)公開番号　特開2013-81162 (P2013-81162A)
(43)公開日　平成25年5月2日 (2013.5.2)
審査請求日　平成27年7月8日 (2015.7.8)
(31)優先権主張番号　13/233,938
(32)優先日　平成23年9月15日 (2011.9.15)
(33)優先権主張国　米国(US)

(73)特許権者　500520743
ザ・ボーイング・カンパニー
The Boeing Company
アメリカ合衆国、60606-2016
イリノイ州、シカゴ、ノース・リバーサイド・プラザ、100
(74)代理人　100109726
弁理士　園田　吉隆
(74)代理人　100101199
弁理士　小林　義教
(72)発明者　クアン,　イエン-チョン
アメリカ合衆国　カリフォルニア　90034,　ロサンゼルス,　ローズ　アヴェニュー　11140,　アパートメント　202

最終頁に続く

(54)【発明の名称】低電力無線周波数デジタル受信機

(57)【特許請求の範囲】
【請求項１】
受信機（１００）であって、
第１のレートで信号をサンプリングする変調器（１０４）と、
少なくとも１つの処理ユニット（１１０）であって、
前記サンプリングされた信号を分離し、前記第１のレートよりも低いレートで前記分離された信号を再結合する、複数のデジタルバンドパスフィルタ（１２０）と、
周波数オフセットを調整する、または前記第１のレートよりも低いレートで前記再結合された信号をセンタリングするデジタルダウンコンバータ（１０８）と、を備える、少なくとも１つの処理ユニット（１１０）と、
前記受信機（１００）内に２つ以上の処理ユニット（１１０）がある場合に、隣接する処理ユニット（１１０）に結合される少なくとも１つのレート制御バッファと、を備え、
各処理ユニット（１１０）は、前記処理ユニット（１１０）内の前記複数のデジタルバンドパスフィルタ（１２０）、および前記デジタルダウンコンバータ（１０８）が、制御器（１４０）を介してセットアップされることによって構成され、または前記処理ユニット（１１０）内の前記複数のデジタルバンドパスフィルタ（１２０）、および前記デジタルダウンコンバータ（１０８）が、前記制御器（１４０）を介して迂回される、受信機（１００）。
【請求項２】
前記受信機（１００）内に２つ以上の処理ユニット（１１０）がある場合に、前記少な

くとも１つの処理ユニット（１１０）と、前記少なくとも１つのレート制御バッファとの間の接続部を構成する前記制御器（１４０）を備える、請求項１に記載の受信機（１００）。

【請求項３】

前記変調器（１０４）が前記信号を受け取る前に、前記信号を受け取り、増幅する増幅器（１０２）をさらに備える、請求項１または２に記載の受信機（１００）。

【請求項４】

前記変調器（１０４）が、バンドパス連続時間デルタシグマアナログデジタルコンバータである、請求項１ないし３のいずれか一項に記載の受信機（１００）。

【請求項５】

各処理ユニット（１１０）内の前記複数のデジタルバンドパスフィルタ（１２０）が、デジタル多相フィルタ（１０６）の形で設けられる、請求項１ないし４のいずれか一項に記載の受信機（１００）。

【請求項６】

各処理ユニット（１１０）内の前記複数のデジタルバンドパスフィルタ（１２０）が、それぞれが前記第１のレートよりも低いレートで作動する総数Ｍ個のサブ有限長フィルタを備え、現在の処理ユニット（１１０）が前記変調器（１０４）の次にある場合、Ｍは、前記第１のレートの、前記現在の処理ユニット（１１０）の処理レートに対する比であり、そうでない場合、Ｍは、前の処理ユニット（１１０）の処理レートの、前記現在の処理ユニット（１１０）の前記処理レートに対する比である、請求項１ないし５のいずれか一項に記載の受信機（１００）。

【請求項７】

受信機（１００）における消費電力を低減させる方法であって、

信号を受信するステップと、

前記受信された信号をフィルタリングするステップと、

第１のレートで前記フィルタリングされた信号をサンプリングするステップと、

少なくとも１つの処理ユニット（１１０）において、前記第１のレートよりも低い処理レートで前記サンプリングされた信号をサブバンド（１２０）に分離するステップと、

前記少なくとも１つの処理ユニット（１１０）において、前記サブバンド（１２０）からの前記分離された信号を前記処理レートで再結合するステップと、

前記少なくとも１つの処理ユニット（１１０）において、周波数オフセットを補正する、または前記処理レートで前記再結合された信号をセンタリングするステップと、を含み、

処理ユニット（１１０）内の複数のデジタルバンドパスフィルタ（１２０）、およびデジタルダウンコンバータ（１０８）を、制御器（１４０）を介してセットアップすることによって各処理ユニット（１１０）を構成するステップ、または前記処理ユニット（１１０）内の前記複数のデジタルバンドパスフィルタ（１２０）、および前記デジタルダウンコンバータ（１０８）を、前記制御器（１４０）を介して迂回するステップをさらに含む、方法。

【請求項８】

前記少なくとも１つの処理ユニット（１１０）において、デジタルダウンコンバータ（１０８）を迂回するステップを含み、

現在の処理ユニット（１１０）が変調器（１０４）に結合されている場合、前記第１のレートを前記現在の処理ユニット（１１０）の処理レートの倍数として調整し、搬送周波数を前記現在の処理ユニット（１１０）の前記処理レートの倍数として調整することによって迂回し、そうでない場合、前の処理ユニット（１１０）の処理レートを前記現在の処理ユニット（１１０）の前記処理レートの倍数として調整し、中間周波数を前記現在の処理ユニット（１１０）の前記処理レートの倍数として調整することによって迂回する、請求項７に記載の方法。

【請求項９】

前記サンプリングされた信号を分離するステップが、現在の処理ユニット（１１０）が変調器（１０４）に結合されている場合、前記サンプリングされた信号を、各サブバンド（１２０）に時間多重化し、そうでない場合、前の処理ユニット（１１０）の出力を、前記現在の処理ユニット（１１０）内の各サブバンド（１２０）に時間多重化するステップを含む、請求項７に記載の方法。

【発明の詳細な説明】

【技術分野】

【０００１】

本開示の実施形態は、一般に通信システムに関し、より詳細には、無線周波数（ＲＦ）領域において任意のバンドパスフィルタリングを実施し、フィルタリングしたＲＦ信号をデジタル領域にダウンコンバートすることができる、低電力無線周波数デジタル受信機に関する。

【背景技術】

【０００２】

無線受信機は、無線アンテナからの信号を使用可能な形に変換することができる。アンテナから受け取った信号を変換する設計アーキテクチャは、低雑音増幅器（ＬＮＡ）、ダウンコンバートミキサ、電圧制御器オシレータ（ＶＣＯ）、低域フィルタ（ＬＰＦ）、シンセサイザループ、基準発生器、アナログデジタルコンバータ（ＡＤＣ）、および復調器を有し得るデジタル信号処理装置（ＤＳＰ）を含むことができる。アーキテクチャ内のこうしたＲＦユニットのブロック、およびアナログベースバンド、および混合信号回路には、一体型受信機設計の設計努力、および実装費用の大部分が費やされることがある。非デジタル回路の使用はまた、プロセス技術が進化し、供給電圧が低減するにつれて、電圧（振幅）ヘッドルームが限られるという問題を生じ得る。

【０００３】

大部分のＲＦ、およびアナログベースバンド回路を排除することによって、複雑性を低減させ、ヘッドルーム問題を軽減するように設計された一アーキテクチャでは、アンテナからの入力信号を、ＬＮＡによって増幅し、ＡＤＣによって直接サンプリングすることができる。アナログ信号処理の大部分は、ＤＳＰに委ねられることになり得る。このアーキテクチャでは、ＡＤＣに厳格な要件が求められることがある。ＡＤＣのサンプリング周波数は、ＲＦ搬送周波数のナイキストレートでよく、この周波数は、信号帯域幅よりも高くなり得る。そのため、ＡＤＣの設計複雑性、および同期サンプリングクロックの消費電力にオーバーヘッドが生じる結果となり得る。アンダーサンプリング策を採用できる場合でも、余分の雑音がベースバンドに折り込まれることがあり、これによって受信機の信号対雑音比（ＳＮＲ）が劣化するおそれがある。

【発明の概要】

【発明が解決しようとする課題】

【０００４】

したがって、上記の問題を解決するシステムおよび方法を提供することが望ましい。

【課題を解決するための手段】

【０００５】

無線周波数デジタル受信機は、第１のレートで信号をサンプリングする変調器を有する。この受信機は、少なくとも１つの処理ユニットを有する。この処理ユニットは、信号を分離し、第１のレートよりも低いレートで信号を再結合する複数のデジタルバンドパスフィルタを有する。この処理ユニットは、周波数オフセットを調整する、または第１のレートよりも低いレートで信号をセンタリングするデジタルダウンコンバータを有する。この受信機は、受信機内に２つ以上の処理ユニットがある場合に、隣接する処理ユニットに結合される少なくとも１つのレート制御バッファを有する。

【０００６】

マルチトーンアップコンバータは、信号を受け取るように構成されたデジタルアップコンバータを有する。信号を分離するように構成された複数のデジタルバンドパスフィルタ

が、デジタルアップコンバータに結合されている。信号を結合するデジタルルータが、複数のバンドパスフィルタに結合されている。信号をアナログ信号に変換するデジタルアナログコンバータが、デジタルルータに結合されている。

【０００７】

無線周波数受信機における消費電力を低減させる方法は、信号を受信するステップと、信号をフィルタリングするステップと、第１のレートで信号をサンプリングするステップと、少なくとも１つの処理ユニットにおいて、第１のレートよりも低い処理レートで信号をサブバンドに分離するステップと、サブバンドからの信号を処理レートで再結合するステップと、周波数オフセットを補正する、または処理レートで信号をセンタリングするステップとを含む。

【０００８】

上記の特徴、機能、および利点は、本開示の様々な実施形態において独立に実現することも、またはさらに他の実施形態と組み合わせることもできる。

【０００９】

本開示の実施形態は、詳細な説明、および添付の図面からより完全に理解されよう。

【図面の簡単な説明】

【００１０】

【図１】均質な処理を有する受信機の概略的なアーキテクチャのブロック図である。

【図２】搬送周波数からの信号を、それぞれが処理ユニットによって行われる複数の段階を経てベースバンドに変換する工程を示すグラフである。

【図３】受信機の特定の例のブロック図である。

【図４】受信機の等価な組合せのブロック図である。

【図５】受信機の特定の例のシミュレーション結果のグラフである。

【図６】受信機の動作を示す工程図である。

【図７】ＲＦトーン発生器のブロック図である。

【図８】ＲＦトーン発生器の動作を示す工程図である。

【図９】ＲＦトーン発生器のシミュレーション結果のグラフである。

【発明を実施するための形態】

【００１１】

図１を参照すると、均質な処理を有する受信機１００の概略的なアーキテクチャのブロック図を示すことができる。受信機１００は、低電力無線周波数（ＲＦ）デジタルベースバンド設計を有することができる。受信機１００について、モバイルプラットフォームに関して以下で説明することができる。受信機１００は、入来したＲＦ通信を処理するスマートフォン、携帯電話などの中に配置することができる。受信機１００はまた、ソフトウェア無線（ＳＤＲ）、スマート無線、車載通信、車両用インフォテインメント（ｉｎｆｏｔａｉｎｍｅｎｔ）などに使用することができる。

【００１２】

受信機１００は、バンドパスフィルタリング、サンプリング、ダウンコンバート、およびデシメーションの工程を、複雑性が低く、かつ電力効率が良い形で実施することができる。ＲＦ、デジタル領域、およびアナログ領域にわたる、いくつかのビルディングブロックからなり、デジタル回路において非常に高速のクロックレートで作動し得る既存の手法とは異なり、受信機１００は、マルチレートデジタル信号処理（ＭＤＳＰ）と、バンドパス連続時間デルタシグマアナログデジタルコンバータ（ＢＰ－ＣＴ－ΔΣ－ＡＤＣ）との組合せを利用して、上記の工程を、対象となる信号帯域幅のクロックレートで作動するストリームライン、およびトランスペアレントな機構において実行することができる。上記により、従来のアーキテクチャに比べて、信号の入力からデータの出力までの待ち時間がより短く、必要となるビルディングブロックの数がより少数に、かつ消費電力をより低減させることができる。さらに、この設計によって、アナログデジタルコンバータ（ＡＤＣ）に課される厳格な要件を除去することができる。受信機１００は、アナログ回路、またはデジタル回路のいずれかのビルディングブロックを有することができ、したがってＲＦ

回路が減少し、その結果受信機１００は、現代の超大規模集積回路（ＶＬＳＩ）技術におけるプロセス変動に耐えるものとなる。

【００１３】

受信機１００は、ＲＦ領域において任意のバンドパスフィルタリング（ＢＰＦ）を実施することができる。図１に示す実施形態では、受信機１００は、フィルタリングしたＲＦ信号をデジタル領域にダウンコンバートすることができる。受信機１００は、混合信号回路設計策を使用し、信号をナイキストレートで処理することができる。受信機１００は、低消費電力、および低複雑性設計という重要な利点を実現することができる。受信機１００は、ＭＤＳＰ、およびＢＰ－ＣＴ－ΔΣ－ＡＤＣ１０４の技術に基づくことができる。

【００１４】

受信機１００は、搬送周波数の倍数のレートで信号を処理するのではなく、信号帯域幅をカバーするレートで信号を取り扱うことができる。処理レートのこうした低減によって、処理帯域幅を節減し、全体的な消費電力を低減させることができる。低電力ＲＦデジタルベースバンド受信機１００はまた、ソフトウェア定義のモジュールによって、所望の入力周波数領域、および出力データレートにプログラミングし、かつ調整することができるビルディングブロックを有することができる。受信機１００のＭＤＳＰ部分は、マルチトーンアップコンバータになるように構成変更することができ、このコンバータは、受信機１００の動作の始めの較正工程用のトーン発生器として働くことができる。

【００１５】

図１に示す実施形態では、入来したＲＦ信号は、アンテナを介して導入することができ、アンテナは図示されていない。アンテナは、電波を受信し、それらの電波を電流に変換することができる。アンテナは、増幅器１０２に結合することができる。増幅器１０２は、低雑音増幅器（ＬＮＡ）１０２でよく、受信機１００のアンテナによって受信した信号の出力を増大させることができる。

【００１６】

ＬＮＡ１０２は、変調器１０４に結合することができる。変調器１０４は、増幅器１０２から信号を受け取ることができる。図１に示す実施形態では、変調器１０４は、ＢＰ－ＣＴ－ΔΣ－ＡＤＣ１０４Ａでよく、信号をフィルタリングし、サンプリングすることによって、信号を処理することができる。信号をデジタル領域に持ち込むことによって、ＢＰ－ＣＴ－ΔΣ－ＡＤＣ１０４Ａは、雑音排除性、堅牢性、および融通性を実現することができ、性能、消費電力、およびコスト削減を向上させる可能性をもたらすことができる。ＢＰ－ＣＴ－ΔΣ－ＡＤＣ１０４Ａは、消費電力、およびチップ面積を低く保持しながら、高速動作を可能とすることができる。フィルタリングした信号のサンプルを、ＢＰ－ＣＴ－ΔΣ－ＡＤＣ１０４Ａの出力で、レートF_{in_k}で生成することができ、X_k（ｎ）として示す。この出力は、高度のプログラミング性を提供することができ、マルチスタンダードＲＦ受信機１００にとって理想的となり得る。

【００１７】

ＢＰ－ＣＴ－ΔΣ－ＡＤＣ１０４Ａは、ＬＮＡ１０２が受け取った入来信号をベースバンドにダウンコンバートすることができる。変調器１０４は、狭帯域信号に対してバンドパスＡＤＣを実施するのに適し得る。フィルタリングした信号を、変調器１０４の連続時間デルタシグマ（ＣＴ－ΔΣ）部分によってデジタル化することができる。ＢＰ－ＣＴ－ΔΣ－ＡＤＣ１０４Ａは、入力信号を混合し、デジタル化することができ、この信号にはＬＮＡ１０２による増幅が必要となり得る。ＢＰ－ＣＴ－ΔΣ－ＡＤＣ１０４Ａは、フィードバックに正弦波パルスの整数を利用することができる。フィードバックベースの関数は、本質的にバンドパスとなり得る。上記によって、時間遅延ジッタ、およびパルス幅ジッタの存在下でも、変調器１０４の性能を大幅に改善することができる。また、変調器１０４のサンプリング周波数は、変調器１０４を同調させる中央周波数よりも低くてよい。

【００１８】

図１の実施形態に示すように、変調器１０４は、デジタル多相フィルタ（ＤＰＦ）１０６に結合することができる。ＤＰＦ１０６は、ＢＰ－ＣＴ－ΔΣ－ＡＤＣ１０４Ａの出力

を受け取ることができ、この出力はX_k（ｎ）であった。ＤＰＦ１０６は、信号をダウンコンバートし、かつデシメーションするＭＤＳＰを実施することができる。フィルタ１０６は、入力信号X_k（ｎ）を、係数Ｍでサブサンプリングされたいくつかの等間隔サブバンド１２０に分割することができ、したがってクリティカルにサンプリングすることができる。サブバンド１２０は、入力信号X_k（ｎ）を複数の成分に分離するバンドパス有限長フィルタ（ＦＬＦ）１２０のアレイでよく、これらのフィルタはそれぞれ、元の信号を異なるフィルタ係数でフィルタリングする。例えば、フィルタ係数は、$H_n(ze^{j(\theta k+...)})$とすることができる。図１に示すように、第１のフィルタ係数は、$H_0(ze^{j(\theta k+...)})$とすることができる。ＤＰＦ１０６は、結合器１２２を介して、サブバンド１２０からの信号をレートF_{out_k}で再結合することができる。F_{out_k}は、F_{in_k}とは異ならせることができ、F_{out_k}は、F_{in_k}よりも低いレートにすることができる。

【００１９】

ＤＰＦ１０６のバンドパスフィルタ１２０はそれぞれ、レートF_{out_k}で動作することができる。F_{out_k}は、対象となる信号帯域幅よりも大きくてよい。F_{out_k}は通常、F_{in_k}よりも遙かに小さくすることができ、F_{in_k}は、F_{out_k}の倍数となるように選択することができる。ＦＬＦ１２０の個数は、Ｍによって示され、F_{in_k}のF_{out_k}に対する比として定義することができる。ＤＰＦ１０６には、総数Ｍ個のサブＦＬＦ１２０があってもよく、それぞれがレートF_{out_k}で作動する。ＢＰ－ＣＴ－ΔΣ－ＡＤＣ１０４Ａの出力X_k（ｎ）は、信号の分離を示す点線によって示されるように、各サブバンド１２０に時間多重化される。図２は、搬送周波数からの信号を、それぞれが処理ユニット（ＰＵ）１１０によって行われる複数の段階を（上から下へと）経てベースバンドに変換する工程を示すグラフである。ＤＰＦ１０６によって有限インパルス応答（ＦＩＲ）を使用して、入来信号X_k（ｎ）からサンプルを取ることができる。次いで、ＦＬＦ１２０からの出力を、結合器１２２で、レートF_{out_k}で結合することができる。

【００２０】

図１に示す実施形態では、ＤＰＦ１０６をデジタルダウンコンバータ（ＤＤＣ）１０８に結合することができ、どちらもレートF_{out_k}で動作することができる。ＤＤＣ１０８は、ＤＰＦ１０６の出力を、中間周波数（ＩＦ）でセンタリングされたデジタル化実信号、またはゼロ周波数でセンタリングされたベースバンド複素信号に変換することができる。次いで、受信機１００のＤＤＣ１０８は、レートF_{out_k}で出力$y_k(nM_k)$を供給することができる。

【００２１】

受信機１００は、デバイス自体の中に配置することも、または複数のＤＰＦ１０６、およびＤＤＣ１０８が、増幅器１０２、および変調器１０４とともに直列に存在し得る均質なＰＵ１１０ベースのアーキテクチャの一部とすることもできる。図示の一実施形態では、ＢＰ－ＣＴ－ΔΣ－ＡＤＣ１０４Ａは、第１のＰＵ１１０、すなわちPU_1に結合し、次いで多数の他のＰＵ１１０に結合することができる。各ＰＵ１１０は、信号を処理することができる。レート変換バッファ（ＲＣＢ）１１２を、受信機１００内のＰＵ１１０間に結合することができる。ＲＣＢ１１２を用いて、あるサンプルレートの信号を操作し、その信号を新しいサンプルレートに変換することができる。ＰＵ１１０の個数と、ＲＣＢ１１２の個数とは、調整することができる。ＰＵ１１０とＲＣＢ１１２との組合せによって、デジタル出力を供給することができる。

【００２２】

図１に示すように、受信機１００は、１つのＰＵ１１０、または多数のＰＵ１１０を有することができる。ＰＵ１１０はそれぞれ、複数のデジタルバンドパスフィルタ１２０をＤＰＦ１０６内に有することができる。複数のデジタルバンドパスフィルタ１２０は、レートF_{in_k}で入来した信号を分離し、入来信号のレートF_{in_k}よりも低いレートF_{out_k}で、その信号を再結合することができる。F_{in_k}とF_{out_k}とは、

ＰＵ１１０ごとに異なってもよい。ＰＵ１１０内のＤＤＣ１０８は、周波数オフセットを調整する、または入来信号のレート$Ｆ_{out_k}$よりも低いレートで信号をセンタリングすることができる。受信機１００内に２つ以上のＰＵ１１０がある場合、少なくとも１つのＲＣＢ１１２を、隣接するＰＵ１１０に結合することができる。

【００２３】

受信機１００は、制御器１４０を含むことができる。制御器１４０は、２つ以上のＰＵ１１０が動作している場合に、受信機１００に組み込むことができる。図１内に示すように、制御器１４０は、受信機１００内の各ＰＵ１１０、および各ＲＣＢ１１２に結合することができる。この接続によって、ＰＵ１１０、およびＲＣＢ１１２の構成が可能となる。構成時に、信号を処理するレートを調整することができる。

【００２４】

制御器１４０は、ソフトウェア、ハードウェア、または両方の組合せでプログラミングすることができる。ソフトウェア実装では、コードを、非一時的コンピュータ可読記憶媒体に実装することができる。制御器１４０の非一時的コンピュータ可読記憶媒体には、以下に限られるものではないが、揮発性メモリ、不揮発性メモリ、磁気および光記憶装置、あるいは現時点で既知の、または後に開発される、コードおよび／またはデータを記憶することが可能な他の媒体が含まれ得る。コードは、データ構造およびコードとして具体化され、非一時的コンピュータ可読記憶媒体内に記憶される方法および工程を実施するコンピュータシステムによって読み取り、実行することができる。さらに、制御器１４０用の方法および工程は、ハードウェアモジュール内に含めることができる。これらのハードウェアモジュールには、特定用途向け集積回路（ＡＳＩＣ）チップ、フィールドプログラマブルゲートアレイ（ＦＰＧＡ）、および現時点で既知の、または後に開発される他のプログラマブルロジックデバイスが含まれ得る。

【００２５】

制御器１４０は、デジタルバンドパスフィルタ１２０、およびＤＤＣ１０８をセットアップすることによって、各ＰＵ１１０を構成することができる。一実施形態では、ＰＵ１１０、およびＲＣＢ１１２は、別の方法、例えば配線によって構成することができる。制御器１４０は、現在のＰＵ１１０が変調器１０４に結合されている場合、入来レートを現在のＰＵ１１０の処理レートの倍数として調整し、搬送周波数を現在のＰＵ１１０の処理レートの倍数として調整することによって、ＰＵ１１０内のＤＤＣ１０８を迂回することができる。あるいは、制御器１４０は、前のＰＵ１１０の処理レートを現在のＰＵ１１０の処理レートの倍数として調整し、中間周波数を現在のＰＵ１１０の処理レートの倍数として調整することができる。

【００２６】

受け取った信号は、各ＰＵ１１０内で時間多重化によって分離することができる。ＰＵ１１０が変調器１０４と結合されている場合、変調器１０４からのサンプリング信号を、ＤＰＦ１０６の各サブバンド１２０に供給することができる。そうでない場合は、前のＰＵ１１０の出力を、現在のＰＵ１１０のＤＰＦ１０６のサブバンド１２０に時間多重化することができる。

【００２７】

受信機１００内に複数のＰＵ１１０が使用されている場合、総数Ｍ個のサブ有限長フィルタ１２０は、入来レート$Ｆ_{in_k}$よりも低いレート$Ｆ_{out_k}$で作動することができる。Ｍは、ＰＵ１１０が変調器１０４の次にある場合、第１のレートの、現在のＰＵ１１０の処理レートに対する比とすることができる。ＰＵ１１０が変調器１０４に結合されていない場合、例えば$ＰＵ_{2}$１１０、$ＰＵ_{k}$１１０、または$ＰＵ_{N}$１１０では、Ｍは、前のＰＵ１１０の処理レートの、現在のＰＵ１１０の処理レートに対する比とすることができる。

【００２８】

上述のように、変調器１０４は、第１のレートで信号を処理することができる。第１のレートは、搬送周波数よりも高くてよい。複数のデジタルバンドパスフィルタ１２０、お

よびＤＤＣ１０８を有するＰＵ１１０は、信号の帯域幅のナイキストレート以上のレートで信号を処理することができる。典型的には、このレートは、搬送周波数よりも低くてよい。

【００２９】

各ＰＵ１１０内のＤＤＣ１０８は、同じＰＵ１１０内のＭ個のサブ有限長フィルタ１２０と同じレートで作動し、出力を生成することができる。一実施形態では、処理ユニットが、最後に最終出力を生成する場合、各ＰＵ１１０内のＤＤＣ１０８は、ゼロ周波数で信号をセンタリングすることができる。そうでない場合、ＤＤＣ１０８は、周波数オフセットを所望の中間周波数に補正することができる。第１のレートは、搬送周波数よりも大きくてよい。各ＰＵ１１０の処理レートは、信号の帯域幅をカバーすることができ、かつ搬送周波数よりも低くすることができる。

【００３０】

次に、図３に移ると、受信機１００の特定の例のブロック図を表すことができる。受信機１００は、１つのＰＵ１１０で動作することができる。ＲＦ信号は、アンテナによって受信することができ、アンテナは図示されていない。アンテナにＬＮＡ１０２を結合することができる。ＬＮＡ１０２は、アンテナから受け取った信号を増大させることができる。変調器１０４をＬＮＡ１０２に結合することができる。ＢＰ－ＣＴ－ΔΣ－ＡＤＣ１０４Ａは、ＬＮＡ１０２からの信号をフィルタリングし、サンプリングすることによって、その信号を処理することができる。信号は、第１のレートF_Sで処理することができる。F_Sは、搬送周波数の倍数でよい。

【００３１】

信号は、変調器１０４によって処理した後、ＤＰＦ１０６に供給することができる。変調器１０４の出力は、ｘ（ｎ）とすることができる。図３に示す実施形態では、信号は、ＦＬＦ１２０によって処理することができる。ＦＬＦ１２０は、サブバンドを表すことができ、これらのサブバンドはそれぞれ、元の信号を異なるフィルタ係数でフィルタリングする。例えば、フィルタ係数は、$H_n(ze^{j(\theta k+\cdots)})$とすることができる。図３に示すように、第１のフィルタ係数は、$H_0(ze^{j(\theta k+\cdots)})$とすることができる。この実施形態では、サブバンド１２０は、６４個の離散ユニットとして表すことができる。例えば、各サブバンド１２０は、クリティカルサンプリング（ｃｒｉｔｉｃａｌ　ｓａｍｐｌｉｎｇ）として係数６４でサンプリングを行うことができる。６４個のサブバンド１２０からの信号を、結合器１２２によって第２のレートF_{OUT}で再結合することができる。サブバンド１２０の個数６４は、第１のレートF_Sの、第２のレートF_{OUT}に対する比と同等、またはその比に比例した数とすることができる。再結合した信号をＤＤＣ１０８に供給し、出力ｙ（ｎＭ、ｋ）として送信することができる。F_Sは、搬送周波数の倍数とすることができ、F_{OUT}は、信号の帯域幅をカバーすることができる。

【００３２】

ＤＰＦ１０６の全体的な動作は、図４の実施形態に示すデジタルバンドパスフィルタ（ＤＢＦ）４０２と、Ｍ－ｔｏ－１デジタルデシメータ（ＤＤＥＣ）４０４との組合せと等価とすることができる。図示のように、信号は、ＬＮＡ１０２によってアンテナから受け取ることができる。ＢＰ－ＣＴ－ΔΣ－ＡＤＣ１０４Ａは、信号をデジタル化し、ＰＵ１１０のＤＢＦ４０２にその信号を供給することができる。信号ｘ（ｎ）は、上述のレートF_Sで供給することができる。

【００３３】

ＤＢＦ４０２は、規定されたパスバンドで信号をフィルタリングする動作を実施することができる。ＤＢＦ４０２にＤＤＥＣ４０４を結合することができる。ＤＤＥＣ４０４は、ＤＢＦ４０２から受け取った離散時間信号のサンプル数を減少させることができる。ＤＤＥＣ４０４は、ＤＢＦ４０２から受け取った信号をベースバンドに持ち込むことができる。こうした減少はＭに比例させることができ、ＭはF_SのF_{OUT}に対する比として規定された数である。次いで、ＤＤＥＣ４０４に結合されたＤＤＣ１０８によって、信号を

レートF_{OUT}でダウンコンバートすることができる。その後、ＤＤＣ１０８は、出力ｙ（ｎＭ、ｋ）を供給することができる。ＤＢＦ４０２とＤＤＥＣ４０４との組合せは、ＤＰＦ１０６に等価となり得る。ＤＢＦ４０２、およびＤＤＥＣ４０４は、レートF_Sで作動することができる。しかし、どちらともより高速のレートF_Sで作動しているので、レートF_{OUT}で作動している図３のＤＰＦ１０６は、図４のＤＢＦ４０２とＤＤＥＣ４０４との組合せよりも消費電力が少ない。

【００３４】

各サブバンドまたはＦＬＦ１２０に対するフィルタ係数は、対応するＤＢＦ４０２係数の時間多重化値とすることができる。一実施形態では、ＤＢＦ４０２係数は、デジタルローパスフィルタ（ＤＬＦ）係数を回転させたバージョン、またはアップコンバートしたバージョンとすることができる。ＤＬＦは、ＤＢＦ４０２と同じフィルタ帯域幅を有することができるが、ベースバンドでダウンコンバートしたサンプルを処理する。回転角度は、$\theta_k + \Delta\theta$とすることができ、θ_kは、$2\pi \times k \times F_S / M$に等しく、$\Delta\theta$は、搬送周波数（$F_C$）と$\theta_k$との差とすることができる。図５は、受信機１００のシミュレーション結果のグラフである。このグラフは、ＢＰ－ＣＴ－ΔΣ－ＡＤＣ１０４Ａの工程と、ＤＰＦ１０６の工程との組合せを示している。

【００３５】

図６を参照すると、受信機１００の動作を示す工程図を表すことができる。受信機１００の工程は、ブロック６００から開始することができる。ブロック６０２で、受信機１００のアンテナは、ＲＦ信号を受信することができる。ブロック６０４で、ＲＦ信号をＬＮＡ１０２によって増幅することができる。ブロック６０６で、信号をフィルタリングすることができる。ブロック６０８で、信号をサンプリングすることができる。信号のフィルタリング、およびサンプリングは、ＢＰ－ＣＴ－ΔΣ－ＡＤＣ１０４Ａによって処理することができる。

【００３６】

ブロック６１０で、信号をデジタル多相フィルタで時間多重化することができる。ＤＰＦ１０６は、変調器１０４から受け取ったデジタル化信号をサブバンド１２０に分離することができる。それらのサブバンド１２０から、ＤＰＦ１０６の結合器１２２を介して信号を生成することができる。ブロック６１２で、再結合した信号をダウンコンバートすることができる。次いで、ＤＤＣ１０８の出力をさらに処理する、またはデバイスのアプリケーションによって使用することができる。ブロック６１４で、工程を終了することができる。

【００３７】

図７に移ると、ＲＦトーン発生器７００を表すことができる。先に説明した受信機１００の信号経路を構成変更して、発生器７００を設けることができる。ＲＦトーン発生器７００は、デジタルアップコンバータ（ＤＵＣ）７０２、ＤＰＦ１０６、およびデジタルルータ（ＤＲ）７０４を含むことができる。補助デジタルアナログコンバータ（ＡＵＸ　ＤＡＣ）７０６を、ＤＲ７０４を介して発生器７００に結合することができる。デジタル信号ｘ（ｎＭ、ｋ）を、ＤＵＣ７０２に供給することができる。ＤＵＣ７０２によって、この信号を複素信号と混合し、ＤＰＦ１０６にレートF_{in}で供給することができる。

【００３８】

図７の実施形態では、受信機１００のＤＰＦ１０６、およびＤＤＣ１０８の信号経路を、反対方向に容易に構成変更することができ、したがって受信機１００全体を、デジタルアナログコンバータ（ＤＡＣ）の助けを得て、ＲＦトーン発生器７００とすることができる。ＤＰＦ１０６の各サブバンド１２０は、入来信号の一部分を取ることができる。サブバンド１２０は、ＤＲ７０４に結合することができる。ＤＲ７０４は、サブバンドの出力を単一の信号に多重化することができる。ＤＲ７０４に、ＡＵＸ　ＤＡＣ７０６を結合することができる。ＡＵＸ　ＤＡＣ７０６は、信号を取り、その信号をアナログの形に変換することができる。この信号を、送信機に供給することができる。送信機は、電気信号をＲＦ通信に変換することができる。レートF_{in}は、ＲＦトーン周波数よりも小さく、し

たがって消費電力を低減させることができる。

【００３９】

図８は、ＲＦトーン発生器７００のシミュレーション結果のグラフである。このトーン発生器７００の出力は、受信機１００の動作の始めの較正工程用の、ＬＮＡ１０２またはＢＰ－ＣＴ－ΔΣ－ＡＤＣ１０４への入力のテスト信号として働くことができる。

【００４０】

図９を参照すると、ＲＦトーン発生器７００の動作を示す工程図を表すことができる。発生器７００の工程は、ブロック９００から開始することができる。ブロック９０２で、発生器７００のＤＵＣ７０２は、デジタル信号を受け取ることができる。ブロック９０４で、ＤＵＣ７０２は、そのデジタル化された信号をアップコンバートすることによって、その信号を適切にフォーマットすることができる。ブロック９０６で、ＤＰＦ１０６によって信号を時間多重化することができる。ＤＰＦ１０６は、発生器７００向けに目的変更することができ、信号をレートF_{in}で分離することができる。

【００４１】

ブロック９０８で、ＤＲ７０４のデジタル多相フィルタを介して、信号をデジタル式にルートすることができる。ＤＲ７０４によって、F_{in}よりも高いレートで信号の再結合を行うことができる。最初の処理段階における処理速度が低速であるため、電力を節減することができる。ブロック９１０で、ＡＵＸ　ＤＡＣ７０６によって信号をアナログ信号に変換することができる。ブロック９１２で、工程を終了することができる。

【００４２】

上記の明細書および図には、第１のレートで信号をサンプリングする変調器１０４と、少なくとも１つの処理ユニット１１０であって、信号を分離し、第１のレートよりも低いレートで信号を再結合する複数のデジタルバンドパスフィルタ１２０と、周波数オフセットを調整する、または第１のレートよりも低いレートで信号をセンタリングするデジタルダウンコンバータ１０８とを含む少なくとも１つの処理ユニット１１０と、受信機１００内に２つ以上の処理ユニット１１０がある場合に、隣接する処理ユニット１１０に結合される少なくとも１つのレート制御バッファとを含む、無線周波数デジタル受信機１００が開示されている。

【００４３】

一変形形態では、無線周波数デジタル受信機１００は、受信機１００内に２つ以上の処理ユニット１１０がある場合に、少なくとも１つの処理ユニット１１０と、少なくとも１つのレート制御バッファとの間の接続部を構成する制御器１４０を含む。さらに別の変形形態では、無線周波数デジタル受信機１００は、変調器１０４が信号を受け取る前に、信号を受け取り、増幅する増幅器１０２を含む。さらに別の変形形態では、変調器１０４は、バンドパス連続時間デルタシグマアナログデジタルコンバータである。さらに別の変形形態では、各処理ユニット１１０内の複数のデジタルバンドパスフィルタ１２０は、デジタル多相フィルタ１０６の形で設けられる。

【００４４】

一代替形態では、各処理ユニット１１０内の複数のデジタルバンドパスフィルタ１２０は、それぞれが第１のレートよりも低いレートで作動する総数Ｍ個のサブ有限長フィルタを含み、現在の処理ユニット１１０が変調器１０４の次にある場合、Ｍは、第１のレートの、現在の処理ユニット１１０の処理レートに対する比であり、そうでない場合、Ｍは、前の処理ユニット１１０の処理レートの、現在の処理ユニット１１０の処理レートに対する比である。別の代替形態では、各処理ユニット１１０内のＭ個のサブ有限長フィルタに対する入力は、現在の処理ユニット１１０が変調器１０４の次にある場合、変調器１０４の時間多重化出力によって供給され、そうでない場合、前の処理ユニット１１０の時間多重化出力によって供給される。

【００４５】

別の変形形態では、変調器１０４は、搬送周波数よりも高い第１のレートで信号を処理し、各処理ユニット１１０内の複数のデジタルバンドパスフィルタ１２０、およびデジタ

ルダウンコンバータ１０８は、信号の帯域幅のナイキストレート以上であるが、搬送周波数よりも低いレートで信号を処理する。さらに別の変形形態では、各処理ユニット１１０内のデジタルダウンコンバータ１０８は、同じ処理ユニット１１０内のＭ個のサブ有限長フィルタと同じレートで作動し、処理ユニット１１０の出力を生成する。一例では、各処理ユニット１１０内のデジタルダウンコンバータ１０８は、処理ユニット１１０が最後に最終出力を生成する場合、ゼロ周波数で信号をセンタリングし、そうでない場合、周波数オフセットを所望の中間周波数に補正する。さらに別の代替形態では、第１のレートは、搬送周波数よりも大きく、各処理ユニット１１０の処理レートは、信号の帯域幅をカバーし、かつ搬送周波数よりも低い。

【００４６】

一態様では、信号を受け取るデジタルアップコンバータ７０２と、デジタルアップコンバータ７０２に結合され、信号を分離する複数のデジタルバンドパスフィルタ１２０と、複数のデジタルバンドパスフィルタ１２０に結合され、信号を結合するデジタルルータと、デジタルルータに結合され、信号をアナログ信号に変換するデジタルアナログコンバータ７０６とを含む、マルチトーンアップコンバータが開示されている。一変形形態では、較正のために、信号が、無線周波数デジタル受信機１００内の低雑音増幅器１０２、または変調器１０４にテスト信号として供給される。別の変形形態では、マルチトーンアップコンバータは、無線周波数デジタル受信機１００を含む。一変形形態では、デジタルアップコンバータ７０２、および複数のデジタルバンドパスフィルタ１２０が、無線周波数デジタル受信機１００内の処理ユニット１１０として再利用される。一代替形態では、無線周波数デジタル受信機１００は、第１のレートで信号をサンプリングする変調器１０４と、複数の処理ユニット１１０であって、それぞれが信号を分離し、第１のレートよりも低いレートで信号を再結合する複数のデジタルバンドパスフィルタ１２０と、周波数オフセットを調整する、または信号をセンタリングするデジタルダウンコンバータ１０８とを含む複数の処理ユニット１１０と、隣接する処理ユニット１１０に結合される少なくとも１つのレート制御バッファと、各処理ユニット１１０とレート制御バッファとの間の接続部を構成する制御器１４０とを含む。

【００４７】

一態様では、無線周波数デジタル受信機１００における消費電力を低減させる方法であって、信号を受信するステップと、信号をフィルタリングするステップと、第１のレートで信号をサンプリングするステップと、少なくとも１つの処理ユニット１１０において、第１のレートよりも低い処理レートで、信号をサブバンド１２０に分離するステップと、サブバンド１２０からの信号を処理レートで再結合するステップと、周波数オフセットを補正する、または処理レートで信号をセンタリングするステップとを含む、方法が開示されている。

【００４８】

一変形形態では、この方法は、処理ユニット１１０内のデジタルダウンコンバータ１０８を迂回するステップであって、現在の処理ユニット１１０が変調器１０４に結合されている場合、第１のレートを現在の処理ユニット１１０の処理レートの倍数として調整し、搬送周波数を現在の処理ユニット１１０の処理レートの倍数として調整することによって迂回し、そうでない場合、前の処理ユニット１１０の処理レートを現在の処理ユニット１１０の処理レートの倍数として調整し、中間周波数を現在の処理ユニット１１０の処理レートの倍数として調整することによって迂回するステップを含む。

【００４９】

一変形形態では、信号を分離するステップは、現在の処理ユニット１１０が変調器１０４に結合されている場合、サンプリングした信号を、各サブバンド１２０に時間多重化するステップを含み、そうでない場合、前の処理ユニット１１０の出力を、現在の処理ユニット１１０内の各サブバンド１２０に時間多重化するステップを含む。さらに別の変形形態では、この方法は、処理ユニット１１０内の複数のデジタルバンドパスフィルタ１２０、およびデジタルダウンコンバータ１０８を、制御器１４０を介してセットアップするこ

とによって各処理ユニット１１０を構成するステップ、または処理ユニット１１０内の複数のデジタルバンドパスフィルタ１２０、およびデジタルダウンコンバータ１０８を、制御器１４０を介して迂回するステップを含むことができる。

【００５０】

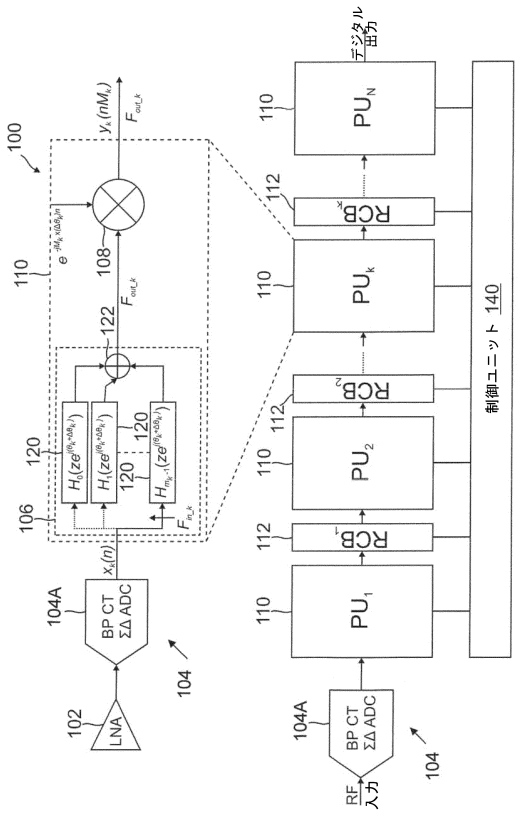
本開示の実施形態を、様々な特定の実施形態に関して説明してきたが、本開示の実施形態は、特許請求の範囲の趣旨および範囲に包含される改変形態で実践できることが当業者には認識されよう。

【符号の説明】

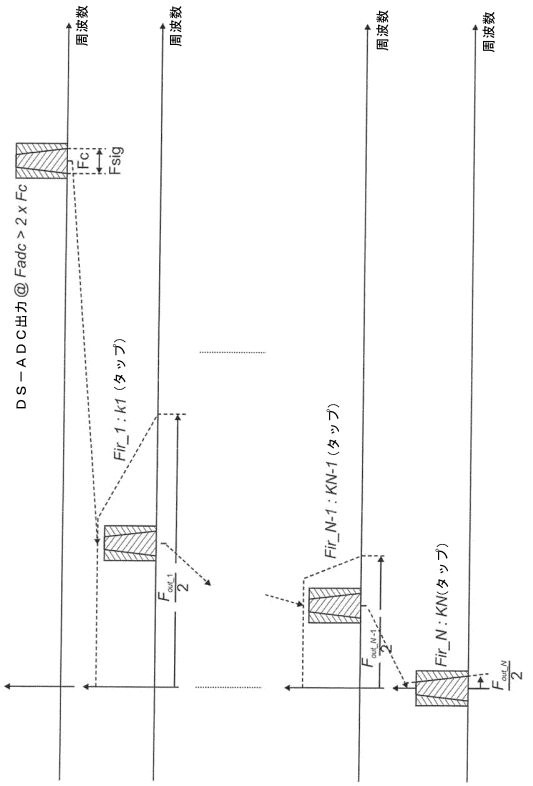
【００５１】

１００　無線周波数デジタル受信機
１０２　増幅器
１０４　変調器
１０６　デジタル多相フィルタ
１０８　デジタルダウンコンバータ
１１０　処理ユニット
１１２　レート変換バッファ
１２０　デジタルバンドパスフィルタ
１２２　結合器
１４０　制御器
４０２　デジタルバンドパスフィルタ
４０４　デジタルデシメータ
７００　ＲＦトーン発生器
７０２　デジタルアップコンバータ
７０４　デジタルルータ
７０６　補助デジタルアナログコンバータ

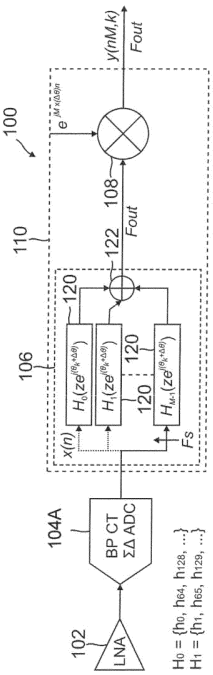
【図１】



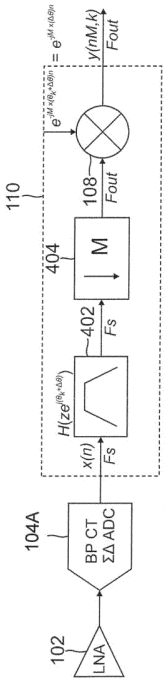
【図２】



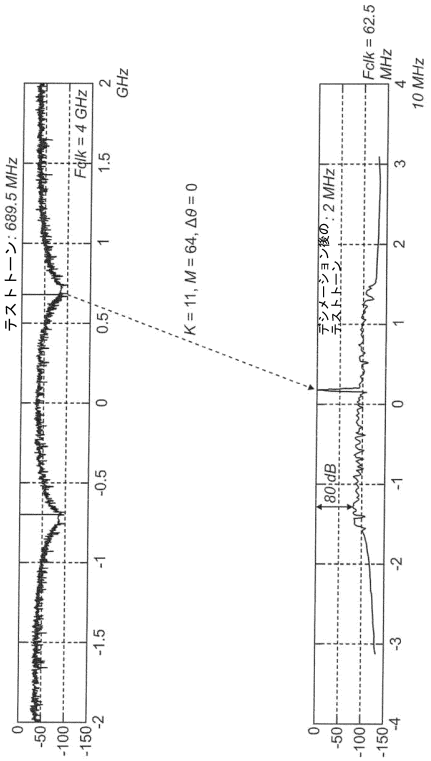
【図３】


100
110
106
104A
102
LNA
BP CT
ΣΔ ADC
108
122
120
Fout
Fs
x(n)
y(nM,k)
H0 = {h0, h64, h128, ...}
H1 = {h1, h65, h129, ...}

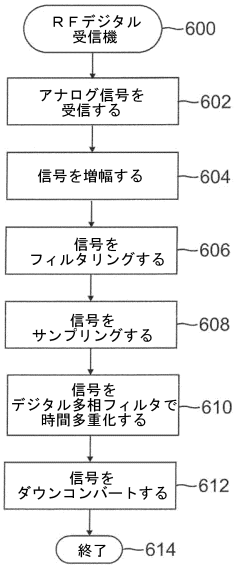
【図４】


110
104A
102
LNA
BP CT
ΣΔ ADC
404
M
402
108
Fout
Fs
x(n)
y(nM,k)

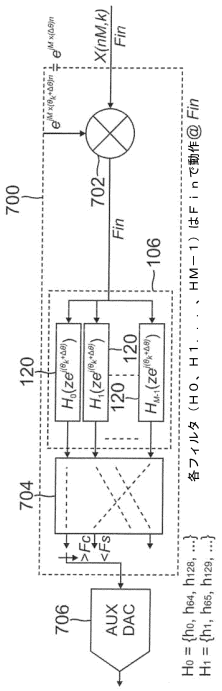
【図５】


テストトーン : 689.5 MHz
Fdlk = 4 GHz
GHz
K = 11, M = 64, Δθ = 0
デシメーション後の : 2 MHz
テストトーン
Fdlk = 62.5 MHz
10 MHz
80 dB

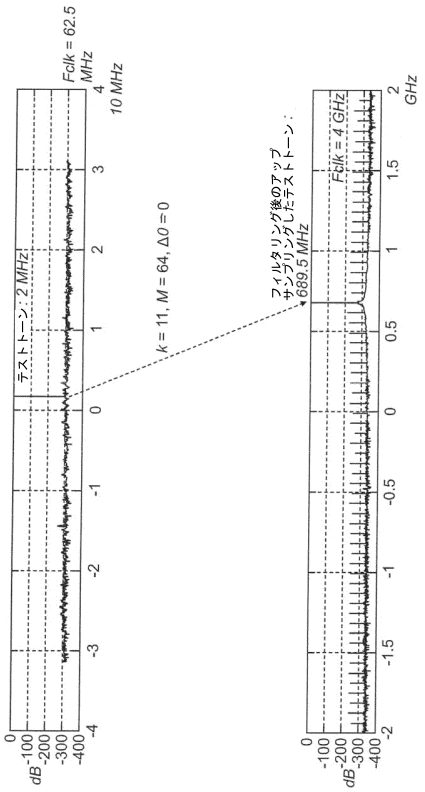
【図６】


ＲＦデジタル
受信機
600
アナログ信号を
受信する
602
信号を増幅する
604
信号を
フィルタリングする
606
信号を
サンプリングする
608
信号を
デジタル多相フィルタで
時間多重化する
610
信号を
ダウンコンバートする
612
終了
614

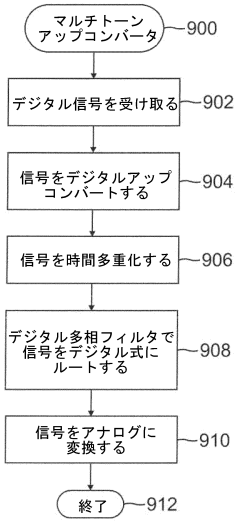
【図７】


X(nM,k)
Fin
700
702
106
120
704
706
AUX DAC
各フィルタ（H0、H1．．．、HM－1）はFinで動作@Fin
H0 = {h0, h64, h128, ...}
H1 = {h1, h65, h129, ...}

【図８】


Fclk = 62.5 MHz
10 MHz
テストトーン：2 MHz
k = 11, M = 64, ΔΘ = 0
フィルタリング後のアップサンプリングしたテストトーン：
669.5 MHz
Fclk = 4 GHz
dB
GHz

【図９】


マルチトーンアップコンバータ
900
デジタル信号を受け取る
902
信号をデジタルアップコンバートする
904
信号を時間多重化する
906
デジタル多相フィルタで信号をデジタル式にルートする
908
信号をアナログに変換する
910
終了
912

フロントページの続き

(72)発明者　シュイ，　チーウェイ
アメリカ合衆国　カリフォルニア　９２６２０，　アーバイン，　シャンティリー　６０

審査官　野元　久道

(56)参考文献　特開２００６－０５１３６８（ＪＰ，Ａ）
特開２００９－０６０１７５（ＪＰ，Ａ）
特表２００５－５１２４０５（ＪＰ，Ａ）
特表２００３－５１１９７９（ＪＰ，Ａ）
米国特許出願公開第２００４／０１９２２２９（ＵＳ，Ａ１）
特開２００１－０４４８４０（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０４Ｂ　　１／１６
Ｈ０３Ｈ　１７／００
Ｈ０４Ｂ　　１／００