

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010年10月21日(21.10.2010)

PCT

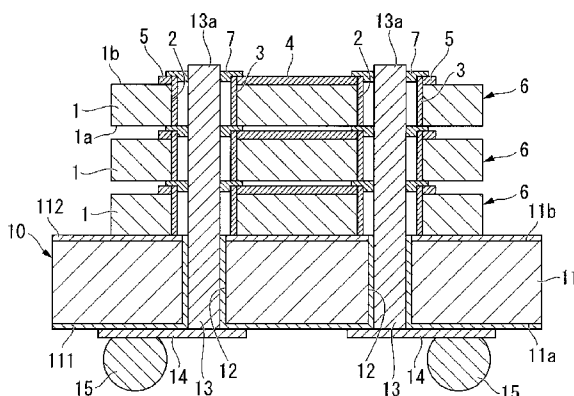
(10) 国際公開番号
WO 2010/119652 A1

- (51) 国際特許分類:
H01L 25/04 (2006.01) H01L 23/12 (2006.01)
 - (21) 国際出願番号: PCT/JP2010/002598
 - (22) 国際出願日: 2010年4月9日(09.04.2010)
 - (25) 国際出願の言語: 日本語
 - (26) 国際公開の言語: 日本語
 - (30) 優先権データ:
特願 2009-098035 2009年4月14日(14.04.2009) JP
 - (71) 出願人 (米国を除く全ての指定国について): 株式会社フジクラ (Fujikura Ltd.) [JP/JP]; 〒1358512 東京都江東区木場1丁目5番1号 Tokyo (JP).
 - (72) 発明者; および
 - (75) 発明者/出願人 (米国についてのみ): 山本敏 (YAMAMOTO, Satoshi) [JP/JP]; 〒2858550 千葉県佐倉市六崎1-4-0番地 株式会社フジクラ 佐倉事業所内 Chiba (JP).
 - (74) 代理人: 志賀正武, 外 (SHIGA, Masatake et al.); 〒1006620 東京都千代田区丸の内一丁目9番2号 Tokyo (JP).
 - (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
 - (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第21条(3))

(54) Title: ELECTRONIC DEVICE MOUNTING STRUCTURE AND ELECTRONIC DEVICE MOUNTING METHOD

(54) 発明の名称: 電子デバイス実装構造および電子デバイス実装方法

[図1A]



(57) Abstract: Disclosed is an electronic device mounting structure which comprises: a supporting member that has a supporting substrate, and a through electrode which penetrates the supporting substrate from a first main surface that is one main surface of the supporting substrate to a second main surface that is the other main surface of the supporting substrate, said through electrode having a projection that protrudes from the second main surface; and an electronic device that has a device substrate provided with a circuit and a through hole penetrating the device substrate from one main surface to the other main surface. The electronic device is arranged on the second main surface of the supporting substrate in such a manner that the projection of the supporting member is inserted into the through hole, and the circuit of the electronic device is electrically connected with the projection.

(57) 要約:

[続葉有]

WO 2010/119652 A1



支持基板と、この支持基板の一方の主面である第1主面から他方の主面である第2主面に向けて前記支持基板を貫通し、かつ前記第2主面から突出した突出部を有する貫通電極と、を有する支持部材と；回路が形成されたデバイス基板と、このデバイス基板の両主面間を貫通する貫通孔と、を有する電子デバイス装置と；を備えた電子デバイス実装構造であって、前記電子デバイス装置は、前記貫通孔に前記支持部材の突出部が挿入されるように前記支持基板の第2主面上に配置され、前記電子デバイス装置の回路が前記突出部と電気的に接続されている。

明 細 書

発明の名称：電子デバイス実装構造および電子デバイス実装方法 技術分野

[0001] 本発明は、インターポーザー等の支持部材上に、半導体チップ等の電子デバイス装置を実装するための電子デバイス実装構造および電子デバイス実装方法に関する。

本願は、2009年4月14日に、日本に出願された特願2009-098035号に基づき優先権を主張し、その内容をここに援用する。

背景技術

[0002] 近年、携帯電話など電子機器の高機能化に伴い、それらに使用される電子デバイスにもさらなる高速化や高機能化が要求されている。これを実現するためには、微細化等によるデバイス自身の高速化だけでなく、デバイスのパッケージについても高速化、高密度化に向けた技術開発が必須である。

電子デバイスの高密度実装を実現する技術として、種々の貫通電極形成技術や貫通配線基板形成技術の研究開発が活発に進められている。例えば、貫通配線を用いて半導体チップを積層実装する三次元実装や、貫通電極が形成された貫通配線基板を用いたシステムインパッケージ（SiP）等が提案されている。

[0003] 特許文献1には、支持基板層とシリコン層との間に埋め込み絶縁層を有するシリコンウェハから作られた貫通電極付き基板が記載されている。この貫通電極付き基板では、シリコン層に凹所が生じる深さまで形成したブラインドビアホールに内壁絶縁層を施した上で導電層を形成した後、シリコン層を除去することで導電層の前記凹所に対応する部分がウエハ外隆起部として露出する。

[0004] 特許文献2には、両端部が基板から突出するよう設けられた端子を有する半導体チップを3つ以上インターポーザー上に積層し、隣接する端子同士が一致するように位置決めした後、隣接する端子同士を一括して接合する半導

体装置の製造方法が記載されている。

先行技術文献

特許文献

- [0005] 特許文献1：日本国特開2005-93954号公報
特許文献2：日本国特開2003-282819号公報

発明の概要

発明が解決しようとする課題

- [0006] 電子デバイスを実装した装置の高速化や高密度化を実現するためには、インターポーザー等の支持部材上と半導体チップとの間、あるいは積層した半導体チップ同士の間で、低抵抗の電氣的接続を確保する必要がある。このような低抵抗の電氣的接続を確保するためには、端子間の高い位置決め精度と、端子間の接合部の低抵抗化とが必要となる。従来の実装技術においては、基板間で対向した端子同士の位置ずれを防ぐため、種々の位置制御を行っている。しかし、一層の高密度実装を実現するためには、半導体チップの積層作業中、その下側の基板における端子位置を直接観測できることが望まれる。
- [0007] 本発明は、上記事情に鑑みてなされたものであり、インターポーザー等の支持部材上に、半導体チップ等の電子デバイス装置を容易に実装することが可能な電子デバイス実装構造および電子デバイス実装方法の提供を課題とする。

課題を解決するための手段

- [0008] 前記課題を解決するため、本発明は以下の手段を採用する。すなわち、本発明の第一の態様に係る電子デバイス実装構造は、支持基板と、この支持基板の一方の主面である第1主面から他方の主面である第2主面に向けて前記支持基板を貫通し、かつ前記第2主面から突出した突出部を有する貫通電極と、を有する支持部材と；回路が形成されたデバイス基板と、このデバイス基板の両主面間を貫通する貫通孔と、を有する電子デバイス装置と；を備え

、前記電子デバイス装置は、前記貫通孔に前記支持部材の突出部が挿入されるように前記支持基板の第2主面上に配置され、前記電子デバイス装置の回路が前記突出部と電氣的に接続されている。

上記電子デバイス実装構造は、複数の前記電子デバイス装置を備え、前記各電子デバイス装置は、前記支持基板の第2主面上に積層されていてもよい。

前記支持部材は、前記突出部によって前記電子デバイス装置が配置されるデバイス配置領域を、前記支持基板の第2主面上に複数有することもできる。

上記電子デバイス実装構造は、前記電子デバイスを内包する保護層をさらに備えることもできる。

前記突出部の外周面には前記突出部の全長にわたって半田の層が形成され、前記半田の層から溶け出した半田によって前記電子デバイス装置の回路と前記突出部とが電氣的に接続されていてもよい。

前記支持部材は、前記第1主面側に接続端子を有してもよい。

本発明の第二の態様に係る電子機器は、上記電子デバイス実装構造を備える。

[0009] また、本発明の第三の態様に係る電子デバイス実装方法は、支持基板と、この支持基板の一方の主面である第1主面から他方の主面である第2主面に向けて前記支持基板を貫通し、かつ前記第2主面から突出した突出部を有する貫通電極と、を有する支持部材を用意する第1の工程と；デバイス基板と、このデバイス基板の両主面間を貫通する貫通孔と、を有する電子デバイス装置を用意する第2の工程と；前記電子デバイス装置の貫通孔に前記支持部材の突出部が挿入されるように前記電子デバイス装置を前記支持基板の第2主面上に配置し、前記電子デバイス装置の回路を前記突出部と電氣的に接続する第3の工程と；を備える。

[0010] 前記第1の工程は、前記突出部の高さより大きい厚さを有する突出部形成用補助層を前記支持基板の第2主面側に積層する工程と；前記支持基板の第

1 主面から第2主面に向けて貫通する貫通孔を形成する工程と；前記支持基板の貫通孔から延長して前記突出部形成用補助層の内部に達する連通穴を形成する工程と；前記支持基板の貫通孔および前記連通穴に導体を充填する工程と；前記突出部形成用補助層を除去することによって、前記支持基板の第2主面を露出するとともに、前記導体からなり、前記第1主面から前記第2主面に向けて前記支持基板を貫通し、かつ前記第2主面から突出した突出部を有する貫通電極を形成する工程と；を有してもよい。

前記第1の工程は、前記支持基板の厚さと前記突出部の高さとの和より大きい厚さを有する母材に、前記支持基板の第1主面となる面から穴を形成する工程と；前記穴に導体を充填する工程と；前記母材の前記第1主面とは反対側から前記導体の一部が露出するまで前記母材の一部を除去することによって、前記支持基板の第2主面を形成するとともに、前記導体からなり、前記第1主面から前記第2主面に向けて前記支持基板を貫通し、かつ前記第2主面から突出した突出部を有する貫通電極を形成する工程と；を有してもよい。

前記第1の工程は前記突出部の外周面に前記突出部の全長にわたって半田の層を形成する工程を含み；前記第3の工程は、前記支持部材の突出部を複数の電子デバイス装置の各貫通孔に挿入してこれら電子デバイス装置を前記支持基板の第2主面上に積層状態で配置する工程と、前記半田の層を溶融することにより、前記複数の電子デバイス装置の各回路と前記突出部とを一括して電氣的に接続する工程と、を含んでもよい。

発明の効果

- [0011] 本発明によれば、支持部材の突出部を複数の電子デバイス装置の各貫通孔に挿入した後も突出部の位置を電子デバイス装置の上方から確認することができるので、電子デバイス装置の高密度実装が容易になる。また、突出部は長手方向に連続した一体の導体からなるので、複数の電子デバイス装置を積層状態で実装しても、電子デバイス装置間に接合部が生じない。したがって、電子デバイス装置同士の電氣的接続の低抵抗化や積層された電子デバ

イス装置全体の薄型化を実現することができる。

図面の簡単な説明

[0012] [図1A]本発明の第1形態例に係る電子デバイス実装構造を模式的に示す断面図である。

[図1B]同形態例に係る電子デバイス実装構造に用いられる支持部材の一例を模式的に示す断面図である。

[図2A]図1Bおよび図6Bの支持部材の製造工程のうち、最初の段階を模式的に示す断面図である。

[図2B]図2Aに続く段階を模式的に示す断面図である。

[図2C]図2Bに続く段階を模式的に示す断面図である。

[図2D]図2Cに続く段階を模式的に示す断面図である。

[図3A]図1Bの支持部材の製造工程のうち、図2Dに続く段階を模式的に示す断面図である。

[図3B]図3Aに続く段階を模式的に示す断面図である。

[図3C]図3Bに続く段階を模式的に示す断面図である。

[図3D]図3Cに続く段階を模式的に示す断面図である。

[図4A]本発明の第2形態例に係る電子デバイス実装構造を模式的に示す断面図である。

[図4B]同形態例に係る電子デバイス実装構造に用いられる支持部材の一例を模式的に示す断面図である。

[図5A]図4Bの支持部材の製造工程のうち、最初の段階を模式的に示す断面図である。

[図5B]図5Aに続く段階を模式的に示す断面図である。

[図5C]図5Bに続く段階を模式的に示す断面図である。

[図5D]図5Cに続く段階を模式的に示す断面図である。

[図6A]本発明の第3形態例に係る電子デバイス実装構造を模式的に示す断面図である。

[図6B]同形態例に係る電子デバイス実装構造に用いられる支持部材の一例を

模式的に示す断面図である。

[図7A] 図6Bの支持部材の製造工程のうち、図2Dに続く段階を模式的に示す断面図である。

[図7B] 図7Aに続く段階を模式的に示す断面図である。

[図7C] 図7Bに続く段階を模式的に示す断面図である。

[図7D] 図7Cに続く段階を模式的に示す断面図である。

[図8A] 本発明の第4形態例に係る電子デバイス実装構造を模式的に示す断面図である。

[図8B] 同形態例に係る電子デバイス実装構造に用いられる支持部材の一例を模式的に示す断面図である。

[図9A] (a)は図8Bの支持部材の製造工程のうち、最初の段階を模式的に示す断面図であり、(b)は(a)の一部を下方から見た矢視図であって貫通孔12及び芯部17の形状を示す説明図である。

[図9B] 図9Aに続く段階を模式的に示す断面図である。

[図9C] 図9Bに続く段階を模式的に示す断面図である。

[図10A] 図8Bの支持部材の製造工程のうち、図9Cに続く段階を模式的に示す断面図である。

[図10B] 図10Aに続く段階を模式的に示す断面図である。

[図10C] 図10Bに続く段階を模式的に示す断面図である。

[図11A] 図8Bの支持部材の製造工程のうち、図10Cに続く段階を模式的に示す断面図である。

[図11B] 図11Aに続く段階を模式的に示す断面図である。

[図11C] 図11Bに続く段階を模式的に示す断面図である。

[図11D] 図11Cに続く段階を模式的に示す断面図である。

[図12] 本発明の電子デバイス実装構造に用いられる支持部材の改変例を模式的に示す断面図である。

[図13] 本発明の電子デバイス実装構造に用いられる支持部材の改変例を模式的に示す断面図である。

[図14]本発明の電子デバイス実装構造においてデバイス配置領域を複数有する一形態例を模式的に示す断面図である。

[図15]本発明の電子デバイス実装構造において電子デバイスを内包する保護層を有する一形態例を模式的に示す断面図である。

[図16]デバイス基板におけるパッド配置の一例を模式的に示す平面図である。

[図17A]デバイス基板を加工して支持部材に実装する工程のうち、最初の段階を模式的に示す断面図である。

[図17B]図17Aに続く段階を模式的に示す断面図である。

[図17C]図17Bに続く段階を模式的に示す断面図である。

[図17D]図17Cに続く段階を模式的に示す断面図である。

[図18A]突出部に半田の層が設けられた支持部材を用いて電子デバイス装置を積層配置した状態の一例を模式的に示す断面図である。

[図18B]図18Aのように積層配置された電子デバイス装置から製造された電子デバイス実装構造の一例を模式的に示す断面図である。

発明を実施するための形態

[0013] 以下、本発明の好適な実施の形態を、図面を参照して説明する。

図1A～3Dに、本発明の第1形態例に係る、支持部材10を用いた電子デバイス実装構造および実装方法を示す。

図1A及び1Bに示す支持部材10は、支持基板11と、支持基板11の一方の主面である第1主面11aから他方の主面である第2主面11bに向けて支持基板11を貫通し、第2主面11bから突出した突出部13aを有する貫通電極13と、を有し、第2主面11b側に電子デバイス装置6を実装するための支持部材である。この支持部材10は、さらに、第1主面11a側に半田バンプ等の接続端子15を有し、貫通電極13、回路14及び接続端子15を介して電子デバイス装置6の回路4とプリント回路基板等の外部基板（図示せず）とを電氣的に接続することが可能である。

[0014] 本形態例の場合、支持基板11は、シリコン（Si）基板等の半導体基板

からなる。両主面 11a, 11b 上および貫通孔 12 の内壁には、シリコン酸化膜 (SiO₂) 等の絶縁層 111, 112 が形成され、回路 14 および貫通電極 13 と半導体基板との間を絶縁している。図 1A 及び 1B の場合、絶縁層 111 は支持基板 11 の第 1 主面 11a から貫通孔 12 の内壁まで一連の層として形成されているが、支持基板 11 の第 1 主面 11a 上と貫通孔 12 の内壁上で別々の絶縁層を形成しても構わない。

[0015] 本形態例で用いられる電子デバイス装置 6 は、デバイス基板 1 と、デバイス基板 1 の両主面 1a, 1b 間を貫通する貫通孔 2 と、を有する半導体チップである。半導体チップを用いる場合、デバイス基板 1 がシリコン (Si) 基板等の半導体基板であり、貫通孔 2 の内壁には貫通電極 13 の突出部 13a と半導体基板との間を絶縁するための絶縁層 3 を設けることが好ましい。

デバイス基板 1 の主面 1b には、電子デバイスを構成する回路 4 が形成されている。回路 4 の一部は半導体回路として構成することができる。電子デバイス装置の種類は特に限定されないが、たとえばメモリー装置やセンサー装置などが挙げられる。

貫通孔 2 の周囲には回路 4 に接続されたパッド 5 が形成されている。パッド 5 と突出部 13a との間は半田や導電性ペースト等の導電性接合材料 7 で電氣的に接続されている。

[0016] 図 1A に示すように、電子デバイス装置 6 の貫通孔 2 に支持部材 10 の突出部 13a が挿入されるように、電子デバイス装置 6 が支持基板 11 の第 2 主面 11b 上に配置されている。また、電子デバイス装置 6 の回路 4 と突出部 13a とが電氣的に接続されている。突出部 13a が複数の電子デバイス装置 6 の各貫通孔に挿入されるように、電子デバイス装置 6 を複数積層することにより、電子デバイス装置 6 の多層化が可能である。

[0017] 支持部材 10 の回路 14 には、抵抗器、キャパシタ (容量素子)、インダクタ (誘導素子) 等の電子回路素子を設けることも可能である。また、支持基板 11 が半導体基板からなる場合には、支持基板 11 に半導体回路を形成することもできる。

[0018] 本形態例の電子デバイス実装構造によれば、突出部 13 a が複数の電子デバイス装置 6 の各貫通孔に挿入された後でも突出部 13 a の位置を電子デバイス装置 6 の上方から確認することができるので、電子デバイス装置 6 の高密度実装が容易になる。また、突出部 13 a は長手方向に連続した、一体の導体であるので、複数の電子デバイス装置 6 を積層状態で実装しても、電子デバイス装置 6 同士の間接合部が生じない。その結果、電子デバイス装置 6 同士間の電氣的接続の低抵抗化や積層された電子デバイス装置 6 全体としての薄型化を実現することができる。

[0019] 本形態例の支持部材 10 は、例えば図 2 A ~ 2 D、次いで図 3 A ~ 3 D に示す作製方法により、製造することができる。

まず、図 2 A に示すように、支持基板 11 の第 2 主面 11 b 側に突出部形成用補助層 16 を積層し、支持基板 11 の第 1 主面 11 a から第 2 主面 11 b に向けて貫通する貫通孔 12 を形成する。突出部形成用補助層 16 の厚さは、支持部材 10 に設けられる突出部 13 a の高さより大きい。

[0020] 本形態例の場合、支持基板 11 はシリコン基板であり、突出部形成用補助層 16 はシリコン層であり、その間には埋め込み絶縁層 112 が設けられている。また、貫通孔 12 に引き続き、図 2 B に示すように、埋め込み絶縁層 112 にも穴 113 を形成する。

このような Si / SiO₂ / Si の積層体としては、SOI 基板を用いることができる。各層の寸法は特に限定されるものでなく、支持部材 10 の用途に応じて適宜決定することができる。一具体例としては、支持基板 11 の厚さが例えば 150 μm、突出部形成用補助層 16 の厚さが例えば 200 μm、突出部 13 a の高さが例えば 180 μm、貫通孔 12 の径（ほぼ突出部 13 a の外径に相当する。）が例えば 60 μm である。

[0021] Si に穴を形成する方法としては、SF₆ ガス等を用いた高密度プラズマによる Si のエッチングと、C₄F₈ ガス等を用いた穴の側壁へのパッシベーション成膜とを交互に行う Bosch プロセスが挙げられる。また、Bosch プロセス以外のドライエッチングや、薬液を用いたウェットエッチング、

レーザー等による物理的な加工も用いることができる。

SiO_2 に穴を形成する方法としては、 CF_4 ガス等を用いたドライエッチングや、薬液を用いたウェットエッチング、レーザー等による物理的な加工が挙げられる。

[0022] 次に、図2Cに示すように、さらに貫通孔12から延長して突出部形成用補助層16の内部に達する連通穴16aを形成する。この突出部形成用補助層16内における連通穴16aの深さは、突出部13aの高さとほぼ同じになる。

次に、図2Dに示すように、貫通孔12の内壁および支持基板11の第1主面11aに絶縁層111を形成する。なお、絶縁層111の形成（有無）は任意であり、必要に応じて行えばよい。例えば SiO_2 からなる絶縁層であれば、テトラエトキシシラン（TEOS）を原料とするプラズマCVD法、シラン（ SiH_4 ）などを用いたプラズマCVD法、 Si の熱酸化による成膜により得られる。絶縁層の材料は SiO_2 に限定されるものではなく、窒化シリコン（ SiN ）や絶縁樹脂等、他の絶縁材料でも構わない。絶縁層111は、連通穴16aの内壁にも連続して形成することができる。なお、図中の符号114は、連通穴16a内の絶縁層111を特に区別して示すものである。

[0023] 次に、図3Aに示すように、貫通孔12および連通穴16aに導体13を充填する。この導体13によって、突出部13aを有する貫通電極13が構成される。

導体13としては、銅（ Cu ）やタングステン（ W ）等の金属、金錫（ Au-Sn ）等の合金、ポリシリコン等の非金属の導体が挙げられる。充填方法は、めっき法、スパッタ法、熔融金属充填法、CVD等、適宜適用することができる。

[0024] 次に、図3Bに示すように、突出部形成用補助層16を完全に除去する。つまり、支持基板11の第2主面11b（詳しくは絶縁層112）を全面にわたって露出させる。突出部形成用補助層16が Si からなる場合、その除

去方法としては、 SF_6 ガス等を用いたドライエッチングや、薬液を用いたウェットエッチング等が挙げられる。

- [0025] 図2Dにおいて絶縁層114を連通穴16aの内部にも形成した場合には、図3Cに示すように、突出部13a表面の絶縁層114を除去する。絶縁層114が SiO_2 からなるとき、その除去方法としては、 CF_4 ガス等を用いたドライエッチングや、薬液を用いたウェットエッチング等が挙げられる。

突出部13a表面の絶縁層114を除去する際、第2主面11b上の絶縁層112を保護するため、あらかじめレジスト層等の保護層を絶縁層112上に形成しておくことが好ましい。または、絶縁層114の除去が完了しても十分な厚さの絶縁層112が残るように、あらかじめ絶縁層112の厚さを厚くしておけばよい。この場合、レジスト層等の保護層を形成することなく、突出部13a表面の絶縁層114を除去することができる。

- [0026] その後、図3Dに示すように、支持基板11の第1主面11a側に、貫通電極13と電氣的に接続された回路14および回路14と電氣的に接続された半田バンプ等の接続端子15を形成する。以上により、本形態例の支持部材10が完成する。

- [0027] 図4A~5Dに、本発明の第2形態例に係る、支持部材20を用いた電子デバイス実装構造および実装方法を示す。

本形態例の場合、支持基板21はガラス基板等の絶縁体基板からなる。

上述の第1形態例と同様に、支持部材20は、支持基板21と、第1主面21aから第2主面21bに向けて支持基板21を貫通し、第2主面21bから突出した突出部23aを有する貫通電極23と、を有し、第2主面21b側に電子デバイス装置6が実装されている。本形態例の場合、図4A及び4Bに示すように、支持基板21が貫通電極23や回路24と導通することがないので、主面21a、21b上および貫通孔22の内壁に絶縁層を設ける必要がない。

- [0028] 電子デバイス装置6は、貫通孔2に支持部材20の突出部23aが挿入さ

れるように第2主面21b上に配置されている。また、電子デバイス装置6の回路4と突出部23aとが電氣的に接続されている。また、突出部23aが複数の電子デバイス装置6の各貫通孔2に挿入されるように、電子デバイス装置6を複数積層することにより、電子デバイス装置6の多層化が可能である。

また、支持部材20は、第1主面21a側に半田バンプ等の接続端子25を有し、貫通電極23、回路24及び接続端子25を介して電子デバイス装置6の回路4とプリント回路基板等の外部基板（図示せず）とを電氣的に接続することが可能である。

支持部材20の回路24には、抵抗器、キャパシタ（容量素子）、インダクタ（誘導素子）等の電気素子を設けることも可能である。

[0029] 本形態例の電子デバイス実装構造によれば、突出部23aが複数の電子デバイス装置6の各貫通孔2に挿入された後でも突出部23aの位置を電子デバイス装置6の上方から確認することができるので、電子デバイス装置6の高密度実装が容易になる。また、突出部23aは長手方向に連続した、一体の導体であるので、複数の電子デバイス装置6を積層状態で実装しても、電子デバイス装置6同士間に接合部が生じない。その結果、電子デバイス装置6同士間の電氣的接続の低抵抗化や積層された電子デバイス装置6全体としての薄型化を実現することができる。

また、本形態例によれば、支持基板21が絶縁体からなるので、基板表面や貫通孔の内壁に絶縁層を形成する必要がなくなる。その結果、製造プロセスを簡略化することができる。

[0030] 本形態例の支持部材20は、例えば図5A～5Dに示す方法により作製することができる。

まず、図5Aに示すように、完成後の支持部材20における支持基板21の厚さと突出部23aの高さとの和より大きい厚さを有する母材26を用意し、支持基板21の第1主面21aとなる側から穴26aを形成する。穴26aの深さは、支持基板21の厚さと突出部23aの高さとの和に（ほぼ）

等しい。

各部の寸法は、特に限定されるものでなく、支持部材 20 の用途に応じて適宜決定することができる。一具体例としては、支持基板 21 の厚さが例えば 150 μm 、母材 26 の厚さが例えば 500 μm 、穴 26 a の深さが例えば 320 μm 、穴 26 a 径が例えば 60 μm である。

[0031] ガラス母材 26 に微細な穴 26 a を形成する方法としては、例えば日本国特開 2006-303360 号公報に記載されるように、フェムト秒レーザー照射によって穴 26 a となる部分のガラスを改質し、その改質した部分をウェットエッチングで除去する方法が挙げられる。また、ガス等を用いたドライエッチング、薬液を用いたウェットエッチング、レーザー等による物理的な加工を用いて穴 26 a を形成しても構わない。

[0032] 次に、図 5 B に示すように、連通穴 26 a に導体 23 を充填する。この導体 23 によって、突出部 23 a を有する貫通電極 23 が構成される。

導体 23 としては、銅 (Cu) やタングステン (W) 等の金属、金錫 (Au-Sn) 等の合金、ポリシリコン等の非金属の導体が挙げられる。充填方法は、めっき法、スパッタ法、熔融金属充填法、CVD 等、適宜適用することができる。

[0033] 次に、図 5 C に示すように、母材 26 の第 1 主面 21 a とは反対側から導体 23 の一部が露出するまで母材材料の一部を除去することによって、支持基板 21 の第 2 主面 21 b を形成するとともに、穴 26 a に充填した導体 23 によって、第 1 主面 21 a から第 2 主面 21 b に向けて支持基板 21 を貫通し、第 2 主面 21 b から突出した突出部 23 a を備える貫通電極 23 を形成する。

ガラスの除去方法としては、ガス等を用いたドライエッチングや、フッ酸 (HF) 等の薬液を用いたウェットエッチング等が挙げられる。

[0034] その後、図 5 D に示すように、支持基板 21 の第 1 主面 21 a 側に、貫通電極 23 と電氣的に接続された回路 24 および回路 24 と電氣的に接続された半田バンプ等の接続端子 25 を形成する。以上により、本形態例の支持部

材 20 が完成する。

- [0035] 図 6 A ~ 7 D に、本発明の第 3 形態例に係る、支持部材 10 A を用いた電子デバイス実装構造および実装方法を示す。

本形態例の場合、突出部 13 a を有する貫通電極 13 A が複数の層（詳しくは、外側の層 13 1 と内側の層 13 2 との 2 層）からなる。ここで、外側の層 13 1 は導体から構成され、電子デバイス装置 6 の回路 4 と電氣的に接続されている。また、外側の層 13 1 と回路 1 4 は一連の導体層として形成されている。内側の層 13 2 の材料は、導体であっても絶縁体であっても構わない。また、突出部 13 a の先端で、内側の層 13 2 は外側の層 13 1 に内包されている。

本形態例の電子デバイス実装構造によれば、上述した第 1 形態例と同様の作用効果を奏することができる。

- [0036] 本形態例の支持部材 10 A は、例えば図 2 A ~ 2 D、次いで図 7 A ~ 7 D に示す作製方法により、製造することができる。ここで、図 2 A ~ 2 D に示す工程は第 1 形態例と同様に実施することができるので、重複する説明は省略する。

- [0037] 図 7 A においては、図 2 A ~ 2 D で形成した貫通孔 12 および連通穴 16 a に導体 13 1 を充填する。この導体 13 1 によって上記外側の層 13 1 が構成される。さらに本形態例の場合、外側の層 13 1 の充填と同時に、同じ導体によって絶縁層 11 1 上に回路 1 4 を形成している。なお、回路 1 4 は外側の層 13 1 とは別の工程で形成してもよい。また、回路 1 4 を外側の層 13 1 とは異なる材料で形成してもよい。

- [0038] 外側の層 13 1 や回路 1 4 を構成する導体としては、銅 (Cu) やタングステン (W) 等の金属、金錫 (Au-Sn) やはんだ等の合金、ポリシリコン等の非金属の導体が挙げられる。充填方法は、めっき法、スパッタ法、熔融金属充填法、CVD 等、適宜適用することができる。

- [0039] 次に、図 7 B に示すように、貫通孔 12 および連通穴 16 a の内壁に充填した導体 13 1 のさらに内側に、内側の層 13 2 を充填する。内側の層 13

2の充填材料は、導体であっても絶縁体であっても構わない。例えば、真空印刷により絶縁樹脂を充填した場合、突出部13aを有する貫通電極13Aにある程度の柔軟性を持たせることができ、電子デバイス装置6の実装時に発生する応力を緩和することができる。なお、内側の層132の充填材料は絶縁樹脂に限定されず、他の絶縁体や金属等の導電体であっても構わない。充填方法は、めっき法、スパッタ法、CVD等、材料等に応じて適宜適用することができる。

[0040] 次に、図7Cに示すように、突出部形成用補助層16を完全に除去する。また、図2Dにおいて絶縁層111を連通穴16aの内部にも形成した場合には、突出部13a表面の絶縁層111を除去する。その後、図7Dに示すように、支持基板11の第1主面11a側に、回路14と電氣的に接続された半田バンプ等の接続端子15を形成する。以上により、本形態例の支持部材10Aが完成する。これらの手順は、第1形態例において図3B、3C、3Dにより説明したものと同様の手法を用いることができるので、重複する説明は省略する。なお、特に図示しないが、回路14の形成工程は、図7Dに示す段階で行うことも可能である。

本形態例により得られる支持部材10Aは、突出部13aの先端で内側の層132が外側の層131に内包された構造となる。

[0041] 図8A～11Dに、本発明の第4形態例に係る、支持部材10Bを用いた電子デバイス実装構造および実装方法を示す。

本形態例の場合、突出部13aを有する貫通電極13Bが複数の層（詳しくは、外側の層131と内側の層132との2層）からなる。ここで、外側の層131は導体から構成され、電子デバイス装置6の回路4と電氣的に接続されている。また、外側の層131と回路14は一連の導体層として形成されている。内側の層132の材料は、導体であっても絶縁体であっても構わない。また、貫通電極13Bは、突出部13aの先端で内側の層132が外側の層131から露出された層状構造を有する。

本形態例の電子デバイス実装構造によれば、上述した第1、第3形態例と

同様の作用効果を奏することができる。

[0042] 本形態例の支持部材 10B は、例えば図 9A~9C、次いで図 10A~10C、次いで図 11A~11D に示す作製方法により、製造することができる。

図 9A において、(a) に示すように、支持基板 11 の第 2 主面 11b 側（詳しくは絶縁層 112 の上）に突出部形成用補助層 16 を積層した出発材料は、上述した第 1 形態例と同様（例えば SOI 基板）である。ただし、支持基板 11 の第 1 主面 11a から第 2 主面 11b に向けて貫通する貫通孔 12 が、図 9A の (b) に示すように、断面ドーナツ状であること、つまり貫通孔 12 の中心部に支持基板 11 の材料が残った芯部 17 を有する点で、図 2A と相違する。

各部の寸法の一具体例としては、支持基板 11 の厚さが例えば $150\mu\text{m}$ 、突出部形成用補助層 16 の厚さが例えば $200\mu\text{m}$ 、突出部 13a の高さが例えば $180\mu\text{m}$ 、貫通孔 12 の外径が例えば $60\mu\text{m}$ 、貫通孔 12 の内径（つまり芯部 17 の外径）が例えば $30\mu\text{m}$ である。

[0043] 貫通孔 12 に引き続き、図 9B に示すように、埋め込み絶縁層 112 にも穴 113 を形成する。さらに、図 9C に示すように、貫通孔 12 から延長して突出部形成用補助層 16 の内部に達する連通穴 16a を形成する。穴 113 および連通穴 16a も断面リング状、つまり埋め込み絶縁層 112 や突出部形成用補助層 16 の材料が残った芯部 17 を有する。

この突出部形成用補助層 16 内における連通穴 16a の深さは、突出部 13a の高さと同様になる。

[0044] 次に、図 10A に示すように、貫通孔 12 の内壁（芯部 17 の外壁を含む。）および支持基板 11 の第 1 主面 11a に絶縁層 111 を形成する。絶縁層 111 の形成は任意であり、必要に応じて行えばよい。絶縁層 111 の形成は、例えば第 1 形態例の図 2D に示す絶縁層 111 の形成と同様に行うことができる。

[0045] 次に、図 10B に示すように、貫通孔 12 および連通穴 16a に導体 13

1を充填する。この導体131によって上記外側の層131が構成される。外側の層131に用いる導体131としては、銅(Cu)やタングステン(W)等の金属、金錫(Au-Sn)やはんだ等の合金、ポリシリコン等の非金属の導体が挙げられる。充填方法は、めっき法、スパッタ法、熔融金属充填法、CVD等、適宜適用することができる。

[0046] 次に、図10Cに示すように、上記外側の層131より内側(芯部17の外壁上)にある絶縁層111および芯部17を除去する。この除去は、上記外側の層131より外側(貫通孔12や連通穴16aの内壁上および第1主面11a上)にある絶縁層111に必要な保護を行った上で行う。出発材料がSOI基板である場合は、例えばSF₆ガス、CF₄ガス等によりSiやSiO₂を除去する。また、他の方法を用いることもできる。

上記外側の層131より外側にある絶縁層111の保護する方法としては、例えば、第1主面11a上において貫通孔12の外側から導体131まで、レジスト等の保護材料で被覆する方法が挙げられる。

[0047] 次に、図11Aに示すように、導体131の内側にできた空洞に対して、内側の層132を充填する。内側の層132の充填材料は、導体であっても絶縁体であっても構わない。例えば、めっきにより銅(Cu)を充填したり、他の導電体や絶縁樹脂等の絶縁体であっても構わない。充填方法は、めっき法、スパッタ法、CVD、印刷等、材料等に応じて適宜適用することができる。

[0048] 次に、図11Bに示すように、突出部形成用補助層16を完全に除去し、図11Cに示すように、突出部13a表面の絶縁層111(図11B中、符号114で示す部分)を除去する。さらに、図11Dに示すように、支持基板11の第1主面11a側に、貫通電極13と電氣的に接続された回路14および回路14と電氣的に接続された半田バンプ等の接続端子15を形成する。以上により、本形態例の支持部材10Bが完成する。これらの手順は、第1形態例において図3B、3C、3Dにより説明したものと同様の手法を用いることができるので、重複する説明は省略する。

本形態例により得られる支持部材 10B において、貫通電極 13B は、突出部 13a の先端で内側の層 132 が外側の層 131 の内側で露出された層状構造を有する。

[0049] 以上、本発明を好適な実施の形態に基づいて説明してきたが、本発明は上述の形態例のみに限定されるものではなく、本発明の要旨を逸脱しない範囲で種々の改変が可能である。

図 12 に示す支持部材 10C は、貫通電極 13 と回路 14 とが一連のものとして形成されていることを除いては、図 1B に示す第 1 形態例の支持部材 10 と同様に構成されている。この支持部材 10C は、例えば、第 1 形態例の支持部材 10 の製造工程中、図 3A に示す導体 13 の充填工程と同時に回路 14 を形成することで作製することができる。

[0050] 図 13 に示す支持部材 10D は、貫通電極 13D の外側の層 131 と回路 14 とが一連のものとして形成されていることを除いては、図 8B に示す第 4 形態例の支持部材 10B と同様に構成されている。この支持部材 10D は、例えば、第 4 形態例の支持部材 10B の製造工程中、図 10B に示す導体 131 の充填工程と同時に回路 14 を形成することで作製することができる。

[0051] 図 14 に示す支持部材 100 を用いた電子デバイス実装構造では、支持部材 100 が、貫通電極 13 の突出部 13a によって電子デバイス装置 6 が配置されるデバイス配置領域 101, 102 を、支持基板 11 の第 2 主面 11b 上に複数有する。各デバイス配置領域 101, 102 に配置される電子デバイス装置 6 の数は、同じであっても異なっても良い。また、各デバイス配置領域 101, 102 に配置される電子デバイス装置 6 の数は、1 つでも複数であっても良い。支持部材 100 は、支持基板 11 の第 1 主面 11a 側の回路 14 に電子デバイス装置 110 を実装することもできる。

[0052] 図 15 に示す電子デバイス実装構造は、電子デバイス装置 6 を内包する保護層 8 を有する。これにより、半導体パッケージを実現することができる。保護層 8 は、例えば絶縁樹脂（モールド樹脂）等やキャビティー付きの基板

を用いて構成することができるが、特にこれらに限定されるものではない。

なお、支持部材の第1主面1a側に回路14および接続端子15を形成する前に、電子デバイス装置6の実装および保護層8の形成を行う場合は、必要に応じて、この保護層8を支持体として、支持基板11の第1主面1a側を研削し、パッケージを薄型化することもできる。この場合、第1主面1a側の研削後に、必要に応じて、回路14および接続端子15を設けることができる。

[0053] 図16に、上記の各形態例で電子デバイス装置6に用いられるデバイス基板1のパッド配置の一例を示す。この例では、デバイス基板1の主面1b上に形成された複数の貫通孔2のそれぞれの周囲にパッド5が形成されている。なお、図1A等を示す回路4は、図16中では図示を省略している。貫通孔2およびパッド5の配置は、適宜設計が可能であり、この配置に合わせて支持部材に突出部が配置される。

図16では、12個の貫通孔2を有するデバイス基板1を示す。支持部材の突出部13aの個数は、貫通孔2と同数でも良いし、あるいはより少ない数として一部の貫通孔2への挿入を省略することもできる。

貫通孔2およびその周辺の各部の寸法は特に限定されるものではない。一具体例としては、突出部13aの外径が例えば60 μ m、貫通孔2の内径が例えば80 μ m、I/Oパッド5が例えば100 μ m角(100 μ m \square)である。

[0054] 図17A~17Dに、デバイス基板1を加工して支持部材10に実装する工程の一例を模式的に示す。

まず、図17Aに示すように、デバイス基板1およびパッド5に貫通孔2を形成する。

[0055] 例えば、貫通孔2を形成する部分以外をレジストで保護し、パッド5のレジストから露出した部分を除去した後、デバイス基板1の露出した部分を除去して貫通孔2を主面1bから主面1aまで貫通させることにより、貫通孔2が形成されていないデバイスに貫通孔2を形成することができる。パッド

5材料の除去は、例えばAlの場合、薬液を用いたウェットエッチングが挙げられる。また、デバイス基板1材料の除去は、例えばSiの場合、上述したBoschプロセスが挙げられる。また、パッド5やデバイス基板1への貫通孔2の形成には、その他のドライエッチング、ウェットエッチング、レーザー等による物理的な加工を用いることもできる。

[0056] また、デバイス基板1の主面1a側で裏面研磨を行う場合は、主面1b側からある程度の深さまで底のある孔（ブラインドビア）を形成後に裏面研磨を行い、孔が主面1aに達することで貫通させることもできる。ブラインドビアの深さ等は特に限定されるものではないが、一具体例としては、ブラインドビアの深さを例えば70 μm とし、裏面研磨でデバイス基板1を厚さ50 μm まで薄くする例が挙げられる。

[0057] 次に、図17Bに示すように、貫通孔2の内壁に絶縁層3を形成する。絶縁層3の形成方法は、例えばSiO₂からなる絶縁層3であれば、テトラエトキシシラン（TEOS）を原料とするプラズマCVD法、シラン（SiH₄）などを用いたプラズマCVD法、Siの熱酸化による成膜が挙げられる。絶縁層3の材料はSiO₂に限定されるものではなく、窒化シリコン（SiN）や絶縁樹脂等、他の絶縁材料でも構わない。

[0058] 次に、図17Cに示すように、支持部材10の貫通電極13の突出部13aを、内壁に絶縁層3を形成した貫通孔2に挿入し、電子デバイス装置6を支持基板11の第2主面11b上に配置する。ここでは図示しないが、第2主面11bとデバイス基板1の主面1aとの間には、必要に応じて接着層や絶縁層を設けても構わない。

[0059] 次に、図17Dに示すように、電子デバイス装置6のI/Oパッド5と貫通電極13の突出部13aとを電氣的に接続する。この接続には、例えば半田や導電性ペースト等の導電性接合材料7を用いることができる。図示例において、導電性接合材料7は、パッド5付近の一部のみに付着しているが、貫通孔2全体に付着しても構わない。

[0060] さらに、図17C、17Dに示す工程を繰り返すことで、例えば図1Bに

示すように、複数の電子デバイス装置 6 を積層することができる。ここでは図示しないが、積層した電子デバイス装置 6 同士の間には、必要に応じて接着層や絶縁層を設けても構わない。

[0061] 図 18 A は、突出部 13 a に半田の層 18 が設けられた支持部材 19 を用いて電子デバイス装置 6 を積層配置した状態の一例を模式的に示す断面図であり、図 18 B は、図 18 A のように積層配置された電子デバイス装置から製造された電子デバイス実装構造の一例を模式的に示す断面図である。

この支持部材 19 は、図 8 B に示す第 4 形態例の支持部材 10 B における外側の層 13 1 を半田の層 18 としたものに対応する。半田の層 18 の内側に充填される材料は、導体であっても絶縁体であっても構わない。

また、図 18 A 及び 18 B に示す例では半田の層 18 は支持部材 19 の貫通孔 12 内まで形成されているが、導体で形成した貫通電極 13 の突出部 13 a 上にものみ、半田の層 18 を設けても構わない。突出部 13 a 上にものみ半田の層 18 を設ける方法としては、例えば、図 1 B に示す支持部材 10 を作製した後、さらに半田ペーストの塗布などにより半田の層 18 を形成する方法が挙げられる。

[0062] 図 18 A に示すように、複数の電子デバイス装置 6 の貫通孔 2 に、外周面の全長にわたって半田の層 18 が形成された突出部 13 a を挿入して、これら電子デバイス装置 6 が支持基板 11 の第 2 主面 11 b 上に積層状態で配置されている。図 18 B に示すように、半田の融点以上の温度でリフローすることにより半田の層 18 を溶融させると、半田の層 18 から溶け出した半田から形成される接合部 18 a により、複数の電子デバイス装置 6 の各パッド 5 と突出部 13 a とを一括して電氣的に接続することができる。

この方法によれば、電子デバイス装置 6 の実装工程をより簡略化することができる。

なお、支持部材 19 に設ける接続端子 15 が半田バンプである場合は、突出部 13 a の半田の層 18 をリフローして電子デバイス装置 6 を実装した後に半田バンプ 15 を形成することもできる。あるいは、半田の層 18 と半田

bumps 15 とを同時にリフローすることもできる。

産業上の利用可能性

[0063] 本発明は、支持部材等の支持部材上に、半導体チップ等の電子デバイス装置を実装するために好適に利用することができる。

符号の説明

- [0064] 1 デバイス基板（チップ基板）
- 1 a, 1 b 主面
 - 2 貫通孔
 - 4 回路
 - 6 電子デバイス装置（半導体チップ）
 - 8 保護層
 - 10, 10 A, 10 B, 10 C, 10 D, 20, 100 支持部材
 - 11, 21 支持基板
 - 11 a, 21 a 第1主面
 - 11 b, 21 b 第2主面
 - 12 貫通孔
 - 13, 13 A, 13 B, 13 D, 23 貫通電極
 - 13 a, 23 a 突出部
 - 15, 25 接続端子（半田バンプ）
 - 16 突出部形成用補助層
 - 16 a 連通穴
 - 18 半田の層
 - 26 母材
 - 26 a 母材の穴
 - 101, 102 デバイス配置領域

請求の範囲

- [請求項1] 支持基板と、この支持基板の一方の主面である第1主面から他方の主面である第2主面に向けて前記支持基板を貫通し、かつ前記第2主面から突出した突出部を有する貫通電極と、を有する支持部材と；
- 回路が形成されたデバイス基板と、このデバイス基板の両主面間を貫通する貫通孔と、を有する電子デバイス装置と；
- を備え、
- 前記電子デバイス装置は、前記貫通孔に前記支持部材の突出部が挿入されるように前記支持基板の第2主面上に配置され、
- 前記電子デバイス装置の回路が前記突出部と電氣的に接続されていることを特徴とする電子デバイス実装構造。
- [請求項2] 複数の前記電子デバイス装置を備え、
- 前記各電子デバイス装置は、前記支持基板の第2主面上に積層されていることを特徴とする請求項1に記載の電子デバイス実装構造。
- [請求項3] 前記支持部材は、前記突出部によって前記電子デバイス装置が配置されるデバイス配置領域を、前記支持基板の第2主面上に複数有することを特徴とする請求項1または2に記載の電子デバイス実装構造。
- [請求項4] 前記電子デバイスを内包する保護層をさらに備えることを特徴とする請求項1ないし3のいずれかに記載の電子デバイス実装構造。
- [請求項5] 前記突出部の外周面には前記突出部の全長にわたって半田の層が形成され、
- 前記半田の層から溶け出した半田によって前記電子デバイス装置の回路と前記突出部とが電氣的に接続されていることを特徴とする請求項1ないし4のいずれかに記載の電子デバイス実装構造。
- [請求項6] 前記支持部材は、前記第1主面側に接続端子を有することを特徴とする請求項1ないし5のいずれかに記載の電子デバイス実装構造。
- [請求項7] 請求項1ないし6のいずれかに記載の電子デバイス実装構造を備える電子機器。

[請求項8] 支持基板と、この支持基板の一方の主面である第1主面から他方の主面である第2主面に向けて前記支持基板を貫通し、かつ前記第2主面から突出した突出部を有する貫通電極と、を有する支持部材を用意する第1の工程と；

デバイス基板と、このデバイス基板の両主面間を貫通する貫通孔と、を有する電子デバイス装置を用意する第2の工程と；

前記電子デバイス装置の貫通孔に前記支持部材の突出部が挿入されるように前記電子デバイス装置を前記支持基板の第2主面上に配置し、前記電子デバイス装置の回路を前記突出部と電氣的に接続する第3の工程と；

を備えることを特徴とする電子デバイス実装方法。

[請求項9] 前記第1の工程は、

前記突出部の高さより大きい厚さを有する突出部形成用補助層を前記支持基板の第2主面側に積層する工程と；

前記支持基板の第1主面から第2主面に向けて貫通する貫通孔を形成する工程と；

前記支持基板の貫通孔から延長して前記突出部形成用補助層の内部に達する連通穴を形成する工程と；

前記支持基板の貫通孔および前記連通穴に導体を充填する工程と；

前記突出部形成用補助層を除去することによって、前記支持基板の第2主面を露出するとともに、前記導体からなり、前記第1主面から前記第2主面に向けて前記支持基板を貫通し、かつ前記第2主面から突出した突出部を有する貫通電極を形成する工程と；

を有することを特徴とする請求項8に記載の電子デバイス実装方法。

[請求項10] 前記第1の工程は、

前記支持基板の厚さと前記突出部の高さとの和より大きい厚さを有する母材に、前記支持基板の第1主面となる面から穴を形成する工程と；

前記穴に導体を充填する工程と；

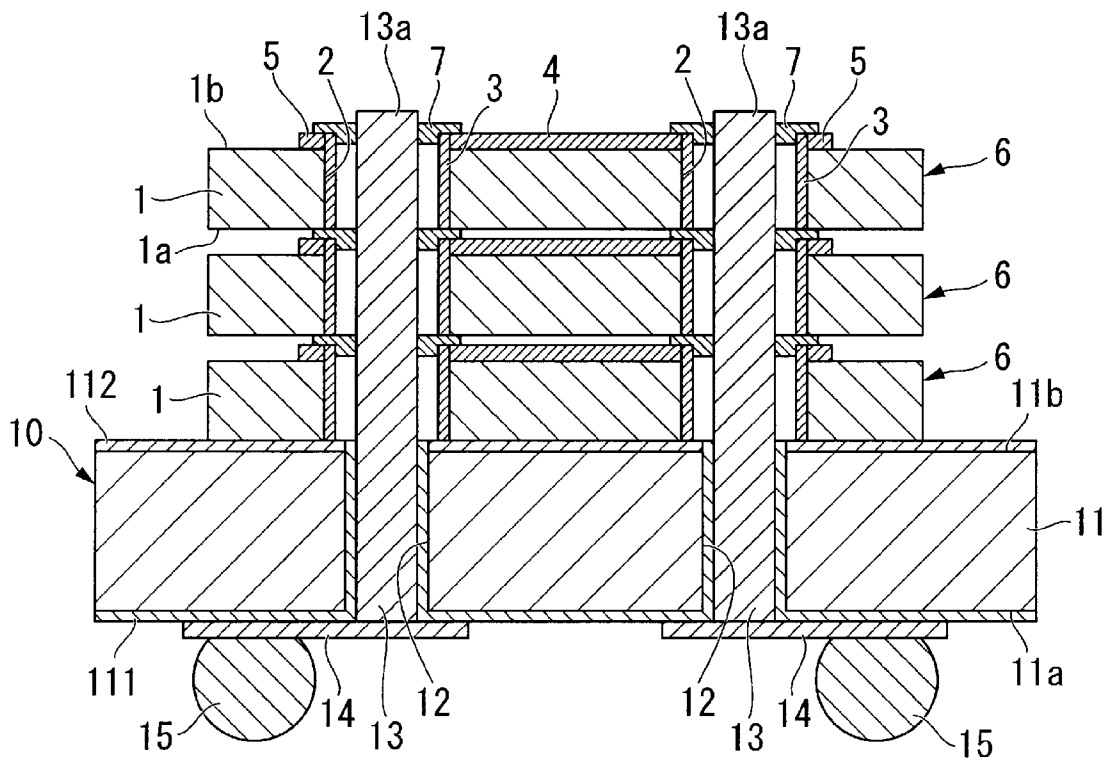
前記母材の前記第 1 主面とは反対側から前記導体の一部が露出するまで前記母材の一部を除去することによって、前記支持基板の第 2 主面を形成するとともに、前記導体からなり、前記第 1 主面から前記第 2 主面に向けて前記支持基板を貫通し、かつ前記第 2 主面から突出した突出部を有する貫通電極を形成する工程と；を有することを特徴とする請求項 8 に記載の電子デバイス実装方法。

[請求項 11]

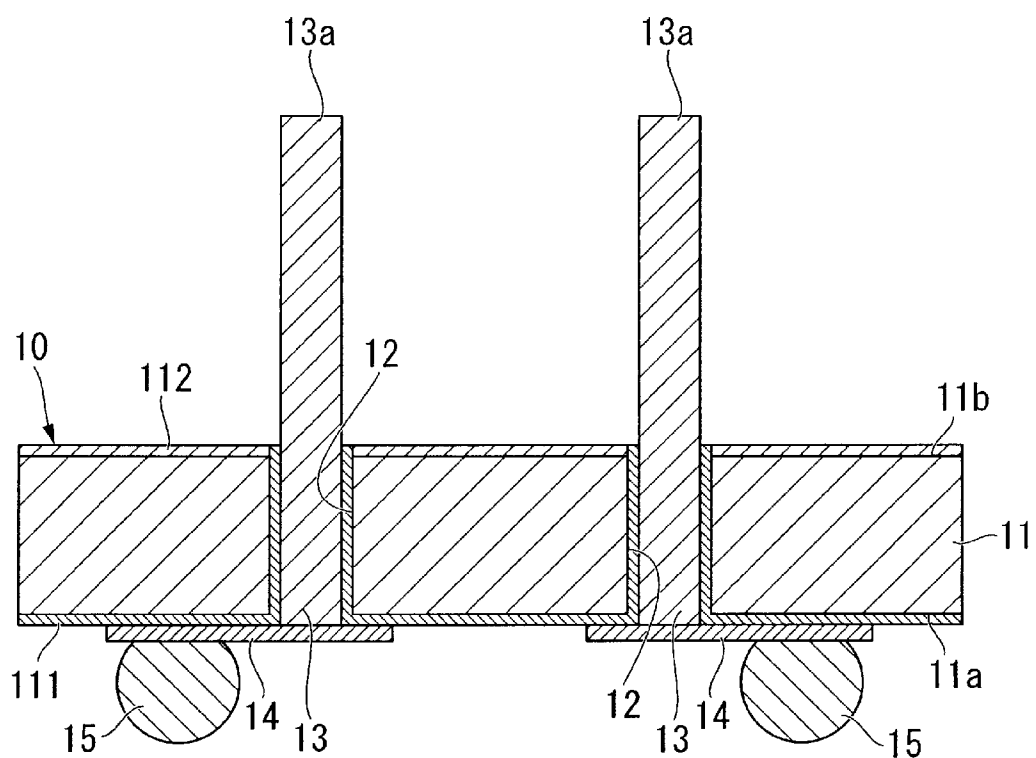
前記第 1 の工程は前記突出部の外周面に前記突出部の全長にわたって半田の層を形成する工程を含み；

前記第 3 の工程は、前記支持部材の突出部を複数の電子デバイス装置の各貫通孔に挿入してこれら電子デバイス装置を前記支持基板の第 2 主面上に積層状態で配置する工程と、前記半田の層を溶融することにより、前記複数の電子デバイス装置の各回路と前記突出部とを一括して電氣的に接続する工程と、を含むことを特徴とする請求項 8 ないし 10 のいずれかに記載の電子デバイス実装方法。

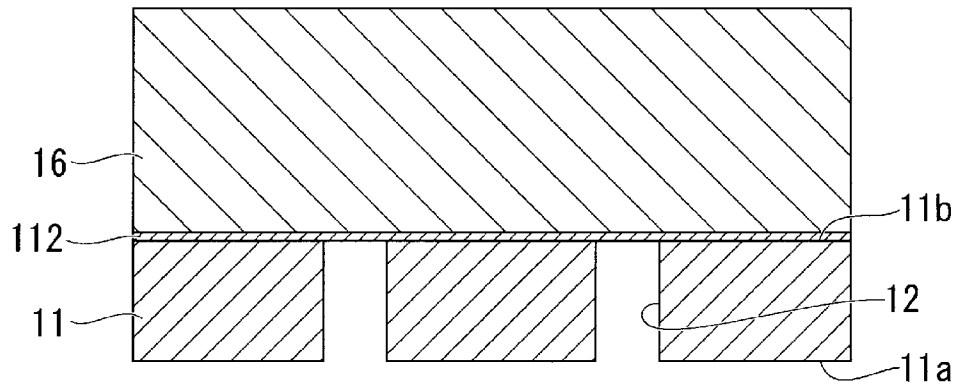
[図1A]



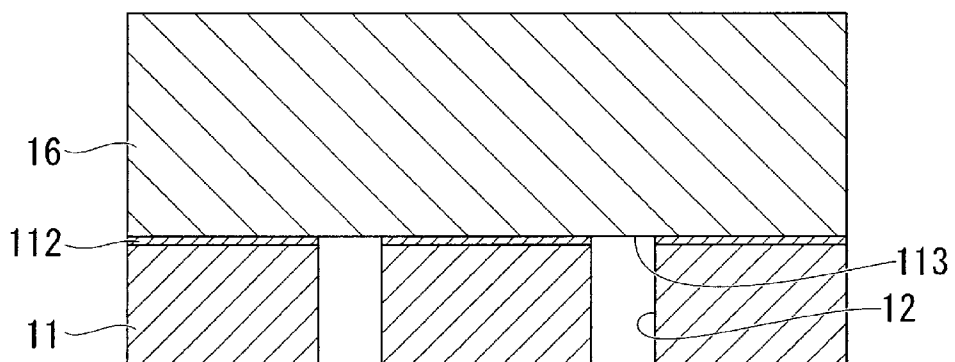
[図1B]



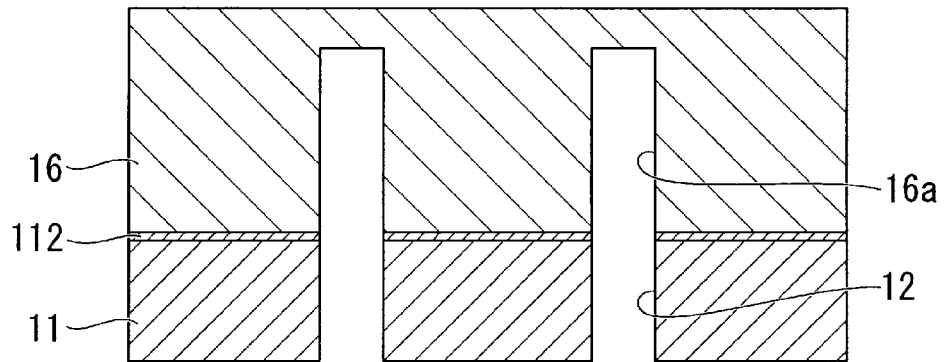
[図2A]



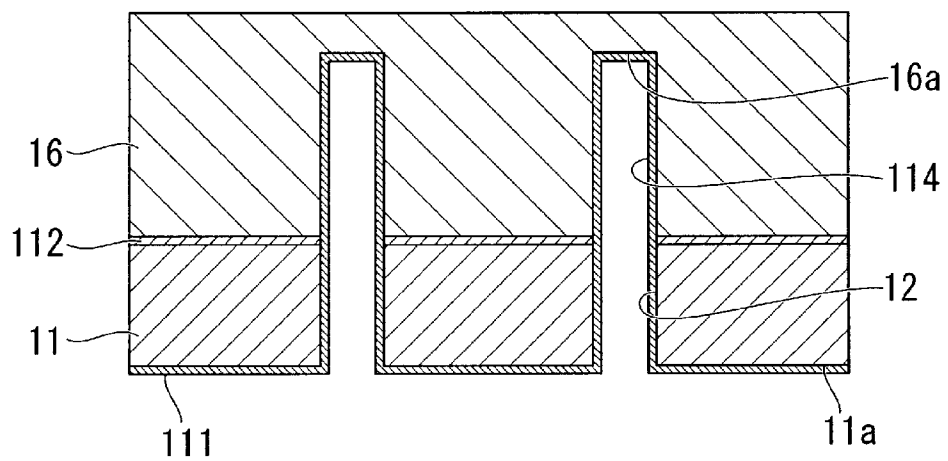
[図2B]



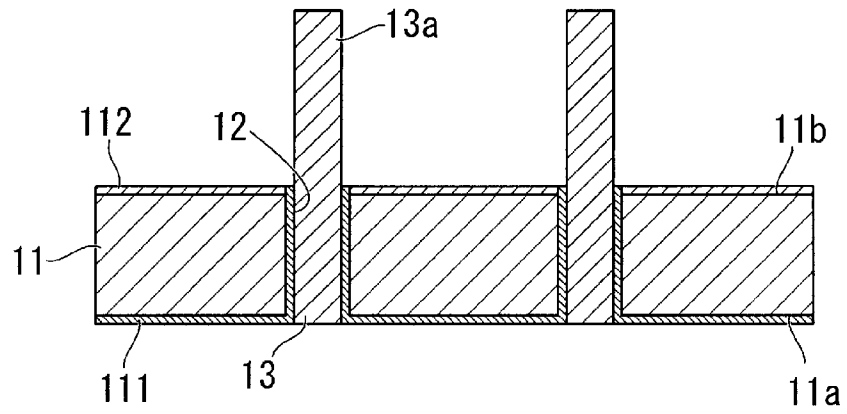
[図2C]



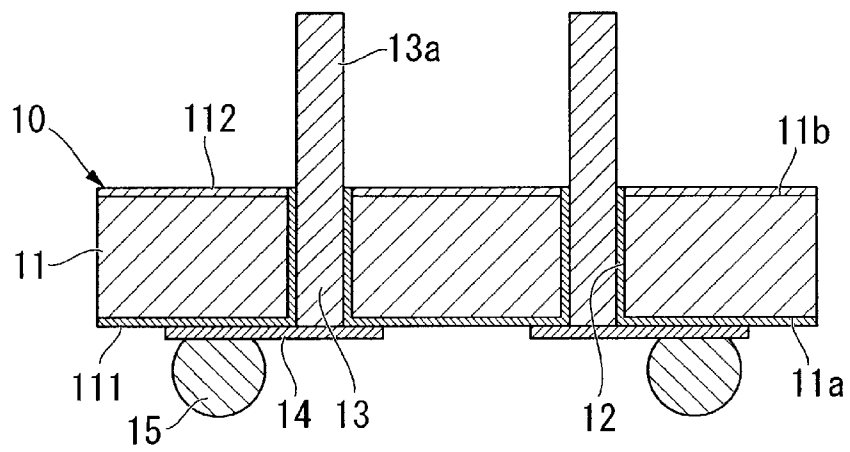
[図2D]



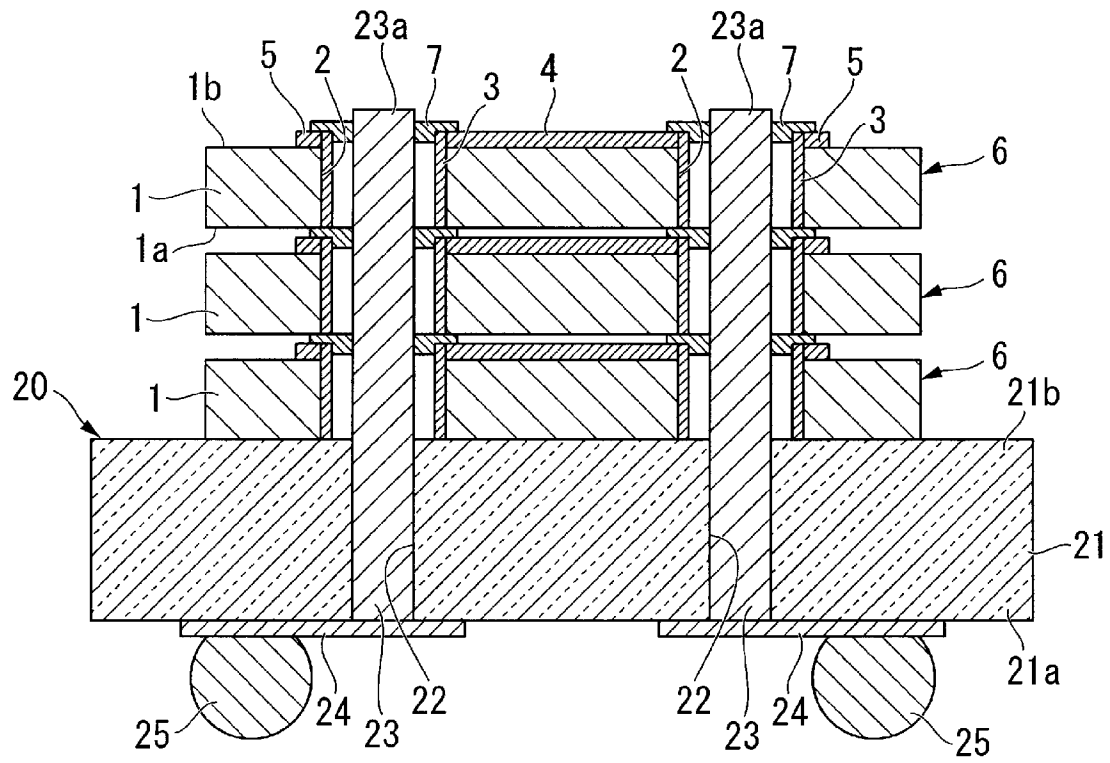
[図3C]



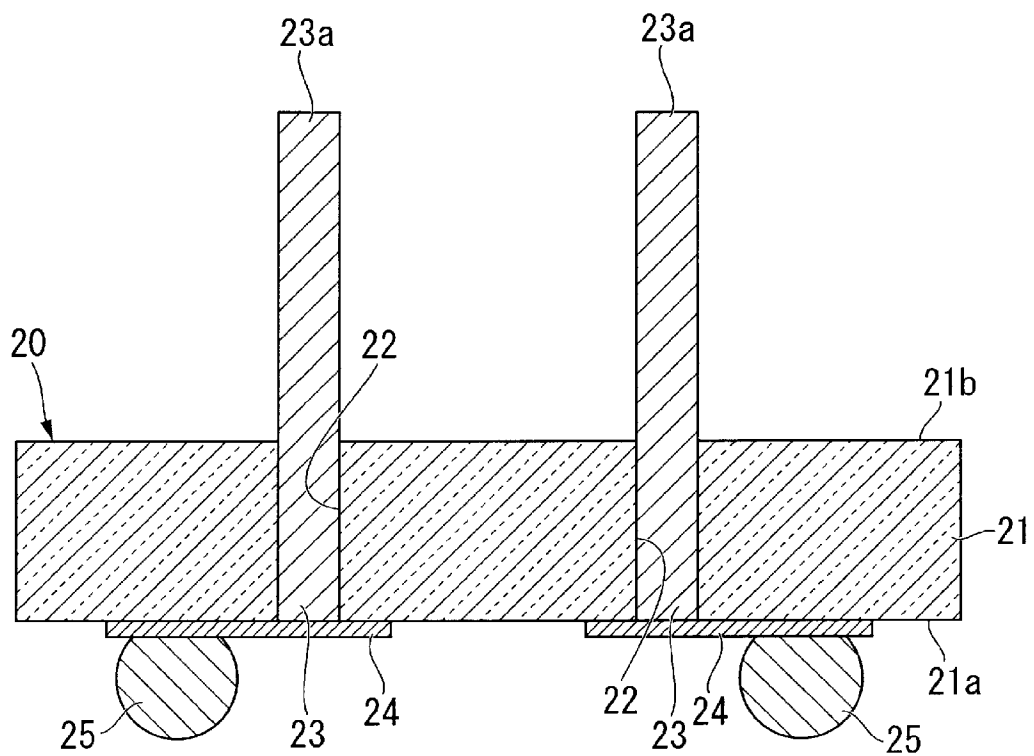
[図3D]



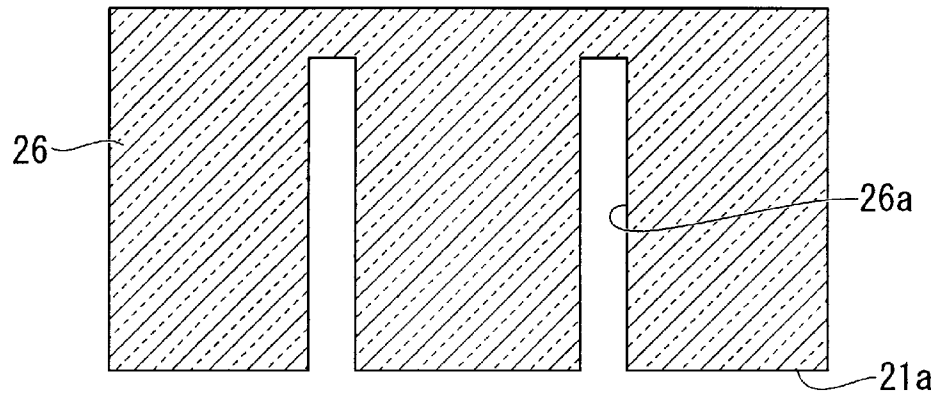
[図4A]



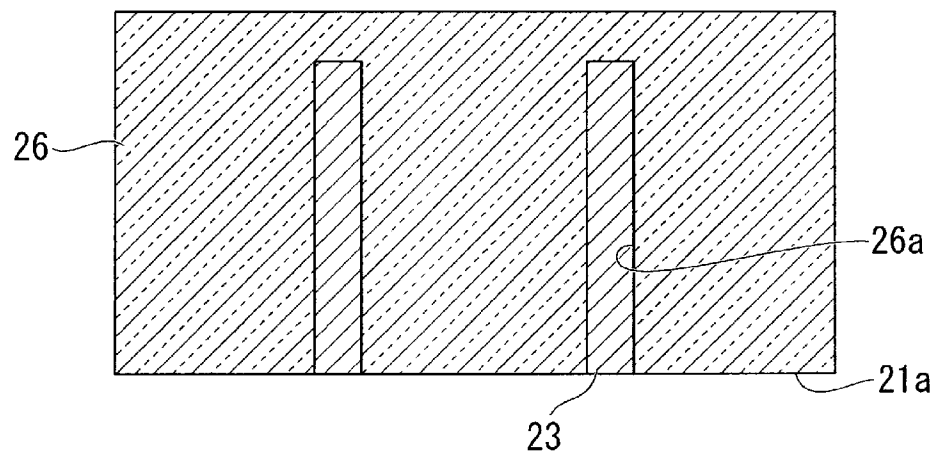
[図4B]



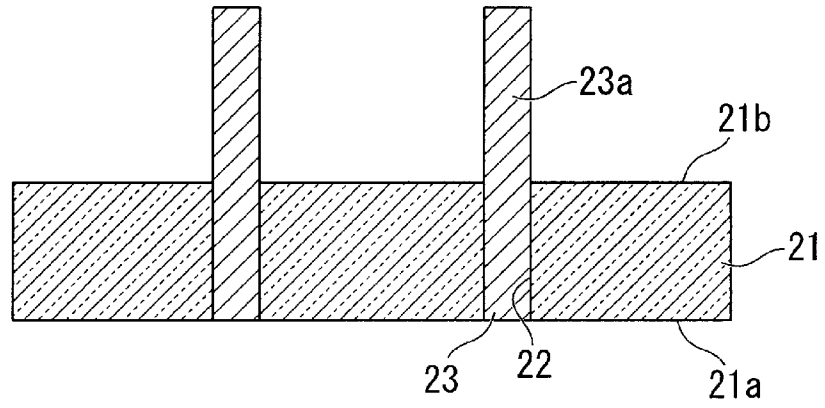
[図5A]



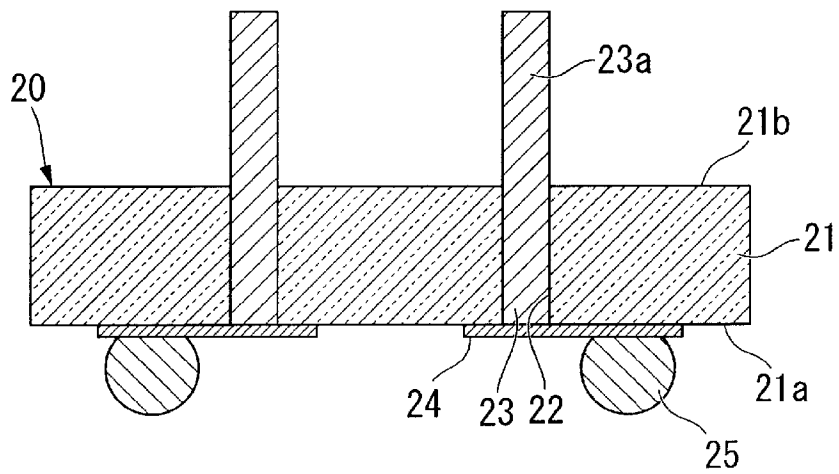
[図5B]



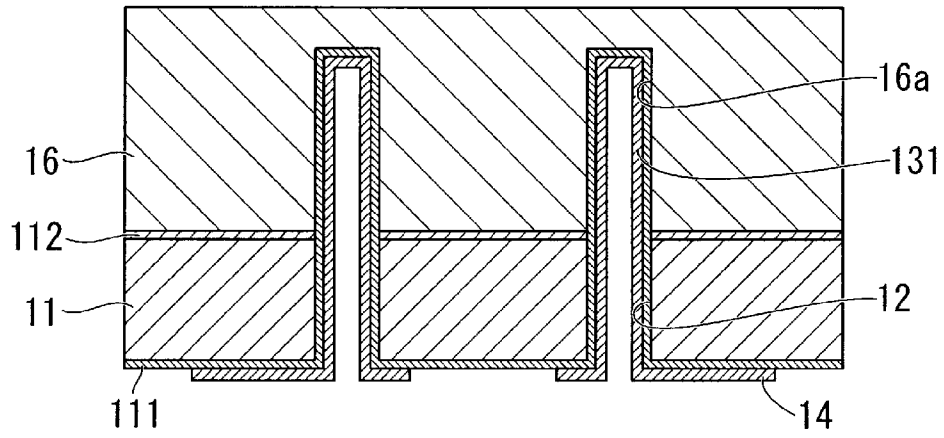
[図5C]



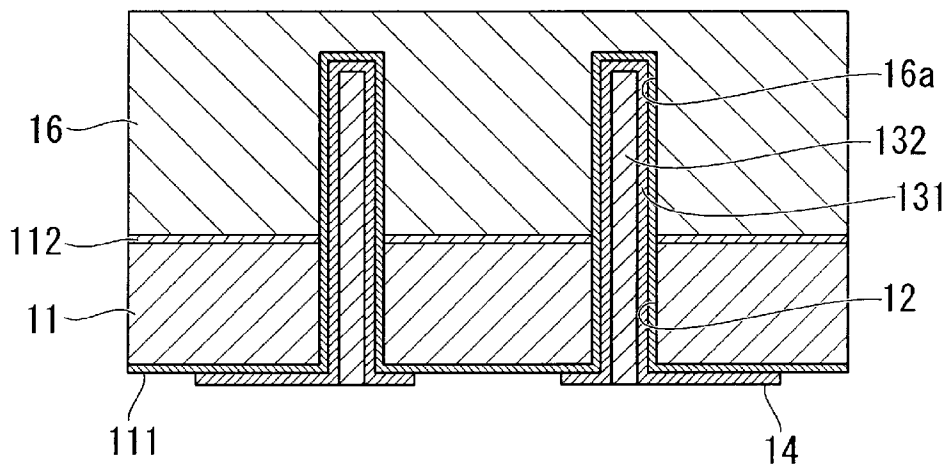
[図5D]



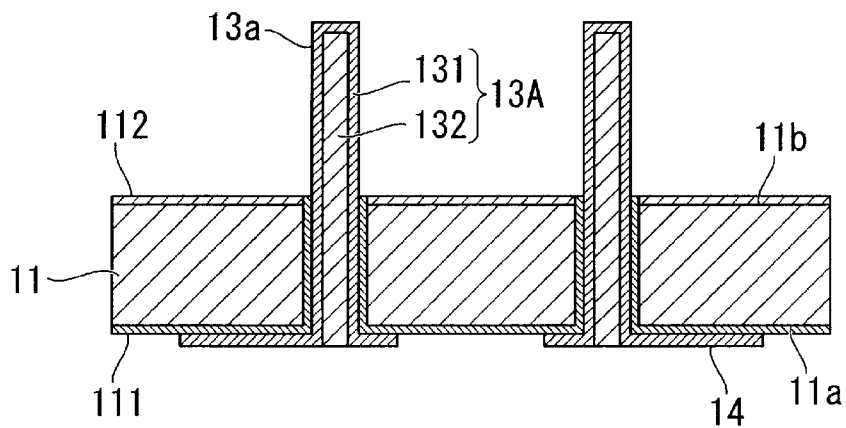
[図7A]



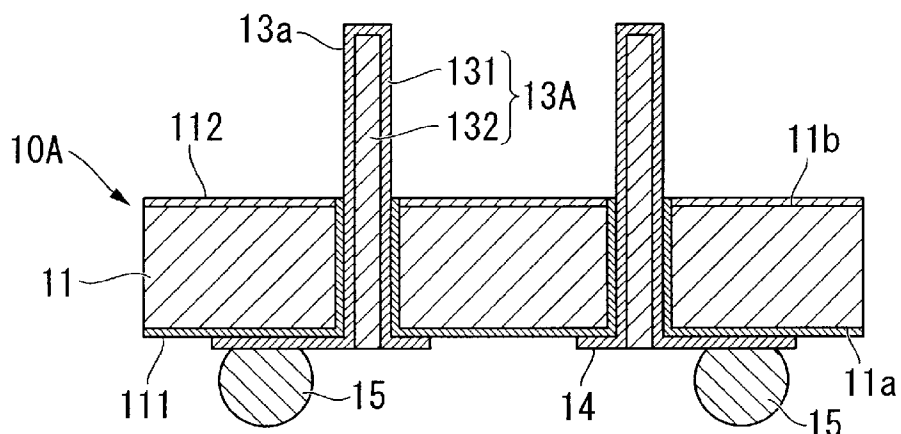
[図7B]



[図7C]

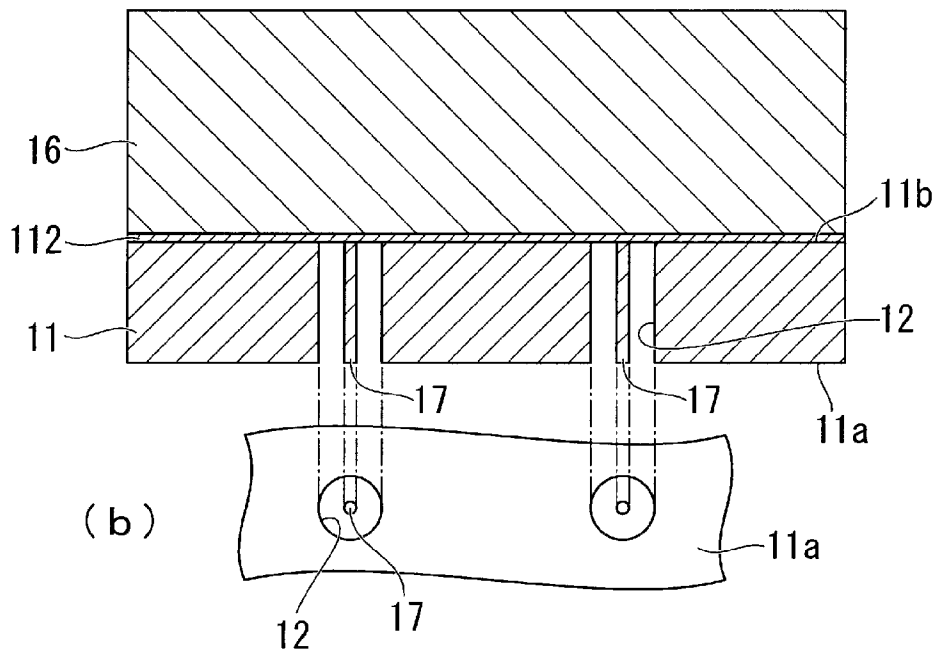


[図7D]

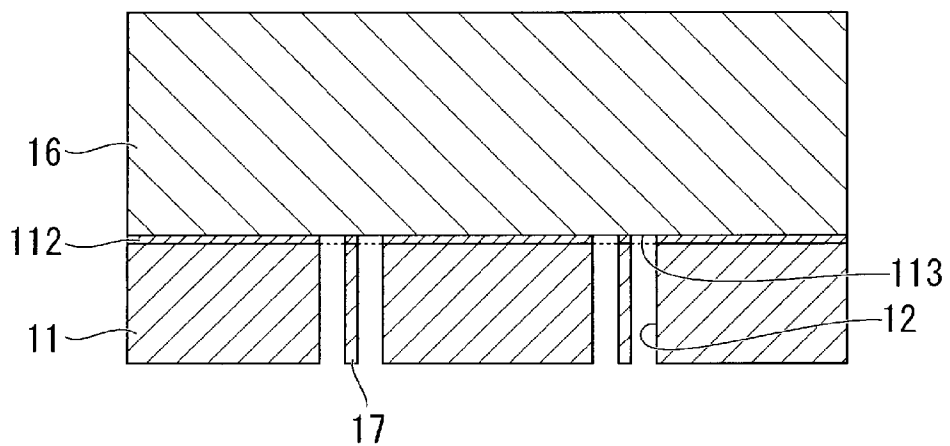


[図9A]

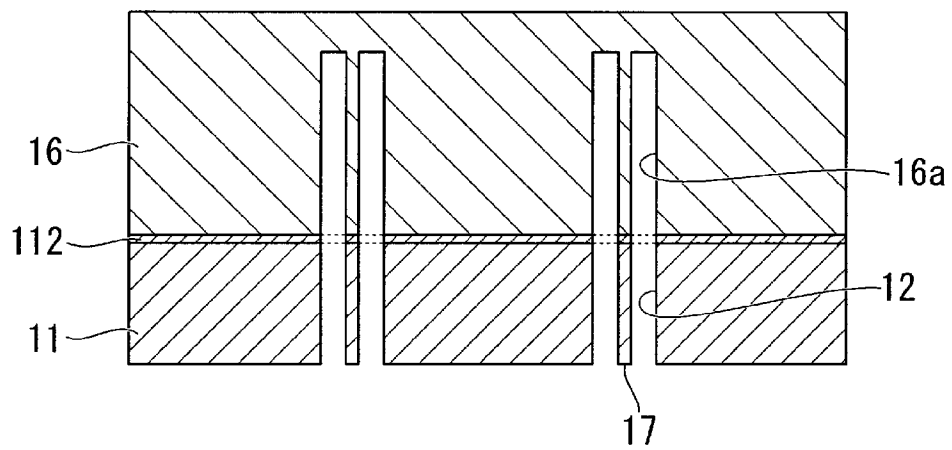
(a)



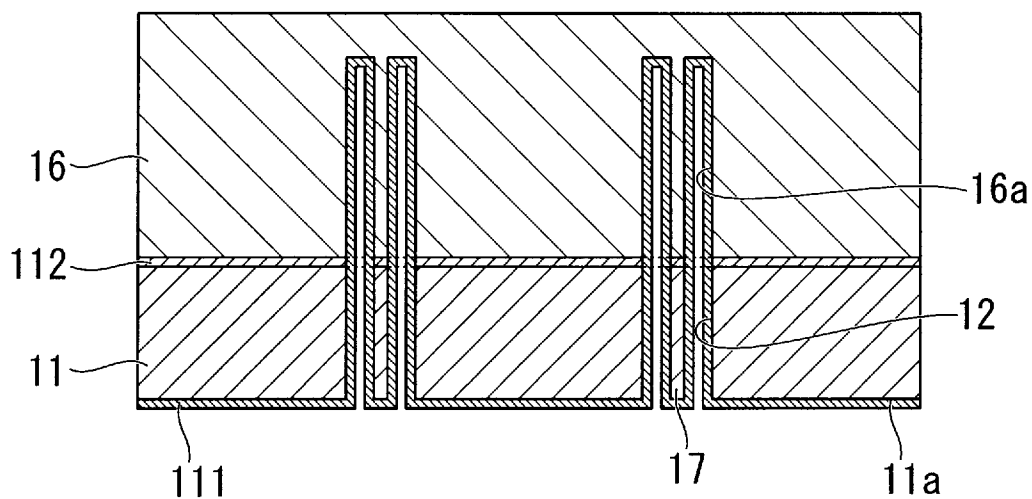
[図9B]



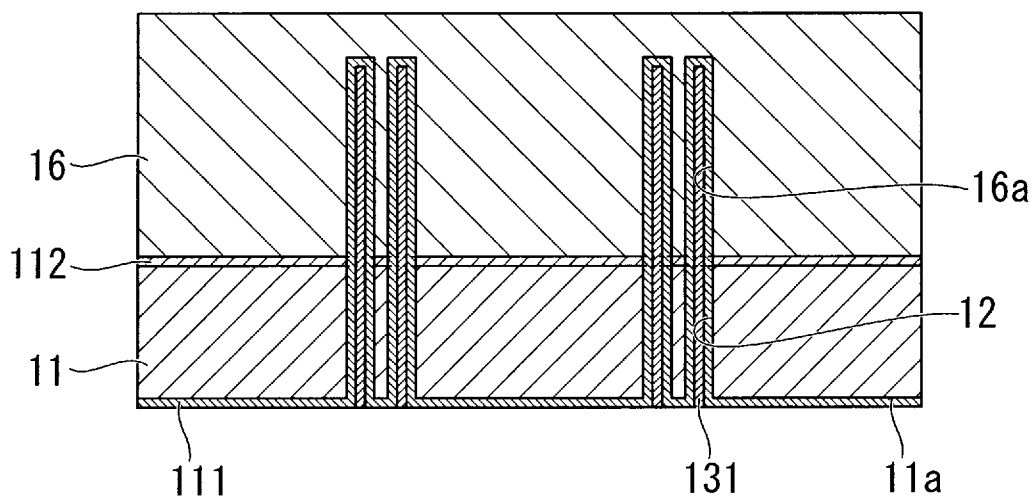
[図9C]



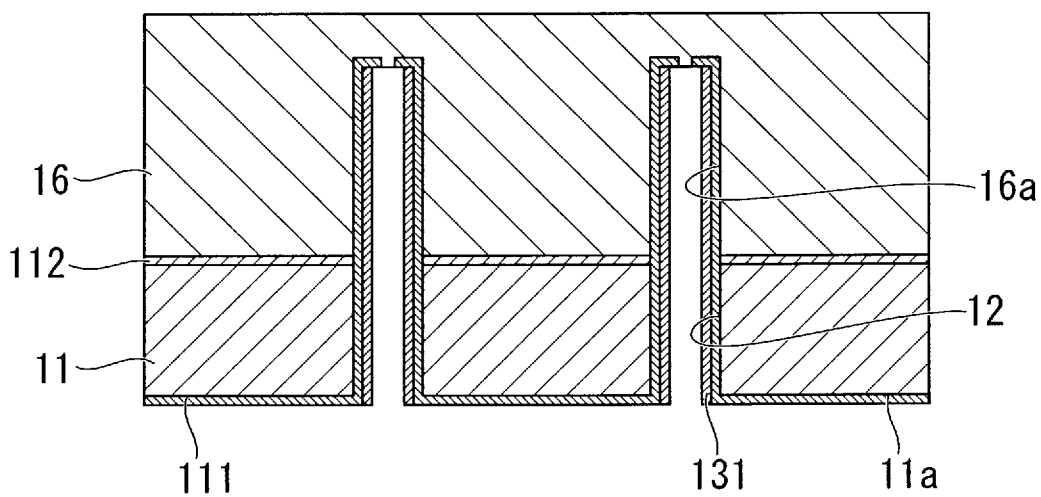
[図10A]



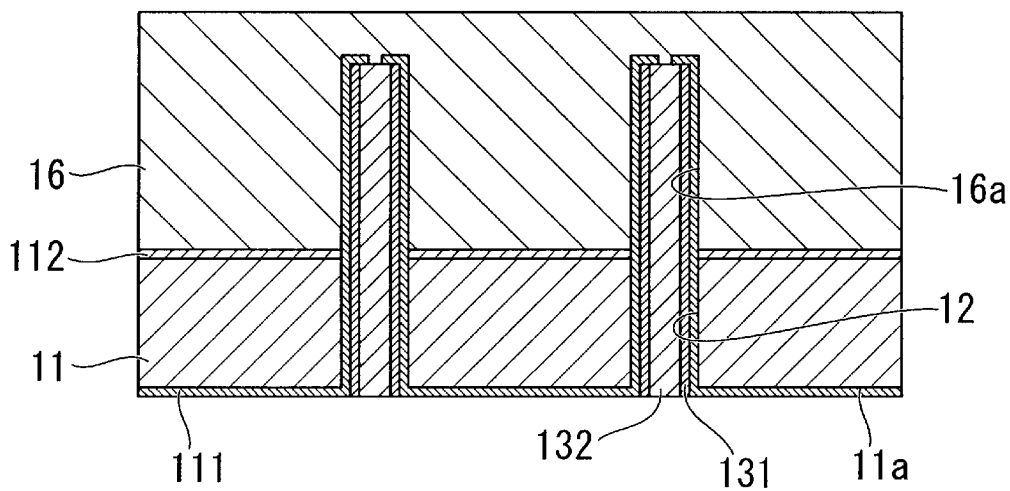
[図10B]



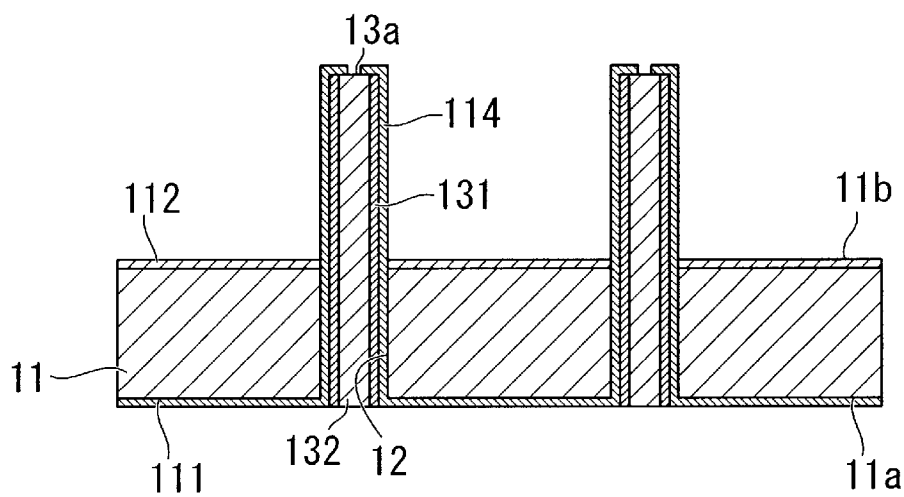
[図10C]



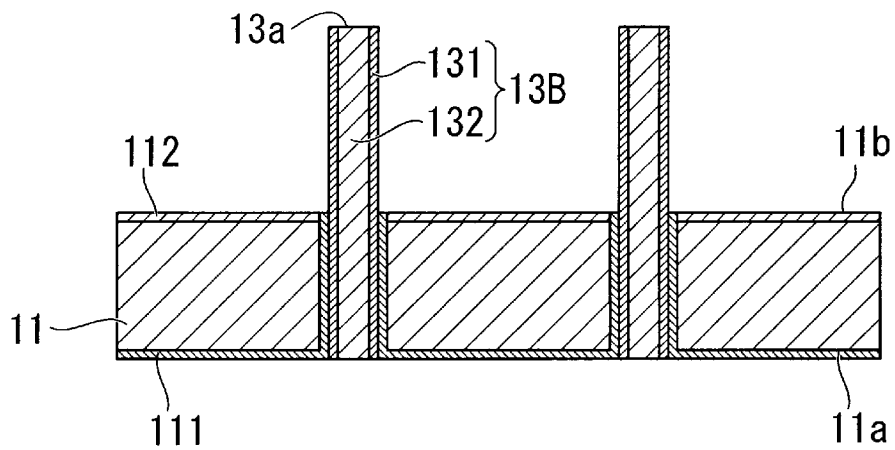
[図11A]



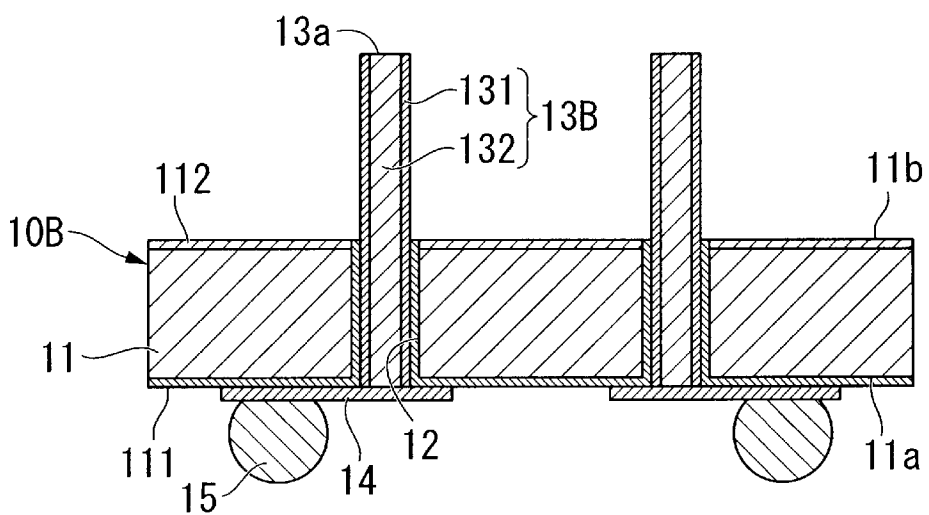
[図11B]



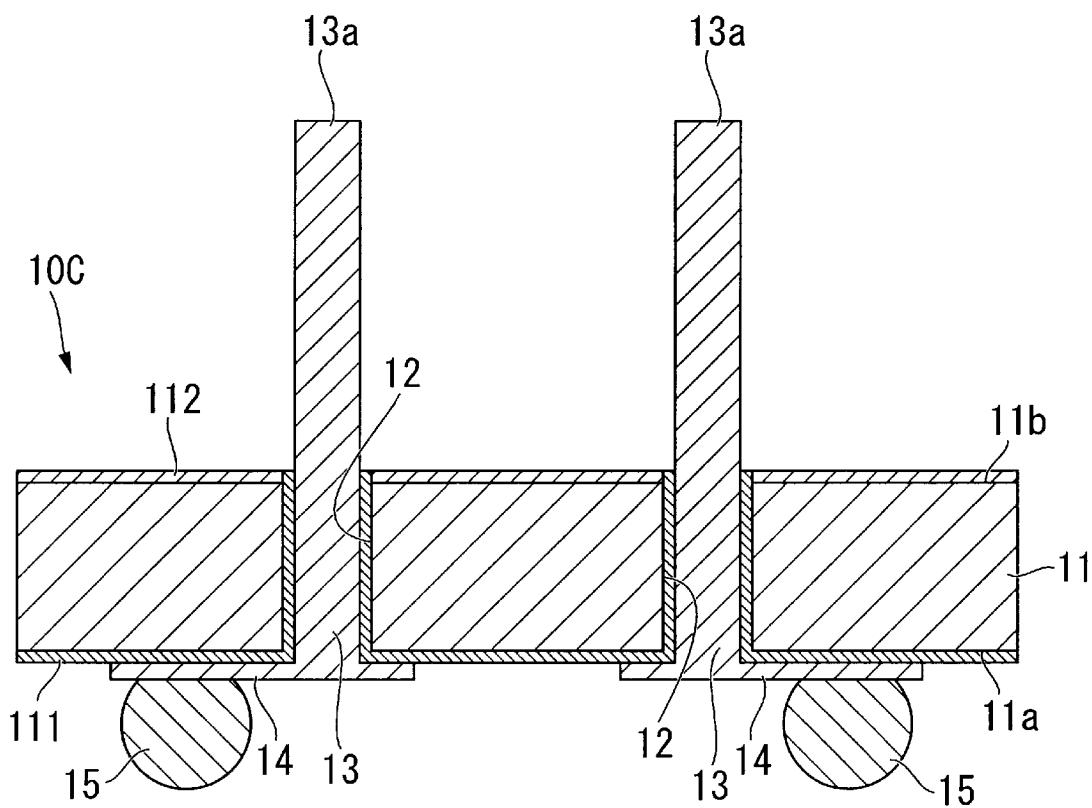
[図11C]



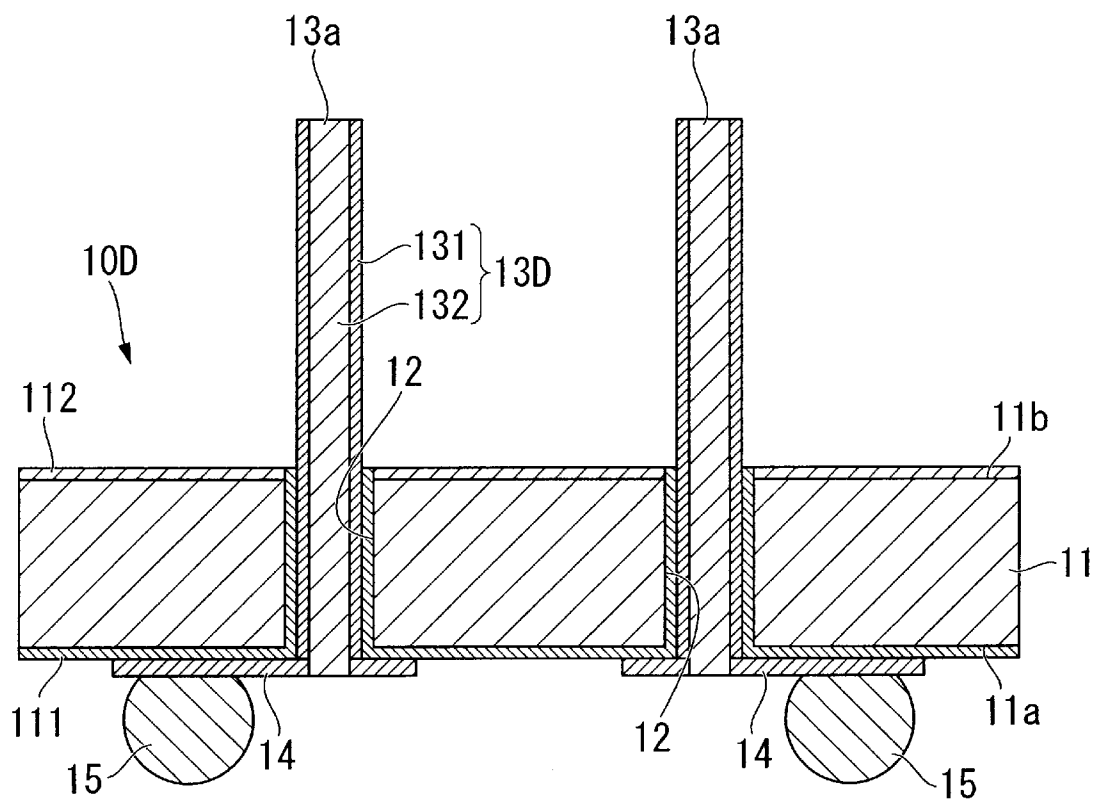
[図11D]



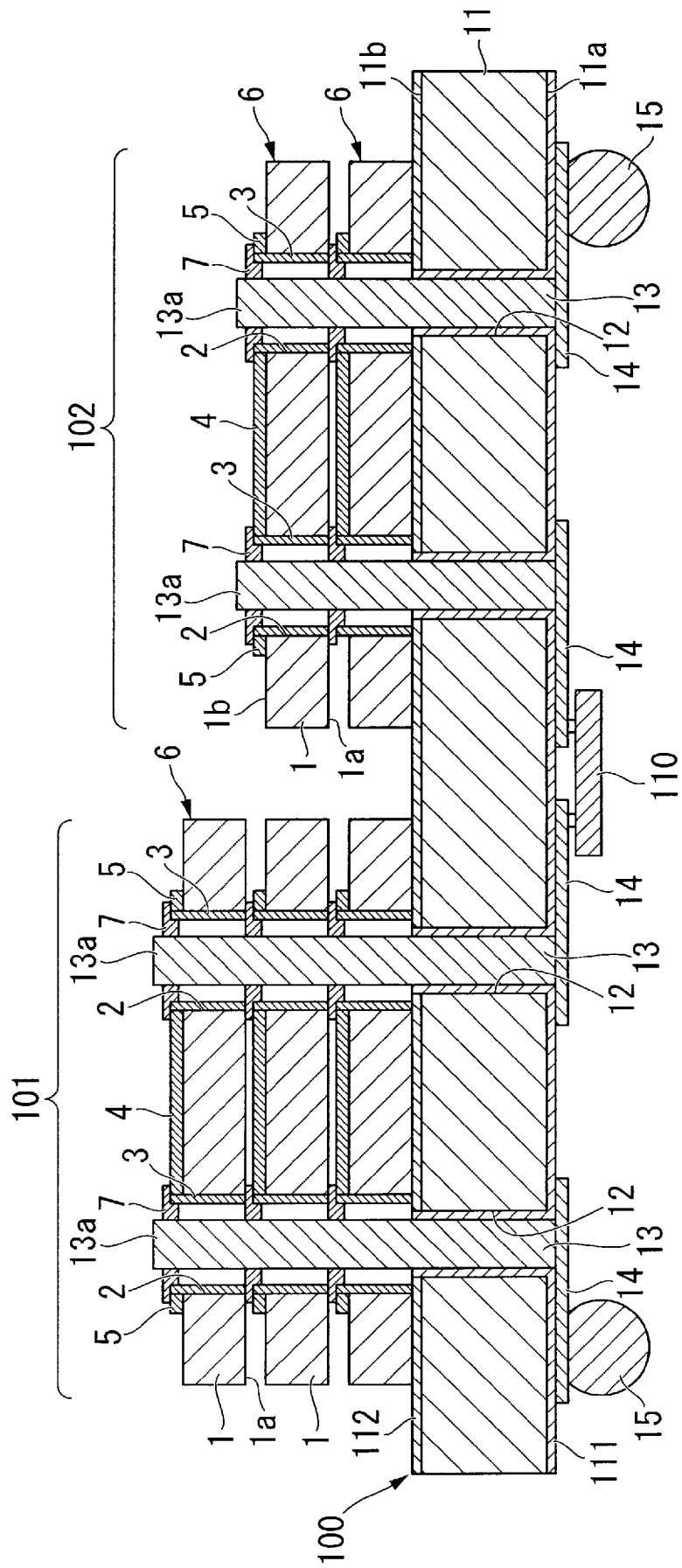
[図12]



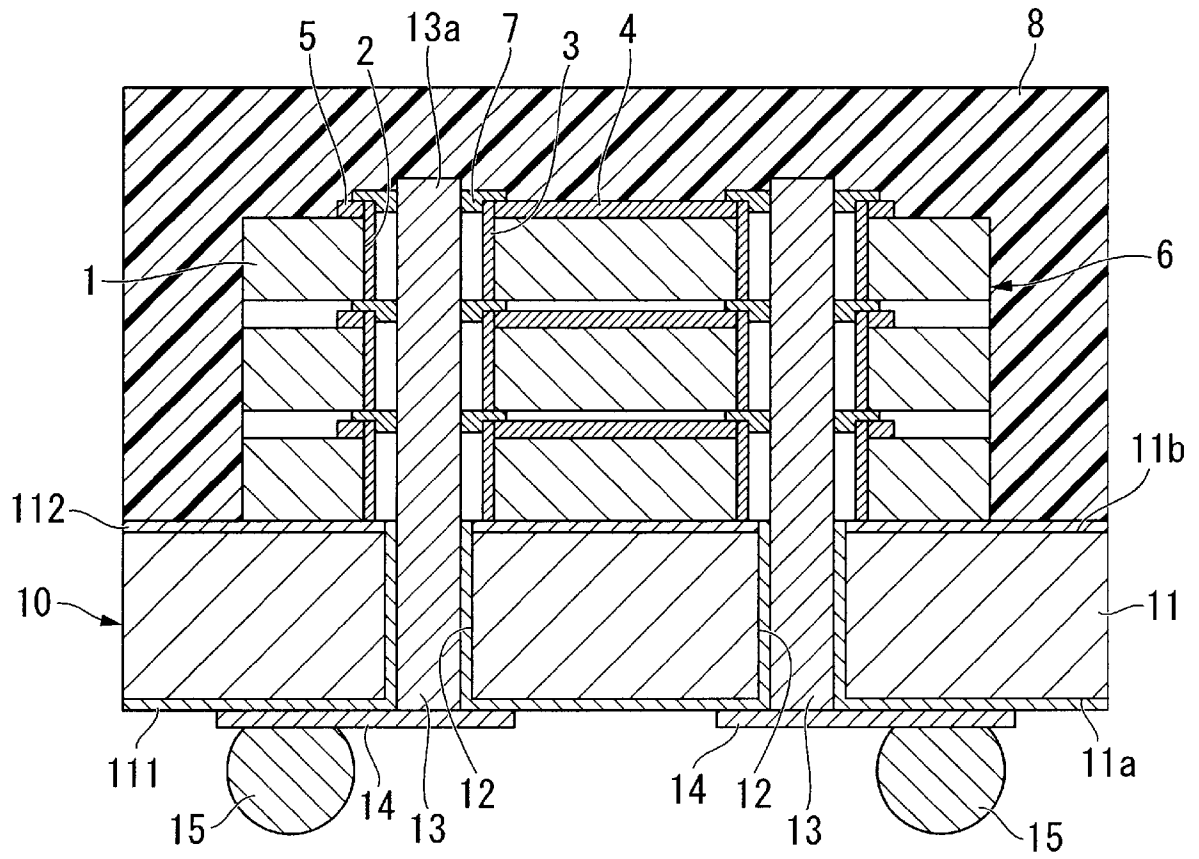
[図13]



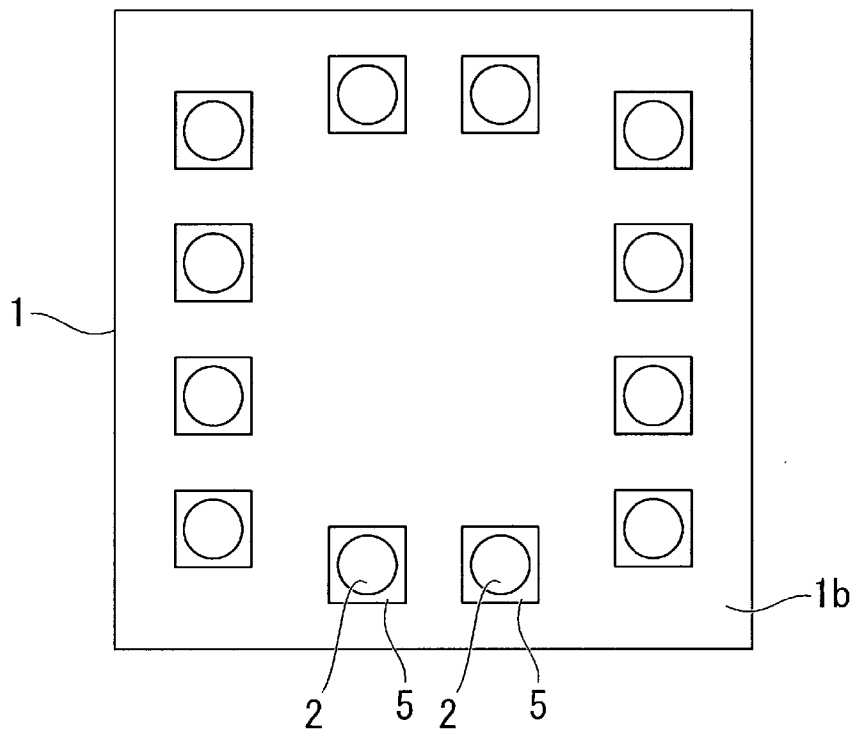
[図14]



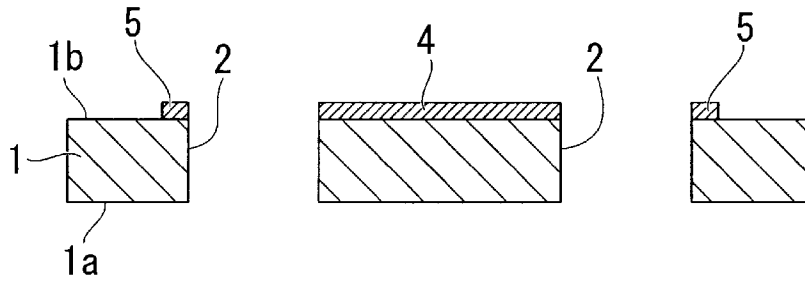
[図15]



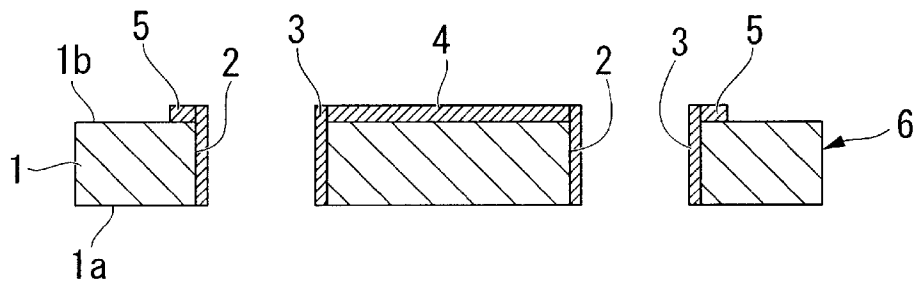
[図16]



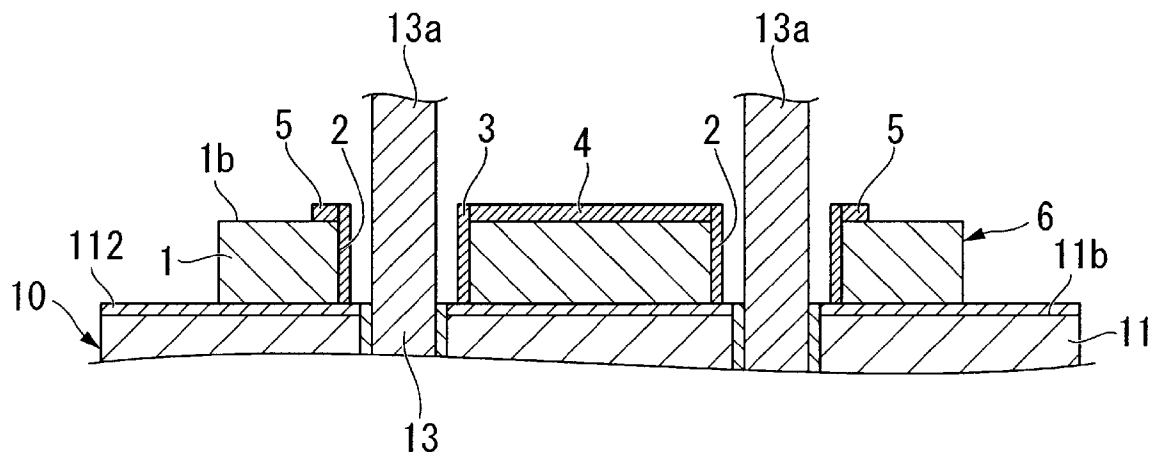
[図17A]



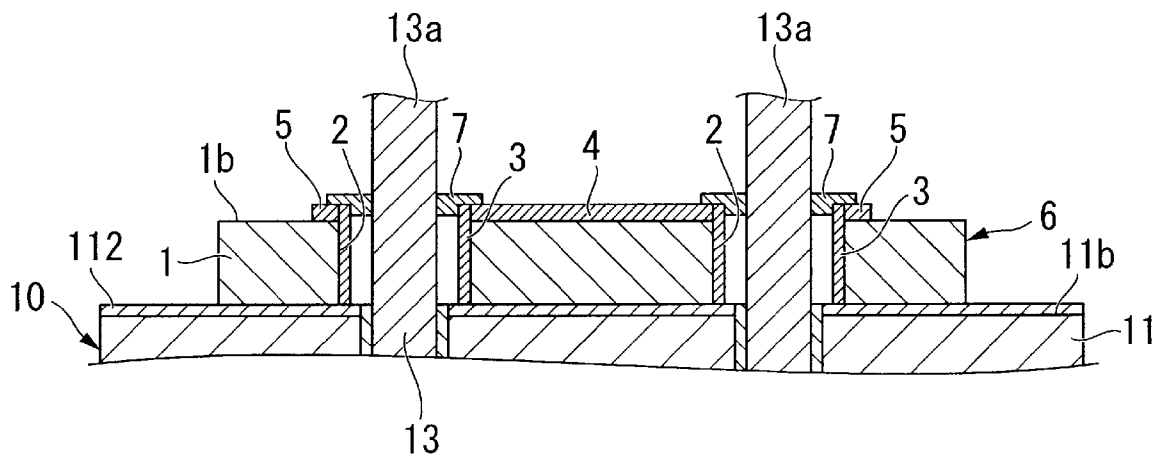
[図17B]



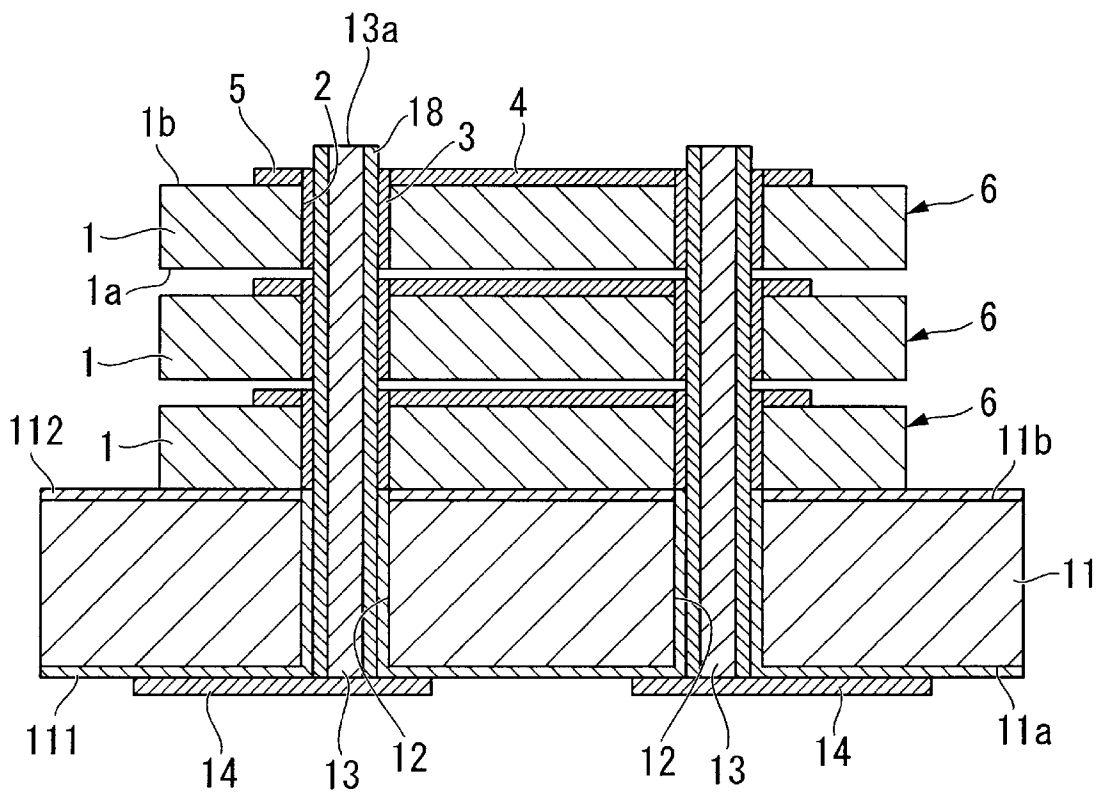
[図17C]



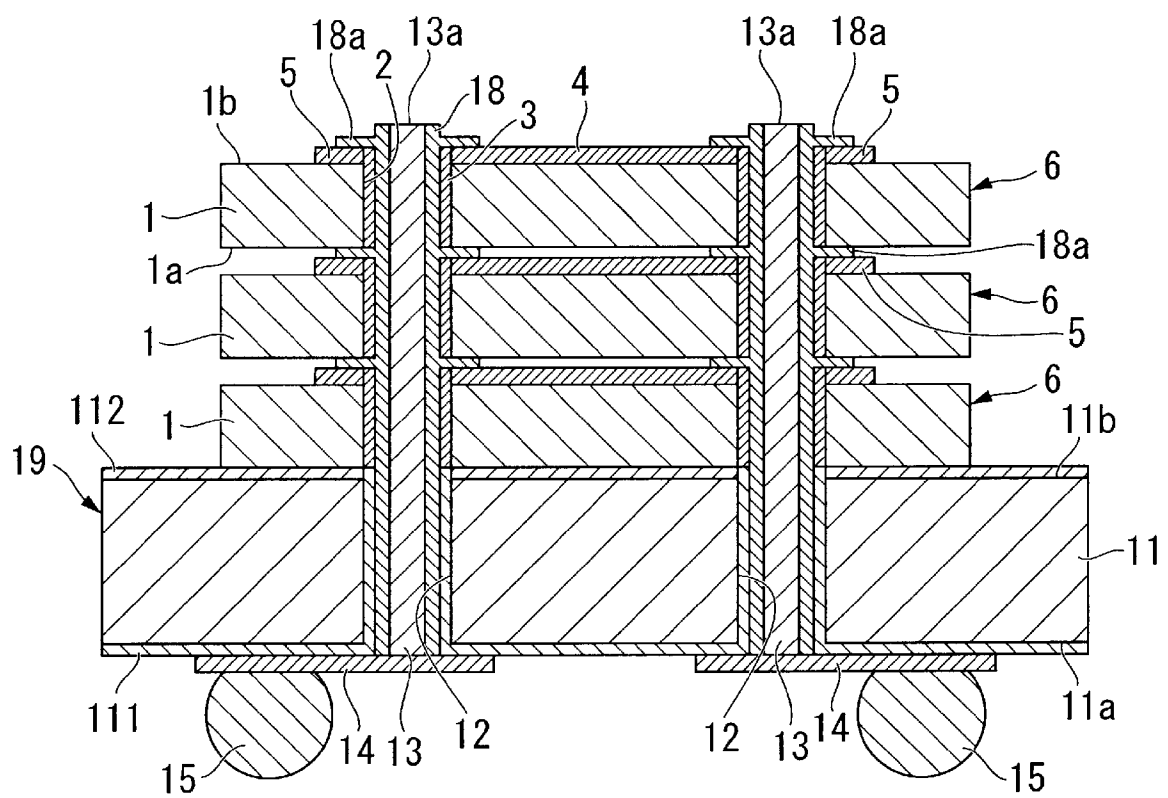
[図17D]



[図18A]



[図18B]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/002598

A. CLASSIFICATION OF SUBJECT MATTER

H01L25/04(2006.01) i, H01L23/12(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L25/04, H01L23/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	WO 2007/029384 A1 (NEC Corp.), 15 March 2007 (15.03.2007), paragraphs [0074] to [0102]; fig. 17 to 20 & US 2009/0278246 A & CN 101258596 A	1-2, 7-8 3-4, 6
Y	JP 2009-71095 A (Spansion L.L.C.), 02 April 2009 (02.04.2009), paragraphs [0016] to [0045]; fig. 1 to 25 & US 2009/0230533 A	3-4
Y A	JP 2008-10825 A (Hynix Semiconductor Inc.), 17 January 2008 (17.01.2008), paragraphs [0016] to [0028]; fig. 1 to 2 & US 2008/0001283 A1 & KR 10-2008-0001589 A & CN 101097906 A	6 5, 9-11

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
21 April, 2010 (21.04.10)

Date of mailing of the international search report
11 May, 2010 (11.05.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/002598

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

A support member equipped with a pin of a magnetic substance (relevant to "through-type electrode" according to the invention in claim 1) having protrusion is described in the document 1 (WO 2007/029384 A1 (NEC Corp.), 15 March 2007 (15.03.2007), [0074] - [0102], fig. 17 - 20). Therefore, the invention in claim 1 is not considered to be novel in the light of the invention described in the document 1, and does not have a special technical feature.

1. As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- No protest accompanied the payment of additional search fees.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L25/04(2006.01)i, H01L23/12(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L25/04, H01L23/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2010年
日本国実用新案登録公報	1996-2010年
日本国登録実用新案公報	1994-2010年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	WO 2007/029384 A1 (日本電気株式会社) 2007.03.15, [0074]-[0102], 図 17-20 & US 2009/0278246 A & CN 101258596 A	1-2, 7-8 3-4, 6
Y	JP 2009-71095 A (スパンション エルエルシー) 2009.04.02, [0016]-[0045], 図 1-25 & US 2009/0230533 A	3-4
Y A	JP 2008-10825 A (株式会社ハイニックスセミコンダクター) 2008.01.17, [0016]-[0028], 図 1-2 & US 2008/0001283 A1 & KR 10-2008-0001589 A & CN 101097906 A	6 5, 9-11

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的な技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

21.04.2010

国際調査報告の発送日

11.05.2010

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

坂本 薫昭

電話番号 03-3581-1101 内線 3471

4R

9265

第II欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、

2. 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、

3. 請求項 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第III欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるときの国際調査機関は認めた。

文献1 (WO 2007/029384 A1 (日本電気株式会社) 2007.03.15, [0074]-[0102], 図17-20)には突出部を有する磁性体ピン（請求項1に係る発明の「貫通電極」に相当）を有する支持部材が記載されている。したがって、請求項1に係る発明は、文献1に記載された発明に対して新規性が認められず、特別な技術的特徴を有しない。

1. 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- 追加調査手数料の納付はあったが、異議申立てはなかった。