

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6524929号  
(P6524929)

(45) 発行日 令和1年6月5日(2019.6.5)

(24) 登録日 令和1年5月17日(2019.5.17)

(51) Int.Cl. F 1  
H02M 7/48 (2007.01) H02M 7/48 M

請求項の数 11 (全 27 頁)

<p>(21) 出願番号 特願2016-13530 (P2016-13530)                  (22) 出願日 平成28年1月27日 (2016.1.27)                  (65) 公開番号 特開2017-135850 (P2017-135850A)                  (43) 公開日 平成29年8月3日 (2017.8.3)                  審査請求日 平成30年4月13日 (2018.4.13)</p>	<p>(73) 特許権者 000004260                  株式会社デンソー                  愛知県刈谷市昭和町1丁目1番地                  (74) 代理人 110000604                  特許業務法人 共立                  (72) 発明者 前原 冬樹                  愛知県刈谷市昭和町1丁目1番地 株式会                  社デンソー内                  (72) 発明者 小野 英則                  愛知県刈谷市昭和町1丁目1番地 株式会                  社デンソー内                  審査官 遠藤 尊志</p>
--	---

最終頁に続く

(54) 【発明の名称】 電力変換装置

(57) 【特許請求の範囲】

【請求項1】

複数のスイッチング素子を備えたスイッチング回路を少なくとも1つ有する半導体モジュール(5~7)と、

前記半導体モジュール内に一体的に設けられ、前記スイッチング素子に関連する異常を検出する少なくとも1つの異常検出回路(54)と、

前記半導体モジュール内に一体的に設けられ、前記半導体モジュール内で前記異常検出回路及び前記スイッチング回路に接続され、前記異常検出回路が異常を検出した場合、前記スイッチング素子を保護する少なくとも1つの保護回路(55)と、

前記スイッチング素子に接続され、前記スイッチング素子を駆動する第1プリドライバ(8)と、

前記第1プリドライバに接続され、前記第1プリドライバを介して前記スイッチング素子をスイッチングさせる制御回路(9)と、

を有し、

前記保護回路は、前記スイッチング素子に接続され、前記スイッチング素子をオフ状態にする、前記第1プリドライバとは別の第2プリドライバ(551)を有し、前記第2プリドライバを介して前記スイッチング素子を保護する電力変換装置。

【請求項2】

前記保護回路は、前記異常検出回路が異常を検出した場合、前記スイッチング回路の前記スイッチング素子を全てオフ状態にする請求項1に記載の電力変換装置。

10

20

**【請求項 3】**

前記保護回路は、前記スイッチング素子をオフ状態にする際のターンオフ時間が前記制御回路に比べて長い請求項 1 又は 2 に記載の電力変換装置。

**【請求項 4】**

前記制御回路は、前記保護回路に接続され、必要に応じて前記保護回路を介して前記スイッチング素子をオフ状態にする請求項 3 に記載の電力変換装置。

**【請求項 5】**

前記異常検出回路は、オフ状態になるように前記スイッチング素子を制御しているにも係わらず当該スイッチング素子の端子間電圧がオフ状態端子間電圧閾値以下である場合、異常であると判断する請求項 1 ~ 4 のいずれか 1 項に記載の電力変換装置。

10

**【請求項 6】**

前記異常検出回路は、オン状態になるように前記スイッチング素子を制御しているにも係わらず当該スイッチング素子の端子間電圧がオン状態端子間電圧閾値を超えている場合、異常であると判断する請求項 1 ~ 5 のいずれか 1 項に記載の電力変換装置。

**【請求項 7】**

前記スイッチング回路(50、51、60、61、70、71)は、相補的にスイッチングされる直列接続された2つの前記スイッチング素子(500、501、510、511、600、601、610、611、700、701、710、711)を有し、

前記異常検出回路は、前記スイッチング回路の2つの前記スイッチング素子の制御端子電圧がともにオン状態になるような所定電圧である場合、異常であると判断する請求項 1 ~ 6 のいずれか 1 項に記載の電力変換装置。

20

**【請求項 8】**

前記異常検出回路は、前記スイッチング素子の温度が温度閾値を超えている場合、異常であると判断する請求項 1 ~ 7 のいずれか 1 項に記載の電力変換装置。

**【請求項 9】**

前記半導体モジュール内に一体的に設けられ、前記スイッチング素子の温度に応じて端子間電圧が変化する感温ダイオード(520~523、620~623、720~723)を有し、

前記異常検出回路は、前記感温ダイオードの端子間電圧が前記温度閾値に対応した所定電圧以下である場合、異常であると判断する請求項 8 に記載の電力変換装置。

30

**【請求項 10】**

前記半導体モジュールは、複数の前記スイッチング回路を有し、

前記異常検出回路及び前記保護回路は、それぞれ前記スイッチング回路の数より少ない所定数設けられている請求項 1 ~ 9 のいずれか 1 項に記載の電力変換装置。

**【請求項 11】**

前記半導体モジュールは、2つの前記スイッチング回路を有し、

前記異常検出回路及び前記保護回路は、それぞれ1つ設けられている請求項 10 に記載の電力変換装置。

**【発明の詳細な説明】****【技術分野】**

40

**【0001】**

本発明は、スイッチング素子と、スイッチング素子に関連する異常を検出する異常検出回路と、異常検出回路が異常を検出した場合、スイッチング素子を保護する保護回路とを備えた電力変換装置に関する。

**【背景技術】****【0002】**

従来、スイッチング素子と、スイッチング素子に関連する異常を検出する異常検出回路と、異常検出回路が異常を検出した場合、スイッチング素子を保護する保護回路とを備えた電力変換装置として、以下に示す特許文献 1 に開示されているモータ制御装置や、特許文献 2 に開示されている電力変換装置がある。

50

## 【0003】

特許文献1に開示されているモータ制御装置は、スイッチング素子と、短絡検出回路と、ドライバ部とを備えている。短絡検出回路は、スイッチング素子の短絡を検出する回路である。短絡検出回路は、スイッチング素子とは別に設けられ、配線を介してスイッチング素子に接続されている。ドライバ部は、スイッチング素子を駆動する回路である。ドライバ部は、スイッチング素子や短絡検出回路とは別に設けられ、配線を介してスイッチング素子や短絡検出回路に接続されている。ドライバ部は、スイッチング素子が正常である場合、制御信号に基づいてスイッチング素子をスイッチングさせる。一方、短絡検出回路がスイッチング素子の短絡を検出した場合、スイッチング素子をオフ状態にして、スイッチング素子を保護する。ここで、短絡検出回路が異常検出回路に、ドライバ部が保護回路に相当する。

10

## 【0004】

特許文献2に開示されている電力変換装置は、パワーMOSFETと、電圧検出回路と、制御回路とを備えている。電圧検出回路は、パワーMOSFETによって構成される電力変換回路の直流端子間の電圧を検出する回路である。電圧検出回路は、パワーMOSFETとは別に設けられ、配線を介してパワーMOSFETに接続されている。制御回路は、パワーMOSFETを駆動する回路である。制御回路は、パワーMOSFETや電圧検出回路とは別に設けられ、配線を介してパワーMOSFETや電圧検出回路に接続されている。制御回路は、電圧検出回路の検出結果に基づいてパワーMOSFETの短絡の有無を判断する。そして、パワーMOSFETが正常であると判断した場合、スイッチング素子を所定のタイミングでスイッチングさせる。一方、パワーMOSFETが短絡していると判断した場合、パワーMOSFETをオフ状態にして、パワーMOSFETを保護する。ここで、パワーMOSFETがスイッチング素子に、電圧検出回路及び制御回路が異常検出回路に、制御回路が保護回路に相当する。

20

## 【先行技術文献】

## 【特許文献】

## 【0005】

【特許文献1】特開2013-118777号公報

【特許文献2】特開2010-141990号公報

## 【発明の概要】

30

## 【発明が解決しようとする課題】

## 【0006】

前述した電力変換装置では、異常検出回路がスイッチング素子とは別に設けられ、配線を介してスイッチング素子に接続されている。また、保護回路もスイッチング素子や異常検出回路とは別に設けられ、配線を介してスイッチング素子や異常検出回路に接続されている。そのため、配線の抵抗等の影響によって異常検出回路の検出結果に誤差が生じる可能性がある。誤差が大きい場合、異常を誤検出してしまう恐れがある。また、配線の影響によって検出結果や制御信号の伝達に遅れが生じる可能性がある。遅れが大きい場合、スイッチング素子を保護しきれない恐れがある。

40

## 【0007】

本発明はこのような事情に鑑みてなされたものであり、スイッチング素子に関連する異常を正確に検出でき、スイッチング素子を速やかに保護することができる電力変換装置を提供することを目的とする。

## 【課題を解決するための手段】

## 【0008】

上記課題を解決するためになされた請求項1に記載された本発明は、複数のスイッチング素子を備えたスイッチング回路を少なくとも1つ有する半導体モジュールと、半導体モジュール内に一体的に設けられ、スイッチング素子に関連する異常を検出する少なくとも1つの異常検出回路と、半導体モジュール内に一体的に設けられ、半導体モジュール内で異常検出回路及びスイッチング回路に接続され、異常検出回路が異常を検出した場合、ス

50

スイッチング素子を保護する少なくとも1つの保護回路と、スイッチング素子に接続され、スイッチング素子を駆動する第1プリドライバと、第1プリドライバに接続され、第1プリドライバを介してスイッチング素子をスイッチングさせる制御回路と、を有し、保護回路は、スイッチング素子に接続され、スイッチング素子をオフ状態にする、第1プリドライバとは別の第2プリドライバを有し、第2プリドライバを介してスイッチング素子を保護する。この構成によれば、異常検出回路が、異常検出対象であるスイッチング素子の近傍に設けられることになる。また、保護回路が、異常検出回路や、保護対象であるスイッチング素子の近傍に設けられることになる。そのため、従来問題となっていた配線の抵抗等の影響による検出結果の誤差を抑えることができる。また、配線の影響による検出結果や制御信号の伝達遅れを抑えることができる。従って、スイッチング素子に関連する異常を正確に検出でき、スイッチング素子を速やかに保護することができる。

10

## 【0009】

請求項2に記載された発明は、保護回路は、異常検出回路が異常を検出した場合、スイッチング回路のスイッチング素子を全てオフ状態にする。異常が発生した状態でスイッチング素子をオン状態にしておくと、大電流が流れてスイッチング素子が破損する可能性がある。しかし、この構成によれば、異常を検出した場合、スイッチング素子を全てオフ状態にする。そのため、スイッチング素子を確実に保護することができる。

## 【0010】

請求項3に記載された発明は、保護回路は、スイッチング素子をオフ状態にする際のターンオフ時間が制御回路に比べて長い。異常が発生した場合、オン状態であるスイッチング素子に大電流が流れる可能性がある。大電流が流れているスイッチング素子をオフ状態にする場合、正常時に比べサージ電圧が大きくなる。そのため、サージ電圧によってスイッチング素子が破損する可能性がある。しかし、この構成によれば、保護回路は、スイッチング素子のターンオフ時間が制御回路より長い。つまり、異常時におけるスイッチング素子のターンオフ時間が、正常時におけるスイッチング素子のターンオフ時間より長い。そのため、異常時において大電流が流れているスイッチング素子をオフ状態にする場合であっても、サージ電圧を抑えることができる。従って、サージ電圧によるスイッチング素子の破損を抑えることができる。

20

## 【0011】

請求項4に記載された発明は、制御回路は、保護回路に接続され、必要に応じて保護回路を介してスイッチング素子をオフ状態にする。この構成によれば、異常検出回路以外で異常を検出した場合であっても、制御回路及び保護回路を介してスイッチング素子を速やかに保護することができる。

30

## 【0012】

請求項5に記載された発明は、異常検出回路は、オフ状態になるようにスイッチング素子を制御しているにも係わらず当該スイッチング素子の端子間電圧がオフ状態端子間電圧閾値以下である場合、異常であると判断する。この構成によれば、スイッチング素子の短絡故障を確実に検出することができる。

## 【0013】

請求項6に記載された発明は、異常検出回路は、オン状態になるようにスイッチング素子を制御しているにも係わらず当該スイッチング素子の端子間電圧がオン状態端子間電圧閾値を超えている場合、異常であると判断する。この構成によれば、スイッチング素子のオン抵抗異常を確実に検出することができる。

40

## 【0014】

請求項7に記載された発明は、スイッチング回路は、相補的にスイッチングされる直列接続された2つのスイッチング素子を有し、異常検出回路は、スイッチング回路の2つのスイッチング素子の制御端子電圧がともにオン状態になるような所定電圧である場合、異常であると判断する。この構成によれば、スイッチング素子の制御異常を確実に検出することができる。

## 【0015】

50

請求項 8 に記載された発明は、異常検出回路は、スイッチング素子の温度が温度閾値を超えている場合、異常であると判断する。この構成によれば、スイッチング素子の温度異常を確実に検出することができる。

【 0 0 1 6 】

請求項 9 に記載された発明は、半導体モジュール内に一体的に設けられ、スイッチング素子の温度に応じて端子間電圧が変化する感温ダイオードを有し、異常検出回路は、感温ダイオードの端子間電圧が温度閾値に対応した所定電圧以下である場合、異常であると判断する。この構成によれば、感温ダイオードが、半導体モジュール内に一体的に設けられている。そのため、温度検出対象であるスイッチング素子の近傍に設けられることになる。従って、スイッチング素子の温度を正確に検出することができる。また、スイッチング素子の温度を検出する温度センサを別途設ける必要がない。そのため、部品点数を削減することができる。

10

【 0 0 1 7 】

請求項 10 に記載された発明は、半導体モジュールは、複数のスイッチング回路を有し、異常検出回路及び保護回路は、それぞれスイッチング回路の数より少ない所定数設けられている。この構成によれば、スイッチング回路に対して異常検出回路及び保護回路の数を減らすことができる。そのため、半導体モジュール内における異常検出回路及び保護回路の占める領域の増加を抑えることができる。従って、異常検出回路及び保護回路が一体的に設けられた半導体モジュールを小型化することができる。

20

【 0 0 1 8 】

請求項 11 に記載された発明は、半導体モジュールは、2つのスイッチング回路を有し、異常検出回路及び保護回路は、それぞれ1つ設けられている。この構成によれば、半導体モジュールは、2つのスイッチング回路を備えている。そして、2つのスイッチング回路の異常を検出する1つの異常検出回路と、2つのスイッチング回路を保護する1つの保護回路が、半導体モジュール内に一体的に設けられている。そのため、スイッチング回路の数が異なるさまざまな電力変換装置に広く適用することができる。つまり、異常検出回路及び保護回路が一体的に設けられた汎用性の高い半導体モジュールを構成することができる。

【 図面の簡単な説明 】

【 0 0 1 9 】

【 図 1 】 実施形態における制御装置一体型回転電機の回路図である。

【 図 2 】 図 1 に示す第 1 の半導体モジュールの回路図である。

【 図 3 】 図 2 に示す保護 IC 内の第 1 異常検出部の回路図である。

【 図 4 】 図 2 に示す保護 IC 内の第 2 異常検出部の回路図である。

【 図 5 】 図 2 に示す保護 IC 内の第 3 異常検出部の回路図である。

【 図 6 】 図 2 に示す保護 IC 内の第 4 異常検出部の回路図である。

【 図 7 】 図 2 に示す保護 IC 内の第 5 異常検出部の回路図である。

【 図 8 】 図 2 に示す保護 IC 内の保護回路の回路図である。

【 図 9 】 図 1 に示す第 2 の半導体モジュールの回路図である。

【 図 10 】 図 1 に示す第 3 の半導体モジュールの回路図である。

40

【 図 11 】 図 3 に示す第 1 異常検出部の動作を説明するためのタイムチャートである。

【 図 12 】 図 3 に示す第 1 異常検出部の動作を説明するための別のタイムチャートである。

【 図 13 】 図 5 に示す第 3 異常検出部の動作を説明するためのタイムチャートである。

【 図 14 】 図 7 に示す第 5 異常検出部の動作を説明するためのタイムチャートである。

【 図 15 】 図 8 に示す保護回路の動作を説明するためのタイムチャートである。

【 発明を実施するための形態 】

【 0 0 2 0 】

次に、実施形態を挙げ、本発明をより詳しく説明する。本実施形態では、本発明に係る電力変換装置を、車両に搭載される制御装置一体型回転電機に適用した例を示す。

50

## 【 0 0 2 1 】

図 1 ~ 図 1 0 を参照して実施形態の制御装置一体型回転電機の構成について説明する。

## 【 0 0 2 2 】

図 1 に示す制御装置一体型回転電機 1 は、車両に搭載され、バッテリー B A T から電力が供給されることで、車両を駆動するための駆動力を発生する装置である。また、車両のエンジンから駆動力が供給されることで、バッテリー B A T を充電するための電力を発生する装置でもある。制御装置一体型回転電機 1 は、回転電機 2 と、制御装置 3 とを備えている。ここで、制御装置 3 が本発明の電力変換装置に相当する。

## 【 0 0 2 3 】

回転電機 2 は、バッテリー B A T から電力が供給されることで、車両を駆動するための駆動力を発生する機器である。また、エンジンから駆動力が供給されることで、バッテリー B A T を充電するための電力を発生する機器でもある。回転電機 2 は、固定子 2 0 と、回転子 2 1 と、回転角度検出装置 2 2 とを備えている。

10

## 【 0 0 2 4 】

固定子 2 0 は、磁路の一部を構成するとともに、電流が流れることで回転磁界を発生する部材である。また、磁路の一部を構成するとともに、回転子 2 1 の発生する磁束と鎖交することで交流を発生する部材でもある。固定子 2 0 は、固定子巻線 2 0 0、2 0 1 を備えている。固定子巻線 2 0 0 は、U 相巻線 2 0 0 a、V 相巻線 2 0 0 b 及び W 相巻線 2 0 0 c を Y 結線して構成されている。固定子巻線 2 0 1 は、U 相巻線 2 0 1 a、V 相巻線 2 0 1 b 及び W 相巻線 2 0 1 c を Y 結線して構成されている。U 相巻線 2 0 0 a、2 0 1 a、V 相巻線 2 0 0 b、2 0 1 b 及び W 相巻線 2 0 0 c、2 0 1 c は、制御装置 3 にそれぞれ接続されている。

20

## 【 0 0 2 5 】

回転子 2 1 は、磁路の一部を構成するとともに、電流が流れることで磁極を形成する部材である。回転子 2 1 は、界磁巻線 2 1 0 を備えている。界磁巻線 2 1 0 は、制御装置 3 に接続されている。

## 【 0 0 2 6 】

回転角度検出装置 2 2 は、回転子 2 1 の回転角度を検出装置である。回転角度検出装置 2 2 は、制御装置 3 に接続されている。

## 【 0 0 2 7 】

制御装置 3 は、回転電機 2 に駆動力を発生させるために、バッテリー B A T から回転電機 2 に供給される電力を制御する装置である。また、バッテリー B A T を充電するために、回転電機 2 の発生した電力を変換してバッテリー B A T に供給する装置でもある。制御装置 3 は、平滑コンデンサ 4 と、半導体モジュール 5 ~ 7 と、ブリドライバ 8 と、制御回路 9 とを備えている。

30

## 【 0 0 2 8 】

平滑コンデンサ 4 は、バッテリー B A T から供給される直流を平滑化するための素子である。平滑コンデンサ 4 の一端は、バッテリー B A T の正極端に接続されている。また、他端は、バッテリー B A T の負極端が接続される電位基準点であるグラウンド G N D に接続されている。具体的には、車体に接続されている。

40

## 【 0 0 2 9 】

半導体モジュール 5 ~ 7 は、制御回路 9 によって制御され、バッテリー B A T から供給される直流を 3 相交流に変換して固定子巻線 2 0 0、2 0 1 に供給するモジュールである。また、固定子巻線 2 0 0、2 0 1 の発生する 3 相交流を直流に変換してバッテリー B A T に供給するモジュールでもある。具体的には、半導体モジュール 5 と半導体モジュール 6 の一部が、バッテリー B A T から供給される直流を 3 相交流に変換して固定子巻線 2 0 0 に供給する。また、固定子巻線 2 0 0 の発生する 3 相交流を直流に変換してバッテリー B A T に供給する。半導体モジュール 6 の一部と半導体モジュール 7 が、バッテリー B A T から供給される直流を 3 相交流に変換して固定子巻線 2 0 1 に供給する。また、固定子巻線 2 0 1 の発生する 3 相交流を直流に変換してバッテリー B A T に供給する。

50

## 【 0 0 3 0 】

図 2 に示すように、半導体モジュール 5 は、スイッチング回路 5 0、5 1 と、感温ダイオード 5 2 0 ~ 5 2 3 と、保護 I C 5 3 とを備えている。

## 【 0 0 3 1 】

スイッチング回路 5 0 は、制御回路 9 によって制御され、スイッチングすることでバッテリーから供給される直流を交流に変換して U 相巻線 2 0 0 a に供給する回路である。また、U 相巻線 2 0 0 a から供給される交流を直流に変換してバッテリー B A T に供給する回路である。スイッチング回路 5 0 は、F E T 5 0 0、5 0 1 と、抵抗 5 0 2 とを備えている。F E T 5 0 0、5 0 1 は、スイッチングすることで直流を交流に変換するスイッチング素子である。抵抗 5 0 2 は電流を検出するための素子である。F E T 5 0 0、5 0 1 はドレイン - ソース間にダイオードを備えている。F E T 5 0 0、5 0 1 は直列接続されている。F E T 5 0 0 のソースが F E T 5 0 1 のドレインに接続されている。F E T 5 0 0 のドレインは、バッテリー B A T に接続される半導体モジュール 5 の端子 B に接続されている。F E T 5 0 1 のソースは、抵抗 5 0 2 を介して、グランド G N D に接続される半導体モジュール 5 の端子 G に接続されている。抵抗 5 0 2 の F E T 5 0 1 側の一端は、制御回路 9 に接続される半導体モジュール 5 の端子 S 1 +、及び、保護 I C 5 3 の端子 L S 1 にそれぞれ接続されている。抵抗 5 0 2 の端子 G 側の他端は、制御回路 9 に接続される半導体モジュール 5 の端子 S 1 - に接続されている。F E T 5 0 0、5 0 1 の直列接続点は、U 相巻線 2 0 0 a に接続される半導体モジュール 5 の端子 P 1 に接続されている。

10

## 【 0 0 3 2 】

スイッチング回路 5 0 は、F E T 5 0 0、5 0 1 を所定のタイミングで相補的にスイッチングすることで、バッテリー B A T から供給される直流を交流に変換して U 相巻線 2 0 0 a に供給する。また、F E T 5 0 0、5 0 1 のダイオードによって U 相巻線 2 0 0 a から供給される交流を直流に変換してバッテリー B A T に供給する。

20

## 【 0 0 3 3 】

スイッチング回路 5 1 は、制御回路 9 によって制御され、スイッチングすることでバッテリーから供給される直流を交流に変換して V 相巻線 2 0 0 b に供給する回路である。また、V 相巻線 2 0 0 b から供給される交流を直流に変換してバッテリー B A T に供給する回路である。スイッチング回路 5 1 は、F E T 5 1 0、5 1 1 と、抵抗 5 1 2 とを備えている。F E T 5 1 0、5 1 1 は、スイッチングすることで直流を交流に変換するスイッチング素子である。抵抗 5 1 2 は電流を検出するための素子である。F E T 5 1 0、5 1 1 はドレイン - ソース間にダイオードを備えている。F E T 5 1 0、5 1 1 は直列接続されている。F E T 5 1 0 のソースが F E T 5 1 1 のドレインに接続されている。F E T 5 1 0 のドレインは、バッテリー B A T に接続される半導体モジュール 5 の端子 B に接続されている。F E T 5 0 1 のソースは、抵抗 5 1 2 を介して、グランド G N D に接続される半導体モジュール 5 の端子 G に接続されている。抵抗 5 1 2 の F E T 5 1 1 側の一端は、制御回路 9 に接続される半導体モジュール 5 の端子 S 2 +、及び、保護 I C 5 3 の端子 L S 2 にそれぞれ接続されている。抵抗 5 1 2 の端子 G 側の他端は、制御回路 9 に接続される半導体モジュール 5 の端子 S 2 - に接続されている。F E T 5 1 0、5 1 1 の直列接続点は、V 相巻線 2 0 0 b に接続される半導体モジュール 5 の端子 P 2 に接続されている。

30

40

## 【 0 0 3 4 】

スイッチング回路 5 1 は、F E T 5 1 0、5 1 1 を所定のタイミングで相補的にスイッチングすることで、バッテリー B A T から供給される直流を交流に変換して V 相巻線 2 0 0 b に供給する。また、F E T 5 1 0、5 1 1 のダイオードによって V 相巻線 2 0 0 b から供給される交流を直流に変換してバッテリー B A T に供給する。

## 【 0 0 3 5 】

感温ダイオード 5 2 0 ~ 5 2 3 は、F E T 5 0 0、5 0 1、5 1 0、5 1 1 の温度をそれぞれ検出するための素子である。具体的には、定電流を流すことで温度に応じた電圧を出力する素子である。より具体的には、温度上昇に伴って電圧が低下する素子である。感温ダイオード 5 2 0 ~ 5 2 3 は、それぞれ直列接続され、保護 I C 5 3 にそれぞれ接続さ

50

れている。

【0036】

保護IC53は、半導体モジュール5内に一体的に設けられ、FET500、501、510、511に関連する異常を検出し、FET500、501、510、511を保護する素子である。保護IC53は、図3～図7に示す異常検出回路54と、図8に示す保護回路55とを備えている。

【0037】

図3～図7に示す異常検出回路54は、FET500、501、510、511に関連する異常を検出する回路である。異常検出回路54は、第1～第5異常検出部540～544を備えている。

10

【0038】

図3に示す第1異常検出部540は、FET500、501の異常を検出するブロックである。具体的には、FET500、501の短絡及びオン抵抗異常を検出するブロックである。第1異常検出部540は、差電圧検出回路540a～540dと、コンパレータ540e～540jと、判定回路540k、フィルタ回路540l、540mと、ラッチ回路540n、540oと、OR回路540pとを備えている。

【0039】

差電圧検出回路540aは、FET500のゲート電圧とソース電圧から、それらの差電圧であるゲート-ソース間電圧 $V_{gs}$ を検出し出力する回路である。ここで、FETのゲート-ソース間電圧 $V_{gs}$ が本発明のスイッチング素子の制御端子電圧に相当する。差電圧検出回路540aの一方の入力端はFET500のゲートに接続される保護IC53の端子HG1に、他方の入力端はFET500のソースに接続される保護IC53の端子HS1にそれぞれ接続されている。

20

【0040】

差電圧検出回路540bは、FET500のドレイン電圧とソース電圧から、それらの差電圧であるドレイン-ソース間電圧 $V_{ds}$ を検出し出力する回路である。ここで、FETのドレイン-ソース間電圧 $V_{ds}$ が本発明のスイッチング素子の端子間電圧に相当する。差電圧検出回路540bの一方の入力端はFET500のドレインに接続される保護IC53の端子B1に、他方の入力端はFET500のソースに接続される保護IC53の端子HS1にそれぞれ接続されている。

30

【0041】

差電圧検出回路540cは、FET501のゲート電圧とソース電圧から、それらの差電圧であるゲート-ソース間電圧 $V_{gs}$ を検出し出力する回路である。差電圧検出回路540cの一方の入力端はFET501のゲートに接続される保護IC53の端子LG1に、他方の入力端はFET501のソースに接続される保護IC53の端子LS1にそれぞれ接続されている。

【0042】

差電圧検出回路540dは、FET501のドレイン電圧とソース電圧から、それらの差電圧であるドレイン-ソース間電圧 $V_{ds}$ を検出し出力する回路である。差電圧検出回路540dの一方の入力端はFET501のドレインに接続される保護IC53の端子HS1に、他方の入力端はFET501のソースに接続される保護IC53の端子LS1にそれぞれ接続されている。

40

【0043】

コンパレータ540eは、差電圧検出回路540aの出力するFET500のゲート-ソース間電圧 $V_{gs}$ を電圧閾値 $V_{th1}$ と比較し、比較結果を出力する素子である。FETは、ゲート-ソース間電圧 $V_{gs}$ によってオン状態になるように制御されているかオフ状態になるように制御されているかが決まる。電圧閾値 $V_{th1}$ は、FETのゲート-ソース間電圧 $V_{gs}$ に基づいてオン状態になるように制御されているかオフ状態になるように制御されているかを判断できる所定電圧に設定されている。コンパレータ540eは、FET500がオン状態になるように制御されている場合、ゲート-ソース間電圧 $V_{gs}$

50

が電圧閾値  $V_{th1}$  より大きくなり、出力電圧がハイレベル  $H$  になる。一方、 $FET500$  がオフ状態になるように制御されている場合、ゲート - ソース間電圧  $V_{gs}$  が電圧閾値  $V_{th1}$  より小さくなり、出力電圧がローレベル  $L$  になる。コンパレータ  $540e$  の非反転入力端は差電圧検出回路  $540a$  の出力端に、反転入力端は電圧閾値  $V_{th1}$  に設定された基準電源にそれぞれ接続されている。

【0044】

コンパレータ  $540f$  は、差電圧検出回路  $540b$  の出力する  $FET500$  のドレイン - ソース間電圧  $V_{ds}$  を電圧閾値  $V_{th2}$  と比較し、比較結果を出力する素子である。 $FET$  は、オン状態の場合とオフ状態の場合でドレイン - ソース間電圧  $V_{ds}$  が変化する。電圧閾値  $V_{th2}$  は、 $FET$  のドレイン - ソース間電圧  $V_{ds}$  に基づいてオン状態であるかオフ状態であるかを判断できる所定電圧に設定されている。ここで、電圧閾値  $V_{th2}$  が本発明のオフ状態端子間電圧閾値に相当する。コンパレータ  $540f$  は、 $FET500$  がオン状態である場合、ドレイン - ソース間電圧  $V_{ds}$  が電圧閾値  $V_{th2}$  より小さくなり、出力電圧がローレベル  $L$  になる。一方、 $FET500$  がオフ状態である場合、ドレイン - ソース間電圧  $V_{ds}$  が電圧閾値  $V_{th2}$  より大きくなり、出力電圧がハイレベル  $H$  になる。コンパレータ  $540f$  の非反転入力端は差電圧検出回路  $540b$  の出力端に、反転入力端は電圧閾値  $V_{th2}$  に設定された基準電源にそれぞれ接続されている。

10

【0045】

コンパレータ  $540g$  は、差電圧検出回路  $540b$  の出力する  $FET500$  のドレイン - ソース間電圧  $V_{ds}$  を電圧閾値  $V_{th3}$  と比較し、比較結果を出力する素子である。 $FET$  は、オン状態である場合、ドレイン - ソース間に所定のオン抵抗を有する。このとき、電流が流れることで、ドレイン - ソース間電圧  $V_{ds}$  が、オン抵抗と流れる電流に応じた所定電圧になる。 $FET$  の異常に伴ってオン抵抗が増加した場合、ドレイン - ソース間電圧  $V_{ds}$  が大きくなる。電圧閾値  $V_{th3}$  は、 $FET$  のドレイン - ソース間電圧  $V_{ds}$  に基づいてオン抵抗が増加したことを判断できる所定電圧に設定されている。ここで、電圧閾値  $V_{th3}$  が本発明のオン状態端子間電圧閾値に相当する。コンパレータ  $540g$  は、 $FET500$  のドレイン - ソース間電圧  $V_{ds}$  が電圧閾値  $V_{th3}$  より大きい場合、出力電圧がハイレベル  $H$  になる。一方、 $FET500$  のドレイン - ソース間電圧  $V_{ds}$  が電圧閾値  $V_{th3}$  より以下である場合、出力電圧がローレベル  $L$  になる。コンパレータ  $540g$  の非反転入力端は差電圧検出回路  $540b$  の出力端に、反転入力端は電圧閾値  $V_{th3}$  に設定された基準電源にそれぞれ接続されている。

20

30

【0046】

コンパレータ  $540h$  は、差電圧検出回路  $540c$  の出力する  $FET501$  のゲート - ソース間電圧  $V_{gs}$  を電圧閾値  $V_{th1}$  と比較し、比較結果を出力する素子である。コンパレータ  $540h$  は、 $FET501$  がオン状態になるように制御されている場合、ゲート - ソース間電圧  $V_{gs}$  が電圧閾値  $V_{th1}$  より大きくなり、出力電圧がハイレベル  $H$  になる。一方、 $FET501$  がオフ状態になるように制御されている場合、ゲート - ソース間電圧  $V_{gs}$  が電圧閾値  $V_{th1}$  より小さくなり、出力電圧がローレベル  $L$  になる。コンパレータ  $540h$  の非反転入力端は差電圧検出回路  $540c$  の出力端に、反転入力端は電圧閾値  $V_{th1}$  に設定された基準電源にそれぞれ接続されている。

40

【0047】

コンパレータ  $540i$  は、差電圧検出回路  $540d$  の出力する  $FET501$  のドレイン - ソース間電圧  $V_{ds}$  を電圧閾値  $V_{th2}$  と比較し、比較結果を出力する素子である。コンパレータ  $540i$  は、 $FET501$  がオン状態である場合、ドレイン - ソース間電圧  $V_{ds}$  が電圧閾値  $V_{th2}$  より小さくなり、出力電圧がローレベル  $L$  になる。一方、 $FET501$  がオフ状態である場合、ドレイン - ソース間電圧  $V_{ds}$  が電圧閾値  $V_{th2}$  より大きくなり、出力電圧がハイレベル  $H$  になる。コンパレータ  $540i$  の非反転入力端は差電圧検出回路  $540d$  の出力端に、反転入力端は電圧閾値  $V_{th2}$  に設定された基準電源にそれぞれ接続されている。

【0048】

50

コンパレータ540jは、差電圧検出回路540dの出力するFET501のドレイン-ソース間電圧 $V_{ds}$ を電圧閾値 $V_{th3}$ と比較し、比較結果を出力する素子である。コンパレータ540jは、FET501のドレイン-ソース間電圧 $V_{ds}$ が電圧閾値 $V_{th3}$ より大きい場合、出力電圧がハイレベルHになる。一方、FET501のドレイン-ソース間電圧 $V_{ds}$ が電圧閾値 $V_{th3}$ より以下である場合、出力電圧がローレベルLになる。コンパレータ540jの非反転入力端は差電圧検出回路540dの出力端に、反転入力端は電圧閾値 $V_{th3}$ の基準電源にそれぞれ接続されている。

【0049】

判定回路540kは、コンパレータ540e、540fの出力に基づいてFET500が短絡しているか否か、及び、コンパレータ540h、540iの出力に基づいてFET501が短絡しているか否かを判定する回路である。コンパレータ540e、540gの出力に基づいてFET500のオン抵抗が異常であるか否か、及び、コンパレータ540h、540jの出力に基づいてFET501のオン抵抗が異常であるか否かを判定する回路でもある。判定回路540kは、コンパレータ540eの出力電圧が、FET500がオフ状態になるように制御されていることを示すローレベルLであるにも係わらず、コンパレータ540fの出力電圧が、FET500がオン状態であることを示すローレベルLである場合、FET500が短絡していると判定する。コンパレータ540hの出力電圧が、FET501がオフ状態になるように制御されていることを示すローレベルLであるにも係わらず、コンパレータ540iの出力電圧が、FET501がオン状態であることを示すローレベルLである場合、FET501が短絡していると判定する。そして、FET500、501に少なくともいずれかが短絡していると判定した場合、一方の出力の論理レベルがハイレベルHになる。また、コンパレータ540eの出力電圧が、FET500がオン状態になるように制御されていることを示すハイレベルHであるにも係わらず、コンパレータ540gの出力電圧が、ドレイン-ソース間電圧 $V_{ds}$ が大きいことを示すハイレベルHである場合、FET500のオン抵抗が異常であると判定する。コンパレータ540hの出力電圧が、FET501がオン状態になるように制御されていることを示すハイレベルHであるにも係わらず、コンパレータ540jの出力電圧が、ドレイン-ソース間電圧 $V_{ds}$ が大きいことを示すハイレベルHである場合、FET501のオン抵抗が異常であると判定する。そして、FET500、501に少なくともいずれかのオン抵抗が異常であると判定した場合、他方の出力の論理レベルがハイレベルHになる。判定回路540kの入力端はコンパレータ540e~540jの出力端にそれぞれ接続されている。

【0050】

フィルタ回路540l、540mは、判定回路540kの出力に含まれるノイズを除去し、所定の処理時間経過後に出力する回路である。具体的には、デジタルフィルタである。フィルタ回路540lの入力端は判定回路540kの一方の出力端に、フィルタ回路540mの入力端は判定回路540kの他方の出力端にそれぞれ接続されている。

【0051】

ラッチ回路540n、540oは、フィルタ回路540l、540mによってノイズが除去された判定回路540kの出力を所定のホールド時間保持する回路である。ラッチ回路540nは、判定回路540kの出力の論理レベルがFET500、501の少なくともいずれかが短絡していると判定したことを示すハイレベルHである場合、フィルタ回路540lの処理時間経過後に、所定のホールド時間、出力の論理レベルがハイレベルHになる。ラッチ回路540oは、判定回路540kの出力の論理レベルがFET500、501の少なくともいずれかのオン抵抗が異常であると判定したことを示すハイレベルHである場合、フィルタ回路540mの処理時間経過後に、所定のホールド時間、出力の論理レベルがハイレベルHになる。ラッチ回路540nの入力端はフィルタ回路540lの出力端に、ラッチ回路540oの入力端はフィルタ回路540mの出力端にそれぞれ接続されている。

【0052】

10

20

30

40

50

OR回路540pは、ラッチ回路540n、540oの出力の論理和を演算し、演算結果をFET異常1として出力する回路である。OR回路540pは、ラッチ回路540n、540oの少なくともいずれかの出力の論理レベルがハイレベルHである場合、出力の論理レベルがハイレベルHになる。つまり、FET500、501の短絡及びオン抵抗異常を検出した場合、出力の論理レベルがハイレベルHになる。OR回路540pの一方の入力端はラッチ回路540nの出力端に、他方の入力端はラッチ回路540oの出力端にそれぞれ接続されている。

#### 【0053】

図4に示す第2異常検出部541は、FET510、511の異常を検出するブロックである。具体的には、FET510、511の短絡及びオン抵抗異常を検出するブロックである。第2異常検出部541は、差電圧検出回路541a~541dと、コンパレータ541e~541jと、判定回路541kと、フィルタ回路541l、541mと、ラッチ回路541n、541oと、OR回路541pとを備えている。

10

#### 【0054】

差電圧検出回路541a~541dは、入力端の接続を除いて第1異常検出部540の差電圧検出回路540a~540dと同一の回路である。差電圧検出回路541aの一方の入力端はFET510のゲートに接続される保護IC53の端子HG2に、他方の入力端はFET510のソースに接続される保護IC53の端子HS2にそれぞれ接続されている。差電圧検出回路541bの一方の入力端はFET510のドレインに接続される保護IC53の端子B2に、他方の入力端はFET510のソースに接続される保護IC53の端子HS2にそれぞれ接続されている。差電圧検出回路541cの一方の入力端はFET511のゲートに接続される保護IC53の端子LG2に、他方の入力端はFET511のソースに接続される保護IC53の端子LS2にそれぞれ接続されている。差電圧検出回路541dの一方の入力端はFET511のドレインに接続される保護IC53の端子HS2に、他方の入力端はFET511のソースに接続される保護IC53の端子LS2にそれぞれ接続されている。

20

#### 【0055】

コンパレータ541e~541j、判定回路541k、フィルタ回路541l、541m、ラッチ回路541n、541o及びOR回路541pは、第1異常検出部540のコンパレータ540e~540j、判定回路540k、フィルタ回路540l、540m、ラッチ回路540n、540o及びOR回路540pと同一のものであり、同一構成である。

30

#### 【0056】

図5に示す第3異常検出部542は、FET500、501に対する制御異常を検出するブロックである。FET500、501は、本来相補的にスイッチングされる。第3異常検出部542は、FET500、501をともにオン状態にするような異常な制御状態を検出するブロックである。第3異常検出部542は、差電圧検出回路542a、542bと、コンパレータ542c、542dと、AND回路542eと、フィルタ回路542fと、ラッチ回路542gとを備えている。

#### 【0057】

差電圧検出回路542aは、FET500のゲート電圧とソース電圧から、それらの差電圧であるゲート-ソース間電圧 $V_{gs}$ を検出し出力する回路である。差電圧検出回路542aの一方の入力端は保護IC53の端子HG1に、他方の入力端は保護IC53の端子HS1にそれぞれ接続されている。

40

#### 【0058】

差電圧検出回路542bは、FET501のゲート電圧とソース電圧から、それらの差電圧であるゲート-ソース間電圧 $V_{gs}$ を検出し出力する回路である。差電圧検出回路542bの一方の入力端は保護IC53の端子LG1に、他方の入力端は保護IC53の端子LS1にそれぞれ接続されている。

#### 【0059】

50

コンパレータ542cは、差電圧検出回路542aの出力するFET500のゲート-ソース間電圧Vgsを電圧閾値Vth1と比較し、比較結果を出力する素子である。コンパレータ542cは、FET500がオン状態になるように制御されている場合、ゲート-ソース間電圧Vgsが電圧閾値Vth1より大きくなり、出力電圧がハイレベルHになる。一方、FET500がオフ状態になるように制御されている場合、ゲート-ソース間電圧Vgsが電圧閾値Vth1より小さくなり、出力電圧がローレベルLになる。コンパレータ542cの非反転入力端は差電圧検出回路542aの出力端に、反転入力端は電圧閾値Vth1に設定された基準電源にそれぞれ接続されている。

【0060】

コンパレータ542dは、差電圧検出回路542bの出力するFET501のゲート-ソース間電圧Vgsを電圧閾値Vth1と比較し、比較結果を出力する素子である。コンパレータ542dは、FET501がオン状態になるように制御されている場合、ゲート-ソース間電圧Vgsが電圧閾値Vth1より大きくなり、出力電圧がハイレベルHになる。一方、FET501がオフ状態になるように制御されている場合、ゲート-ソース間電圧Vgsが電圧閾値Vth1より小さくなり、出力電圧がローレベルLになる。コンパレータ542dの非反転入力端は差電圧検出回路542bの出力端に、反転入力端は電圧閾値Vth1に設定された基準電源にそれぞれ接続されている。

【0061】

AND回路542eは、コンパレータ542c、542dの出力の論理積を演算し、演算結果を出力する回路である。FET500、501は、本来相補的にスイッチングされる。そのため、FET500、501が、ともにオン状態になるように制御されることはない。AND回路542eは、コンパレータ542cの出力電圧が、FET500がオン状態になるように制御されていることを示すハイレベルHであり、かつ、コンパレータ542dの出力電圧が、FET501がオン状態になるように制御されていることを示すハイレベルHである場合、FET500、501の制御が異常であると判定し、出力の論理レベルがハイレベルHになる。AND回路542eの一方の入力端はコンパレータ542cの出力端に、他方の入力端はコンパレータ542dの出力端にそれぞれ接続されている。

【0062】

フィルタ回路542fは、AND回路542eの出力に含まれるノイズを除去し、所定の処理時間経過後に出力する回路である。具体的には、デジタルフィルタである。フィルタ回路542fの入力端はAND回路542eの出力端に接続されている。

【0063】

ラッチ回路542gは、フィルタ回路542fによってノイズが除去されたAND回路542eの出力を所定のホールド時間保持し、制御異常1として出力する回路である。ラッチ回路542gは、AND回路542e出力の論理レベルがハイレベルHである場合、フィルタ回路542fの処理時間経過後に、所定のホールド時間、出力の論理レベルがハイレベルHになる。つまり、FET500、501をともにオン状態にするような異常な制御状態を検出した場合、出力の論理レベルがハイレベルHになる。ラッチ回路542gの入力端はフィルタ回路542fの出力端に接続されている。

【0064】

図6に示す第4異常検出部543は、FET510、511に対する制御異常を検出するブロックである。FET510、511は、本来相補的にスイッチングされる。第4異常検出部543は、FET510、511をともにオン状態にするような異常な制御状態を検出するブロックである。第4異常検出部543は、差電圧検出回路543a、543bと、コンパレータ543c、543dと、AND回路543eと、フィルタ回路543fと、ラッチ回路543gとを備えている。

【0065】

差電圧検出回路543a、543bは、入力端の接続を除いて第3異常検出部542の差電圧検出回路542a、542b、同一の回路である。差電圧検出回路543aの一方

10

20

30

40

50

の入力端は保護 I C 5 3 の端子 H G 2 に、他方の入力端は保護 I C 5 3 の端子 H S 2 にそれぞれ接続されている。差電圧検出回路 5 4 3 b の一方の入力端は保護 I C 5 3 の端子 L G 2 に、他方の入力端は保護 I C 5 3 の端子 L S 2 にそれぞれ接続されている。

【 0 0 6 6 】

コンパレータ 5 4 3 c、5 4 3 d、AND 回路 5 4 3 e、フィルタ回路 5 4 3 f 及びラッチ回路 5 4 3 g は、第 3 異常検出部 5 4 2 のコンパレータ 5 4 2 c、5 4 2 d、AND 回路 5 4 2 e、フィルタ回路 5 4 2 f 及びラッチ回路 5 4 2 g と同一のものであり、同一構成である。

【 0 0 6 7 】

図 7 に示す第 5 異常検出部 5 4 4 は、F E T 5 0 0、5 0 1、5 1 0、5 1 1 の温度異常を検出ブロックである。第 5 異常検出部 5 4 4 は、定電流回路 5 4 4 a ~ 5 4 4 d と、コンパレータ 5 4 4 e ~ 5 4 4 h と、フィルタ回路 5 4 4 i ~ 5 4 4 l と、OR 回路 5 4 4 m と、ラッチ回路 5 4 4 n とを備えている。

10

【 0 0 6 8 】

定電流回路 5 4 4 a ~ 5 4 4 d は、感温ダイオード 5 2 0 ~ 5 2 3 に定電流を供給する回路である。定電流回路 5 4 4 a ~ 5 4 4 d は、電圧 V c の電源に接続されている。定電流回路 5 4 4 a ~ 5 4 4 d の出力端は、感温ダイオード 5 2 0 ~ 5 2 3 のアノードに接続される保護 I C 5 3 の端子 A H 1、A L 1、A H 2、A L 2 にそれぞれ接続されている。感温ダイオード 5 2 0 ~ 5 2 3 のカソードに接続される保護 I C 5 3 の端子 K H 1、K L 1、K H 2、K L 2 は、グランド G N D に接続される保護 I C 5 3 の端子 G に接続されて

20

【 0 0 6 9 】

コンパレータ 5 4 4 e ~ 5 4 4 h は、感温ダイオード 5 2 0 ~ 5 2 3 の端子間電圧を電圧閾値 V t h 4 と比較し、比較結果を出力する素子である。電圧閾値 V t h 4 は、感温ダイオード 5 2 0 ~ 5 2 3 の端子間電圧に基づいて F E T が温度異常であると判断する温度閾値に対応した所定電圧に設定されている。コンパレータ 5 4 4 e ~ 5 4 4 h は、F E T 5 0 0、5 0 1、5 1 0、5 1 1 の温度が温度閾値より小さい場合、感温ダイオード 5 2 0 ~ 5 2 3 の端子間電圧が電圧閾値 V t h 4 より大きくなり、出力電圧がハイレベル H になる。一方、F E T 5 0 0、5 0 1、5 1 0、5 1 1 の温度が温度閾値以上である場合、感温ダイオード 5 2 0 ~ 5 2 3 の端子間電圧が電圧閾値 V t h 4 以下になり、出力電圧がローレベル L になる。コンパレータ 5 4 4 e ~ 5 4 4 h の非反転入力端は感温ダイオード 5 2 0 ~ 5 2 3 のアノードに接続される保護 I C 5 3 の端子 A H 1、A L 1、A H 2、A L 2 に、反転入力端は電圧閾値 V t h 4 に設定された基準電源にそれぞれ接続されている。

30

【 0 0 7 0 】

フィルタ回路 5 4 4 i ~ 5 4 4 l は、コンパレータ 5 4 4 e ~ 5 4 4 h の出力に含まれるノイズを除去し、所定の処理時間経過後に出力する回路である。具体的には、デジタルフィルタである。フィルタ回路 5 4 4 i ~ 5 4 4 l の入力端はコンパレータ 5 4 4 e ~ 5 4 4 h の出力端にそれぞれ接続されている。

【 0 0 7 1 】

OR 回路 5 4 4 m は、フィルタ回路 5 4 4 i ~ 5 4 4 l によってノイズが除去されたコンパレータ 5 4 4 e ~ 5 4 4 h の出力の論理和を演算し、演算結果を出力する回路である。OR 回路 5 4 4 m は、フィルタ回路 5 4 4 i ~ 5 4 4 l によってノイズが除去されたコンパレータ 5 4 4 e ~ 5 4 4 h の出力の少なくともいずれかが、F E T の温度が温度閾値以上であることを示すローレベル L である場合、F E T 5 0 0、5 0 1、5 1 0、5 1 1 の少なくともいずれかの温度が異常であると判定し、出力の論理レベルがハイレベル H になる。OR 回路 5 4 4 m の 4 つの入力端はフィルタ回路 5 4 4 i ~ 5 4 4 l の出力端にそれぞれ接続されている。

40

【 0 0 7 2 】

ラッチ回路 5 4 4 n は、OR 回路 5 4 4 m の出力を所定のホールド時間保持し、F E T

50

温度異常として出力する回路である。ラッチ回路544nは、OR回路544mの出力の論理レベルがハイレベルHである場合、所定のホールド時間、出力の論理レベルがハイレベルHになる。つまり、FET500、501、510、511の温度異常を検出した場合、出力の論理レベルがハイレベルHになる。ラッチ回路544nの入力端はOR回路544mの出力端に接続されている。

**【0073】**

図8に示す保護回路55は、異常検出回路54が異常を検出した場合、FET500、501、510、511を全てオフ状態にして、FET500、501、510、511を保護する回路である。また、制御回路9からの指令に基づいてFET500、501、510、511を全てオフ状態にして、FET500、501、510、511を保護する回路でもある。保護回路55は、処理回路550と、プリドライバ551とを備えている。

10

**【0074】**

処理回路550は、異常検出回路54が異常を検出した場合、FET500、501、510、511をオフ状態にするための駆動信号を出力する回路である。具体的には、FET異常1、FET異常2、制御異常1及び制御異常2の少なくともいずれかがハイレベルHである場合、FET500、501、510、511をオフ状態にするための駆動信号を出力する回路である。また、制御回路9からの指令に基づいてFET500、501、510、511をオフ状態にするための駆動信号を出力する回路でもある。処理回路550は、FETをオフ状態にする際のターンオフ時間が制御回路9に比べ長くなるように設定されている。処理回路550の入力端は、図3～図7に示す第1～第5異常検出部540～544の出力端、及び、保護IC53の端子OFFにそれぞれ接続されている。具体的には、OR回路540p、541pの出力端、ラッチ回路542g、543g、544nの出力端、及び、保護IC53の端子OFFにそれぞれ接続されている。保護IC53の端子OFFは、図1に示す制御回路9に接続される半導体モジュール5の端子OFFに接続されている。

20

**【0075】**

図8に示すプリドライバ551は、処理回路550によって制御され、プリドライバ8の出力に関係なく、図2に示すFET500、501、510、511をオフ状態にする回路である。図8に示すように、プリドライバ551は、FET551a～551dと、抵抗551e～551hと、駆動回路551i、551jとを備えている。

30

**【0076】**

FET551a～551dは、オン状態になってFET500、501、510、511のゲートをグランドGNDに接続することでゲート-ドレイン間電圧 $V_{gs}$ を低下させ、プリドライバ8の出力に関係なくFET500、501、510、511をオフ状態にするスイッチング素子である。抵抗551e～551hは、FET500、501、510、511のゲートをグランドGNDに接続する際に流れる電流を制限するための素子である。FET551a～551dのドレインは、抵抗551e～551hを介して保護IC53の端子HG1、LG1、HG2、LG2にそれぞれ接続されている。保護IC53の端子HG1、LG1、HG2、LG2は、FET500、501、510、511のゲートに接続される半導体モジュール5の端子HG1、LG1、HG2、LG2に接続されている。FET551a～551dのソースは保護IC53の端子Gに接続されている。保護IC53の端子Gは、グランドGNDに接続される半導体モジュール5の端子Gに接続されている。

40

**【0077】**

駆動回路551i、551jは、処理回路550によって制御され、FET551a～551dをオン状態にする回路である。駆動回路551i、551jは、処理回路550がFET500、501、510、511をオフ状態にする駆動信号を出力した場合、FET551a～551dをオン状態にする。駆動回路551i、551jの入力端は処理回路550の出力端に、出力端はFET551a～551dのゲートにそれぞれ接続され

50

ている。

【 0 0 7 8 】

図 9 に示す半導体モジュール 6 は、スイッチング回路 6 0、6 1 と、感温ダイオード 6 2 0 ~ 6 2 3 と、保護 IC 6 3 とを備えている。スイッチング回路 6 0 は、F E T 6 0 0、6 0 1 と、抵抗 6 0 2 とを備えている。スイッチング回路 6 1 は、F E T 6 1 0、6 1 1 と、抵抗 6 1 2 とを備えている。

【 0 0 7 9 】

スイッチング回路 6 0、6 1 は、F E T 6 0 0、6 0 1 の直列接続点、及び、F E T 6 1 0、6 1 1 の直列接続点の接続を除いて半導体モジュール 5 のスイッチング回路 5 0、5 1 と同一の回路である。F E T 6 0 0、6 0 1 の直列接続点は、W 相巻線 2 0 0 c に接続される半導体モジュール 6 の端子 P 1 に接続されている。F E T 6 1 0、6 1 1 の直列接続点は、U 相巻線 2 0 1 a に接続される半導体モジュール 6 の端子 P 2 に接続されている。感温ダイオード 6 2 0 ~ 6 2 3 及び保護 IC 6 3 は、半導体モジュール 5 の感温ダイオード 5 2 0 ~ 5 2 3 及び保護 IC 5 3 と同一のものであり、同一構成である。

【 0 0 8 0 】

図 1 0 に示す半導体モジュール 7 は、スイッチング回路 7 0、7 1 と、感温ダイオード 7 2 0 ~ 7 2 3 と、保護 IC 7 3 とを備えている。スイッチング回路 7 0 は、F E T 7 0 0、7 0 1 と、抵抗 7 0 2 とを備えている。スイッチング回路 7 1 は、F E T 7 1 0、7 1 1 と、抵抗 7 1 2 とを備えている。

【 0 0 8 1 】

スイッチング回路 7 0、7 1 は、F E T 7 0 0、7 0 1 の直列接続点、及び、F E T 7 1 0、7 1 1 の直列接続点の接続を除いて半導体モジュール 5 のスイッチング回路 5 0、5 1 と同一の回路である。F E T 7 0 0、7 0 1 の直列接続点は、V 相巻線 2 0 1 b に接続される半導体モジュール 7 の端子 P 1 に接続されている。F E T 7 1 0、7 1 1 の直列接続点は、W 相巻線 2 0 1 c に接続される半導体モジュール 7 の端子 P 2 に接続されている。感温ダイオード 7 2 0 ~ 7 2 3 及び保護 IC 7 3 は、半導体モジュール 5 の感温ダイオード 5 2 0 ~ 5 2 3 及び保護 IC 5 3 と同一のものであり、同一構成である。

【 0 0 8 2 】

図 1 に示すブリドライバ 8 は、制御回路 9 によって制御され、図 2、図 9 及び図 1 0 に示す半導体モジュール 5 ~ 7 の F E T 5 0 0、5 0 1、5 1 0、5 1 1、6 0 0、6 0 1、6 1 0、6 1 1、7 0 0、7 0 1、7 1 0、7 1 1 を駆動する回路である。図 1 に示すように、ブリドライバ 8 は、バッテリー B A T の正極端に接続されている。ブリドライバ 8 の出力端は、図 2、図 9 及び図 1 0 に示す F E T 5 0 0、5 0 1、5 1 0、5 1 1、6 0 0、6 0 1、6 1 0、6 1 1、7 0 0、7 0 1、7 1 0、7 1 1 のゲートに接続される半導体モジュール 5 ~ 7 の端子 H G 1、L G 1、H G 2、L G 2 にそれぞれ接続されている。

【 0 0 8 3 】

図 1 に示す制御回路 9 は、回転電機 2 に駆動力を発生させる場合、バッテリー B A T から界磁巻線 2 1 0 に供給される直流を制御するとともに、ブリドライバ 8 を介して図 2、図 9 及び図 1 0 に示す半導体モジュール 5 ~ 7 の F E T 5 0 0、5 0 1、5 1 0、5 1 1、6 0 0、6 0 1、6 1 0、6 1 1、7 0 0、7 0 1、7 1 0、7 1 1 をスイッチングさせることで、図 1 に示すバッテリー B A T から供給される直流を 3 相交流に変換して固定子巻線 2 0 0、2 0 1 に供給する回路である。また、バッテリー B A T を充電する場合、バッテリー B A T から界磁巻線 2 1 0 に供給される直流を制御するとともに、ブリドライバ 8 を介して図 2、図 9 及び図 1 0 に示す F E T 5 0 0、5 0 1、5 1 0、5 1 1、6 0 0、6 0 1、6 1 0、6 1 1、7 0 0、7 0 1、7 1 0、7 1 1 をオフ状態にすることで、F E T のダイオードによって図 1 に示す固定子巻線 2 0 0、2 0 1 の発生する 3 相交流を直流に変換してバッテリー B A T に供給する回路でもある。制御回路 9 は、回転電機 2 に駆動力を発生させる場合、回転角度検出装置 2 2 の検出結果、及び、図 2、図 9 及び図 1 0 に示す半導体モジュール 5 ~ 7 の抵抗 5 0 2、5 1 2、6 0 2、6 1 2、7 0 2、7 1 2 の検出

結果に基づいてFET500、501、510、511、600、601、610、611、700、701、710、711をスイッチングさせる。

【0084】

図1に示すように、制御回路9はバッテリーBATの正極端に接続されるとともに、グラウンドGNDを介してバッテリーBATの負極端に接続されている。また、界磁巻線210に接続されている。制御回路9の入力端は回転角度検出装置22、及び、図2、図9及び図10に示す抵抗502、512、602、612、702、712に接続される半導体モジュール5～7の端子S1+、S1-、S2+、S2-にそれぞれ接続されている。出力端はブリドライバ8の入力端に接続されている。

【0085】

図1に示す制御回路9は、必要に応じて保護回路55を介してFET500、501、510、511をオフ状態にする。具体的には、外部から入手した情報に基づいてFETの異常を検出した場合、保護回路55を介してFET500、501、510、511をオフ状態にする。より具体的には、図8に示す保護回路55の端子OFFに論理レベルがハイレベルHの信号を入力し、保護回路55を介してFET500、501、510、511をオフ状態にする。FET600、601、610、611、700、701、710、711に対しても同様である。制御回路9は、図2、図9及び図10に示す保護IC53、63、73の端子OFFに接続される半導体モジュール5～7の端子OFFにそれぞれ接続されている。

【0086】

次に、図1、図2、図9及び図10を参照して制御装置一体型回転電機の動作について説明する。まず、回転電機に車両を駆動するための駆動力を発生させる際の動作について説明する。

【0087】

車両においてイグニッションスイッチがオン状態になると、図1に示す制御回路9は、バッテリーBATから界磁巻線210に供給される直流を制御する。界磁巻線210に直流が供給されると、回転子21に磁極が形成される。

【0088】

制御回路9は、回転角度検出装置22の検出結果、及び、図2及び図9に示す半導体モジュール5、6の抵抗502、512、602の検出結果に基づいてバッテリーBATから供給される直流が3相交流に変換されるように、ブリドライバ8を介して半導体モジュール5、6のFET500、501、FET510、511、FET600、601を所定のタイミングでそれぞれ相補的にスイッチングさせる。また、回転角度検出装置22の検出結果、及び、図9及び図10に示す半導体モジュール6、7の抵抗612、702、712の検出結果に基づいてバッテリーBATから供給される直流が3相交流に変換されるように、ブリドライバ8を介して半導体モジュール6、7のFET610、611、FET700、701、FET710、711を所定のタイミングでそれぞれ相補的にスイッチングさせる。その結果、固定子巻線200、201にそれぞれ3相交流が供給される。これにより、回転電機2は、車両を駆動するための駆動力を発生する。

【0089】

次に、バッテリーを充電する際の動作について説明する。

【0090】

図1に示す界磁巻線210に直流が供給され、回転子21に磁極が形成されている状態において、エンジンから駆動力が供給されると、固定子巻線200、201は、それぞれ3相交流を発生する。半導体モジュール5～7のFET500、501、510、511、600、601、610、611、700、701、710、711は、オフ状態にされる。半導体モジュール5、6のFET500、501、510、511、600、601のダイオードは、整流回路を構成し、固定子巻線200の発生する3相交流を整流する。半導体モジュール6、7のFET610、611、700、701、710、711のダイオードは、整流回路を構成し、固定子巻線201の発生する3相交流を整流する。そ

10

20

30

40

50

の結果、固定子巻線 200、201 の発生する 3 相交流が直流に変換され、バッテリー B A T に供給される。これにより、バッテリー B A T は、回転電機 2 の発生した電力によって充電される。

【0091】

次に、図 3 及び図 11 を参照して F E T の短絡異常の検出動作について説明する。半導体モジュール 5 ~ 7 における F E T の短絡異常の検出動作は全て同一である。そのため、半導体モジュール 5 について説明する。

【0092】

図 11 に示すように、差電圧検出回路 540 a は、F E T 500 のゲート - ソース間電圧  $V_{gs}$  を検出し出力する。コンパレータ 540 e は、F E T 500 がオン状態になるように制御されている場合、ゲート - ソース間電圧  $V_{gs}$  が電圧閾値  $V_{th1}$  より大きくなり、出力電圧がハイレベル H になる。一方、F E T 500 がオフ状態になるように制御されている場合、ゲート - ソース間電圧  $V_{gs}$  が電圧閾値  $V_{th1}$  より小さくなり、出力電圧がローレベル L になる。

10

【0093】

差電圧検出回路 540 b は、F E T 500 のドレイン - ソース間電圧  $V_{ds}$  を検出し出力する。コンパレータ 540 f は、F E T 500 がオン状態である場合、ドレイン - ソース間電圧  $V_{ds}$  が電圧閾値  $V_{th2}$  より小さくなり、出力電圧がローレベル L になる。一方、F E T 500 がオフ状態である場合、ドレイン - ソース間電圧  $V_{ds}$  が電圧閾値  $V_{th2}$  より大きくなり、出力電圧がハイレベル H になる。

20

【0094】

差電圧検出回路 540 c は、F E T 501 のゲート - ソース間電圧  $V_{gs}$  を検出し出力する。コンパレータ 540 h は、F E T 501 がオン状態になるように制御されている場合、ゲート - ソース間電圧  $V_{gs}$  が電圧閾値  $V_{th1}$  より大きくなり、出力電圧がハイレベル H になる。一方、F E T 501 がオフ状態になるように制御されている場合、ゲート - ソース間電圧  $V_{gs}$  が電圧閾値  $V_{th1}$  より小さくなり、出力電圧がローレベル L になる。

【0095】

差電圧検出回路 540 d は、F E T 501 のドレイン - ソース間電圧  $V_{ds}$  を検出し出力する。コンパレータ 540 i は、F E T 501 がオン状態である場合、ドレイン - ソース間電圧  $V_{ds}$  が電圧閾値  $V_{th2}$  より小さくなり、出力電圧がローレベル L になる。一方、F E T 501 がオフ状態である場合、ドレイン - ソース間電圧  $V_{ds}$  が電圧閾値  $V_{th2}$  より大きくなり、出力電圧がハイレベル H になる。

30

【0096】

図 3 に示す判定回路 540 k は、コンパレータ 540 e の出力電圧が、F E T 500 がオフ状態になるように制御されていることを示すローレベル L であるにも係わらず、コンパレータ 540 f の出力電圧が、F E T 500 がオン状態であることを示すローレベル L である場合、F E T 500 が短絡していると判定する。コンパレータ 540 h の出力電圧が、F E T 501 がオフ状態になるように制御されていることを示すローレベル L であるにも係わらず、コンパレータ 540 i の出力電圧が、F E T 501 がオン状態であることを示すローレベル L である場合、F E T 501 が短絡していると判定する。そして、F E T 500、501 に少なくともいずれかが短絡していると判定した場合、一方の出力の論理レベルがハイレベル H になる。

40

【0097】

フィルタ回路 540 l は、判定回路 540 k の一方の出力に含まれるノイズを除去し、所定の処理時間経過後に出力する。ラッチ回路 540 n は、判定回路 540 k の一方の出力の論理レベルが F E T 500、501 の少なくともいずれかが短絡していると判定したことを示すハイレベル H である場合、フィルタ回路 540 l の処理時間経過後に、所定のホールド時間、出力の論理レベルがハイレベル H になる。

【0098】

50

図 1 1 に示すように、時間  $t_1$  の直後に、コンパレータ 5 4 0 e の出力電圧がローレベル L であるにも係わらず、コンパレータ 5 4 0 f の出力電圧がローレベル L であるため、図 3 に示す判定回路 5 4 0 k は、F E T 5 0 0 が短絡していると判定し、一方の出力の論理レベルがハイレベル H になる。ラッチ回路 5 4 0 n は、図 1 1 に示すように、時間  $t_1$  からフィルタ回路 5 4 0 l の処理時間経過後に、ホールド時間の間、出力の論理レベルがハイレベル H になる。

【 0 0 9 9 】

図 3 に示す O R 回路 5 4 0 p は、ラッチ回路 5 4 0 n の出力の論理レベルがハイレベル H である場合、出力の論理レベルがハイレベル H になる。つまり、O R 回路 5 4 0 p の出力する F E T 異常 1 が、異常の発生を示すハイレベル H になる。

10

【 0 1 0 0 】

次に、図 3 及び図 1 2 を参照して F E T のオン抵抗異常の検出動作について説明する。半導体モジュール 5 ~ 7 における F E T のオン抵抗異常の検出動作は全て同一である。そのため、半導体モジュール 5 について説明する。

【 0 1 0 1 】

図 1 2 に示すように、コンパレータ 5 4 0 g は、F E T 5 0 0 のドレイン - ソース間電圧  $V_{ds}$  が電圧閾値  $V_{th3}$  より大きい場合、出力電圧がハイレベル H になる。一方、F E T 5 0 0 のドレイン - ソース間電圧  $V_{ds}$  が電圧閾値  $V_{th3}$  より以下である場合、出力電圧がローレベル L になる。

【 0 1 0 2 】

コンパレータ 5 4 0 j は、F E T 5 0 1 のドレイン - ソース間電圧  $V_{ds}$  が電圧閾値  $V_{th3}$  より大きい場合、出力電圧がハイレベル H になる。一方、F E T 5 0 1 のドレイン - ソース間電圧  $V_{ds}$  が電圧閾値  $V_{th3}$  より以下である場合、出力電圧がローレベル L になる。

20

【 0 1 0 3 】

図 3 に示す判定回路 5 4 0 k は、コンパレータ 5 4 0 e の出力電圧が、F E T 5 0 0 がオン状態になるように制御されていることを示すハイレベル H であるにも係わらず、コンパレータ 5 4 0 g の出力電圧が、ドレイン - ソース間電圧  $V_{ds}$  が大きいことを示すハイレベル H である場合、F E T 5 0 0 のオン抵抗が異常であると判定する。コンパレータ 5 4 0 h の出力電圧が、F E T 5 0 1 がオン状態になるように制御されていることを示すハイレベル H であるにも係わらず、コンパレータ 5 4 0 j の出力電圧が、ドレイン - ソース間電圧  $V_{ds}$  が大きいことを示すハイレベル H である場合、F E T 5 0 1 のオン抵抗が異常であると判定する。そして、F E T 5 0 0、5 0 1 に少なくともいずれかのオン抵抗が異常であると判定した場合、他方の出力の論理レベルがハイレベル H になる。

30

【 0 1 0 4 】

フィルタ回路 5 4 0 m は、判定回路 5 4 0 k の他方の出力に含まれるノイズを除去し、所定の処理時間経過後に出力する。ラッチ回路 5 4 0 o は、判定回路 5 4 0 k の他方の出力の論理レベルが F E T 5 0 0、5 0 1 の少なくともいずれかのオン抵抗が異常であると判定したことを示すハイレベル H である場合、フィルタ回路 5 4 0 m の処理時間経過後に、所定のホールド時間、出力の論理レベルがハイレベル H になる。

40

【 0 1 0 5 】

図 1 2 に示すように、時間  $t_2$  の直後に、コンパレータ 5 4 0 e の出力電圧がハイレベル H であるにも係わらず、コンパレータ 5 4 0 g の出力電圧がハイレベル H であるため、図 3 に示す判定回路 5 4 0 k は、F E T 5 0 0 のオン抵抗が異常であると判定し、他方の出力の論理レベルがハイレベル H になる。ラッチ回路 5 4 0 o は、図 1 2 に示すように、時間  $t_2$  からフィルタ回路 5 4 0 m の処理時間経過後に、ホールド時間の間、出力の論理レベルがハイレベル H になる。

【 0 1 0 6 】

図 3 に示す O R 回路 5 4 0 p は、ラッチ回路 5 4 0 o の出力の論理レベルがハイレベル H である場合、出力の論理レベルがハイレベル H になる。つまり、O R 回路 5 4 0 p の出

50

力するFET異常1が、異常の発生を示すハイレベルHになる。

【0107】

次に、図5及び図13を参照してFETの制御異常の検出動作について説明する。半導体モジュール5～7におけるFETの制御異常の検出動作は全て同一である。そのため、半導体モジュール5について説明する。

【0108】

図13に示す差電圧検出回路542aは、FET500のゲート-ソース間電圧 $V_{gs}$ を検出し出力する。コンパレータ542cは、FET500がオン状態になるように制御されている場合、ゲート-ソース間電圧 $V_{gs}$ が電圧閾値 $V_{th1}$ より大きくなり、出力電圧がハイレベルHになる。一方、FET500がオフ状態になるように制御されている場合、ゲート-ソース間電圧 $V_{gs}$ が電圧閾値 $V_{th1}$ より小さくなり、出力電圧がローレベルLになる。

10

【0109】

差電圧検出回路542bは、FET501のゲート-ソース間電圧 $V_{gs}$ を検出し出力する。コンパレータ542dは、FET501がオン状態になるように制御されている場合、ゲート-ソース間電圧 $V_{gs}$ が電圧閾値 $V_{th1}$ より大きくなり、出力電圧がハイレベルHになる。一方、FET501がオフ状態になるように制御されている場合、ゲート-ソース間電圧 $V_{gs}$ が電圧閾値 $V_{th1}$ より小さくなり、出力電圧がローレベルLになる。

20

【0110】

FET500、501は、本来相補的にスイッチングされる。そのため、FET500、501が、ともにオン状態になるように制御されることはない。AND回路542eは、コンパレータ542cの出力電圧が、FET500がオン状態になるように制御されていることを示すハイレベルHであり、かつ、コンパレータ542dの出力電圧が、FET501がオン状態になるように制御されていることを示すハイレベルHである場合、FET500、501の制御が異常であると判定し、出力の論理レベルがハイレベルHになる。

【0111】

図5に示すフィルタ回路542fは、AND回路542eの出力に含まれるノイズを除去し、所定の処理時間経過後に出力する。ラッチ回路542gは、AND回路542eの出力の論理レベルがFET500、501の制御が異常であることを示すハイレベルHである場合、フィルタ回路542fの処理時間経過後に、所定のホールド時間、出力の論理レベルがハイレベルHになる。つまり、ラッチ回路542gの出力する制御異常1が、異常の発生を示すハイレベルHになる。

30

【0112】

図13に示すように、時間 $t_3$ の直後に、コンパレータ542cの出力電圧がハイレベルHであり、かつ、コンパレータ540gの出力電圧がハイレベルHであるため、AND回路542eは、FET500、501の制御が異常であると判定し、出力の論理レベルがハイレベルHになる。ラッチ回路542gは、時間 $t_3$ からフィルタ回路542fの処理時間経過後に、ホールド時間の間、出力の論理レベルがハイレベルHになる。制御異常1が、異常の発生を示すハイレベルHになる。

40

【0113】

次に、図7及び図14を参照してFETの温度異常の検出動作について説明する。半導体モジュール5～7におけるFETの温度異常の検出動作は全て同一である。そのため、半導体モジュール5について説明する。

【0114】

図7に示す感温ダイオード520～523は、FET500、501、510、511の温度に応じた電圧を出力する。コンパレータ544e～544hは、FET500、501、510、511の温度が温度閾値より小さい場合、感温ダイオード520～523の端子間電圧が電圧閾値 $V_{th4}$ より大きくなり、出力電圧がハイレベルHになる。一方

50

、FET500、501、510、511の温度が温度閾値以上である場合、感温ダイオード520～523の端子間電圧が電圧閾値 $V_{th4}$ 以下になり、出力電圧がローレベルLになる。

【0115】

フィルタ回路544i～544lは、コンパレータ544e～544hの出力に含まれるノイズを除去し、所定の処理時間経過後に出力する。OR回路544mは、フィルタ回路544i～544lによってノイズが除去されたコンパレータ544e～544hの出力の少なくともいずれかが、FETの温度が温度閾値以上であることを示すローレベルLである場合、FET500、501、510、511のいずれかの温度が異常であると判定し、出力の論理レベルがハイレベルHになる。ラッチ回路544nは、OR回路544mの出力の論理レベルがFET500、501、510、511の少なくともいずれかの温度が異常であることを示すハイレベルHである場合、所定のホールド時間、出力の論理レベルがハイレベルHになる。つまり、ラッチ回路544nの出力するFET温度異常が、異常の発生を示すハイレベルHになる。

10

【0116】

図14に示すように、FET500の温度が上昇すると、感温ダイオード520の端子間電圧が徐々に低下する。時間 $t_4$ で感温ダイオード520の端子間電圧が電圧閾値 $V_{th4}$ 以下になると、コンパレータ544eは、出力電圧がローレベルLになる。図7に示すフィルタ回路544iは、コンパレータ544eの出力に含まれるノイズを除去する。

【0117】

その後、図14に示すように、FET500の温度が低下し、フィルタ回路544iの処理時間中の時間 $t_5$ で感温ダイオード520の端子間電圧が電圧閾値 $V_{th4}$ より大きくなると、コンパレータ544eは、出力電圧がハイレベルHになる。フィルタ回路544iの処理時間中にコンパレータ544eの出力電圧がローレベルLからハイレベルHになったため、ラッチ回路544nの出力の論理レベルは、ハイレベルHにはならずローレベルLのままである。

20

【0118】

その後、FET500の温度が再度上昇し、時間 $t_6$ で感温ダイオード520の端子間電圧が電圧閾値 $V_{th4}$ 以下になると、コンパレータ544eは、出力電圧がローレベルLになる。図7に示すフィルタ回路544iは、コンパレータ544eの出力に含まれるノイズを除去する。その後、図14に示すように、時間 $t_7$ でノイズによって感温ダイオード520の端子間電圧が短時間電圧閾値 $V_{th4}$ より大きくなる。しかし、このノイズは、フィルタ回路544iによって除去される。ラッチ回路544nは、時間 $t_6$ からフィルタ回路544iの処理時間経過後に、ホールド時間の間、出力の論理レベルがハイレベルHになる。FET温度異常が、異常の発生を示すハイレベルHになる。

30

【0119】

次に、図8及び図15を参照してFETの保護動作について説明する。半導体モジュール5～7におけるFETの保護動作は全て同一である。そのため、半導体モジュール5について説明する。

【0120】

図15に示すように、FET異常1、FET異常2、制御異常1及び制御異常2の少なくともいずれかがハイレベルHである場合、又は、制御回路9から端子OFFへの入力が高レベルHである場合、図8に示す処理回路550は、FET500、501、510、511をオフ状態にする駆動信号を出力する。図15に示すように、駆動回路551i、551jは、処理回路550がFET500、501、510、511をオフ状態にする駆動信号を出力した場合、FET551a～551dのゲートに所定電圧を供給する。図8に示すFET551a～551dのゲートに電圧が供給されると、FET551a～551dがオン状態になり、FET500、501、510、511のゲートがグランドGNDに接続される。その結果、FET500、501、510、511のゲート-ソース間電圧 $V_{gs}$ が低下し、FET500、501、510、511がオフ状態になり保護

40

50

される。

【 0 1 2 1 】

次に、実施形態の電力変換装置の効果について説明する。

【 0 1 2 2 】

実施形態によれば、制御装置 3 は、半導体モジュール 5 ~ 7 を備えている。半導体モジュール 5 は、2 つの F E T 5 0 0、5 0 1 を備えたスイッチング回路 5 0 と、2 つの F E T 5 1 0、5 1 1 を備えたスイッチング回路 5 1 とを有している。また、制御装置 3 は、F E T 5 0 0、5 0 1、5 1 0、5 1 1 に関連する異常を検出する異常検出回路 5 4 と、異常検出回路 5 4 が異常を検出した場合、F E T 5 0 0、5 0 1、5 1 0、5 1 1 を保護する保護回路 5 5 とを備えている。異常検出回路 5 4 及び保護回路 5 5 は、半導体モジュール 5 内に一体的に設けられている。そのため、異常検出回路 5 4 が、異常検出対象である F E T 5 0 0、5 0 1、5 1 0、5 1 1 の近傍に設けられることになる。また、保護回路 5 5 が、異常検出回路 5 4 や、保護対象である F E T 5 0 0、5 0 1、5 1 0、5 1 1 の近傍に設けられることになる。従って、従来問題となっていた配線の抵抗等の影響による検出結果の誤差を抑えることができる。また、配線の影響による検出結果や制御信号の伝達遅れを抑えることができる。これにより、F E T に関連する異常を正確に検出でき、F E T を速やかに保護することができる。

10

【 0 1 2 3 】

異常が発生した状態で F E T をオン状態にしておくと、大電流が流れて F E T が破損する可能性がある。しかし、実施形態によれば、保護回路 5 5 は、異常検出回路 5 4 が異常を検出した場合、F E T 5 0 0、5 0 1、5 1 0、5 1 1 を全てオフ状態にして、F E T 5 0 0、5 0 1、5 1 0、5 1 1 を保護する。そのため、F E T を確実に保護することができる。

20

【 0 1 2 4 】

異常が発生した場合、オン状態である F E T に大電流が流れる可能性がある。大電流が流れている F E T をオフ状態にする場合、正常時に比べサージ電圧が大きくなる。バッテリーから供給される直流を平滑化するための平滑コンデンサを有している場合、さらにサージ電圧が大きくなる傾向にある。そのため、サージ電圧によって F E T が破損する可能性がある。しかし、実施形態によれば、保護回路 5 5 は、F E T をオフ状態にする際のターンオフ時間が、制御回路 9 に比べ長くなるように設定されている。つまり、異常時における F E T のターンオフ時間が、正常時における F E T のターンオフ時間より長い。そのため、異常時において、大電流が流れている F E T をオフ状態にする場合であっても、サージ電圧を抑えることができる。従って、サージ電圧による F E T の破損を抑えることができる。

30

【 0 1 2 5 】

実施形態によれば、制御回路 9 は、必要に応じて保護回路 5 5 を介して F E T 5 0 0、5 0 1、5 1 0、5 1 1 をオフ状態にする。そのため、異常検出回路 5 4 以外で異常を検出した場合であっても、制御回路 9 及び保護回路 5 5 を介して F E T 5 0 0、5 0 1、5 1 0、5 1 1 を速やかに保護することができる。

【 0 1 2 6 】

実施形態によれば、異常検出回路 5 4 は、オフ状態になるように F E T を制御しているにも係わらず F E T のドレイン - ソース間電圧  $V_{ds}$  が電圧閾値  $V_{th2}$  以下である場合、異常であると判断する。そのため、F E T の短絡故障を確実に検出することができる。

40

【 0 1 2 7 】

実施形態によれば、異常検出回路 5 4 は、オン状態になるように F E T を制御しているにも係わらず F E T のドレイン - ソース間電圧  $V_{ds}$  が電圧閾値  $V_{th3}$  を超えている場合異常であると判断する。そのため、F E T のオン抵抗異常を確実に検出することができる。

【 0 1 2 8 】

実施形態によれば、スイッチング回路 5 0 は、相補的にスイッチングされる直列接続さ

50

れた2つのFET500、501を有している。スイッチング回路51も、相補的にスイッチングされる直列接続された2つのFET510、511を有している。異常検出回路54は、スイッチング回路50、51の2つのFETのゲート-ソース間電圧 $V_{gs}$ がともにオン状態になるような所定電圧である場合、異常であると判断する。そのため、FETの制御異常を確実に検出することができる。

【0129】

実施形態によれば、異常検出回路54は、FET500、501、510、511の温度が温度閾値を超えている場合、異常であると判断する。そのため、FETの温度異常を確実に検出することができる。

【0130】

実施形態によれば、制御装置3は、FET500、501、510、511の温度に応じて端子間電圧が変化する感温ダイオード520～523を備えている。感温ダイオード520～523は、半導体モジュール5内に一体的に設けられている。異常検出回路54は、感温ダイオード520～523の端子間電圧が温度閾値に対応した電圧閾値 $V_{th4}$ 以下である場合、異常であると判断する。そのため、感温ダイオード520～523が、温度検出対象であるFET500、501、510、511の近傍に設けられることになる。従って、FET500、501、510、511の温度を正確に検出することができる。また、FET500、501、510、511の温度を検出する温度センサを別途設ける必要がない。そのため、部品点数を削減することができる。

【0131】

実施形態によれば、半導体モジュール5は、2つのスイッチング回路50、51を備えている。そして、2つのスイッチング回路50、51の異常を検出する1つの異常検出回路54と、2つのスイッチング回路50、51を保護する1つの保護回路55が、半導体モジュール5内に一体的に設けられている。そのため、スイッチング回路の数が異なるさまざまな電力変換装置に広く適用することができる。つまり、異常検出回路及び保護回路が一体的に設けられた汎用性の高い半導体モジュールを構成することができる。

【0132】

なお、実施形態では、半導体モジュールが2つのスイッチング回路を有し、異常検出回路及び保護回路が半導体モジュール内にそれぞれ1つ設けられている例を挙げているが、これに限られるものではない。半導体モジュールは、少なくとも1つのスイッチング回路を有し、異常検出回路及び保護回路は、少なくとも1つずつ設けられていればよい。半導体モジュールは、複数のスイッチング回路を有し、異常検出回路及び保護回路は、半導体モジュール内にそれぞれスイッチング回路の数より少ない所定数設けられていてもよい。

【0133】

実施形態では、バッテリーBATを充電する際、半導体モジュール5～7のFETが全てオフ状態にされ、FETのダイオードによって3相交流を直流に変換する例を挙げているが、これに限られるものではない。半導体モジュール5～7のFETを所定のタイミングでスイッチングさせることで3相交流を直流に変換するようにしてもよい。この場合、回転電機2に駆動力を発生させる際と同様に、FETに関連する異常を正確に検出でき、FETを速やかに保護することができる。

【符号の説明】

【0134】

1・・・制御装置一体型回転電機、2・・・回転電機、3・・・制御装置、5～7・・・半導体モジュール、50、51・・・スイッチング回路、500、501、510、511・・・FET、520～523・・・感温ダイオード、54・・・異常検出回路、540～543・・・第1～第5異常検出部、55・・・保護回路

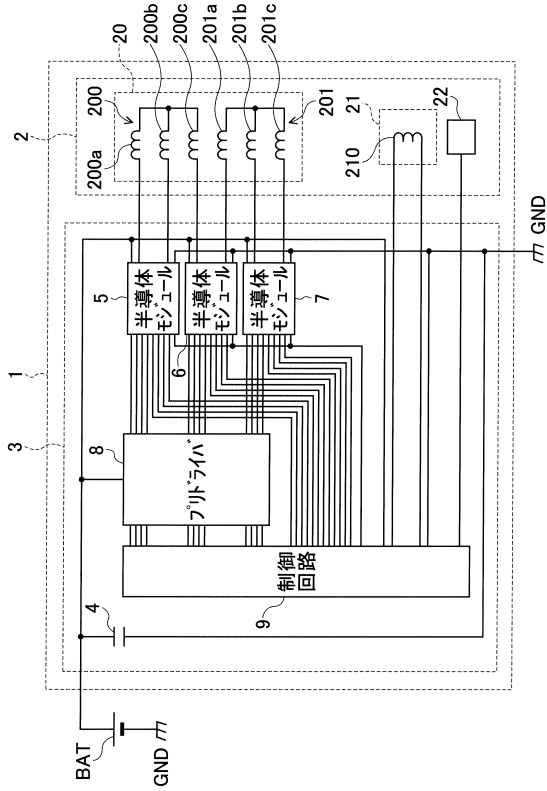
10

20

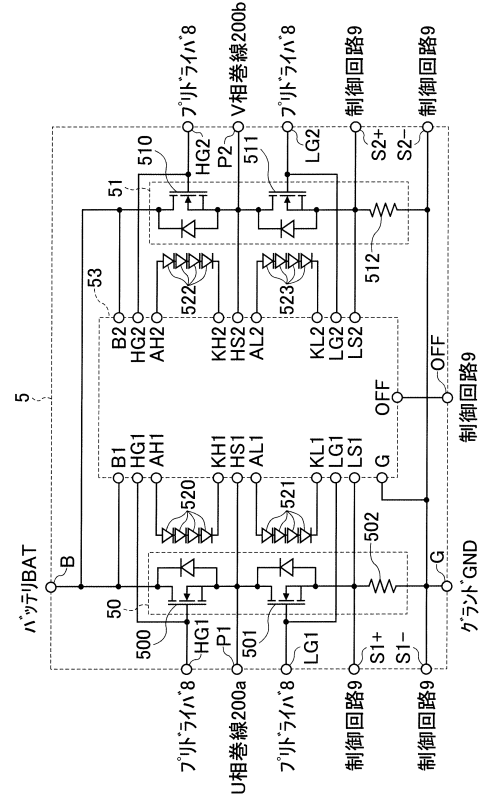
30

40

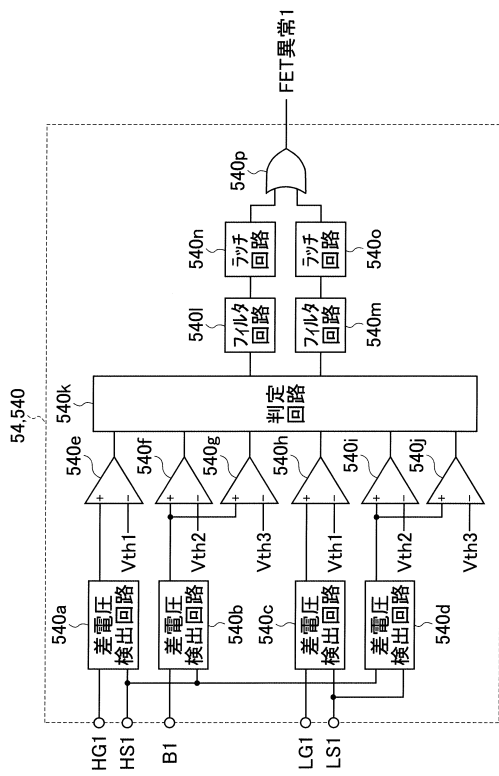
【図1】



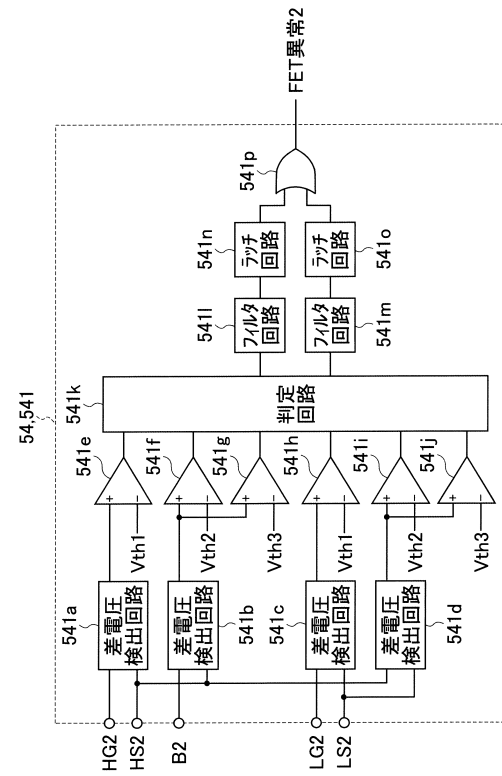
【図2】



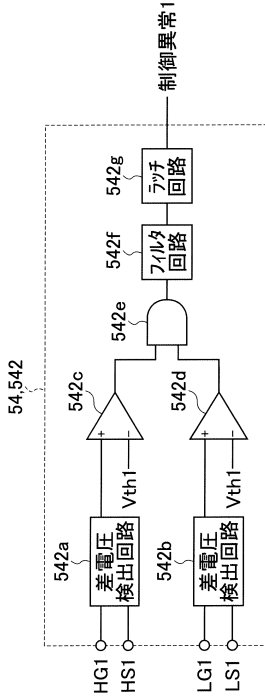
【図3】



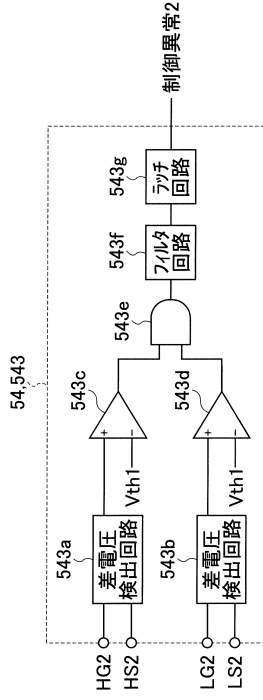
【図4】



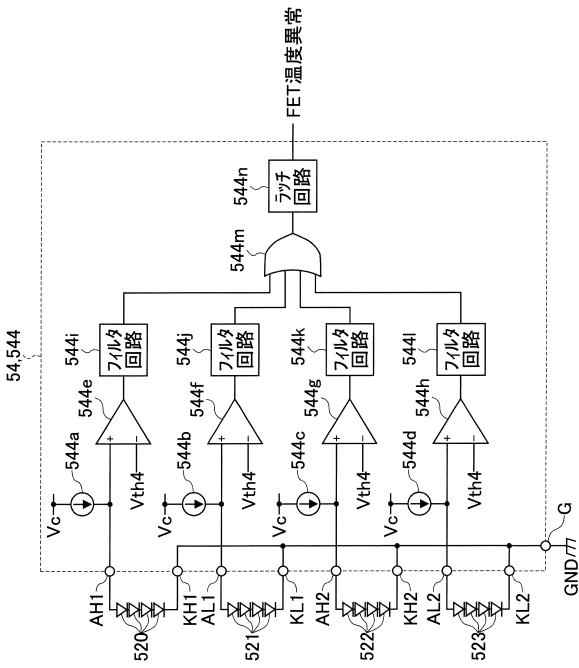
【図5】



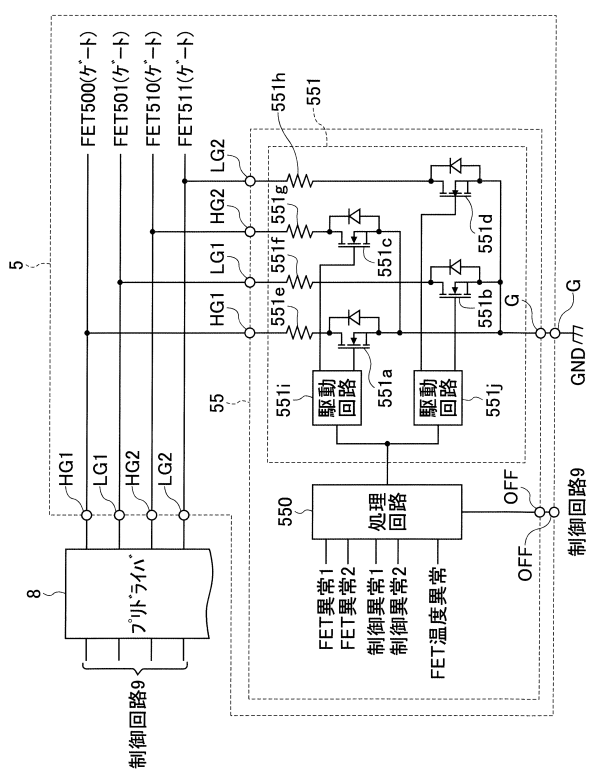
【図6】



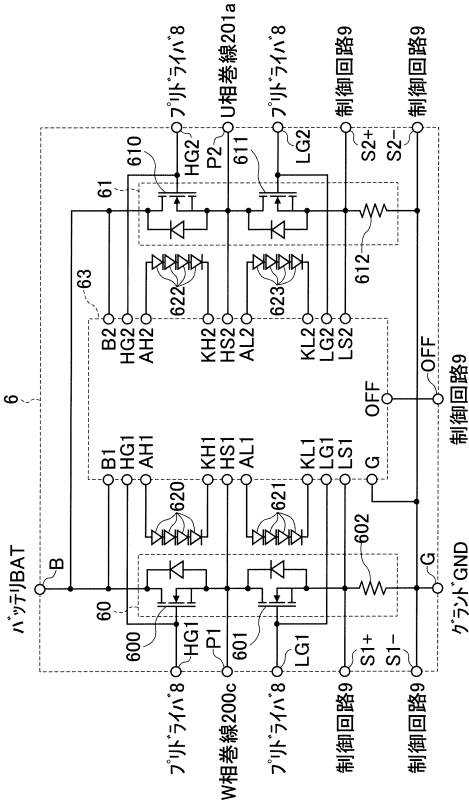
【図7】



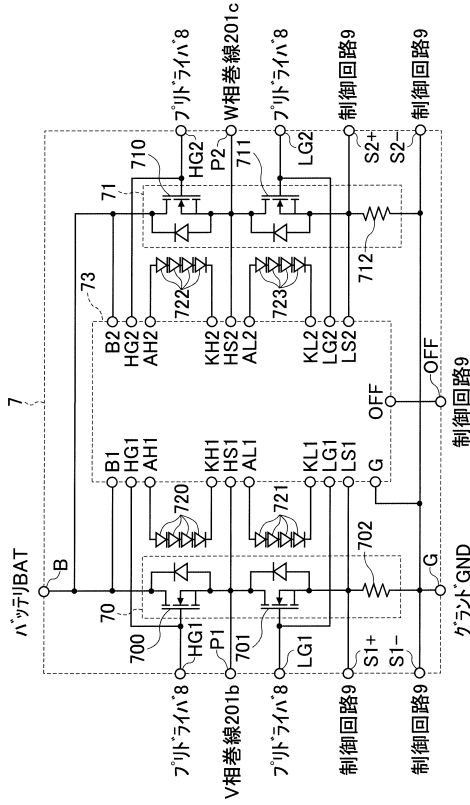
【図8】



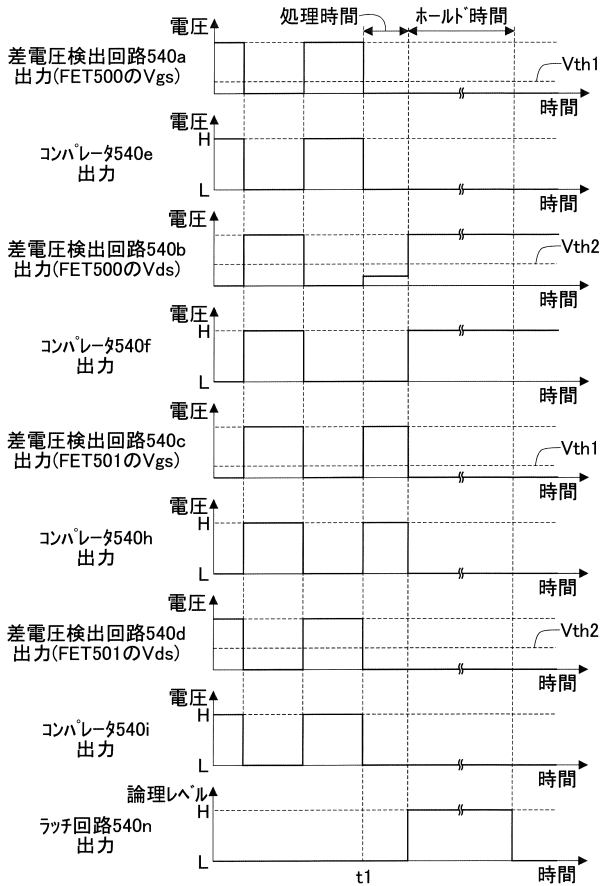
【図9】



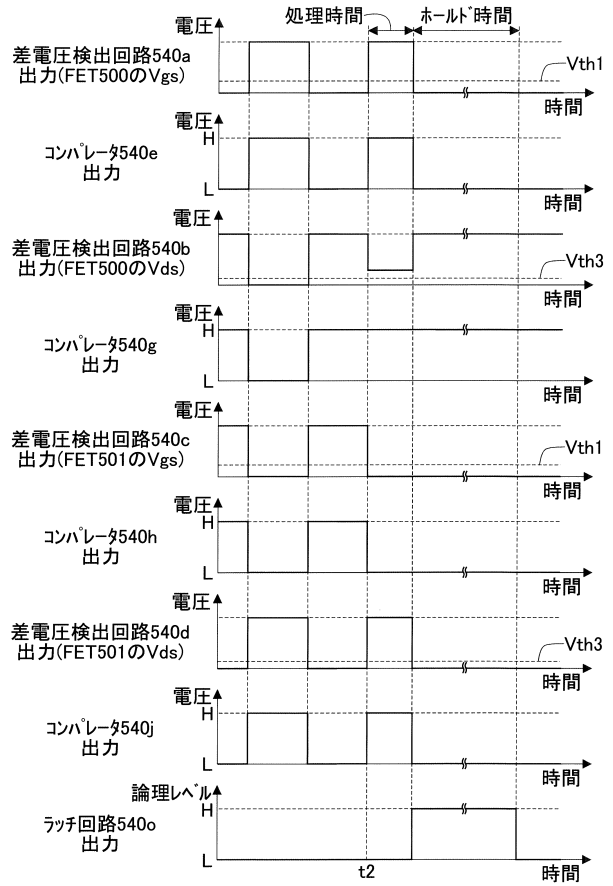
【図10】



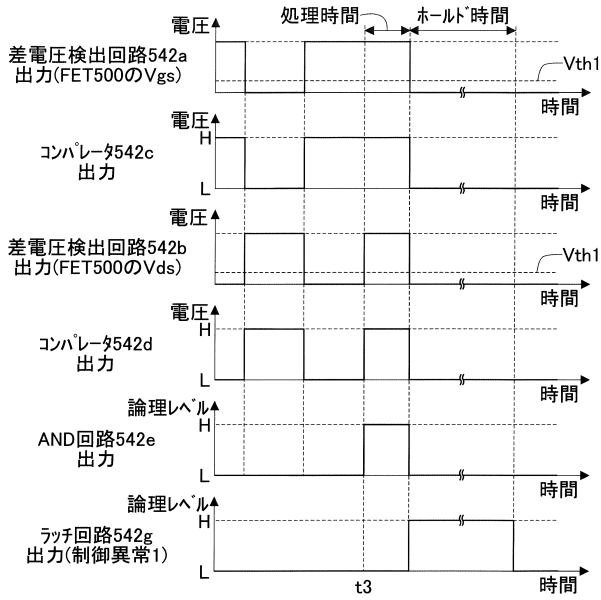
【図11】



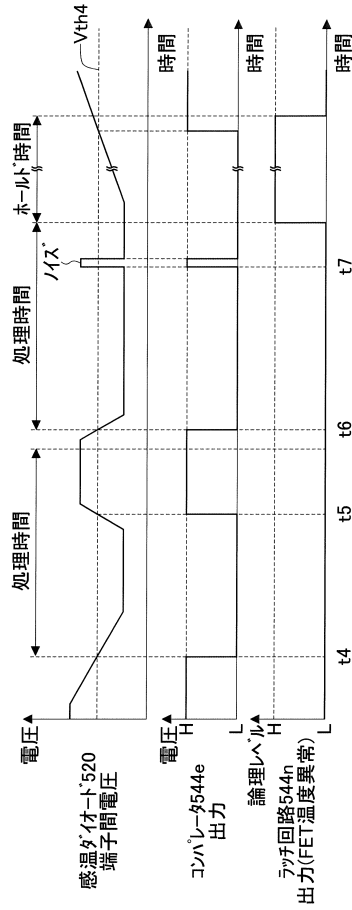
【図12】



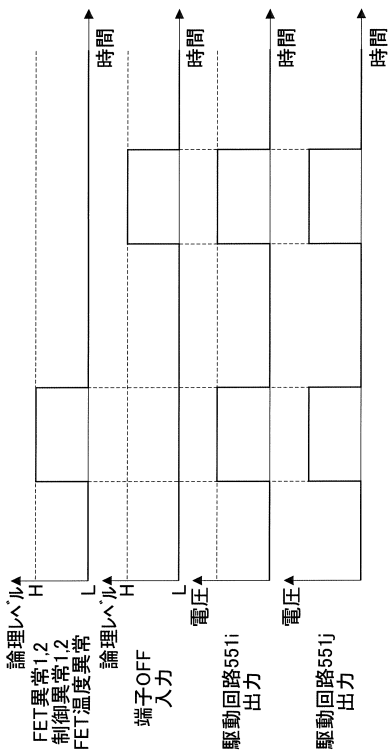
【図13】



【図14】



【図15】



---

フロントページの続き

- (56)参考文献 特開2003-088093(JP,A)  
特開2009-232513(JP,A)  
特開2008-135682(JP,A)  
実開平06-016884(JP,U)  
特開平08-080030(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02M 1/00 - 1/44  
H02M 3/00 - 3/44  
H02M 7/00 - 7/98