



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I570920 B

(45)公告日：中華民國 106 (2017) 年 02 月 11 日

(21)申請案號：101102035

(51)Int. Cl. :      *H01L29/78 (2006.01)*  
*H01L21/336 (2006.01)*  
*G11C8/08 (2006.01)*

(30)優先權：2011/01/26    日本                          2011-014620

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY  
LABORATORY CO., LTD. (JP)  
日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP) ; 藤井照幸 FUJII, TERUYUKI (JP) ; 永松  
翔 NAGAMATSU, SHO (JP)

(74)代理人：林志剛

(56)參考文獻：

TW	200812089A1	TW	200915577A1
CN	1655365A	US	2009/0127552A1
US	2010/0133533A1	US	2011/0006301A1
US	2011/0012118A1		

審查人員：周楷智

申請專利範圍項數：20 項    圖式數：30    共 144 頁

(54)名稱

半導體裝置及其製造方法

SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(57)摘要

基底絕緣膜係形成於基板之上。第一氧化物半導體膜係形成於該基底絕緣膜之上，接著執行第一熱處理以形成第二氧化物半導體膜。接著，執行選擇性蝕刻以形成第三氧化物半導體膜。絕緣膜係形成於該第一絕緣膜及該第三氧化物半導體膜之上。該絕緣膜之表面經拋光以暴露該第三氧化物半導體膜之表面，使得形成側壁絕緣膜而接觸至少該第三氧化物半導體膜之側面。接著，於該側壁絕緣膜及該第三氧化物半導體膜之上形成源極電極及汲極電極。形成閘極絕緣膜及閘極電極。

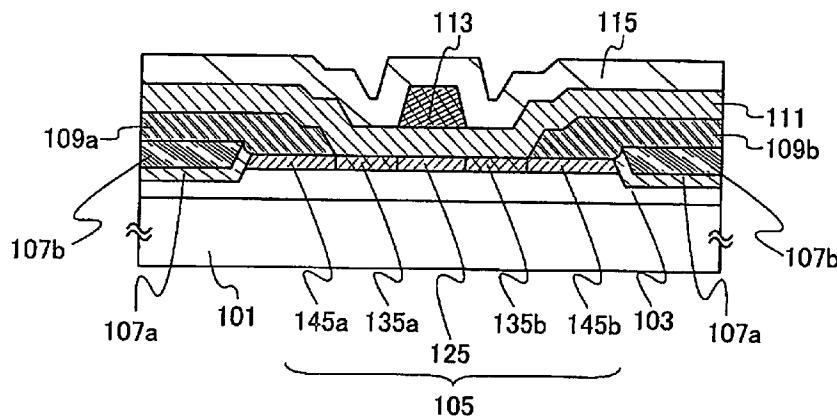
A base insulating film is formed over a substrate. A first oxide semiconductor film is formed over the base insulating film, and then first heat treatment is performed to form a second oxide semiconductor film. Then, selective etching is performed to form a third oxide semiconductor film. An insulating film is formed over the first insulating film and the third oxide semiconductor film. A surface of the insulating film is polished to expose a surface of the third oxide semiconductor film, so that a sidewall insulating film is formed in contact with at least a side surface of the third oxide semiconductor film. Then, a source electrode and a drain electrode are formed over the sidewall insulating film and the third oxide semiconductor film. A gate insulating film and a gate electrode are formed.

指定代表圖：

符號簡單說明：

圖 11

130



130 · · · 電晶體

101 · · · 基板

103 · · · 基底絕緣膜

105 · · · 氧化物半導  
體膜

107a、107b · · · 側  
壁絕緣膜

109a · · · 源極電極

109b · · · 沖極電極

111 · · · 閘極絕緣膜

113 · · · 閘極電極

115 · · · 保護絕緣膜

125 · · · 第一氧化物  
半導體區域

135a、135b · · · 第  
二氧化物半導體區域

145a、145b · · · 第  
三氧化物半導體區域

# 發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101102035

H01L 29/78 (2006.01)

※申請日：101 年 01 月 18 日

※IPC 分類：H01L 29/088 (2006.01)

一、發明名稱：（中文／英文）

半導體裝置及其製造方法

H01L 21/336 (2006.01)

G11C 7/12 (2006.01)

G11C 8/08 (2006.01)

G11C 11/401 (2006.01)

Semiconductor device and manufacturing method thereof

## 二、中文發明摘要：

基底絕緣膜係形成於基板之上。第一氧化物半導體膜係形成於該基底絕緣膜之上，接著執行第一熱處理以形成第二氧化物半導體膜。接著，執行選擇性蝕刻以形成第三氧化物半導體膜。絕緣膜係形成於該第一絕緣膜及該第三氧化物半導體膜之上。該絕緣膜之表面經拋光以暴露該第三氧化物半導體膜之表面，使得形成側壁絕緣膜而接觸至少該第三氧化物半導體膜之側面。接著，於該側壁絕緣膜及該第三氧化物半導體膜之上形成源極電極及汲極電極。形成閘極絕緣膜及閘極電極。

### 三、英文發明摘要：

A base insulating film is formed over a substrate. A first oxide semiconductor film is formed over the base insulating film, and then first heat treatment is performed to form a second oxide semiconductor film. Then, selective etching is performed to form a third oxide semiconductor film. An insulating film is formed over the first insulating film and the third oxide semiconductor film. A surface of the insulating film is polished to expose a surface of the third oxide semiconductor film, so that a sidewall insulating film is formed in contact with at least a side surface of the third oxide semiconductor film. Then, a source electrode and a drain electrode are formed over the sidewall insulating film and the third oxide semiconductor film. A gate insulating film and a gate electrode are formed.

四、指定代表圖：

(一) 本案指定代表圖為：第(11)圖。

(二) 本代表圖之元件符號簡單說明：

130：電晶體

101：基板

103：基底絕緣膜

105：氧化物半導體膜

107a、107b：側壁絕緣膜

109a：源極電極

109b：汲極電極

111：閘極絕緣膜

113：閘極電極

115：保護絕緣膜

125：第一氧化物半導體區域

135a、135b：第二氧化物半導體區域

145a、145b：第三氧化物半導體區域

五、本案若有化學式時，請揭示最能顯示發明特徵的化學  
式：無

## 六、發明說明：

### 【發明所屬之技術領域】

本發明關於使用氧化物半導體形成之半導體裝置及該半導體裝置之製造方法。

在本說明書中，半導體裝置係指利用半導體特性而作業之所有裝置。在本說明書中電晶體為半導體裝置，且顯示裝置、半導體電路、及包括電晶體之電子裝置均為半導體裝置。

### 【先前技術】

用於以液晶顯示裝置及發光顯示裝置代表之大部分平板顯示器之電晶體係使用矽半導體形成，諸如配置於玻璃基板上之非結晶矽、單晶矽、及多晶矽。此外，使用該等矽半導體形成之電晶體用於積體電路(IC)等。

注意已被導引至一種技術，其中取代以上矽半導體，展現半導體特性之金屬氧化物用於電晶體。請注意，在本說明書中，展現半導體特性之金屬氧化物稱為氧化物半導體。

例如，揭露一種技術其中使用氧化鋅或 In-Ga-Zn 基金屬氧化物作為氧化物半導體而形成電晶體，及該等電晶體用作顯示裝置之像素中切換元件等(詳專利文獻 1 及 2)。

指出氧化物半導體中所包含之氫充當載子供應源。因此，需採取若干措施以避免氫於沉積氧化物半導體時進入

氧化物半導體。此外，藉由減少不僅氧化物半導體亦且接觸氧化物半導體之間極絕緣膜中所包含之氫量，而抑制使用氧化物半導體形成之電晶體之閾值電壓之偏移(詳專利文獻 3)。

#### [參考文獻]

#### [專利文獻]

[專利文獻 1]日本公開專利申請案 No. 2007-123861

[專利文獻 2]日本公開專利申請案 No. 2007-096055

[專利文獻 3]日本公開專利申請案 No. 2009-224479

#### 【發明內容】

再者，有關非氧化物半導體中所包含之氫的載子供應源，可提供氧化物半導體中缺氧。部分缺氧充當供體以於氧化物半導體中產生為載子之電子。因此，在使用氧化物半導體形成之半導體裝置中，包括通道形成區域之氧化物半導體中缺氧於其中產生電子，因而為造成半導體裝置之閾值電壓之負偏移之因子。

當氧化物半導體之側面被處理為所欲形狀以製造其中使用氧化物半導體之半導體裝置時，氧化物半導體之側面暴露於減壓氣體或反應室中減少氣體中，同時處於作用狀態。因此，從氧化物半導體之側面汲取氧至反應室，並造成缺氧。部分缺氧減少其中缺氧存在作為供體之區域的電阻，此造成源極電極與汲極電極之間之洩漏電流。

鑑於上述，本發明之實施例之目標為提供半導體裝置

，具有電特性其為有利的並極不可能波動。

為達成以上目標，於一程序中製造半導體裝置，其中包括通道形成區域之氧化物半導體中缺氧減少。

在本發明之一實施例中，於基板之上形成第一絕緣膜；於第一絕緣膜之上形成第一氧化物半導體膜；藉由形成第一氧化物半導體膜之後執行熱處理而形成第二氧化物半導體膜；藉由選擇性蝕刻第二氧化物半導體膜而形成第三氧化物半導體膜；第二絕緣膜係形成於第一絕緣膜及第三氧化物半導體膜；第三絕緣膜經形成而接觸至少第三氧化物半導體膜之側面，藉由拋光第二絕緣膜表面使得第三氧化物半導體膜表面暴露；導電膜係形成於第三絕緣膜及第三氧化物半導體膜之上；藉由選擇性蝕刻導電膜而形成源極電極及汲極電極；第四絕緣膜係形成於第三氧化物半導體膜、源極電極、及汲極電極之上；及與第三氧化物半導體膜重疊之閘極電極係形成於第四絕緣膜之上。

在以上說明中，當選擇性蝕刻第二氧化物半導體膜時，亦可選擇性蝕刻部分第一絕緣膜以便於第一絕緣膜接觸第三氧化物半導體膜之區域中具有凸出。

在以上說明中，可藉由堆疊二或更多不同絕緣膜而形成第二絕緣膜。在此狀況下，藉由拋光第二絕緣膜表面所形成之第三絕緣膜亦具有堆疊層結構。

在以上說明中，若使用二或更多不同絕緣膜形成第二絕緣膜，可以該等方式形成第三絕緣膜，即拋光部分第二絕緣膜使得接觸第三氧化物半導體膜之絕緣膜表面暴露，

且拋光之第二絕緣膜各向異性地蝕刻，使得第三氧化物半導體膜之表面暴露。

在以上說明中，在閘極電極形成之後，摻雜劑可添加至第三氧化物半導體膜，並可執行加熱。以此方式，可以自對準方式形成：與閘極電極重疊之第一氧化物半導體區域、一對第二氧化物半導體區域且第一氧化物半導體區域夾於其間、及配置於與源極電極及汲極電極重疊之區域中之一對第三氧化物半導體區域。

由於使用閘極電極、源極電極、及汲極電極作為遮罩而添加摻雜劑至第三氧化物半導體膜，添加摻雜劑之區域充當該對第二氧化物半導體區域。請注意，摻雜劑可為氮、磷、砷、氬、氮、氖、氬、及氙之一或多項。

此外，具有小厚度之區域形成於源極電極及汲極電極之側緣，藉此在閘極電極形成之後，摻雜劑可添加至與具有小厚度之區域重疊的第三氧化物半導體膜部分。此外，具有不同摻雜劑濃度之二種區域可形成於第三氧化物半導體膜中。

在本發明之另一實施例中，第一絕緣膜係形成於基板之上；第一氧化物半導體膜係形成於第一絕緣膜之上；於第一氧化物半導體膜形成之後藉由執行熱處理而形成第二氧化物半導體膜；藉由選擇性蝕刻第二氧化物半導體膜而形成第三氧化物半導體膜；第二絕緣膜係形成於第一絕緣膜及第三氧化物半導體膜之上；藉由拋光第二絕緣膜表面使得第三氧化物半導體膜表面暴露而形成第三絕緣膜；導

電膜係形成於第三絕緣膜及第三氧化物半導體膜之上；抗蝕罩係形成於導電膜之上；藉由使用抗蝕罩選擇性蝕刻導電膜而形成一對導電膜；形成第二抗蝕罩，並藉由收縮抗蝕罩而暴露該對導電膜中與第三氧化物半導體膜重疊之至少部分區域；藉由使用第二抗蝕罩蝕刻部分該對導電膜而形成源極電極及汲極電極，其各包括具有第一厚度之區域及具有小於第一厚度之第二厚度之區域；第四絕緣膜係形成於第三氧化物半導體膜、源極電極、及汲極電極之上；與第三氧化物半導體膜重疊之閘極電極係形成於第四絕緣膜之上；及藉由添加摻雜劑至第三氧化物半導體膜並執行加熱而形成：與閘極電極重疊之第一氧化物半導體區域、第一氧化物半導體區域夾於其間之一對第二氧化物半導體區域、與至少具有第一厚度之區域重疊之一對第三氧化物半導體區域、及與具有第二厚度之區域重疊之一對第四氧化物半導體區域。

亦在以上說明中，當選擇性蝕刻第二氧化物半導體膜時，亦可選擇性蝕刻部分第一絕緣膜以便於第一絕緣膜接觸第三氧化物半導體膜之區域中具有凸出。

亦在以上說明中，可藉由堆疊二或更多不同絕緣膜而形成第二絕緣膜。在此狀況下，藉由拋光第二絕緣膜表面而形成之第三絕緣膜亦具有堆疊層結構。

亦在本發明之另一實施例中，若使用二或更多不同絕緣膜形成第二絕緣膜，可以該等方式形成第三絕緣膜，即拋光部分第二絕緣膜使得接觸第三氧化物半導體膜之絕緣

膜表面暴露，並各向異性地蝕刻拋光之第二絕緣膜，使得第三氧化物半導體膜表面暴露。

在本發明之另一實施例中，添加摻雜劑之區域充當僅與具有第二厚度之區域重疊之該對第二氧化物半導體區域及該對第四氧化物半導體區域，其位於源極電極及汲極電極側緣。請注意，摻雜劑可為氮、磷、砷、氬、氦、氖、氬、氮、及氬之一或多項。

在以上說明中，第一至第四絕緣膜之至少一項可使用藉由加熱而釋放部分氧之氧化物絕緣膜形成；例如，可形成包含多於化學計量比例之氧的氧化物絕緣膜。

在以上說明中，熱處理係以從第一氧化物半導體膜釋放氬且第一絕緣膜中所包含之氧擴散至第一氧化物半導體膜之溫度執行，使得形成第二氧化物半導體膜。例如，熱處理之溫度為高於或等於  $150^{\circ}\text{C}$  及低於基板之應變點。

在以上說明中，第一至第三氧化物半導體膜包含選自 In、Ga、Sn、及 Zn 之一或多項元素。

在以上說明中，每一第一至第三氧化物半導體膜為非單晶，並包括 c 軸對準結晶區域。

在以上說明中，在第三氧化物半導體膜形成之後，可進一步執行熱處理。請注意，藉由熱處理，氬從第三氧化物半導體膜釋放，且第一絕緣膜及第三絕緣膜中所包含之氧擴散至第三氧化物半導體膜，使得形成第四氧化物半導體膜。

第五絕緣膜可形成於第四絕緣膜及閘極電極之上，接

著可進一步執行熱處理。

根據本發明之一實施例，可製造具有有利且幾乎不波動之電特性的半導體裝置。

根據本發明之一實施例，可製造半導體裝置同時氧充分存在於氧化物半導體側面。

根據本發明之一實施例，可製造半導體裝置其中氧化物半導體中缺氧量充分小，並可抑制源極電極及汲極電極之間之洩漏電流。

### 【實施方式】

將參照附圖詳細說明本發明之實施例。請注意，本發明不侷限於以下說明，且熟悉本技藝之人士易於理解可進行模式及細節之各種修改而未偏離本發明之精神及範圍。因此，本發明不應解譯為侷限於下列實施例之說明。請注意，在以下所說明之本發明之結構中，在不同圖式中，具有類似功能之相同部分標示相同代號，且其重複說明省略。

請注意，在本說明書中所說明之每一圖式中，為求清晰有時每一組件之尺寸、膜厚度、或區域被誇張。因此，本發明之實施例不侷限於該等比例尺。

在本說明書中，用詞「膜」用於標示藉由 CVD 法(包括電漿 CVD 法等)、濺鍍法等完全形成於表面上者，及形成於表面上並接著於半導體裝置之製造程序中歷經處理者。

請注意，在本說明書中使用諸如「第一」、「第二」、及「第三」用詞，以避免於組件之中混淆，及用詞並未侷限組件數量。因此，例如用詞「第一」可適當以用詞「第二」、「第三」等替代。

請注意，在本說明書中，「開啓狀態電流」為當電晶體處於導通狀態時，於源極與汲極之間流動之電流。例如，若為n通道薄膜電晶體，開啓狀態電流為當電晶體之閘極電壓高於其閾值電壓時，於源極與汲極之間流動之電流。此外，「關閉狀態電流」為當電晶體處於非導通狀態時，於源極與汲極之間之流動之電流。例如，若為n通道薄膜電晶體，關閉狀態電流為當電晶體之閘極電壓低於其閾值電壓時，於源極與汲極之間流動之電流。請注意，「閘極電壓」係指當源極電位用作參考電位時，源極與閘極之間之電位差。

例如，當電路作業中電流流動方向改變時，「源極」及「汲極」之功能有時相互取代。因此，在本說明書中用詞「源極」及「汲極」可用以分別標示汲極及源極。

#### (實施例 1)

在本實施例中，將說明本發明之一實施例之半導體裝置，及半導體裝置之製造方法。具體地，將說明電晶體作為半導體裝置。

圖 1A 為俯視圖，描繪本發明之一實施例之電晶體 100 之結構。圖 1B 相應於沿圖 1A 中虛線 A-B 之截面圖。

圖 1C 相應於沿圖 1A 中虛線 C-D 之截面圖。圖 1D 相應於沿圖 1A 中虛線 E-F 之截面圖。請注意，為求清晰，圖 1A 中未描繪基底絕緣膜 103、閘極絕緣膜 111、及保護絕緣膜 115。

在圖 1A 至 1D 中，電晶體 100 包括基板 101；配置於基板 101 上之基底絕緣膜 103；配置於基底絕緣膜 103 上之氧化物半導體膜 105；配置於基底絕緣膜 103 之上並接觸至少氧化物半導體膜 105 側面之側壁絕緣膜 107；配置於氧化物半導體膜 105 及側壁絕緣膜 107 上之源極電極 109a 及汲極電極 109b；覆蓋部分氧化物半導體膜 105、源極電極 109a、及汲極電極 109b 之閘極絕緣膜 111；及閘極絕緣膜 111 之上並與氧化物半導體膜 105 重疊之閘極電極 113。即，電晶體 100 具有頂閘頂部接觸結構。

此外，在電晶體 100 中，氧化物半導體膜 105 包括添加摻雜劑之區域及未添加摻雜劑之區域。具體地，氧化物半導體膜 105 包括與閘極電極 113 重疊之第一氧化物半導體區域 125、一對第二氧化物半導體區域 135a 及 135b、及與源極電極 109a 及汲極電極 109b 重疊之一對第三氧化物半導體區域 145a 及 145b。該對第二氧化物半導體區域 135a 及 135b 配置第一氧化物半導體區域 125 夾於其間。該對第三氧化物半導體區域 145a 及 145b 經配置而接觸該對第二氧化物半導體區域 135a 及 135b 側面。此外，摻雜劑添加至該對第二氧化物半導體區域 135a 及 135b，反之，摻雜劑未添加至第一氧化物半導體區域 125 及該對第三

氧化物半導體區域 145a 及 145b。

由於摻雜劑添加至該對第二氧化物半導體區域 135a 及 135b，本說明書中該對第二氧化物半導體區域 135a 及 135b 稱為輕微摻雜汲極(LDD)區域。在電晶體 100 中，通道形成之區域為與閘極電極 113 重疊之第一氧化物半導體區域 125，及該對第三氧化物半導體區域 145a 及 145b 充當源極區域及汲極區域。

電晶體 100 可具有結構其中覆蓋閘極絕緣膜 111 及閘極電極 113 之保護絕緣膜 115 係額外配置(詳圖 1B 至 1D)。

其次，將說明電晶體 100 之修改範例之電晶體 110。圖 2A 為俯視圖，描繪電晶體 110 之結構。圖 2B 相應於沿圖 2A 中虛線 A-B 之截面圖。圖 2C 相應於沿圖 2A 中虛線 C-D 之截面圖。圖 2D 相應於沿圖 2A 中虛線 E-F 之截面圖。請注意，為求清晰，圖 2A 中未描繪基底絕緣膜 103、閘極絕緣膜 111、及保護絕緣膜 115。

在圖 2A 至 2D 中，電晶體 110 之基底絕緣膜 103 的形狀與電晶體 100 中不同。電晶體 110 之基底絕緣膜 103 於基底絕緣膜 103 接觸氧化物半導體膜 105 之區域中具有凸出。因此，電晶體 110 之側壁絕緣膜 107 係配置於基底絕緣膜 103 之上，並接觸至少氧化物半導體膜 105 之側面及基底絕緣膜 103 之凸出之側面。電晶體 110 之其他組件類似於電晶體 100 中。

其次，將說明電晶體 100 之修改範例之電晶體 130。

圖 3A 為俯視圖，描繪電晶體 130 之結構。圖 3B 相應於沿圖 3A 中虛線 A-B 之截面圖。圖 3C 相應於沿圖 3A 中虛線 C-D 之截面圖。圖 3D 相應於沿圖 3A 中虛線 E-F 之截面圖。請注意，為求清晰，圖 3A 中未描繪基底絕緣膜 103、閘極絕緣膜 111、及保護絕緣膜 115。

在圖 3A 至 3D 中，如同在電晶體 110 之狀況，電晶體 130 之基底絕緣膜 103 之形狀與電晶體 100 不同，且電晶體 130 之基底絕緣膜 103 於基底絕緣膜 103 接觸氧化物半導體膜 105 之區域中具有凸出。此外，電晶體 130 配置藉由堆疊二或更多不同絕緣膜而形成之側壁絕緣膜 107a 及 107b。側壁絕緣膜 107a 係配置於基底絕緣膜 103 之上並至少接觸氧化物半導體膜 105 之側面及基底絕緣膜 103 之凸出之側面。側壁絕緣膜 107b 經配置而接觸側壁絕緣膜 107a。請注意，電晶體 130 之其他組件類似於電晶體 100 中。

其次，將說明電晶體 100 之修改範例之電晶體 140。圖 25A 為俯視圖，描繪電晶體 140 之結構。圖 25B 相應於沿圖 25A 中虛線 A-B 之截面圖。圖 25C 相應於沿圖 25A 中虛線 C-D 之截面圖。圖 25D 相應於沿圖 25A 中虛線 E-F 之截面圖。請注意，為求清晰，圖 25A 中未描繪基底絕緣膜 103、閘極絕緣膜 161、及保護絕緣膜 166。

圖 25A 至 25D 中電晶體 140 與電晶體 100 於添加摻雜劑之氧化物半導體膜 105 之區域形狀、閘極絕緣膜 161 之形狀、及保護絕緣膜 166 之形狀不同。

電晶體 140 之氧化物半導體膜 105 包括與閘極電極 113 重疊之第一氧化物半導體區域 125，及與部分源極電極 109a 及部分汲極電極 109b 重疊之該對第二氧化物半導體區域 165a 及 165b。該對第二氧化物半導體區域 165a 及 165b 配置第一氧化物半導體區域 125 夾於其間。此外，摻雜劑添加至該對第二氧化物半導體區域 165a 及 165b。

電晶體 140 之閘極絕緣膜 161 僅配置與閘極電極 113 重疊之區域。因此，部分保護絕緣膜 166 接觸氧化物半導體膜 105。請注意，電晶體 140 之其他組件類似於電晶體 100 中。

#### (電晶體 100 之製造方法)

其次，將參照圖 4A 至 4C、圖 5A 至 5C、圖 6A 至 6C、及圖 7A 至 7C 說明圖 1A 至 1D 中所描繪之電晶體 100 之製造方法。請注意，圖 4A 至 4C、圖 5A 至 5C、圖 6A 至 6C、及圖 7A 至 7C 為截面圖，描繪電晶體 100 之製造方法並相應於沿圖 1A 中虛線 A-B 之截面圖。

基底絕緣膜 103 係形成於基板 101 之上作爲第一絕緣膜。

對於基板 101 之材料等並無特別限制，只要材料具有足以耐受至少之後執行之熱處理的耐熱性即可。例如，玻璃基板、陶瓷基板、石英基板、藍寶石基板等可用作基板 101。

另一方面，可使用矽、碳化矽等之單晶半導體基板或

多晶半導體基板；矽鍺等之化合物半導體基板；諸如金屬或不鏽鋼之導體之導電基板；藉由以絕緣材料覆蓋任何該些半導體基板及導電基板表面所獲得之基板等。仍另一方面，半導體元件配置於任何該些基板上之組件可用作基板 101。

仍進一步另一方面，彈性玻璃基板或彈性塑料基板可用作基板 101。有關塑料基板，較佳地使用具有低折射率各向異性之基板，典型地可使用聚硫醚膜(PES)、聚醯亞胺膜、聚萘二甲酸乙二醇酯(PEN)膜、聚氟乙烯(PVF)膜、聚酯膜、聚碳酸酯(PC)膜、丙烯酸樹脂膜、包括局部固化有機樹脂之纖維體的半固化片等。

基底絕緣膜 103 避免雜質(例如，諸如 Li 或 Na 之鹼金屬)從基板 101 擴散，及電晶體 100 之製造程序之蝕刻步驟中蝕刻基板 101。

基底絕緣膜 103 經形成具有使用諸如氧化矽、氧化鎔、氧化鋁、氧化鉛、及氧化釔之任何氧化物絕緣膜材料之單層結構或堆疊層結構。

此外，在電晶體 100 之製造中，為雜質之諸如 Li 或 Na 之鹼金屬的含量較佳地低。若包含諸如鹼金屬之雜質的玻璃基板用作基板 101，較佳的是基底絕緣膜 103 具有堆疊層結構，其中使用諸如氮化矽或氮化鋁之氮化物絕緣膜材料形成接觸基板 101 之絕緣膜以避免鹼金屬輸入。

此外，基底絕緣膜 103 較佳地使用氧化物絕緣膜形成，至少其表面包含氧並藉由熱處理而釋放部分氧。有關藉

由熱處理而釋放部分氧之氧化物絕緣膜，可使用包含多於化學計量比例之氧的氧化物絕緣膜。這是因為氧可藉由熱處理而擴散至接觸基底絕緣膜 103 之氧化物半導體膜。

基底絕緣膜 103 之厚度為大於或等於 50 nm，較佳地為大於或等於 200 nm 及小於或等於 500 nm，進一步較佳地為大於或等於 500 nm 及小於或等於 800 nm。基於使用厚基底絕緣膜 103，從基底絕緣膜 103 釋放之氧量可增加，並可減少基底絕緣膜 103 與之後形成之氧化物半導體膜之間介面之介面狀態密度。

在本說明書中，氮氧化矽係指包含氮多於氧之物質，例如氮氧化矽包括氮、矽、及氬之濃度分別為大於或等於 50 原子% 及小於或等於 70 原子%，大於或等於 0.5 原子% 及小於或等於 15 原子%，大於或等於 25 原子% 及小於或等於 35 原子%，及大於或等於 0 原子% 及小於或等於 10 原子%。此外，氧氮化矽係指包含氧多於氮之物質，例如氧氮化矽包括氮、矽、及氬之濃度分別為大於或等於 5 原子% 及小於或等於 30 原子%，大於或等於 20 原子% 及小於或等於 55 原子%，大於或等於 25 原子% 及小於或等於 35 原子%，及大於或等於 10 原子% 及小於或等於 25 原子%。請注意，以上範圍係藉由使用盧瑟福背散射光譜量 (RBS) 或氬前散射光譜 (HFS) 測量而予獲得。此外，組成元素之總百分比不超過 100 原子%。

「藉由熱處理而釋放部分氧」表示在熱脫附譜 (TDS) 分析中，被轉換為氧原子之釋放之氧量為大於或等於  $1.0 \times$

$10^{18}$  原子/ $\text{cm}^3$ ，較佳地為大於或等於  $3.0 \times 10^{20}$  原子/ $\text{cm}^3$ 。

以下將說明使用 TDS 分析轉換為氧原子而量化釋放之  
氧量的方法。

TDS 分析中釋放之氣體量與譜之整數值成比例。因此  
，可從絕緣膜之譜的整數值與標準樣本之參考值之間的比  
例來計算釋放之氣體量。標準樣本之參考值係指樣本中所  
包含之預定原子之密度相對於譜之整數值的比例。

例如，基於包含預定密度之氫之矽晶圓的 TDS 分析結  
果，此係標準樣本，及絕緣膜之 TDS 分析結果，可根據方  
程式 1 發現來自絕緣膜之氧分子( $\text{N}_{\text{O}_2}$ )的釋放量。此處，藉  
由 TDS 分析獲得之所有具有質量數 32 之光譜均假定源自  
氧分子。可提供  $\text{CH}_3\text{OH}$  作為具有質量數 32 之氣體，但不  
考慮不可能呈現之假設。此外，亦未考慮包括具有 17 或  
18 質量數之氧原子的氧分子，其為氧原子之同位素，因為  
該等分子的比例在自然界極微。

#### [方程式 1]

$$\text{N}_{\text{O}_2} = \text{N}_{\text{H}_2} / S_{\text{H}_2} \times S_{\text{O}_2} \times \alpha \quad (\text{方程式 1})$$

$\text{N}_{\text{H}_2}$  為藉由將從標準樣本釋放之氫分子數轉換為密度  
所獲得之值。 $S_{\text{H}_2}$  為當標準樣本歷經 TDS 分析時，譜之整  
數值。此處，標準樣本之參考值設定為  $\text{N}_{\text{H}_2} / S_{\text{H}_2}$ 。 $S_{\text{O}_2}$  為藉  
由 TDS 分析之絕緣膜之譜之整數值。 $\alpha$  為影響 TDS 分析中  
譜之強度的係數。對於方程式 1 之細節而言，參照日本公  
開專利申請案 No. H6-275697。請注意，以上釋放之氧量

值係以 ESCO Ltd. 生產之熱脫附譜設備 EMD-WA1000S/W，使用包含  $1 \times 10^{16}$  原子/ $\text{cm}^3$  氢原子之矽晶圓作為標準樣本而予測量。

此外，在 TDS 分析中，部分氧被檢測為氧原子。氧分子與氧原子之間之比例可從氧分子之電離率予以計算。請注意，由於以上  $\alpha$  包括氧分子之電離率，亦可經由釋放之氧分子數的評估而估計釋放之氧原子數。

請注意， $N_{\text{O}_2}$  為釋放之氧分子數。對絕緣膜而言，轉換為氧原子所釋放之氧量為釋放之氧分子數的兩倍。

有關藉由熱處理而釋放部分氧之氧化物絕緣膜範例，提供包含多於化學計量比例之氧的氧化物絕緣膜，具體地為超氧氧化矽 ( $\text{SiO}_x (X > 2)$ ) 膜。在超氧氧化矽 ( $\text{SiO}_x (X > 2)$ ) 中，每單元量氧原子數超過每單元量矽原子數兩倍。每單元量矽原子數及氧原子數係藉由盧瑟福背散射光譜測量。

藉由熱處理而釋放部分氧之氧化物絕緣膜用作基底絕緣膜 103，藉此氧可擴散至之後形成之氧化物半導體膜，並可減少基底絕緣膜 103 與氧化物半導體膜之間之介面狀態密度。因此，因電晶體 100 之作業產生之電荷等可免於在基底絕緣膜 103 與氧化物半導體膜之間之介面被捕獲，因而電晶體 100 可為具電特性少惡化之電晶體。

基底絕緣膜 103 可藉由濺鍍法、CVD 法等予以形成。若使用 CVD 法，較佳的是於基底絕緣膜 103 形成之後，藉由熱處理而釋放及移除基底絕緣膜 103 中所包含之氫等。請注意，若使用藉由熱處理而釋放部分氧之氧化物絕緣

膜來形成基底絕緣膜 103，濺鍍法較佳，在此狀況下可輕易形成基底絕緣膜 103。

若藉由濺鍍法形成，可使用矽靶材、石英靶材、鋁靶材、氧化鋁靶材等於包含氧之氣體中形成基底絕緣膜 103。氣體中氧相對於整個氣體之比例為 6 體積%或更高，較佳地為 50 體積%或更高。藉由增加氣體中之氧氣比例，可形成藉由熱處理而釋放部分氧之氧化物絕緣膜。

靶材中較佳地盡可能移除氫。具體地，使用包括 100 ppm 或更低之 OH 族的氧化物靶材，較佳地為 10 ppm 或更低，進一步較佳地為 1 ppm 或更低，藉此可減少基底絕緣膜 103 之氫濃度，並改進電晶體 100 之電特性及可靠性。例如，熔合石英較佳，因為其易於形成以便包括 10 ppm 或更低之 OH 族，且不昂貴。不用說，可使用具有低 OH 族濃度之合成石英靶材。

其次，第一氧化物半導體膜 120 係形成於基底絕緣膜 103 之上(詳圖 4A)。第一氧化物半導體膜 120 可藉由濺鍍法、分子束外延法、自動層沉積法、或脈衝雷射沉積法而形成於基底絕緣膜 103 之上。此處，係藉由濺鍍法形成第一氧化物半導體膜 120。第一氧化物半導體膜 120 之厚度可大於或等於 1 nm 及小於或等於 50 nm。

第一氧化物半導體膜 120 可使用包含選自 In、Ga、Sn、及 Zn 之一或多項元素之金屬氧化物予以形成。請注意，有關金屬氧化物，使用具有大於或等於 2 eV 帶隙鍺，較佳地為大於或等於 2.5 eV，進一步較佳地為大於或等

於 3 eV。藉由使用具有寬帶隙之該等金屬氧化物可減少電晶體 100 之關閉狀態電流。

對第一氧化物半導體膜 120 而言，可使用例如：四成分金屬氧化物，諸如 In-Sn-Ga-Zn 基氧化物半導體；三成分金屬氧化物，諸如 In-Ga-Zn 基氧化物半導體、In-Sn-Zn 基氧化物半導體、In-Al-Zn 基氧化物半導體、Sn-Ga-Zn 基氧化物半導體、Al-Ga-Zn 基氧化物半導體、或 Sn-Al-Zn 基氧化物半導體；二成分金屬氧化物，諸如 In-Zn 基氧化物半導體、Sn-Zn 基氧化物半導體、Al-Zn 基氧化物半導體、Zn-Mg 基氧化物半導體、Sn-Mg 基氧化物半導體、In-Mg 基氧化物半導體、或 In-Ga 基氧化物半導體；或單成分金屬氧化物，諸如氧化銦、氧化錫、或氧化鋅。請注意，n 成分金屬氧化物包括 n 種金屬氧化物。此處，例如 In-Ga-Zn 基氧化物半導體，其為三成分金屬氧化物，表示氧化物包含銦 (In)、鎵 (Ga)、及鋅 (Zn)，且對於其組成比並無特別限制。此外，In-Ga-Zn 基氧化物半導體可包含非 In、Ga、及 Zn 之元素。

請注意，相較於化學計量比例中之氧，較佳的是金屬氧化物中包含過度氧 (O)。當包含過度氧 (O) 時，可避免將形成之第一氧化物半導體膜 120 中因缺氧而產生載子。

對第一氧化物半導體膜 120 而言，可使用藉由化學式  $InMO_3(ZnO)_m$  ( $m > 0$ ) 代表之氧化物半導體。此處，M 代表選自 Zn、Ga、Al、Mn、及 Co 之一或更多金屬元素。例如，M 可為 Ga、Ga 及 Al、Ga 及 Mn、Ga 及 Co 等。

若 In-Zn 基氧化物半導體用於第一氧化物半導體膜 120，靶材具有  $In : Zn = 50 : 1$  至  $1 : 2$  原子比之成分比 ( $In_2O_3 : ZnO = 25 : 1$  至  $1 : 4$  摩爾比)，較佳地為  $In : Zn = 20 : 1$  至  $1 : 1$  原子比 ( $In_2O_3 : ZnO = 10 : 1$  至  $1 : 2$  摩爾比)，進一步較佳地為  $In : Zn = 1.5 : 1$  至  $15 : 1$  原子比 ( $In_2O_3 : ZnO = 3 : 4$  至  $15 : 2$  摩爾比)。例如，在用於形成 In-Zn 基氧化物半導體之靶材中，其具有  $In : Zn : O = X : Y : Z$  之原子比，滿足  $Z > 1.5X + Y$  之關係。

第一氧化物半導體膜 120 可為非結晶氧化物半導體膜或包括結晶區域之氧化物半導體膜。

此處，以下將詳細說明用於形成第一氧化物半導體膜 120 之濺鍍設備。

用於形成第一氧化物半導體膜 120 之處理室的洩漏率較佳地為低於或等於  $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3/\text{sec}$ ；因而，可抑制藉由濺鍍法形成中雜質進入膜。

為降低洩漏率，內部洩漏以及外部洩漏需減少。外部洩漏係指氣體從真空系統外部經由微小孔洞、密封缺陷等流入。內部洩漏為因經由真空系統中諸如閥之隔板的洩漏，或因從內部構件釋放之氣體。需從外部洩漏及內部洩漏二方面採取措施，使得洩漏率低於或等於  $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3/\text{sec}$ 。

為減少外部洩漏，處理室之開啓/關閉部分較佳地以金屬墊片密封。對金屬墊片而言，較佳地使用以氟化鐵、氧化鋁、或氧化鉻覆蓋之金屬材料。金屬墊片體現較 O 環更高黏合，並可減少外部洩漏。此外，藉由使用處於被動

狀態之以氟化鐵、氧化鋁、氧化鉻等覆蓋之金屬材料，可抑制從金屬墊片產生之包含氫之釋放氣體，使得內部洩漏亦可減少。

有關用於處理室內壁之構件，可使用鋁、鉻、鈦、鎔、鎳、或釷，由此釋放之包含氫的氣體量小，或包含鐵、鉻、鎳等至少一項並以任何該些元素覆蓋之合金材料。包含鐵、鉻、鎳等至少一項之合金材料具有硬度並耐熱及適於處理。此處，當構件之表面不平坦藉由拋光等減少以減少處理室內壁之表面面積時，可減少釋放之氣體。另一方面，構件可以處於被動狀態之氟化鐵、氧化鋁、氧化鉻等覆蓋。

此外，較佳地在處理室前方提供用於氣體之精製機。此時，精製機與處理室之間管線之長度為小於或等於 5 m，較佳地為小於或等於 1 m。當管線之長度為小於或等於 5 m 或小於或等於 1 m 時，從管線釋放之氣體的影響可因此減少。

處理室之疏散較佳地以諸如乾泵之粗略真空泵，及諸如濺射離子泵、渦輪分子泵、或低溫泵之高真空泵，適當組合執行。渦輪分子泵在疏散大型分子方面具有突出能力，反之，在疏散氫或水方面具有低能力。因此，具有疏散水方面高能力之低溫泵及具有疏散氫方面高能力之濺射離子泵的組合是有效的。

呈現於處理室中之吸附物不影響處理室中壓力，因為其係吸附在內壁上，但吸附物於處理室疏散時導致氣體釋

放。因此，儘管洩漏率及疏散率不具有相互關係，重要的是預先使用具有高疏散能力之泵執行呈現於處理室中吸附物的盡可能脫附及疏散。請注意，處理室可歷經烘烤以促進吸附物之脫附。藉由烘烤，吸附物之脫附率可增加約十倍。可以高於或等於  $100^{\circ}\text{C}$  及低於或等於  $450^{\circ}\text{C}$  之溫度執行烘烤。此時，當吸附物移除同時惰性氣體導入時，難以僅藉由疏散而脫附之水等的脫附率，可進一步增加。

在濺鍍法中，RF 電源裝置、AC 電源裝置、DC 電源裝置等可適當地用作用於產生電漿之電源裝置。

有關用於藉由濺鍍法而形成第一氧化物半導體膜 120 之靶材，可使用包含選自 In、Ga、Sn、及 Zn 之一或多項元素的金屬氧化物靶材。有關靶材，可使用四成分金屬氧化物，諸如 In-Sn-Ga-Zn 基金屬氧化物；三成分金屬氧化物，諸如 In-Ga-Zn 基金屬氧化物、In-Sn-Zn 基金屬氧化物、In-Al-Zn 基金屬氧化物、Sn-Ga-Zn 基金屬氧化物、Al-Ga-Zn 基金屬氧化物、或 Sn-Al-Zn 基金屬氧化物；二成分金屬氧化物，諸如 In-Zn 基金屬氧化物或 Sn-Zn 基金屬氧化物等。

有關靶材之範例，包含 In、Ga、及 Zn 之金屬氧化物靶材具有  $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$  [摩爾比] 之組成比。另一方面，具有  $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$  [摩爾比] 之組成比的靶材、具有  $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 4$  [摩爾比] 之組成比的靶材、或具有  $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 2 : 1 : 8$  [摩爾比] 之組成比的靶材可用作金屬氧化物靶材。

若 In-Zn 基氧化物半導體用於第一氧化物半導體膜 120，靶材具有  $In : Zn = 50 : 1$  至  $1 : 2$  原子比之成分比 ( $In_2O_3 : ZnO = 25 : 1$  至  $1 : 4$  摩爾比)，較佳地為  $In : Zn = 20 : 1$  至  $1 : 1$  原子比 ( $In_2O_3 : ZnO = 10 : 1$  至  $1 : 2$  摩爾比)，進一步較佳地為  $In : Zn = 1.5 : 1$  至  $15 : 1$  原子比 ( $In_2O_3 : ZnO = 3 : 4$  至  $15 : 2$  摩爾比)。例如，在用於形成 In-Zn 基氧化物半導體之靶材中，其具有  $In : Zn : O = X : Y : Z$  之原子比，滿足  $Z > 1.5X + Y$  之關係。

有關氣體，適當地使用稀有氣體(典型為氬)、氧氣、或稀有氣體及氧之混合氣體。較佳的是諸如氬、水、羥基、及氫化物之雜質移除之高純度氣體用作氣體。

使用以上濺鍍設備，可形成抑制氫輸入之第一氧化物半導體膜 120。請注意，甚至當使用濺鍍設備時，第一氧化物半導體膜 120 包含多一些些之氮。例如，藉由二次離子質譜(SIMS)測量之第一氧化物半導體膜 120 之氮濃度為低於  $5 \times 10^{18}$  原子/ $\text{cm}^3$ 。

基底絕緣膜 103 及第一氧化物半導體膜 120 可接連地於真空中形成。例如，在藉由熱處理或電漿處理移除基板 101 表面上包括氬之雜質之後，可形成基底絕緣膜 103 而未暴露於空氣，且第一氧化物半導體膜 120 可接連地形成而未暴露於空氣。以此方式，可減少基板 101 表面上包括氬之雜質，並可避免氣體成分附著至基板 101 與基底絕緣膜 103 之間之介面及基底絕緣膜 103 與第一氧化物半導體膜 120 之間之介面。所以，電晶體 100 可為具有有利電特

性之高度可靠電晶體。

此外，在第一氧化物半導體膜 120 形成期間或之後，有時第一氧化物半導體膜 120 中因缺氧而產生電荷。第一氧化物半導體膜 120 中部分缺氧充當供體以產生為載子之電子，因而電晶體 100 之閾值電壓為負向偏移。

因此，在第一氧化物半導體膜 120 形成之後，執行第一熱處理以形成第二氧化物半導體膜 122(詳圖 4B)。

藉由第一熱處理，從第一氧化物半導體膜 120 釋放氫(包括水、羥基、及氫化物)、釋放基底絕緣膜 103 中所包含之部分氧、及氧擴散進入第一氧化物半導體膜 120 及基底絕緣膜 103 與第一氧化物半導體膜 120 之間之介面附近。

可以發生氧擴散之溫度於氧化氣體或惰性氣體中執行第一熱處理，具體地，為高於或等於  $150^{\circ}\text{C}$  及低於基板之應變點，較佳地為高於或等於  $250^{\circ}\text{C}$  及低於或等於  $450^{\circ}\text{C}$ ，進一步較佳地為高於或等於  $300^{\circ}\text{C}$  及低於或等於  $450^{\circ}\text{C}$ 。此處，氧化氣體係指包括  $10 \text{ ppm}$  或更高諸如氧、臭氧、或一氧化氮之氧化氣體的氣體。惰性氣體係指包括低於  $10 \text{ ppm}$  之氧化氣體並填充氮或稀有氣體的氣體。處理時間為 3 分鐘至 24 小時。長於 24 小時之熱處理並非較佳，因為生產力減少。

對於用於第一熱處理之熱處理設備並無特別限制，設備可為配置藉由諸如電阻加熱元件之加熱元件的熱輻射或熱傳導而用於加熱將處理之目標的裝置。例如，可使用電

熔爐、或快速熱退火(RTA)設備，諸如氣體快速熱退火(GRTA)設備或燈快速熱退火(LRTA)設備。LRTA設備為一種設備，藉由自諸如鹵素燈、金屬鹵化物燈、氬弧燈、碳弧燈、高壓鈉燈或高壓水銀燈之燈所發射光的輻射(電磁波)而加熱將處理之目標。GRTA設備為用於使用高溫氣體而熱處理之設備。

第一熱處理使得釋放基底絕緣膜103中所包含之部分氧，且氧將擴散進入第一氧化物半導體膜120及基底絕緣膜103與第一氧化物半導體膜120之間之介面附近，藉此補償第一氧化物半導體膜120中缺氧。換言之，當氧從基底絕緣膜103充分擴散至第一氧化物半導體膜120時，可補償可能造成閾值電壓負偏移之第一氧化物半導體膜120中缺氧。

此外，第一氧化物半導體膜120中氬充當供體以產生為載子之電子。藉由第一熱處理，第一氧化物半導體膜120之氬濃度減少，藉此形成高度純化第二氧化物半導體膜122。此處，第二氧化物半導體膜122之氬濃度為低於 $5 \times 10^{18}$ 原子/ $\text{cm}^3$ ，較佳地為低於或等於 $1 \times 10^{18}$ 原子/ $\text{cm}^3$ ，進一步較佳地為低於或等於 $5 \times 10^{17}$ 原子/ $\text{cm}^3$ ，仍進一步較佳地為低於或等於 $1 \times 10^{16}$ 原子/ $\text{cm}^3$ 。請注意，第二氧化物半導體膜122之氬濃度係藉由二次離子質譜(SIMS)測量。

藉由第一熱處理，因諸如第二氧化物半導體膜122中氬之供體產生之載子密度變成低於或等於 $1 \times 10^{13}$ / $\text{cm}^3$ ，其中氬濃度充分減少使得氧化物半導體被純化，及其中因缺

氣之能隙中缺陷狀態藉由充分供應氣而減少。室溫( $25^{\circ}\text{C}$ )下關閉狀態電流(此處為每單位通道寬度( $1\ \mu\text{m}$ ))為小於或等於 $100\ \text{zA}$ ( $1\ \text{zA}$ (介安)為 $1\times 10^{-21}\ \text{A}$ )，較佳地為小於或等於 $10\ \text{zA}$ 。使用第二氧化物半導體膜122可獲得具有極佳關閉狀態電流特性之電晶體100。由於諸如Li或Na之鹼金屬為雜質，該等鹼金屬之含量較佳地減少。第二氧化物半導體膜122中鹼金屬之濃度為低於或等於 $2\times 10^{16}\ \text{cm}^{-3}$ ，較佳地為低於或等於 $1\times 10^{15}\ \text{cm}^{-3}$ 。此外，鹼土金屬之含量較佳地低，因為其亦為雜質。

因而，第一熱處理使電晶體100具有有利電特性及可靠性。

其次，第二氧化物半導體膜122歷經第一光刻步驟，使得抗蝕罩形成於第二氧化物半導體膜122之上。使用抗蝕罩於第一蝕刻步驟中處理第二氧化物半導體膜122，使得形成第三氧化物半導體膜124(詳圖4C)。請注意，可適當藉由噴墨法、印刷法等，以及經由光刻步驟而形成抗蝕罩。

在第一蝕刻步驟中，較佳地執行蝕刻使得第三氧化物半導體膜124之端部為錐形。當第三氧化物半導體膜124具有錐形端部時，可改進以之後作為側壁絕緣膜107之第二絕緣膜117之覆蓋。若使用光刻步驟，可藉由執行蝕刻同時減少抗蝕罩尺寸而獲得錐形形狀。

第一蝕刻步驟可為乾式蝕刻、濕式蝕刻、或其組合。有關用於濕式蝕刻之蝕刻劑，可使用磷酸、乙酸及硝酸之

混合溶液、過氧化氫氨混合物(31重量%過氧化氫水：28重量%氨水：水=5：2：2(體積比))等。此外，亦可使用ITO07N(KANTO化學CO., INC.製造)。

有關用於乾式蝕刻之蝕刻氣體，較佳地使用包含氯之氣體(氯基氣體，諸如氯( $\text{Cl}_2$ )、氯化硼( $\text{BCl}_3$ )、氯化矽( $\text{SiCl}_4$ )或四氯化碳( $\text{CCl}_4$ ))。

另一方面，可使用包含氟之氣體(氟基氣體，諸如四氟化碳( $\text{CF}_4$ )、氟化硫( $\text{SF}_6$ )、三氟化氮( $\text{NF}_3$ )或三氟甲烷( $\text{CHF}_3$ ))；溴化氫( $\text{HBr}$ )；氧( $\text{O}_2$ )；任一該些氣體添加諸如氦( $\text{He}$ )或氩( $\text{Ar}$ )之稀有氣體等。

對乾式蝕刻而言，可使用平行板反應離子蝕刻(RIE)法或電感耦合電漿(ICP)蝕刻法。為將膜處理為所欲形狀，便適當調整蝕刻狀況(施加於線圈狀電極之電量、施加於基板側電極之電量、基板側電極之溫度等)。

在第三氧化物半導體膜124形成之後，移除抗蝕罩。此時，儘管可使用化學溶液(抗蝕劑去除器)，抗蝕罩可藉由氧電漿灰化移除。抗蝕罩係藉由氧電漿灰化執行移除，藉此可避免因化學溶液之第三氧化物半導體膜124表面污染，並可藉由氧電漿而供應氧至第三氧化物半導體膜124。

被處理為所欲形狀之氧化物半導體膜側面是活動的，諸如第三氧化物半導體膜124。請注意，用詞「活動」表示基於懸鍵之不穩定鍵合狀態。下列現象使氧化物半導體膜之側面活動。

當氧化物半導體膜被處理為所欲形狀時，例如，當在以上狀況下執行乾式蝕刻時，若氧化物半導體膜之側面暴露於包括氯自由基、氟自由基等之電漿，暴露於氧化物半導體膜側面之金屬原子便與氯自由基、氟自由基等結合。此時，金屬原子及氯原子或氟原子之結合釋放，使得已與氧化物半導體膜中金屬原子結合之氧原子成為活動。活動氧原子易於反應及釋放。因此，易於在氧化物半導體膜側面造成缺氧。

當被處理為所欲形狀之氧化物半導體膜的側面為活動時，便於減壓氣體或減少氣體中提取氧，並於氧化物半導體膜側面造成缺氧。減壓氣體或減少氣體為處理氣體，通常用於電晶體之製造步驟，諸如膜形成、熱處理、或乾式蝕刻。尤其，在歷經熱處理之氣體中，易於在氧化物半導體膜側面造成缺氧。此外，部分缺氧充當供體以產生為載子之電子，使得氧化物半導體膜側面具有n型導電性。

電晶體之源極電極及汲極電極接觸包括具有n型導電性側面之氧化物半導體膜側面，使得經由氧化物半導體膜側面，源極電極與汲極電極之間產生洩漏電流。洩漏電流增加電晶體之關閉狀態電流。此外，電流流經氧化物半導體膜側面之可能性造成形成一電晶體其中氧化物半導體膜側面為通道區域。

簡言之，可以說第三氧化物半導體膜124之側面為活動，並於其上造成缺氧。

其次，第二絕緣膜117經形成以覆蓋基底絕緣膜103

及第三氧化物半導體膜 124(詳圖 5A)。

可使用基底絕緣膜 103 之說明中提供之任何材料以類似於基底絕緣膜 103 之方式形成第二絕緣膜 117。尤其較佳的是使用至少氧化物絕緣膜之表面，其包含氧並藉由熱處理而釋放部分氧。

接著，拋光第二絕緣膜 117 之表面使得第三氧化物半導體膜 124 之表面(頂面)暴露，使得接觸至少第三氧化物半導體膜 124 側面之側壁絕緣膜 107 形成作為第三絕緣膜(詳圖 5B)。

有關拋光第二絕緣膜 117 表面之方法，可提供化學機械拋光(CMP)處理。

此處，CMP 處理為藉由使用表面作為參考之化學及機械動作組合而平面化將拋光之目標表面的方法。通常，CMP 法為一種方法，其中拋光布附著至拋光台，拋光台及將拋光之目標各旋轉或擺動同時於將拋光之目標與拋光布之間供應漿液(研磨料)，並藉由漿液與將拋光之目標表面之間之化學反應，及藉由拋光布對將拋光之目標之機械拋光動作，而拋光將拋光之目標表面。

CMP 處理可執行一次或複數次。當 CMP 處理執行複數次時，較佳地以高拋光率執行第一拋光，之後以低拋光率執行最後拋光。藉由不同拋光率之該等拋光組合，可進一步改進側壁絕緣膜 107 之表面的平面度。

例如，第二絕緣膜 117 之表面在下列狀況下執行 CMP 處理，其中使用聚氨酯拋光布，及矽膠漿(晶粒尺寸：60

nm)用作供應作為漿料之化學溶液。適當調整 CMP 之其他狀況如下：漿料流率為大於或等於 100 ml/min 及小於或等於 300 ml/min；拋光壓力為高於或等於 0.005 MPa 及低於或等於 0.08 MPa；主軸旋轉速度為大於或等於 20 rpm 及小於或等於 50 rpm；及台旋轉速度為大於或等於 20 rpm 及小於或等於 50 rpm。此外，可依據用於 CMP 處理之設備而改變處理狀況，因而可適當調整而不侷限於以上狀況。

在電晶體 100 之製造方法中，可經由與以上說明不同之形成步驟而形成側壁絕緣膜 107。第三氧化物半導體膜 124 亦可能於第二絕緣膜 117 之 CMP 處理中被拋光為某程度，導致第三氧化物半導體膜 124 之尺寸減少。第三氧化物半導體膜 124 之物理拋光可導致第三氧化物半導體膜 124 之修改，諸如於表面產生缺陷。因此，可藉由 CMP 處理移除大部分第二絕緣膜 117，接著可藉由乾式蝕刻暴露第三氧化物半導體膜 124 之表面。

藉由 CMP 處理，側壁絕緣膜 107 可經形成而具有與第三氧化物半導體膜 124 實質上相同厚度。再者，因為第三氧化物半導體膜 124 頂面與側壁絕緣膜 107 頂面之間形成之步級小，且第三氧化物半導體膜 124 頂面不平坦與側壁絕緣膜 107 頂面不平坦之間之差異亦小，平面度高。

結果，至少氧化物半導體膜 105 中通道形成區域之上，之後形成之閘極絕緣膜 111 之厚度可減少。藉由減少通道形成區域之上閘極絕緣膜 111 之厚度，可抑制藉由極度

減少電晶體 100 之通道長度造成之短通道效應的影響。

從以上說明，可以說第三氧化物半導體膜 124 側面為活動並於其上造成缺氧；因此，可於側壁絕緣膜 107 形成之後執行第二熱處理。側壁絕緣膜 107 中所包含之部分氧釋放，且氧擴散進入第三氧化物半導體膜 124 及第三氧化物半導體膜 124 側面；因而，缺氧得以補償。藉由第二熱處理氧充分擴散至第三氧化物半導體膜 124，藉此可補償可能造成閾值電壓負偏移之第三氧化物半導體膜 124 中缺氧。

此外，藉由第二熱處理，氧從基底絕緣膜 103 擴散進入第三氧化物半導體膜 124 及與第三氧化物半導體膜 124 之介面附近。可從第一熱處理之說明中提供之熱處理設備適當選擇用於第二熱處理之加熱設備。可以高於或等於  $150^{\circ}\text{C}$  及低於或等於  $450^{\circ}\text{C}$  之溫度執行第二熱處理，較佳地為高於或等於  $250^{\circ}\text{C}$  及低於或等於  $325^{\circ}\text{C}$ 。在第二熱處理中，溫度可逐漸增加至上述溫度或可漸次增加至上述溫度。第二熱處理可於但不侷限於氧化氣體或惰性氣體中執行，或可於減壓下執行。

藉由第二熱處理，可形成缺氧減少之第四氧化物半導體膜。請注意，第四氧化物半導體膜相應於圖 1A 至 1D 中所描繪之氧化物半導體膜 105(詳圖 5C)。因此，與圖 1A 至 1D 中所描繪之氧化物半導體膜 105 相同代號及陰影圖案用於圖 5C 中。請注意，可於側壁絕緣膜 107 形成之前(於第二絕緣膜 117 表面拋光之前)執行第二熱處理。

其次，將為源極電極 109a 及汲極電極 109b 之導電膜 119 係形成於氧化物半導體膜 105(第四氧化物半導體膜)及側壁絕緣膜 107 之上。之後，導電膜 119 歷經第二光刻步驟，使得抗蝕罩 139a 及 139b 形成於導電膜 119 之上(詳圖 6A)。導電膜 119 係於第二蝕刻步驟中使用抗蝕罩 139a 及 139b 處理，使得形成源極電極 109a 及汲極電極 109b(詳圖 6B)。

用於導電膜 119 之導電材料範例包括諸如鋁、鈦、鉻、鎳、銅、釔、鎔、鉬、銀、鉭、及鎢之金屬，及包含任何該些金屬作為主要成分之合金。導電膜 119 經形成而具有使用任何該些導電材料之單層結構或堆疊層結構。例如，可提供包含矽之鋁膜的單層結構；鈦膜堆疊於鋁膜之上的二層結構；鈦膜堆疊於鎢膜之上的二層結構；銅膜形成於銅-鎂-鋁合金膜之上的二層結構；及鈦膜、鋁膜、及鈦膜依序堆疊的三層結構。請注意，可使用包含氧化銦、氧化錫、或氧化鋅之透明導電材料。源極電極 109a 及汲極電極 109b 亦可充當源極佈線及汲極佈線。

有關導電膜 119，可藉由濺鍍法使用任何以上導電材料而形成導電膜。源極電極 109a 及汲極電極 109b 之厚度未特別限制，可考量導電材料之電阻及用於形成步驟之時間而適當決定。

第二光刻步驟可類似於第一光刻步驟。有關第二蝕刻步驟，可執行乾式蝕刻。例如，氯氣或三氯化硼氣體及氯氣之混合氣體可用作用於乾式蝕刻之蝕刻氣體。然而，本

發明之一實施例不侷限於此；可使用濕式蝕刻或可使用可處理導電膜 119 之其他方法。

在源極電極 109a 及汲極電極 109b 形成之後，移除抗蝕罩 139a 及 139b。此時，儘管可使用化學溶液（抗蝕劑去除器），抗蝕罩 139a 及 139b 可藉由氧電漿灰化移除。抗蝕罩 139a 及 139b 係藉由氧電漿灰化執行移除，藉此可避免因化學溶液之氧化物半導體膜 105 表面污染，並可藉由氧電漿而供應氧至氧化物半導體膜 105。

此外，源極電極 109a 與氧化物半導體膜 105 之間，及汲極電極 109b 與氧化物半導體膜 105 之間，可配置具有電阻係數高於源極電極 109a 及汲極電極 109b 及低於氧化物半導體膜 105 之導電膜（未顯示）。請注意，導電膜在本說明書中稱為低電阻膜。有關低電阻膜，可使用氧化銦（ $In_2O_3$ ）、氧化錫（ $SnO_2$ ）、氧化鋅（ $ZnO$ ）、氧化銦-氧化錫（ $In_2O_3-SnO_2$ ，縮寫為 ITO）、氧化銦-氧化鋅（ $In_2O_3-ZnO$ ）等導電金屬氧化物膜。另一方面，對低電阻膜而言，可使用包含氮之氧化銦鎵鋅、包含氮之氧化銦錫、包含氮之氧化銦鎵、包含氮之氧化銦鋅、包含氮之氧化錫、包含氮之氧化銦、或金屬氮化物（諸如  $InN$  或  $ZnN$ ）。進一步另一方面，可使用一至十石墨烯片形成之材料而形成低電阻膜。低電阻膜係以此方式配置於源極電極 109a 與氧化物半導體膜 105 之間及汲極電極 109b 與氧化物半導體膜 105 之間，可減少源極電極 109a 與氧化物半導體膜 105 之間及汲極電極 109b 與氧化物半導體膜 105 之間之接觸電阻。在

用於形成源極電極 109a 及汲極電極 109b 之第二蝕刻步驟中，可接續導電膜 119 之處理而使用抗蝕罩 139a 及 139b 處理低電阻膜(詳圖 6A)。

其次，閘極絕緣膜 111 係形成於氧化物半導體膜 105、源極電極 109a、及汲極電極 109b 之上，作為第四絕緣膜(詳圖 6C)。可使用基底絕緣膜 103 之說明中提供之任何絕緣膜材料及方法而形成具有單層結構或堆疊層結構之閘極絕緣膜 111。閘極絕緣膜 111 之厚度較佳地為大於或等於 1 nm 及小於或等於 300 nm，進一步較佳地為大於或等於 5 nm 及小於或等於 50 nm。當閘極絕緣膜 111 之厚度為大於或等於 5 nm 時，尤其可減少電晶體 100 之閘極洩漏電流。

閘極絕緣膜 111 較佳地於接觸氧化物半導體膜 105 之部分包含氧，因而較佳地使用氧化物絕緣膜予以形成，至少其表面包含氧並藉由熱處理而釋放部分氧。藉由熱處理而釋放部分氧之氧化物絕緣膜用作閘極絕緣膜 111，藉此可藉由之後說明之第三熱處理補償氧化物半導體膜 105 中造成之缺氧；因此，電晶體 100 可具有有利電特性及可靠性。

另一方面，可使用高 k 材料形成閘極絕緣膜 111，諸如氧化鉻、氧化釔、矽酸鉻( $HfSi_xO_y(x>0, y>0)$ )、添加氮之矽酸鉻( $HfSi_xO_yN_z(x>0, y>0, z>0)$ )、或鋁酸鉻( $HfAl_xO_y(x>0, y>0)$ )。由於高 k 材料具有高介電常數，閘極絕緣膜可具有較大實體厚度同時維持與例如氧化矽膜用

作閘極絕緣膜相同之電容；因此，可減少閘極洩漏電流。

請注意，較佳的是在閘極絕緣膜 111 形成之前，氧化物半導體膜 105 表面暴露於氧化氣體之電漿，以減少氧化物半導體膜 105 表面缺氧。

此處，可執行第三熱處理。藉由第三熱處理，氧從基底絕緣膜 103、側壁絕緣膜 107、及閘極絕緣膜 111 擴散至氧化物半導體膜 105。可從第一熱處理說明中提供之熱處理設備適當選擇用於第三熱處理之加熱設備。第三熱處理可以高於或等於  $150^{\circ}\text{C}$  及低於或等於  $450^{\circ}\text{C}$  之溫度執行，較佳地為高於或等於  $250^{\circ}\text{C}$  及低於或等於  $325^{\circ}\text{C}$ 。在第三熱處理中，溫度可逐漸增加至上述溫度或可漸次增加至上述溫度。第三熱處理可於但不侷限於氧化氣體或惰性氣體中執行，或可於減壓下執行。

儘管在本實施例中第二熱處理係於側壁絕緣膜 107 形成之後執行，本發明之一實施例不侷限於此。第三熱處理亦可充當第二熱處理，而未於側壁絕緣膜 107 形成之後執行第二熱處理。

其次，將為閘極電極 113 之導電膜 123 係形成於閘極絕緣膜 111 之上。可藉由濺鍍法使用用於形成源極電極 109a 及汲極電極 109b 之導電膜 119 之說明中提供之任何導電材料而形成導電膜 123。

之後，導電膜 123 歷經第三光刻步驟，使得抗蝕罩 133 形成於導電膜 123 之上(詳圖 7A)。於第三蝕刻步驟中使用抗蝕罩 133 來處理導電膜 123，使得形成閘極電極

113。此外，閘極電極 113 亦充當閘極佈線。

第三光刻步驟可類似於第一光刻步驟。有關第三蝕刻步驟，例如可執行乾式蝕刻。例如，氯氣或三氯化硼氣體及氯氣之混合氣體可用作蝕刻氣體用於乾式蝕刻。然而，第三蝕刻步驟不侷限於此；可使用濕式蝕刻或可使用可處理導電膜 123 之其他方法。

請注意，較佳的是將使用包含氮之 In-Ga-Zn 基金屬氧化物、包含氮之 In-Sn 基金屬氧化物、包含氮之 In-Ga 基金屬氧化物、包含氮之 In-Zn 基金屬氧化物、包含氮之氧化錫、包含氮之氧化銦、或金屬氮化物（諸如 InN 或 ZnN）形成之膜配置於閘極電極 113 與閘極絕緣膜 111 之間。該膜具有高於或等於 5 eV 之功函數，較佳地為高於或等於 5.5 eV，因而電晶體 100 之電特性中閾值電壓可正偏移；所以，電晶體 100 可為所謂正常關電晶體。例如，若使用包含氮之 In-Ga-Zn 基金屬氧化物，便使用具有至少高於氧化物半導體膜 105 之氮濃度的 In-Ga-Zn-O 膜；具體地，使用具有高於或等於 7 原子%之氮濃度的 In-Ga-Zn-O 膜。在用於形成閘極電極 113 之第三蝕刻步驟中，可接續導電膜 123 之處理而使用抗蝕罩 133 來處理膜（詳圖 7A）。

其次，第一氧化物半導體區域 125、該對第二氧化物半導體區域 135a 及 135b(LDD 區域)、及該對第三氧化物半導體區域 145a 及 145b 係於氧化物半導體膜 105 中形成。這些區域係以自對準方式藉由使用閘極電極 113、源極電極 109a、及汲極電極 109b 作為遮罩而添加摻雜劑 150

予以形成(詳圖 7B)。

有關添加之摻雜劑 150，可選擇諸如氮、磷、或砷之 15 族元素、諸如氦、氖、氬、氪、或氙之稀有氣體元素、及氬之至少一項。有關添加摻雜劑 150 之方法，可使用離子摻雜法或離子注入法。當使用離子摻雜法或離子注入法時，可輕易地控制添加摻雜劑 150 之深度(添加區域)，因而可以高準確性添加摻雜劑 150。可藉由離子摻雜法或離子注入法添加摻雜劑 150，同時加熱基板 101。

此外，亦可使用非離子摻雜法及離子注入法之方法實施添加摻雜劑 150。例如，可以下列方式添加摻雜劑：於包含將添加元素之氣體中產生電漿，並於添加摻雜劑之靶材上執行電漿處理。有關用於電漿處理之設備，可使用乾式蝕刻設備、電漿 CVD 設備、高密度電漿 CVD 設備等。此時，若成為 LDD 區域之部分氧化物半導體膜 105 包括結晶區域，於因用於形成 LDD 區域而添加摻雜劑 150 之損壞部分中結晶性可能減少，此造成該部分為非結晶區域。

LDD 區域之導電性為高於或等於  $10 \text{ S/cm}$  及低於或等於  $1000 \text{ S/cm}$ ，較佳地為高於或等於  $100 \text{ S/cm}$  及低於或等於  $1000 \text{ S/cm}$ 。請注意，當導電性過低時，電晶體 100 之開啓狀態電流減少。

藉由增加 LDD 區域之摻雜劑濃度，載子密度可增加；然而，過度高摻雜劑濃度可造成摻雜劑禁止載子轉移，且 LDD 區域之導電性將減少。

為此原因，LDD 區域之摻雜劑濃度較佳地為高於或等於  $5 \times 10^{18}$  原子/ $\text{cm}^3$  及低於或等於  $1 \times 10^{22}$  原子/ $\text{cm}^3$ 。摻雜劑 150 係經由閘極絕緣膜 111 而添加。由於摻雜劑濃度取決於閘極絕緣膜 111 之厚度，決定閘極絕緣膜 111 之厚度使得 LDD 區域之摻雜劑濃度處於以上範圍內。

此外，可於添加摻雜劑 150 之後執行熱處理。熱處理可以類似於第一至第三熱處理之方式執行，較佳地係以 LDD 區域未結晶之溫度執行。

用於添加摻雜劑 150 之處理可執行複數次。若執行複數次用於添加摻雜劑 150 之處理，摻雜劑 150 之種類可於複數處理中相同或於每一處理中不同。

依據以上說明，將提供添加摻雜劑 150 之狀況範例。

(1) 於例如 20 kV 加速電壓下添加氮作為摻雜劑 150。另一方面，(2) 於 40 kV 加速電壓下添加磷作為摻雜劑 150。此外，若用作摻雜劑 150 之氮或磷的劑量為小於或等於  $1 \times 10^{14} \text{ cm}^2$ ，較佳地以低於 450°C 之溫度執行熱處理。以此方式，LDD 區域之薄片電阻可低於或等於  $1 \times 10^7 \Omega/\text{sq}$ 。

若用作摻雜劑 150 之氮或磷之劑量為大於或等於  $5 \times 10^{14} \text{ cm}^2$  及低於  $5 \times 10^{15} \text{ cm}^2$ ，較佳地以高於或等於 450 °C 及低於或等於 600°C 之溫度執行熱處理。以此方式，LDD 區域之薄片電阻可低於或等於  $1 \times 10^5 \Omega/\text{sq}$ 。

若用作摻雜劑 150 之氮或磷之劑量為高於或等於  $5 \times 10^{15} \text{ cm}^2$ ，較佳地以高於或等於 600°C 之溫度執行熱處理。以此方式，LDD 區域之薄片電阻可低於或等於  $1 \times 10^5$

$\Omega/\text{sq}$ 。

其次，保護絕緣膜 115 係形成於閘極絕緣膜 111 及閘極電極 113 之上，作為第五絕緣膜(詳圖 7C)。

保護絕緣膜 115 係使用基底絕緣膜 103 之說明中提供之任何絕緣膜材料及方法形成而具有單層結構或堆疊層結構。較佳地使用至少氧化物絕緣膜表面，其包含氧並藉由熱處理而釋放部分氧，而形成保護絕緣膜 115。進一步較佳的是藉由於氧化物絕緣膜之上配置絕緣膜材料，諸如氧化鋁、氮化鋁、氮氧化矽、或氮化矽，而形成堆疊層結構。

之後，可於目前為止所獲得之結構上執行第四熱處理。當保護絕緣膜 115 具有該等堆疊層結構時，可避免(阻塞)藉由第四熱處理而從氧化物絕緣膜釋放之氧釋放至電晶體 100 外部，並可有效率地擴散至氧化物半導體膜 105(第四氧化物半導體膜)。

可從第一熱處理之說明中提供之熱處理設備適當地選擇用於第四熱處理之加熱設備。第四熱處理可以高於或等於  $150^\circ\text{C}$  及低於或等於  $450^\circ\text{C}$  之溫度執行，較佳地為高於或等於  $250^\circ\text{C}$  及低於或等於  $325^\circ\text{C}$ 。在第四熱處理中，溫度可逐漸增加至上述溫度或可漸次增加至上述溫度。第四熱處理可於但不侷限於氧化氣體或惰性氣體中執行，或可於減壓下執行。

視需要，開口係形成於部分閘極電極 113、部分源極電極 109a、及部分汲極電極 109b 中，使得閘極佈線、源

極佈線、及汲極佈線局部暴露。

經由以上步驟，可製造電晶體 100。

在電晶體 100 中，添加摻雜劑之 LDD 區域係配置於充當通道形成區域之第一氧化物半導體區域 125 兩側，藉此可減輕施加於充當通道形成區域之第一氧化物半導體區域 125 之電場。可抑制藉由極度減少電晶體 100 之通道長度造成之短通道效應影響。

#### (電晶體 110 之製造方法)

此處，將說明電晶體 110 之製造方法(詳圖 2A 至 2D)；尤其，將說明與電晶體 100 之製造方法差異。

基底絕緣膜 103 係形成於基板 101 之上，及第一氧化物半導體膜 120 係形成於基底絕緣膜 103 之上。於第一氧化物半導體膜 120 形成之後執行第一熱處理，使得形成其中缺氧減少之第二氧化物半導體膜 122(詳圖 4B)。請注意，直至及包括此步驟之步驟可如同電晶體 100 之狀況下執行。

其次，第二氧化物半導體膜 122 歷經第一光刻步驟，使得於第二氧化物半導體膜 122 之上形成抗蝕罩。第二氧化物半導體膜 122 係於第一蝕刻步驟中使用抗蝕罩處理，使得形成第三氧化物半導體膜 124。請注意，可適當藉由噴墨法、印刷法等以及經由光刻步驟而形成抗蝕罩。

在電晶體 110 之製造中，於第一蝕刻步驟中選擇性蝕刻第二氧化物半導體膜 122，亦選擇性蝕刻部分基底絕緣

膜 103；因而，執行處理使得基底絕緣膜 103 於接觸第三氧化物半導體膜 124 之區域中具有凸出(詳圖 8A)。此時，需考量蝕刻氣體及蝕刻時間以避免未接觸第三氧化物半導體膜 124 之基底絕緣膜 103 之區域損失。較佳的是形成基底絕緣膜 103 至大於或等於 450 nm 厚度，接著於第一蝕刻步驟蝕刻基底絕緣膜 103 約 100 nm。

例如，可使用 ICP 設備於下列狀況下執行第一蝕刻步驟：ICP 電力為 450 W；偏壓電力為 100 W；分別以 60 sccm 及 20 sccm 流率導入三氯化硼及氯作為蝕刻氣體；及處理室中壓力為 1.9 Pa。

其次，於基底絕緣膜 103 及第三氧化物半導體膜 124 之上形成第二絕緣膜 117(詳圖 8B)。第二絕緣膜 117 可如同電晶體 100 之狀況形成。

接著，第二絕緣膜 117 表面歷經 CMP 處理使得暴露第三氧化物半導體膜 124 表面，使得形成接觸至少第三氧化物半導體膜 124 側面之側壁絕緣膜 107 作為第三絕緣膜(詳圖 8C)。請注意，於第二絕緣膜 117 表面上執行之 CMP 處理之狀況等可類似於電晶體 100 之狀況。

形成基底絕緣膜 103 而於接觸第三氧化物半導體膜 124 之區域中具有凸出，藉此第三氧化物半導體膜 124 藉由側壁絕緣膜 107 封住。因此，藉由於側壁絕緣膜 107 形成之後執行之第三熱處理，側壁絕緣膜 107 中所包含之部分氧可擴散至第三氧化物半導體膜 124 側面，並可充分補償缺氧。

可以如同電晶體 100 之狀況執行下列製造步驟。以此方式，可製造電晶體 110(詳圖 2B)。

#### (電晶體 130 之製造方法)

此處，將說明電晶體 130 之製造方法(詳圖 3A 至 3D)；尤其，將說明與電晶體 100 及電晶體 110 之製造方法差異。

在電晶體 130 之製造中，直至及包括第一蝕刻步驟之步驟類似於電晶體 110，經此基底絕緣膜 103 於接觸第三氧化物半導體膜 124 之區域中具有凸出(詳圖 8A)。

其次，取代第二絕緣膜 117，於基底絕緣膜 103 及第三氧化物半導體膜 124 之上形成絕緣膜 117a 及 117b 之堆疊層結構(詳圖 9A)。

使用可用於基底絕緣膜 103 之氧化物絕緣膜材料，諸如氧化矽、氧化鎵、氧化鋁、氧化鉻、或氧化釔，形成接觸第三氧化物半導體膜 124 之絕緣膜 117a，並較佳地係使用以上所說明之氧化物絕緣膜形成，其至少表面包含氧並藉由熱處理而釋放部分氧。請注意，絕緣膜 117a 可具有單層結構或堆疊層結構。

使用選自諸如氧化鋁、氮化鋁、氮氧化鋁、及氮化矽之一絕緣膜材料形成接觸絕緣膜 117a 之絕緣膜 117b。較佳地使用選自氧化鋁、氮化鋁、及氮氧化鋁之一形成絕緣膜 117b。

接著，絕緣膜 117a 及 117b 表面歷經 CMP 處理使得第三氧化物半導體膜 124 表面暴露，使得形成接觸至少第

三氧化物半導體膜 124 側面之側壁絕緣膜 107a 及 107b 作為第三絕緣膜。有關於絕緣膜 117a 及 117b 表面上執行 CMP 處理之狀況等，可適當採用電晶體 100 之製造方法的說明中提供之狀況。

如同電晶體 110 之狀況，基底絕緣膜 103 經形成而於接觸第三氧化物半導體膜 124 之區域中具有凸出，藉此第三氧化物半導體膜 124 藉由側壁絕緣膜 107a 及 107b 封住。此外，可執行第二熱處理。基於側壁絕緣膜 107a 及 107b 堆疊之結構，可避免(阻塞)藉由第二熱處理而從側壁絕緣膜 107a 釋放之氧釋放至將處理之靶材外部。因此，側壁絕緣膜 107a 中所包含之部分氧可有效率地擴散至第三氧化物半導體膜 124 側面，並可充分補償缺氧。以此方式，可形成氧化物半導體膜 105(第四氧化物半導體膜)(詳圖 9B)。

可如同電晶體 100 之狀況執行下列製造步驟。以此方式，可製造電晶體 130(詳圖 3B)。

此外，電晶體 130 之側壁絕緣膜 107a 及 107b 較佳地以下列方式形成：絕緣膜 117b 歷經 CMP 處理使得絕緣膜 117a 表面暴露；接著，藉由乾式蝕刻而蝕刻絕緣膜 117a 使得第三氧化物半導體膜 124 表面暴露。

可用於絕緣膜 117b 之氧化鋁、氮化鋁、及氮化鋁之乾式蝕刻的蝕刻率尤其遠低於用於絕緣膜 117a 之氧化物絕緣膜材料之蝕刻率；因此，側壁絕緣膜 107b 可用作絕緣膜 117a 之蝕刻遮罩。以此方式，可抑制因第三氧化

物半導體膜 124 之物理拋光造成氧化物半導體膜之修改，諸如於第三氧化物半導體膜 124 表面產生缺陷或對準或結晶性下降。

在以上說明之形成方法中，如圖 10A 中所描繪，絕緣膜 117b 可經形成而較絕緣膜 117a 厚。具體地，形成絕緣膜 117b 使得未與第三氧化物半導體膜 124 重疊之絕緣膜 117b 的區域頂面位於較與第三氧化物半導體膜 124 重疊之絕緣膜 117a 的區域頂面更高位置。例如，若絕緣膜 117a 經形成為約 20 nm 厚度，絕緣膜 117b 可形成為約 50 nm 厚度。

絕緣膜 117b 歷經 CMP 處理使得絕緣膜 117a 表面暴露(詳圖 10B)。之後，絕緣膜 117a 歷經乾式蝕刻使得第三氧化物半導體膜 124 表面暴露。因而，形成側壁絕緣膜 107a 及 107b(詳圖 10C)。當絕緣膜 117a 蝕刻時絕緣膜 117b 幾乎未蝕刻，使得在第三氧化物半導體膜 124 週邊藉由絕緣膜 107a 及絕緣膜 107b 形成步級。

請注意，第三氧化物半導體膜 124 可能亦於絕緣膜 117a 之乾式蝕刻中被蝕刻。為此原因，需採用蝕刻狀況其中絕緣膜 117a 相對於第三氧化物半導體膜 124 之蝕刻選擇性高。此處乾式蝕刻之狀況如下，例如：ICP/偏壓電力為 500/50 W；壓力為 1.5 Pa； $\text{CF}_4$  及  $\text{O}_2$  之混合氣體用作蝕刻氣體；及  $\text{CF}_4$  相對於  $\text{O}_2$  之流率比為 70 : 30 [sccm]。當採用該等狀況時，可選擇性移除絕緣膜 117a，並可形成側壁絕緣膜 107a 及 107b。再者，以此方式，可抑制第三

氧化物半導體膜 124 之蝕刻及氧化物半導體膜之修改。請注意，較佳地執行乾式蝕刻同時避免包括氫之雜質輸入。

此處，圖 11 中描繪若於側壁絕緣膜 107a 及 107b 形成中依序執行 CMP 處理及乾式蝕刻，電晶體 130 之截面。

#### (電晶體 140 之製造方法)

此處，將說明電晶體 140 之製造方法(詳圖 25A 至 25D)；尤其，將說明與電晶體 100 及電晶體 110 之製造方法差異。

在電晶體 140 之製造中，直至及包括形成氧化物半導體膜 105 及側壁絕緣膜 107 之步驟類似於電晶體 110 中(詳圖 5C)。

其次，將為閘極絕緣膜 161 之絕緣膜 160 及將為閘極電極 113 之導電膜 112 係形成於氧化物半導體膜 105 及側壁絕緣膜 107 之上(詳圖 26A)。可適當分別使用閘極絕緣膜 111 之說明中提供之任何絕緣材料及閘極電極 113 之說明中提供之任何導電材料形成絕緣膜 160 及導電膜 112。之後，可執行熱處理。

其次，執行光刻步驟，使得抗蝕罩形成於導電膜 112 之上。接著，使用抗蝕罩，蝕刻導電膜 112 及絕緣膜 160，使得形成閘極電極 113 及閘極絕緣膜 161(詳圖 26B)。在此蝕刻步驟中，蝕刻部分絕緣膜 160，因而暴露部分氧化物半導體膜 105。

其次，摻雜劑 150 添加至氧化物半導體膜 105(詳圖 26C)。結果，形成第一氧化物半導體區域 125 及該對第二氧化物半導體區域 165a 及 165b(詳圖 26D)。該些區域係使用閘極電極 113 及閘極絕緣膜 161 作為遮罩，藉由添加摻雜劑而以自對準方式形成。之後，可執行熱處理。此外，可藉由類似於電晶體 100 之方法添加摻雜劑。

其次，將為源極電極及汲極電極之導電膜係形成於氧化物半導體膜 105、側壁絕緣膜 107、閘極絕緣膜 161、及閘極電極 113 之上。接著，執行光刻步驟，使得抗蝕罩形成於導電膜之上。之後，使用抗蝕罩蝕刻導電膜。因而，形成源極電極 109a 及汲極電極 109b(詳圖 27A)。

請注意，形成源極電極 109a 及汲極電極 109b 以便分別局部接觸第二氧化物半導體區域 165a 及第二氧化物半導體區域 165b。結果，接觸源極電極 109a 及汲極電極 109b 之該對第二氧化物半導體區域 165a 及 165b 之區域充當源極區域及汲極區域；均未接觸源極電極 109a 或汲極電極 109b 之區域充當 LDD 區域。由於摻雜劑添加至接觸源極電極 109a 及汲極電極 109b 之該對第二氧化物半導體區域 165a 及 165b 之區域，第二氧化物半導體區域 165a 與源極電極 109a 之間及第二氧化物半導體區域 165b 與汲極電極 109b 之間之接觸電阻可減少。因此，可增加完成之電晶體 140 的開啓狀態電流。

其次，保護絕緣膜 166 係形成於氧化物半導體膜 105、源極電極 109a、汲極電極 109b、閘極絕緣膜 161、及閘

極電極 113 之上(詳圖 27B)。如同電晶體 100 之狀況，可形成源極電極 109a、汲極電極 109b、及保護絕緣膜 166。

經由以上步驟，可製造電晶體 140。

以以上所說明之方式，可製造電晶體 100、電晶體 110、電晶體 130、及電晶體 140，各具有有利及不太可能變動之電特性。

請注意，本實施例中所說明之結構、方法等可與其他實施例中所說明之任何結構、方法等適當組合。

#### (實施例 2)

在本實施例中，將說明電晶體，其具有與實施例 1 中所說明之電晶體結構局部不同之結構，以及該電晶體之製造方法。

圖 12A 為俯視圖，描繪本發明之一實施例之電晶體 200 之結構。圖 12B 相應於沿圖 12A 中虛線 A-B 之截面圖。圖 12C 相應於沿圖 12A 中虛線 C-D 之截面圖。圖 12D 相應於沿圖 12A 中虛線 E-F 之截面圖。請注意，為求清晰，圖 12A 中未描繪基底絕緣膜 103、閘極絕緣膜 111、及保護絕緣膜 115。

在圖 12A 至 12D 中，電晶體 200 包括基板 101；配置於基板 101 上之基底絕緣膜 103；配置於基底絕緣膜 103 上之氧化物半導體膜 105；配置於基底絕緣膜 103 之上及配置於至少氧化物半導體膜 105 側面之側壁絕緣膜 107a 及 107b；配置於氧化物半導體膜 105 及側壁絕緣膜 107a

及 107b 上之源極電極 108a 及 109a 及汲極電極 108b 及 109b：覆蓋部分氧化物半導體膜 105、源極電極 108a 及 109a、及汲極電極 108b 及 109b 之閘極絕緣膜 111；及閘極絕緣膜 111 之上並與氧化物半導體膜 105 重疊之閘極電極 113。

請注意，電晶體 200 可具有一結構，其中覆蓋閘極絕緣膜 111 及閘極電極 113 之保護絕緣膜 115 為額外配置。

有關源極電極 108a 及 109a 及汲極電極 108b 及 109b，接觸氧化物半導體膜 105 之源極電極 108a 及汲極電極 108b 為使用與用於接觸源極電極 108a 及汲極電極 108b 之源極電極 109a 及汲極電極 109b 不同導電材料形成。此外，源極電極 108a 及汲極電極 108b 之端部位於源極電極 109a 及汲極電極 109b 之端部外側。

因而，在源極電極 108a 及 109a 及汲極電極 108b 及 109b 中，具有第一厚度之區域，其包括源極電極 108a 及 109a 及汲極電極 108b 及 109b，及具有小於第一厚度之第二厚度之區域，其包括源極電極 108a 及汲極電極 108b。例如，在源極電極 108a 及汲極電極 108b 延伸超越源極電極 109a 及汲極電極 109b 之圖 12B 中，具有第二厚度之區域相應於區域 L。

電晶體 200 之氧化物半導體膜 105 包括添加摻雜劑之區域及未添加摻雜劑之區域。具體地，電晶體 200 之氧化物半導體膜 105 包括與閘極電極 113 重疊之第一氧化物半導體區域 125、該對第二氧化物半導體區域 135a 及 135b

、與至少具有第一厚度之區域重疊之該對第三氧化物半導體區域 145a 及 145b、及僅與具有第二厚度之區域(區域 L)重疊之第四氧化物半導體區域 155a 及 155b。

配置該對第二氧化物半導體區域 135a 及 135b 且第一氧化物半導體區域 125 夾於其間。該對第三氧化物半導體區域 145a 及 145b 係配置於該對第二氧化物半導體區域 135a 及 135b 外部。該對第四氧化物半導體區域 155a 及 155b 係配置於該對第二氧化物半導體區域 135a 及 135b 外部(詳圖 12B)。

摻雜劑添加至該對第二氧化物半導體區域 135a 及 135b 及該對第四氧化物半導體區域 155a 及 155b，反之，摻雜劑未添加至第一氧化物半導體區域 125 及該對第三氧化物半導體區域 145a 及 145b。

有關添加摻雜劑之區域，該對第二氧化物半導體區域 135a 及 135b 與該對第四氧化物半導體區域 155a 及 155b 之間之摻雜劑濃度存在差異；因此，在本實施例中該對第二氧化物半導體區域 135a 及 135b 稱為第一 LDD 區域，及該對第四氧化物半導體區域 155a 及 155b 稱為第二 LDD 區域。

在電晶體 200 中，通道形成區域為與閘極電極 113 重疊之第一氧化物半導體區域 125。

(電晶體 200 之製造方法)

將說明電晶體 200 之製造方法；尤其，將說明與實施

例 1 中電晶體之製造方法之差異。

首先，如同電晶體 130 之製造方法，執行直至並包括形成氧化物半導體膜 105 之步驟(詳圖 9A 及 9B)。

其次，將為源極電極 108a 及汲極電極 108b 之導電膜 128 係形成於氧化物半導體膜 105 及側壁絕緣膜 107a 及 107b 之上。將為源極電極 109a 及汲極電極 109b 之導電膜 129 係形成於導電膜 128 之上。用於形成源極電極 108a 及汲極電極 108b 之抗蝕罩 143a 及 143b 係形成於導電膜 129 之上(詳圖 13A)。請注意，可於光刻步驟中形成抗蝕罩 143a 及 143b。

有關用於導電膜 128 之導電材料，使用諸如鋁、鈦、鉻、鎳、釔、鎔、鉬、銀、鉭、或鎢之金屬，或包含任何該些金屬作為主要成分之合金。導電膜 128 較佳地經形成而具有單層結構。另一方面，可採用使用包含氧化銦、氧化錫、或氧化鋅之透明導電材料的單層結構。

導電膜 129 可使用不同於用於導電膜 128 之導電材料，諸如金屬、包含金屬作為主要成分之合金、或任何以上透明導電材料予以形成而具有單層結構。另一方面，導電膜 129 可具有鈦膜堆疊於鋁膜上之二層結構、鈦膜堆疊於鎢膜上之二層結構、銅膜堆疊於銅-鎂-鋁合金膜上之二層結構、或鈦膜、鋁膜、及鈦膜依序堆疊之三層結構。

導電膜 128 較佳地經形成而具有較導電膜 129 更小厚度。導電膜 128 之厚度相應於每一源極電極 108a 及汲極電極 108b 之厚度，及進一步相應於源極電極 108a 及 109a

及汲極電極 108b 及 109b 中第二厚度。此外，之後說明之第二 LDD 區域的摻雜劑濃度取決於源極電極 108a 及汲極電極 108b 之厚度；因此，決定導電膜 128 之厚度，使得該對第四氧化物半導體區域 155a 及 155b 之摻雜劑濃度介於以下提供之範圍內。

例如，導電膜 128 之厚度較佳地為大於或等於 10 nm 及小於或等於 50 nm。藉由形成薄導電膜 128，若執行乾式蝕刻而將導電膜 129 處理為源極電極 109a 及汲極電極 109b，可避免蝕刻氣體達到並蝕刻已形成之源極電極 108a 及汲極電極 108b 側面。因而，源極電極 108a 及汲極電極 108b 可經處理而準確地對齊抗蝕罩 143a 及 143b。因此，甚至在具有小通道長度之微小電晶體中可形成第一 LDD 區域及第二 LDD 區域。

藉由調整導電膜 128 之厚度，可控制將形成之第二 LDD 區域之厚度。換言之，可控制添加至氧化物半導體膜 105 之摻雜劑的添加深度(添加區域)。例如，在電晶體 200 中，第二 LDD 區域係形成於氧化物半導體膜 105 頂面附近部分；當導電膜 128 之厚度盡可能減少時，第二 LDD 區域可完全沿氧化物半導體膜 105 頂面至底面之厚度方向形成(未顯示)。

首先，使用抗蝕罩 143a 及 143b 而選擇性蝕刻導電膜 128 及導電膜 129，使得形成源極電極 108a、汲極電極 108b、及一對導電膜 129a 及 129b。

例如，導電膜 129 係使用 ICP 設備於蝕刻狀況下蝕刻

，其中 ICP 電力為 450 W；偏壓電力為 100 W；三氯化硼及氯分別以 60 sccm 及 20 sccm 流率用作蝕刻氣體；及處理室之壓力為 1.9 Pa。因而，形成該對導電膜 129a 及 129b。之後，導電膜 128 係使用 ICP 設備於蝕刻狀況下蝕刻，其中 ICP 電力為 500 W；偏壓電力為 150 W；四氟化碳、氯、及氧分別以 25 sccm、25 sccm、及 10 sccm 流率用作蝕刻氣體；及處理室之壓力為 1.9 Pa。因而，形成源極電極 108a 及汲極電極 108b。

其次，抗蝕罩 143a 及 143b 收縮(尺寸減少)，使得形成用於處理該對導電膜 129a 及 129b 之抗蝕罩 153a 及 153b(詳圖 13B)。需執行抗蝕罩 143a 及 143b 之收縮(尺寸減少)使得具有至少相應於第二 LDD 區域之寬度的源極電極 108a 及汲極電極 108b 部分暴露。抗蝕罩 143a 及 143b 可藉由氧電漿灰化而收縮(尺寸減少)。

使用抗蝕罩 153a 及 153b 而選擇性蝕刻該對導電膜 129a 及 129b，接著移除抗蝕罩 153a 及 153b，使得形成源極電極 109a 及汲極電極 109b(詳圖 13C)。

當於選擇性蝕刻該對導電膜 129a 及 129b 時執行乾式蝕刻時，亦可能蝕刻氧化物半導體膜 105；因此，源極電極 109a 及汲極電極 109b 較佳地於蝕刻狀況下形成，其中該對導電膜 129a 及 129b(導電膜 129)相對於氧化物半導體膜 105 之蝕刻選擇性高。請注意，在此步驟中，可蝕刻部分氧化物半導體膜 105 使得氧化物半導體膜 105 具有凹陷。

請注意，可採用下列狀況作為該對導電膜 129a 及 129b 之蝕刻狀況範例：使用 ICP 設備；ICP 電力為 350 W；偏壓電力為 20 W；三氯化硼及氯分別以 60 sccm 及 20 sccm 流率用作蝕刻氣體；及處理室中壓力為 2.0 Pa。

藉由以此方式形成，源極電極 108a 及 109a 及汲極電極 108b 及 109b 包括具有第一厚度之區域及具有小於第一厚度之第二厚度之區域。

請注意，可如實施例 1 中藉由氧電漿灰化而移除抗蝕罩 153a 及 153b。

亦可採用下列步驟：使用與抗蝕罩 143a 及 143b 不同之第一抗蝕罩（未顯示）蝕刻導電膜 129，使得形成源極電極 109a 及汲極電極 109b；移除第一抗蝕罩；於光刻步驟中形成第二抗蝕罩（未顯示）；及使用第二抗蝕罩蝕刻導電膜 128，使得形成源極電極 108a 及汲極電極 108b。藉由以此方式形成，可減少處理室中氧化物半導體膜 105 表面暴露於減壓氣體或減少氣體之次數；因而，可減少氧化物半導體膜 105 中造成之缺氧。因此，電晶體 200 可具有有利電特性。

其次，閘極絕緣膜 111 係形成於氧化物半導體膜 105、源極電極 108a 及 109a、及汲極電極 108b 及 109b 之上，及閘極電極 113 係形成於閘極絕緣膜 111 之上（詳圖 14A）。可如電晶體 130 之狀況形成閘極絕緣膜 111 及閘極電極 113。

其次，於氧化物半導體膜 105 中形成第一氧化物半導

體區域 125、第一 LDD 區域、該對第三氧化物半導體區域 145a 及 145b、及第二 LDD 區域。這些區域係使用閘極電極 113、源極電極 108a 及 109a、及汲極電極 108b 及 109b 作為遮罩，藉由添加摻雜劑 150 而以自對準方式形成(詳圖 14B)。

可如電晶體 100 之狀況執行添加摻雜劑 150 之步驟。請注意，第一 LDD 區域之摻雜劑濃度取決於閘極絕緣膜 111 之厚度；因而，決定閘極絕緣膜 111 之厚度使得第一 LDD 區域之摻雜劑濃度介於以下提供之範圍內。此時，若將為第一 LDD 區域及第二 LDD 區域之部分氧化物半導體膜 105 包括結晶區域，於因用於形成第一 LDD 區域及第二 LDD 區域而添加摻雜劑 150 之損壞部分中結晶性可能減少，此造成該部分為非結晶區域。

摻雜劑經由閘極絕緣膜 111 而添加至第一 LDD 區域，及摻雜劑經由源極電極 108a 及汲極電極 108b 而添加至第二 LDD 區域。摻雜劑較經由源極電極 108a 及汲極電極 108b 更易於通過閘極絕緣膜 111。因此，第一 LDD 區域之摻雜劑濃度高於第二 LDD 區域之摻雜劑濃度。

每一第一 LDD 區域及第二 LDD 區域之導電性為高於或等於  $10 \text{ S/cm}$  及低於或等於  $1000 \text{ S/cm}$ ，較佳地為高於或等於  $100 \text{ S/cm}$  及低於或等於  $1000 \text{ S/cm}$ 。請注意，當導電性過低時，電晶體 200 之開啓狀態電流減少。

藉由增加第一 LDD 區域及第二 LDD 區域之摻雜劑濃度，載子密度可增加；然而，過度高摻雜劑濃度可造成摻

雜劑禁止載子轉移，且每一第一 LDD 區域及第二 LDD 區域之導電性將減少。

為此原因，每一第一 LDD 區域及第二 LDD 區域之摻雜劑濃度較佳地為高於或等於  $5 \times 10^{18}$  原子/ $\text{cm}^3$  及低於或等於  $1 \times 10^{22}$  原子/ $\text{cm}^3$ 。此外，可於添加摻雜劑 150 之後執行熱處理。

此外，用於添加摻雜劑 150 之處理可執行複數次。若執行複數次用於添加摻雜劑 150 之處理，摻雜劑 150 之種類可於複數處理中相同或於每一處理中不同。

有關摻雜劑 150 之添加狀況，可採用實施例 1 中所說明之狀況。

可如同電晶體 130 之狀況執行下列製造步驟。以此方式，可製造電晶體 200(詳圖 14C)。請注意，圖 15 中描繪於側壁絕緣膜 107a 及 107b 形成中，若依序執行 CMP 處理及乾式蝕刻之電晶體 200 之截面。

在電晶體 200 中，添加摻雜劑之第一 LDD 區域及第二 LDD 區域係配置於充當通道形成區域之第一氧化物半導體區域 125 兩側，藉此可減輕施加於充當通道形成區域之第一氧化物半導體區域 125 之電場。因此，可抑制藉由極度減少電晶體 200 之通道長度造成之短通道效應影響。

此外，導電膜具有電阻係數，其高於源極電極 108a 及 109a 及汲極電極 108b 及 109b 及低於氧化物半導體膜 105，如同實施例 1 中所說明之低電阻膜，其可配置於氧化物半導體膜 105 與源極電極 108a 之間，及氧化物半導

體膜 105 與汲極電極 108b 之間。

如同實施例 1 中，使用包含氮之 In-Ga-Zn 基金屬氧化物、包含氮之 In-Sn 基金屬氧化物、包含氮之 In-Ga 基金屬氧化物、包含氮之 In-Zn 基金屬氧化物、包含氮之氧化錫、包含氮之氧化銦、或金屬氮化物(諸如 InN 或 ZnN)形成之膜可配置於閘極電極 113 與閘極絕緣膜 111 之間。

有關源極電極 108a 及 109a 及汲極電極 108b 及 109b，本實施例中形成導電膜 128 及導電膜 129 之堆疊層結構。然而，可使用諸如鋁、鈦、鉻、鎳、銅、釔、鎔、鋁、銀、鉭、或鎢之金屬或包含任何該些金屬作為主要成分之合金，形成具有單層結構之導電膜，取代堆疊層結構，並可執行處理使得具有單層結構之導電膜包括具有第一厚度之區域及具有小於第一厚度之第二厚度之區域。以此方式，可形成源極電極及汲極電極。請注意，對具有單層結構之導電膜而言，可使用包含矽之鋁或包含氧化銦、氧化錫、或氧化鋅之透明導電材料。

請注意，電晶體 200 係依據電晶體 130 之結構製造，其中基板 101、基底絕緣膜 103、氧化物半導體膜 105、及側壁絕緣膜 107a 及 107b 堆疊；本實施例中所說明之製造方法可應用於電晶體 100 及電晶體 110 之結構，其中基板 101、基底絕緣膜 103、氧化物半導體膜 105、及側壁絕緣膜 107 堆疊。

以以上所說明之方式，可製造電晶體 200，其具有有利及不太可能變動之電特性。

請注意，本實施例中所說明之結構、方法等可與其他實施例中所說明之任何結構、方法等適當組合。

### (實施例 3)

在本實施例中，將說明具有與實施例 1 及 2 中所說明之電晶體結構不同之結構的電晶體。

圖 16 為截面圖，描繪本發明之一實施例之電晶體 300 之結構。

圖 16 中所描繪之電晶體 300 具有一結構其中源極電極 109a 及汲極電極 109b 係配置於基板 101 之上；絕緣膜 301 係配置於源極電極 109a 與汲極電極 109b 之間；氧化物半導體膜 105 係配置於源極電極 109a、汲極電極 109b 及絕緣膜 301 之上；側壁絕緣膜 107 係配置於氧化物半導體膜 105 側面；閘極絕緣膜 111 係配置於氧化物半導體膜 105 及側壁絕緣膜 107 之上；閘極電極 113 係配置於閘極絕緣膜 111 之上；及保護絕緣膜 115 經配置以覆蓋閘極絕緣膜 111 及閘極電極 113。即，電晶體 300 具有頂閘底部接觸結構。

此外，在電晶體 300 之氧化物半導體膜 105 中，第一氧化物半導體區域 125 與閘極電極 113 重疊，並充當通道形成區域，並形成第一氧化物半導體區域 125 夾於其間，並充當源極區域及汲極區域之該對第二氧化物半導體區域 135a 及 135b。請注意，第一氧化物半導體區域 125 未包含摻雜劑，同時該對第二氧化物半導體區域 135a 及 135b

包含摻雜劑。

該對第二氧化物半導體區域 135a 及 135b 之導電性為高於或等於 10 S/cm 及低於或等於 1000 S/cm，較佳地為高於或等於 100 S/cm 及低於或等於 1000 S/cm。請注意，當導電性過低時，電晶體 300 之開啓狀態電流減少。

藉由增加該對第二氧化物半導體區域 135a 及 135b 之摻雜劑濃度，載子密度可增加；然而，過度高摻雜劑濃度可造成摻雜劑禁止載子轉移，且該對第二氧化物半導體區域 135a 及 135b 之導電性將減少。

為此原因，該對第二氧化物半導體區域 135a 及 135b 之摻雜劑濃度較佳地為高於或等於  $5 \times 10^{18}$  原子/cm<sup>3</sup> 及低於或等於  $1 \times 10^{22}$  原子/cm<sup>3</sup>。

此外，用於添加摻雜劑之處理可執行複數次。若執行複數次用於添加摻雜劑之處理，摻雜劑之種類可於複數處理中相同或於每一處理中不同。

有關摻雜劑之添加狀況，可採用實施例 1 中所說明之狀況。

其次，以下將說明電晶體 300 之製造方法。此處，依據實施例 1 中電晶體之製造方法予以說明；亦可適當應用實施例 2 中所說明之方法。

根據電晶體 300 之製造方法，於基板 101 之上形成基底絕緣膜 103、源極電極 109a、及汲極電極 109b。之後，適當藉由以上實施例中所說明之任何方法而於源極電極 109a 及汲極電極 109b 之上形成絕緣膜 301。第一氧化物

半導體膜 120 係形成於源極電極 109a、汲極電極 109b、及絕緣膜 301 之上。執行第一熱處理，使得形成第二氧化物半導體膜 122。選擇性蝕刻第二氧化物半導體膜 122，使得形成第三氧化物半導體膜 124。接著，適當藉由以上實施例中所說明之任何方法而形成接觸至少第三氧化物半導體膜 124 側面之側壁絕緣膜 107。在側壁絕緣膜 107 形成之後，執行第二熱處理，使得形成第四氧化物半導體膜。接著，於側壁絕緣膜 107 及第四氧化物半導體膜之上形成閘極絕緣膜 111，並於閘極絕緣膜 111 之上形成閘極電極 113。

在閘極電極 113 形成之後，使用閘極電極 113 作為遮罩，摻雜劑添加至第四氧化物半導體膜，藉此可以自對準方式形成：包括第一氧化物半導體區域 125 之氧化物半導體膜 105，其未包含摻雜劑並充當通道形成區域；以及該對第二氧化物半導體區域 135a 及 135b，其包含摻雜劑並充當源極區域及汲極區域。

其次，保護絕緣膜 115 係形成於閘極絕緣膜 111 及閘極電極 113 之上。請注意，於閘極絕緣膜 111 形成之後，較佳地執行類似於第二熱處理之熱處理；以類似方式，於保護絕緣膜 115 形成之後，較佳地執行熱處理。

經由以上步驟，可製造電晶體 300。

在電晶體 300 中，絕緣膜 301 係配置於源極電極 109a 與汲極電極 109b 之間，及側壁絕緣膜 107 係配置於氧化物半導體膜 105 側面；因此，閘極絕緣膜 111 經配置而僅

接觸氧化物半導體膜 105 之頂面。基於該等結構，藉由配置於閘極絕緣膜 111 以下之組件形成之步級可減少，因而可減少閘極絕緣膜 111 之厚度。藉由減少閘極絕緣膜 111 之厚度，及藉由配置包含摻雜劑之該對第二氧化物半導體區域 135a 及 135b，可抑制藉由極度減少電晶體 300 之通道長度造成之短通道效應影響。

請注意，本實施例中所說明之結構、方法等可與其他實施例中所說明之任何結構、方法等適當組合。

#### (實施例 4)

在本實施例中，將說明具有與實施例 1 至 3 中所說明之電晶體不同結構之結構的電晶體。

圖 17 為截面圖，描繪本發明之一實施例之電晶體 400 之結構。

圖 17 中所描繪之電晶體 400 包括配置於基板 101 上之基底絕緣膜 103；配置於基底絕緣膜 103 上之源極電極 109a；接觸源極電極 109a 側面之絕緣膜 401；接觸源極電極 109a 及絕緣膜 401 之氧化物半導體膜 105；接觸氧化物半導體膜 105 側面之側壁絕緣膜 107；形成於側壁絕緣膜 107 之上並接觸氧化物半導體膜 105 頂面之汲極電極 109b；覆蓋側壁絕緣膜 107、氧化物半導體膜 105、及汲極電極 109b 之閘極絕緣膜 111；閘極絕緣膜 111 之上並與氧化物半導體膜 105 重疊之閘極電極 113；及覆蓋閘極絕緣膜 111 及閘極電極 113 之保護絕緣膜 115。

此外，在電晶體 400 之氧化物半導體膜 105 中形成：與閘極電極 113 重疊並充當通道形成區域之第一氧化物半導體區域 125；第一氧化物半導體區域 125 夾於其間，並充當源極區域及汲極區域之該對第二氧化物半導體區域 135a 及 135b；及接觸部分汲極電極 109b 之第三氧化物半導體區域 145。請注意，第一氧化物半導體區域 125 及第三氧化物半導體區域 145 未包含摻雜劑，同時該對第二氧化物半導體區域 135a 及 135b 包含摻雜劑。

該對第二氧化物半導體區域 135a 及 135b 之導電性為高於或等於  $10 \text{ S/cm}$  及低於或等於  $1000 \text{ S/cm}$ ，較佳地為高於或等於  $100 \text{ S/cm}$  及低於或等於  $1000 \text{ S/cm}$ 。請注意，當導電性過低時，電晶體 400 之開啓狀態電流減少。

藉由增加該對第二氧化物半導體區域 135a 及 135b 之摻雜劑濃度，載子密度可增加；然而，過度高摻雜劑濃度可造成摻雜劑禁止載子轉移，且該對第二氧化物半導體區域 135a 及 135b 之導電性將減少。

為此原因，在電晶體 400 中，該對第二氧化物半導體區域 135a 及 135b 之摻雜劑濃度較佳地為高於或等於  $5 \times 10^{18} \text{ 原子/cm}^3$  及低於或等於  $1 \times 10^{22} \text{ 原子/cm}^3$ 。

此外，用於添加摻雜劑之處理可執行複數次。若執行複數次用於添加摻雜劑之處理，摻雜劑之種類可於複數處理中相同或於每一處理中不同。

有關摻雜劑之添加狀況，可採用實施例 1 中所說明之狀況。

其次，以下將說明電晶體 400 之製造方法。此處，依據實施例 1 中電晶體之製造方法予以說明；亦可適當應用實施例 2 及 3 中所說明之方法。

在電晶體 400 中，在氧化物半導體膜形成於基底絕緣膜 103 上之前形成源極電極 109a。其次，適當藉由以上實施例中所說明之任何方法而形成絕緣膜 401。形成第一氧化物半導體膜並執行第一熱處理，使得形成第二氧化物半導體膜。選擇性蝕刻第二氧化物半導體膜，使得形成第三氧化物半導體膜。在第三氧化物半導體膜形成之後，適當藉由以上實施例中所說明之任何方法而形成側壁絕緣膜 107。執行第二熱處理，使得形成第四氧化物半導體膜。接著，形成汲極電極 109b。之後，於部分側壁絕緣膜 107、部分氧化物半導體膜 105、及汲極電極 109b 之上形成閘極絕緣膜 111，並於閘極絕緣膜 111 之上形成閘極電極 113。

在閘極電極 113 形成之後，使用閘極電極 113 及汲極電極 109b 作為遮罩而添加摻雜劑至第四氧化物半導體膜，藉此可以自對準方式形成：包括第一氧化物半導體區域 125 之氧化物半導體膜 105，其不包含摻雜劑並充當通道形成區域；包含摻雜劑之該對第二氧化物半導體區域 135a 及 135b；及不包含摻雜劑之第三氧化物半導體區域 145。

其次，保護絕緣膜 115 係形成於閘極絕緣膜 111 及閘極電極 113 之上。請注意，在閘極絕緣膜 111 形成之後，較佳地執行類似於第二熱處理之熱處理；以類似方式，在

保護絕緣膜 115 形成之後，較佳地執行熱處理。

由於電晶體 400 包括包含閘極電極 113 與汲極電極 109b 之間摻雜劑之區域，可減輕施加於充當通道形成區域之第一氧化物半導體區域 125 之電場。因此，可抑制藉由極度減少電晶體 400 之通道長度造成之短通道效應的影響。

經由以上步驟，可製造電晶體 400。

請注意，本實施例中所說明之結構、方法等可與其他實施例中所說明之任何結構、方法等適當組合。

#### (實 施 例 5)

在本實施例中，將說明用於施加包括結晶區域之氧化物半導體至實施例 1 至 4 中所說明之氧化物半導體膜 105 的方法。

本實施例中所說明之包括結晶區域之氧化物半導體為非單晶；具體地，氧化物半導體包括結晶部分，其中當從垂直於非單晶 a-b 平面之方向觀看時，原子係以三角形、六角形、正三角形、或正六角形配置，及其中當從垂直於 c 軸之方向觀看時，金屬原子或金屬原子及氧原子係以層配置。請注意，在本說明書中，結晶部分稱為 c 軸對準結晶，且包括 c 軸對準結晶之氧化物半導體稱為 c 軸對準結晶氧化物半導體(CAAC 氧化物半導體，CAAC-OS)。

CAAC 氧化物半導體膜用作包括通道形成區域之氧化物半導體膜 105，藉此可抑制以可見光或紫外光輻照前後

之間或閘極偏壓-溫度(BT)應力試驗前後之間之閾值電壓偏移，此導致電晶體之可靠性改進。

CAAC 氧化物半導體並非單晶，但此並非表示 CAAC 氧化物半導體僅由非結晶成分組成。儘管 CAAC 氧化物半導體包括結晶之部分(結晶部分)，一結晶部分與其他結晶部分之間之邊界有時不清楚。氮可替代 CAAC 氧化物半導體中所包括之部分或全部氧。CAAC 氧化物半導體中所包括之個別結晶部分之 c 軸可沿一方向對齊(例如，垂直於其上形成 CAAC 氧化物半導體之基板表面，或 CAAC 氧化物半導體之表面、膜表面、介面等之方向)。另一方面，CAAC 氧化物半導體中所包括之個別結晶部分之 a-b 平面之法線可沿一方向對齊(例如，垂直於基板表面或 CAAC 氧化物半導體之表面、膜表面、介面等之方向)。

CAAC 氧化物半導體依據其組成等成為導體、半導體、或絕緣體。此外，CAAC 氧化物半導體依據其組成等而透射或不透射可見光。有關該等 CAAC 氧化物半導體之範例，存在一材料其形成為膜形狀，及從垂直於表面或膜之介面或基板表面之方向觀察時，具有三角形或六角形原子配置，且當觀察膜截面時，其中金屬原子係以層配置或金屬原子及氧原子(或氮原子)係以層配置。

有關用於形成包括 CAAC 氧化物半導體之氧化物半導體膜 105 之方法，提供第一方法及第二方法。首先，將說明第一方法。

在用於形成實施例 1 中第一氧化物半導體膜 120 之方

法中，第一氧化物半導體膜 120 係藉由濺鍍法以高於或等於 150 °C 及低於或等於 450 °C，較佳地為高於或等於 200 °C 及低於或等於 350 °C 之基板溫度予以形成。此方法使 CAAC 氧化物半導體於第一氧化物半導體膜 120 中形成，同時避免濕氣(包括氫)等輸入第一氧化物半導體膜 120。

在藉由以上形成方法形成第一氧化物半導體膜 120 之後，執行實施例 1 中所說明之第一熱處理，藉此可從第一氧化物半導體膜 120 進一步釋放氫，且基底絕緣膜 103 中所包含之部分氧可擴散進入第一氧化物半導體膜 120 及基底絕緣膜 103 與第一氧化物半導體膜 120 之間之介面附近。此外，藉由第一熱處理，可改進第一氧化物半導體膜 120 中 CAAC 氧化物半導體之結晶性。換言之，第一熱處理使其可形成具有較第一氧化物半導體膜 120 更高結晶性之第二氧化物半導體膜 122。

之後，適當執行實施例 1 至 4 中所說明之製造步驟；因而，可形成包括 CAAC 氧化物半導體之氧化物半導體膜 105。

其次，以下將說明第二方法。在第二方法中，氧化物半導體膜之形成執行兩次，並於每一次氧化物半導體膜形成之後執行熱處理；因而，形成 CAAC 氧化物半導體膜。

第一層氧化物半導體膜係形成於基底絕緣膜 103 之上。第一層氧化物半導體膜之厚度大於或等於一原子層之厚度及小於或等於 10 nm，較佳地為大於或等於 2 nm 及小於或等於 5 nm。

在第一層氧化物半導體膜之形成中，基板溫度較佳地為高於或等於  $150^{\circ}\text{C}$  及低於或等於  $450^{\circ}\text{C}$ ，進一步較佳地為高於或等於  $200^{\circ}\text{C}$  及低於或等於  $350^{\circ}\text{C}$ 。因此，可抑制諸如濕氣(包括氫)之雜質輸入而包含於第一氧化物半導體膜中。再者，結晶區域形成於包括第一層氧化物半導體膜之表面的區域中。第一層氧化物半導體膜之結晶性的改進導致形成具高結晶性之 CAAC 氧化物半導體膜。

請注意，在第一層氧化物半導體膜形成之後，可執行熱處理。經由熱處理，濕氣(包括氫)可從第一層氧化物半導體膜進一步釋放，並可改進其結晶性。藉由熱處理，可增加第一層氧化物半導體膜中結晶區域相對於非結晶區域之比例，最後導致形成具高結晶性之 CAAC 氧化物半導體膜。此外，以高於或等於  $200^{\circ}\text{C}$  及低於基板之應變點的溫度執行熱處理，較佳地為高於或等於  $250^{\circ}\text{C}$  及低於或等於  $450^{\circ}\text{C}$ 。

對於熱處理而言，可使用快速熱退火(RTA)設備。僅於短時間內使用 RTA 設備，可以高於或等於基板之應變點的溫度執行熱處理。因而，可縮短用於形成氧化物半導體膜所需時間，其中結晶區域相對於非結晶區域之比例高。

可於惰性氣體中執行熱處理；典型地，較佳地於諸如氮、氖、氬、氘、或氦之稀有氣體或氮氣中執行。另一方面，可於氧氣或減壓氣體中執行熱處理。處理時間為 3 分鐘至 24 小時。隨著處理時間增加，氧化物半導體膜中結

晶區域相對於非結晶區域之比例可增加。請注意，長於 24 小時之熱處理並非較佳，因為生產力減少。

其次，第二層氧化物半導體膜係形成第一層氧化物半導體膜之上，較第一層氧化物半導體膜厚。第二層氧化物半導體膜可藉由類似於第一層氧化物半導體膜之方法形成。

當形成第二層氧化物半導體膜同時加熱基板時，第二層氧化物半導體膜可使用第一層氧化物半導體膜作為晶種進行結晶。此時，可造成以相同元素形成之第一層氧化物半導體膜及第二層氧化物半導體膜同源增長。另一方面，可造成第一層氧化物半導體膜與第二層氧化物半導體膜之間至少一種不同元素形成之第一層氧化物半導體膜及第二層氧化物半導體膜異質增長。

請注意，可於第二層氧化物半導體膜形成之後執行額外熱處理。可藉由類似於第一層氧化物半導體膜形成之後執行熱處理之方法，於第二層氧化物半導體膜形成之後執行熱處理。藉由第二層氧化物半導體膜形成之後之熱處理，可形成結晶區域相對於非結晶區域之比例高之 CAAC 氧化物半導體膜。此熱處理亦允許第二層氧化物半導體膜之同源增長或異質增長。

藉由以上方法，可形成包括 CAAC 氧化物半導體之第一氧化物半導體膜 120。

之後，適當執行實施例 1 至 4 中所說明之製造步驟；因而，可形成包括 CAAC 氧化物半導體之氧化物半導體膜

105。

在第二方法中，因為於包括 CAAC 氧化物半導體之第一氧化物半導體膜 120 形成中執行之熱處理，有時氧從基底絕緣膜 103 擴散至氧化物半導體膜。在此狀況下，由於甚至無實施例 1 至 4 中所說明之第一熱處理，包括 CAAC 氧化物半導體之第一氧化物半導體膜 120 中缺氧減少，藉由第二方法形成之包括 CAAC 氧化物半導體之第一氧化物半導體膜 120 可用作實施例 1 至 4 中所說明之第二氧化物半導體膜 122。

請注意，本實施例中所說明之結構、方法等可與其他實施例中所說明之任何結構、方法等適當組合。

#### (實施例 6)

在本實施例中，將參照圖 18A 及 18B、圖 19A 及 19B、圖 20A 及 20B、及圖 21 說明包括以上實施例中所說明之任何電晶體的半導體裝置之電路組態及作業範例。請注意，在每一電路圖中，有時電晶體旁寫入「OS」以便指示電晶體係使用氧化物半導體形成。

#### (半導體裝置之截面結構)

首先，將參照圖 18A 說明半導體裝置之截面結構範例。在圖 18A 中所描繪之半導體裝置中，使用第一半導體材料形成之電晶體 660 係配置於下部，及使用第二半導體材料形成之電容器 664 及電晶體 601 係配置於上部。

圖 18A 之電晶體 660 於基板 600 之上包括：包括半導體材料（例如，矽）之通道形成區域 616a1；經配置使得通道形成區域 616a1 夾於其間之雜質區域 616b1 及雜質區域 616b2；通道形成區域 616a1 上之閘極絕緣層 608；及閘極絕緣層 608 上之閘極電極 609。請注意，為求方便，圖式中未描繪其源極電極及汲極電極之電晶體可稱為電晶體。此外，在該等狀況下，在說明電晶體之連接中，源極區域及源極電極可統稱為「源極電極」，及汲極區域及汲極電極可統稱為「汲極電極」。即，在本說明書中，用詞「源極電極」可包括源極區域。

雜質區域 616b1 充當電晶體 660 之源極電極及汲極電極之一。雜質區域 616b2 充當電晶體 660 之源極電極及汲極電極之另一者。此外，在圖 18A 中，雜質區域 616b2 經由雜質區域 616b3、閘極絕緣膜 608 中所形成之開口、佈線 607、及添加摻雜劑之部分區域 620b，而連接至導電膜 626b。即，電晶體 660 之源極電極及汲極電極之另一者電連接至電晶體 601 之源極電極及汲極電極之一。

請注意，本發明之一實施例不侷限於此。記憶格、電晶體、及電容器之中之電連接可適當改變。例如，雜質區域 616b2 可經由雜質區域 616b3 及雜質區域 616b4 而電連接至其他記憶格中雜質區域。在此狀況下，閘極絕緣膜 608 中不需形成開口。此外，不一定形成佈線 607。換言之，若電晶體 660 之源極電極及汲極電極之另一者電連接至其他記憶格，電晶體 660 之源極電極及汲極電極之另一

者不一定電連接至電晶體 601 之源極電極及汲極電極之一。

可使用類似於閘極電極 609 之材料及步驟而形成佈線 607。基於佈線 607，可避免 CMP 中造成之凹陷，並可更加平面化絕緣膜 602a、閘極電極 609、及佈線 607 之頂面。

儘管圖 18A 中閘極電極 609 及佈線 607 各具有單層結構，本發明之一實施例不侷限於此。閘極電極 609 及佈線 607 可各具有二或更多層之堆疊層結構。例如，可採用鎢膜堆疊於氮化鉑膜上之結構。氮化鉑膜抑制鎢膜中鎢(W)擴散至通道形成區域 616a1；因此，可製造具有有利電特性之電晶體 660。此外，藉由使用氯氣作為電晶體 660 之閘極電極 609 形成中所執行乾式蝕刻之蝕刻氣體，可選擇性蝕刻氮化鉑膜。即，甚至若閘極絕緣膜 608 薄，可抑制充當電晶體 660 之源極電極及汲極電極的閘極電極 609 及雜質區域 616b1 及 616b2 之間之短電路。

為高度整合，如圖 18A 中所描繪，較佳的是電晶體 660 不包括側壁絕緣層。換言之，當重要性置於電晶體 660 之特性上時，側壁絕緣層可配置於閘極電極 609 側面，且雜質區域 616b1 及雜質區域 616b2 可包括具有配置於與側壁絕緣層重疊之區域中不同雜質濃度之雜質區域。

有關圖 18A 及 18B 中電晶體 601，可使用以上實施例中所說明之任何電晶體。電晶體 601 包括通道形成區域 622a、包含摻雜劑之區域 620a 及 620b、導電膜 626a 及

626b、閘極絕緣膜 614a、及導電膜 616a。

例如，電晶體 601 相應於實施例 1 中所說明之電晶體 140(詳圖 25A 至 25D)。通道形成區域 622a 相應於第一氧化物半導體區域 125，包含摻雜劑之區域 620a 及 620b 相應於該對第二氧化物半導體區域 165a 及 165b，導電膜 626a 及 626b 相應於源極電極 109a 及汲極電極 109b，閘極絕緣膜 614a 相應於閘極絕緣膜 161，及導電膜 616a 相應於閘極電極 113。

此外，絕緣膜 610a 及 610b 及絕緣膜 612a 及 612b 相應於實施例 1 中所說明之電晶體 130 之側壁絕緣膜 107a 及 107b(詳圖 11)。因此，電晶體 130 之製造方法可應用於絕緣膜 610a 及 610b 及絕緣膜 612a 及 612b 之形成。

電容器 664 包括以與電晶體 601 之閘極絕緣膜 614a 相同步驟形成之絕緣膜 614b、電極 616b、包含摻雜劑之部分區域 620a、及閘極電極 609。換言之，電極 616b 充當電容器 664 之一電極，及閘極電極 609 充當電容器 664 之另一電極。

配置絕緣膜 630 以便覆蓋電晶體 601 及電容器 664，並於絕緣膜 630 之上配置絕緣膜 632。佈線 634 經由絕緣膜 630 及絕緣膜 632 中所形成之開口而連接至導電膜 628b 及導電膜 626b。請注意，圖 18A 中導電膜 626b 及佈線 634 經由導電膜 628b 而相互連接；文中所揭露之本發明之一實施例不侷限於此。例如，佈線 634 可直接接觸導電膜 626b。請注意，絕緣膜 630 相應於實施例 1 中所說明之電

晶體 130 之保護絕緣膜 115。

請注意，此處電晶體 601 及電晶體 660 二者為 n 通道電晶體；不用說，可使用 p 通道電晶體。文中所揭露之本發明之技術特徵在於使用半導體材料，基此而可充分減少關閉狀態電流，諸如電晶體 601 中氧化物半導體，以便保持資料。因此，不需侷限半導體裝置之特定狀況，諸如材料、結構等，為此處所提供之者。

#### (基本電路)

其次，將參照圖 18B 說明圖 18A 中所描繪之半導體裝置之基本電路組態及其作業。在圖 18B 中所描繪之半導體裝置中，第一佈線(第一線)電連接至電晶體 660 之源極電極或汲極電極。第二佈線(第二線)電連接至電晶體 660 之汲極電極或源極電極。第三佈線(第三線)電連接至電晶體 601 之源極電極或汲極電極，及第四佈線(第四線)電連接至電晶體 601 之閘極電極。此外，電晶體 660 之閘極電極及電晶體 601 之汲極電極或源極電極電連接至電容器 664 之一電極，及第五佈線(第五線)及電容器 664 之另一電極相互電連接。請注意，第一佈線(第一線)可電連接至第三佈線(第三線)。

此處，有關電晶體 601，例如可使用使用任何以上實施例中所說明之氧化物半導體形成之電晶體。使用氧化物半導體形成之電晶體具有極小關閉狀態電流之特性。因此，電晶體 660 之閘極電極之電位可藉由關閉電晶體 601 而極長時間保持。藉由配置電容器 664，可更容易地執行施

加於電晶體 660 之閘極電極之電荷保持，並讀取儲存之資料。

請注意，對於電晶體 660 並無特別限制。在增加資料讀取速度方面，較佳的是使用例如具高切換率之電晶體，諸如使用單晶矽形成之電晶體。

圖 18B 中所描繪之半導體裝置利用電晶體 660 之閘極電極之電位可保持之特性，藉此可執行資料之寫入、保持、及讀取如下。

首先，將說明資料之寫入及保持。首先，第四佈線之電位設定為電晶體 601 開啓之電位，使得電晶體 601 開啓。因此，第三佈線之電位供應至電晶體 660 之閘極電極及電容器 664。換言之，預定電荷施加於電晶體 660 之閘極電極(寫入)。此處，應用用於供應不同電位(以下應用低電位  $V_L$  之電荷稱為電荷  $Q_L$  及應用高電位  $V_H$  之電荷稱為電荷  $Q_H$ )之二種電荷之一。請注意，可採用應用三或更多不同電位之電荷以改進儲存容量。之後，第四佈線之電位設定為電晶體 601 關閉之電位，使得電晶體 601 關閉。因而，施加於電晶體 660 之閘極電極之電荷保持(保持)。

由於電晶體 601 之關閉狀態電流極小，電晶體 660 之閘極電極中電荷長時期保持。

其次，將說明資料之讀取。當預定電位(固定電位)施加於第一佈線時，適當電位(讀出電位)施加於第五佈線，第二佈線之電位依據電晶體 660 之閘極電極中保持之電荷量而改變。這是因為通常，當電晶體 660 為 n 通道電晶體

時， $Q_H$  提供至電晶體 660 之間極電極的電晶體 660 之顯著閾值電壓  $V_{th\_H}$  低於  $Q_L$  提供至電晶體 660 之間極電極的電晶體 660 之顯著閾值電壓  $V_{th\_L}$ 。此處，顯著閾值電壓係指需用於開啓電晶體 660 之第五佈線之電位。因而，設定第五佈線之電位為電位  $V_0$ ，其介於  $V_{th\_H}$  及  $V_{th\_L}$  之間(例如， $V_0=$ 接 地 電 位 GND)，藉此可決定提供至電晶體 660 之間極電極之電荷。例如，若寫入中提供  $Q_H$ ，當第五佈線之電位設定為  $V_0(>V_{th\_H})$  時，電晶體 660 開啓。若寫入中提供  $Q_L$ ，甚至當第五佈線之電位設定為  $V_0(<V_{th\_L})$  時，電晶體 660 保持關閉。因此，儲存之資料可藉由測量第二佈線之電位而予讀取。

請注意，若將使用之記憶格為陣列，需僅讀取所欲記憶格之資料。因而，若讀取預定記憶格之資料，且未讀取其他記憶格之資料，電晶體 660 關閉之電位，即低於  $V_{th\_H}$  之電位(例如， $V_1$ )，可供應至資料未被讀取之記憶格中第五佈線，與閾極電極之狀態無關。

第三，將說明資料之重寫。資料之重寫係以類似於資料之寫入及保持的方式執行。即，第四佈線之電位設定為電晶體 601 開啓之電位，使得電晶體 601 開啓。因此，第三佈線之電位(新資料之電位)施加於電晶體 660 之間極電極及電容器 664。之後，第四佈線之電位設定為電晶體 601 關閉之電位，使得電晶體 601 關閉。因此，用於新資料之電荷施加於電晶體 660 之間極電極。

在根據文中所揭露之本發明之實施例之半導體裝置中

，如以上說明，可藉由資料之另一寫入而直接重寫資料。因此，不需要快閃記憶體等中需要之使用高電壓而從浮動閘極提取電荷，因而可抑制因抹除作業造成之作業速度減少。換言之，可體現半導體裝置之高速作業。

請注意，電晶體 601 之汲極電極(或源極電極)電連接至電晶體 660 之閘極電極，因此具有類似於用作非揮發性記憶體元件之浮動閘極電晶體之浮動閘極的功能。以下，電晶體 601 之汲極電極(或源極電極)及電晶體 660 之閘極電極彼此電連接之部分有時稱為節點 FG。當電晶體 601 關閉時，節點 FG 可視為嵌入絕緣體中，且電荷保持於節點 FG 中。使用氧化物半導體形成之電晶體 601 之關閉狀態電流小於或等於使用矽半導體等形成之電晶體的關閉狀態電流之  $1/100000$ ；因而，因電晶體 601 之洩漏電流造成節點 FG 中累積之電荷損失可忽略不計。即，基於使用氧化物半導體形成之電晶體 601，可體現可無電源而保持資料之非揮發性記憶體裝置。

例如，當電晶體 601 之關閉狀態電流於室溫( $25^{\circ}\text{C}$ )為小於或等於  $10 \text{ zA}$ ( $1 \text{ zA}$ (介安)為  $1 \times 10^{-21} \text{ A}$ )及電容器 664 之電容值為約  $10 \text{ fF}$  時，資料可保持  $10^4$  秒或更長。不用說，保持時間取決於電晶體特性及電容值。

此外，在文中所揭露之本發明之一實施例之半導體裝置中，不具有發生於習知浮動閘極電晶體中之閘極絕緣膜(隧道絕緣膜)的惡化問題。即，可解決曾被視為問題之因電子注入浮動閘極之閘極絕緣膜惡化的問題。此表示原則

上寫入次數並無限制。此外，不需要習知浮動閘極電晶體中寫入或抹除資料所需之高電壓。

在本實施例中所說明之半導體裝置中，節點 FG 具有類似於快閃記憶體等中浮動閘極電晶體之浮動閘極的功能，但本實施例之節點 FG 具有本質上與快閃記憶體等中浮動閘極不同之特徵。

在快閃記憶體中，由於施加於控制閘極之電位高，需保持格間適當距離以避免電位影響鄰近格之浮動閘極。此為半導體裝置之高整合的禁止因素之一。該因素歸因於快閃記憶體之基本原理，其中藉由應用高電場而產生隧道電流。

相對地，根據本實施例之半導體裝置係藉由切換使用氧化物半導體形成之電晶體而作業，且未使用藉由隧道電流之電荷注入的以上原理。即，不同於快閃記憶體，不需要用於電荷注入之高電場。因此，不需考量控制鄰近格之閘極的高電場效應，此有利於高整合。

此外，超越快閃記憶體亦有利的是不需高電場及不需大週邊電路(諸如升壓器電路)。例如，根據本實施例施加於記憶格之最高電壓(相同時間施加於記憶格之端子的最高電位與最低電位之間之差異)可為 5 V 或更低，若寫入資料之二位準(一位元)，在每一記憶格中較佳地為 3 V 或更低。

請注意，除了整合程度增加以外，可採用多位準技術以增加半導體裝置之儲存容量。例如，資料之三或更多位

準寫入一記憶格，藉此相較於二位準(一位元)資料寫入之狀況，可增加儲存容量。除了電荷  $Q_L$  及電荷  $Q_H$  以外，藉由例如提供電荷  $Q$ ，其不同於用於施加低電位之電荷  $Q_L$  及用於施加高電位之電荷  $Q_H$ ，至第一電晶體之閘極電極，可達成多位準技術。在此狀況下，甚至在具相當大比例尺之電路結構中，可確保充分儲存容量(例如， $15 F^2$  至  $50 F^2$ ； $F$  為最小特徵尺寸)。

圖 19A 及 19B 各為包括  $(m \times n)$  記憶格 690 之半導體裝置的電路圖範例。圖 19A 及 19B 中記憶格 690 之組態類似於圖 18A 及 18B 中記憶格。換言之，圖 18B 中第一佈線及第三佈線彼此電連接，其相應於圖 19A 及 19B 中位元線 BL；圖 18B 中第二佈線相應於圖 19A 及 19B 中源極線 SL；圖 18B 中第四佈線相應於圖 19A 及 19B 中寫入字線 WWL；及圖 18B 中第五佈線相應於圖 19A 及 19B 中讀取字線 RWL(詳圖 19A 及 19B)。

圖 19A 中半導體裝置包括  $m$ ( $m$  為大於或等於 2 之整數)寫入字線 WWL、 $m$  讀取字線 RWL、 $n$ ( $n$  為大於或等於 2 之整數)位元線 BL、具有以  $m$ (列)(垂直方向) $\times n$ (行)(水平方向)矩陣配置之記憶格 690 之記憶格陣列、連接至  $n$  位元線 BL 之第一驅動器電路 691、及連接至  $m$  寫入字線 WWL 及  $m$  讀取字線 RWL 之第二驅動器電路 692。請注意，圖 19A 中記憶格陣列為 NOR 記憶格陣列，其中記憶格為並聯連接。

圖 19B 中半導體裝置包括  $m$ ( $m$  為大於或等於 2 之整

數)寫入字線 WWL、m 讀取字線 RWL、n(n 為大於或等於 2 之整數)位元線 BL、n 信號線 S、具有以 m(列)(垂直方向)× n(行)(水平方向)矩陣配置之記憶格 690 之記憶格陣列、連接至 n 位元線 BL 及 n 信號線 S 之第一驅動器電路 691、及連接至 m 寫入字線 WWL 及 m 讀取字線 RWL 之第二驅動器電路 692。請注意，圖 19B 中記憶格陣列為 NAND 記憶格陣列，其中記憶格為串聯連接。

在圖 19A 及 19B 中，位址選擇信號線 A 連接至第二驅動器電路 692。位址選擇信號線 A 為一種佈線，其傳輸用於選擇記憶格之列位址的信號。

其次，將說明圖 19A 中所描繪之半導體裝置中，資料之寫入、保持、及讀取。圖 19A 中所描繪之半導體裝置中，資料之寫入、保持、及讀取基本上類似於圖 18A 及 18B 之狀況。以下說明特定寫入作業。請注意，作為一範例，說明電位  $V_H$ (此處， $V_H$  低於電源電位  $VDD$ ，即  $V_H < VDD$ ) 或電位  $V_L$  供應至節點 FG 之狀況；然而，供應至節點 FG 之電位之中關係不侷限於此。當電位  $V_H$  供應至節點 FG 時保持之資料稱為資料「1」，及當電位  $V_L$  供應至節點 FG 時保持之資料稱為資料「0」。

首先，藉由設定讀取字線 RWL 及寫入字線 WWL 之電位而選擇寫入資料之記憶格 690，其分別將記憶格 690 連接至  $V_0$  及  $VDD$ 。

若資料「0」寫入記憶格 690， $V_L$  便供應至位元線 BL。若資料「1」寫入記憶格 690，考量電晶體 601 中電位減

少達其閾值電壓，高於  $V_H$  達電晶體 601 之閾值電壓之電位便供應至位元線 BL。

藉由將讀取字線 RWL 之電位設定為  $V_1$  及寫入字線 WWL 之電位設定為  $V_0$  或  $V_1$  而保持資料(此處， $V_1$  低於  $V_0$ )。換言之， $V_1 < V_0$ ，例如， $V_1$  低於  $V_0$  達  $VDD$ )。

當讀取字線 RWL 之電位從  $V_0$  減少至  $V_1$  時，節點 FG 中電位因與電容器 664 電容耦合而減少達  $V_0 - V_1$ 。因此，電晶體 660 關閉，與寫入資料「1」或資料「0」無關。

由於  $V_0$  或  $V_1$  供應至寫入字線 WWL，電晶體 601 處於關閉狀態。電晶體 601 之關閉狀態電流極小；因而，節點 FG 中電荷長時間保持。

藉由將讀取字線 RWL 之電位設定為  $V_0$  及寫入字線 WWL 之電位設定為  $V_0$  或  $V_1$  而讀取資料。

當讀取字線 RWL 之電位從  $V_1$  增加至  $V_0$  時，節點 FG 中電位因與電容器 664 電容耦合而增加達  $V_0 - V_1$ 。因此，若資料「1」寫入至記憶格 690，節點 FG 中電位為  $V_H$ ，反之，若資料「0」寫入至記憶格 690，節點 FG 中電位為  $V_L$ 。

藉由以上讀取作業，若資料「1」寫入記憶格 690，電晶體 660 開啓及位元線 BL 之電位降低。若資料「0」寫入，電晶體 660 關閉及位元線 BL 之電位維持在讀取開始時位準或上升。

本發明之一實施例之半導體裝置用作電晶體 601。本發明之一實施例之半導體裝置為電晶體其中使用氧化物半

導體而形成通道形成區域，因而特徵在於具有較使用單晶矽形成通道形成區域之電晶體更小關閉狀態電流。因此，若該等電晶體用於圖 19A 及 19B 中所描繪之半導體裝置，甚至當未供應電力時，儲存之資料可長時間保持，並可獲得不具有寫入次數限制之記憶體裝置。

#### (半導體裝置之截面結構)

其次，將參照圖 20A 說明具有相應於所謂動態隨機存取記憶體(DRAM)之結構之半導體裝置範例。圖 20A 中半導體裝置包括電晶體 602 及電容器 668。

有關圖 20A 中電晶體 602，可使用以上實施例中所說明之任何電晶體。電晶體 602 包括通道形成區域 622a、包含摻雜劑之區域 620a 及 620b、導電膜 626a 及 626b、閘極絕緣膜 614a、及導電膜 616a。

例如，電晶體 602 相應於實施例 1 中所說明之電晶體 140(詳圖 25A 至 25D)。通道形成區域 622a 相應於第一氧化物半導體區域 125，包含摻雜劑之區域 620a 及 620b 相應於該對第二氧化物半導體區域 165a 及 165b，導電膜 626a 及 626b 相應於源極電極 109a 及汲極電極 109b，閘極絕緣膜 614a 相應於閘極絕緣膜 161，及導電膜 616a 相應於閘極電極 113。

此外，絕緣膜 610a 及 610b 及絕緣膜 612a 及 612b 相應於實施例 1 中所說明之電晶體 130 之側壁絕緣膜 107a 及 107b(詳圖 11)。因此，電晶體 130 之製造方法可應用於

形成絕緣膜 610a 及 610b 及絕緣膜 612a 及 612b。

圖 20A 中電容器 668 包括絕緣膜 630、導電膜 628a、及導電膜 626a。換言之，導電膜 628a 充當電容器 664 之一電極，及導電膜 626a 充當電容器 664 之另一電極。請注意，絕緣膜 630 相應於實施例 1 中所說明之電晶體 130 之保護絕緣膜 115。

絕緣膜 632 經配置以便覆蓋電晶體 602 及電容器 664。佈線 634 經由導電膜 628b 及絕緣膜 630 及絕緣膜 632 中所形成之開口而連接至導電膜 626b。請注意，圖 20A 中導電膜 626b 及佈線 634 經由導電膜 628b 而相互連接；文中所揭露之本發明之一實施例不侷限於此。例如，佈線 634 可直接接觸導電膜 626b。

#### (基本電路)

其次，將參照圖 20B 說明圖 20A 中所描繪之半導體裝置之基本電路組態及其作業。在圖 20B 中所描繪之半導體裝置中，第一佈線(第一線)電連接至電晶體 602 之源極電極或汲極電極，第二佈線(第二線)電連接至電晶體 602 之閘極電極，及電容器 668 之一電極電連接至電晶體 602 之汲極電極或源極電極。此外，第三佈線(第三線)電連接至電容器 668 之另一電極。

此處，使用氧化物半導體形成之電晶體用作例如電晶體 602。使用氧化物半導體形成之電晶體具有極小關閉狀態電流之特性。因此，藉由關閉電晶體 602，供應至電容

器 668 之電位可極長時間保持。

圖 20B 中所描繪之半導體裝置利用可保持供應至電容器 668 之電位的特性，藉此可執行資料之寫入、保持、及讀取如下。

首先，將說明資料之寫入及保持。為求簡化，此處第三佈線之電位為固定。首先，第二佈線之電位設定為電晶體 602 開啓之電位，使得電晶體 602 開啓。因此，第一佈線之電位供應至電容器 668 之一電極。即，預定電荷施加於電容器 668(寫入)。之後，第二佈線之電位設定為電晶體 602 關閉之電位，使得電晶體 602 關閉。因而，保持施加於電容器 668 之電荷(保持)。如以上說明，電晶體 602 具有極小關閉狀態電流，因而可長時間保持電荷。

其次，將說明資料之讀取。藉由將第二佈線之電位設定為電晶體 602 開啓之電位，且預定電位(恆定電位)供應至第一佈線，第一佈線之電位依據電容器 668 中保持之電荷量而異。因此，藉由測量第一佈線之電位而可讀取儲存之資料。

由於在讀取資料下電容器 668 之電荷損失，應注意執行另一寫入。

第三，將說明資料之重寫。資料之重寫係以類似於資料之寫入及保持的方式執行。即，第二佈線之電位設定為電晶體 602 開啓之電位，使得電晶體 602 開啓。因此，第一佈線之電位(用於新資料之電位)供應至電容器 668 之一電極。之後，第二佈線之電位設定為電晶體 602 關閉之電

位，使得電晶體 602 關閉。因此，用於新資料之電荷施加於電容器 668。

在根據文中所揭露之本發明之一實施例之半導體裝置中，如以上說明，資料可藉由資料之另一寫入而直接重寫。因此，可體現半導體裝置之高速作業。

請注意，以上說明中使用其中電子為載子之 n 通道電晶體；不用說，可使用其中電洞為主要載子之 p 通道電晶體取代 n 通道電晶體。

圖 21 為包括  $(m \times n)$  記憶格 695 之半導體裝置的電路圖範例。圖 21 中記憶格 695 之組態類似於圖 20A 及 20B 中記憶格。換言之，圖 20B 中第一佈線相應於圖 21 中位元線 BL；圖 20B 中第二佈線相應於圖 21 中字線 WL；及圖 20B 中第三佈線相應於圖 21 中源極線 SL。

圖 21 中所描繪之半導體裝置包括 n 位元線 BL、m 字線 WL、具有以 m(列)(垂直方向)  $\times$  n(行)(水平方向)矩陣配置之記憶格 695 之記憶格陣列、連接至 n 位元線 BL 之第一驅動器電路 696、及連接至 m 字線 WL 之第二驅動器電路 697。

記憶格 695 包括電晶體 602 及電容器 668。電晶體 602 之閘極電極連接至字線 WL。此外，電晶體 602 之源極電極及汲極電極之一連接至位元線 BL。電晶體 602 之源極電極及汲極電極之另一者連接至電容器之一電極。電容器之另一電極連接至源極線 SL 並供應予預定電位。實施例 1 至 5 中所說明之任何電晶體可用作電晶體 602。

本發明之一實施例之半導體裝置為電晶體其中使用氧化物半導體形成通道形成區域，因而特徵在於具有較其中使用單晶矽形成之通道形成區域的電晶體更小關閉狀態電流。因此，當電晶體應用於圖 21 中所描繪之半導體裝置時，其視為所謂 DRAM，可獲得一種記憶體其中快閃時期之間之間隔極長。

請注意，本實施例中所說明之結構、方法等可與其他實施例中所說明之任何結構、方法等適當組合。

#### (實施例 7)

可使用電晶體，其中通道形成區域係使用用於至少部分 CPU 之氧化物半導體予以形成，形成中央處理單元(CPU)。

圖 22A 為方塊圖，描繪 CPU 之具體組態。圖 22A 中所描繪之 CPU 包括算術邏輯單元(ALU)1191、ALU 控制器 1192、指令解碼器 1193、中斷控制器 1194、時序控制器 1195、暫存器 1196、暫存器控制器 1197、匯流排介面(Bus I/F)1198、可重寫 ROM 1199、及基板 1190 上之 ROM 介面(ROM I/F)1189。半導體基板、SOI 基板、玻璃基板等用作基板 1190。ROM 1199 及 ROM I/F 1189 可配置於不同晶片上。顯然，圖 22A 中所描繪之 CPU 僅為組態簡化之範例，實際 CPU 依據應用而可具有不同組態。

輸入 CPU 之指令經由 Bus I/F 1198 而輸入指令解碼器 1193 並於其中解碼，接著輸入 ALU 控制器 1192、中斷控

制器 1194、暫存器控制器 1197、及時序控制器 1195。

ALU 控制器 1192、中斷控制器 1194、暫存器控制器 1197、及時序控制器 1195 根據解碼之指令而實施各種控制。具體地，ALU 控制器 1192 產生用於控制 ALU 1191 之作業的信號。當 CPU 執行程式時，中斷控制器 1194 依據其優先性或遮罩狀態而判斷來自外部輸入/輸出裝置或週邊電路之中斷要求，並處理要求。暫存器控制器 1197 產生暫存器 1196 之位址，並根據 CPU 之狀態而讀取/寫入資料自/至暫存器 1196。

時序控制器 1195 產生用於控制 ALU 1191、ALU 控制器 1192、指令解碼器 1193、中斷控制器 1194、及暫存器控制器 1197 之作業時序之信號。例如，時序控制器 1195 包括內部時脈產生器，用於依據參考時脈信號 CLK1 而產生內部時脈信號 CLK2，並供應時脈信號 CLK2 至以上電路。

在圖 22A 中所描繪之 CPU 中，記憶體元件係配置於暫存器 1196 中。實施例 6 中所說明之記憶體元件可用作配置於暫存器 1196 中之記憶體元件。

在圖 22A 中所描繪之 CPU 中，暫存器控制器 1197 根據來自 ALU 1191 之指令而選擇暫存器 1196 中保持資料之作業。即，暫存器控制器 1197 選擇係藉由暫存器 1196 中所包括之記憶體元件中反相元件或電容器而保持資料。當選擇藉由反相元件保持資料時，電源電壓便供應至暫存器 1196 中記憶體元件。當選擇藉由電容器保持資料時，資料

便於電容器中重寫，並可停止供應電源電壓至暫存器 1196 中記憶體元件。

如圖 22B 或圖 22C 中所描繪，藉由將切換元件配置於記憶體元件群組與供應予電源電位 VDD 或電源電位 VSS 之節點之間，可停止電源。以下將說明圖 22B 及 22C 中所描繪之電路。

圖 22B 及 22C 各描繪包括電晶體之記憶體電路之組態範例，其中使用氧化物半導體作為切換元件用於控制電源電位供應至記憶體元件，而形成通道形成區域。

圖 22B 中所描繪之記憶體裝置包括切換元件 1141，及包括複數記憶體元件 1142 之記憶體元件群組 1143。具體地，有關每一記憶體元件 1142，可使用實施例 6 中所說明之記憶體元件。記憶體元件群組 1143 中所包括之每一記憶體元件 1142 經由切換元件 1141 而被供應予高位準電源電位 VDD。此外，記憶體元件群組 1143 中所包括之每一記憶體元件 1142 被供應予信號 IN 之電位及低位準電源電位 VSS。

在圖 22B 中，其中使用氧化物半導體形成通道形成區域之電晶體用作切換元件 1141，並藉由供應至其閘極電極之信號 Sig A 而控制電晶體之切換。

請注意，圖 22B 描繪其中切換元件 1141 僅包括一電晶體之組態；然而，不侷限於此，切換元件 1141 可包括複數電晶體。若切換元件 1141 包括充當切換元件之複數電晶體，複數電晶體可相互並聯連接、串聯連接、或並聯

連接及串聯連接組合。

儘管切換元件 1141 控制高位準電源電位 VDD 供應至圖 22B 之記憶體元件群組 1143 中所包括之每一記憶體元件 1142，切換元件 1141 可控制低位準電源電位 VSS 之供應。

在圖 22C 中，描繪記憶體裝置之範例，其中記憶體元件群組 1143 中所包括之每一記憶體元件 1142 經由切換元件 1141 而被供應予低位準電源電位 VSS。可藉由切換元件 1141 控制低位準電源電位 VSS 供應至記憶體元件群組 1143 中所包括之每一記憶體元件 1142。

當切換元件配置於記憶體元件群組與被供應予電源電位 VDD 或電源電位 VSS 之節點之間時，甚至若 CPU 之作業暫時停止且電源電壓之供應停止，可保持資料；因此，可減少電力消耗。具體地，例如當個人電腦之使用者未輸入資料至諸如鍵盤之輸入裝置時，CPU 之作業可停止，使得電力消耗可減少。

儘管提供 CPU 作為範例，電晶體亦可應用於諸如數位信號處理器 (DSP) 之 LSI、客製 LSI、或場可程控閘陣列 (FPGA)。

本實施例可與任何以上實施例適當組合。

#### (實施例 8)

具有用於讀取目標資訊之影像感測器功能的半導體裝置可使用根據本發明之一實施例之半導體裝置予以製造。

圖 23A 描繪具有影像感測器功能之半導體裝置範例。

圖 23A 為光感測器之等效電路圖，及圖 23B 為部分光感測器之截面圖。

在圖 23A 中，光感測器 701 包括光二極體 702 及放大器電路 703。光二極體 702 為光電轉換元件，其於半導體接面暴露於光時產生電流。放大器電路 703 為放大藉由光二極體 702 接收光而獲得之電流之電路，或保持因電流累積之電荷之電路。當檢測到光進入光二極體 702 時，光感測器 701 可於將檢測之目標上讀取資訊。請注意，諸如背光之光源可用於在將檢測之目標上讀取資訊。

放大器電路 703 之組態可具有任何組態，只要可放大光二極體 702 中產生之電流；放大器電路 703 包括至少電晶體 705，其放大光二極體 702 中產生之電流。

以下將說明圖 23A 中光感測器 701 之具體組態，參照源極電極及汲極電極之一作為第一端子及另一者作為第二端子。

在圖 23A 之光感測器 701 中，放大器電路 703 包括電晶體 704、電晶體 705、及電晶體 706。電晶體 704 充當切換元件，其控制電流供應至放大器電路 703。電晶體 705 之第一端子與第二端子之間之電流值或電阻值取決於供應至電晶體 704 之第二端子的電位。電晶體 706 充當用於供應輸出信號之電位的切換元件，其根據電流值或電阻值而設定為佈線 OUT。

在本實施例中，實施例 1 至 5 中所說明之任何電晶體

可應用於電晶體 704。

具體地，在圖 23A 中，光二極體 702 之陽極連接至佈線 PR。光二極體 702 之陰極連接至電晶體 704 之第一端子。電晶體 704 之第二端子連接至放大器電路 703 中所包括之另一半導體元件，使得電晶體 704 之第二端子的連接依據放大器電路 703 之組態而異；在圖 23A 中，電晶體 704 之第二端子連接至電晶體 705 之閘極電極。電晶體 704 之閘極電極連接至佈線 TX。佈線 TX 被供應予用於控制電晶體 704 之切換之信號之電位。電晶體 705 之第一端子連接至佈線 VR，其被供應予高位準電源電位 VDD。電晶體 705 之第二端子連接至電晶體 706 之第一端子。電晶體 706 之第二端子連接至佈線 OUT。電晶體 706 之閘極電極連接至佈線 SE，及佈線 SE 被供應予用於控制電晶體 706 之切換之信號之電位。佈線 OUT 被供應予從放大器電路 703 輸出之輸出信號之電位。

在圖 23A 中，電晶體 704 之第二端子及電晶體 705 之閘極電極彼此連接之節點標示為節點 FD。輸出信號之電位係藉由累積於節點 FD 之電荷量決定。為更可靠地將電荷保持於節點 FD 中，儲存電容器可連接至節點 FD。

請注意，甚至當電路圖描繪不同組件彼此連接時，存在一狀況其中一導電膜具有複數組件之功能，諸如部分佈線充當電極之狀況。在本說明書中，用詞「連接」亦表示一導電膜具有複數組件之功能的該等狀況。

請注意，圖 23A 描繪佈線 PR、佈線 TX、及佈線 OUT

連接至光感測器 701 之狀況；然而，在本發明之一實施例中光感測器 701 中所包括之佈線數量不侷限於此。除了以上佈線以外，被供應予電源電位之佈線、被供應予用於重置放大器電路 703 中保持之電荷量之信號之電位之佈線等，可連接至光感測器 701。

請注意，儘管圖 23A 描繪光感測器 701 之組態，其中放大器電路 703 僅包括充當切換元件之一電晶體 704，本發明之一實施例不侷限於此組態。儘管本實施例中說明一電晶體充當一切換元件之組態，複數電晶體可充當一切換元件。若複數電晶體充當一切換元件，複數電晶體可彼此並聯連接、串聯連接、或並聯連接極串聯連接組合。

在本說明書中，電晶體彼此串聯連接之狀態表示例如僅第一電晶體之第一端子及第二端子之一連接至僅第二電晶體之第一端子及第二端子之一的狀態。此外，電晶體彼此並聯連接之狀態表示第一電晶體之第一端子連接至第二電晶體之第一端子及第一電晶體之第二端子連接至第二電晶體之第二端子的狀態。

請注意，有關圖 23A 中放大器電路 703 中所包括之電晶體 704，可使用實施例 1 至 5 中所說明之任何電晶體。當氧化物半導體用於電晶體 704 時，電晶體 704 之關閉狀態電流可顯著減少。電晶體 704 充當切換元件用於保持光感測器 701 中累積之電荷；因而，可抑制電荷保持時期中電荷之洩漏。

圖 23B 描繪光感測器 701 中包括光二極體 702 及電晶

體 704 之截面。

光感測器 701 中所包括之光二極體 702 於基板 751 之上包括依序堆疊之 p 型半導體膜 715、i 型半導體膜 716、及 n 型半導體膜 717。導電膜 710 電連接至充當光二極體 702 之陽極之 p 型半導體膜 715。

光感測器 701 中所包括之導電膜 718 充當電晶體 704 之閘極電極。光感測器 701 中所包括之導電膜 719 充當電晶體 704 之第一端子。光感測器 701 中所包括之導電膜 720 充當電晶體 704 之第二端子。光感測器 701 中所包括之導電膜 721 連接至 n 型半導體膜 717 及導電膜 719。

在圖 23B 中，光感測器 701 包括充當佈線 PR 之導電膜 710。導電膜 710、導電膜 719、及導電膜 720 可藉由於基底絕緣膜 728 上處理形成之一導電膜為所欲形狀而予形成。

請注意，圖 23B 中光感測器 701 之截面圖顯示執行直至並包括形成導電膜 721 之步驟之後的狀態。在半導體顯示裝置之狀況下，配置顯示元件以及光感測器 701；因而，於形成導電膜 721 之後特別形成顯示元件。

本實施例可與任何以上實施例適當組合。

#### (實施例 9)

其次，圖 28 為可攜式裝置之方塊圖。圖 28 中可攜式裝置包括 RF 電路 1501、類比基帶電路 1502、數位基帶電路 1503、電池 1504、電源電路 1505、應用處理器 1506、

快閃記憶體 1510、顯示控制器 1511、記憶體電路 1512、顯示器 1513、觸控感測器 1519、音頻電路 1517、鍵盤 1518 等。顯示器 1513 包括顯示部 1514、源極驅動器 1515、及閘極驅動器 1516。應用處理器 1506 包括 CPU 1507、DSP 1508、及介面 1509(IF 1509)。記憶體電路大體上包括 SRAM 或 DRAM，且任何以上實施例中所說明之半導體裝置用於記憶體電路 1512，藉此資料可以高速寫入及讀取，資料可長時間保持，並可充分減少電力消耗。

其次，圖 29 為範例其中任何以上實施例中所說明之半導體裝置用於顯示器之記憶體電路 1600。圖 29 之記憶體電路 1600 包括記憶體 1602、記憶體 1603、開關 1604、開關 1605、及記憶體控制器 1601。記憶體 1602 及記憶體 1603 係使用任何以上實施例中所說明之半導體裝置予以形成。

首先，影像資料係藉由應用處理器(未顯示)形成。形成之影像資料(輸入影像資料 1)經由開關 1604 而儲存於記憶體 1602 中。接著，儲存於記憶體 1602 之影像資料(儲存之影像資料 1)經由開關 1605 及顯示控制器 1606 而傳輸至顯示器 1607。

若輸入影像資料未改變，便經由開關 1605 以通常約 30 Hz 至 60 Hz 之頻率而藉由顯示控制器 1606 從記憶體 1602 讀取儲存之影像資料 1。

一旦於螢幕上重寫資料(即，若輸入影像資料改變)，應用處理器形成新影像資料(輸入影像資料 2)。輸入影像

資料 2 經由開關 1604 而儲存於記憶體 1603 中。亦於此期間，經由開關 1605 而定期從記憶體 1602 讀取儲存之影像資料 1。在將新影像資料儲存於記憶體 1603 中結束之後(儲存之影像資料 2)，便開始從顯示器 1607 之後續訊框讀取儲存之影像資料 2；儲存之影像資料 2 經由將顯示之開關 1605 及顯示控制器 1606 而傳輸至顯示器 1607，此重複直至下一新影像資料儲存於記憶體 1602 中為止。

以此方式，於記憶體 1602 及記憶體 1603 中交替執行資料寫入及資料讀取，藉此於顯示器 1607 上執行顯示。請注意，不一定分別配置記憶體 1602 及記憶體 1603，並可藉由劃分一記憶體而予獲得。任何以上實施例中所說明之半導體裝置用於記憶體 1602 及記憶體 1603，藉此可以高速寫入及讀取資料，資料可長時間儲存，並可充分減少電力消耗。

其次，圖 30 為電子書閱讀器之方塊圖。圖 30 中顯示電池 1701、電源電路 1702、微處理器 1703、快閃記憶體 1704、音頻電路 1705、鍵盤 1706、記憶體電路 1707、觸控面板 1708、顯示器 1709、及顯示控制器 1710。本發明之一實施例可應用於記憶體電路 1707。記憶體電路 1707 具有暫時儲存電子書內容之功能。例如使用者有時使用加亮功能。當使用者閱讀電子書時，他或她有時希望標示特定部分。該等標示功能稱為加亮功能，藉此例如顏色或字型、加底線、或黑體字之特性改變，使得特定部分與其他部分看起來區別。在此功能中，有關使用者指明部分之資

訊被儲存及維持。為長時期維持資訊，資訊可複製於快閃記憶體 1704 中。亦在該等狀況下，使用任何以上實施例中所說明之半導體裝置，藉此可以高速寫入及讀取資料，資料可長時間儲存，並可充分減少電力消耗。

#### (實施例 10)

在本實施例中，將參照圖 24A 至 24F 說明任何以上實施例中所說明之半導體裝置應用於電子裝置之狀況。在本實施例中，將說明任何以上實施例中所說明之半導體裝置應用於電子裝置之範例，包括電腦、行動電話（亦稱為蜂巢式電話或行動電話裝置）、可攜式資訊終端機（包括可攜式遊戲機、音頻播放器等）、數位相機、數位攝影機、電子紙、或電視裝置（亦稱為電視或電視接收器）。

圖 24A 顯示膝上型個人電腦，其包括外殼 801、外殼 802、顯示部 803、鍵盤 804 等。外殼 801 及外殼 802 之至少之一配置任何以上實施例中所說明之半導體裝置。因此，可體現膝上型個人電腦其中可以高速執行寫入及讀取資料，資料可長時間儲存，並可充分減少電力消耗。

圖 24B 描繪個人數位助理（PDA），其包括配置用於主體 811 之顯示部 813、外部介面 815、作業按鈕 814 等。此外，配置用於個人數位助理作業之觸控筆 812 等。任何以上實施例中所說明之半導體裝置配置於主體 811 中。因此，個人數位助理其中可以高速執行寫入及讀取資料，資料可長時間儲存，並可充分減少電力消耗。

圖 24C 描繪安裝電子紙之電子書閱讀器 820，其包括二外殼，外殼 821 及外殼 823。外殼 821 及外殼 823 分別配置顯示部 825 及顯示部 827。外殼 821 及外殼 823 藉由鉸鏈部 837 連接並可沿鉸鏈部 837 作為軸而開啓及關閉。外殼 821 進一步配置電力開關 831、作業鍵 833、揚聲器 835 等。外殼 821 及外殼 823 之至少之一配置任何以上實施例中所說明之半導體裝置。因此，可體現電子書閱讀器其中可以高速執行寫入及讀取資料，資料可長時間儲存，並可充分減少電力消耗。

圖 24D 描繪行動電話，其包括二外殼，外殼 840 及外殼 841。此外，外殼 840 及外殼 841 處於一狀態，其中如圖 24D 中所描繪之發展而可滑動使得其一疊於另一者之上；以此方式，行動電話之尺寸可減少，使行動電話適於攜帶。此外，外殼 841 配置顯示面板 842、揚聲器 843、麥克風 844、作業鍵 845、指向裝置 846、相機鏡頭 847、外部連接端子 848 等。外殼 840 配置用於充電行動電話之太陽能電池 849、外部記憶體槽 850 等。此外，天線併入外殼 841 中。外殼 840 及外殼 841 之至少之一配置任何以上實施例中所說明之半導體裝置。因此，可體現行動電話其中可以高速執行寫入及讀取資料，資料可長時間儲存，並可充分減少電力消耗。

圖 24E 描繪數位相機，其包括主體 861、顯示部 867、目鏡 863、作業開關 864、顯示部 865、電池 866 等。主體 861 中配置任何以上實施例中所說明之半導體裝置。因

此，可體現數位相機其中可以高速執行寫入及讀取資料，資料可長時間儲存，並可充分減少電力消耗。

圖 24F 描繪電視機 870，其包括外殼 871、顯示部 873、支架 875 等。電視機 870 可以外殼 871 中所包括之開關或以遙控器 880 作業。外殼 871 及遙控器 880 上配置任何以上實施例中所說明之半導體裝置。因此，可體現電視機其中可以高速執行寫入及讀取資料，資料可長時間儲存，並可充分減少電力消耗。

如以上說明，根據任何以上實施例之半導體裝置係安裝於本實施例中所說明之每一電子裝置上。因此，可體現具低電力消耗之電子裝置。

本申請案係依據 2011 年 1 月 26 日向日本專利處提出申請之序號 2011-014620 日本專利申請案，其整個內容係以提及方式併入本文。

### 【圖式簡單說明】

在附圖中：

圖 1A 至 1D 為俯視圖及截面圖，描繪根據本發明之一實施例之半導體裝置範例；

圖 2A 至 2D 為俯視圖及截面圖，描繪根據本發明之一實施例之半導體裝置範例；

圖 3A 至 3D 為俯視圖及截面圖，描繪根據本發明之一實施例之半導體裝置範例；

圖 4A 至 4C 為截面圖，描繪根據本發明之一實施例之

半導體裝置之製造方法範例；

圖 5A 至 5C 為截面圖，描繪根據本發明之一實施例之半導體裝置之製造方法範例；

圖 6A 至 6C 為截面圖，描繪根據本發明之一實施例之半導體裝置之製造方法範例；

圖 7A 至 7C 為截面圖，描繪根據本發明之一實施例之半導體裝置之製造方法範例；

圖 8A 至 8C 為截面圖，描繪根據本發明之一實施例之半導體裝置之製造方法範例；

圖 9A 及 9B 為截面圖，描繪根據本發明之一實施例之半導體裝置之製造方法範例；

圖 10A 至 10C 為截面圖，描繪根據本發明之一實施例之半導體裝置之製造方法範例；

圖 11 為截面圖，描繪根據本發明之一實施例之半導體裝置範例；

圖 12A 至 12D 為俯視圖及截面圖，描繪根據本發明之一實施例之半導體裝置範例；

圖 13A 至 13C 為截面圖，描繪根據本發明之一實施例之半導體裝置之製造方法範例；

圖 14A 至 14C 為截面圖，描繪根據本發明之一實施例之半導體裝置之製造方法範例；

圖 15 為截面圖，描繪根據本發明之一實施例之半導體裝置範例；

圖 16 為截面圖，描繪根據本發明之一實施例之半導

體裝置範例；

圖 17 為截面圖，描繪根據本發明之一實施例之半導體裝置範例；

圖 18A 及 18B 為截面圖及電路圖，描繪根據本發明之一實施例之半導體裝置；

圖 19A 及 19B 為電路圖，各描繪根據本發明之一實施例之半導體裝置；

圖 20A 及 20B 為截面圖及電路圖，描繪根據本發明之一實施例之半導體裝置；

圖 21 為電路圖，各描繪根據本發明之一實施例之半導體裝置；

圖 22A 為方塊圖，描繪根據本發明之一實施例之半導體裝置之具體範例，及圖 22B 及 22C 為其零件電路圖；

圖 23A 及 23B 為電路圖及截面圖，描繪根據本發明之一實施例之半導體裝置；

圖 24A 至 24F 為透視圖，描繪各包括根據本發明之一實施例之半導體裝置之電子裝置範例；

圖 25A 至 25D 為俯視圖及截面圖，描繪根據本發明之一實施例之半導體裝置範例；

圖 26A 至 26D 為截面圖，描繪根據本發明之一實施例之半導體裝置之製造方法範例；

圖 27A 及 27B 為截面圖，描繪根據本發明之一實施例之半導體裝置之製造方法範例；

圖 28 為方塊圖，描繪根據本發明之一實施例之半導

體裝置之具體範例；

圖 29 為方塊圖，描繪根據本發明之一實施例之半導體裝置之具體範例；以及

圖 30 為方塊圖，描繪根據本發明之一實施例之半導體裝置之具體範例。

#### 【主要元件符號說明】

100、110、130、140、200、300、400、601、602、660、

704、705、706：電晶體

101、600、751、1190：基板

103、728：基底絕緣膜

105：氧化物半導體膜

107、107a、107b：側壁絕緣膜

108a、109a：源極電極

108b、109b：汲極電極

111、161、608、614a：閘極絕緣膜

112、119、123、128、129、129a、129b、616a、626a、

626b、628a、628b、710、718、719、720、721：導電膜

113、609：閘極電極

115、166：保護絕緣膜

117：第二絕緣膜

117a、117b、160、301、401、602a、610a、610b、612a

、612b、614b、630、632：絕緣膜

120：第一氧化物半導體膜

- 122：第二氧化物半導體膜  
124：第三氧化物半導體膜  
125：第一氧化物半導體區域  
133、139a、139b、143a、143b、153a、153b：抗蝕罩  
135a、135b、165a、165b：第二氧化物半導體區域  
145、145a、145b：第三氧化物半導體區域  
150：摻雜劑  
155a、155b：第四氧化物半導體區域  
607、634：佈線  
608：閘極絕緣層  
616a1、622a：通道形成區域  
616b：電極  
616b1、616b2、616b3、616b4：雜質區域  
620a、620b：區域  
664、668：電容器  
690、695：記憶格  
691、696：第一驅動器電路  
692、697：第二驅動器電路  
701：光感測器  
702：光二極體  
703：放大器電路  
715：p型半導體膜  
716：i型半導體膜  
717：n型半導體膜

- 801、802、821、823、840、841、871：外殼  
803、813、825、827、865、867、873、1514：顯示部  
804、1518、1706：鍵盤  
811、861：主體  
812：觸控筆  
814：作業按鈕  
815：外部介面  
820：電子書閱讀器  
831：電力開關  
833、845：作業鍵  
835、843：揚聲器  
837：鉸鏈部  
842：顯示面板  
844：麥克風  
846：指向裝置  
847：相機鏡頭  
848：外部連接端子  
849：太陽能電池  
850：外部記憶體槽  
863：目鏡  
864：作業開關  
866、1504、1701：電池  
870：電視機  
875：支架

880：遙控器

1141：切換元件

1142：記憶體元件

1143：記憶體元件群組

1189：ROM 介面

1191：算術邏輯單元

1192：ALU 控制器

1193：指令解碼器

1194：中斷控制器

1195：時序控制器

1196：暫存器

1197：暫存器控制器

1198：匯流排介面

1199：可重寫 ROM

1501：RF 電路

1502：類比基帶電路

1503：數位基帶電路

1505、1702：電源電路

1506：應用處理器

1507：中央處理單元

1508：數位信號處理器

1509：介面

1510、1704：快閃記憶體

1511、1606、1710：顯示控制器

1512、1600、1707：記憶體電路

1513、1607、1709：顯示器

1515：源極驅動器

1516：閘極驅動器

1517：音頻電路

1519：觸控感測器

1601：記憶體控制器

1602、1603：記憶體

1604、1605：開關

1703：微處理器

1705：音頻電路

1708：觸控面板

## 七、申請專利範圍：

1. 一種半導體裝置之製造方法，包含以下步驟：

於基板之上形成第一絕緣膜；

於該第一絕緣膜之上形成第一氧化物半導體膜；

藉由選擇性蝕刻該第一氧化物半導體膜而形成第二氧化物半導體膜；

於該第一絕緣膜及該第二氧化物半導體膜之上形成第二絕緣膜；

藉由拋光該第二絕緣膜之表面使得暴露該第二氧化物半導體膜而形成第三絕緣膜，接觸至少該第二氧化物半導體膜之側面；

加熱該第三絕緣膜，使得該第三絕緣膜中部分氧釋放；

於該第二氧化物半導體膜之上形成源極電極及汲極電極；

於該第二氧化物半導體膜、該源極電極、及該汲極電極之上形成第四絕緣膜；以及

於該第四絕緣膜之上形成閘極電極，與該第二氧化物半導體膜重疊。

2. 一種半導體裝置之製造方法，包含以下步驟：

於基板之上形成第一絕緣膜；

於該第一絕緣膜之上形成第一氧化物半導體膜；

藉由選擇性蝕刻該第一絕緣膜與該第一氧化物半導體膜而形成一凹陷於該第一絕緣膜中及形成第二氧化物半導

體膜；

於該第一絕緣膜及該第二氧化物半導體膜之上形成第二絕緣膜；

於該第二絕緣膜之上形成第三絕緣膜；

形成第四絕緣膜接觸該凹陷與該第二氧化物半導體膜之側面，及藉由拋光該第二絕緣膜與該第三絕緣膜形成第五絕緣膜接觸該第四絕緣膜之側面，以使該第四絕緣膜與該第五絕緣膜被設置於該凹陷中；

於該第二氧化物半導體膜之上形成源極電極及汲極電極；

於該第二氧化物半導體膜、該源極電極、及該汲極電極之上形成第六絕緣膜；以及

於該第六絕緣膜之上形成閘極電極。

3.如申請專利範圍第 2 項之半導體裝置之製造方法，進一步包含加熱該第四絕緣膜之步驟，使得該第四絕緣膜中部分氣釋放。

4.一種半導體裝置之製造方法，包含以下步驟：

於基板之上形成第一絕緣膜；

於該第一絕緣膜之上形成第一氧化物半導體膜；

藉由選擇性蝕刻該第一氧化物半導體膜而形成第二氧化物半導體膜；

於該第一絕緣膜及該第二氧化物半導體膜之上形成第二絕緣膜；

於該第二絕緣膜之上形成第三絕緣膜；

藉由拋光該第三絕緣膜之表面使得該第二絕緣膜暴露而形成第四絕緣膜；

藉由蝕刻該第二絕緣膜使得該第二氧化物半導體膜暴露而形成第五絕緣膜；

加熱該第四絕緣膜與該第五絕緣膜，使得至少該第四絕緣膜及該第五絕緣膜之一者中部分氧釋放；

於該第二氧化物半導體膜之上形成源極電極及汲極電極；

於該第二氧化物半導體膜、該源極電極、及該汲極電極之上形成第六絕緣膜；以及

於該第六絕緣膜之上形成閘極電極，與該第二氧化物半導體膜重疊。

5.如申請專利範圍第 1、2 及 4 項中任一項之半導體裝置之製造方法，進一步包含以下步驟：

形成第一氧化物半導體區域，與該閘極電極重疊；一對第二氧化物半導體區域，該第一氧化物半導體區域夾於其間；及一對第三氧化物半導體區域，其係於該閘極電極形成之後，藉由添加摻雜劑至該第二氧化物半導體膜而提供於與該源極電極及該汲極電極重疊之區域中。

6.如申請專利範圍第 5 項之半導體裝置之製造方法，

其中，該對第二氧化物半導體區域為包含該摻雜劑之區域，以及

其中，該摻雜劑為氮、磷、砷、氬、氦、氖、氬、氮、及氬中之一或多者。

7. 一種半導體裝置之製造方法，包含以下步驟：

於基板之上形成第一絕緣膜；

於該第一絕緣膜之上形成第一氧化物半導體膜；

藉由選擇性蝕刻該第一氧化物半導體膜而形成第二氧化物半導體膜；

於該第一絕緣膜及該第二氧化物半導體膜之上形成第二絕緣膜；

藉由拋光該第二絕緣膜之表面使得該第二氧化物半導體膜暴露而形成第三絕緣膜；

於該第三絕緣膜及該第二氧化物半導體膜之上形成第一導電膜；

於該第一導電膜之上形成第二導電膜；

於該第二導電膜之上形成第一抗蝕罩；

藉由使用該第一抗蝕罩選擇性蝕刻該第一導電膜與該第二導電膜而形成一對第三導電膜與一對第四導電膜；

形成第二抗蝕罩並藉由收縮該第一抗蝕罩而暴露該對第四導電膜中並與該第二氧化物半導體膜重疊之至少部分區域；

藉由使用該第二抗蝕罩蝕刻第二區域中的該對第四導電膜而形成源極電極及汲極電極，其各包含具有第一厚度之第一區域及具有小於該第一厚度之第二厚度之第二區域；

於該第二氧化物半導體膜、該源極電極、及該汲極電極之上形成第四絕緣膜；

於該第四絕緣膜之上形成閘極電極，與該第二氧化物半導體膜重疊；

形成第一氧化物半導體區域，與該閘極電極重疊；一對第二氧化物半導體區域，該第一氧化物半導體區域夾於其間；一對第三氧化物半導體區域，與具有該第一厚度之至少該區域重疊；及一對第四氧化物半導體區域，藉由添加摻雜劑至該第二氧化物半導體膜，而與具有該第二厚度之該區域重疊。

8. 如申請專利範圍第 1、2、4 及 7 項中任一項之半導體裝置之製造方法，進一步包含加熱該第一氧化物半導體膜之步驟。

9. 如申請專利範圍第 1、2、4 及 7 項中任一項之半導體裝置之製造方法，進一步包含藉由選擇性蝕刻該第一氧化物半導體膜及該第一絕緣膜，而於該第一絕緣膜中並接觸該第二氧化物半導體膜之區域中形成凸出之步驟。

10. 如申請專利範圍第 7 項之半導體裝置之製造方法，

其中，該對第二氧化物半導體區域及該一對第四氧化物半導體區域為包含該摻雜劑之區域，以及

其中，該摻雜劑為氮、磷、砷、氬、氦、氖、氬、氮、及氬中之一或多者。

11. 如申請專利範圍第 1、2、4 及 7 項中任一項之半導體裝置之製造方法，

其中，該第一氧化物半導體膜及該第二氧化物半導體

膜包含選自 In、Ga、Sn、及 Zn 之一或多項元素。

12. 如申請專利範圍第 1、2、4 及 7 項中任一項之半導體裝置之製造方法，

其中，該第一氧化物半導體膜及該第二氧化物半導體膜各為非單晶氧化物半導體膜，並包含 c 軸對準結晶區域。

13. 如申請專利範圍第 7 項之半導體裝置之製造方法，進一步包含加熱該第三絕緣膜之步驟，使得該第三絕緣膜中部分氧釋放。

14. 如申請專利範圍第 1、2、4 及 7 項中任一項之半導體裝置之製造方法，其中，部分該釋放之氧擴散至該第二氧化物半導體膜。

15. 一種半導體裝置，包含：

基板上之第一絕緣膜；

該第一絕緣膜上之氧化物半導體膜；

該氧化物半導體膜之側面上之第二絕緣膜；

該第二絕緣膜上之第三絕緣膜；

該氧化物半導體膜上之源極電極及汲極電極；

該氧化物半導體膜之上並與其接觸之閘極絕緣膜；以及

該氧化物半導體膜之上閘極電極，且該閘極絕緣膜插於其間，

其中，該氧化物半導體膜為非單晶並包含 c 軸對準結晶區域。

16. 一種半導體裝置，包含：

於基板之上的第一絕緣膜；

於該第一絕緣膜之上的氧化物半導體膜；

於該氧化物半導體膜之側面上的第二絕緣膜；

於該第二絕緣膜之上的第三絕緣膜；

於該氧化物半導體膜之上的源極電極及汲極電極；

閘極絕緣膜，於該氧化物半導體膜之上並與其接觸；

以及

閘極電極，於該氧化物半導體膜之上並以該閘極絕緣膜設置於其間，

其中，該氧化物半導體膜包含：

第一氧化物半導體區域，與該閘極電極重疊；

一對第二氧化物半導體區域，該第一氧化物半導體區域夾於其間；以及

一對第三氧化物半導體區域，該第一氧化物半導體區域與該對第二氧化物半導體區域夾於其間，且各與該源極電極或該汲極電極重疊。

17. 如申請專利範圍第 15 或 16 項之半導體裝置，其中，該第二絕緣膜之下表面係提供於相對該第一絕緣膜與該氧化物半導體膜之間之介面之該基板側。

18. 如申請專利範圍第 16 項之半導體裝置，其中，該對第二氧化物半導體區域包含氮、磷及砷之至少一項，且濃度高於或等於  $5 \times 10^{18}$  原子/ $\text{cm}^3$  及低於或等於  $1 \times 10^{22}$  原子/ $\text{cm}^3$ 。

19. 如申請專利範圍第 16 項之半導體裝置，其中，該對

第二氧化物半導體區域包含氫、氦、氖、氬、氪、及氙中之至少一者作為摻雜劑，且濃度高於或等於  $5 \times 10^{18}$  原子/ $\text{cm}^3$  及低於或等於  $1 \times 10^{22}$  原子/ $\text{cm}^3$ 。

20. 如申請專利範圍第 15 或 16 項之半導體裝置，其中，該氧化物半導體膜包含選自 In、Ga、Sn、及 Zn 之一或多項元素。

圖 1A

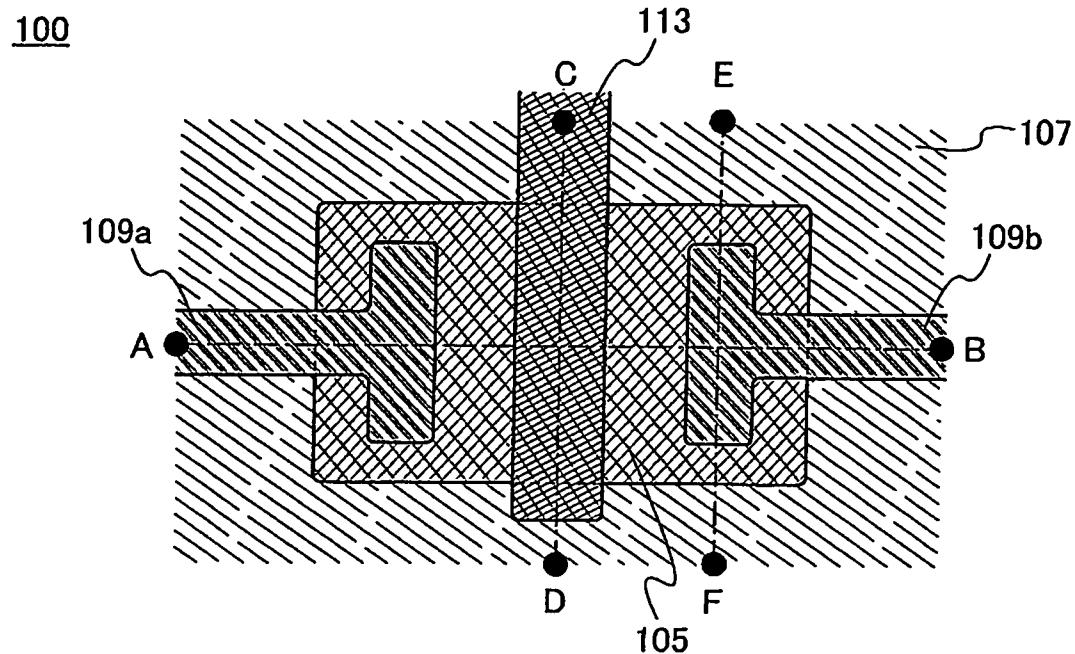


圖 1B

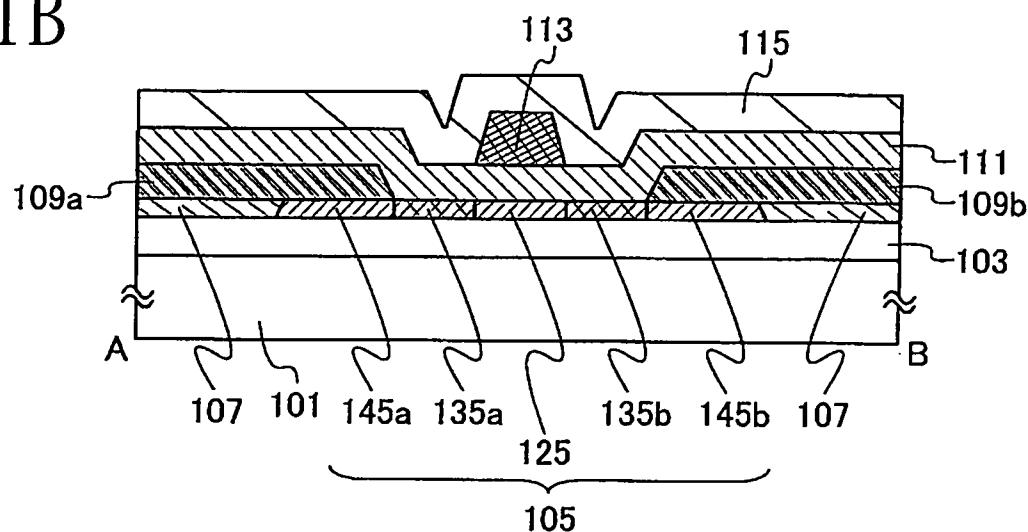


圖 1C

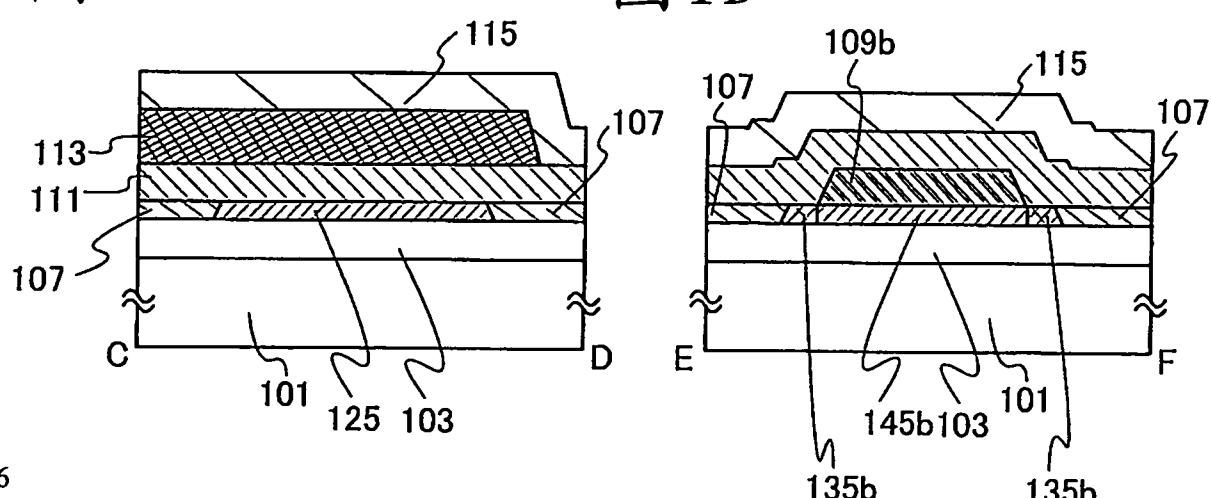
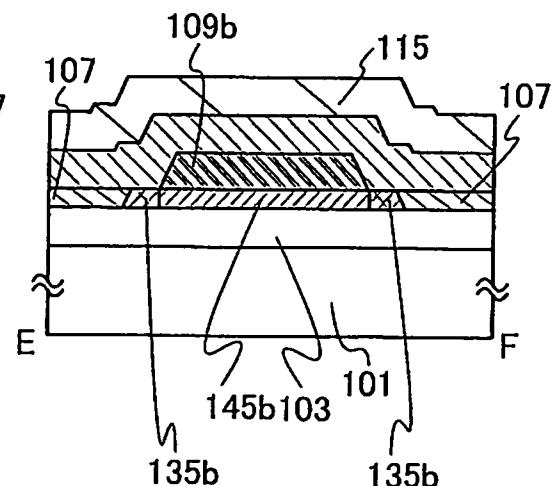


圖 1D



1570920

圖 2A

110

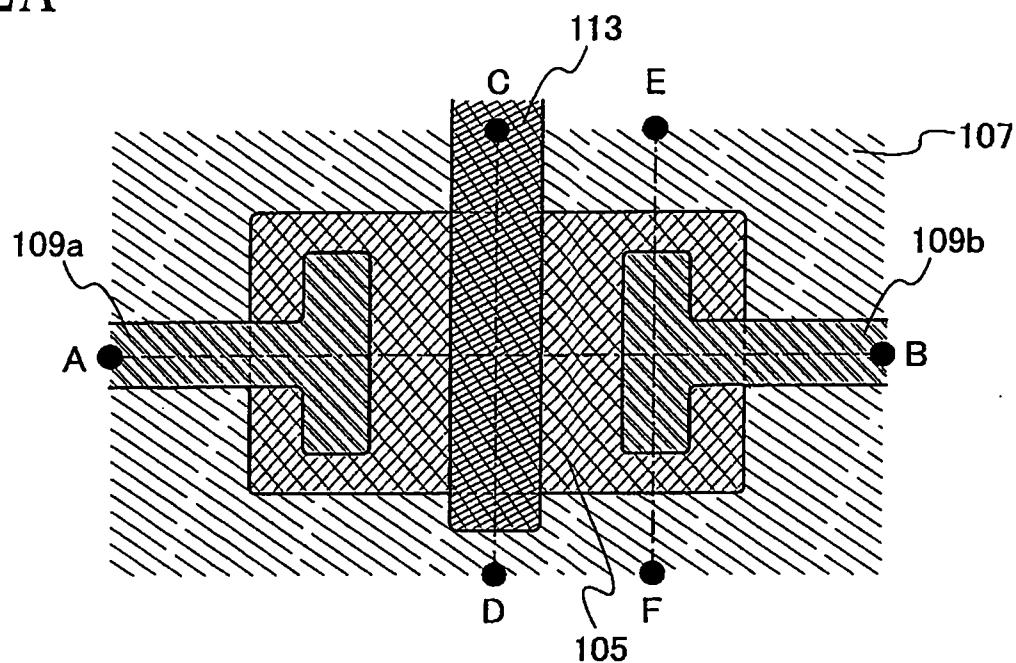


圖 2B

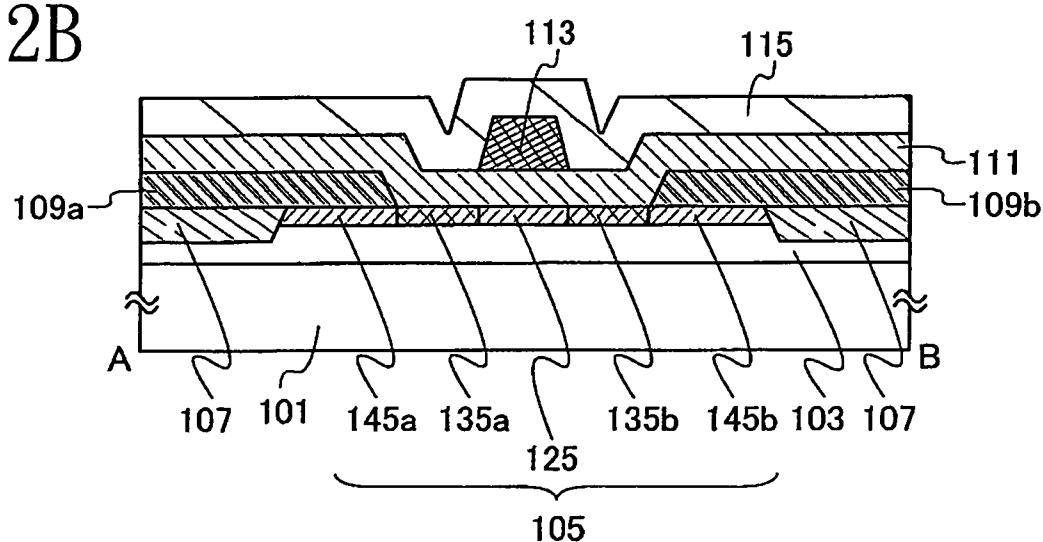


圖 2C

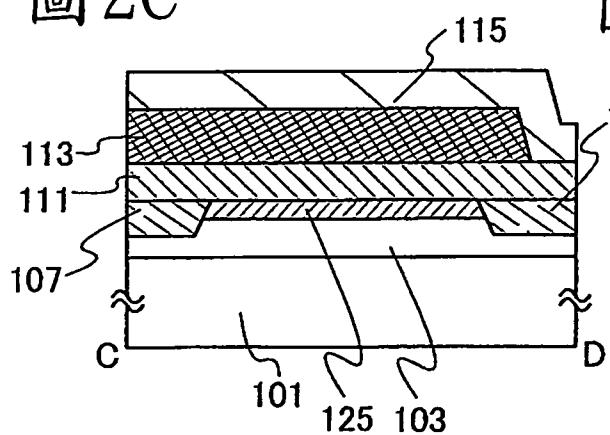


圖 2D

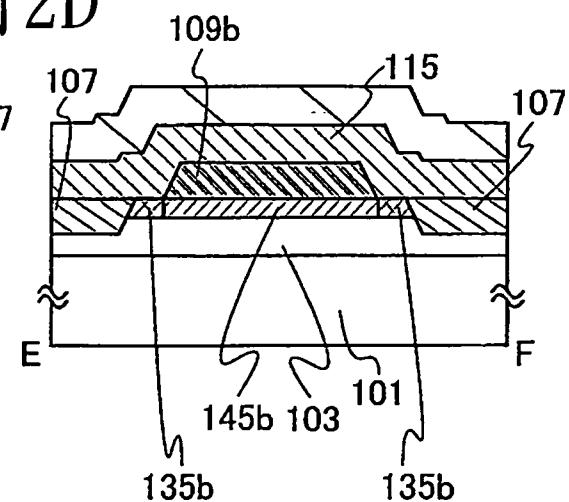


圖 3A

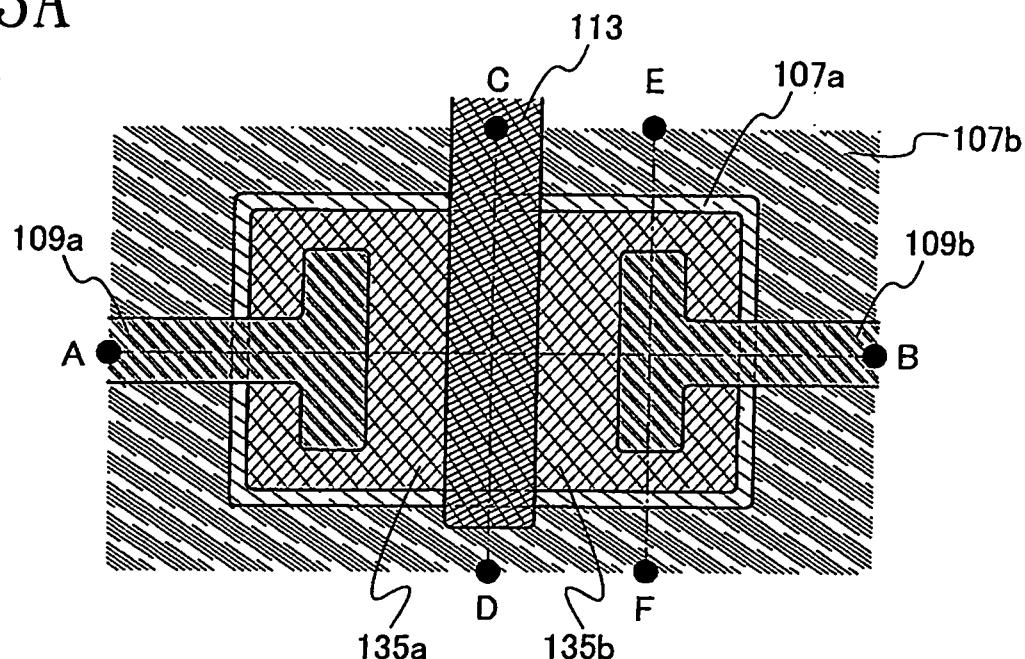
130

圖 3B

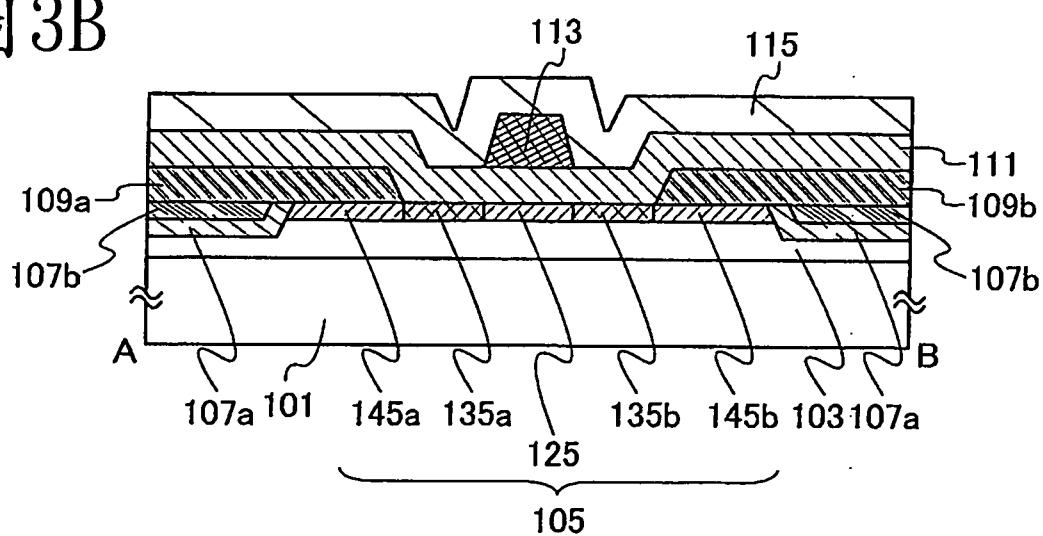


圖 3C

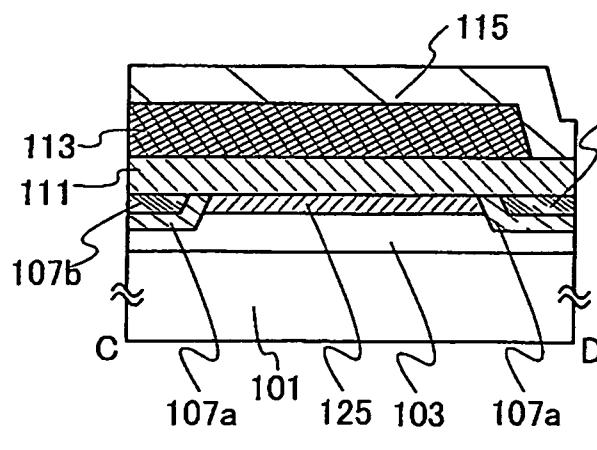
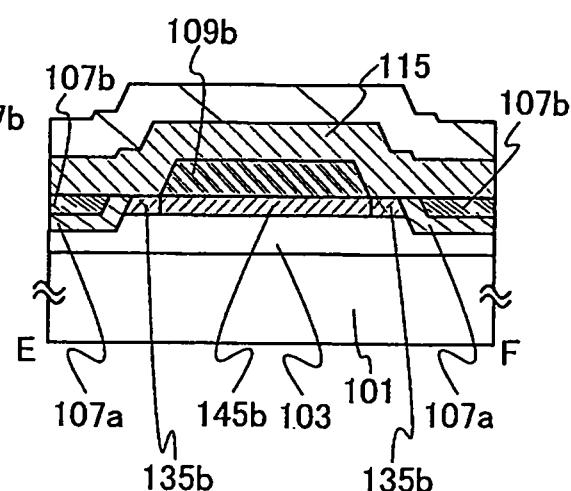


圖 3D



I570920

圖 4A

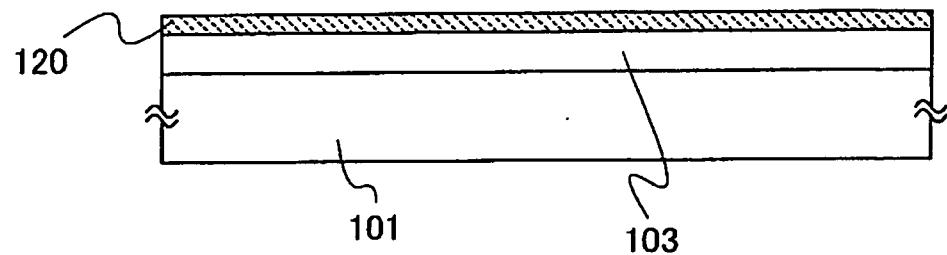


圖 4B

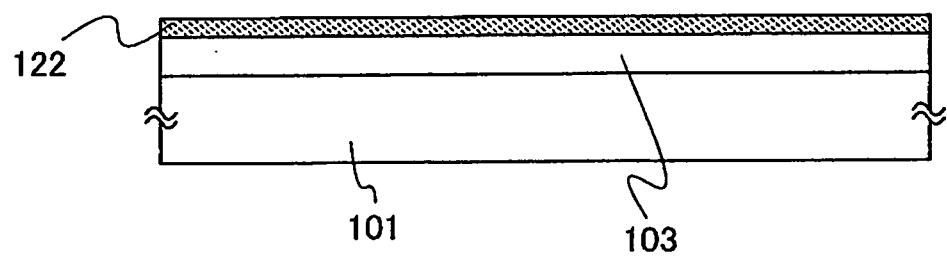
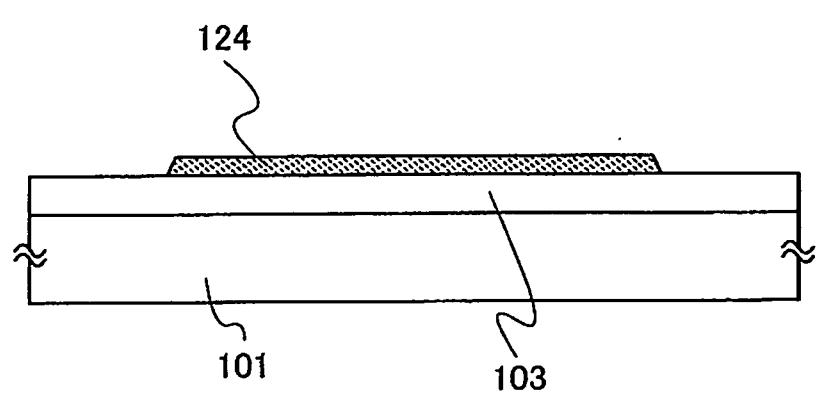


圖 4C



I570920

圖 5A

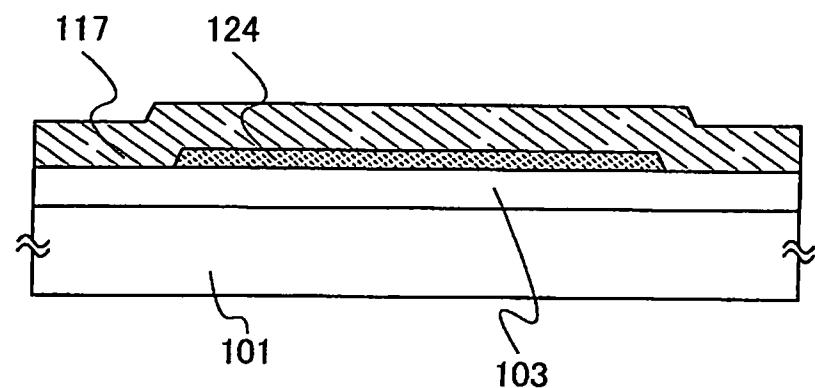


圖 5B

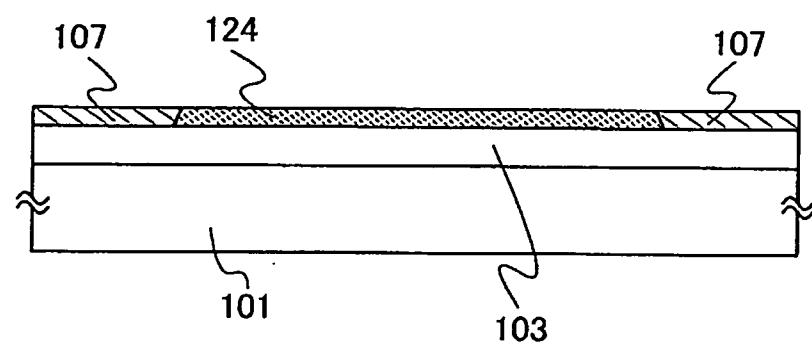
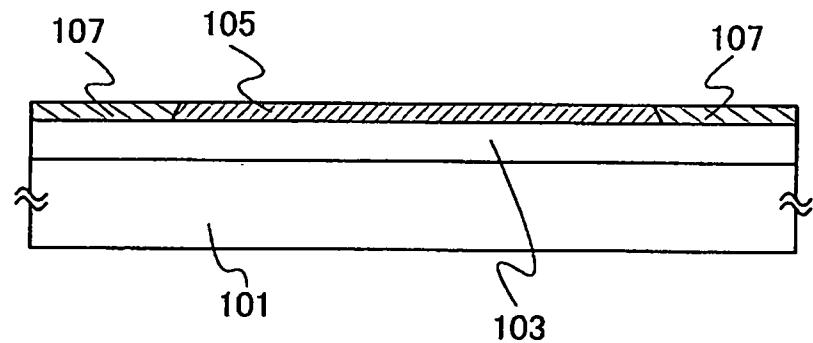


圖 5C



I570920

圖 6A

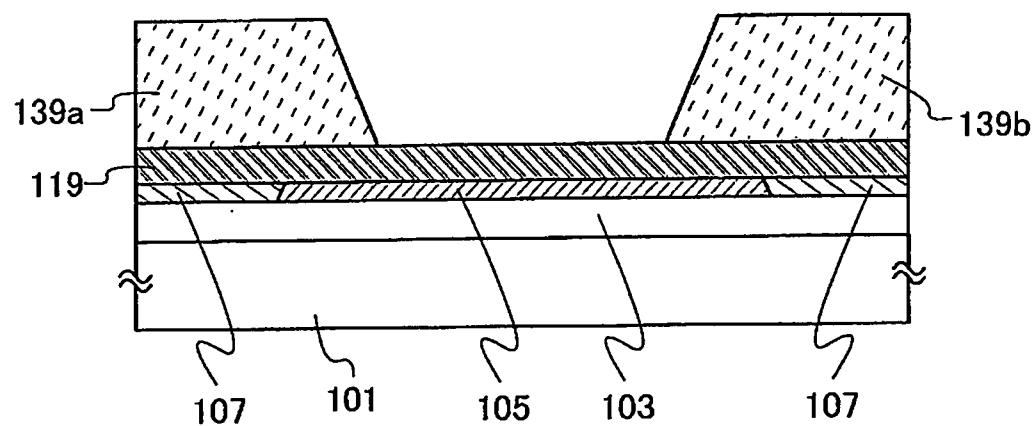


圖 6B

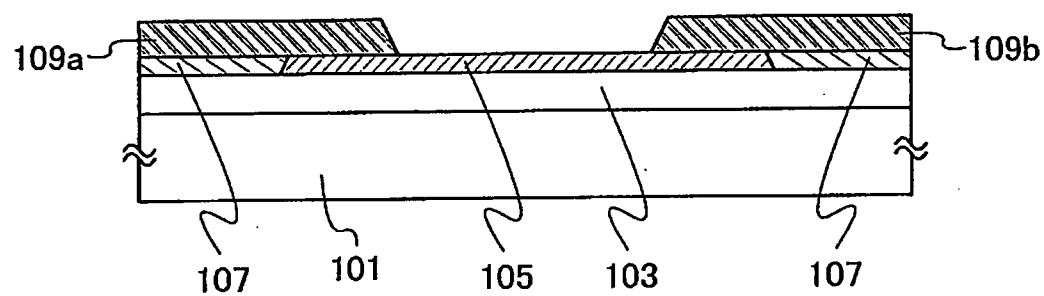


圖 6C

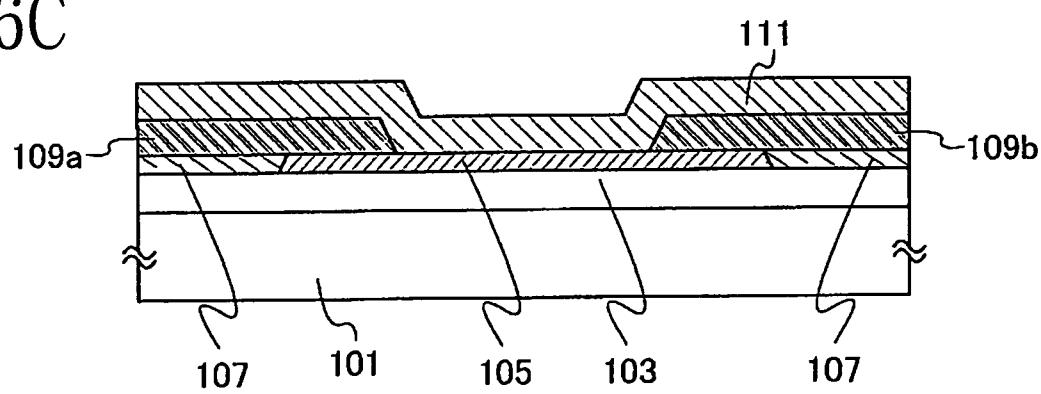


圖 7A

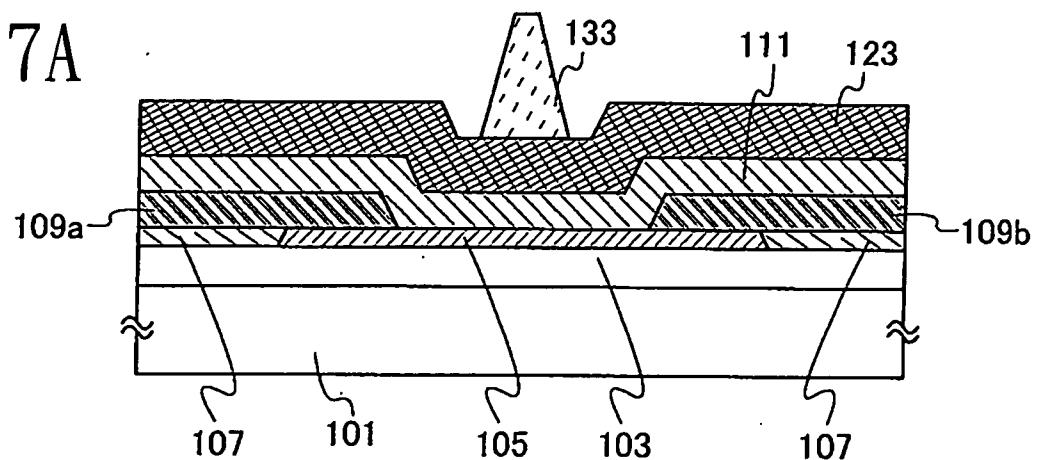


圖 7B

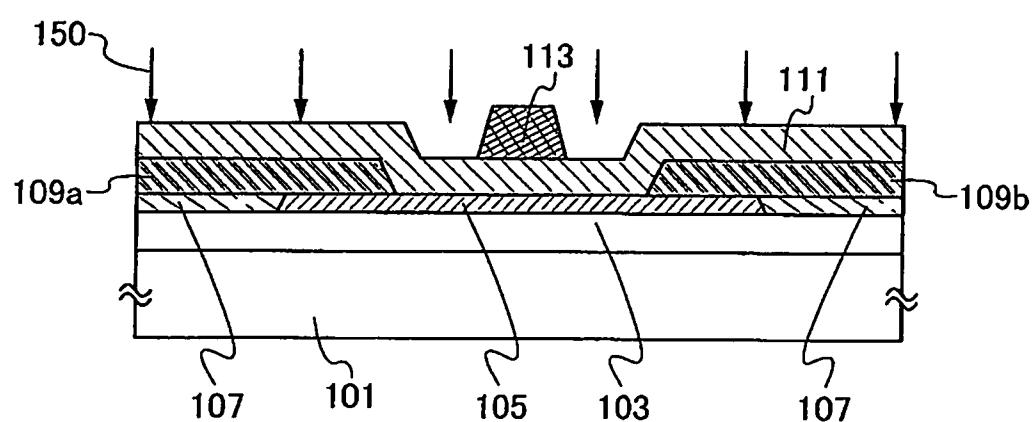
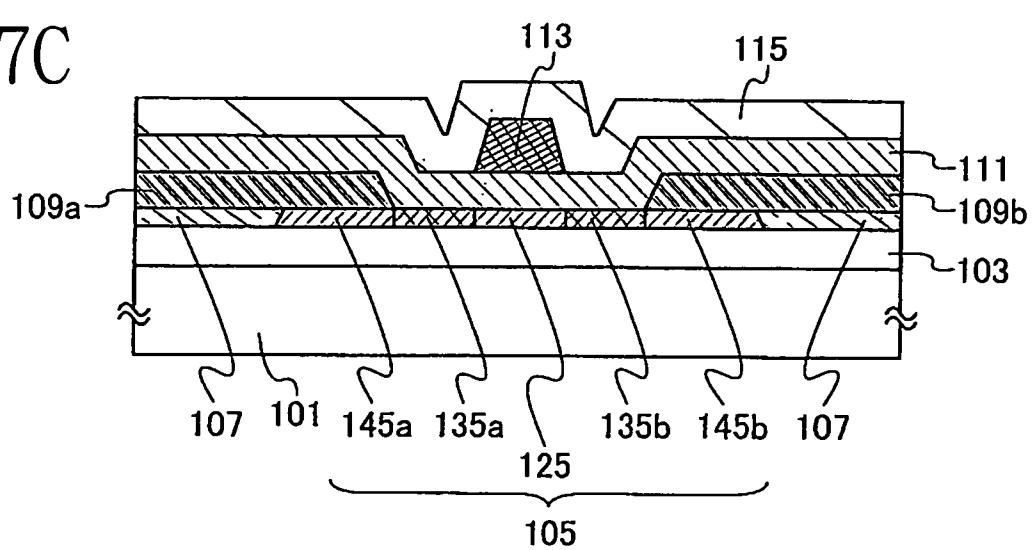


圖 7C



I570920

圖 8A

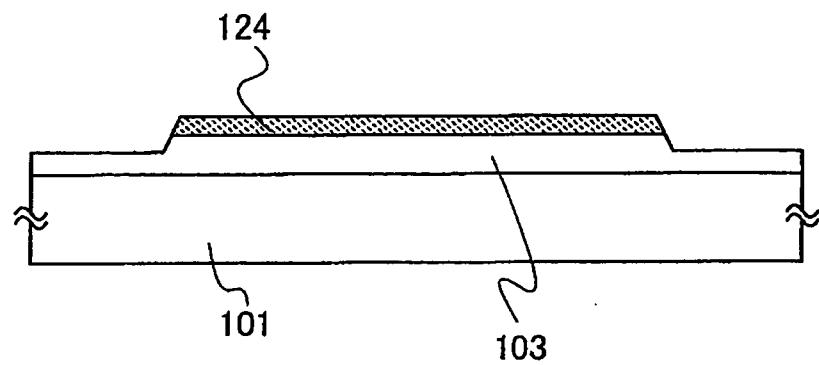


圖 8B

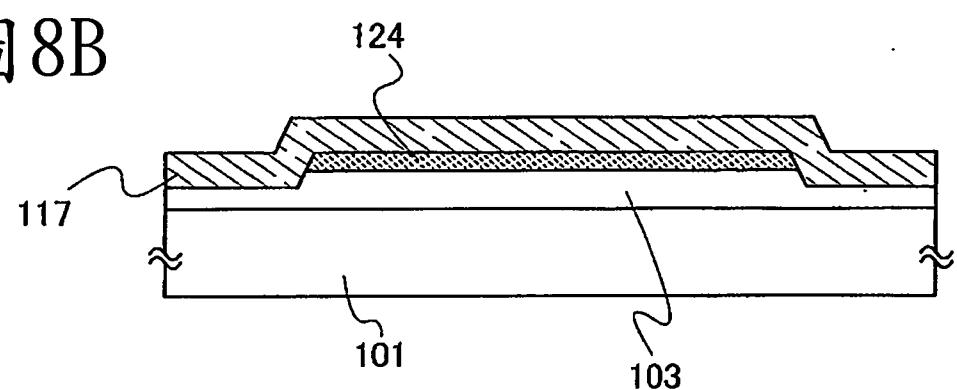
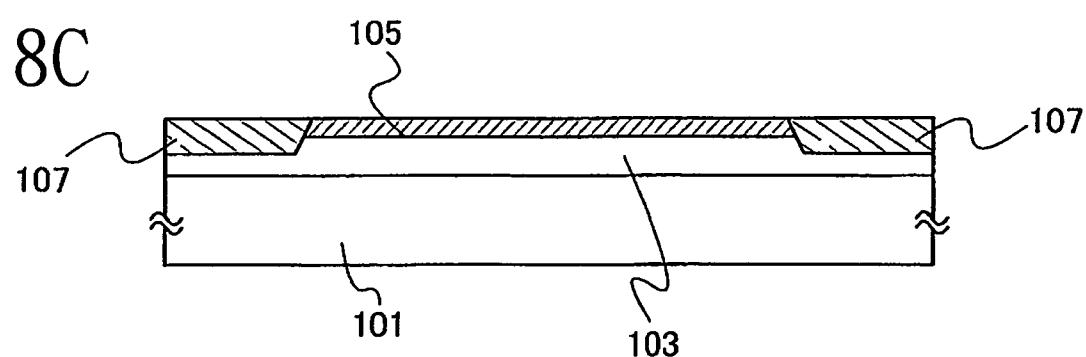


圖 8C



I570920

圖 9A

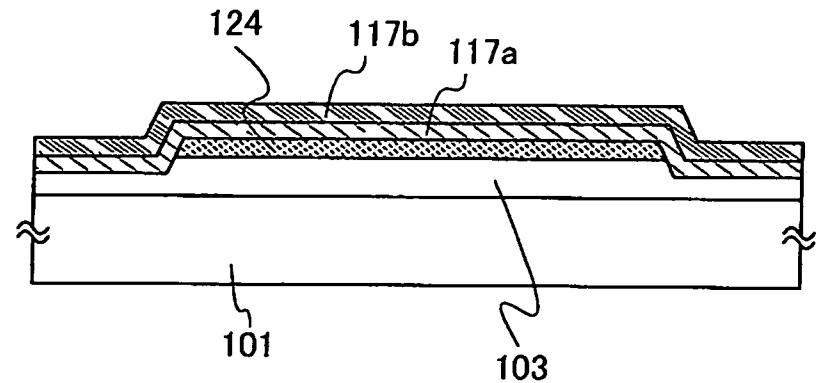
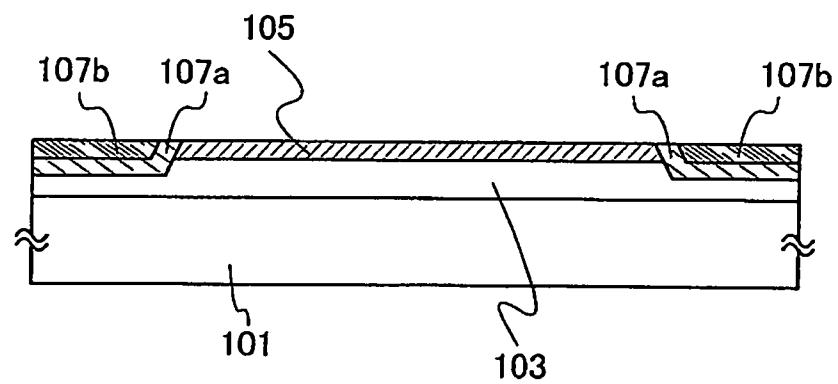


圖 9B



I570920

圖 10A

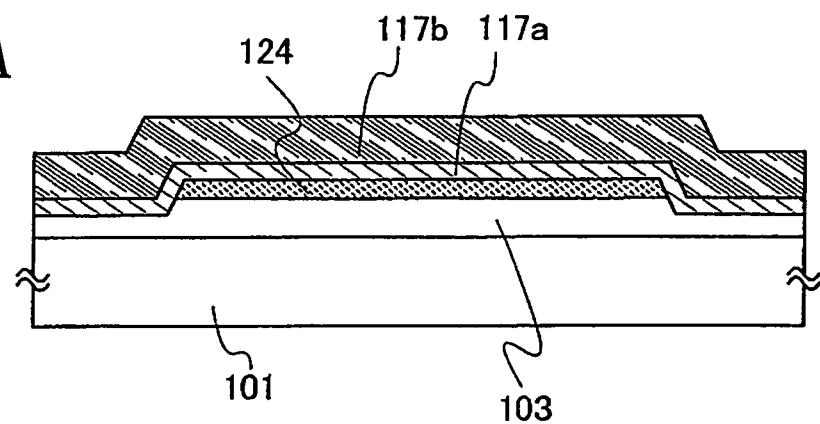


圖 10B

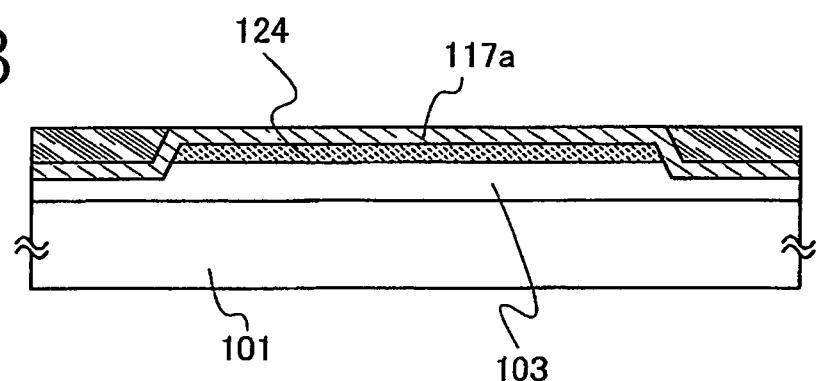


圖 10C

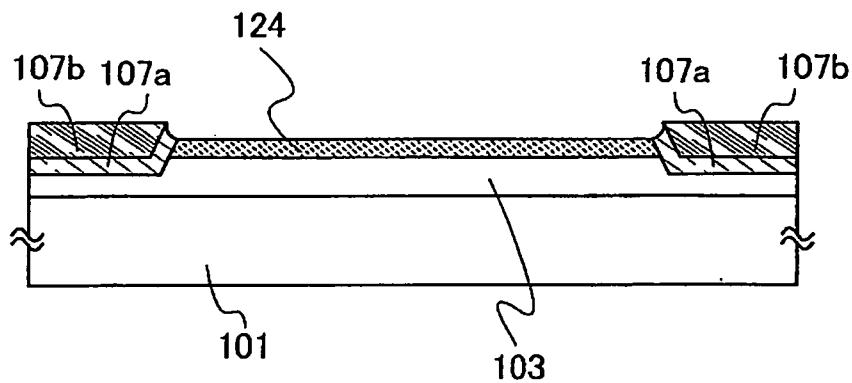


圖 11

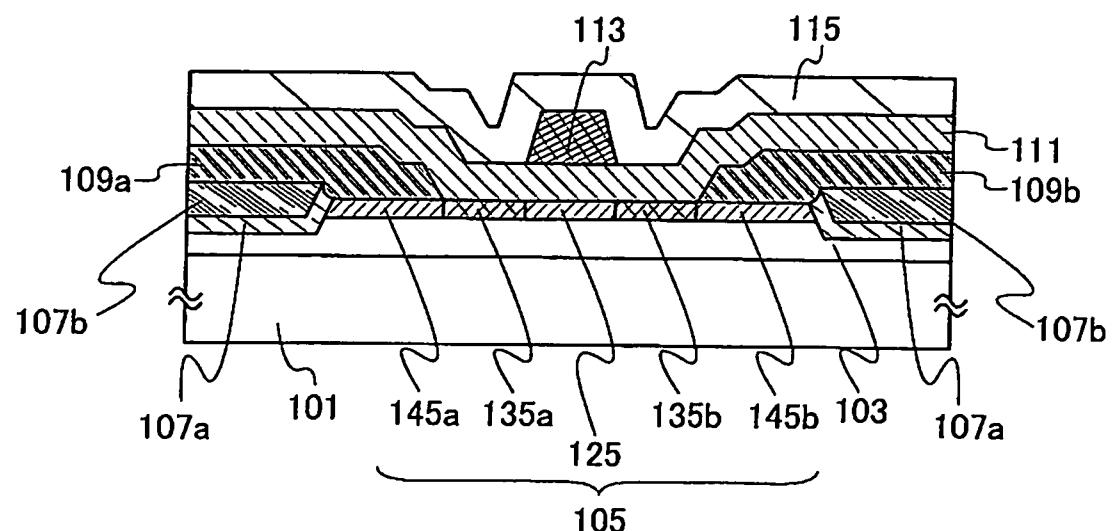
130

圖 12A

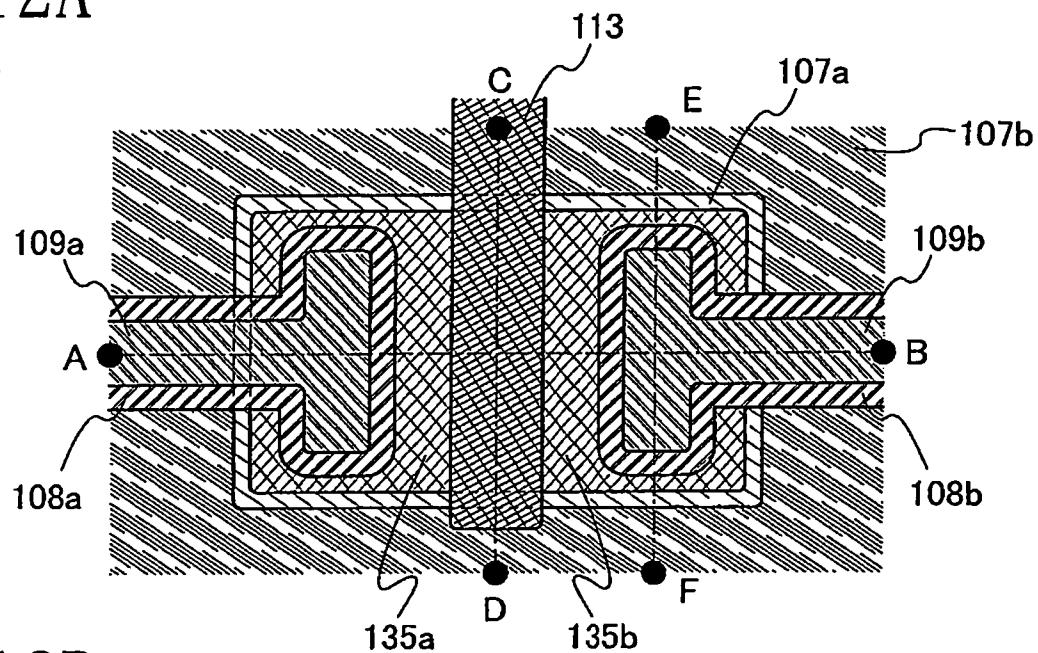
200

圖 12B

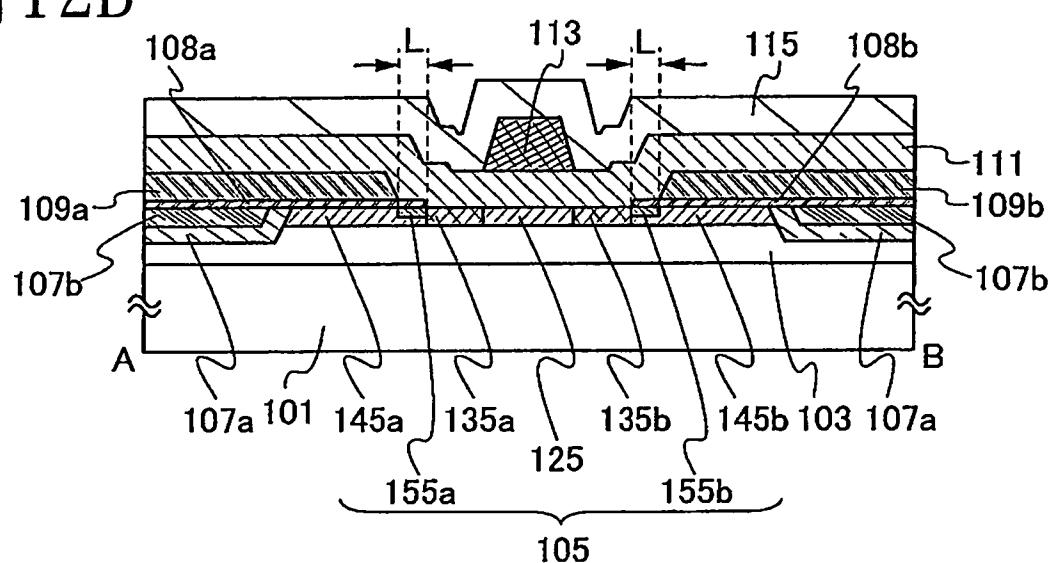


圖 12C

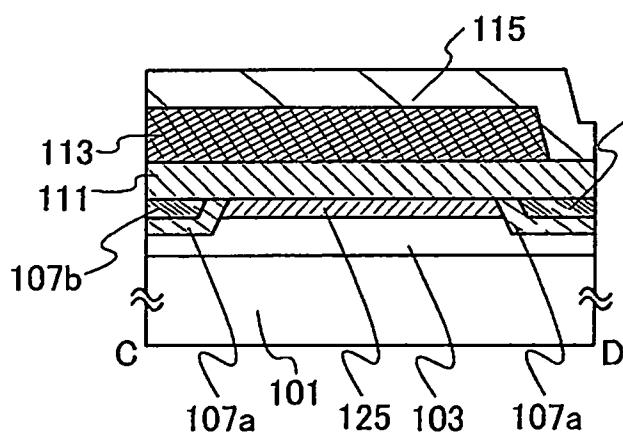


圖 12D

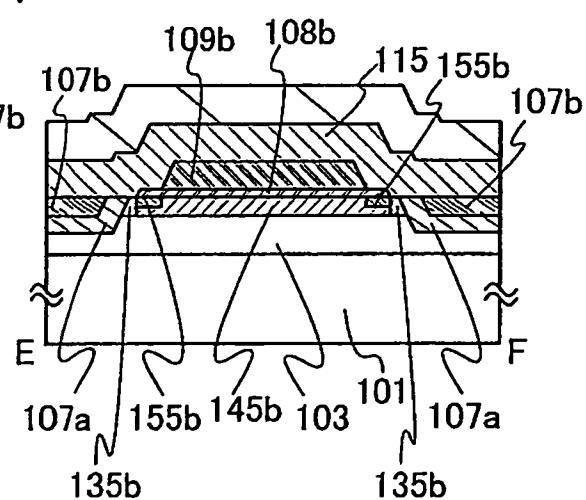


圖 13A

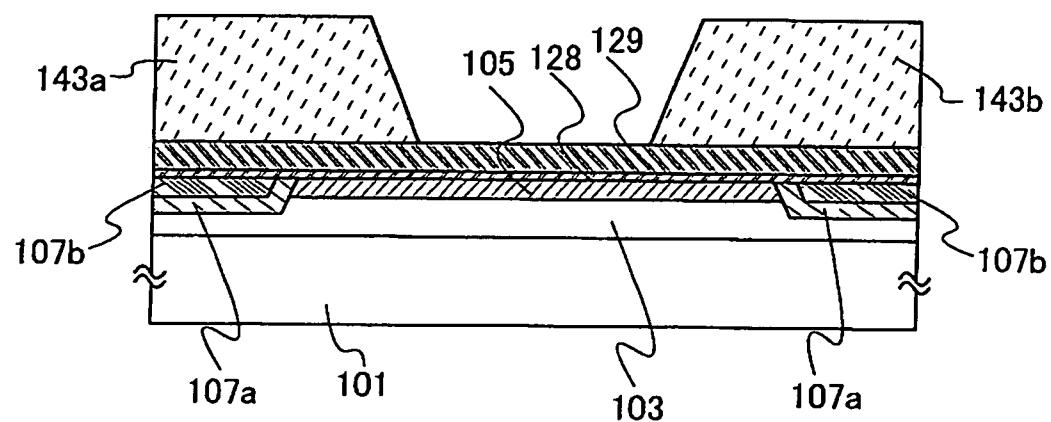


圖 13B

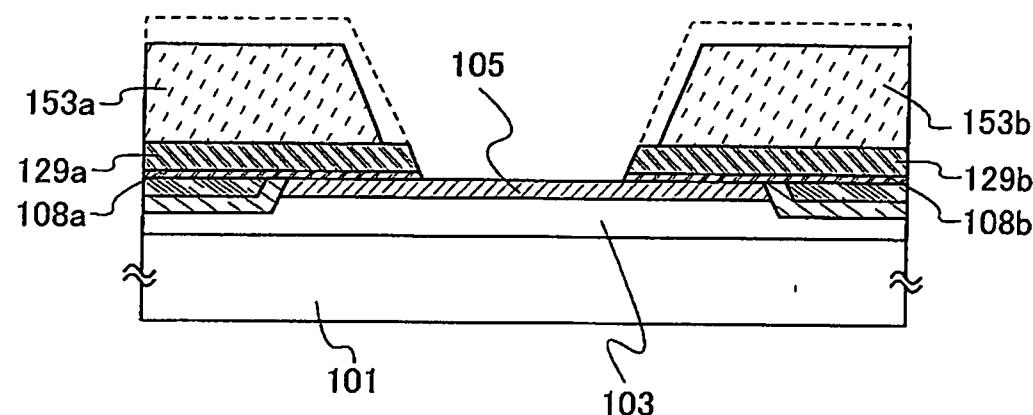
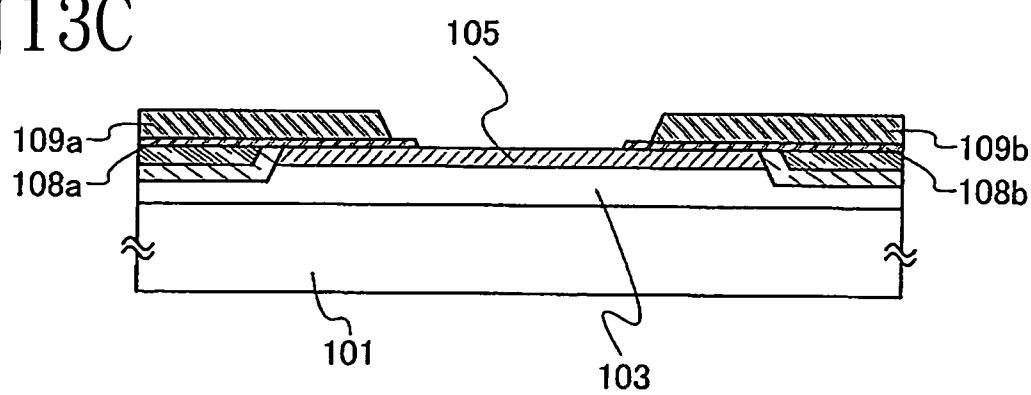


圖 13C



1570920

圖 14A

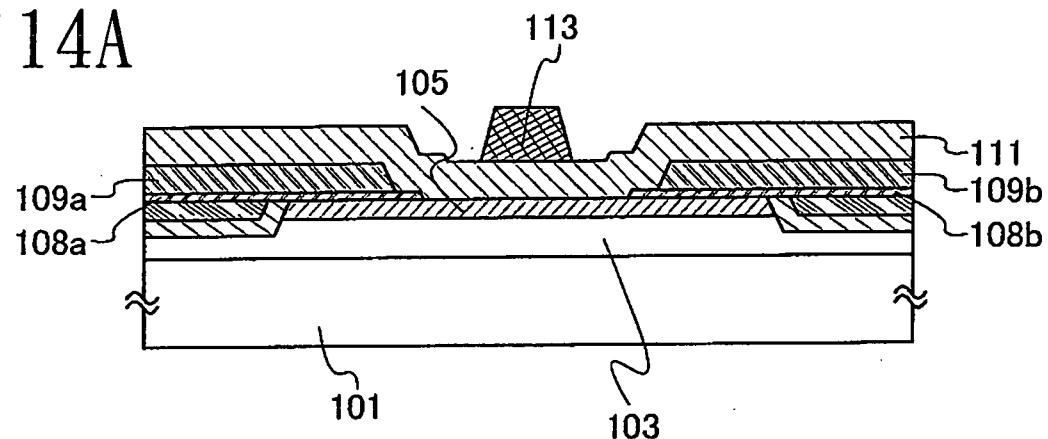


圖 14B

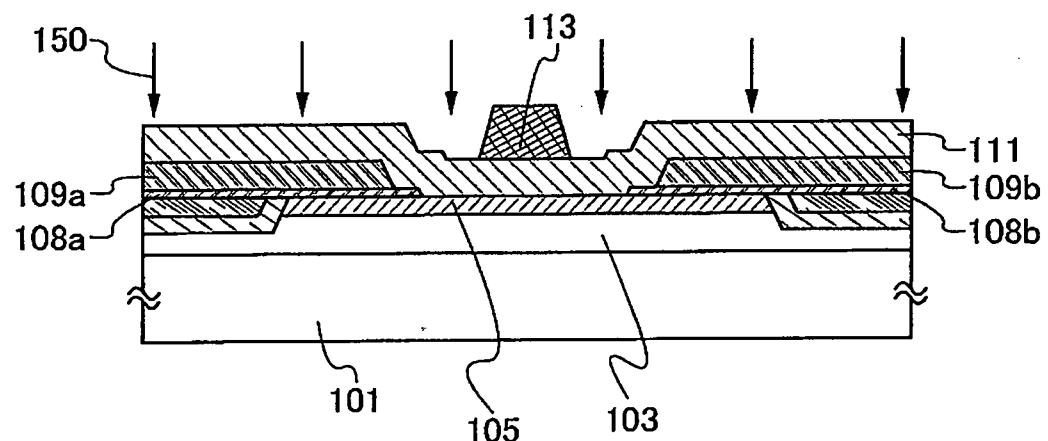


圖 14C

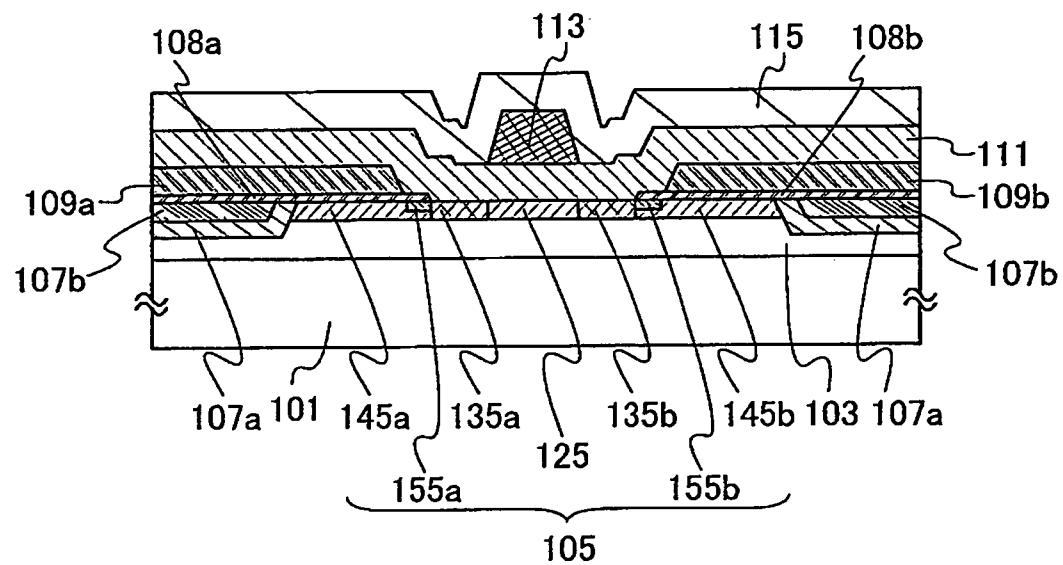
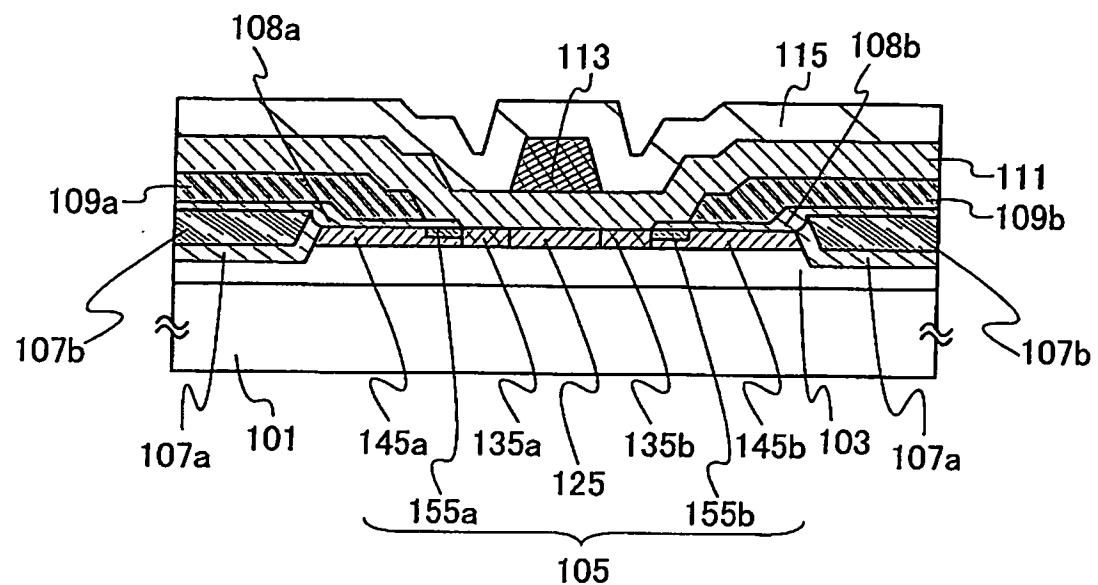


圖 15

200

I570920

圖 16

300

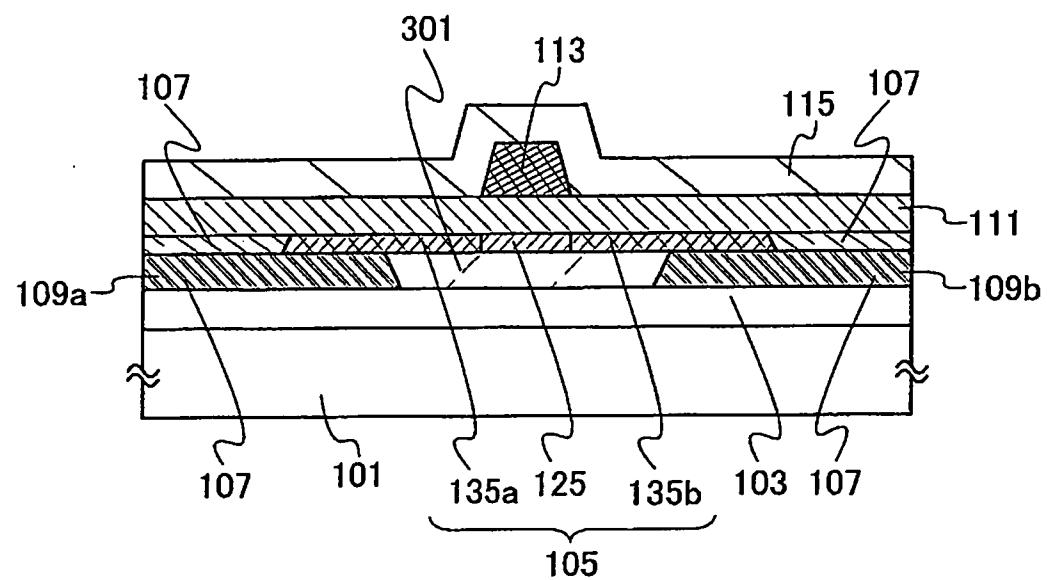
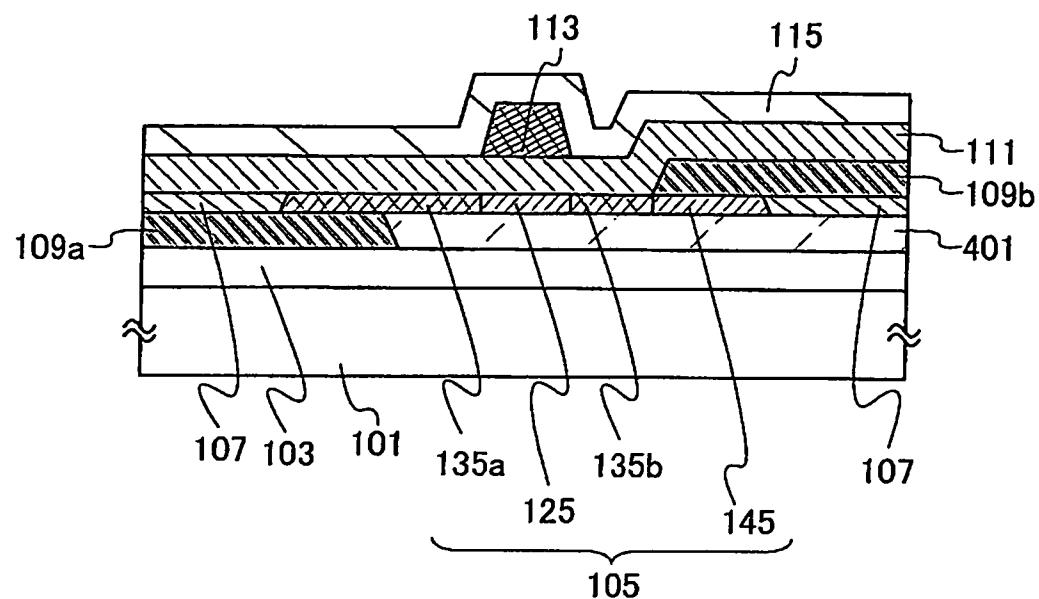


圖 17

400

I570920

圖 18A

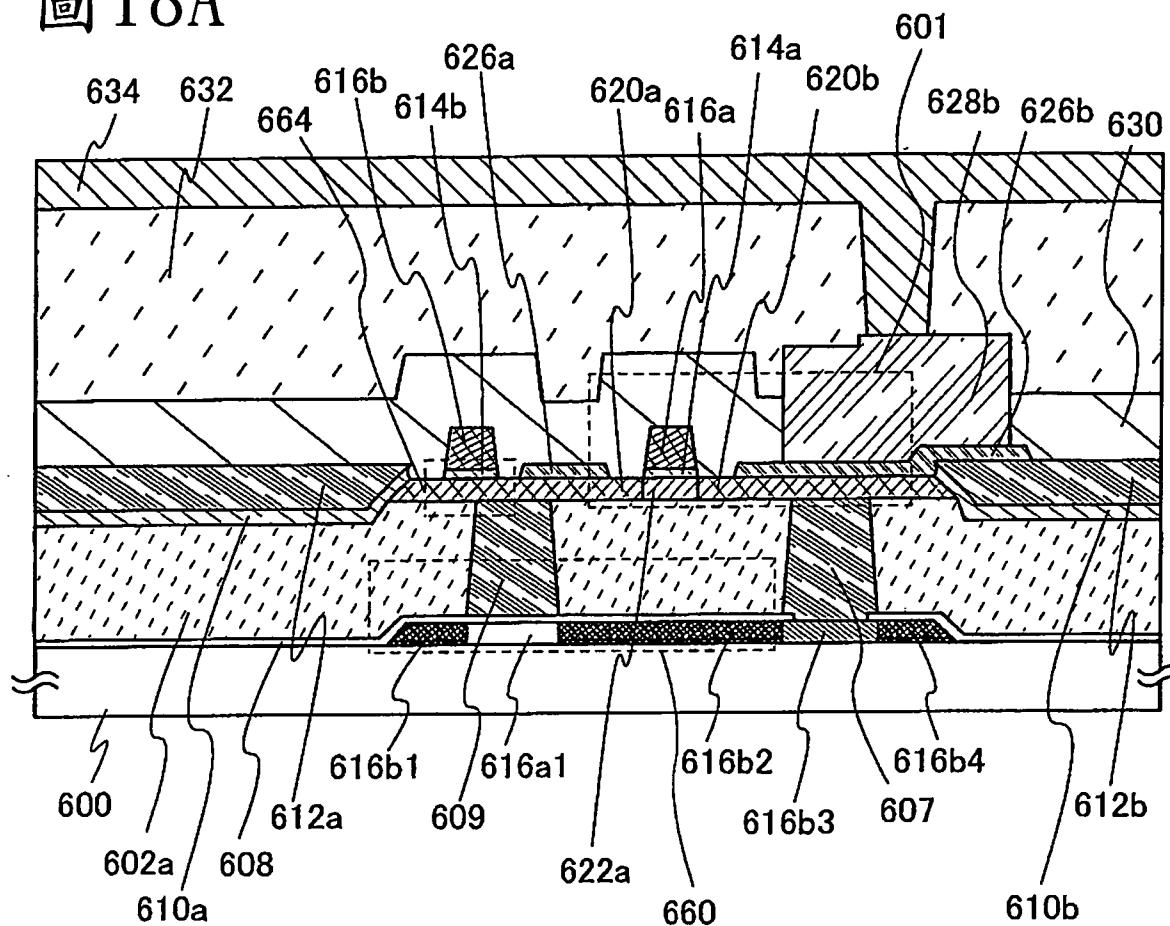
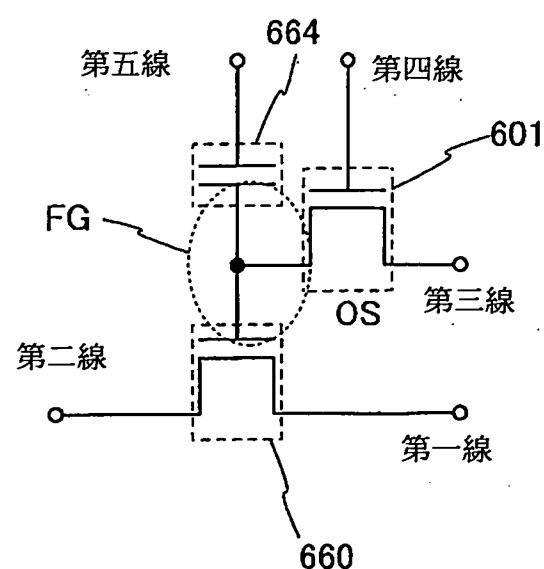


圖 18B



I570920

圖 19A

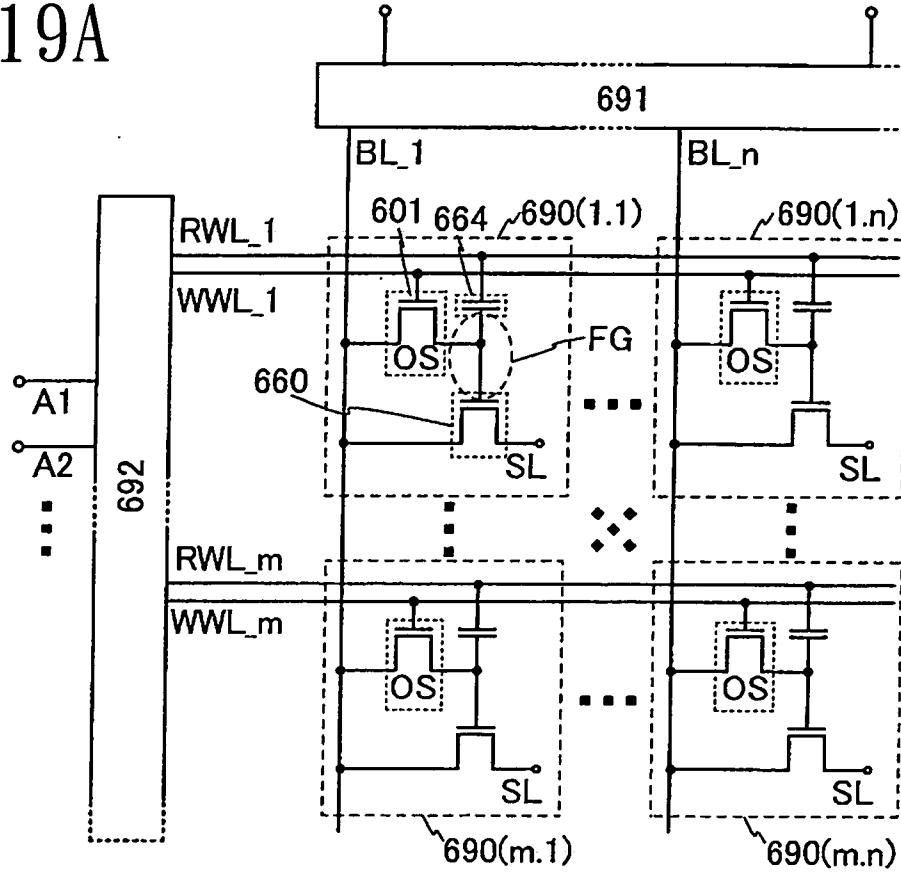


圖 19B

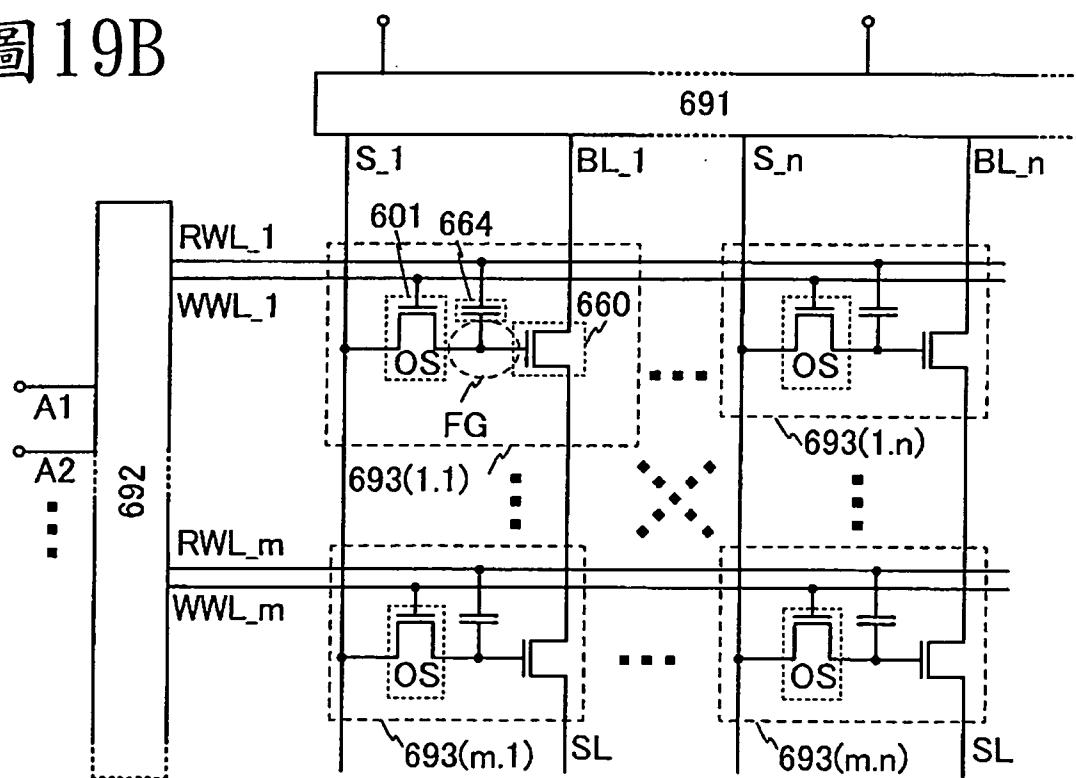


圖 20A

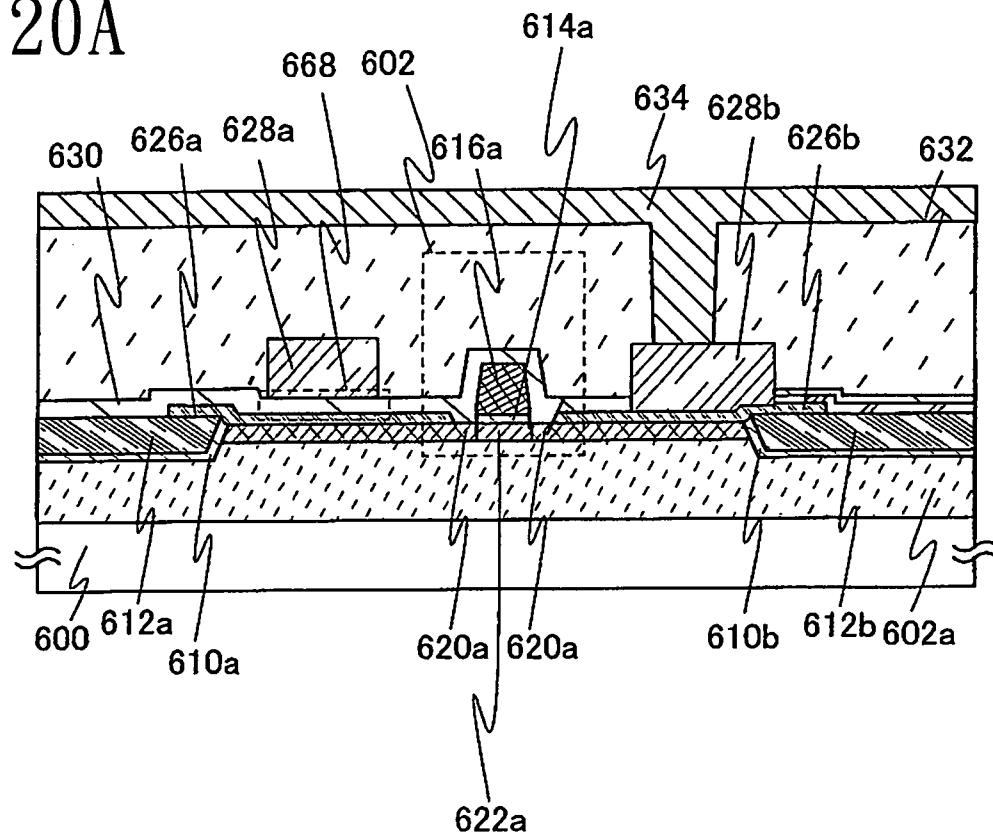
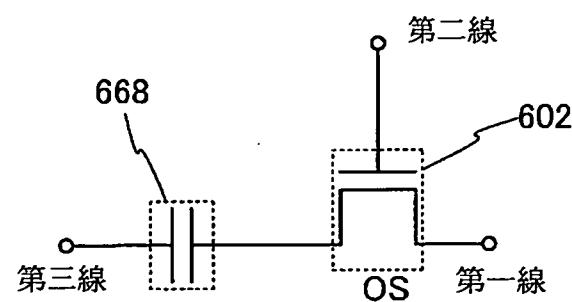
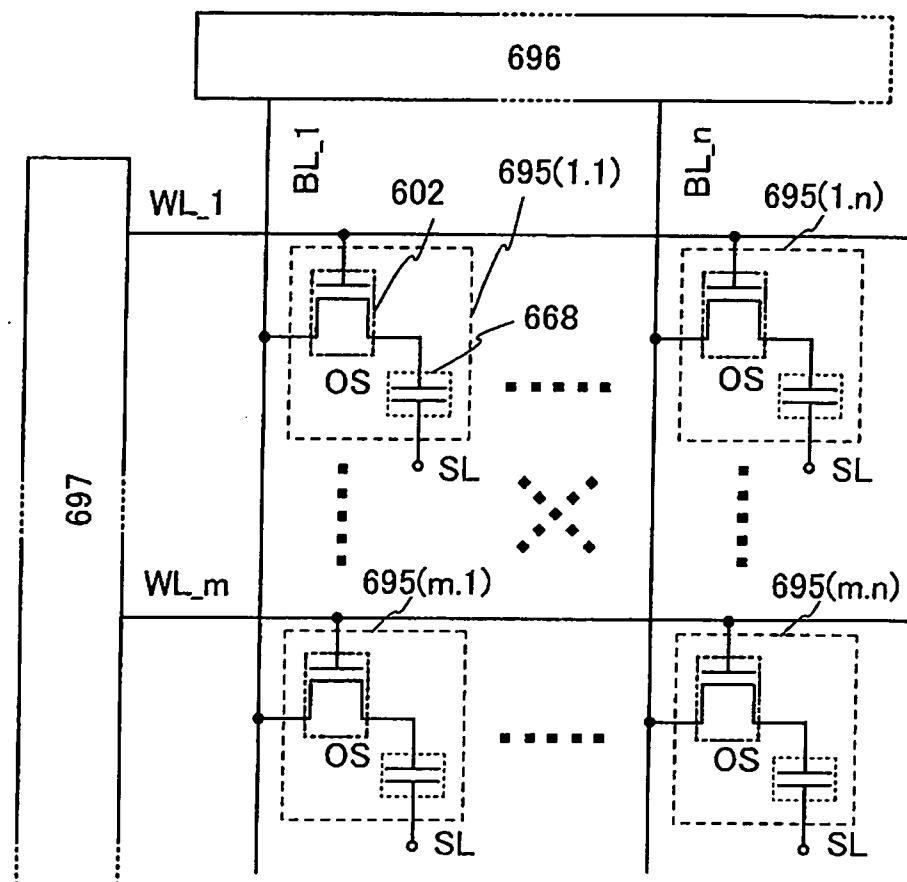


圖 20B



I570920

圖 21



I570920

圖 22A

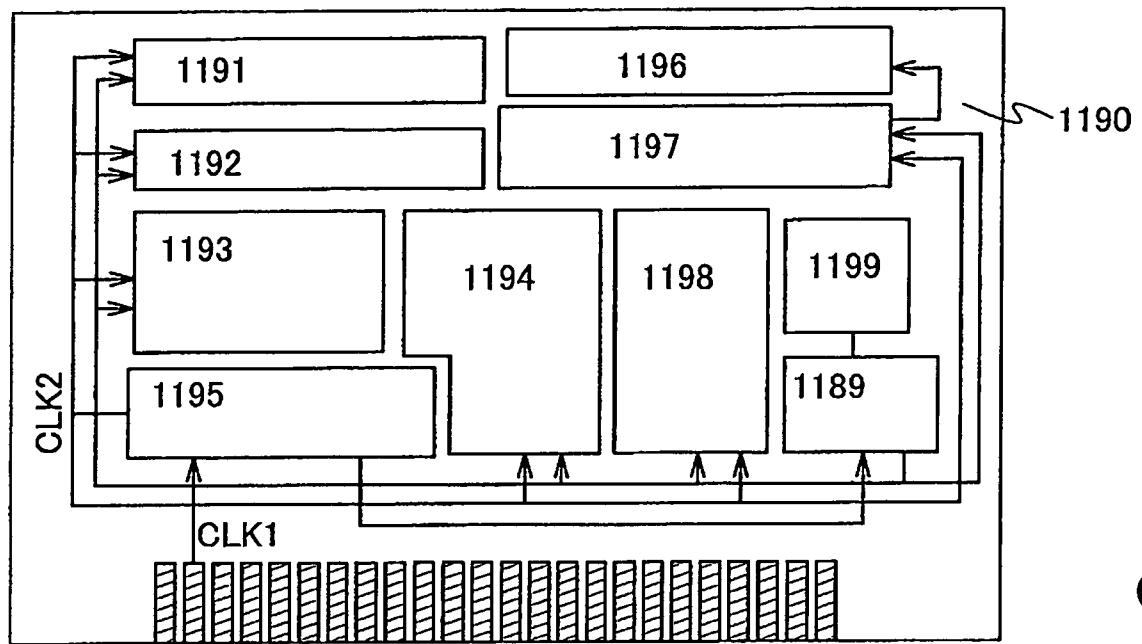


圖 22B

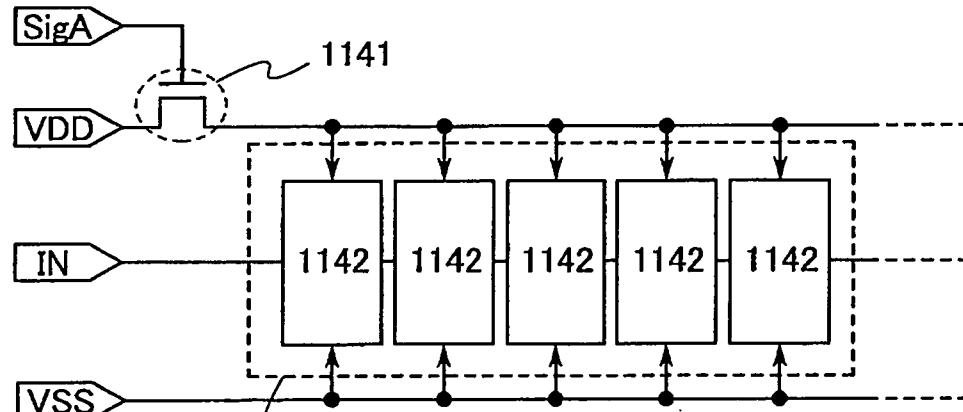
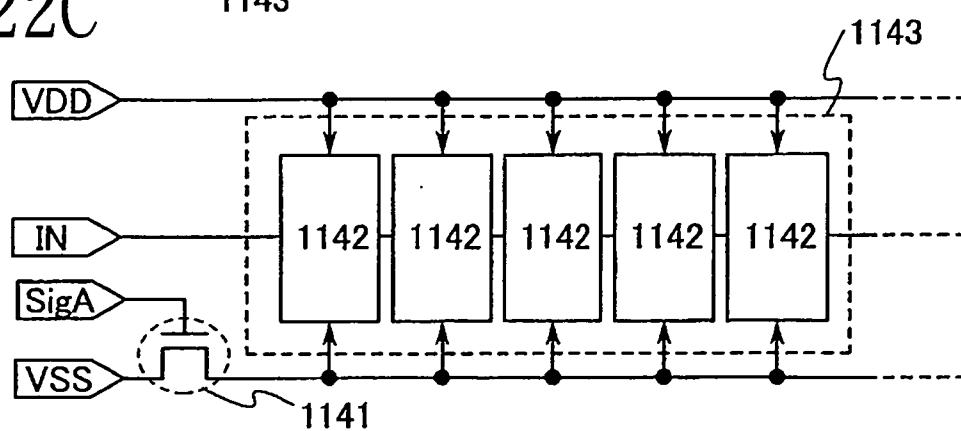


圖 22C



I570920

圖 23A

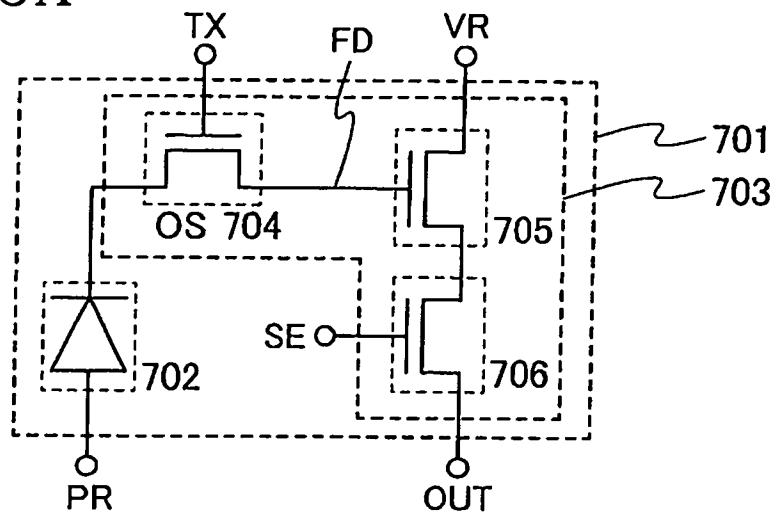


圖 23B

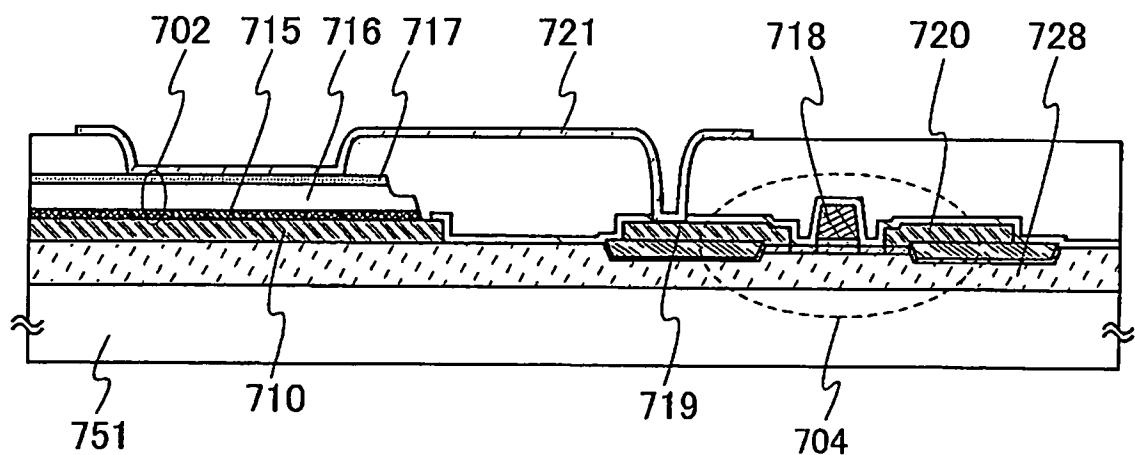


圖 24A

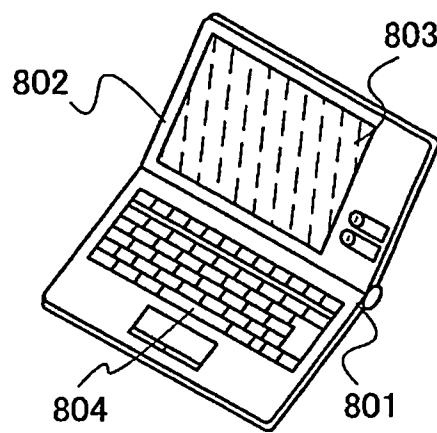


圖 24D

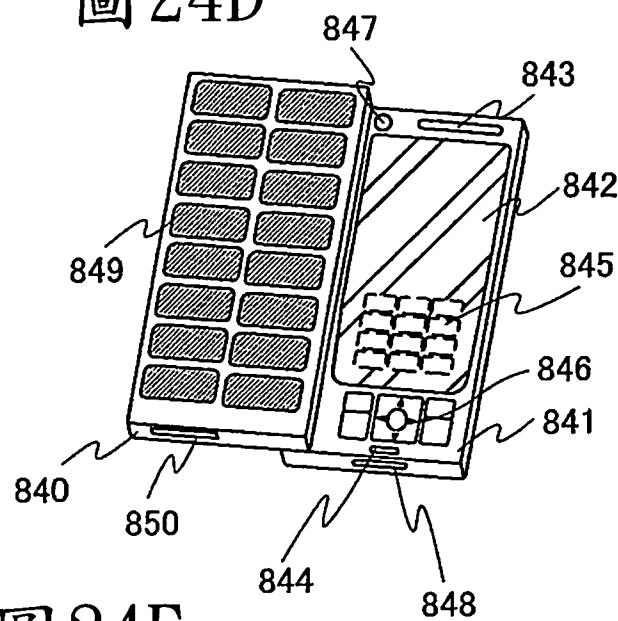


圖 24B

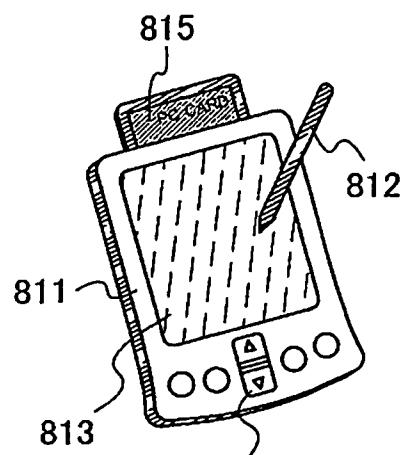


圖 24E

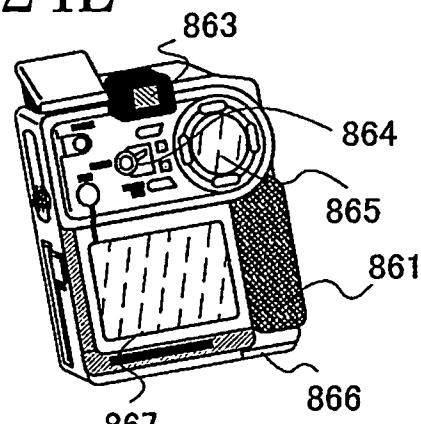


圖 24C

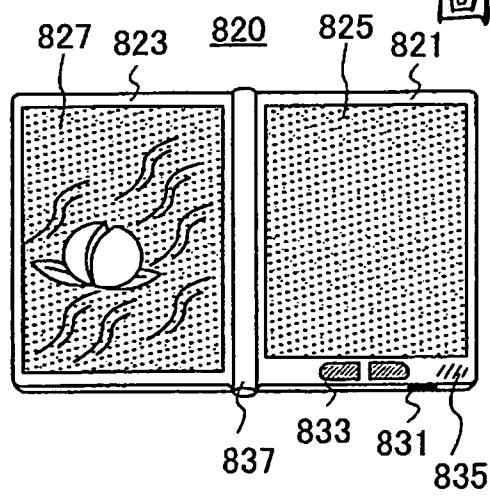


圖 24F

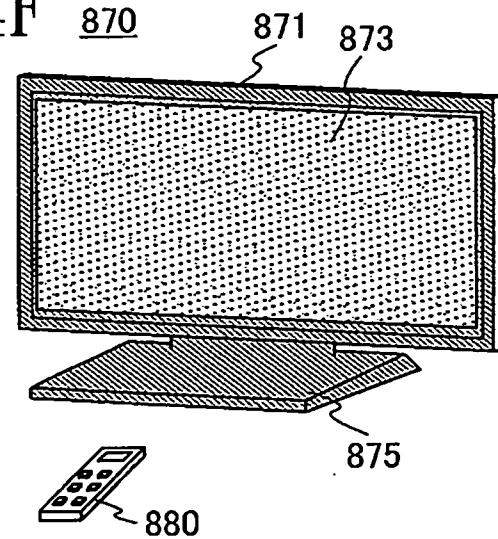


圖 25A

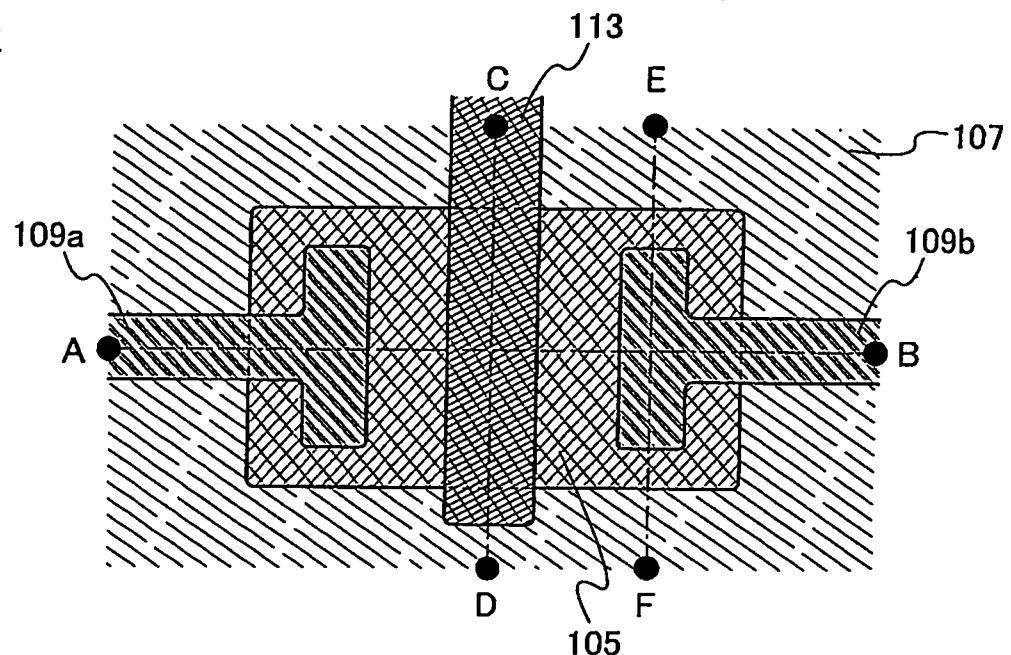
140

圖 25B

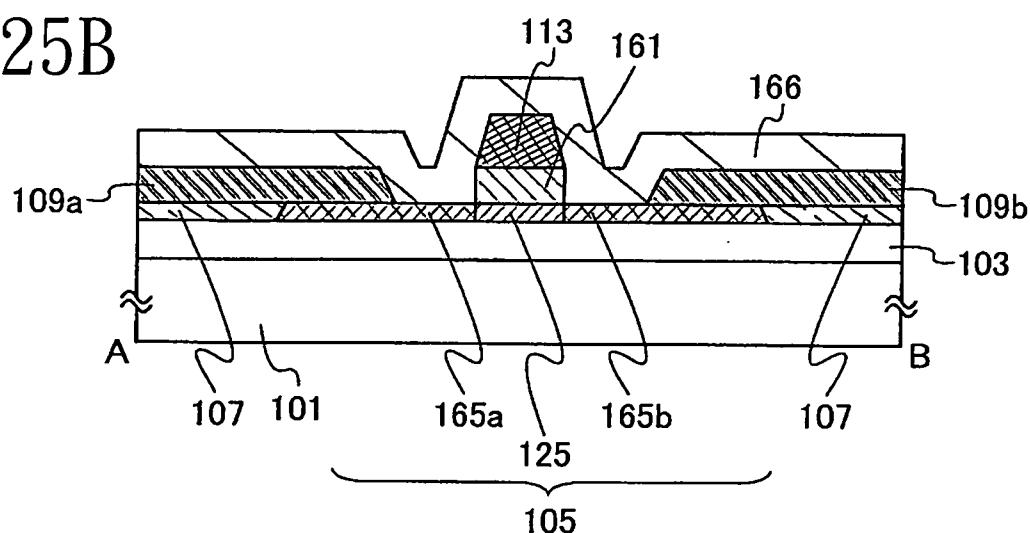


圖 25C

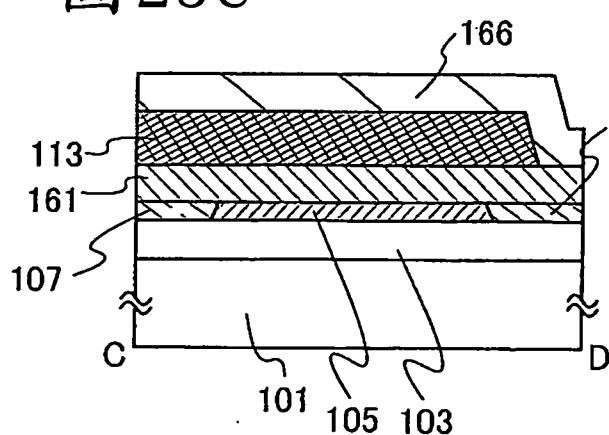
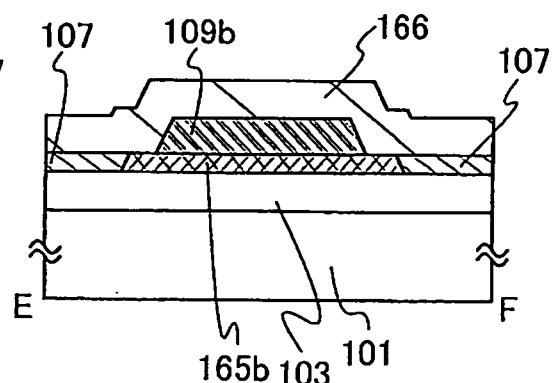


圖 25D



I570920

圖 26A

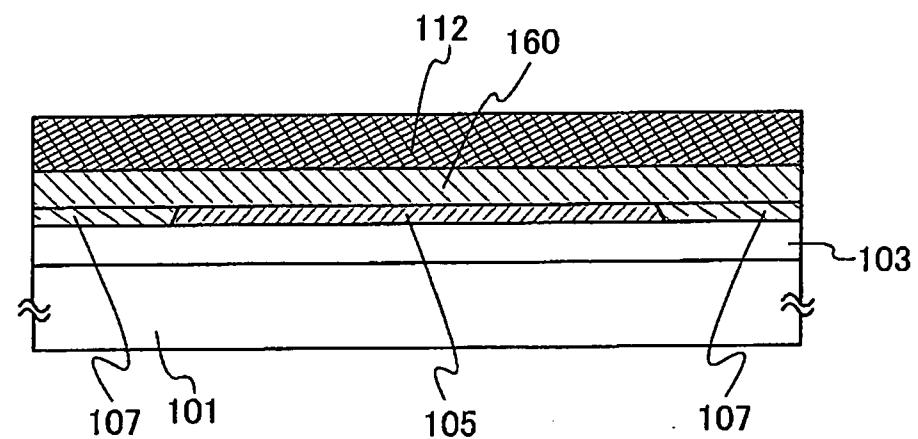


圖 26B

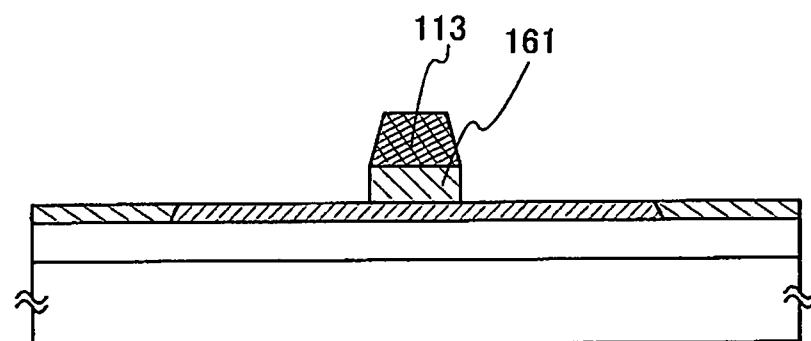


圖 26C

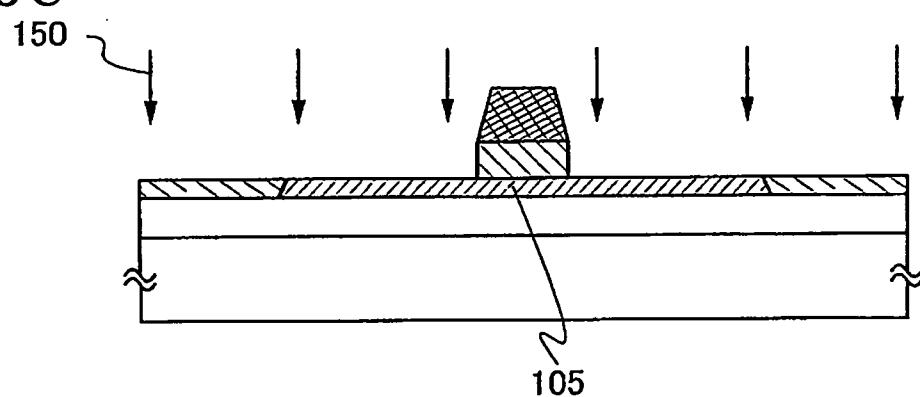
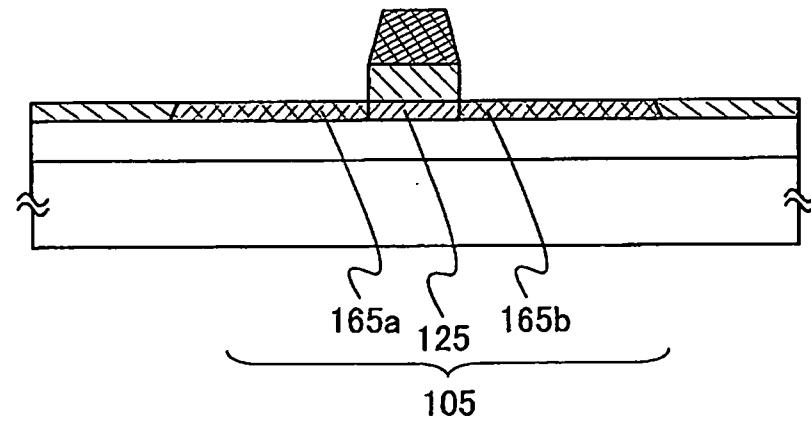


圖 26D



I570920

圖 27A

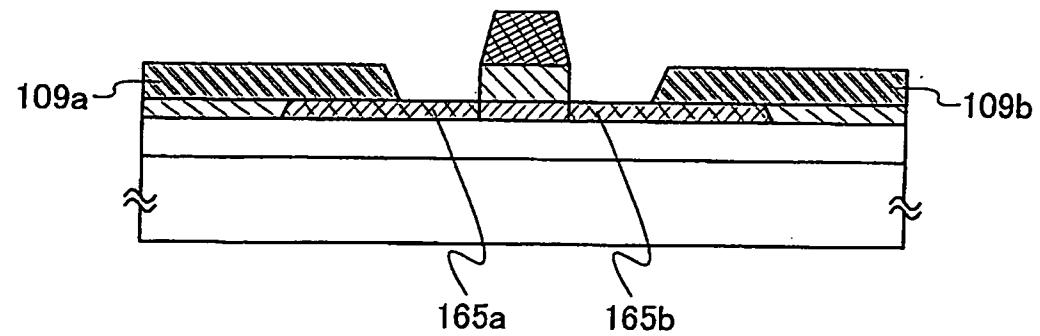
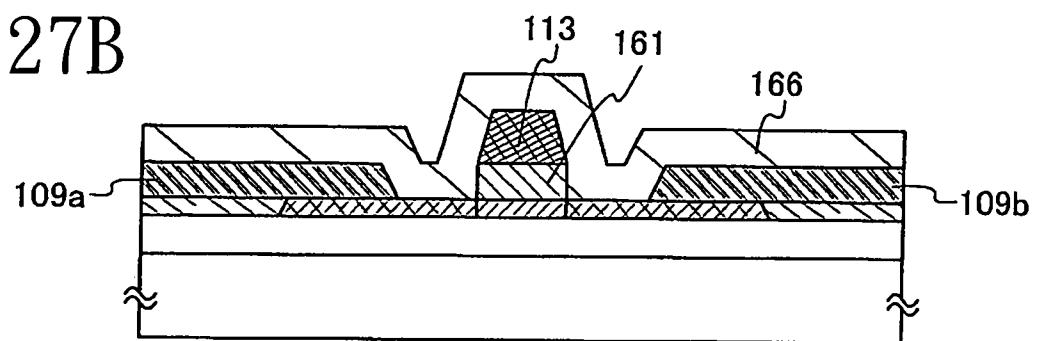
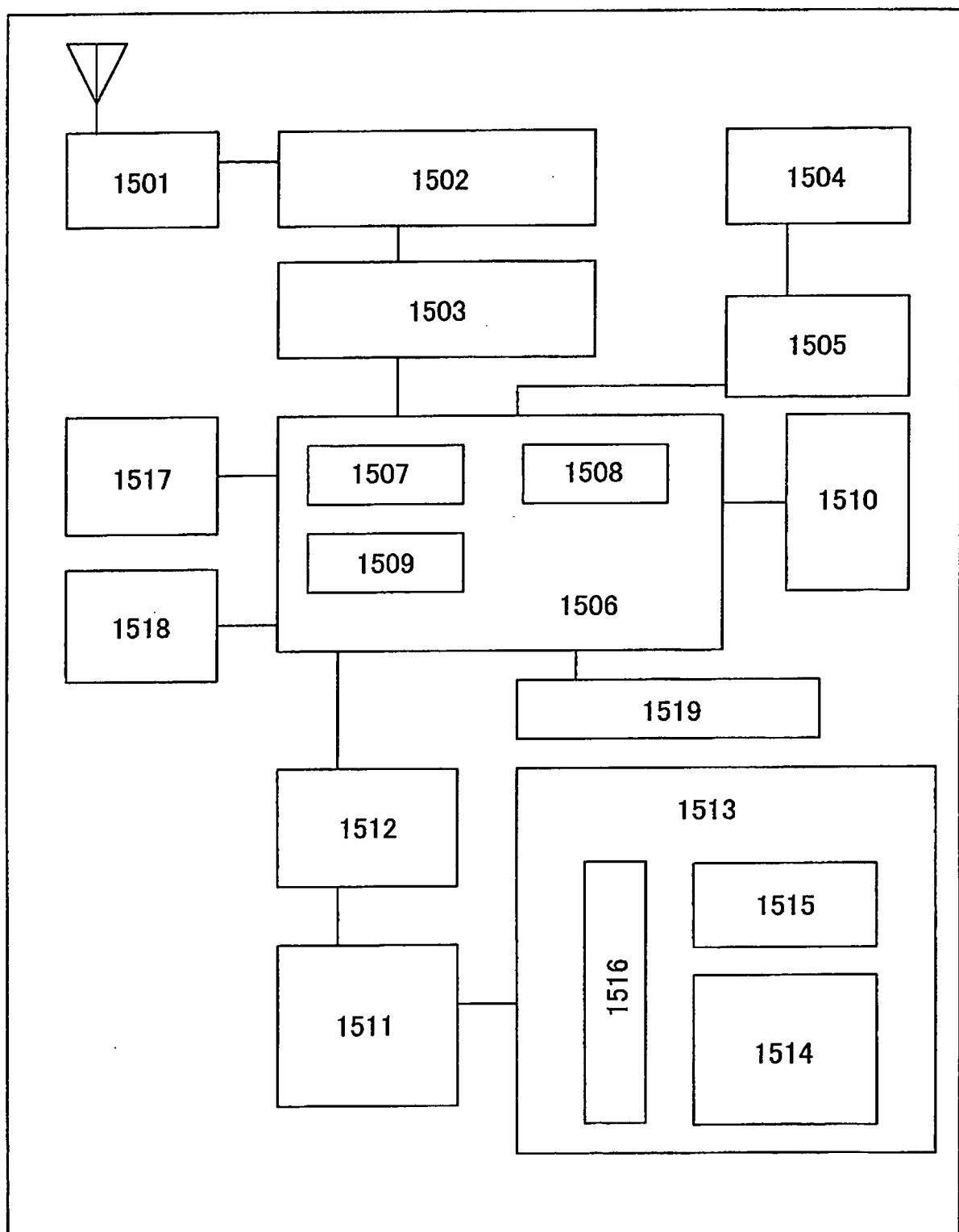


圖 27B



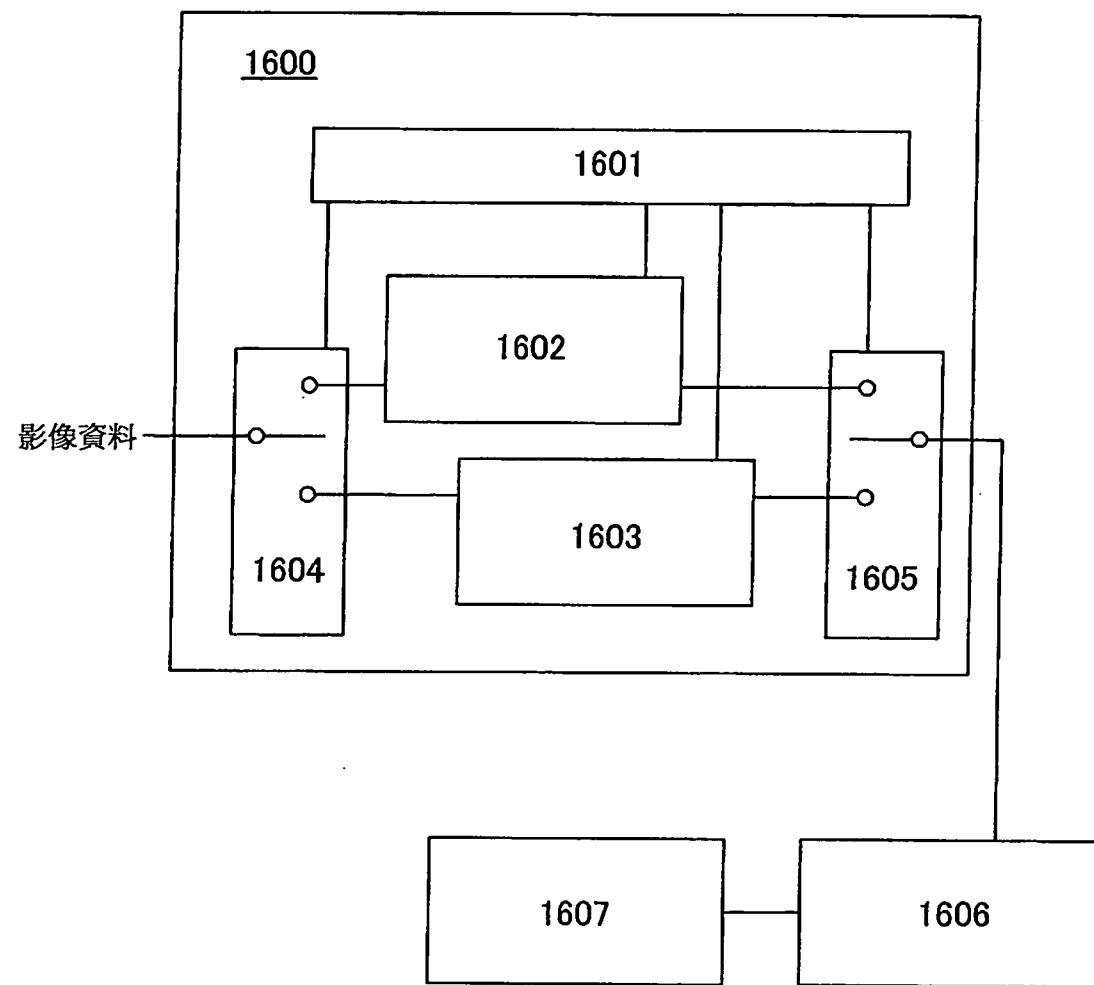
1570920

圖28



I570920

圖 29



1570920

圖 30

