



19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA

11 Número de publicación: **2 268 815**

51 Int. Cl.:

**G11B 20/18** (2006.01)

**G11B 20/12** (2006.01)

**G11B 20/10** (2006.01)

**G11B 19/04** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Número de solicitud europea: **99108324 .7**

86 Fecha de presentación : **19.12.1994**

87 Número de publicación de la solicitud: **0949619**

87 Fecha de publicación de la solicitud: **13.10.1999**

54 Título: **Aparato de reproducción de datos.**

30 Prioridad: **18.12.1993 JP 5-344012**

45 Fecha de publicación de la mención BOPI:  
**16.03.2007**

45 Fecha de la publicación del folleto de la patente:  
**16.03.2007**

73 Titular/es: **SONY CORPORATION**  
**6-7-35 Kitashinagawa Shinagawa-ku**  
**Tokyo 141, JP**

72 Inventor/es: **Kawamura, Makoto y**  
**Fujinami, Yasushi**

74 Agente: **Elzaburu Márquez, Alberto**

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

## DESCRIPCIÓN

Aparato de reproducción de datos.

5 **Campo técnico**

El presente invento se refiere a un aparato de reproducción de datos y a un medio de almacenamiento de datos que pueden aplicarse preferiblemente, por ejemplo, a los sistemas que utilizan un medio de almacenamiento con imágenes en movimiento digitalizadas almacenadas.

10

**Antecedentes**

Un aparato de reproducción de datos convencional que reproduce datos de un disco como medio de almacenamiento con imágenes en movimiento digitalizadas almacenadas en el mismo, se describe como aparato de reproducción de datos sensible a velocidades de reproducción variables, como se muestra en la figura 35, en la patente japonesa del solicitante expuesta a inspección pública el 6 de mayo de 1994 con el número 6-124,168. Este aparato de reproducción reproduce datos almacenados en un disco óptico 101 utilizando un captador 102. El captador 102 irradia el disco óptico 101 con haces de láser y utiliza la luz reflejada por el disco óptico 101 para reproducir los datos almacenados en el mismo. Las señales reproducidas por el captador 102 son suministradas a un demodulador 103. El demodulador 103 demodula las señales reproducidas proporcionadas por el captador 102 óptico para transferirlas a un detector 104 de sectores.

El detector 104 de sectores detecta una dirección almacenada en cada sector de los datos suministrados para suministrarla a un circuito 106 de control de memoria intermedia en anillo. Transmite también los datos a un circuito 105 de corrección de error situado después del detector de sectores manteniendo la sincronización de sectores. El detector 104 de sectores envía una señal de error de número de sector a un circuito 118 de determinación de salto de pista a través del circuito 106 de control de memoria intermedia en anillo si el detector falla en detectar direcciones o si las direcciones detectadas no tienen continuidad.

El circuito 105 de corrección de error detecta un error en los datos suministrados por el detector 104 de sectores, y utiliza bits redundantes contenidos en los datos para corregir el error y suministrar los datos corregidos a una memoria intermedia 107 en anillo para realizar el salto cíclico. Adicionalmente, si el detector 104 de sectores falla en la corrección de un error en los datos, envía una señal de generación de error al circuito 118 de determinación de salto de pista.

El circuito 106 de control de memoria intermedia en anillo controla, inscribe y lee datos de la memoria intermedia 107 en anillo, y vigila una señal de solicitud de código que solicita salida de datos de un circuito 108 de separación de datos multiplexados.

El circuito 118 de determinación de salto de pista vigila la salida del circuito 106 de control de memoria intermedia en anillo para transmitir una señal de salto de pista a un servocircuito 117 de seguimiento como se requiere para saltar una pista la posición de reproducción del captador 102 con respecto al disco óptico 101. El circuito 118 de determinación de salto de pista detecta también una señal de error de número de sector del detector 104 de sectores o una señal de generación de error del circuito 105 de corrección de error para enviar la señal de salto de pista al servocircuito 117 de seguimiento para realizar el salto de pista de la posición de reproducción del captador 102.

La salida de la memoria intermedia 107 en anillo está aplicada al circuito 108 de separación de datos multiplexados. Un circuito 109 de separación de cabecera en el circuito 108 de separación de datos multiplexados separa cabeceras de grupo y cabeceras de paquete de datos suministrados por la memoria intermedia 107 en anillo para su transferencia a un circuito 111 de control de separador, y suministra datos multiplexados por división de tiempo al terminal G de entrada de un circuito 110 de conmutación. Los terminales H1, H2 de salida (terminales conmutados) del circuito 110 de conmutación están conectados a los terminales de entrada de una memoria intermedia 113 de código de video y una memoria intermedia 115 de código de audio, respectivamente. La salida de la memoria intermedia 113 de código de video está conectada a la entrada de un decodificador 114 de video, mientras que la salida de la memoria intermedia 115 de código de audio está conectada a la entrada de un decodificador 116 de audio.

Adicionalmente, se aplican como entrada a la memoria intermedia 113 de código de video señales de solicitud de código generadas por el decodificador 114 de video, mientras que se aplican como entrada al circuito 108 de separación de datos multiplexados señales de solicitud de código generadas por la memoria intermedia 113 de código de video. Similarmente, se aplican como entrada a la memoria intermedia 115 de código de audio señales de solicitud de código emitidas por el decodificador 116 de audio, mientras que se aplican como entrada al circuito 108 de separación de datos multiplexados señales de solicitud de código emitidas por la memoria intermedia 115 de código de audio.

Se describe a continuación el funcionamiento de cada componente de este aparato de reproducción de datos. El captador 102 irradia el disco óptico 101 con haces de láser, y utiliza la luz reflejada por el disco óptico para reproducir los datos almacenados en el mismo. Las señales reproducidas generadas por el captador 102 se aplican al demodulador 103 para demodulación. Los datos demodulados por el demodulador 103 se aplican como entrada al circuito 105 de corrección de error a través del detector 104 de sectores para detectar y corregir un error.

## ES 2 268 815 T3

Es transmitida una señal de error de número de sector al circuito 118 de determinación de salto de pista si el detector 104 de sectores falla en la detección correcta de números de sector (las direcciones asignadas a los sectores del disco óptico 101). El circuito 105 de corrección de error transmite una señal de generación de error al circuito 118 de determinación de salto de pista si se produce un error incorregible en los datos. Los datos corregidos se transfieren desde el circuito 105 de corrección de error hasta la memoria intermedia 107 en anillo para su almacenamiento.

El circuito 106 de control de memoria intermedia en anillo lee la dirección de cada sector de la salida del detector 104 de sectores para designar la dirección de inscripción (punto de inscripción (WP)) en la memoria intermedia 107 en anillo, en correspondencia con la dirección del sector. El circuito 106 de control de memoria intermedia en anillo designa también direcciones de lectura (puntos de reproducción (RPs)) para los datos inscritos en la memoria intermedia 107 en anillo, en base a una señal de solicitud de código procedente del circuito 108 de separación de datos multiplexados dispuesto después del circuito de control de memoria intermedia en anillo. Dicho circuito lee a continuación datos de los puntos de reproducción (RP) para transferirlos al circuito 108 de separación de datos multiplexados.

El circuito 109 de separación de cabecera en el circuito 108 de separación de datos multiplexados separa cabeceras de grupo y cabeceras de paquete de los datos suministrados por la memoria intermedia 107 en anillo, para su transferencia a un circuito 111 de control de circuito de separación. El circuito 111 de control de circuito de separación conecta secuencialmente el terminal G de entrada del circuito 110 de conmutación al terminal H1 o H2 de salida (terminal conmutado) del mismo de acuerdo con la información de identificación de cadena de datos contenida en las cabeceras de paquete suministradas por el circuito 109 de separación de cabecera, para separar correctamente los datos multiplexados por división de tiempo. Dicho circuito suministra a continuación los datos a la correspondiente memoria intermedia 113 o 115 de datos.

La memoria intermedia 113 de código de video envía una señal de solicitud de código al circuito 108 de separación de datos multiplexados utilizando la sección disponible de su memoria intermedia de código interno. La memoria intermedia 113 de código de video almacena entonces los datos recibidos. Recibe también señales de solicitud de código del decodificador 114 de video para presentar en su salida los datos que contiene. El decodificador 114 de video reproduce señales de video de los datos suministrados para transferirlas a través del terminal de salida.

La memoria intermedia 115 de código de audio envía una señal de solicitud de código al circuito 108 de separación de datos multiplexados utilizando la sección disponible de su memoria intermedia de código interno. La memoria intermedia 115 de código de audio almacena entonces los datos recibidos. Recibe también señales de solicitud de código del decodificador 116 de audio y presenta como salida los datos que contiene. El decodificador 116 de audio reproduce señales de audio de los datos suministrados para su presentación como salida en el terminal de salida.

El decodificador 114 de video solicita así datos de la memoria intermedia 113 de código de video, mientras que la memoria intermedia 113 de código de video solicita datos del circuito 108 de separación de datos multiplexados. El circuito 108 de separación de datos multiplexados, a su vez, solicita datos del circuito 106 de control de memoria intermedia en anillo. En este caso, los datos fluyen desde la memoria intermedia 107 en anillo en dirección inversa a la correspondiente a la solicitud.

Por ejemplo, las lecturas de la memoria intermedia 107 en anillo disminuyen al disminuir los datos consumidos por el decodificador 114 de video por unidad de tiempo debido al tratamiento continuo de datos para pantallas simples. En este caso, puede aumentar la cantidad de datos almacenados en la memoria intermedia 107 en anillo, produciendo su desbordamiento por exceso. El circuito 118 de determinación de salto de pista utiliza así los puntos de inscripción (WPs) y los puntos de reproducción (RPs) para calcular la cantidad de datos almacenados en cada momento en la memoria intermedia 107 en anillo y, si los datos superan un criterio predeterminado, determina que la memoria intermedia 107 en anillo puede desbordarse para enviar una instrucción de salto de pista al servocircuito 117 de seguimiento.

Si el circuito 118 de determinación de salto de pista detecta una señal de error de número de sector procedente del detector 104 de sectores o una señal de generación de error del circuito 105 de corrección de error, utiliza direcciones de inscripción (WPs) y direcciones de lectura (RPs) para calcular la cantidad de datos que quedan en la memoria intermedia 107 en anillo y la cantidad de datos requeridos para asegurar las lecturas de la memoria intermedia 107 en anillo para el circuito 108 de separación de datos multiplexados, mientras el disco óptico 101 está realizando una única revolución a partir de la posición de pista en curso (es decir, mientras está esperando a que el disco óptico 101 complete una única revolución).

Si permanece una gran cantidad de datos en la memoria intermedia 107 en anillo, el circuito 118 de determinación de salto de pista determina que puede recuperarse el error forzando al captador 102 a que intente nuevamente reproducir datos de la posición en que se produjo el error, y envía una instrucción de salto de pista al servocircuito 117 de seguimiento porque no se produce un desbordamiento por defecto incluso si los datos de la memoria intermedia 107 en anillo se leen a la máxima velocidad de transferencia.

Cuando la instrucción de salto de pista es emitida por el circuito 118 de determinación de salto de pista, por ejemplo, el servocircuito 117 de seguimiento fuerza el salto del captador 102 una pista desde la posición A hasta la posición B circunferencialmente hacia el interior desde la posición A, como se muestra en la figura 13. El circuito 106 de control de memoria intermedia en anillo inhibe la inscripción de nuevos datos en la memoria intermedia 107 en

anillo, y los datos almacenados en la memoria intermedia 107 en anillo son transferidos al circuito 108 de separación de datos multiplexados como se requiere hasta que el disco óptico realiza otra revolución desde la posición B hasta la posición A, es decir hasta que el número de sector obtenido del detector 104 de sectores coincide con el obtenido antes del salto de pista.

Incluso cuando el número de sector obtenido del detector 104 de sectores coincide con el obtenido antes del salto de pista, las inscripciones en la memoria intermedia 107 en anillo no se reinician y se realiza otro salto de pista si la cantidad de datos almacenados en la memoria intermedia 107 en anillo supera el criterio predeterminado, es decir si puede desbordarse la memoria intermedia 107 en anillo. El aparato de reproducción de datos puede utilizar así la memoria intermedia 107 en anillo para direccionar una tasa de transferencia variable y para realizar reintentos al producirse errores.

La utilidad de este aparato de reproducción de datos convencional puede mejorarse sustancialmente reproduciendo síncronamente datos multiplexados con datos de video, audio y de dialogo superpuesto comprimidos con una tasa de compresión variable en conformidad con la norma ISO11172 (MPEG1) o con la norma ISO13818 (MPEG2) mientras se corrigen errores de sincronismo, y para realizar una búsqueda, una parada o una operación de alimentación de cuadro al producirse errores.

Un aparato de reproducción de datos de acuerdo con este invento que tiene un dispositivo de corrección de error, una memoria intermedia de anillo, una memoria intermedia de código de video, una memoria intermedia de código de audio y/o una memoria intermedia de código de diálogo superpuesto, comprueba el funcionamiento de la memoria contenida en uno o más de los dispositivos anteriores cuando se activan o en un instante arbitrario.

## Breve descripción de los dibujos

La figura 1 es un diagrama de bloques que ilustra la configuración de un aparato de reproducción de datos de acuerdo con una realización de este invento;

La figura 2 es un diagrama esquemático que describe el formato de sector para datos reproducidos en el aparato de reproducción de datos;

La figura 3 es un diagrama esquemático que describe la configuración de un medio de almacenamiento de datos del cual reproduce datos el aparato de reproducción de datos;

La figura 4 es un diagrama esquemático que describe la configuración de un medio de almacenamiento de datos diferente del medio de almacenamiento de datos de la figura 3, del que reproduce datos el aparato de reproducción de datos;

La figura 5 es un diagrama esquemático que describe la estructura de datos de tabla de contenidos en el medio de almacenamiento de datos;

La figura 6 es un diagrama esquemático que describe la estructura de datos de tabla de contenidos en el medio de almacenamiento de datos, que difiere de la estructura de los datos de tabla de contenidos de la figura 5;

Las figuras 7A a 7D son diagramas esquemáticos que describen la estructura de una entrada de cadena de bits multiplexados a un demultiplexor, y la estructura de una salida de cadena de bits a cada memoria intermedia de código;

La figura 8 es un diagrama esquemático que describe la estructura de una cabecera de sistema en la cadena de bits de las figuras 7A a 7D;

La figura 9 es un diagrama esquemático que describe la estructura de cabeceras de datos de video, audio y de diálogo superpuesto en la cadena de bits de las figuras 7A a 7D;

La figura 10 es un diagrama esquemático que describe el formato de datos de subcódigo;

La figura 11 es un diagrama de flujo que describe la transición del estado de un controlador para explicar el funcionamiento del aparato de reproducción de datos;

La figura 12 es un diagrama de bloques que ilustra la configuración de un dispositivo 3 de corrección de error;

La figura 13 es un diagrama de flujo que ilustra el tratamiento realizado por el controlador 16 en su estado de inicialización;

La figura 14 es un diagrama de flujo que ilustra el tratamiento realizado por el controlador 16 en su estado de lectura de tabla de contenidos;

## ES 2 268 815 T3

La figura 15 es un diagrama de flujo que ilustra el tratamiento realizado por el controlador 16 en su estado de parada;

La figura 16 es un diagrama de flujo que ilustra el tratamiento realizado por el controlador 16 en su estado de estado de preparación para reproducción;

La figura 17 es un diagrama de flujo que ilustra el tratamiento realizado por el controlador 16 en su estado de determinación de método de arranque sincronizado;

La figura 18 es un diagrama de flujo que ilustra el tratamiento de video realizado por el controlador 16 en su estado sincronizado de audio y video;

La figura 19 es un diagrama de flujo que ilustra el tratamiento de audio realizado por el controlador 16 en su estado de arranque sincronizado de audio y video;

La figura 20 es un diagrama de flujo que ilustra el tratamiento realizado por el controlador 16 en su estado de arranque sincronizado solamente de video;

La figura 21 es un diagrama de flujo que ilustra el tratamiento realizado por el controlador 16 en su estado de arranque sincronizado solamente de audio;

La figura 22 es un diagrama de flujo que ilustra el tratamiento realizado por el controlador 16 en su estado de arranque sincronizado solamente para datos de diálogo superpuesto;

La figura 23 es un diagrama de flujo que ilustra el tratamiento realizado por el controlador 16 para detectar un error de sincronismo en términos de datos de video;

La figura 24 es un diagrama de flujo que ilustra el tratamiento realizado por el controlador 16 para detectar un error de sincronismo en términos de datos de audio;

La figura 25 es un diagrama de flujo que ilustra otro tratamiento realizado por el controlador 16 para detectar un error de sincronismo en términos de datos de video;

La figura 26 es un diagrama de flujo que ilustra el tratamiento realizado por el controlador 16 para corregir un error de sincronismo en términos de datos de video;

La figura 27 es un diagrama de flujo que ilustra el tratamiento realizado por el controlador 16 para corregir un error de sincronismo en términos de datos de audio;

La figura 28 es un diagrama de flujo que ilustra el tratamiento realizado por el controlador 16 para detectar un error;

La figura 29 es un diagrama de flujo que ilustra otro tratamiento realizado por el controlador 16 para detectar un error;

La figura 30 es un diagrama de flujo que ilustra otro tratamiento realizado por el controlador 16 para detectar un error;

La figura 31 es un diagrama de flujo que ilustra el tratamiento de datos de diálogo superpuesto realizado por el controlador 16;

La figura 32 es un diagrama de flujo que ilustra el tratamiento realizado por el controlador 16 en su estado de búsqueda;

La figura 33 es un diagrama de flujo que ilustra el tratamiento realizado por el controlador 16 en su estado de parada;

La figura 34 es un diagrama de flujo que ilustra el tratamiento realizado por el controlador 16 en su estado de alimentación de cuadro;

La figura 35 es un diagrama de bloques que ilustra la configuración de un aparato de reproducción de datos convencional; y

La figura 36 es un diagrama esquemático que describe un salto de pista en el aparato de reproducción de datos de la figura 35.

**Modo idóneo para realizar el invento**

Se describe una realización de este invento con referencia a los dibujos.

5 (1) *Configuración del Aparato de Reproducción de Datos*

La figura 1 ilustra en general un aparato de reproducción de datos de acuerdo con una realización de este invento, en el que un medio 1 de almacenamiento de datos comprende un disco óptico que puede extraerse de una unidad 2 de disco que almacena datos digitales, tales como datos de video, datos de audio, datos de diálogo superpuesto, e información de tabla de contenidos (TOC). Sin embargo, el medio 1 de almacenamiento de datos puede ser un medio de almacenamiento óptico extraíble o separable, un medio de almacenamiento magnético, un medio de almacenamiento optoelectrónico o un elemento de almacenamiento semiconductor, u otro medio de almacenamiento de datos digitales.

La unidad 2 de disco tiene una sección de mecanismo para cargar y descargar mecánicamente el medio 1 de almacenamiento de datos, y un controlador que controla un captador que contiene una cabeza óptica para leer señales de reproducción del medio 1 de almacenamiento de datos. El captador corresponde al medio 1 de almacenamiento de datos, y puede ser una cabeza magnética o una cabeza optoelectrónica. El captador actúa también como puntero de direcciones si el medio 1 de almacenamiento de datos es un elemento semiconductor. La unidad 2 de disco tiene un demodulador que demodula señales de reproducción leídas para obtener datos de subcódigo, datos multiplexados, datos de corrección de error (C1), y datos de corrección de error (C2), y envía dichas señales al dispositivo 3 de corrección de error en el formato ilustrado en la figura 2.

El dispositivo 3 de corrección de error recibe datos de subcódigo, datos multiplexados, datos de corrección de error (C1) y datos de corrección de error (C2) enviados por la unidad 2 de disco en el formato ilustrado en la figura 2, y utiliza los datos de corrección de error para detectar y corregir errores. Analiza también datos de subcódigo con error corregido para obtener datos de número de sector. Asocia también datos de número de sector y una marca indicadora de error, obtenida de los datos de subcódigo, a datos multiplexados con error corregida, y transfiere los datos multiplexados a una memoria intermedia 4 en anillo en el formato ilustrado en la figura 7A. La figura 12 muestra la configuración de un dispositivo 3 de corrección de error. Una memoria 30 de acceso aleatorio almacena datos suministrados por la unidad 2 de disco. Un conmutador 31 conmuta el destino de los datos leídos de la memoria de acceso aleatorio a un circuito 32 de corrección de error o a un circuito 34 de adición de datos. El circuito 32 de corrección de error utiliza datos de corrección de error (C1) y datos de corrección de error (C2) para corregir errores. El circuito 34 de adición de datos suma datos de número de sector y datos de una marca indicadora de error suministrados por un controlador 33, a datos multiplexados leídos de la memoria 30 de acceso aleatorio. El controlador 33 controla las direcciones de la memoria 30 de acceso aleatorio y el conmutador 31, y analiza los datos de subcódigo. En el estado de lectura de tabla de contenidos que se describe posteriormente, el conmutador 31 puede estar activado continuamente al circuito 32 de corrección de error para realizar la corrección de error para los mismos datos una pluralidad de veces.

Para datos que comprenden ocho bits de datos multiplexados a los cuales se añade un bit según se requiera, se añade una marca indicadora de error de estado "0" a los datos multiplexados si los datos no implican error o el error de los datos está corregido completamente, mientras que se añade una marca indicadora de error de estado "1" a los datos si el error es incorregible. El dispositivo 3 de corrección de error envía datos de subcódigo a un decodificador 21 de subcódigo solamente si los datos no implican error o si el error se ha corregido completamente.

El decodificador 21 de subcódigo decodifica datos de subcódigo suministrados por el dispositivo 3 de corrección de error para transferir los datos decodificados a un circuito 16 de control.

La memoria intermedia 4 en anillo contiene una memoria de salida en el orden de entrada, y almacena transitoriamente los datos multiplexados, datos de número de sector, y una marca indicadora de error enviada por el dispositivo 3 de corrección de error en el formato ilustrado en la figura 7A para transferir datos multiplexados, los datos de número de sector asociados y la marca indicadora de error en el formato ilustrado en la figura 7A en respuesta a un puntero de lectura indicado por un circuito 26 de control de memoria intermedia en anillo.

Todos los datos transmitidos por el dispositivo 3 de corrección de error pueden ser memorizados transitoriamente de un modo incondicional; solamente puede seleccionarse y memorizarse un número limitado de datos partiendo del número de sector de un punto de iniciación de lectura especificado por el controlador 16; solamente puede memorizarse transitoriamente una cantidad limitada de datos finalizando con un punto de finalización especificado por el controlador; o solamente puede memorizarse transitoriamente una cantidad limitada de datos dentro del margen específico definido entre el número de sector de un punto de iniciación especificado por el controlador 16 y el número de sector de un punto de finalización especificado también por el controlador 16. Este modo de funcionamiento puede ser conmutado mediante un circuito 26 de control de memoria intermedia en anillo.

Si el punto de iniciación y/o punto de finalización ha sido especificado por el controlador 16, el circuito 26 de control de memoria intermedia en anillo informa al controlador 16 cuando se detectan los datos en un punto de iniciación o en un punto de finalización de memoria intermedia. Recibe también una instrucción de carga de datos de tabla de contenidos para cargar datos de tabla de contenidos procedentes del dispositivo 3 de corrección de error en una región específica para datos de tabla de contenidos en una memoria intermedia, y detecta el final de la carga de datos para comunicarlo al controlador 16. El circuito 26 de control de memoria intermedia en anillo transfiere datos

## ES 2 268 815 T3

de tabla de contenidos cargados y almacenados en la memoria intermedia 4 en anillo en respuesta a una solicitud del controlador 16. Adicionalmente, como en el caso del circuito 106 de control de memoria intermedia en anillo y el circuito 118 de determinación de salto de pista ilustrados en la figura 35, el circuito 26 de control de memoria intermedia en anillo vigila la cantidad de datos almacenados en la memoria intermedia 4 en anillo y ordena a la sección de accionamiento de la unidad 2 de disco que realice un salto de pista según cuando se requiere.

El demultiplexor 5 divide los datos multiplexados enviados por la memoria intermedia 4 en anillo e ilustrados en la figura 7A, en una cadena de bits de video, una cadena de bits de audio y una cadena de bits de datos de diálogo superpuesto, y transfiere cabeceras de video y datos, cabeceras de audio y datos, y cabeceras de diálogo superpuesto y datos, a la memoria intermedia 6 de código de video, a la memoria intermedia 9 de código de audio y a la memoria intermedia 12 de código de diálogo superpuesto, como se muestra en las figuras 7B, 7C y 7D, respectivamente.

El demultiplexor 5 envía una marca indicadora de error correspondiente a cada uno de los datos de video, de audio o de diálogo superpuesto, a la memoria intermedia 6 de código de video, a la memoria intermedia 9 de código de audio, o a la memoria intermedia 12 de código de diálogo superpuesto, respectivamente. Sin embargo, interrumpe las solicitudes de código a la memoria intermedia 26 en anillo y aborta la transferencia de datos a la memoria intermedia 6 de código de video, a la memoria intermedia 9 de código de audio, y a la memoria intermedia 12 de código de diálogo superpuesto, si recibe una señal que indica que la memoria intermedia 6 de código de video, la memoria intermedia 9 de código de audio, o la memoria intermedia 12 de código de diálogo superpuesto, se han desbordado.

El demultiplexor 5 detecta también datos de número de sector, señales de referencia de reloj de sistema (SCR) almacenadas en una cabecera de sistema, una marca de instante de inicio de decodificación de video (DTSV) almacenada en una cabecera de datos de video para indicar el instante de iniciación de decodificación de datos de video, una marca de instante de inicio de decodificación de audio (DTSA) almacenada en una cabecera de datos de audio para indicar el instante de iniciación de decodificación de datos de audio, y una marca de instante de inicio de decodificación de datos de diálogo superpuesto (DTSS) almacenada en una cabecera de datos de diálogo superpuesto para indicar el instante de iniciación de decodificación de datos de diálogo superpuesto, para enviar una señal al controlador 16 que indica que ha detectado los datos de número de sector, una de las señales de referencia de reloj de sistema, una marca de instante de inicio de decodificación de video, una marca de instante de inicio de decodificación de audio, y una marca de instante de inicio de decodificación de datos de diálogo superpuesto. Retiene también datos de número de sector detectado, señales de referencia de reloj de sistema, una marca de instante de inicio de decodificación de video, una marca de instante de inicio de decodificación de audio y una marca de instante de inicio de decodificación de datos de diálogo superpuesto, y comunica sus contenidos al controlador 16 cuando es ordenado por este último.

Si el demultiplexor 5 comprueba la continuidad de números de sector para encontrar que han sido suministrados por la memoria intermedia 4 en anillo datos con números de sector discontinuos, inserta entre el sector discontinuo datos de relleno que contienen una marca indicadora de error de uno o más octetos, y transfiere los datos a la memoria intermedia 6 de código de video, a la memoria intermedia 9 de código de audio, y a la memoria intermedia 12 de código de diálogo superpuesto, para informar a estas memorias de la pérdida de datos en esa posición, o de la presencia de un límite de sector discontinuo creado por una operación de búsqueda.

La memoria intermedia 6 de código de video contiene una memoria de salida en el orden de entrada, y memoriza transitoriamente cabeceras de datos de video y datos de video enviados por el demultiplexor 5 para transferirlos a un detector 7 de marca de instante de inicio de decodificación de video cuando es solicitado por el decodificador 8 de video. Emite también una señal que informa al demultiplexor 5 y al controlador 16 del desbordamiento por exceso o desbordamiento por defecto de la memoria intermedia de código de video si la memoria intermedia se desborda por exceso o por defecto.

El detector 7 de marca de instante de inicio de decodificación de video permite solamente la transferencia de los datos de video de la cabecera de datos de video, y de los datos de video enviados por la memoria intermedia 6 de código de video, con el fin de transferirlos al decodificador 8 de video. Detecta también una marca de instante de inicio de decodificación de video en una cabecera de datos de video para transmitir una señal al controlador 16 que indica que ha sido detectada la marca de instante de inicio de decodificación de video, y retiene la marca de instante de inicio de decodificación de video detectada en su registro interno para informar al controlador 16 de dicha retención cuando es ordenado por este último.

El decodificador 8 de video incluye un decodificador MPEG acorde con la norma ISO1172 (MPEG1) o con la norma ISO13818 (MPEG2), y decodifica datos de video transferidos desde el detector 7 de marca de instante de inicio de decodificación de video para enviar los resultados a un post procesador 15. Durante la decodificación, interrumpe la decodificación, reanuda la decodificación, busca una cabecera de imagen I, y comunica la detección de una cabecera de imagen I al controlador 16. El decodificador MPEG puede detectar una cabecera de imagen, determinar el tipo de cabecera de imagen, es decir si la cabecera de imagen es una cabecera de imagen I, P o B, y comunicar la detección de la cabecera de imagen y su tipo al controlador 16. El decodificador 8 de video sustituye transitoriamente los datos de video resultantes de la decodificación por una pantalla negra o azul para suprimir la salida. Envía también una señal que informa al controlador 16 de que se está produciendo un error si encuentra que los datos comprimidos recibidos contienen una descripción sintácticamente incoherente o si intenta decodificar datos con una marca indicadora de error.

## ES 2 268 815 T3

La memoria intermedia 9 de código de audio contiene una memoria de salida en el orden de entrada, y memoriza cabeceras de datos de audio y datos de audio enviados por el demultiplexor 5 para transferir dichos datos a un detector 10 de marca de instante de inicio de decodificación de audio cuando es solicitado por el decodificador 11 de audio. Emite también una señal que informa al demultiplexor 5 y al controlador 16 del desbordamiento por exceso o del desbordamiento por defecto de la memoria intermedia de código de audio si la memoria intermedia se desborda por exceso o por defecto.

Al igual que el detector 7 de marca de instante de inicio de decodificación de video, el detector 10 de marca de instante de inicio de decodificación de audio permite solamente la transferencia de los datos de audio de la cabecera de datos de audio y de los datos de audio enviados por la memoria intermedia 9 de código de audio, con el fin de transferir dichos datos al decodificador 11 de audio. Detecta también una marca de instante de inicio de decodificación de audio en una cabecera de datos de audio para transmitir una señal al controlador 16 y al decodificador 11 de audio indicando que ha sido detectada la marca de instante de inicio de decodificación de audio. Retiene también la marca de instante de inicio de decodificación de audio detectada en su registro interno para informar al controlador 16 del estado de retención cuando es ordenado por este último.

El decodificador 11 de audio decodifica datos de audio comprimidos o no comprimidos transferidos desde el detector 10 de marca de instante de inicio de decodificación de audio para enviar los resultados al terminal de salida de audio. Durante la decodificación, interrumpe la decodificación, reanuda la decodificación, repite la decodificación de datos de audio durante un período especificado, y omite datos de audio durante un período especificado. Por ejemplo, el período especificado se refiere a cuatro niveles de duración: 1 s, 100 ms, 10 ms y 1 ms, y la unidad de decodificación mínima para datos comprimidos. El decodificador 11 de audio interrumpe la decodificación cuando recibe una señal del detector 10 de marca de instante de inicio de decodificación de audio que indica que ha sido detectada una marca de instante de inicio de decodificación de audio. Tiene también una función de reducción de volumen a un nivel intermedio, para reducir transitoriamente el volumen del sonido de las salidas de audio decodificadas a un nivel especificado, y una función de atenuación total para eliminar el volumen del sonido.

La memoria intermedia 12 de código de diálogo superpuesto contiene una memoria de salida en el mismo orden de entrada, y memoriza transitoriamente cabeceras de datos de diálogo superpuesto y datos de diálogo superpuesto transmitidos por el demultiplexor 5 para transferir dichos datos a un detector 13 de marca de instante de inicio de decodificación de datos de diálogo superpuesto. Emite también una señal que informa al demultiplexor 5 y al controlador 16 del desbordamiento por exceso o del desbordamiento por defecto de la memoria intermedia 12 de código de diálogo superpuesto si la memoria intermedia se desborda por exceso o por defecto.

El detector 13 de marca de instante de inicio de decodificación de datos de diálogo superpuesto permite solamente la transferencia de los datos de diálogo superpuesto de la cabecera de datos de diálogo superpuesto, y de los datos de diálogo superpuesto enviados por la memoria intermedia 12 de código de diálogo superpuesto, para transferir dichos datos al decodificador 14 de datos de diálogo superpuesto. Detecta también una marca de instante de inicio de decodificación de datos de diálogo superpuesto en la cabecera de datos de diálogo superpuesto y el tiempo de duración en los datos de diálogo superpuesto para transmitir una señal al controlador 16 que indica que han sido detectados dichos datos, y retiene la marca de instante de inicio de decodificación de datos de diálogo superpuesto detectada y la información de tiempo de duración en su registro interno para informar al controlador 16 del estado de retención cuando es ordenado por este último.

Cuando es detectada una marca de instante de inicio de decodificación de datos de diálogo superpuesto durante una operación de búsqueda de marca de instante de inicio de decodificación de datos de diálogo superpuesto, el detector 13 de marca de instante de inicio de decodificación de datos de diálogo superpuesto envía una señal al decodificador 14 de datos de diálogo superpuesto y al controlador 16 indicando que ha sido detectada la marca de instante de inicio de decodificación de datos de diálogo superpuesto. El decodificador 14 de datos de diálogo superpuesto decodifica los datos de diálogo superpuesto enviados por el detector 13 de marca de instante de inicio de decodificación de datos de diálogo superpuesto para transferir los resultados al post procesador 15.

Durante la decodificación, el decodificador 14 de datos de diálogo superpuesto interrumpe la decodificación, reanuda la decodificación e interrumpe la salida de los resultados de la decodificación. Durante la búsqueda de marca de instante de inicio de decodificación de datos de diálogo superpuesto, omite datos de diálogo superpuesto, en vez de decodificar dichos datos, hasta que recibe una señal de detección de marca de instante de inicio de decodificación de datos de diálogo superpuesto del detector 13 de marca de instante de inicio de decodificación de datos de diálogo superpuesto.

El post procesador 15 genera una señal de video para visualizar información que muestra el estado en curso del aparato de reproducción de datos en respuesta a una instrucción procedente del controlador 16, y sintetiza una señal de video enviada por el decodificador 8 de video, una señal de video enviada por el decodificador 14 de datos de diálogo superpuesto, y una señal de video transmitida para mostrar el estado en curso del aparato de reproducción de datos para transmitir la señal de video sintetizada al terminal de salida de video.

El controlador 16 puede recibir información de cada sección y emitir señales, y también puede controlar el funcionamiento de todo el aparato de reproducción de datos ilustrado en la figura 1. Una interfaz externa 17 recibe órdenes de un equipo de computador o de sistemas de edición para transmitir dichas órdenes al controlador 16. Un dispositivo



## ES 2 268 815 T3

18 de entrada de usuario recibe entradas de teclado aplicados por un usuario a través de pulsadores o por un generador remoto de órdenes, para transmitir dichas señales al controlador 16.

5 Un dispositivo 19 de visualización de información visualiza información que muestra el estado en curso del aparato de reproducción en respuesta a una instrucción procedente del controlador 16, utilizando, por ejemplo, lámparas o un dispositivo de visualización de cristal líquido. Un circuito 22 de generación de señal de sincronismo vertical genera señales de sincronismo vertical para aplicarlas al decodificador 8 de video, al decodificador 14 de datos de diálogo superpuesto, al post procesador 15 y al controlador 16.

10 Un registro 23 de impulsos de reloj de sistema (STC) es incrementado en respuesta a una señal procedente de un circuito 24 de cómputo ascendente de STC, e implementa una señal de reloj de referencia para reproducir sincronamente datos de video, datos de audio y datos de diálogo superpuesto. El controlador 16 puede fijar arbitrariamente valores para el registro 23 de STC. El registro 23 de STC en esta realización es independiente del controlador 16, mientras que en otra realización puede estar incorporado en el controlador 16 como programa.

15 El circuito 24 de cómputo ascendente de STC genera señales, tales como señales pulsatorias de una frecuencia especificada, para enviarlas al registro 23 de STC. Dicho circuito interrumpe también la salida al registro 23 de STC en respuesta a una instrucción procedente del controlador 16. El circuito 24 de cómputo ascendente de STC y el registro 23 de STC actúan como sistema generador de señales de reloj interno. Al igual que el registro 23 de STC, el circuito 24 de cómputo ascendente de STC en esta realización es independiente del controlador 16, mientras que en otra realización puede estar implementado como generador de señal de cómputo en la forma de un programa.

### (2) Configuración del Medio de Almacenamiento de Datos

25 En el medio 1 de almacenamiento de datos, todos los datos están almacenados en sectores, y la posición de inicio para leer datos del medio 1 de almacenamiento de datos es especificada por el controlador 16 utilizando un número de sector. Una vez que ha sido especificada una posición de iniciación, se leen continuamente los sectores subsiguientes, a no ser que el controlador 16 especifique una nueva posición. Por ejemplo, cuando se especifica el sector 100 como posición de iniciación, los sectores son leídos en el orden 100, 101, 102, 103 ..., hasta que se especifica una nueva posición de lectura.

30 La figura 2 muestra que cada sector consiste en 6208 octetos y comprende cuatro tipos de datos: datos de subcódigo, datos multiplexados, datos de corrección de error (C1), y datos de corrección de error (C2). La cantidad de estos datos en cada sector es de 64, 4096, 1024 y 1024 octetos, respectivamente. Entre los cuatro tipos de datos, se reproducen los datos multiplexados, y los tres tipos de datos restantes, es decir los datos de subcódigo, los datos de corrección de error (C1) y los datos de corrección de error (C2), son datos suplementarios para aumentar la velocidad de multiplexado y la precisión de reproducción.

40 Como se muestra en la figura 10, los datos de subcódigo comprenden información de número de sector, información de código de tiempo, información de identificación de contenido de subcódigo, y una marca indicadora de inhibición de reproducción. La información de número de sector contiene el número de sector de un sector, la información de código de tiempo contiene información que representa el instante en que será reproducido el sector, la información de contenido de datos contiene información que muestra el contenido de los datos de subcódigo (por ejemplo, "01" si los datos contienen una marca indicadora de inhibición de reproducción), y la marca indicadora de inhibición de reproducción contiene una marca indicadora (por ejemplo, "FF") que muestra si el sector es o no una zona de entrada, una zona de salida o una zona en que se almacenan datos, tales como datos de tabla de contenidos que no se reproducen. Los restantes 59 octetos están reservados, y puede inscribirse otra información en estos octetos como datos de subcódigo. Los datos multiplexados incluyen datos multiplexados que comprenden datos de video, datos de audio y datos de diálogo superpuesto a reproducir, y otros datos tales como programas de computador.

50 Los datos de corrección de error (C1) y los datos de corrección de error (C2) corresponden a información para detectar y corregir errores en datos de subcódigo y datos multiplexados, así como los propios datos de corrección de error. Puesto que los datos de corrección de error (C1) y los datos de corrección de error (C2) tienen diferentes direcciones de intercalación, la repetición de correcciones con ambos datos C1 y C2 mejora la capacidad de corrección de error.

60 La figura 3 muestra el tipo de datos almacenados en la sección de datos multiplexados de cada sector, donde los datos están clasificados utilizando números de sector. Los datos almacenados en los datos multiplexados contienen datos de video, datos de audio, y datos de diálogo superpuesto multiplexados, pero contienen excepcionalmente datos especiales, tales como datos de tabla de contenidos almacenados en los sectores -3000 a 1023. Los datos de video, de audio y los datos de diálogo superpuesto a reproducir están almacenados en el sector 1024 y sectores subsiguientes.

65 Está dispuesta en los sectores -3000 a -1 del medio DMS1 un área denominada área de tabla de contenidos. El área de tabla de contenidos contiene datos de tabla de contenidos, es decir información correspondiente al contenido de los datos almacenados en el medio DMS1. Como se muestra en la figura 3, los mismos datos de tabla de contenidos están almacenados en tres regiones, a saber en los sectores -3000 a -2001, en los sectores -2000 a -1001, y en los sectores -1000 a -1, para mejorar la fiabilidad de detección de error. Sin embargo, el tamaño de los datos de tabla de contenidos no deberá superar mil sectores. Los usuarios pueden especificar números de sector a través del dispositivo

18 de entrada de usuario o a través de las diez teclas en la interfaz externa 17 para obtener imágenes y voces deseadas. Sin embargo, puesto que los datos de tabla de contenidos están previstos para control y no deberá establecerse acceso a ellos durante la reproducción normal, el área de tabla de contenidos está preparada con números de sector negativos que no pueden ser especificados por teclas ordinarias de teclados de diez teclas.

Los sectores del medio DSM 1 que contienen datos que corresponden a datos de video, datos de audio, y datos de diálogo superpuesto multiplexados, están agrupados en una o más pistas de acuerdo con el contenido. Este grupo que comprende una pluralidad de sectores continuos se denomina pista. La figura 5 muestra la configuración de los datos de tabla de contenidos. Los datos de tabla de contenidos comprenden una cabecera de tabla de contenidos, un tamaño de tabla de contenidos, un número de pistas-información para cada pista, una cabecera de tabla de puntos de entrada, una tabla de puntos de entrada, y una marca de final de tabla de contenidos.

La cabecera de tabla de contenidos contiene un patrón de datos especiales que muestra que la tabla de contenidos se inicia en esta posición. El tamaño de la tabla de contenidos contiene la longitud de los datos de tabla de contenidos en octetos. Esta información para cada pista comprende el número de pista para cada pista, un número de sector de iniciación, y un número de sector final, una marca indicadora de pista de título y una marca indicadora de pista final, una marca indicadora de pista de inhibición de reproducción, una marca indicadora de codificador de video, una marca indicadora de codificador de audio, una marca indicadora de codificador de diálogo superpuesto, y una marca indicadora de información válida de marca indicadora de codificación.

El número de pista contiene el número de serie de una pista. El rango normal de los valores de número de pista debe estar definido entre 1 y 254. El número de sector de iniciación en el punto de iniciación y el número de sector final en el punto de finalización representan el rango de la pista en el medio DSM 1. Las marcas indicadoras de título y pista muestran que la pista es una pista de título o una pista final, respectivamente.

La marca indicadora de inhibición de reproducción está activada para inhibir la reproducción de la pista, y no está activada cuando no está inhibida la reproducción de la pista. La marca indicadora de video, audio y diálogo superpuesto muestra si están multiplexados o no datos de video, datos de audio y datos de diálogo superpuesto en los datos multiplexados en la pista, respectivamente. Cada marca indicadora de multiplexado puede mostrar el grado de multiplexado para cada tipo de datos dentro de la pista.

La marca indicadora de información válida de marca indicadora de multiplexado muestra si son o no válidos los contenidos de las marcas indicadoras de multiplexado precedentes de video, audio y diálogo superpuesto. Por ejemplo, cada una de las tres marcas indicadoras precedentes no pueden estar fijadas en un solo valor si el estado del multiplexado para datos de video, datos de audio y datos de diálogo superpuesto varía dentro de una sola pista. En este caso, se inscribe un valor arbitrario en las tres marcas indicadoras, y se almacena en la marca indicadora de información válida de marca indicadora de multiplexado un valor que representa la condición de no validez.

En el ejemplo anterior de información en una pista, puede añadirse a cualquiera de las pistas 1 a 254 un atributo que indica que la pista corresponde a un título o a una pista final. Sin embargo, el tratamiento de datos del aparato de reproducción puede simplificarse reduciendo el tamaño de los datos de tabla de contenidos y asegurando que el medio DSM 1 de almacenamiento de datos contiene solamente una pista de título y una pista final, sustituyendo la estructura del medio de almacenamiento de datos de la figura 3 por la estructura representada en la figura 4, y sustituyendo la estructura de los datos de tabla de contenidos de la figura 5 por la estructura de la figura 6, y disponiendo pistas especiales con números de pista de 0 y 255 para una pista de título y una pista final y fijando sus posiciones en el medio DSM 1 de almacenamiento de datos.

La cabecera de tabla de puntos de entrada contiene una pauta de datos especial que indica que la tabla de puntos de entrada comienza en esta posición. La tabla de puntos de entrada comprende un número de puntos de entrada e información para los puntos de entrada. El número de puntos de entrada comprende el número de puntos de entrada en el medio DSM 1 de almacenamiento de datos, las posiciones de los puntos de entrada representados por números de sector, e información de código de tiempo almacenada en los datos de subcódigo en el sector.

La tabla de puntos de entrada se utiliza durante procedimientos de acceso aleatorio y búsqueda. La tabla de puntos de entrada debe ser referenciada cuando los datos de video están comprimidos con una tasa de compresión variable en conformidad con las normas ISO11172 (MPEG1) o ISO13818 (MPEG2), porque el aumento en los números de sectores no es proporcional al aumento en los códigos de tiempo. La marca de final de tabla de contenidos contiene una pauta especial de datos que indica que la tabla de contenidos finaliza en esta posición.

## (3) Funcionamiento del Aparato de Reproducción de Datos

### (3-1) Encendido

La figura 11 es un diagrama de transición del estado de funcionamiento del controlador 16. El controlador 16 entra en el estado de inicialización cuando se conecta la potencia de alimentación del aparato de reproducción de datos representado en la figura 1. La figura 13 muestra el flujo de tratamiento correspondiente al controlador en su estado de inicialización. En este estado, el controlador 16 instruye al dispositivo 19 de visualización de información para encender una lámpara que indica que se ha conectado la alimentación, e instruye también al post procesador 15 para

## ES 2 268 815 T3

hacer que un dispositivo de visualización, tal como un tubo de rayos catódicos (no representado) visualice un mensaje indicando que se ha conectado la alimentación de potencia (operación SP100). El controlador 16 lee subsiguientemente las pautas de prueba almacenadas en la memoria 25 de solo lectura para inscribirlas en las correspondientes memorias instaladas en el dispositivo 3 de corrección de error, en la memoria intermedia 4 en anillo, en la memoria intermedia 6 de código de video, en la memoria intermedia 9 de código de audio, en la memoria intermedia 12 de código de diálogo superpuesto, y en el dispositivo 20 de almacenamiento, y lee a continuación dichos datos de las memorias (operación SP102) para comprobar si estas memorias están o no funcionando con precisión (comprobación de memorias; operación SP103).

Si se descubre un error durante la comprobación de memorias, el controlador 16 instruye al dispositivo 19 de visualización de información para encender una lámpara que indica que se está produciendo un error, e instruye también al post procesador 15 para hacer que un dispositivo de visualización, tal como un tubo de rayos catódicos (no representado), visualice un mensaje que indica que se está produciendo un error en una memoria (operación SP104). En este estado, el controlador 16 ignora subsiguientemente todas las entradas de la interfaz externa 17 y del dispositivo 18 de entrada de usuario, con la excepción de una instrucción de descarga de disco. Adicionalmente, no lee datos ni señales del medio DSM 1 de almacenamiento de datos. El controlador 16 desactiva también la fuente de alimentación durante un período de tiempo especificado si se está produciendo un error en una memoria (operación SP105).

Si no se está produciendo ningún error en las memorias, el controlador 16 envía una señal a la unidad 2 de disco consultando si está cargado o no el medio DSM 1 de almacenamiento de datos (operación SP106). Cuando recibe esta señal, la unidad 2 de disco transmite una señal al controlador 16 indicando si está cargado o no en ese momento el medio DSM 1 de almacenamiento de datos. Se determina si está cargado o no dicho medio utilizando para la detección un microinterruptor instalado en la sección de mecanismo de la unidad 2 de disco, o comprobando si puede aplicarse o no un foco luminoso en una parte predeterminada del medio DSM 1 de almacenamiento de datos. Si el controlador 16 recibe una señal que indica que está cargado en ese momento el medio DSM 1 de almacenamiento de datos, entra en el estado de lectura de tabla de contenidos (TOC) en la operación SP2 ilustrada en la figura 11 (operación SP107). Recíprocamente, si el controlador 16 recibe una señal que indica que no está cargado en ese momento el medio DSM 1 de almacenamiento de datos, instruye al dispositivo 19 de visualización de información para encender una lámpara que indica que no está cargado el medio DSM 1 de almacenamiento de datos, e instruye también al post procesador 15 para visualizar un mensaje que muestra que el medio DSM 1 de almacenamiento de datos no está cargado (operación SP108). El controlador 16 espera subsiguientemente hasta que recibe una señal de la unidad 2 de disco que indica que está cargado el medio DSM 1 de almacenamiento de datos.

La unidad 2 de disco detecta la introducción por el usuario del medio DSM 1 de almacenamiento de datos en la unidad 2 de disco para realizar la carga mecánica, tal como la alineación del medio DSM 1 de almacenamiento de datos, con el fin de hacer posible que el captador de la unidad 2 de disco lea señales. Una vez que se ha completado la carga, la unidad 2 de disco envía una señal al controlador 16 indicando que está cargado el medio DSM 1 de almacenamiento de datos. El controlador 16 entra en el estado de lectura de TOC (tabla de contenidos) en la operación SP2 de la figura 11 cuando recibe una señal que indica que se ha completado la carga mientras espera una señal procedente de la unidad 2 de disco que indica que está cargado el medio DSM 1 de almacenamiento de datos.

### (3-2) Lectura de TOC (tabla de contenidos)

La figura 14 muestra el flujo de tratamiento realizado por el controlador 16 en su estado de lectura de tabla de contenidos. Cuando entra en el estado de lectura de tabla de contenidos, el controlador 16 instruye al dispositivo 3 de corrección de error para entrar en el modo de lectura de tabla de contenidos (operación SP200). El controlador 16 instruye también a la unidad 2 de disco para buscar una sección en la que están inscritos los primeros datos de tabla de contenidos, es decir el sector -3000 (operaciones SP201 y SP202).

La unidad 2 de disco lee datos del medio DSM 1 de almacenamiento de datos para transferirlos al dispositivo 3 de corrección de error. El dispositivo 3 de corrección de error detecta y corrige cualquier error en los datos enviados por la unidad 2 de disco y transfiere los datos multiplexados a la memoria intermedia 4 en anillo y los datos de subcódigo al decodificador 21 de subcódigo. Sin embargo, el número de posibles repeticiones de correcciones C1 y C2 debe fijarse de modo que sea mayor que en la reproducción normal, porque el controlador 16 ha instruido a la unidad de disco para entrar en el modo de lectura de tabla de contenidos.

Es decir, ambos procedimientos C1 y C2 de corrección de error ejecutados por el dispositivo 3 de corrección de error se realizan solamente una vez durante la reproducción normal de datos para reducir el tiempo comprendido entre la carga de datos procedentes del medio DSM 1 de almacenamiento de datos y la salida de video del post procesador 15 o del decodificador 11 de audio, apareciendo los datos en el terminal de salida de audio.

Sin embargo, la capacidad de corrección de error puede mejorarse repitiendo los procedimientos C1 y C2 de corrección de error un gran número de veces si no es necesario reducir el tiempo entre la carga de datos y la reproducción. En consecuencia, para la lectura de datos de tabla de contenidos, que no necesita ser rápida sino que requiere una alta fiabilidad de datos, el dispositivo 3 de corrección de error repite la secuencia de tratamiento de corrección de error si el controlador 16 ha fallado en corregir un error a pesar de su primer intento utilizando una sola corrección C1 de error y una sola corrección C2 de error. El dispositivo 3 de corrección de error puede repetir incondicionalmente ambas correcciones C1 y C2 varias veces, por ejemplo cuatro veces.

Aunque el número de correcciones de error se aumenta para datos de tabla de contenidos para potenciar la capacidad de corrección de error, no puede ser completamente corregido, incluso mediante correcciones de error repetidas, un error de ráfaga en el medio DSM 1 de almacenamiento de datos, es decir la pérdida de datos en un rango amplio. De este modo, si no puede corregirse un error después de un número especificado de correcciones de error, el controlador 16 instruye a la unidad 2 de disco para buscar la posición en la que se está produciendo el error, y lee datos nuevamente del medio DSM 1 de almacenamiento de datos para intentar detectar y corregir el error en los datos cargados. Este tratamiento de lectura repetida no se realiza durante la reproducción normal porque ocupa una gran cantidad de tiempo. En este estado de lectura de tabla de contenidos, sin embargo, el controlador 16 realiza esta operación.

Si no puede corregirse un error después de un número predeterminado de lecturas repetidas de datos del medio DSM 1 de almacenamiento de datos, el controlador instruye a la unidad de disco para buscar la segunda información de tabla de contenidos almacenada en tres posiciones diferentes en el medio DSM 1 de almacenamiento de datos para su carga, e intenta entonces cargar la información en la memoria intermedia 4 en anillo, como en la carga de los primeros datos de tabla de contenidos. El controlador 16 ejecuta la misma operación para la tercera información de tabla de contenidos si ha fallado en la lectura de la segunda información de tabla de contenidos. Tales lecturas de posiciones diferentes son posibles porque están almacenados los mismos datos de tabla de contenidos en tres posiciones, e imposibles durante la reproducción normal. En este estado de lectura de tabla de contenidos, sin embargo, el controlador 16 realiza esta operación (operaciones SP202, SP203, SP204, SP205, SP206).

Si el controlador 16 falla en la lectura de todos los datos de tabla de contenidos almacenados en las tres posiciones, instruye al dispositivo 19 de visualización de información para encender un indicador luminoso que indica que ha fallado la lectura de tabla de contenidos, e instruye también al post procesador 15 para visualizar un mensaje en la pantalla que muestra un error de lectura de tabla de contenidos (operación SP207). El controlador 16 instruye también a la unidad 2 de disco para descargar el disco (operación SP208) y entra en el estado de inicialización. La unidad 2 de disco descarga el disco cuando recibe una instrucción de descarga del controlador 16.

El controlador 16 instruye al circuito 26 de control de memoria intermedia en anillo para iniciar la carga de tabla de contenidos cuando se ha completado la corrección de error de tabla de contenidos (operación SP209). El circuito 26 de control de memoria intermedia en anillo controla un puntero de inscripción para cargar los datos de tabla de contenidos en una región específica para carga de datos de tabla de contenidos en la memoria instalada en la memoria intermedia 4 en anillo. La memoria intermedia 4 en anillo inscribe en la región destinada a datos de tabla de contenidos en su memoria datos de reproducción transferidos desde el dispositivo 3 de corrección de error. En este caso, todos los datos de tabla de contenidos ilustrados en la figura 5 se cargan en la memoria si la memoria intermedia 4 en anillo tiene una capacidad suficiente para almacenar esta cantidad de datos, mientras que en otro caso se cargan los datos de tabla de contenidos excluyendo la cabecera de tabla de puntos de entrada y la tabla de puntos de entrada.

La memoria intermedia 4 en anillo puede detectar la carga de una marca de final de tabla de contenidos para detectar el final de la carga de datos de tabla de contenidos; cuando detecta el final de la carga, la memoria intermedia 4 en anillo informa al controlador 16 de esta situación. El controlador 16 recibe una señal de la memoria intermedia 4 en anillo que indica el final de la carga, y entra a continuación en el estado de parada (operación SP210).

### (3-3) Estado de Parada (reproducción de pista de título/pista final)

La figura 15 muestra el flujo de tratamiento realizado por el controlador 16 en su estado de parada. Cuando entra en el estado de parada, el controlador 16 determina si se acaba de cargar o no la tabla de contenidos (operación SP300). El controlador 16 reproduce la pista de título si se acaba de cargar la tabla de contenidos. En otro caso, por ejemplo si ha finalizado justamente la reproducción de todos o parte de los datos del medio DSM 1 de almacenamiento de datos, el controlador 16 instruye la reproducción de la pista final.

Para la reproducción de una pista de título, el controlador 16 referencia los datos de tabla de contenidos (operación SP301), y si existe una pista con una marca que indica que es una pista de título, reproduce la pista independientemente de una instrucción de reproducción generada por el usuario (operación SP302). Para la reproducción de una pista final, como en el caso de la reproducción de una pista de título, el controlador 16 referencia datos de tabla de contenidos (operación SP303), y si existe una pista con una marca que indica que es una pista final, reproduce esa pista independientemente de una instrucción de reproducción generada por el usuario (operación SP304).

En el estado de parada, el controlador 16 envía una instrucción de parada, una instrucción de parada de corrección de error, una instrucción de parada de memorización intermedia y una instrucción de interrupción de multiplexor, a la unidad 2 de disco, al dispositivo 3 de corrección de error, a la memoria intermedia 4 en anillo y al demultiplexor 5, respectivamente, si no puede encontrar una pista de título o una pista final a reproducir o si ha finalizado la reproducción de una pista de título o una pista final (operación SP305). Borra también la memoria intermedia 6 de código de video, la memoria intermedia 9 de código de audio y la memoria intermedia 12 de código de diálogo superpuesto (operación SP306).

En el estado de parada, el controlador 16 espera una instrucción de iniciar reproducción, enviada por el usuario a través del dispositivo 18 de entrada de usuario o a través de la interfaz externa 17 (operación SP307). Instruye también al dispositivo 19 de visualización de información y al post procesador 15 para encender una lámpara que indica el estado de parada y para visualizar el mensaje asociado en la pantalla (operación SP308).

## ES 2 268 815 T3

El dispositivo 18 de entrada de usuario envía una señal de inicio de reproducción al controlador 16 cuando el usuario realiza entradas por teclado requeridas para iniciar la reproducción. En este caso, si las pistas a reproducir han sido especificadas por el usuario, la información correspondiente a los números de pista es transferida también al controlador 16. La interfaz externa 17 envía una señal de inicio de reproducción al controlador 16 cuando recibe la correspondiente instrucción de un equipo externo (no representado). En este caso, o si el equipo externo ha especificado los números de pistas a reproducir, los números de pista son transferidos al controlador 16.

El controlador 16 entra en estado de preparación para reproducción en la operación SP4 en la figura 11 cuando recibe una señal de inicio de reproducción del dispositivo 18 de entrada de usuario o del circuito 17 de interfaz externa. El controlador 16 inicia la reproducción con la pista representada por el número "1" de pista si el dispositivo 18 de entrada de usuario o la interfaz externa 17 no han especificado los números de pistas a reproducir.

### (3-4) Estado de Preparación para Reproducción

La figura 16 muestra el flujo de tratamiento realizado por el controlador 16 en su estado de preparación para reproducción. Cuando entra en el estado de preparación para reproducción, el controlador 16 instruye al dispositivo 19 de visualización de información y al post procesador 15 para encender una lámpara que indica que está siendo preparada la reproducción y para visualizar el mensaje asociado en la pantalla (operación SP400). El controlador 16 inicializa entonces la memoria intermedia 4 en anillo, el demultiplexor 5, la memoria intermedia 6 de código de video, el decodificador 8 de video, la memoria intermedia 9 de código de audio, el decodificador 11 de audio, la memoria intermedia 12 de código de diálogo superpuesto, el decodificador 14 de datos de diálogo superpuesto, el post procesador 15 y el dispositivo 20 de almacenamiento (operación SP401). Sin embargo, no inicializa los datos de tabla de contenidos cargados y almacenados en la memoria intermedia 4 en anillo.

El controlador 16 instruye al dispositivo 3 de corrección de error para entrar en el modo de reproducción normal (operación SP402). Esta instrucción hace que el dispositivo 3 de corrección de error realice ambas correcciones C1 y C2 de error una vez cuando se produce un error. El controlador 16 referencia a continuación los datos de tabla de contenidos para obtener el número de sector al comienzo de las pistas a reproducir, y envía una instrucción de búsqueda a la unidad 2 de disco utilizando el número de sector (operación SP403).

El controlador 16 envía una instrucción de inicio de demultiplexado al demultiplexor 5 (operación SP404). El demultiplexor 5 demultiplexa las cadenas de bits multiplexadas transferidas desde la memoria intermedia en anillo en el formato ilustrado en la figura 7A, y transfiere a continuación dichas cadenas a la memoria intermedia 6 de código de video, a la memoria intermedia 9 de código de audio y a la memoria intermedia 12 de código de diálogo superpuesto, como se muestra en las figuras 7B, 7C y 7D, respectivamente. Detecta también las señales de referencia de reloj de sistema almacenadas en la cabecera de sistema, y las retiene en su registro interno.

La memoria intermedia 6 de código de video almacena datos transferidos desde el demultiplexor 5 en su memoria intermedia, y transfiere dichos datos a continuación al detector 7 de marca de instante de inicio de decodificación de video (DTSV). Similarmente, la memoria intermedia 9 de código de audio y la memoria intermedia 12 de código de diálogo superpuesto almacenan datos transferidos desde el demultiplexor 5 en sus respectivas memorias intermedias, y transfieren estos datos a continuación al detector 10 de marca de instante de inicio de decodificación de audio (DTSA) y al detector 13 de marca de instante de inicio de decodificación de datos de diálogo superpuesto (DTSS).

El detector 7 de marca de instante de inicio de decodificación de video selecciona solamente los datos de video de los datos enviados por la memoria intermedia 6 de código de video, para transferir dichos datos al decodificador 8 de video. Intenta también detectar una marca de instante de inicio de decodificación de video (DTSV) en la cabecera de video representada en la figura 9, y cuando detecta una marca de instante de inicio de decodificación de video, comunica la detección al controlador 16 y retiene el valor de la marca de instante de inicio de decodificación de video. Similarmente, el detector 10 de marca de instante de inicio de decodificación de audio y el detector 13 de marca de instante de inicio de decodificación de datos de diálogo superpuesto seleccionan solamente los datos de audio y los datos de diálogo superpuesto de los datos enviados por la memoria intermedia 9 de código de audio y la memoria intermedia 12 de código de diálogo superpuesto, para transferir dichos datos al decodificador 11 de audio y al detector 13 de marca de instante de inicio de decodificación de datos de diálogo superpuesto, respectivamente. Intenta también detectar una marca de instante de inicio de decodificación de audio (DTSA) en la cabecera de audio representada en la figura 9, y una marca de instante de inicio de decodificación de datos de diálogo superpuesto (DTSS) en la cabecera de datos de diálogo superpuesto ilustrada también en la figura 9, y cuando detecta una marca de instante de inicio de decodificación de audio y una marca de instante de inicio de decodificación de datos de diálogo superpuesto, comunica la detección al controlador 16 y retiene sus valores, respectivamente. Después de finalizar este tratamiento, el controlador 16 entra en el estado de determinación de método de arranque sincronizado en la operación SP5 de la figura 11.

### (3-5) Estado de Determinación de Método de Arranque Sincronizado

La figura 17 muestra el flujo de tratamiento realizado por el controlador 16 en el estado de determinación de método de arranque sincronizado. Cuando entra en el estado de determinación de método de arranque sincronizado, el controlador 16 ejecuta el tratamiento requerido para iniciar la reproducción de datos de video, datos de audio, y/o datos de diálogo superpuesto. Selecciona un procedimiento de tratamiento utilizado al principio de la reproducción de

datos utilizando datos contenidos en la tabla de contenidos y el estado de detección de una marca de instante de inicio de decodificación de video, una marca de instante de inicio de decodificación de audio, o una marca de instante de inicio de decodificación de datos de diálogo superpuesto, para detectar la presencia de datos de video, datos de audio, y datos de diálogo superpuesto en los datos a reproducir.

El controlador 16 referencia las marcas indicadoras de multiplexado de datos de video, datos de audio y datos de diálogo superpuesto en la información correspondiente a cada pista en los datos de tabla de contenidos representados en la figura 5, para detectar la presencia de datos de video, datos de audio y datos de diálogo superpuesto en los datos a reproducir. El controlador 16 carga primero desde la tabla de contenidos almacenada en la memoria intermedia 4 en anillo la información de pista correspondiente a las pistas a reproducir (operación SP500). Determina a continuación si son o no válidas cada una de las marcas indicadoras de multiplexado en base a la marca indicadora de información válida de marca indicadora de multiplexado contenida en la información de pista obtenida (operación SP501). Si falla en esta operación porque la marca indicadora de información válida de marca indicadora de multiplexado es portadora de un valor que indica no validez, ejecuta la misma determinación en base a la presencia de una señal que informa sobre la detección de una marca de instante de inicio de decodificación de video, una marca de instante de inicio de decodificación de audio, o una marca de instante de inicio de decodificación de datos de diálogo superpuesto, enviadas por el detector 7 de marca de instante de inicio de decodificación de video, el detector 10 de marca de instante de inicio de decodificación de audio o el detector 13 de marca de instante de inicio de decodificación de datos de diálogo superpuesto, dentro de un período especificado a partir de la iniciación de la operación de demultiplexado.

El controlador 16 entra en el estado de arranque sincronizado de audio y video si determina a partir de las marcas indicadoras de multiplexado en la información de tabla de contenidos que están presentes tanto datos de video como datos de audio en las pistas a reproducir, o si se detectan una marca de instante de inicio de decodificación de video y una marca de instante de inicio de decodificación de audio dentro de un período especificado. El controlador entra en el estado de arranque sincronizado solamente de video si determina a partir de las marcas indicadoras de multiplexado contenidas en la información de tabla de contenidos que están presentes datos de video en las pistas a reproducir, mientras que no están presentes datos de audio en estas pistas, o si ha sido detectada una marca de instante de inicio de decodificación de video dentro de un período especificado mientras no ha sido detectada una marca de instante de inicio de decodificación de audio dentro del mismo período. Entra en el estado de arranque sincronizado solamente de audio si determina a partir de las marcas indicadoras de multiplexado contenidas en la información de tabla de contenidos que están presentes datos de audio en las pistas a reproducir, mientras que no están presentes datos de video en estas pistas o si ha sido detectada una marca de instante de inicio de decodificación de audio dentro de un período especificado mientras no ha sido detectada una marca de instante de inicio de decodificación de video dentro del mismo período.

Adicionalmente, si el controlador 16 determina a partir de las marcas indicadoras de multiplexado contenidas en la información de tabla de contenidos que no están presentes datos de video ni datos de audio en las pistas a reproducir o si no ha sido detectada una marca de instante de inicio de decodificación de video ni una marca de instante de inicio de decodificación de audio dentro de un período especificado, entra en el estado de arranque sincronizado de diálogo superpuesto si ha sido detectada una marca de instante de inicio de decodificación de datos de diálogo superpuesto en ese instante. Adicionalmente, el controlador 16 entra en el estado de parada si determina a partir de la información de tabla de contenidos que no están presentes datos de video ni datos de audio ni datos de diálogo superpuesto, o si no ha sido detectada una marca de instante de inicio de decodificación de video ni una marca de instante de inicio de decodificación de audio ni una marca de instante de inicio de decodificación de datos de diálogo superpuesto dentro de un período de duración especificada (operaciones SP502 a SP510).

### (3-6) Estado de Arranque Sincronizado de Audio y Video

La figura 18 muestra el flujo de tratamiento para datos de video ejecutado por el controlador 16 en su estado de arranque sincronizado de audio y video. Cuando entra en el estado de arranque sincronizado de audio y video, el controlador 16 ordena al decodificador 8 de video interrumpir la decodificación y buscar una cabecera de imagen I (operación SP600). Puesto que esto promueve la búsqueda de una cabecera de imagen I mientras está interrumpida la decodificación, el decodificador 8 de video no inicia la decodificación después de detectar una cabecera de imagen I, y espera una instrucción de liberación de interrupción del controlador 16. La cabecera de imagen I es una pauta de datos particular colocada al comienzo de datos intra imágenes en datos de video, tales como cadenas de bits de video definidas por las normas ISO11172 (MPEG1) o ISO13818 (MPEG2).

Una regla específica que debe almacenarse una marca de instante de inicio de decodificación de video en la cabecera de datos de video de video que contienen una cabecera de imagen I, utilizando el método de codificación ilustrado en el “caso de que la marca indicadora de marca de instante de inicio de decodificación de video sea igual a 1”, cuando están almacenados datos en el medio de almacenamiento de datos en el cual están almacenadas cadenas de bits multiplexadas en conformidad con las normas ISO11172 (MPEG1) o ISO13818 (MPEG2). Esto permite al controlador 16 cargar la marca de instante de inicio de decodificación de video correspondiente a una cabecera de imagen I detectada por el detector 7 de marca de instante de inicio de decodificación de video. La sincronización se inicia con imágenes I porque las imágenes diferentes de las imágenes I, es decir las imágenes P e imágenes B, son codificadas predictivamente utilizando imágenes cargadas transitoriamente antes y/o después de estas imágenes P y B, y el inicio de la decodificación con estas imágenes P y B es así imposible.

## ES 2 268 815 T3

El controlador 16 determina entonces si la memoria intermedia 6 de código de video está o no en situación de desbordamiento por defecto (operación SP601). Si la memoria intermedia 6 de código de video está en la situación de desbordamiento por defecto, la memoria intermedia no tiene datos que leer, de modo que el controlador 16 interrumpe la lectura de datos de video de la memoria intermedia 6 de código de video. A continuación, cuando recibe una señal del decodificador 8 de video que indica que ha sido leída una cabecera de imagen I, el controlador 16 carga el valor de la marca de instante de inicio de decodificación de video del detector 7 de marca de instante de inicio de decodificación de video (operación SP602). El controlador 16 determina entonces si está o no funcionando el circuito 24 de cómputo ascendente de STC (operación SP603).

Si el cómputo ascendente automático del circuito 24 de cómputo ascendente de STC ha sido activado, los datos de video y datos de audio deben iniciarse en sincronismo con el reloj de sincronismo de sistema (STC), es decir el registro STC, que ha iniciado ya el cómputo ascendente. Si el cómputo ascendente automático del reloj de sincronismo de sistema ha sido desactivado, debe iniciarse tanto la decodificación de video como la decodificación de audio y el cómputo automático ascendente del reloj de sincronismo de sistema.

El controlador realiza la siguiente secuencia de tratamiento para el decodificador 8 de video si ha sido activado el cómputo automático ascendente del reloj de sincronismo de sistema: el controlador 16 compara en primer lugar la señal de reloj de sincronismo de sistema almacenada en el registro 23 de STC con la marca de instante de inicio de decodificación de video detectada por el detector 7 de marca de instante de inicio de decodificación de video (operación SP604). Si DTSV es menor o igual a STC, determina que se ha omitido el instante para iniciar la decodificación, instruye al decodificador 8 de video para buscar nuevamente una cabecera de imagen I (operación SP605), y carga desde el detector 7 de marca de instante de inicio de decodificación de video la marca de instante de inicio de decodificación de video correspondiente a la siguiente cabecera de imagen I en la cadena de bits de video (operación SP602).

Puesto que el valor de STC ha sido también incrementado automáticamente ascendentemente, el controlador 16 carga nuevamente el valor de STC más reciente del registro 23 de STC. Compara a continuación la marca de instante de inicio de decodificación de video nuevamente cargada con este valor de STC (operación SP604) y repite este proceso hasta que DTSV es mayor que STC. Si se carga una marca de instante de inicio de decodificación de video de un valor mayor que el valor del cómputo STC, el controlador 16 espera hasta que se encuentra la igualdad entre DTSV y STC (operaciones SP615, SP616). Envía a continuación una instrucción de liberación de parada de decodificación al decodificador 8 de video en sincronismo con la siguiente señal de sincronismo vertical transmitida por el circuito 22 de generación de señal de sincronismo vertical (operaciones SP617 y SP618). El controlador 16 activa el cómputo STC al valor de la marca de instante de inicio de decodificación de video, porque el valor de STC se incrementa automáticamente ascendentemente durante la espera de una señal de sincronismo vertical (operación SP619).

El tratamiento de error debe ser realizado usualmente cuando se detecta una señal de desbordamiento por defecto en la memoria intermedia 6 de código de video o en la memoria intermedia 9 de código de audio. En el estado de arranque sincronizado de audio y video, sin embargo, el controlador 16 no ejecuta ningún tratamiento de error especial incluso cuando recibe una señal de error de desbordamiento por defecto de la memoria intermedia 6 de código de video, después de ordenar al decodificador 8 de video la búsqueda de una cabecera de imagen I y antes de detectarse una imagen I; la memoria intermedia 9 de código de audio espera hasta que el demultiplexor 5 suministra datos para eliminar el estado de desbordamiento por defecto.

Si el decodificador 8 de video detecta una imagen I, el controlador 16 debe esperar hasta que haya una cantidad suficiente de datos almacenados en la memoria intermedia 6 de código de video. El aparato de acuerdo con este invento llena la memoria intermedia de código del modo siguiente si falla el cómputo ascendente automático del valor STC, con el fin de obtener el llenado completo de la memoria intermedia de código especificado en las normas ISO11172 (MPEG1) o ISO13818 (MPEG2).

Si el decodificador 8 de video detecta una imagen I, puede recibir datos del demultiplexor 5 y almacenar dichos datos en la memoria intermedia 6 de código de video hasta que dicha memoria se desborda por exceso debido a que el decodificador 8 de video ha interrumpido ya la decodificación. Cada vez que se almacenan datos, el demultiplexor 5 intenta detectar una nueva señal de referencia de reloj de sistema (SCR).

El controlador 16 carga una nueva señal de referencia de reloj de sistema en cada período de tiempo especificado con el valor de SCR actualizado cada vez que se almacenan datos en la memoria intermedia 6 de código de video (operación SP606). El controlador 16 compara entonces esta señal de referencia de reloj de sistema con una marca de instante de inicio de decodificación de video cargada desde el detector 7 de marca de instante de inicio de decodificación de video (operación SP607). En este momento, si  $DTSV \leq SCR$ , determina que existe una cantidad de datos suficiente almacenada en la memoria intermedia de código. Si  $DTSV > SCR$ , espera hasta que el demultiplexor 5 detecta una nueva señal de referencia de reloj de sistema. Determina también que hay una cantidad suficiente de datos almacenados en la memoria intermedia de código si recibe una señal que indica desbordamiento por exceso de la memoria intermedia 6 de código de video, la memoria intermedia 9 de código de audio o la memoria intermedia 12 de código de diálogo superpuesto, mientras espera la detección de una nueva señal de referencia de reloj de sistema (operación SP608).

La señal de STC, que corresponde a una señal de reloj de sistema, debe iniciarse en sincronismo con una señal de sincronismo vertical si ha sido desactivado el cómputo automático ascendente del valor STC. La marca de instante de

inicio de decodificación de video está codificada en sincronismo con una señal de sincronismo vertical, mientras que la marca de instante de inicio de decodificación de audio está codificada independientemente de una señal de sincronismo vertical. El cómputo de STC se inicia así en sincronismo con una señal de sincronismo vertical utilizando la marca de instante de inicio de decodificación de video como valor inicial. Después de iniciarse la señal STC e iniciarse  
 5 simultáneamente la decodificación de datos de video, se inicia la decodificación de datos de audio utilizando la marca de instante de inicio de decodificación de audio. El controlador realiza la siguiente secuencia de tratamiento para el decodificador 8 de video si ha sido desactivado el cómputo automático ascendente del valor del reloj de sincronismo de sistema. El controlador 16 transfiere al registro 23 de STC una marca de instante de inicio de decodificación de video leída del detector 7 de marca de instante de inicio de decodificación de video (operación SP609).

10 El controlador 16 compara entonces la marca de instante de inicio de decodificación de audio leída del detector 10 de marca de instante de inicio de decodificación de audio con la marca de instante de inicio de decodificación de video leída del detector 7 de marca de instante de inicio de decodificación de video (operación SP610). Si  $DTSA \leq DTSV$ , esto significa que los datos de audio se decodifican antes que los datos de video. El cómputo de STC no puede así  
 15 iniciarse en sincronismo con una señal de sincronismo vertical. El controlador 16 repite así el envío de una instrucción de búsqueda de marca de instante de inicio de decodificación de audio al decodificador 11 de audio hasta que se cumple la condición  $DTSA > DTSV$ . Se describe a continuación con detalle la secuencia de control del decodificador 11 de audio.

20 Si han sido cargadas una marca de instante de inicio de decodificación de video y una marca de instante de inicio de decodificación de audio y  $DTSA > DTSV$ , el controlador 16 espera una señal de sincronismo vertical del circuito 22 de generación de señal de sincronismo vertical y hace que el circuito 24 de cómputo ascendente de STC funcione en sincronismo con una señal de sincronismo vertical para activar el cómputo ascendente automático del registro STC (operación SP612). El controlador 16 envía una instrucción de liberación de parada al decodificador 8 de video para  
 25 iniciar la decodificación de datos de video mientras se hace funcionar el circuito 24 de cómputo ascendente de STC (operación SP613).

La figura 19 muestra el flujo de tratamiento para datos de audio ejecutado por el controlador 16 en su estado de arranque sincronizado de audio y video. Cuando entra en el estado de arranque sincronizado de audio y video, el  
 30 controlador 16 emite una instrucción de silenciado de salida y una instrucción de búsqueda de marca de instante de inicio de decodificación de audio para el decodificador 11 de audio (operación SP700). Cuando recibe la instrucción de búsqueda de marca de instante de inicio de decodificación de audio, el decodificador 11 de audio envía una solicitud de código a la memoria intermedia 9 de código de audio, inicia la decodificación, y espera una señal procedente del detector 10 de marca de instante de inicio de decodificación de audio que indica que ha sido detectada una señal  
 35 de marca de instante de inicio de decodificación de audio. En este estado, sin embargo, el decodificador 11 de audio no emite realmente datos de decodificación debido a la instrucción de silenciamiento que ha sido recibida. El controlador 16 vigila la memoria intermedia 9 de código de audio para detectar estados de desbordamiento por defecto (operación SP701). El desbordamiento por defecto de la memoria intermedia 9 de código de audio significa que la memoria intermedia 9 de código de audio no dispone de datos a suministrar. De este modo, cuando detecta esta si-  
 40 tuación, el controlador 16 hace que se interrumpa el suministro de datos de la memoria intermedia 9 de código de audio, y permite dicho suministro nuevamente cuando se ha resuelto la situación de desbordamiento por defecto. El decodificador 11 de audio interrumpe la codificación cuando recibe una señal del detector 10 de marca de instante de inicio de decodificación de audio que indica que ha sido detectada una señal de marca de instante de inicio de deco-  
 45 dificación de audio. En este momento, el controlador 16 puede cargar la marca de instante de inicio de decodificación de audio detectada procedente del detector 10 de marca de instante de inicio de decodificación de audio (operación SP702). El estado de parada del decodificador 11 de audio puede ser liberado por el controlador 16 como se describe posteriormente.

El controlador 16 determina a continuación el estado de funcionamiento del circuito de cómputo de reloj de sistema  
 50 (STC) (operación SP703). El controlador ejecuta para el decodificador 11 de audio la misma secuencia de tratamiento que para el decodificador 8 de video si se ha activado el cómputo automático del circuito de cómputo de reloj de sistema. Es decir, el controlador 16 compara el cómputo STC más reciente cargado desde el registro 23 de STC con la marca de instante de inicio de decodificación de audio más reciente cargada desde el detector 10 de marca de instante  
 55 de inicio de decodificación de audio (operación SP704), y repite el envío de una instrucción de búsqueda de marca de instante de inicio de decodificación de audio al decodificador 11 de audio hasta que se cumple la condición  $DTSA > STC$  (operación SP705). Cuando se carga una marca de instante de inicio de decodificación de audio de un valor mayor que el valor del cómputo STC, el controlador 16 carga un nuevo valor del cómputo STC (operación SP710), espera hasta que se cumple la condición  $DTSA = STC$  (operación SP711), y envía una instrucción de liberación de  
 60 parada de decodificación al decodificador 11 de audio (operación SP712).

El controlador 16 realiza la siguiente secuencia de tratamiento para el decodificador 11 de audio si ha sido desacti-  
 65 vado el cómputo automático del circuito de cómputo de reloj de sistema. Es decir, el controlador determina que ha sido ya cargada una marca de instante de inicio de decodificación de video durante la secuencia de arranque sincronizado para el decodificador 8 de video en la figura 18 (operación SP706). Si ha sido cargada una marca de instante de inicio de decodificación de video, el controlador 16 carga dicha marca para tratamiento de arranque sincronizado para el decodificador 11 de audio (operación SP707). El controlador 16 compara subsiguientemente la marca de instante de inicio de decodificación de video cargada con una marca de instante de inicio de decodificación de audio (operación SP708), y repite el envío de una instrucción de búsqueda de marca de instante de inicio de decodificación de audio al



## ES 2 268 815 T3

decodificador 11 de audio hasta que se cumple la condición  $DTSA > DTSV$  (operación SP709). Cuando se cumple dicha condición, el valor del circuito de cómputo de reloj de sistema puede cargarse para tratamiento de arranque sincronizado para el decodificador 11 de audio en este momento, porque ha entrado en funcionamiento el circuito 24 de cómputo ascendente de STC para activar el cómputo ascendente del circuito de cómputo de reloj de sistema durante el tratamiento de arranque sincronizado para el decodificador 8 de video en la figura 18, como se ha descrito anteriormente. El controlador 16 espera subsiguientemente hasta que se cumple la igualdad  $STC = DTSA$  (operación SP711), y envía una instrucción de liberación de parada de decodificación al decodificador 11 de audio para iniciar la decodificación cuando se cumple dicha igualdad (operación SP712). Cuando finaliza el tratamiento anterior, el controlador 16 entra en el estado de espera para reproducción.

### (3-7) Estado de Arranque Sincronizado Solamente de Video

La figura 20 muestra el flujo de tratamiento ejecutado por el controlador 16 en su estado de arranque sincronizado solamente de video. Cuando entra en el estado de arranque sincronizado solamente de video, el controlador 16 ejecuta la secuencia de tratamiento requerida para iniciar solamente el tratamiento de datos de video en sincronismo con una señal de sincronismo vertical. El tratamiento realizado por el controlador 16 en el estado de arranque sincronizado solamente de video es fundamentalmente idéntico al realizado en el estado de arranque sincronizado de audio y video, con la excepción de la ausencia de la comparación de la marca de instante de inicio de decodificación de video con la marca de instante de inicio de decodificación de audio, es decir de acuerdo con la operación SP610 en la figura 18. Por consiguiente, se omitirá en este caso una descripción detallada. Como en el arranque sincronizado de audio y video, el controlador 16 instruye al decodificador 8 de video para detener la codificación y buscar una cabecera de imagen I (operación SP800).

Si el decodificador 8 de video detecta una imagen I, es decir el controlador 16 carga una marca de instante de inicio de decodificación de video (operación SP802) y ha sido desactivado el circuito de cómputo de reloj de sistema, el controlador 16 espera a continuación a que haya una cantidad suficiente de datos a almacenar en la memoria intermedia 6 de código de video. Es decir, como en el arranque sincronizado de audio y video, el controlador 16 compara la marca de instante de inicio de decodificación de video detectada con el valor SCR más reciente leído del demultiplexor 5, y espera a que se cumpla la condición  $DTSV \leq SCR$  o la recepción de una señal que indica desbordamiento por exceso de la memoria intermedia 6 de código de video, la memoria intermedia 9 de código de audio o la memoria intermedia 12 de código de diálogo superpuesto (operaciones SP806, SP807, SP808).

Para datos de audio, el controlador 16 no realiza ningún tratamiento si el decodificador 11 de audio ha iniciado ya la decodificación y, en otro caso, envía una instrucción de silenciamento de salida y una instrucción de búsqueda de marca de instante de inicio de decodificación de audio al decodificador 11 de audio para hacer que el decodificador espere la transferencia de datos de audio desde el demultiplexor 5 hasta la memoria intermedia 9 de código de audio.

Para datos de video, el controlador 16 ejecuta adicionalmente la siguiente secuencia de tratamiento. Si ha sido activado el cómputo automático del circuito de cómputo de reloj de sistema, realiza el mismo tratamiento que en el arranque sincronizado de audio y video con el cómputo automático del circuito de cómputo de reloj de sistema activado (operaciones SP804, SP805, SP814, SP815, SP816, SP817, SP818). En este momento, el controlador 16 no realiza ningún tratamiento para datos de audio.

Si ha sido desactivado el cómputo automático del circuito de cómputo de reloj de sistema, el controlador 16 realiza la misma secuencia de tratamiento que en el procedimiento de arranque sincronizado de audio y video con el cómputo automático del circuito de cómputo de reloj de sistema desactivado. En este caso, sin embargo, el controlador 16 no realiza ningún tratamiento para datos de audio, es decir no repite el envío de una instrucción de liberación de parada de decodificación al decodificador 11 de audio hasta que se cumple la igualdad  $DTSA = STC$  después de hacer que el decodificador de video inicie la decodificación.

Después de finalizar la secuencia de tratamiento anterior, el controlador 16 envía una instrucción de inicio de decodificación al decodificador de diálogo superpuesto, y entra en el estado de espera para reproducción. El controlador 16 entra en el estado de arranque sincronizado solamente de audio en la operación 804 y operaciones subsiguientes ilustradas en la figura 21 si recibe una señal del detector 10 de marca de instante de inicio de decodificación de audio que indica que ha sido detectada una marca de instante de inicio de decodificación de audio después de iniciarse la reproducción en el estado de arranque sincronizado solamente de video y entrar a continuación en el estado de espera para reproducción.

### (3-8) Estado de Arranque Sincronizado Solamente de Audio

La figura 31 muestra el flujo de tratamiento realizado por el controlador 16 en su estado de arranque sincronizado solamente de audio. Cuando entra en el estado de arranque sincronizado solamente de audio, el controlador 16 ejecuta la secuencia de tratamiento requerida para iniciar solamente el tratamiento de datos de audio en sincronismo con el circuito de cómputo de reloj de sistema. Para datos de video, el controlador no realiza ningún tratamiento si el decodificador 8 de video ha iniciado ya la decodificación y, en otro caso, envía al decodificador 8 de video una instrucción de búsqueda de cabecera de imagen I.

Cuando entra en el estado de arranque sincronizado solamente de audio, el controlador 16 envía una instrucción de silenciamiento de salida y una instrucción de búsqueda de marca de instante de inicio de decodificación de audio al decodificador 11 de audio (operación SP900). Cuando recibe la instrucción de búsqueda de marca de instante de inicio de decodificación de audio, el decodificador 11 de audio transfiere una solicitud de código a la memoria intermedia 9 de código de audio, inicia la decodificación, y espera una señal del detector 10 de marca de instante de inicio de decodificación de audio que indica que ha sido detectada una señal de marca de instante de inicio de decodificación de audio. En este estado, sin embargo, el decodificador 11 de audio no emite realmente datos decodificados debido a que ha recibido la instrucción de silenciamiento de salida. El controlador 16 vigila la memoria intermedia 9 de código de audio para detectar situaciones de desbordamiento por defecto (operación SP901). El desbordamiento por defecto de la memoria intermedia 9 de código de audio significa que dicha memoria no tiene datos que suministrar. De este modo, cuando detecta esta situación, el controlador 16 hace que se interrumpa el suministro de datos desde la memoria intermedia 9 de código de audio, y permite el suministro de datos nuevamente cuando se resuelve la situación de desbordamiento por defecto. El decodificador 11 de audio interrumpe la decodificación cuando recibe una señal del detector 10 de marca de instante de inicio de decodificación de audio que indica que ha sido detectada una señal de marca de instante de inicio de decodificación de audio. En este momento, el controlador 16 puede cargar la marca de instante de inicio de decodificación de audio detectada procedente del detector 10 de marca de instante de inicio de decodificación de audio (operación SP902). El estado de parada del decodificador 11 de audio puede ser liberado por el controlador 16 como se describe posteriormente.

El controlador 16 determina entonces el estado de funcionamiento del circuito de cómputo de reloj de sistema (operación SP903). El controlador ejecuta la siguiente secuencia de tratamiento si ha sido activado el cómputo automático ascendente del circuito de cómputo de reloj de sistema: es decir, el controlador 16 compara el cómputo STC más reciente procedente del registro 23 de STC con la marca de instante de inicio de decodificación de audio más reciente cargada por el detector 10 de marca de instante de inicio de decodificación de audio (operación SP904), y repite el envío de una instrucción de búsqueda de marca de instante de inicio de decodificación de audio al decodificador 11 de audio hasta que se cumple la condición  $DTSA > STC$  (operación SP905). Cuando se carga una marca de instante de inicio de decodificación de audio de un valor mayor que el valor del cómputo SRC, el controlador 16 carga un nuevo valor STC (operación SP913), espera hasta que se cumple la igualdad  $DTSA = STC$  (operación SP914), y envía al decodificador 11 de audio una instrucción de liberación de parada de decodificación (operación SP911).

Si ha sido desactivado el cómputo automático ascendente del circuito de cómputo de reloj de sistema, el controlador 16 espera hasta que está almacenada una cantidad de datos suficiente en la memoria intermedia 9 de código de audio cuando el detector 10 de marca de instante de inicio de decodificación de audio detecta una marca de instante de inicio de decodificación de audio. Es decir, como en el proceso anterior de espera hasta que está almacenada una cantidad suficiente de datos en la memoria intermedia 6 de código de video, el controlador 16 lee el valor SCR más reciente del demultiplexor 5 (operación SP906), compara este valor con la marca de instante de inicio de decodificación de audio leída (operación SP907), y espera hasta que se cumple la condición  $DTSA \leq SCR$  o recibe una señal que indica desbordamiento por exceso de la memoria intermedia 6 de código de video, la memoria intermedia 9 de código de audio o la memoria intermedia 12 de código de diálogo superpuesto (operación SP908). Si ha sido desactivado el cómputo automático ascendente del circuito de cómputo de reloj de sistema, el controlador 16 inicia a continuación el cómputo automático ascendente del circuito de cómputo de reloj de sistema en el mismo instante en que el decodificador de audio inicia la decodificación. Es decir, cuando detecta que está almacenada una cantidad suficiente de datos en la memoria intermedia 9 de código de audio, el controlador 16 pone en el registro 23 de STC el valor de la marca de instante de inicio de decodificación de audio detectado por el detector de marca de instante de inicio de decodificación de audio (operación SP909), y hace que el circuito 24 de cómputo ascendente de STC funcione para activar el cómputo automático ascendente del circuito de cómputo de reloj de sistema (operación SP910). Mientras hace que funcione el circuito 24 de cómputo ascendente de STC, el controlador 16 envía al decodificador 11 de audio una instrucción de liberación de parada para iniciar la decodificación de datos de audio (operación SP911).

Después de finalizar el tratamiento anterior, el controlador 16 envía una instrucción de inicio de decodificación al decodificador de diálogo superpuesto (operación SP9129) y entra en el estado de espera para reproducción. El controlador 16 entra en el estado de arranque sincronizado solamente de video en la operación 804 y operaciones subsiguientes ilustradas en la figura 20 si recibe una señal del detector 7 de marca de instante de inicio de decodificación de video que indica que ha sido detectada una marca de instante de inicio de decodificación de video después de iniciar la reproducción en el estado de arranque sincronizado solamente de audio, y entra a continuación en el estado de espera para reproducción.

### (3-9) Estado de Arranque Sincronizado Solamente de Diálogo Superpuesto

La figura 22 muestra el flujo de tratamiento ejecutado por el controlador 16 en su estado de arranque sincronizado solamente de diálogo superpuesto. Cuando entra en el estado de arranque sincronizado solamente de diálogo superpuesto, el controlador 16 ejecuta la secuencia de tratamiento requerida para iniciar el tratamiento solamente de datos de diálogo superpuesto en sincronismo con el circuito de cómputo de reloj de sistema.

Los datos de diálogo superpuesto están entre los datos de video. Sin embargo, al igual que las señales de imagen de televisión ordinarias o los datos de video codificados en conformidad con las normas ISO11172 (MPEG1) o ISO13818 (MPEG2), los datos de video utilizados por el decodificador de video del presente aparato tienen una duración de visualización en una sola pantalla comprendida aproximadamente entre 1/25 y 1/30 segundos, mientras que los datos

## ES 2 268 815 T3

de diálogo superpuesto utilizados por el presente aparato son datos de imagen en los que se visualiza la misma pantalla durante un período relativamente largo de aproximadamente un segundo o más en una sola pantalla como diálogo superpuesto sintetizado o superpuesto en películas o programas de televisión.

5 Puesto que los datos de diálogo superpuesto tienen la anterior característica, debe almacenarse una cantidad de datos de diálogo superpuesto para una sola pantalla en el medio DSM 1 de almacenamiento de datos con una tasa de transferencia menor que la correspondiente a los datos de video y audio almacenados también en dicho medio. El presente aparato, que reproduce datos almacenados de este modo, carga a través de la memoria intermedia 12 de código de diálogo superpuesto y el detector 13 de marca de instante de inicio de decodificación de datos de diálogo  
10 superpuesto, datos de diálogo superpuesto suministrados a una tasa de transferencia baja, y después de decodificar dichos datos en el decodificador 14 de datos de diálogo superpuesto, transfiere esta información al post procesador 15.

Durante el arranque sincronizado solamente de diálogo superpuesto, para datos de video, el controlador no realiza ningún tratamiento si el decodificador 8 de video ha iniciado ya la decodificación y, en otro caso, envía una instrucción  
15 de búsqueda de cabecera de imagen I al decodificador 8 de video para hacer que este último espere la transferencia de datos de video desde el demultiplexor 5 hasta la memoria intermedia 6 de código de video.

Para datos de audio, el controlador no realiza ningún tratamiento si el decodificador 11 de audio ha iniciado ya la decodificación y, en otro caso, envía una instrucción de silenciamiento de salida y una instrucción de búsqueda de  
20 marca de instante de inicio de decodificación de audio al decodificador 11 de audio para hacer que este último espere la transferencia de datos de audio desde el demultiplexor 5 hasta la memoria intermedia 9 de código de audio.

Para datos de diálogo superpuesto, si ha sido activado el cómputo automático ascendente del circuito de cómputo de reloj de sistema, el controlador 16 visualiza datos de diálogo superpuesto utilizando el mismo procedimiento de  
25 tratamiento que en el estado de espera para reproducción que se describe posteriormente. Durante el arranque sincronizado solamente de diálogo superpuesto, el controlador 16 determina en primer lugar si ha sido activado o no el cómputo del circuito de cómputo de reloj de sistema (operación SP1000). Si ha sido desactivado el cómputo automático ascendente del circuito de cómputo de reloj de sistema, el controlador, después de ejecutar la siguiente secuencia de tratamiento, visualiza datos de diálogo superpuesto utilizando el mismo procedimiento de tratamiento que en el estado  
30 de espera para reproducción descrito posteriormente: si el cómputo automático ascendente del circuito de cómputo de reloj de sistema ha sido desactivado, el controlador 16 envía una instrucción de búsqueda de marca de instante de inicio de decodificación de audio al decodificador 14 de datos de diálogo superpuesto (operación SP1001), y espera a que el detector 13 de marca de instante de inicio de decodificación de datos de diálogo superpuesto detecte una marca de instante de inicio de decodificación de datos de diálogo superpuesto (operación SP1002). El controlador carga entonces  
35 una marca de instante de inicio de decodificación de datos de diálogo superpuesto detectada (operación SP1003). En este momento, la memoria intermedia 12 de código de diálogo superpuesto puede desbordarse por exceso porque no se ha iniciado el funcionamiento del circuito de cómputo de reloj de sistema, impidiéndose así la transmisión al decodificador 14 de datos de diálogo superpuesto de una instrucción de inicio de decodificación. En consecuencia, cuando recibe una señal que indica desbordamiento por exceso de la memoria intermedia 12 de código de diálogo superpuesto  
40 (operación SP1004), el controlador 16 fija en el registro 23 de STC una marca de instante de inicio de decodificación de datos de diálogo superpuesto leída del detector 13 de marca de instante de inicio de decodificación de datos de diálogo superpuesto (operación SP1005), espera una señal de sincronismo vertical procedente del circuito 22 de generación de señal de sincronismo vertical (operación SP1006), hace que funcione el circuito 24 de cómputo ascendente de STC (operación SP1007), e inicia la decodificación de datos de diálogo superpuesto (operación SP1008). Después  
45 de finalizar la secuencia de tratamiento anterior, el controlador 16 entra en el estado de espera para reproducción.

El controlador 16 entra en el estado de arranque sincronizado solamente de video (operación SP804) si recibe una señal del detector 7 de marca de instante de inicio de decodificación de video que indica que ha sido detectada una  
50 marca de instante de inicio de decodificación de video después de iniciarse la reproducción en estado de arranque sincronizado solamente de diálogo superpuesto y entrar a continuación en el estado de espera para reproducción. El controlador 16 entra en el estado de arranque sincronizado solamente de audio (operación SP904) si recibe una señal del detector 10 de marca de instante de inicio de decodificación de audio que indica que ha sido detectada una marca de instante de inicio de decodificación de audio después de iniciar la reproducción en el estado de arranque sincronizado  
55 solamente de diálogo superpuesto y entrar a continuación en el estado de espera para reproducción. Adicionalmente, el controlador 16 entra en el estado de arranque sincronizado de audio y video en las operaciones SP604 y SP704 si recibe una señal tanto del detector 7 de marca de instante de inicio de decodificación de video, como del detector 10 de marca de instante de inicio de decodificación de audio, que indica que han sido detectadas una marca de instante de inicio de decodificación de video y una marca de instante de inicio de decodificación de audio después de iniciar la reproducción en el estado de arranque sincronizado solamente de diálogo superpuesto y entrar a continuación en el  
60 estado de espera para reproducción.

### (3-10) Estado de Espera para Reproducción

Cuando retorna al estado de espera para reproducción, el controlador 16 detecta errores en el sincronismo de video,  
65 detecta y corrige errores en el sincronismo de audio, detecta otros errores, controla el decodificador de datos de diálogo superpuesto, y comprueba el programa de reproducción.

(3-11) *Detección de Errores de Sincronismo*

Mientras el decodificador 8 de video y el decodificador 11 de audio están decodificando datos, se requieren medios para detectar y corregir la diferencia entre el instante de inicio de decodificación de datos de video y el instante de inicio de decodificación de datos de audio, es decir un error de sincronismo entre imágenes visualizadas y voces de salida, que se denomina “sincronismo de labios”.

Entre los posibles errores de sincronismo, se incluyen la diferencia entre el cómputo SPC de reloj de sistema y la marca de tiempo de inicio de decodificación de video, y la diferencia entre dicho cómputo y la marca de tiempo de inicio de decodificación de audio. Se dispone de dos métodos para la detección de errores de sincronismo. Un método consiste en detectar ambas diferencias para adoptar una acción correctora tal que se puedan eliminar sustancialmente ambas diferencias. El otro método consiste en tratar una de las diferencias como referencia mientras se detecta la otra diferencia, y adoptar una acción requerida para corregir esta diferencia.

El primer método consiste en ajustar todas las diferencias a una referencia STC especificada para corregir errores de sincronismo de datos de video con datos de audio. Adicionalmente, si la diferencia entre el cómputo STC de reloj de sistema y la marca de tiempo de iniciación de decodificación de video (DTSV) es tratada como referencia, el segundo método inicializa el valor de STC al valor de la marca DTSV periódicamente o en un intervalo de tiempo especificado para eliminar esta diferencia en un sentido matemático.

En el segundo método, la diferencia entre el valor STC y el de la marca de instante de inicio de decodificación de audio se representa como su valor original más el valor de la diferencia entre STC y DTSV. Pueden así corregirse relativamente los errores de sincronismo de datos de video, datos de audio y datos de diálogo superpuesto, eliminando solamente la diferencia asociada con la marca de instante de inicio de decodificación de audio.

En el primer método, las diferencias entre STC y DTSV y la diferencia entre STC y DTSA se detectan del modo siguiente: la figura 23 muestra el flujo de tratamiento ejecutado por el controlador 16 en el primer método de detección de error de sincronismo de video. Es decir, cuando recibe una señal del decodificador 8 de video que indica que ha sido detectada una cabecera de imagen I (operación SP2000), el controlador 16 carga la marca de instante de inicio de decodificación de video más reciente procedente del detector 7 de marca de instante de inicio de decodificación de video y un valor STC procedente del registro 23 de STC (operaciones SP2001 y SP2002), y calcula la diferencia entre DTSV y STC, es decir (DTSV - STC) (operación SP2003) para almacenar el resultado en el dispositivo 20 de almacenamiento.

La figura 24 muestra el flujo de tratamiento ejecutado por el controlador 16 en el primer método de detección de error de sincronismo de audio. Cuando recibe una señal del detector 10 de marca de instante de inicio de decodificación de audio que indica que ha sido detectada una marca de instante de inicio de decodificación de audio (operación SP3000), el controlador 16 carga el valor DTSA más reciente, procedente del detector 10 de marca de instante de inicio de decodificación de audio, y un valor STC procedente del registro 23 de STC (operaciones SP3001, SP3002), y calcula la diferencia entre los valores DTSA y STC, es decir (DTSA - STC) (operación SP3003), para almacenar el resultado en el dispositivo 20 de almacenamiento (operación SP3004).

La figura 25 muestra el flujo de tratamiento ejecutado por el controlador 16 en el segundo método de detección de error de sincronismo de video. Cuando recibe una señal del decodificador 8 de video que indica que ha sido detectada una cabecera de imagen I (operación SP4000), el controlador 16 carga el valor DTSV más reciente, procedente del detector 7 de marca de instante de inicio de decodificación de video, y un valor STC procedente del registro 23 de STC (operaciones SP4001, SP4002), y calcula el valor absoluto de la diferencia entre DTSV y STC, es decir  $|DTSV - STC|$  (operación SP4003). El controlador compara entonces el valor  $|DTSV - STC|$  con un valor especificado (operación SP4004), y fija el valor de la marca DTSV en el registro 23 de STC si  $|DTSV - STC|$  es igual o menor que el valor especificado (operación SP4005). Si  $|DTSV - STC|$  supera el valor especificado, el controlador determina que se está produciendo un valor de sincronismo importante y que no puede utilizarse como referencia el valor DTSV, y borra la memoria intermedia 6 de código de video y la memoria intermedia 9 de código de audio para entrar en el estado de arranque sincronizado de audio y video (operación SP4007). El dispositivo 20 de almacenamiento almacena un valor “0” como (DTSV - STC) si  $|DTSV - STC|$  es igual o inferior al valor especificado (operación SP4006).

La figura 24 muestra también el flujo de tratamiento ejecutado por el controlador 16 en el segundo método de detección de error de sincronismo de audio. Es decir, cuando recibe una señal del detector 10 de marca de instante de inicio de decodificación de audio que indica que ha sido detectada una marca de instante de inicio de decodificación de audio (DTSA), el controlador 16 carga el valor DTSA más reciente, procedente del detector 10 de marca de instante de inicio de decodificación de audio, y un valor STC procedente del registro 23 de STC. Calcula a continuación la diferencia entre los valores de DTSA y STC, es decir (DTSA - STC), para almacenar el resultado en el dispositivo 20 de almacenamiento.

Pueden utilizarse también circuitos tales como un sumador, un substractor y un comparador para hacer que el controlador 16 establezca los valores del circuito de cómputo de reloj de sistema (STC), de la marca de instante de inicio de decodificación de video (DTSV), y de la marca de instante de inicio de decodificación de audio (DTSA), y lea el resultado del cálculo si el controlador debe emplear una gran cantidad de tiempo calculando (DTSV - STC), (DTSA - STC), y  $|DTSV - STC|$  utilizando programas.

## ES 2 268 815 T3

### (3-12) Corrección de Errores de Sincronismo

Se describe a continuación la corrección de errores de sincronismo asociados con la marca de instante de inicio de decodificación de video y la marca de instante de inicio de decodificación de audio, que se utiliza usualmente en ambos métodos de detección de error de sincronismo. La figura 26 muestra el flujo de tratamiento ejecutado por el controlador 16 en la corrección de errores de sincronismo asociados con la marca de instante de inicio de decodificación de video. Cuando se almacena una nueva diferencia (DTSV - STC) en el dispositivo 20 de almacenamiento (operación SP5000), el controlador 16 carga este valor (operación SP5001). Si  $(DTSV - STC) = 0$ , el controlador no adopta ninguna acción correctora para el decodificador 8 de video (operación SP5002). El post procesador 15 compara entonces el valor absoluto de  $(DTSV - STC)$  con un valor especificado (operación SP5003). Si el valor absoluto de  $(DTSV - STC)$  es grande y supera el valor especificado, el controlador 16 determina que se está produciendo un error de sincronismo importante, y borra la memoria intermedia 6 de código de video y la memoria intermedia 9 de código de audio (operación SP5004) para entrar en el estado de arranque sincronizado de audio y video. Si el valor absoluto de  $(DTSV - STC)$  no supera el valor especificado, determina si el valor DTSV es positivo o negativo (operación SP5006). Si  $(DTSV - STC) > 0$ , la decodificación de datos de video ha progresado con relación al valor STC. El controlador 16 instruye así al decodificador 8 de video para detener la decodificación durante un número de imágenes adecuado correspondiente a la magnitud de  $|DTSV - STC|$  y para repetir la visualización de la misma imagen (operación SP5007). Si  $(DTSV - STC) < 0$ , la decodificación de datos de video se retarda con relación al cómputo STC, de modo que el controlador instruye al decodificador 8 de video para saltar un número adecuado de imágenes correspondiente a la magnitud de  $|DTSV - STC|$  (operación SP5008).

En este caso, si se saltan imágenes I e imágenes P, los datos de imagen no pueden ser decodificados correctamente hasta la siguiente imagen I, porque las imágenes están comprimidas utilizando el método de correlación ínter cuadros en conformidad con las normas ISO11172 (MPEG1) o ISO13818 (MPEG2). El controlador 16 instruye así al decodificador 8 de video para saltar solamente imágenes B que no se utilizan como imágenes de referencia para la decodificación de imágenes subsiguientes y pueden ser así saltadas con seguridad.

La figura 27 muestra el flujo de tratamiento ejecutado por el controlador 16 para corregir errores de sincronismo asociados con la marca de instante de inicio de decodificación de audio (DTSA). Cuando se almacena una nueva diferencia (DTSA - STC) en el dispositivo 20 de almacenamiento (operación SP6000), el controlador 16 carga este valor (operación SP6001). Si  $(DTSA - STC) = 0$ , el controlador 16 no toma ninguna acción correctora para el decodificador 11 de audio (operación SP6002). El controlador 16 compara entonces el valor absoluto de  $(DTSA - STC)$  con un valor especificado (operación SP6003). Si el valor absoluto de  $(DTSA - STC)$  es grande y supera el valor especificado, el controlador 16 determina que se está produciendo un error de sincronismo importante y borra la memoria intermedia 6 de código de video y la memoria intermedia 9 de código de audio (operación SP6004) para entrar en el estado de arranque sincronizado de audio y video. Si el valor absoluto de  $(DTSA - STC)$  no supera el valor especificado, el controlador 16 determina si DTSA es positivo o negativo (operación SP6006). Si  $(DTSA - STC) > 0$ , la decodificación de datos de audio ha avanzado con respecto al cómputo STC. El controlador 16 instruye así al decodificador 11 de audio para detener la codificación durante un número adecuado de imágenes correspondiente a la magnitud de  $|DTSA - STC|$  y para repetir la decodificación de datos de audio (operación SP6007). Si  $(DTSA - STC) < 0$ , la decodificación de datos de audio está retardada con relación al cómputo STC, de modo que el controlador instruye al decodificador 11 de audio para saltar datos de audio durante un período adecuado correspondiente a la magnitud de  $|DTSA - STC|$  (operación SP6008).

En el anterior procedimiento de detección y corrección de errores de sincronismo, el controlador 16 puede instruir al dispositivo 19 de visualización de información y al post procesador 15 para encender un piloto luminoso que indica que se ha perdido una cantidad sustancial de datos de video, y para visualizar esta situación en la pantalla si determina que se está produciendo un error de sincronismo importante (operaciones SP5006, SP6005).

### (3-13) Detección de Error

Aunque los datos leídos del medio DSM 1 de almacenamiento de datos tienen errores corregidos por el dispositivo 3 de corrección de error, si es el caso, pueden ser transmitidos al decodificador 8 de video, al decodificador 11 de audio o al decodificador 14 de datos de diálogo superpuesto, datos que contienen una gran cantidad de datos de error a través del demultiplexor 5 sin tener los errores totalmente corregidos. En este caso, marcas indicadoras de error contenidas en datos de error permiten al decodificador 8 de video, al decodificador 11 de audio y al decodificador 14 de datos de diálogo superpuesto detectar los errores.

Adicionalmente, puesto que tanto el decodificador 8 de video como el decodificador 11 de audio decodifican datos de video o audio en conformidad con las normas ISO11172 (MPEG1) o ISO13818 (MPEG2), pueden detectar errores intentando encontrar errores incoherentes con esta sintaxis. En cualquier caso, cuando detectan un error, el decodificador 8 de video, el decodificador 11 de audio y el decodificador 14 de datos de diálogo superpuesto envían una señal al controlador 16 informando de la presencia del error.

Si es detectado un error de decodificación en el decodificador 8 de video o en el decodificador 11 de audio, pueden haberse perdido datos de video o datos de audio, y falla así el sincronismo de las imágenes visualizadas con las voces de salida si se continúa la reproducción. Tal error de sincronismo puede ser corregido por el método anterior de detección y corrección de error de sincronismo. Adicionalmente a la corrección de errores de sincronismo, el controlador 16

## ES 2 268 815 T3

puede contar la frecuencia de los errores para comprender las condiciones de generación de errores en el disco. Esto permite modificar el algoritmo de corrección del dispositivo 3 de corrección de error o notificar al usuario dichas condiciones.

5 El controlador 16 calcula la frecuencia de errores que se producen en el disco, o en la pista, o dentro del período especificado anterior, contando el número de señales recibidas que informan de la presencia de un error. Específicamente, están dispuestas tres regiones de almacenamiento de frecuencia de error en el dispositivo 20 de almacenamiento: una región de almacenamiento de frecuencia de errores en disco, una región de almacenamiento de frecuencia de errores en pista, y una región de almacenamiento de frecuencia de errores en tres segundos, y estas regiones funcionan como  
10 contadores. Las figuras 28, 29 y 30 muestran el flujo de tratamiento ejecutado por el controlador 16 para detectar errores utilizando cada uno de los contadores. La región de almacenamiento de frecuencia de errores en disco es repuesta cuando se pasa del estado de parada al estado de preparación para reproducción, la región de almacenamiento de frecuencia de errores en pista es también repuesta cuando se pasa del estado de parada al estado de preparación para reproducción y se reproduce la nueva pista, y la región de almacenamiento de frecuencia de errores en tres segundos es repuesta también cuando se pasa del estado de parada al estado de preparación para reproducción también cada tres segundos (operaciones SP7000, SP7003, SP8000, SP8003, SP8004, SP9000, SP9003, SP9004).

Si el controlador 16 recibe una señal de error del decodificador 8 de video, del decodificador 11 de audio o del decodificador 14 de datos de diálogo superpuesto (operaciones SP7001, SP8001, SP9001), suma 1 a cada uno de  
20 los valores almacenados en las regiones de almacenamiento de frecuencia de errores en disco, pista y período de tres segundos (operaciones SP7002, SP8002, SP9002). Después de la suma, si el valor contenido en la región de almacenamiento de frecuencia de errores en disco supera el umbral predeterminado, el controlador 16 determina que el medio DSM 1 de almacenamiento de datos que se está reproduciendo tiene un gran número de defectos (operación SP7004) para entrar en el estado de parada.

25 Si el valor contenido en la región de almacenamiento de frecuencia de errores en pista supera el umbral predeterminado (operación SP8005), el controlador 16 determina que esta pista tiene un gran número de defectos, y suspende la reproducción de la pista para iniciar la reproducción de la pista siguiente (operaciones SP8006, SP8007). Sin embargo, suspende la reproducción para entrar en el estado de parada si encuentra en los datos de tabla de contenidos que no existen los datos siguientes. Si el valor contenido en la región de almacenamiento de frecuencia de errores en tres segundos supera el umbral predeterminado (operación SP9005), el controlador 16 instruye al decodificador 8 de video y al decodificador 14 de datos de diálogo superpuesto para interrumpir la visualización de la pantalla, y al decodificador 11 de audio para silenciar las salidas durante los siguientes tres segundos (operación SP9006).

### 35 (3-14) Identificación de Pistas Reproducidas

En el estado de espera para reproducción, el controlador 16 carga datos de número de sector del demultiplexor 5 cuando recibe una señal de este último que indica que han sido detectados números de sector. El controlador 16 compara los datos de número de sector cargados con los números de sector de inicio y final de cada pista en los  
40 datos de tabla de contenidos ilustrados en la figura 5, para detectar si los números de sector leídos del demultiplexor 5 pertenecen o no a esa pista. Si los números no pertenecen a la pista que se está reproduciendo en ese momento, el controlador 16 instruye al dispositivo 19 de visualización de información y al post procesador 15 para encender un piloto luminoso que indica el hecho de que la pista reproducida y/o el número de la pista reproducida han sido cambiados, y para visualizar esta información en la pantalla.

45 Adicionalmente, el controlador 16 instruye al demultiplexor 5 para interrumpir el demultiplexado si detecta que ha finalizado la reproducción de la pista final. El controlador 16 espera subsiguientemente una señal de error de desbordamiento por defecto que indica que la decodificador 8 de video, la decodificador 11 de audio y la memoria intermedia 12 de código de diálogo superpuesto han quedado todas vacías, y entra a continuación en el estado de  
50 parada.

En el estado de preparación para reproducción, el controlador 16 carga datos de subcódigo del decodificador 21 de subcódigo como cuando se cargan números de sector del demultiplexor 5. Como en el caso de los datos de número de sector leídos del demultiplexor 5, el controlador 16 compara los datos de subcódigo cargados con los números de sector de inicio y final de cada pista en los datos de tabla de contenidos ilustrados en la figura 5, para identificar el número de  
55 la pista para la cual se están aplicando en ese momento los datos como entrada al dispositivo 3 de corrección de error. Si la pista identificada difiere de la pista que se está reproduciendo en ese momento y si el usuario ha especificado la reproducción en un orden no consecutivo, el controlador 16 entra en el estado de preparación para reproducción para reproducir la siguiente pista que ha de reproducirse en ese orden.

60 En el estado de preparación para reproducción, el controlador 16 entra en el estado de parada si recibe una instrucción de parada del dispositivo 18 de entrada de usuario o de la interfaz externa 17. En el estado de espera para reproducción, el controlador 16 entra en el estado de búsqueda si recibe una instrucción de búsqueda del dispositivo 18 de entrada de usuario o de la interfaz externa 17. En el estado de espera para reproducción, el controlador 16 entra en el estado de pausa si recibe una instrucción de pausa del dispositivo 18 de entrada de usuario o de la interfaz externa  
65 17.

(3-15) *Control del Decodificador de Datos de Diálogo Superpuesto*

Están codificados en cada pantalla datos de diálogo superpuesto. Está almacenada una marca de instante de inicio de decodificación de datos de diálogo superpuesto (DTSS) en la cabecera de datos de diálogo superpuesto contenida en los datos de entrada inicial para la pantalla de diálogo superpuesta. Está almacenado un valor de duración de período, que indica la duración de visualización de una pantalla de diálogo superpuesto al comienzo de dicha pantalla, en cada dato de diálogo superpuesto. La marca de instante de inicio de decodificación de datos de diálogo superpuesto está almacenada exclusivamente en cabeceras de datos de diálogo superpuesto en los datos de entrada inicial para cada pantalla de diálogo superpuesto. Los datos de entrada inicial para una pantalla de diálogo superpuesto pueden encontrarse buscando la marca de instante de inicio de decodificación de datos de diálogo superpuesto.

La figura 31 muestra el flujo de tratamiento ejecutado por el controlador 16 para controlar el decodificador de datos de diálogo superpuesto en el estado de espera para reproducción. En el estado de espera para reproducción, el controlador 16 comprueba el instante de inicio de decodificación cuando recibe una señal de detección de marca de instante de inicio de decodificación de datos de diálogo superpuesto del detector 25 de marca de instante de inicio de decodificación de datos de diálogo superpuesto. El controlador lee en primer lugar la marca de instante de inicio de decodificación de datos de diálogo superpuesto detectada por el detector 25 de marca de instante de inicio de decodificación de datos de diálogo superpuesto y el valor en curso del cómputo STC contenido en el registro 23 de STC (operaciones SP33, SP34). Compara entonces la marca de instante de inicio de decodificación de datos de diálogo superpuesto leída con este valor STC (operación SP35). Si  $DTSS < STC$ , determina que ha faltado la temporización de decodificación, y borra la memoria intermedia de datos de diálogo superpuesto (operación SP43). El controlador envía entonces una instrucción de búsqueda de marca de instante de inicio de decodificación de datos de diálogo superpuesto al detector 25 de marca de instante de inicio de decodificación de datos de diálogo superpuesto y al decodificador 14 de datos de diálogo superpuesto (operación SP30). Espera a continuación una señal de detección de marca de instante de inicio de decodificación de datos de diálogo superpuesto procedente del detector 25 de marca de instante de inicio de decodificación de datos de diálogo superpuesto (operación SP31) y, si se detecta una marca de instante de inicio de decodificación de datos de diálogo superpuesto, comprueba el instante de inicio de decodificación para la siguiente pantalla de diálogo superpuesto.

Si  $DTSS = STC$ , el controlador 16 determina que deberá iniciarse la decodificación y envía una instrucción para decodificar datos para una sola pantalla. Adicionalmente, si  $DTSS > STC$ , realiza la misma operación cuando se cumple la igualdad de  $DTSS = STC$  después de determinar que es demasiado pronto para iniciar la decodificación (operaciones SP36, SP37, SP38, SP39). Cuando recibe la instrucción para decodificar datos para una sola pantalla, el decodificador 14 de datos de diálogo superpuesto decodifica datos de diálogo superpuesto para una sola pantalla, cuyos datos se obtienen de la memoria intermedia 12 de código de diálogo superpuesto a través del detector 25 de marca de instante de inicio de decodificación de datos de diálogo superpuesto, y retiene los datos en su memoria interna de cuadros. Inicia entonces la salida de datos hacia el post procesador 15.

Adicionalmente, el controlador 16 espera hasta que se cumple la condición  $DTSS + periodo > STC$  (operaciones SP40, SP41). Durante esta operación, continúa visualizándose la pantalla de diálogo superpuesto. Cuando se cumple la condición  $DTSS + periodo > STC$ , el controlador envía una instrucción de interrupción de visualización al decodificador 14 de datos de diálogo superpuesto (operación SP42) para finalizar la visualización de la pantalla de diálogo superpuesto. La marca de instante de inicio de decodificación de datos de diálogo superpuesto correspondiente a los datos de entrada inicial para la siguiente pantalla de diálogo superpuesto, puede ser detectada mientras el controlador 16 está esperando hasta que se cumple la condición  $DTSS + periodo > STC$ . En este caso, el controlador no realiza ningún tratamiento hasta que se cumple la condición  $DTSS + periodo > STC$ , para hacer que finalice la visualización de la pantalla de diálogo superpuesto.

Después de finalizar la visualización de la pantalla de diálogo superpuesto, el controlador lee la marca de instante de inicio de decodificación de datos de diálogo superpuesto para la siguiente pantalla de diálogo superpuesto del detector 25 de marca de instante de inicio de decodificación de datos de diálogo superpuesto, para comprobar el instante de inicio de decodificación si la marca de instante de inicio de decodificación de datos de diálogo superpuesto correspondiente a los datos de entrada inicial para la siguiente pantalla de diálogo superpuesto es detectada mientras el controlador 16 está esperando a que se cumpla la condición  $DTSS + periodo > STC$ .

Si el controlador 16 está esperando que se cumpla la igualdad  $DTSS = STC$  después de cargar la marca DTSS y determinar que su valor es mayor que STC, puede ser enviada una señal de detección de imagen I desde el decodificador 8 de video y la marca DTSV correspondiente a esta imagen I puede hacer que se reponga el registro de STC. El cómputo ascendente del circuito de cómputo de reloj de sistema puede entonces convertirse en discontinuo para llegar a la condición  $DTSS < STC$ , impidiendo así que se establezca la igualdad  $DTSS = STC$  mientras el controlador está en el estado de espera.

De este modo, si se cumple la condición  $DTSS < STC$  (operación SP37) siendo  $(STC - DTSS)$  menor que un valor de umbral, por ejemplo el valor del periodo, mientras el controlador está esperando a que se cumpla la igualdad de ambos valores después de determinar que DTSS es mayor que STC, esta pantalla de diálogo superpuesto deberá ser aun visualizada, y el decodificador 14 de datos de diálogo superpuesto puede ser forzado a iniciar la decodificación para una sola pantalla. Sin embargo, si la diferencia  $(STC - DTSS)$  es grande, el controlador 16 determina que se está produciendo un error de sincronismo importante y envía una instrucción de búsqueda DTSS al decodificador 14

de datos de diálogo superpuesto y al detector 25 de marca de instante de inicio de decodificación de datos de diálogo superpuesto (operación SP30). Cuando se detecta una marca de instante de inicio de decodificación de datos de diálogo superpuesto, comprueba el instante de inicio de decodificación para esta pantalla de diálogo superpuesto.

### 5 (3-16) Estado de Búsqueda

El estado de búsqueda es una operación para reproducir solamente las imágenes I de datos de video que aparecen en un intervalo especificado y saltar las imágenes P y B entre las imágenes I, en vez de reproducirlas para reproducir datos de video almacenados en el medio DSM 1 de almacenamiento de datos en un tiempo menor que en la reproducción normal. Se hace referencia a la visualización selectiva de imágenes I solamente en la misma dirección que en la reproducción normal, como búsqueda en avance, mientras que se hace referencia a la visualización selectiva de imágenes I en la dirección inversa a la de reproducción normal, es decir en la dirección en la cual el instante de reproducción experimenta un avance secuencial, como búsqueda en retroceso.

La figura 32 muestra el flujo de tratamiento ejecutado por el controlador 16 en su estado de búsqueda. Cuando entra en el estado de búsqueda, el controlador 16 envía una señal al decodificador 8 de video que indica que ha entrado en el estado de búsqueda (operación SP50). Cuando recibe la señal que indica que se ha entrado en el estado de búsqueda, el decodificador 8 de video decodifica solamente los datos de imágenes I de los datos cargados por el detector 7 de marca de instante de inicio de decodificación de video, y salta los otros datos, es decir los datos de imágenes P y B, en vez de decodificarlos. Las imágenes I decodificadas son visualizadas inmediatamente después de su decodificación.

El controlador instruye también al decodificador 11 de audio para interrumpir la decodificación y para silenciar los sonidos de salida, e instruye también al decodificador 14 de datos de diálogo superpuesto para interrumpir la decodificación y las salidas de decodificación (operaciones SP51, SP52). Esto evita la reproducción durante la búsqueda de datos de audio y datos de diálogo superpuesto.

En el estado de búsqueda, para la búsqueda en avance, el controlador 16 instruye a la memoria intermedia 12 de código de diálogo superpuesto para realizar un salto de pista en la dirección de avance del captador, mientras que para la búsqueda inversa, instruye a la unidad 2 de disco para ejecutar un salto de pista inverso (operación SP53). En respuesta a una instrucción de salto de pista en avance o en retroceso, la unidad 2 de disco hace que el captador se desplace de tal modo que, para la instrucción de salto de pista en avance, pueden leerse datos de un número de sectores grande con relación a la posición en curso del captador, mientras que para la instrucción de salto de pista en retroceso, pueden leerse datos de un número pequeño de sectores con relación a la misma posición.

La cantidad de desplazamiento del captador durante el salto de pista no necesita ser especificada con precisión. Es decir, a diferencia de una instrucción de búsqueda en la que el número del sector al cual deberá desplazarse el captador está especificado rígidamente, estas instrucciones no requieren una especificación exacta de la magnitud del salto debido a la combinación del medio DSM 1 de almacenamiento de datos y la unidad 2 de disco que puede designar solamente una dirección de desplazamiento aproximada y un grado de desplazamiento aproximado cuando se desea que el salto sea rápido e implique una gran cantidad de desplazamiento.

Cuando el desplazamiento del captador finaliza y se cargan a continuación en el dispositivo de corrección de error los datos presentes en la posición a la cual se ha desplazado el captador, se cargan datos de subcódigo en el decodificador 21 de subcódigo en el formato ilustrado en la figura 2. El controlador 16 carga datos de número de sector y una marca indicadora de inhibición de reproducción de los datos de subcódigo cargados en el decodificador 21 de subcódigo (operación SP54).

Si la marca indicadora de inhibición de reproducción cargada está activada (operación SP55), es decir indica que está inhibida la reproducción, el controlador 16 determina que, después del salto de pista, el captador ha entrado en una zona de avance de entrada, una zona de avance de salida o una zona de tabla de contenidos, y entra en el estado de parada. En otro caso, los datos multiplexados correspondientes al número de sector leído después del salto de pista son suministrados al decodificador 8 de video, al decodificador 11 de audio y al decodificador 14 de datos de diálogo superpuesto.

Puesto que el decodificador 8 de video está en el estado de búsqueda, busca una cabecera de imagen I para reproducir solamente imágenes I. Cuando detecta una cabecera de imagen I, el decodificador 8 de video envía una señal al controlador 16 informando de que ha sido detectada una cabecera de imagen I, y decodifica rápidamente la imagen I para presentarla como salida inmediatamente después de completarse la decodificación. Si detecta a continuación una cabecera de imagen P o B, informa al controlador 16 de la detección e inicia la búsqueda de la siguiente cabecera de imagen I, en vez de decodificar los datos de imagen P o los datos de imagen B.

Cuando entra en el estado de búsqueda, el controlador 16 inicia la espera de una señal procedente del decodificador 8 de video, que informa que ha sido detectada una cabecera de imagen I (operación SP56). Cuando recibe una señal de detección de cabecera de imagen I, inicia la espera de una señal siguiente de detección de cabecera de imagen P o B (operación SP58). Cuando recibe una señal de detección de cabecera de imagen P o B, el controlador 16 determina que ha finalizado la decodificación de la imagen I. Nuevamente, para la búsqueda en avance, el controlador 16 instruye a la unidad 2 de disco para ejecutar un salto de pista del captador en la dirección de avance, mientras que para la búsqueda



## ES 2 268 815 T3

inversa instruye a la unidad 2 de disco para provocar un salto de pista del captador en la dirección de retroceso, con el fin de repetir el estado de búsqueda anterior (operación SP53).

En el estado de búsqueda, se cargan datos de audio y datos de diálogo superpuesto en la memoria intermedia 9 de código de audio y en la memoria intermedia 12 de código de diálogo superpuesto, respectivamente. Sin embargo, puesto que el decodificador 11 de audio y el decodificador 14 de datos de diálogo superpuesto han interrumpido la decodificación, la memoria intermedia 9 de código de audio y/o la memoria intermedia 12 de código de diálogo superpuesto pueden desbordarse por exceso, evitando así la transferencia de datos desde el demultiplexor 5 hasta la memoria intermedia 6 de código de video, la memoria intermedia 9 de código de audio y la memoria intermedia 12 de código de diálogo superpuesto.

En consecuencia, en el estado de búsqueda, el controlador 16 borra periódicamente la memoria intermedia 9 de código de audio y la memoria intermedia 12 de código de diálogo superpuesto. Por ejemplo, borra estas memorias intermedias cada vez que recibe una señal de detección de cabecera de imagen I, P o B del decodificador 8 de video (operaciones SP57, SP58). En el estado de búsqueda, el controlador 16 entra en el estado de determinación de método de arranque sincronizado si recibe una instrucción de liberación de operación de búsqueda del dispositivo 18 de entrada de usuario o de la interfaz externa 17. En el estado de búsqueda, el controlador 16 entra en el estado de parada si recibe una instrucción de parada del dispositivo 18 de entrada de usuario o de la interfaz externa 17.

### (3-17) Estado de Pausa

La figura 33 muestra el flujo de tratamiento ejecutado por el controlador 16 en su estado de pausa. Cuando entra en el estado de pausa, el controlador 16 inicia la espera de una señal de sincronismo vertical procedente del generador de señal de sincronismo vertical (operación SP70). Cuando detecta una señal de sincronismo vertical, envía una instrucción de parada al decodificador 8 de video y una instrucción de interrupción de decodificación al decodificador 11 de audio, y simultáneamente instruye al circuito de cómputo de STC para abortar el cómputo automático ascendente del circuito de cómputo de reloj de sistema (operaciones SP71, SP72, SP73).

Cuando recibe una instrucción de parada, el decodificador 8 de video detiene la decodificación y continúa visualizándose la última pantalla decodificada. En este caso, si la imagen que se está decodificando es una imagen entrelazada en la que una sola pantalla comprende dos campos con una diferencia temporal, el decodificador 8 de video selecciona uno de los campos de orden impar y de orden par que forman esta imagen para visualizar el campo seleccionado incluso cuando deba visualizarse el otro campo, limitando así el efecto de fluctuación de la imagen. Cuando recibe una instrucción de interrupción de decodificación, el decodificador 11 de audio aborta inmediatamente la decodificación.

En el estado de pausa, si se visualiza una pantalla de diálogo superpuesto en el momento en que se ha pasado del estado de reproducción normal al estado de pausa, esta pantalla continúa visualizándose. En otro caso, no se visualiza ninguna pantalla de diálogo superpuesto. En el estado de pausa, cuando recibe una instrucción de liberación de pausa del dispositivo 18 de entrada de usuario o de la interfaz externa 17, el controlador 16 inicia la espera de una señal de sincronismo vertical procedente del generador de señal de sincronismo vertical (operaciones SP74, SP75). Cuando detecta una señal de sincronismo vertical, el controlador envía una instrucción de liberación de pausa al decodificador 8 de video y una instrucción de inicio de decodificación al decodificador 11 de audio, e instruye simultáneamente al circuito de cómputo de STC para iniciar el cómputo automático ascendente del circuito de cómputo de reloj de sistema (operaciones SP76, SP77, SP78). El controlador 16 entra subsiguientemente en el estado de reproducción normal.

En el estado de pausa, el controlador 16 entra en el estado de alimentación de cuadro si recibe una instrucción de alimentación de cuadro del dispositivo 18 de entrada de usuario o de la interfaz externa 17. La figura 34 muestra el flujo de tratamiento ejecutado por el controlador 16 en su estado de alimentación de cuadro. Cuando entra en el estado de alimentación de cuadro, el controlador 16 ordena en primer lugar el borrado de la memoria intermedia 9 de código de audio (operación SP90). Esto se hace para evitar el desbordamiento por defecto de la memoria intermedia 9 de código de audio durante la siguiente decodificación de una pantalla individual por el decodificador de video.

El controlador fuerza a continuación al decodificador 8 de video para decodificar un solo cuadro. Es decir, el controlador espera una señal de sincronismo vertical procedente del circuito 22 de generación de señal de sincronismo vertical (operación SP91), envía una instrucción de inicio de decodificación al decodificador 8 de video en respuesta a una señal de sincronismo vertical (operación SP92), y emite una instrucción de parada en respuesta a la siguiente señal de sincronismo vertical (operaciones SP93, SP94). El controlador hace avanzar entonces un cuadro el cómputo de STC (operación SP95). Es decir, el controlador 16 lee un valor STC del registro 23 de STC para sumar un cuadro de tiempo de visualización a dicho valor, y a continuación almacena el resultado en retorno al registro 23 de STC. El controlador 16 determina entonces si el dispositivo 18 de entrada de usuario o la interfaz externa 17 están o no emitiendo una instrucción de liberación de alimentación de cuadro (operación SP96), y si no es así, repite la secuencia de tratamiento anterior.

En este caso, el controlador 16 realiza la siguiente secuencia de tratamiento para la pantalla de diálogo superpuesto como en el estado de reproducción normal: si se está visualizando una pantalla de diálogo superpuesto, envía una instrucción de interrupción de visualización al decodificador 14 de datos de diálogo superpuesto cuando se cumple la condición  $DTSS + periodo > STC$ , finalizando así la visualización de la pantalla de diálogo superpuesto. En otro caso, instruye al decodificador 14 de datos de diálogo superpuesto para visualizar la siguiente pantalla de diálogo

## ES 2 268 815 T3

superpuesto cuando se cumple la condición  $DTSS < STC$ . Después de finalizar la secuencia de tratamiento anterior, el controlador 16 pasa del estado de alimentación de cuadro al estado de pausa.

5 Como se ha descrito anteriormente, este invento implementa un aparato de reproducción de datos y un medio de almacenamiento de datos para reproducir datos multiplexados con video, audio, y datos de diálogo superpuestos comprimidos con una tasa de compresión variable, y para realizar diversas funciones.

### **Aplicabilidad industrial**

10 El medio de almacenamiento de datos descrito en la presente memoria es aplicable a discos de video digital (DVDS) en los que se almacenan cadenas de bits comprimidas utilizando la norma MPEG. Adicionalmente, el aparato de reproducción de datos de acuerdo con el presente invento es aplicable a dispositivos de reproducción para reproducir tales discos DVD.

15

20

25

30

35

40

45

50

55

60

65

REIVINDICACIONES

1. Un aparato de reproducción de datos que tiene al menos uno de los siguientes elementos: un dispositivo de corrección de error, una memoria intermedia de anillo, una memoria intermedia de código de video, una memoria intermedia de código de audio y una memoria intermedia de código de diálogo superpuesto, que comprende: medios para probar el funcionamiento de la memoria contenida en al menos dicho dispositivo de corrección de error, dicha memoria intermedia de anillo, dicha memoria intermedia de código de video, dicha memoria intermedia de código de audio y dicha memoria intermedia de código de diálogo superpuesto; y medios de control para conmutar el procesamiento subsiguiente de acuerdo con los resultados de dicha prueba de funcionamiento de memoria.

2. Un aparato de reproducción de datos de acuerdo con la reivindicación 1ª, que tiene medios para informar al usuario de la presencia de un error cuando es detectado durante dicha prueba de funcionamiento de memoria.

3. Un aparato de reproducción de datos de acuerdo con la reivindicación 1ª, en el que dichos medios de control no aceptan instrucciones subsiguientes del usuario y/o bloquean la reproducción de datos si se detecta un error durante dicha prueba de funcionamiento de memoria.

4. Un aparato de reproducción de datos de acuerdo con la reivindicación 1ª que está alimentado por una fuente de potencia, en el que dichos medios de control para conmutar el procesamiento subsiguiente de acuerdo con los resultados de dicha prueba de funcionamiento de memoria actúan para desconectar la fuente de potencia de dicho aparato durante un periodo de tiempo especificado si se está produciendo un error en dicha memoria, y para bloquear la respuesta del aparato de reproducción a todas las entradas externas con la excepción de una instrucción de descarga de medio de registro.

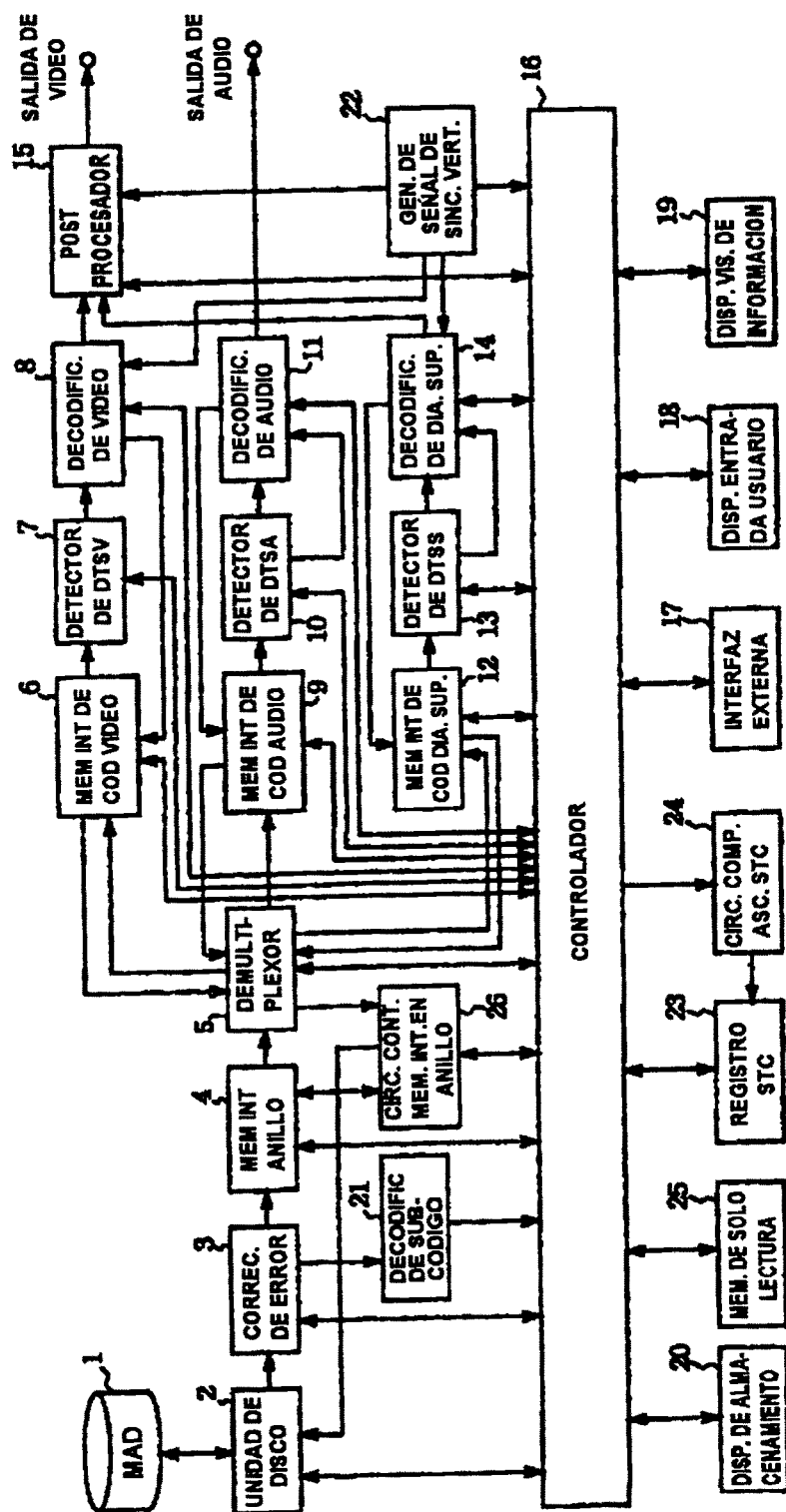


FIG. 1

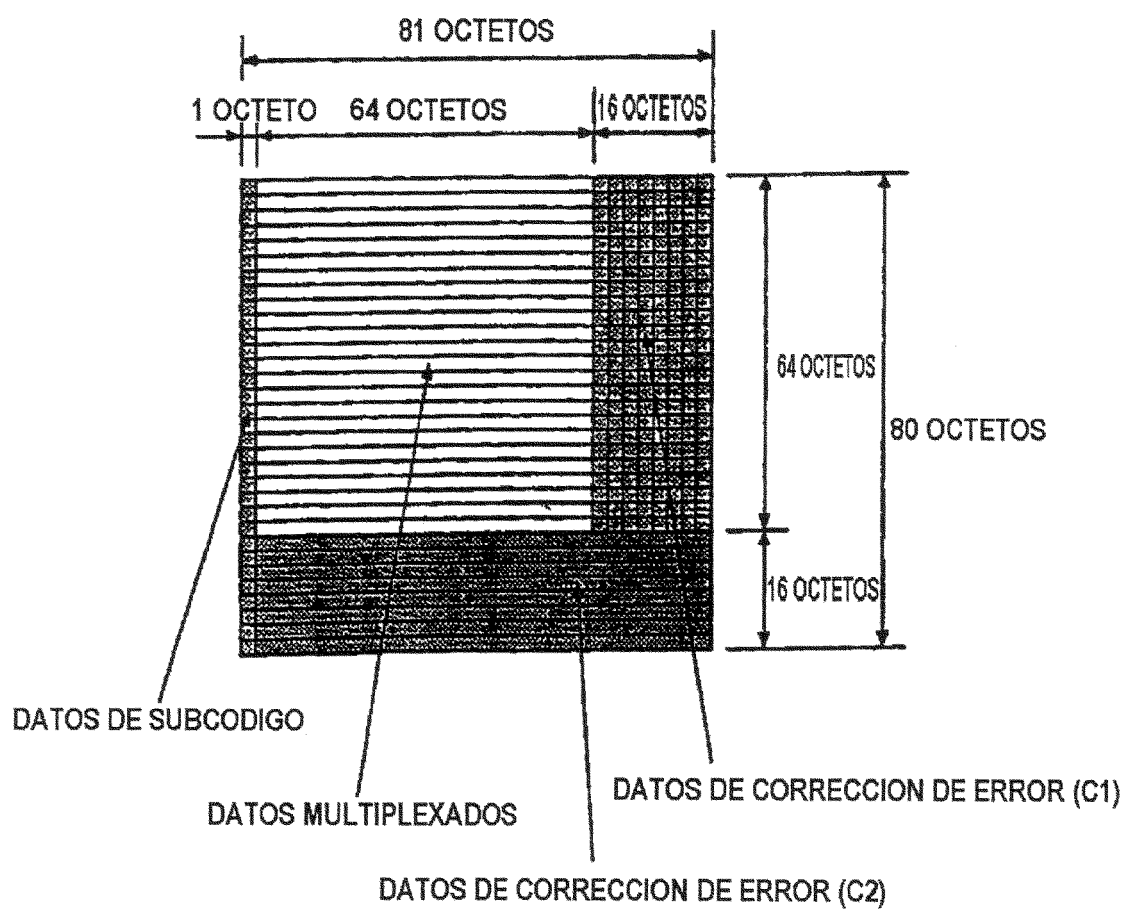


FIG. 2

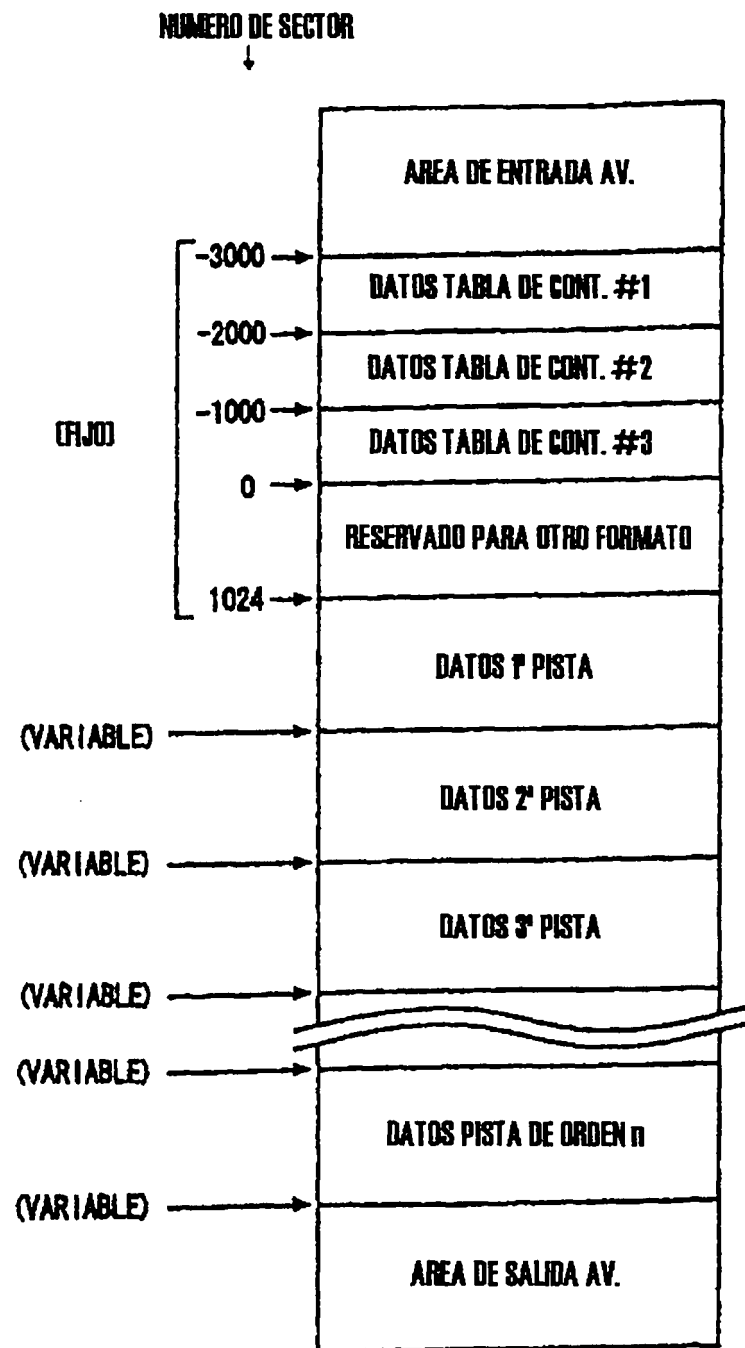
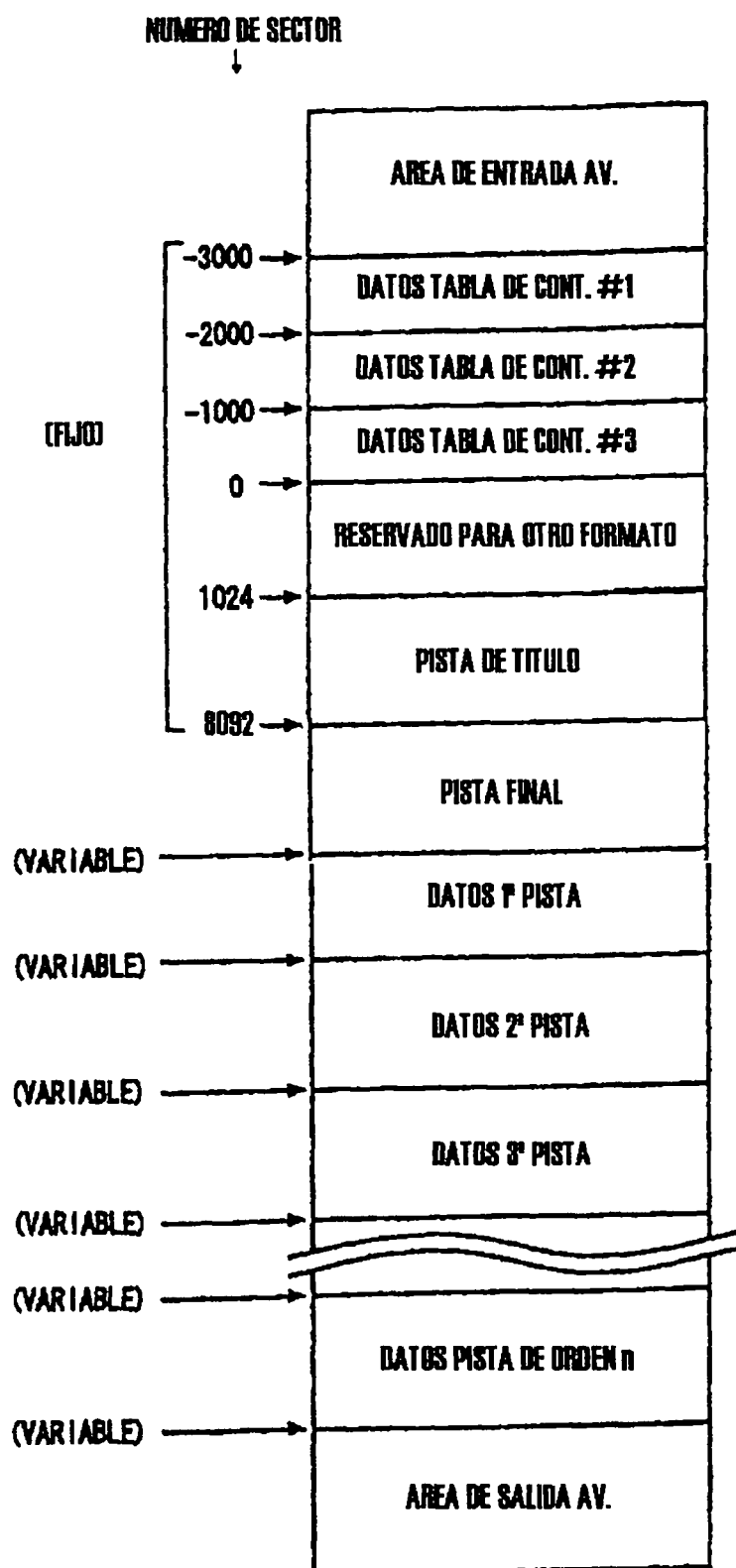


FIG. 3



**FIG 4**

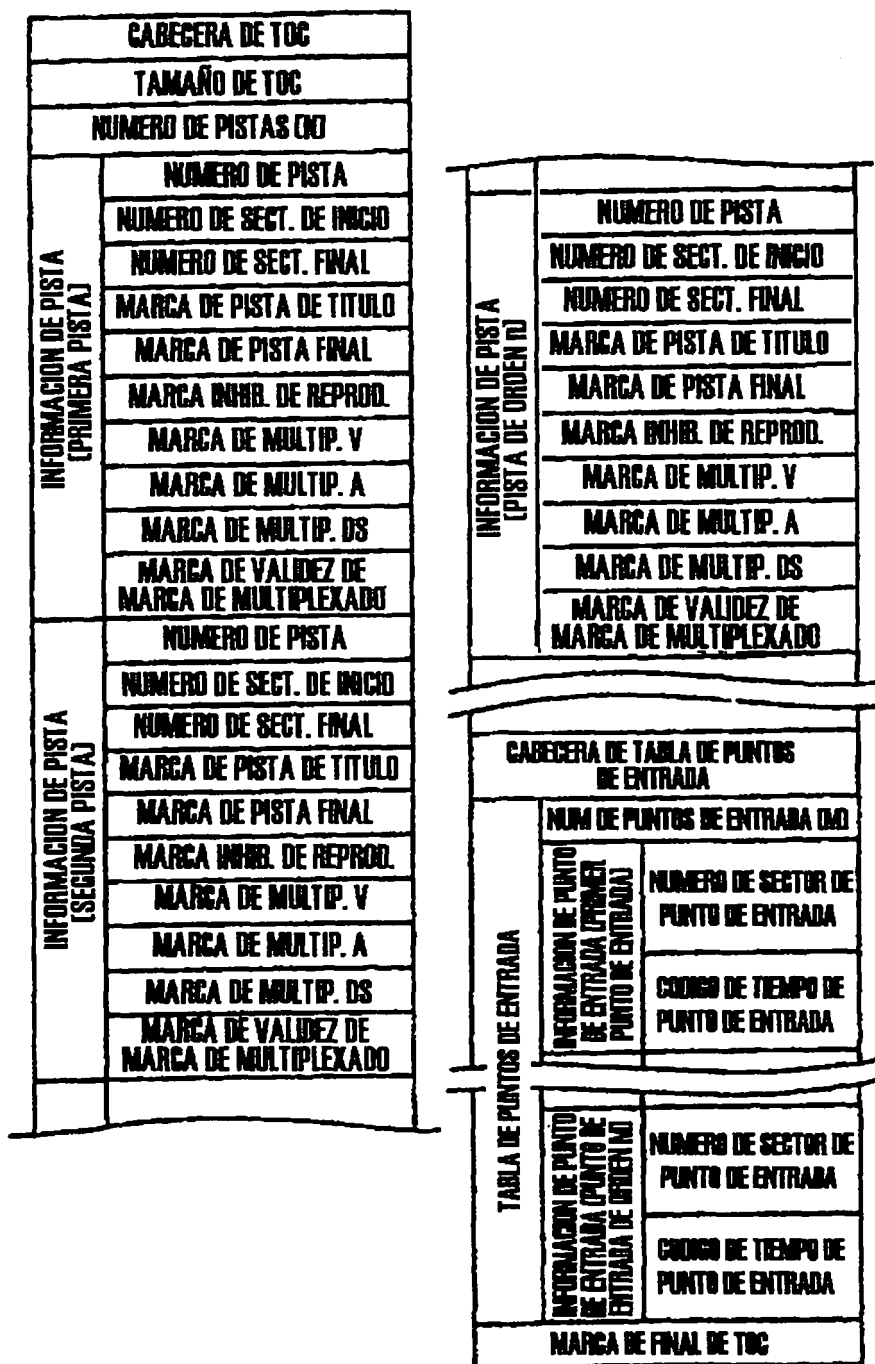


FIG. 5



CABECERA DE TOC	
TAMAÑO DE TOC	
NUMERO DE PISTAS (N)	
INFORMACION DE PISTA (PRIMERA PISTA)	NUMERO DE PISTA
	NUMERO DE SECT. DE INICIO
	NUMERO DE SECT. FINAL
	MARCA INTR. DE REPROD.
	MARCA DE MULTIP. V
	MARCA DE MULTIP. A
	MARCA DE MULTIP. DS
INFORMACION DE PISTA (SEGUNDA PISTA)	MARCA DE VALIDEZ DE MARCA DE MULTIPLEXADO
	NUMERO DE PISTA
	NUMERO DE SECT. DE INICIO
	NUMERO DE SECT. FINAL
	MARCA DE PISTA DE TITULO
	MARCA INTR. DE REPROD.
	MARCA DE MULTIP. V
	MARCA DE MULTIP. A
	MARCA DE MULTIP. DS
	MARCA DE VALIDEZ DE MARCA DE MULTIPLEXADO

INFORMACION DE PISTA (PISTA DE ORDEN N)	
NUMERO DE PISTA	
NUMERO DE SECT. DE INICIO	
NUMERO DE SECT. FINAL	
MARCA INTR. DE REPROD.	
MARCA DE MULTIP. V	
MARCA DE MULTIP. A	
MARCA DE MULTIP. DS	
MARCA DE VALIDEZ DE MARCA DE MULTIPLEXADO	

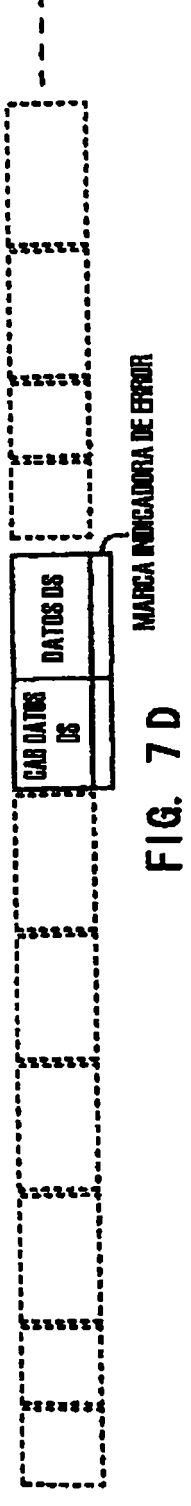
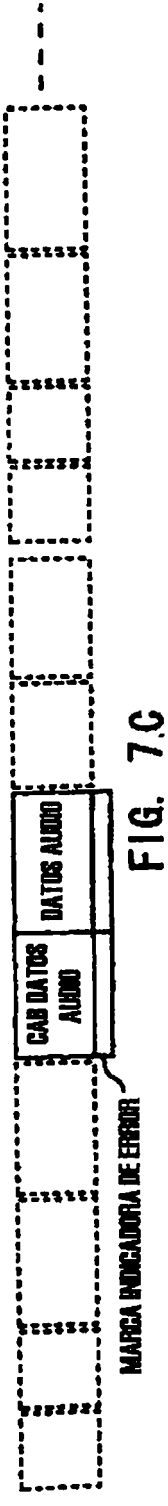
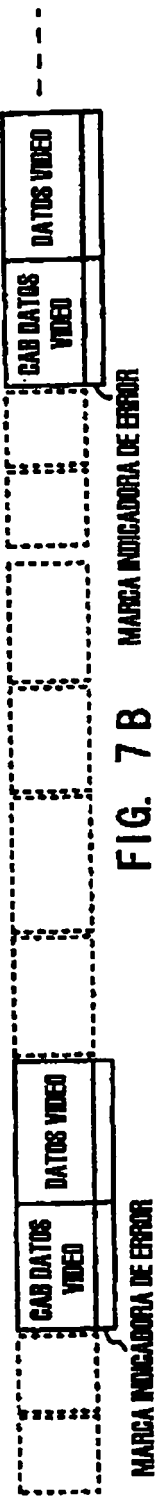
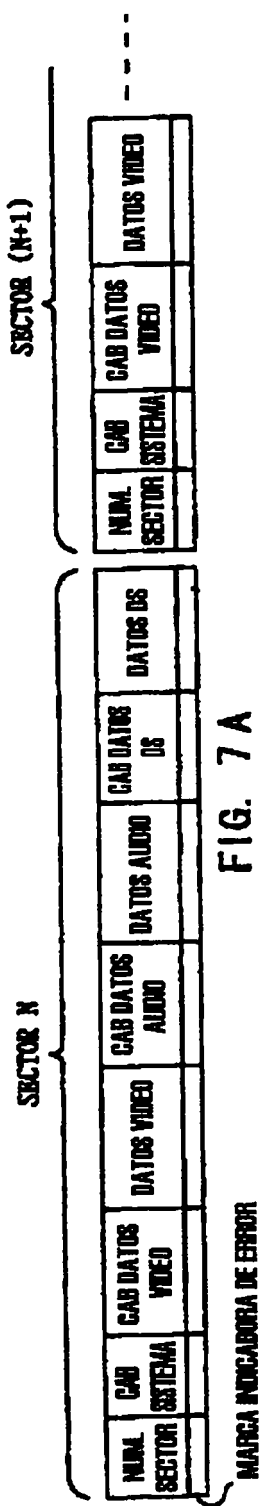
  

CABECERA DE TABLA DE PUNTOS DE ENTRADA	
TABLA DE PUNTOS DE ENTRADA	NUM DE PUNTOS DE ENTRADA (M)
	INFORMACION DE PUNTO DE ENTRADA (PRIMER PUNTO DE ENTRADA)
	NUMERO DE SECTOR DE PUNTO DE ENTRADA
	CODIGO DE TIEMPO DE PUNTO DE ENTRADA

TABLA DE PUNTOS DE ENTRADA	INFORMACION DE PUNTO DE ENTRADA (PUNTO DE ENTRADA DE ORDEN N)
	NUMERO DE SECTOR DE PUNTO DE ENTRADA
	CODIGO DE TIEMPO DE PUNTO DE ENTRADA
MARCA DE FINAL DE TOC	

FIG. 6



CODIGO DE INICIO DE CAB DE SISTEMA	LONGITUD CAB DE SISTEMA	SCR	DATOS DE USUARIO
------------------------------------	-------------------------	-----	------------------

FIG. 8

**FORMATO DE CABECERA DE DATOS DE VIDEO**

CODIGO DE INICIO CAB DATOS VIDEO	LONGITUD DATOS VIDEO	MARCA COD BTSV
----------------------------------	----------------------	----------------

&lt;MARCA IND. DE CODIFICACION DTSS = 0&gt;

CODIGO DE INICIO CAB DATOS VIDEO	LONGITUD DATOS VIDEO	MARCA COD BTSV	DTSS
----------------------------------	----------------------	----------------	------

&lt;MARCA IND. DE CODIFICACION DTSS = 1&gt;

**FORMAT OF AUDIO DATA HEADER**

CODIGO DE INICIO CAB DATOS AUDIO	LONGITUD DATOS AUDIO	MARCA COD DTSA
----------------------------------	----------------------	----------------

&lt;MARCA IND. DE CODIFICACION DTSA = 0&gt;

CODIGO DE INICIO CAB DATOS AUDIO	LONGITUD DATOS AUDIO	MARCA COD DTSA	DTSA
----------------------------------	----------------------	----------------	------

&lt;MARCA IND. DE CODIFICACION DTSA = 1&gt;

**FORMATO DE CABECERA DE DATOS DE DIALOGO SUPERPUESTO**

CODIGO DE INICIO DE CAB DE DATOS DE DIALOGO SUP	LONGITUD DE DATOS DE DIALOGO SUPERPUESTO	MARCA COD DTSS
---	--	----------------

&lt;MARCA IND. DE CODIFICACION DTSS = 0&gt;

CODIGO DE INICIO DE CAB DE DATOS DE DIALOGO SUP	LONGITUD DE DATOS DE DIALOGO SUPERPUESTO	MARCA COD DTSS	DTSS
---	--	----------------	------

&lt;MARCA IND. DE CODIFICACION DTSS = 1&gt;

FIG. 9

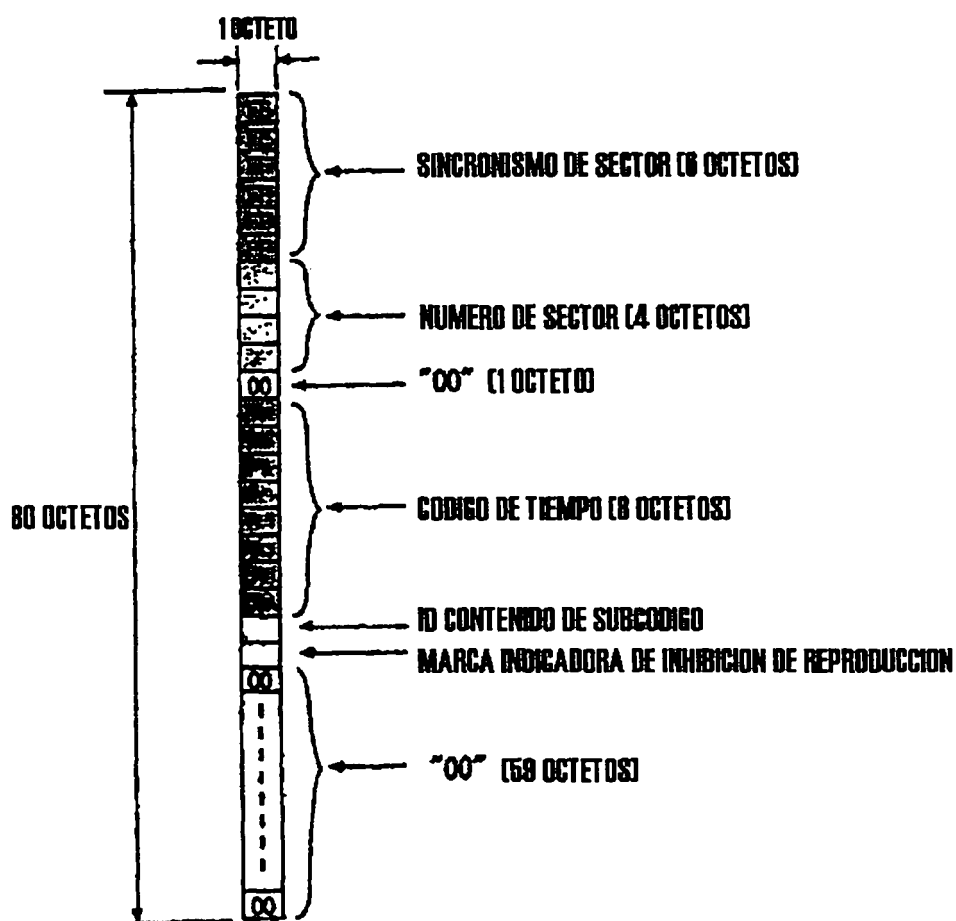


FIG. 10

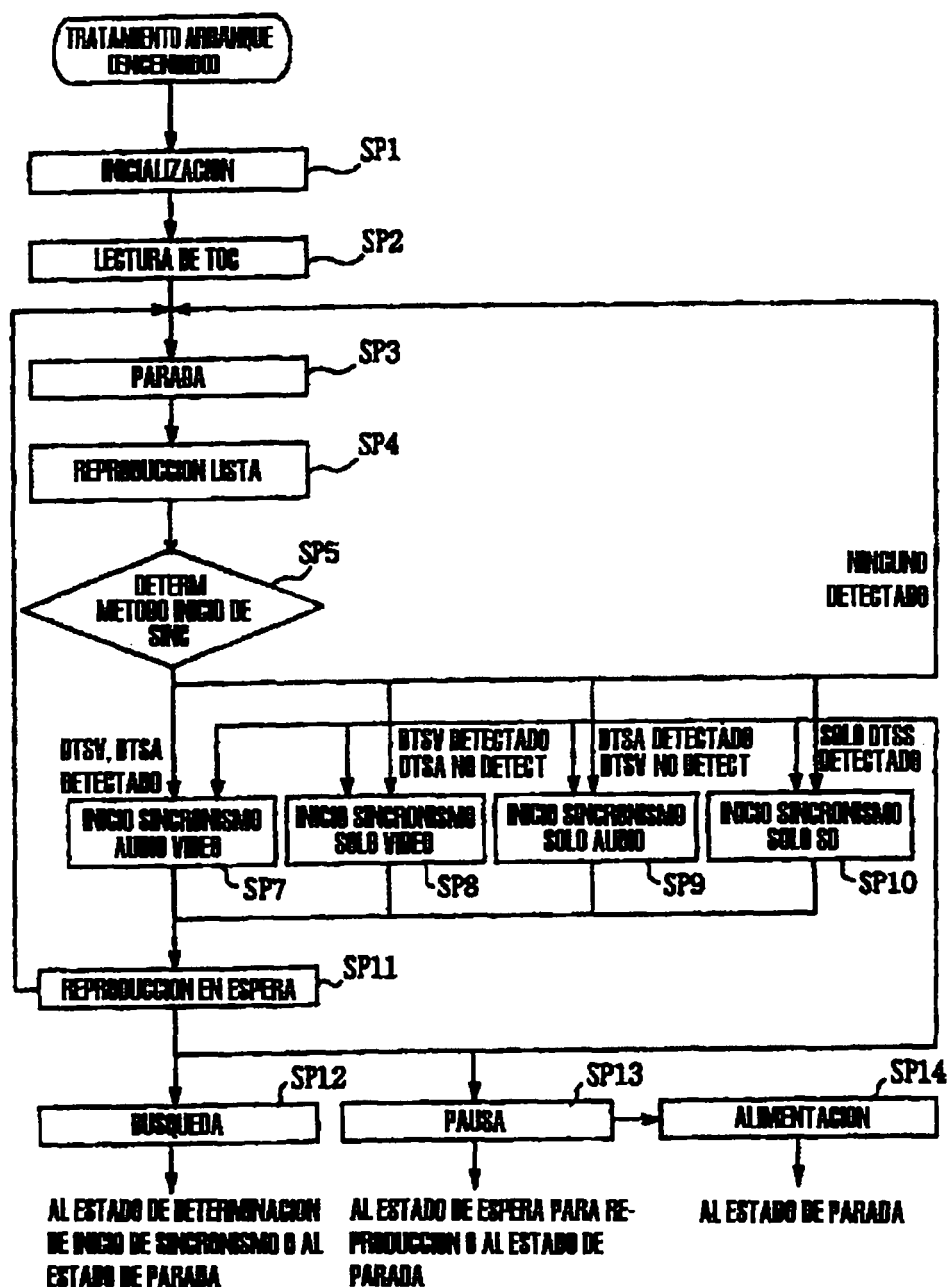


FIG. 11

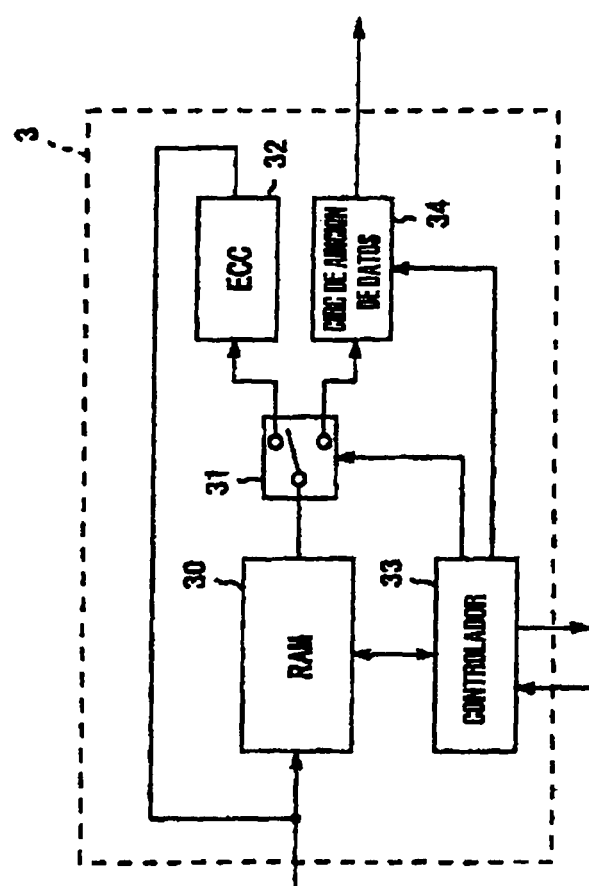


FIG. 12

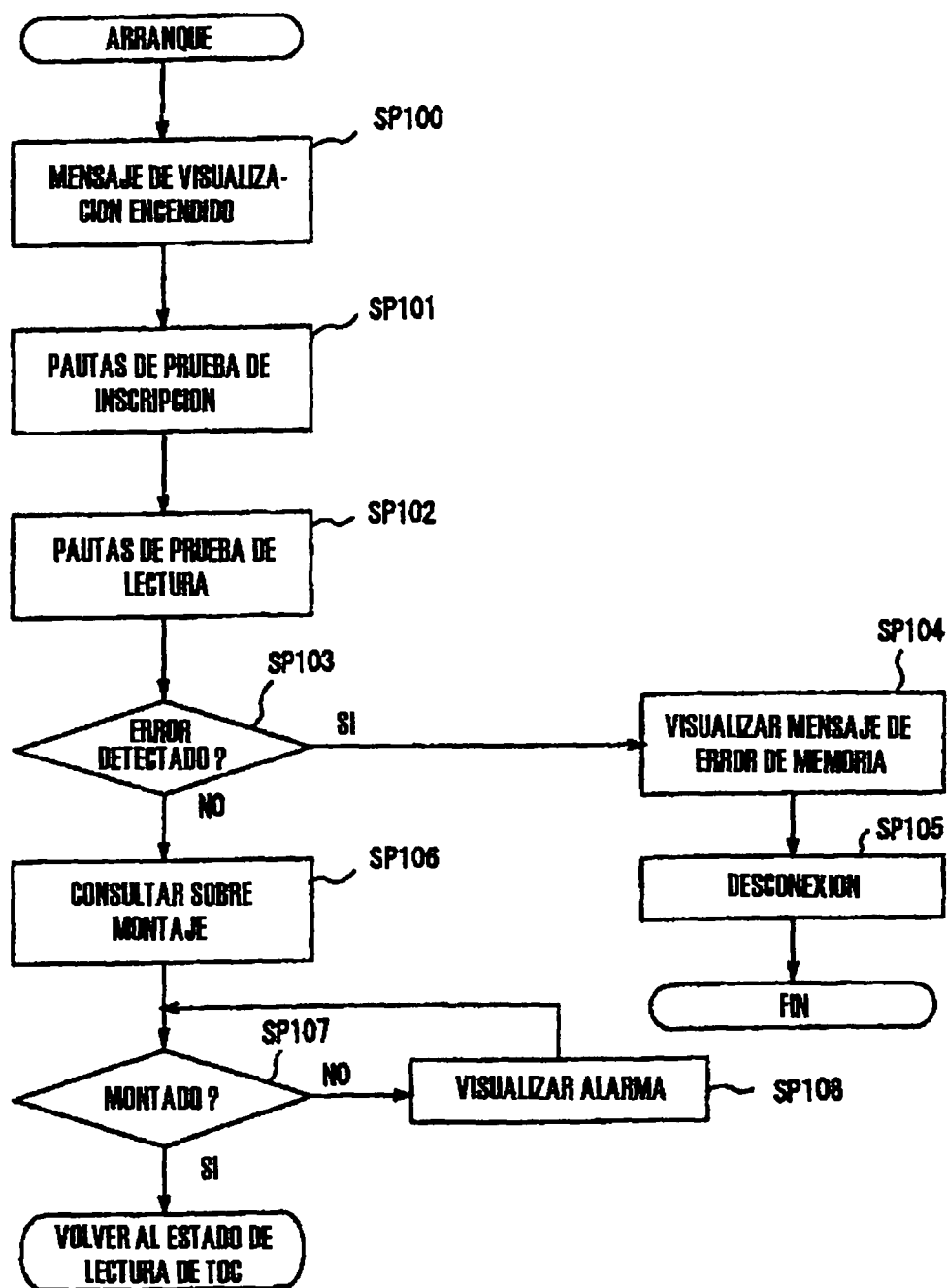


FIG. 13

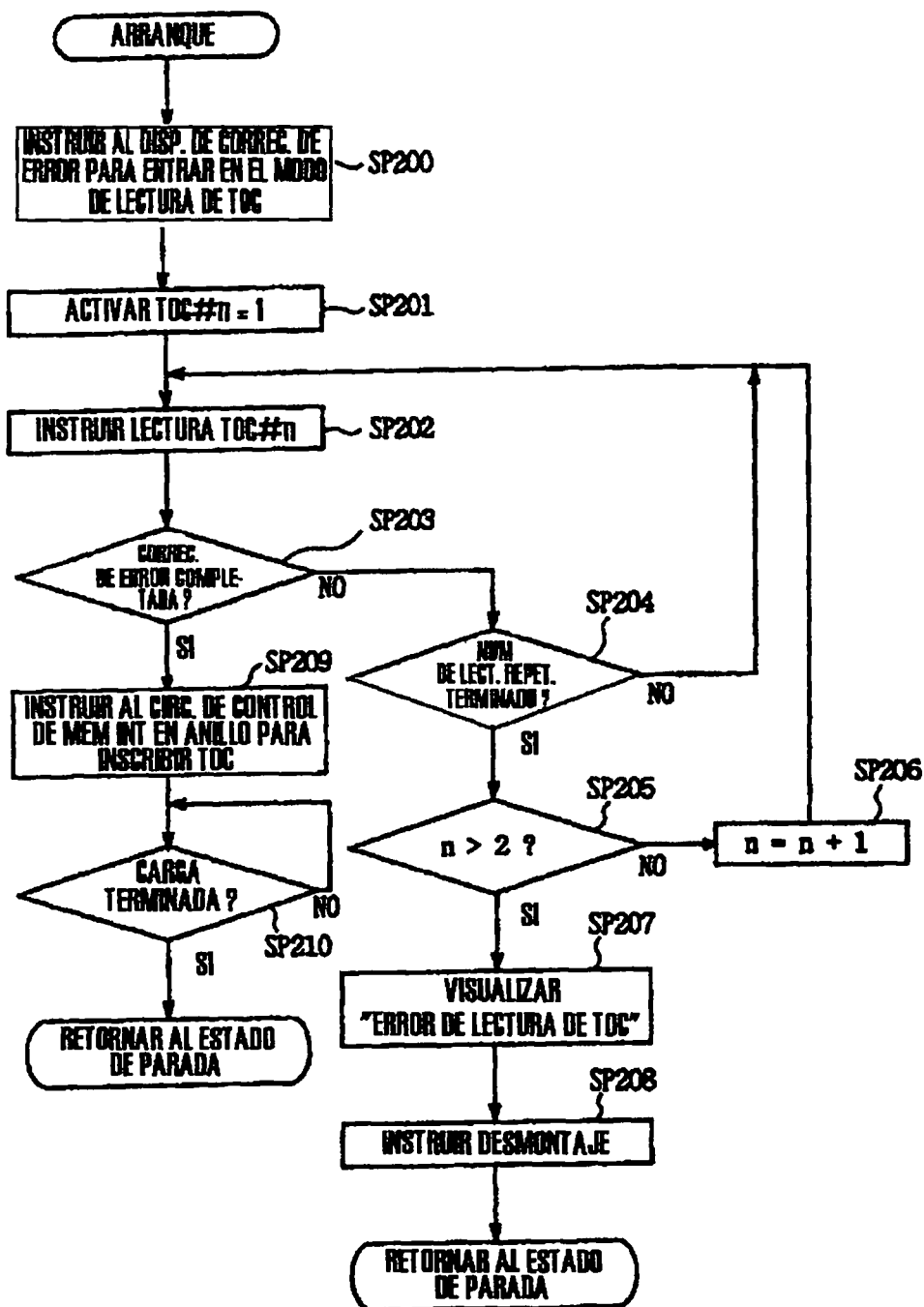


FIG. 14



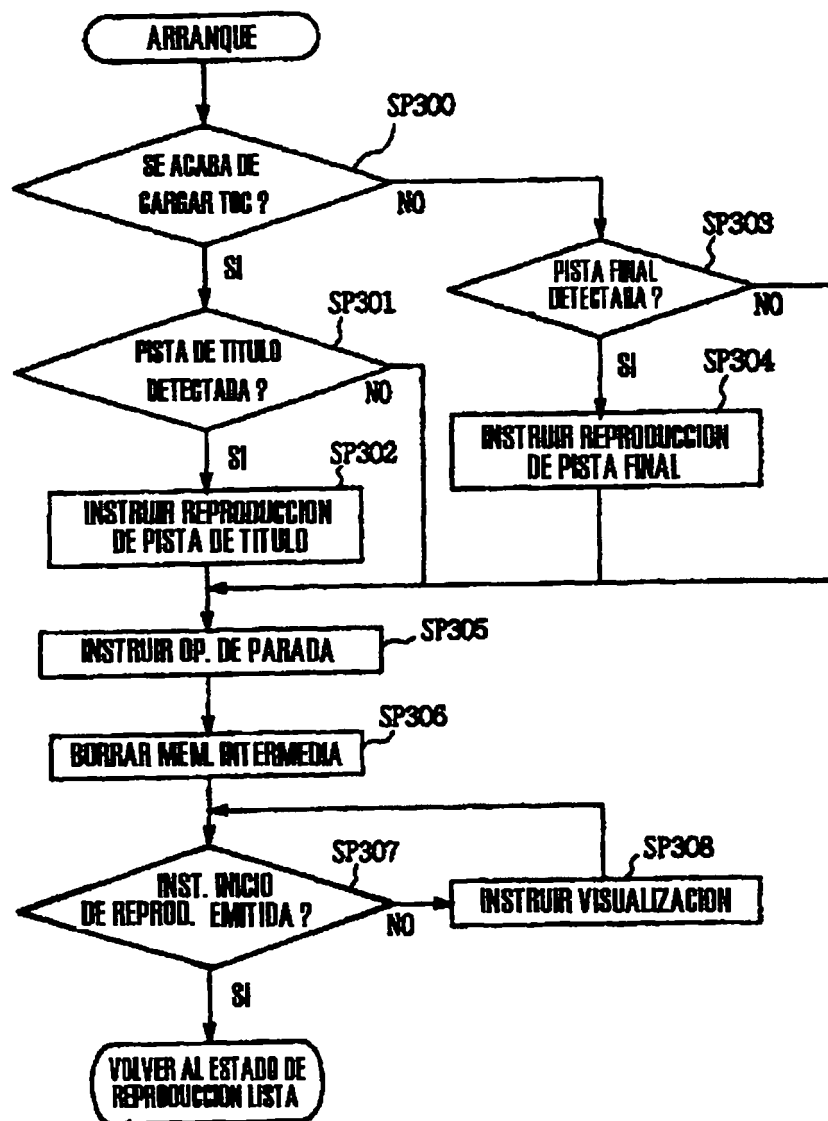


FIG. 15

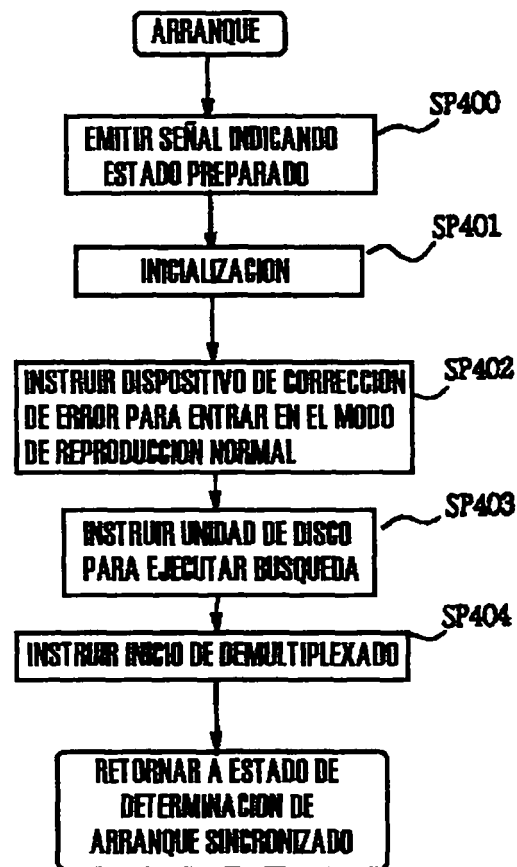


FIG. 16

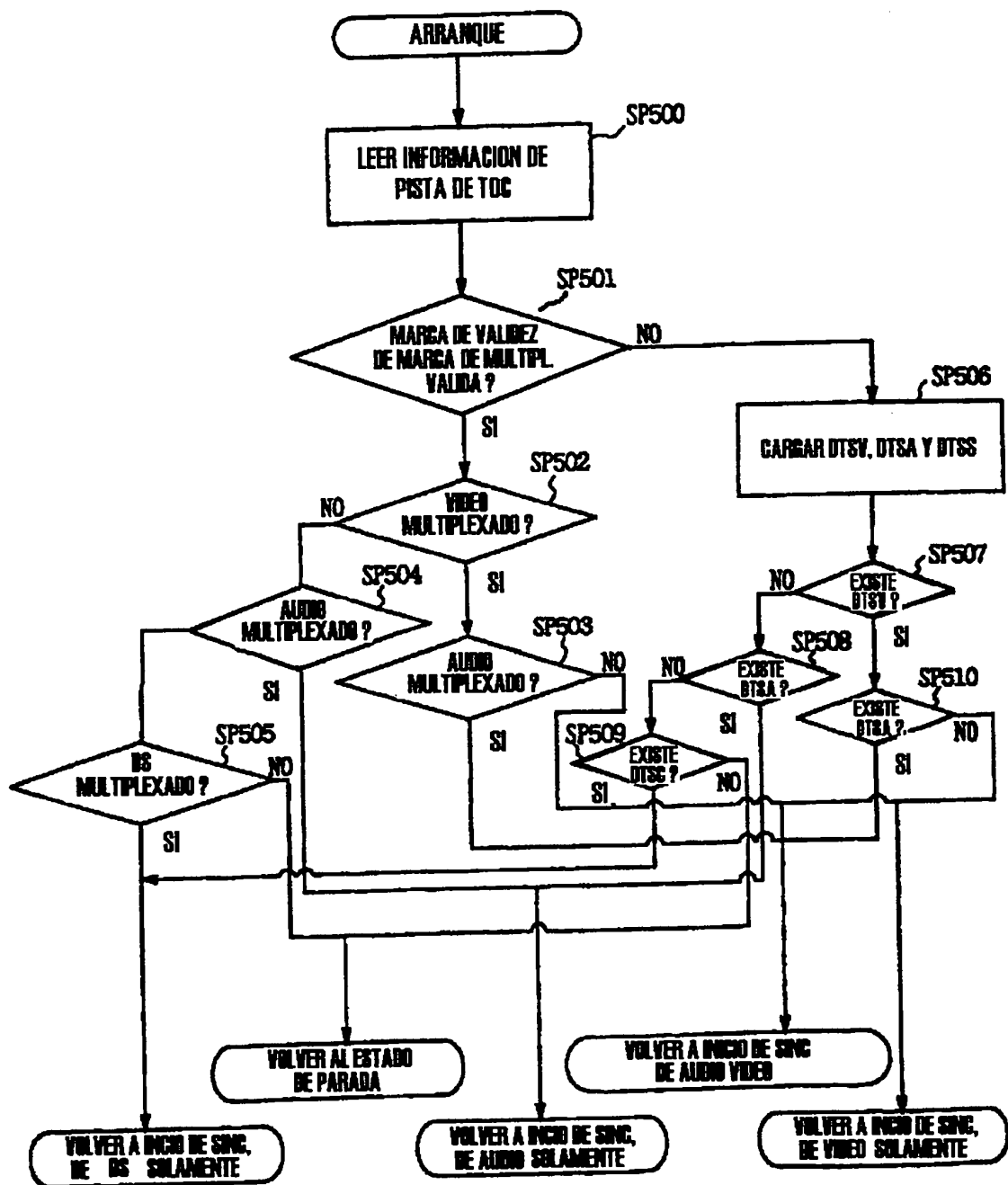
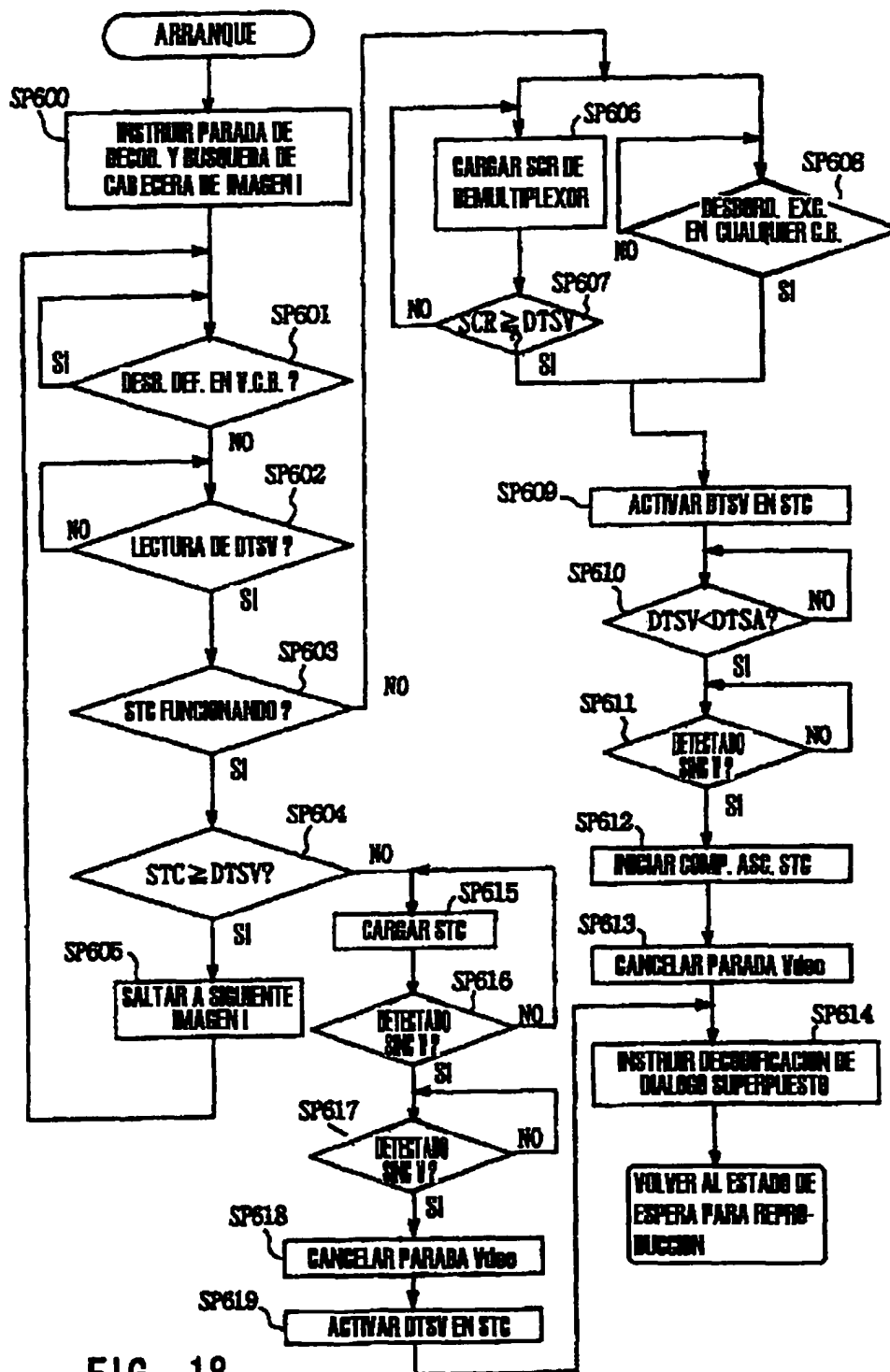


FIG. 17



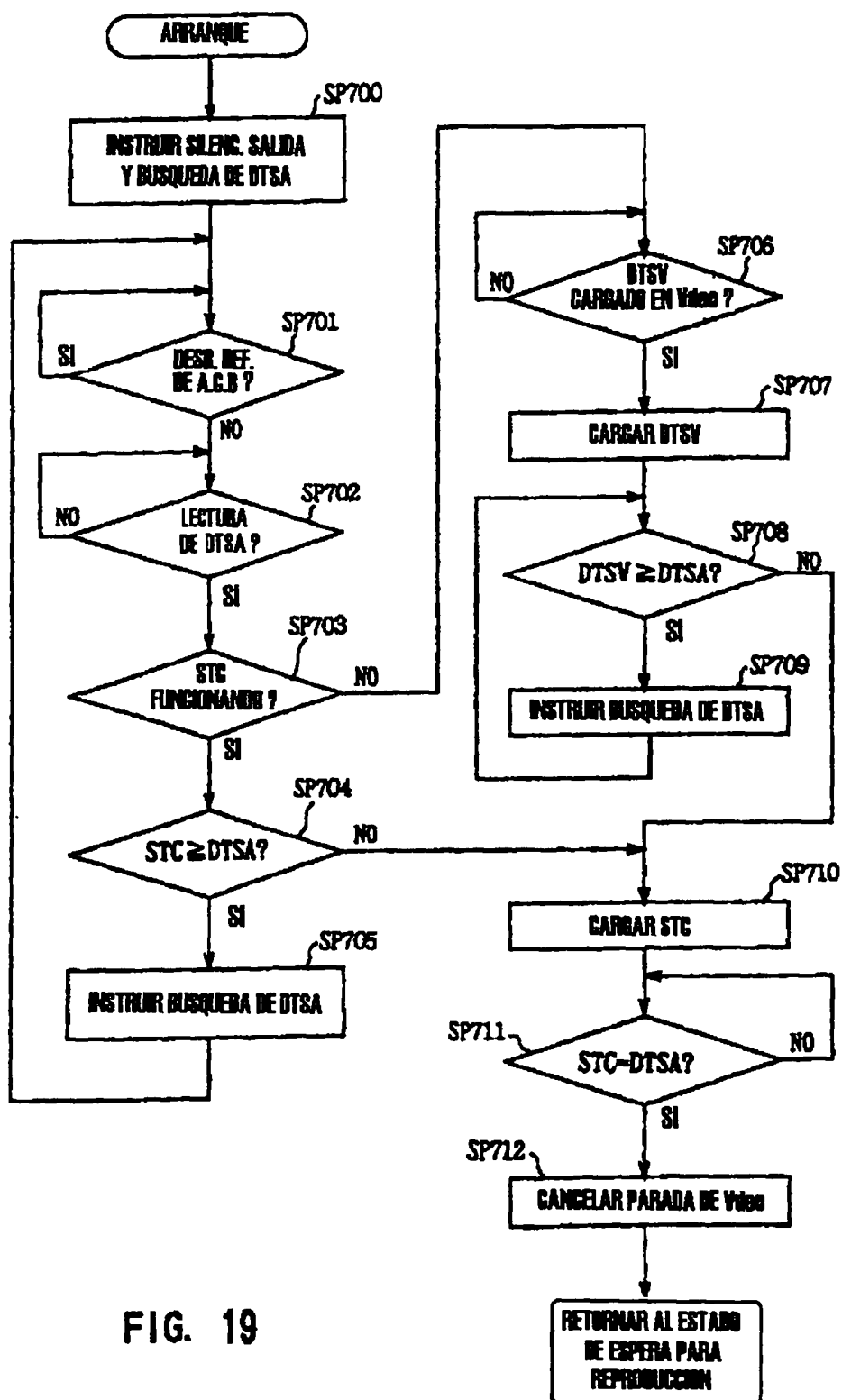


FIG. 19

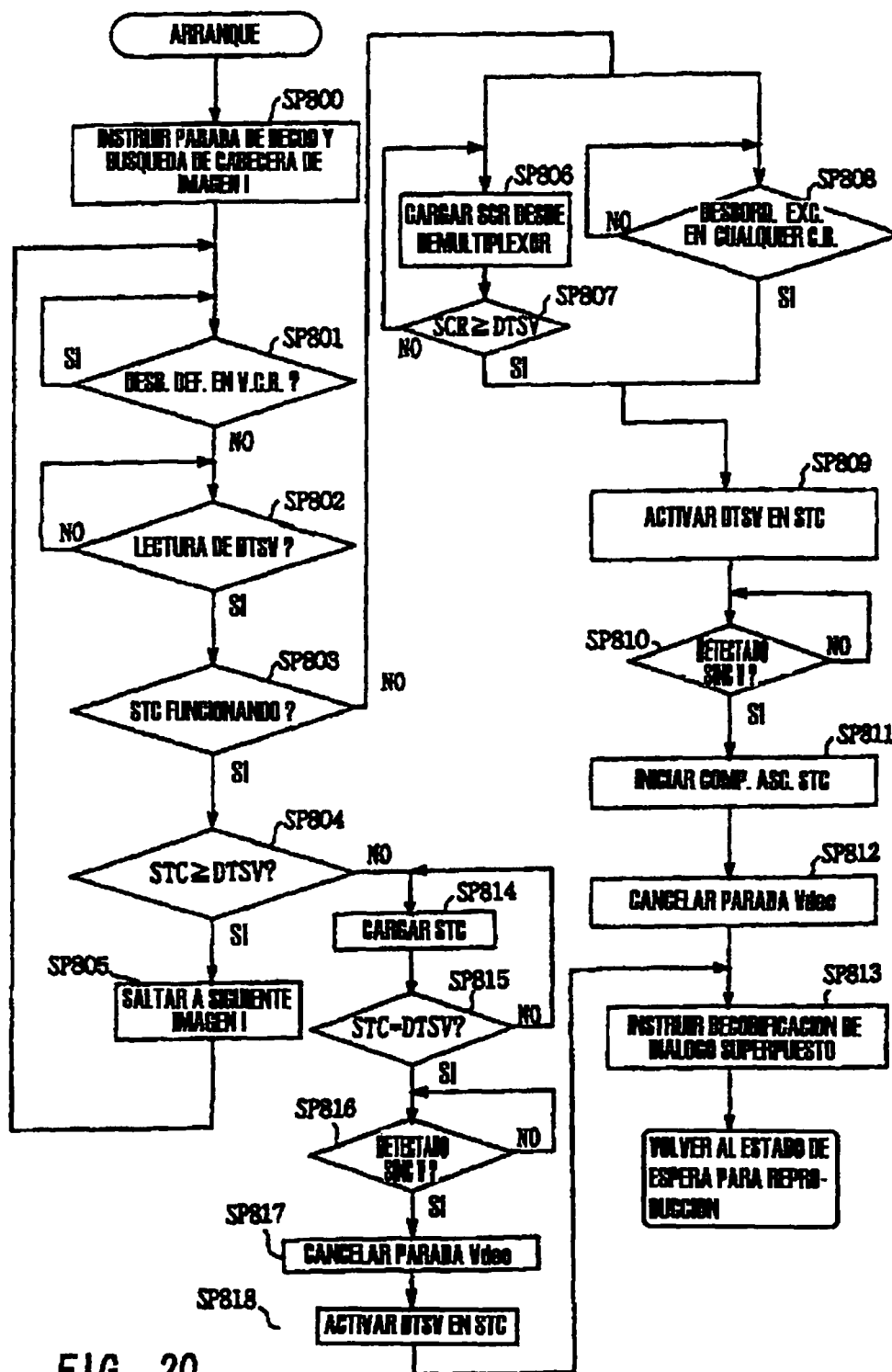


FIG. 20

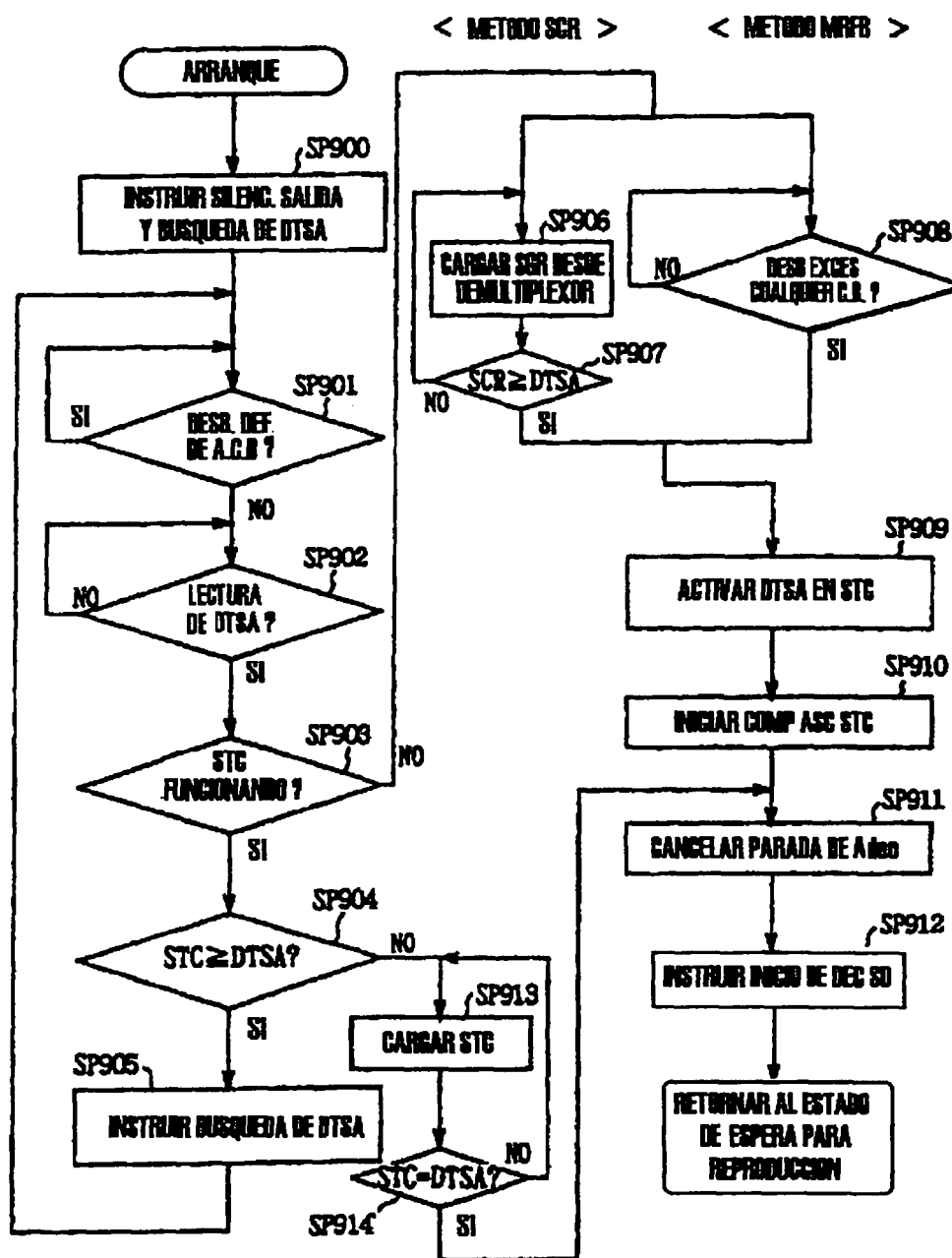


FIG. 21

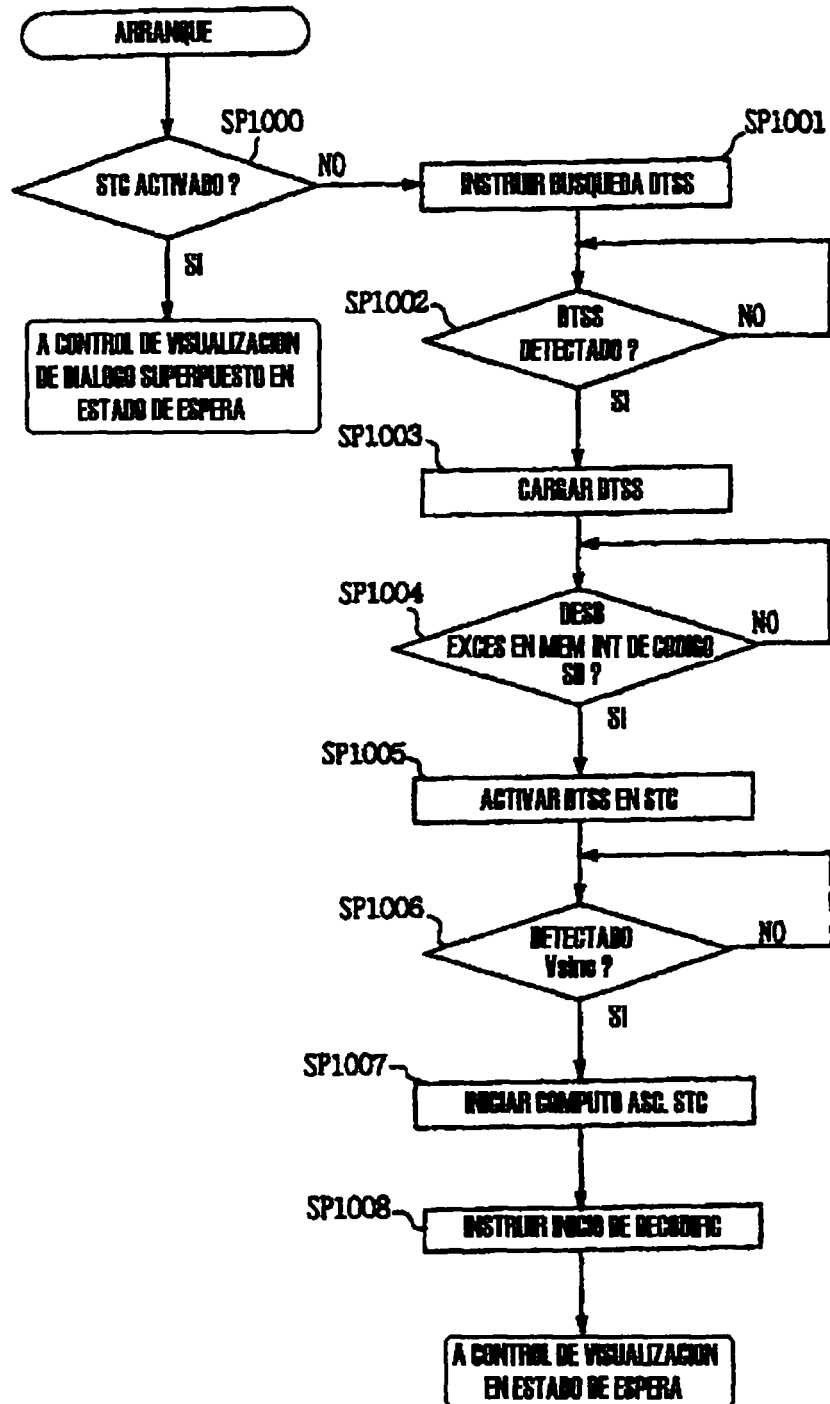


FIG. 22



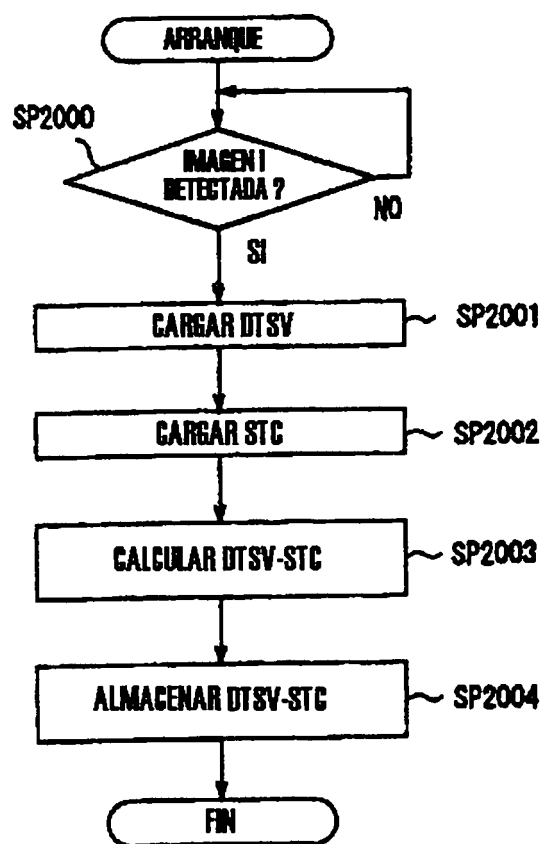


FIG. 23

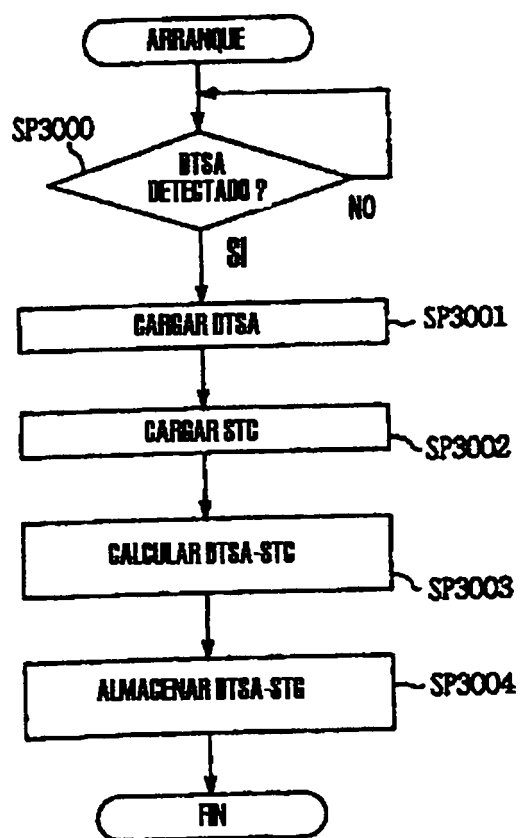


FIG. 24

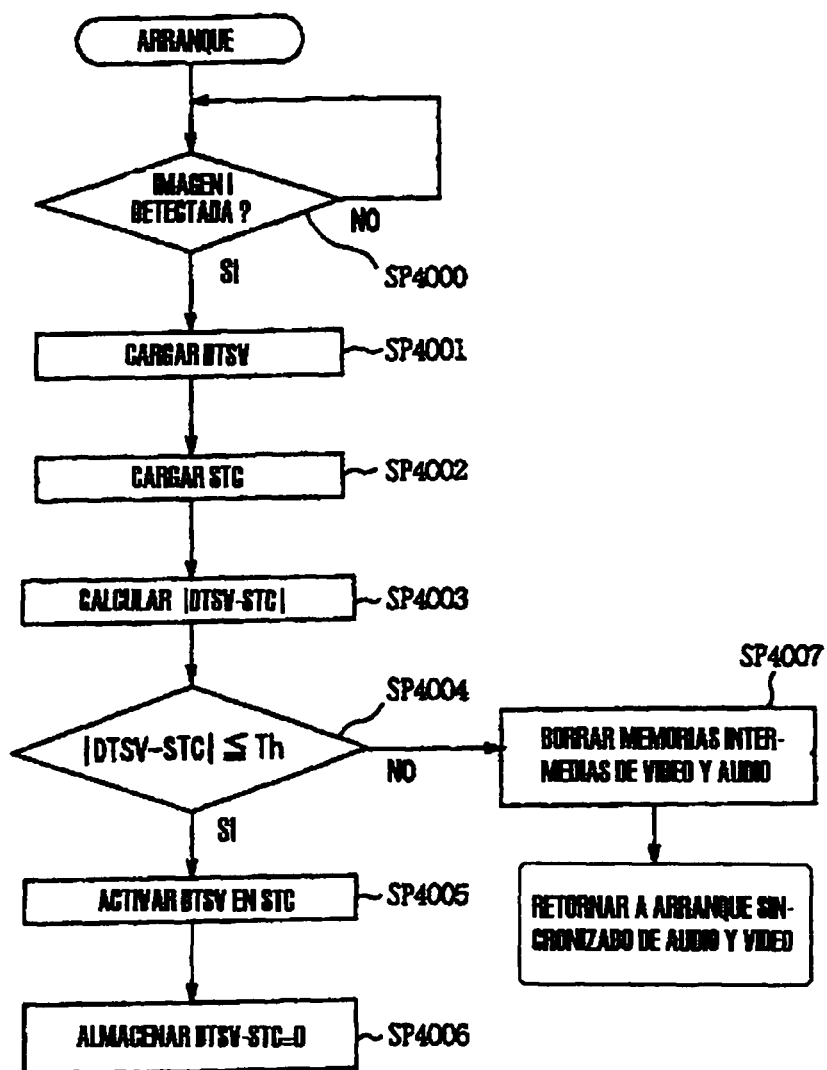


FIG. 25

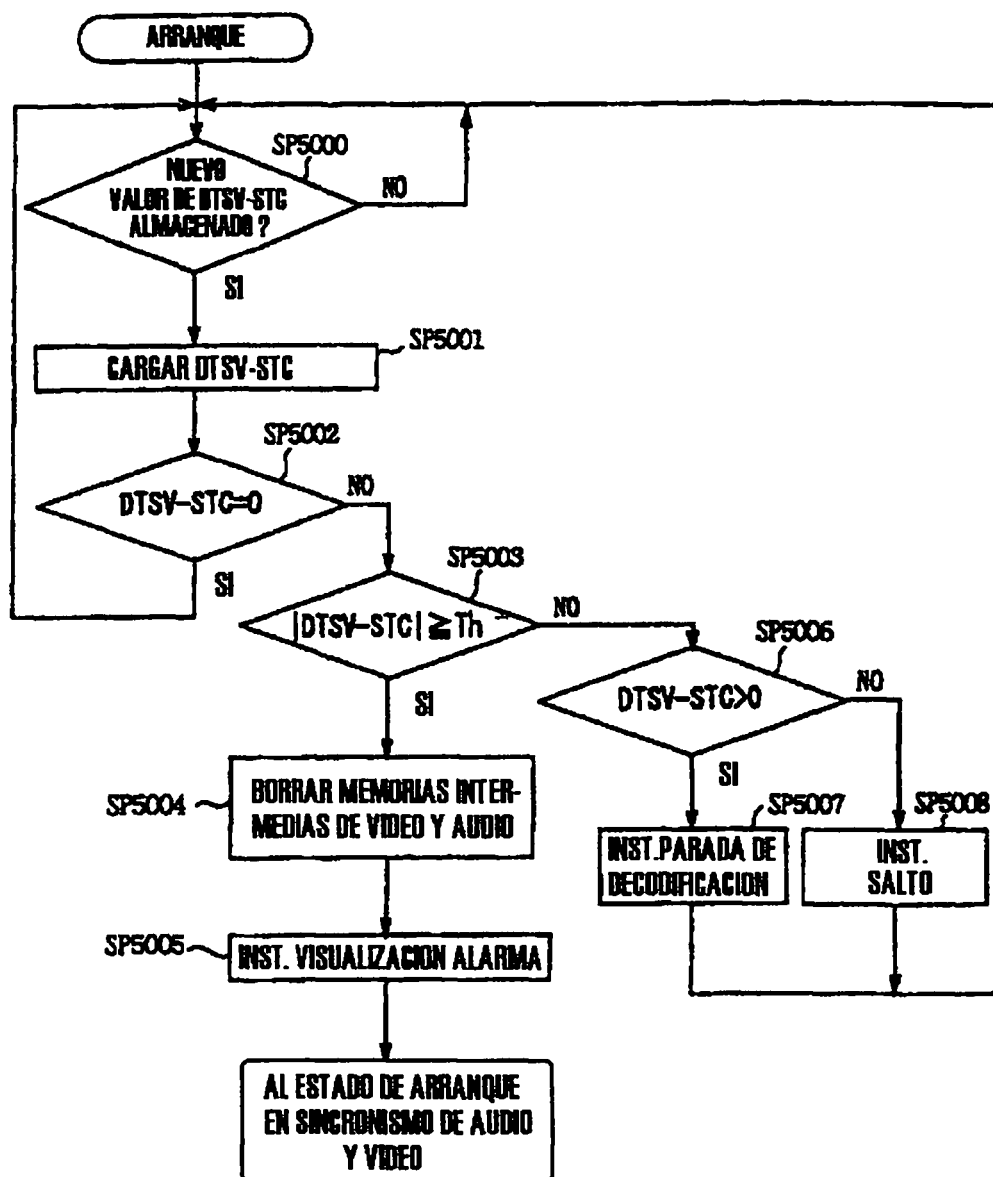


FIG. 26

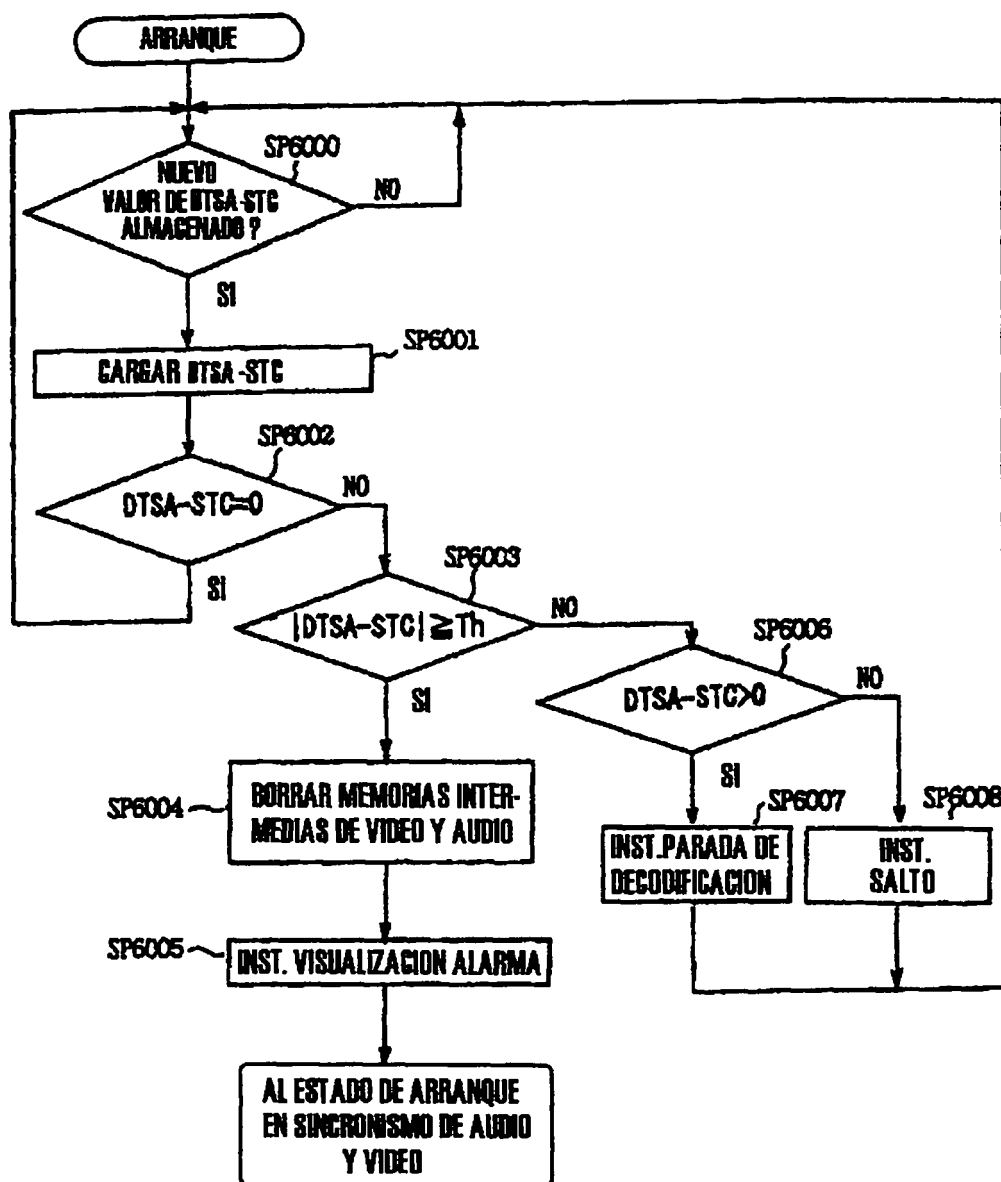


FIG. 27

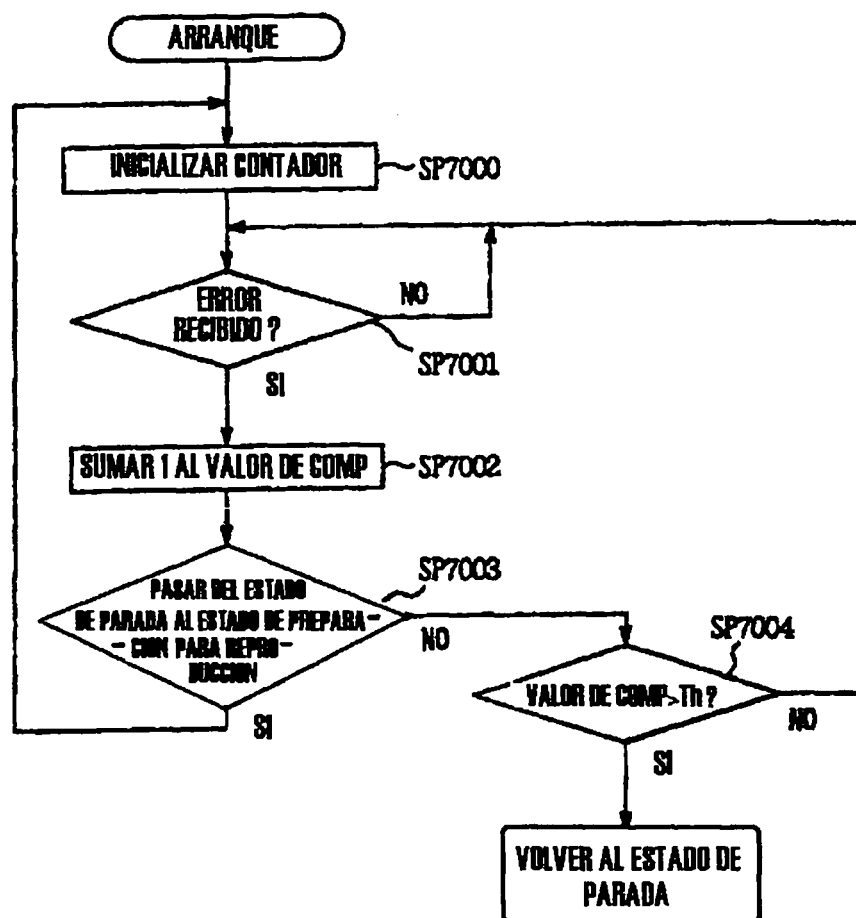


FIG. 28

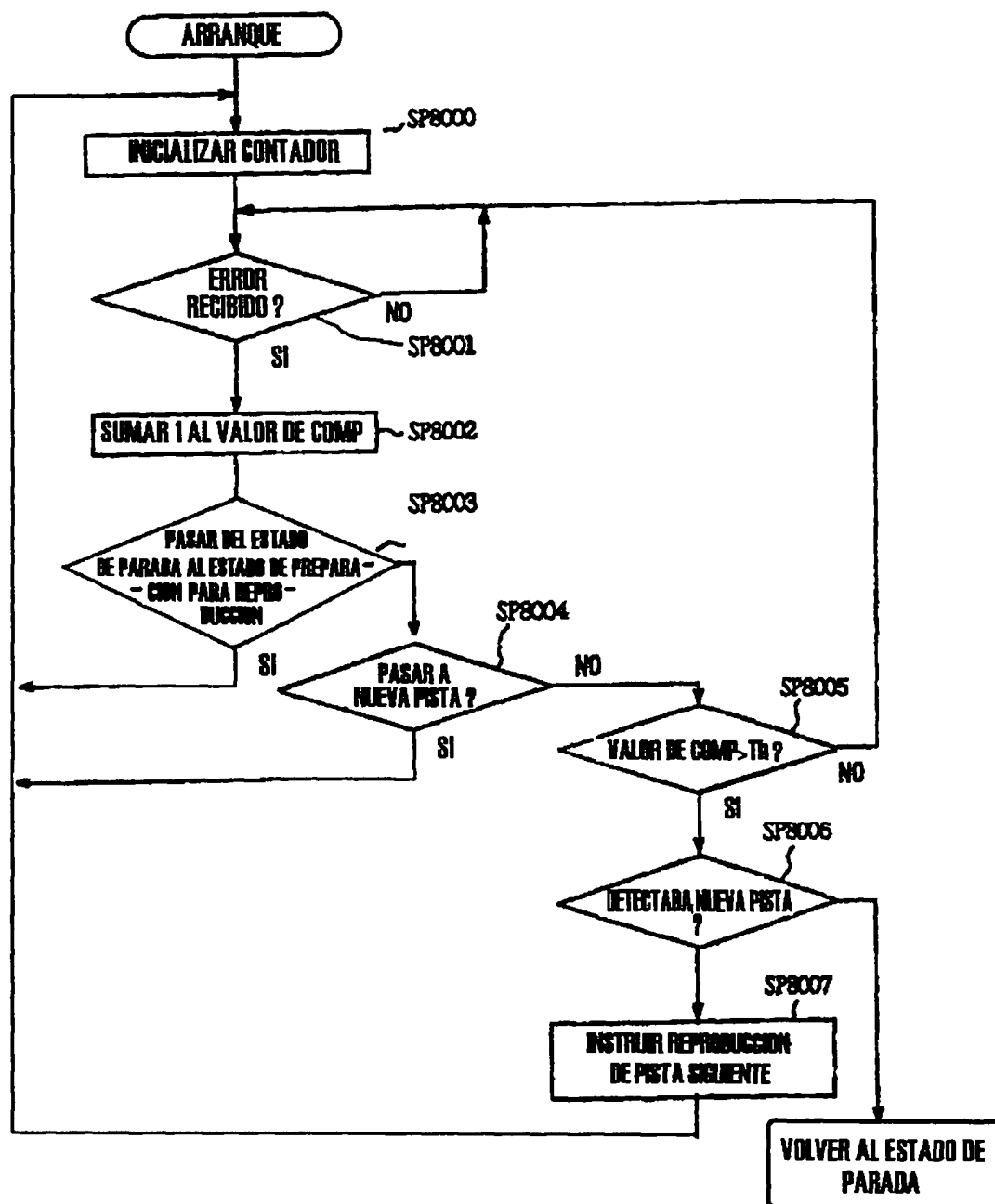


FIG. 29

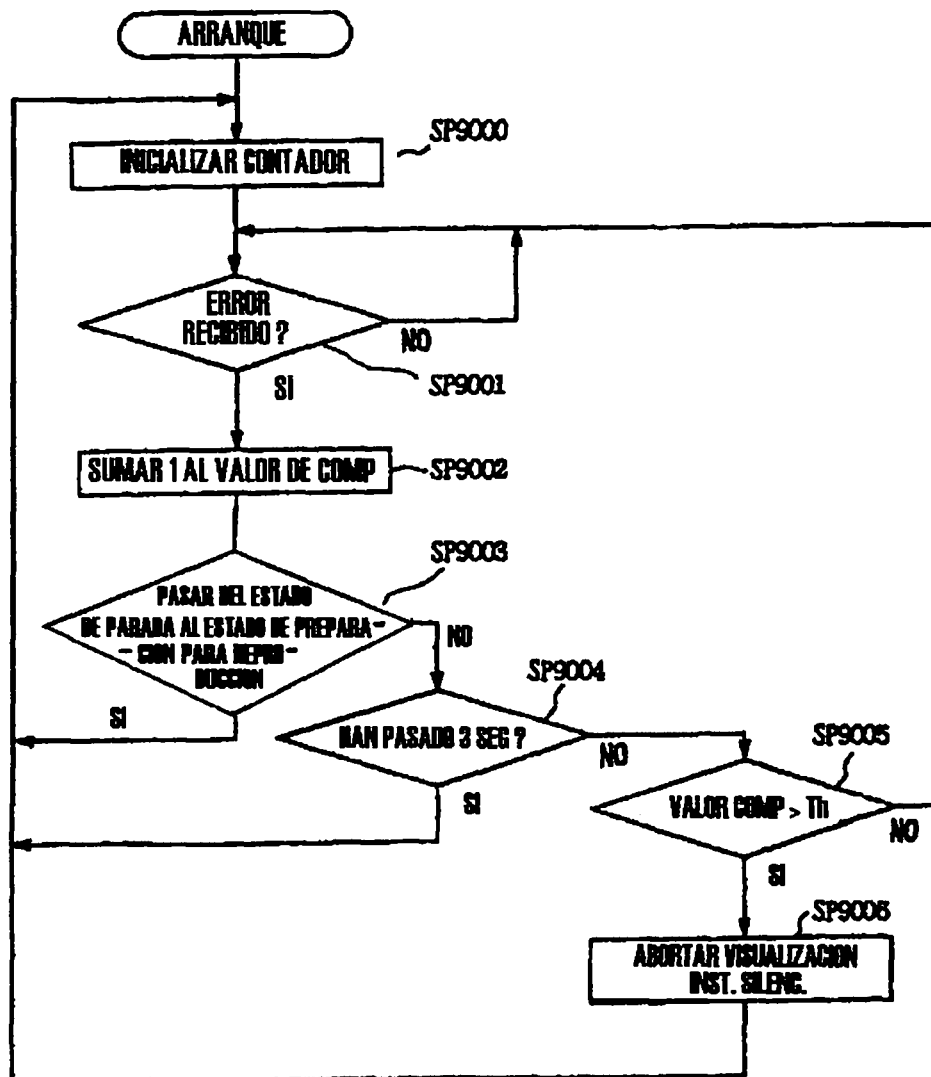


FIG. 30



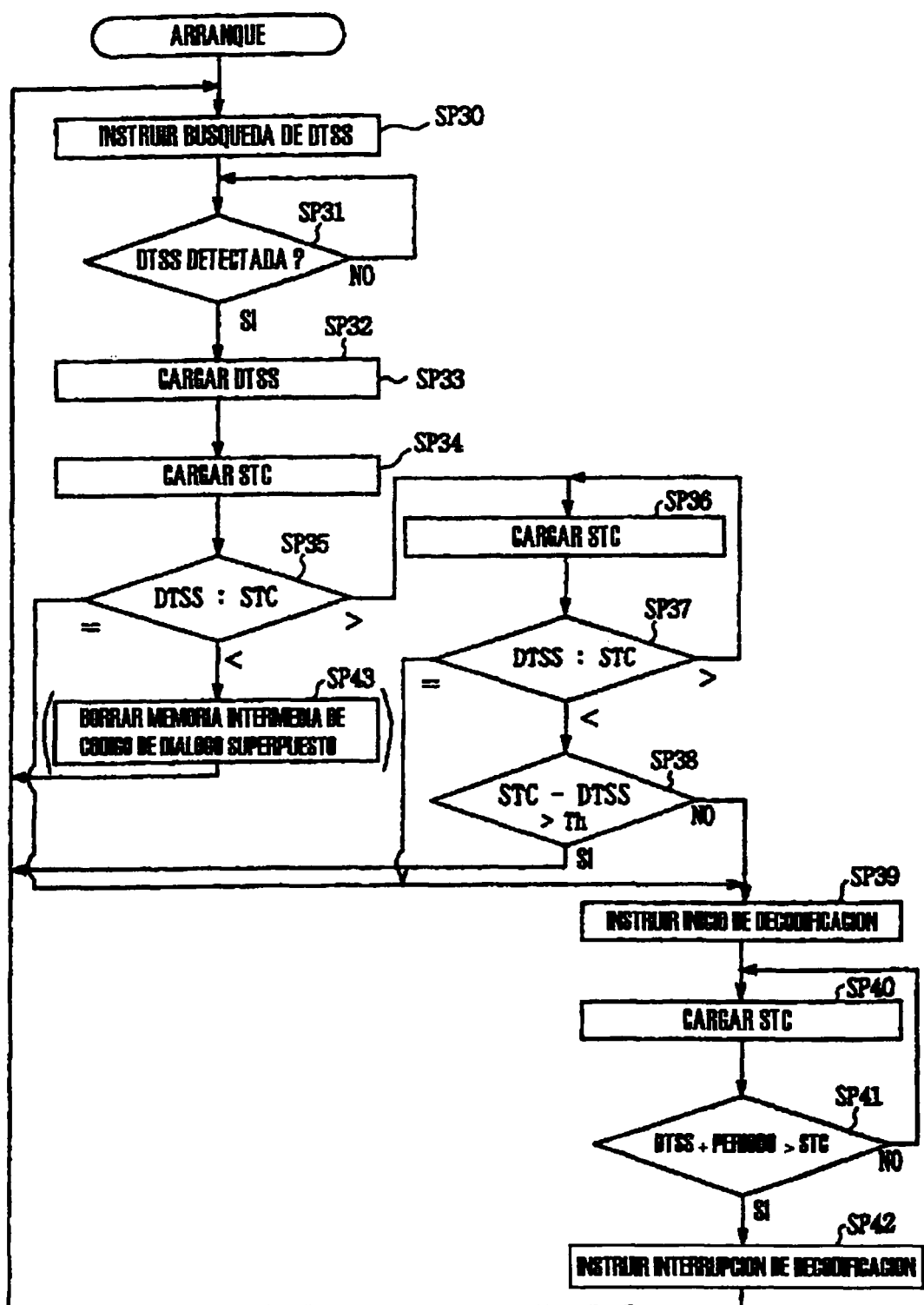


FIG. 31

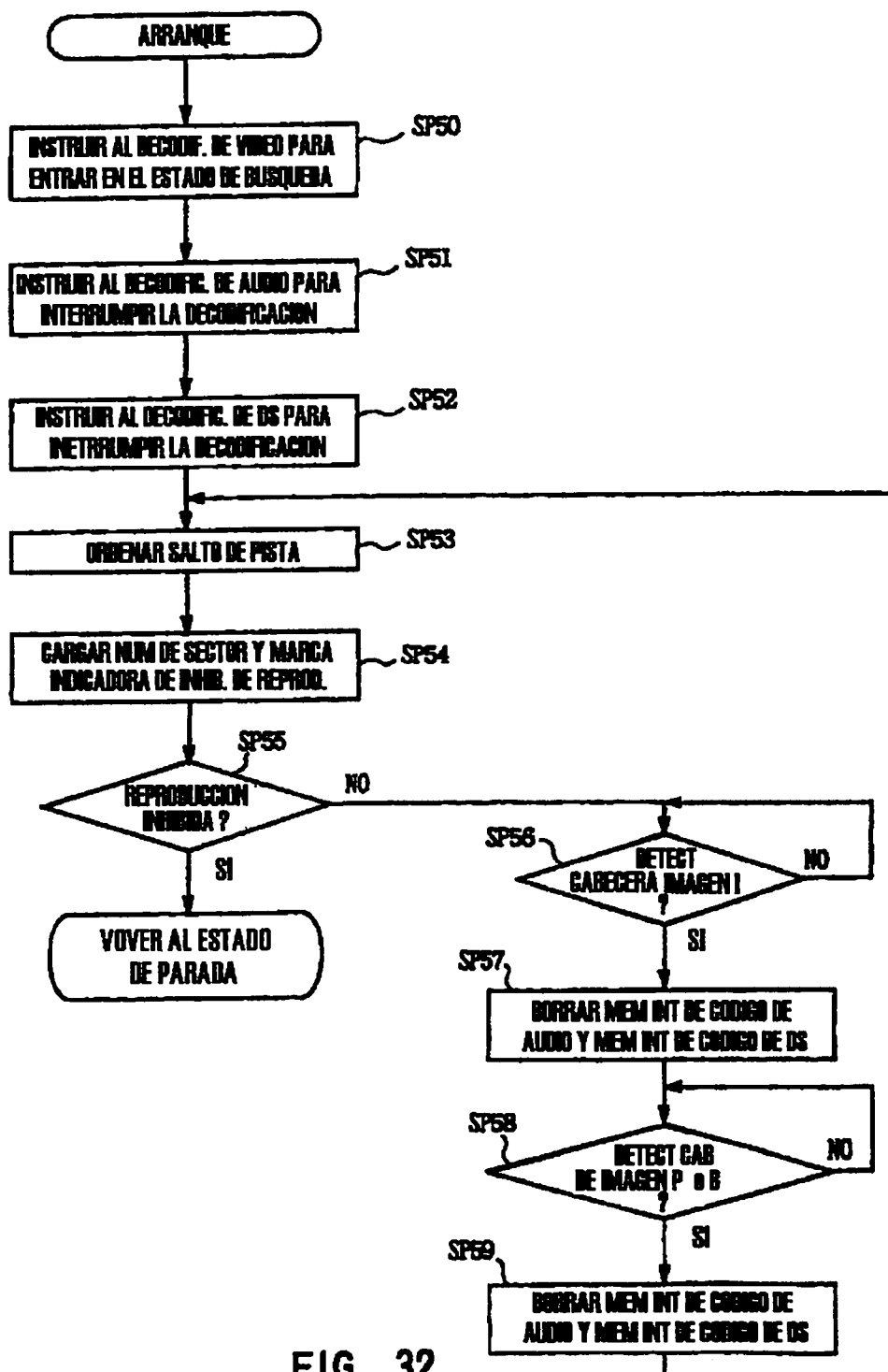


FIG. 32

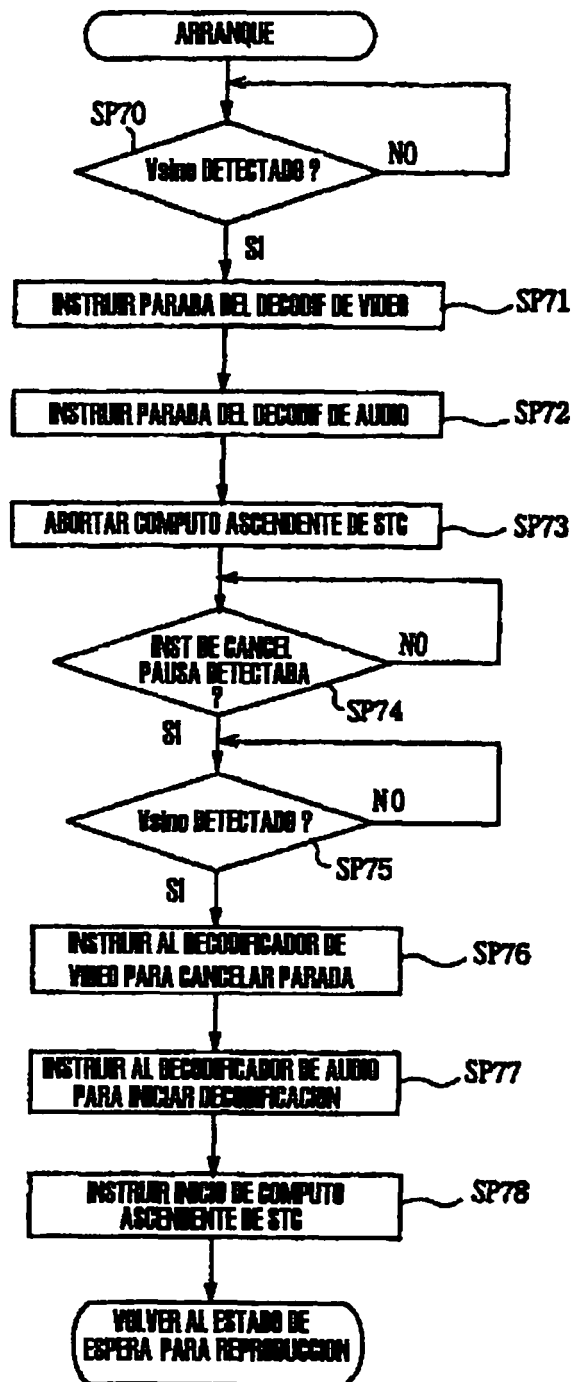


FIG. 33

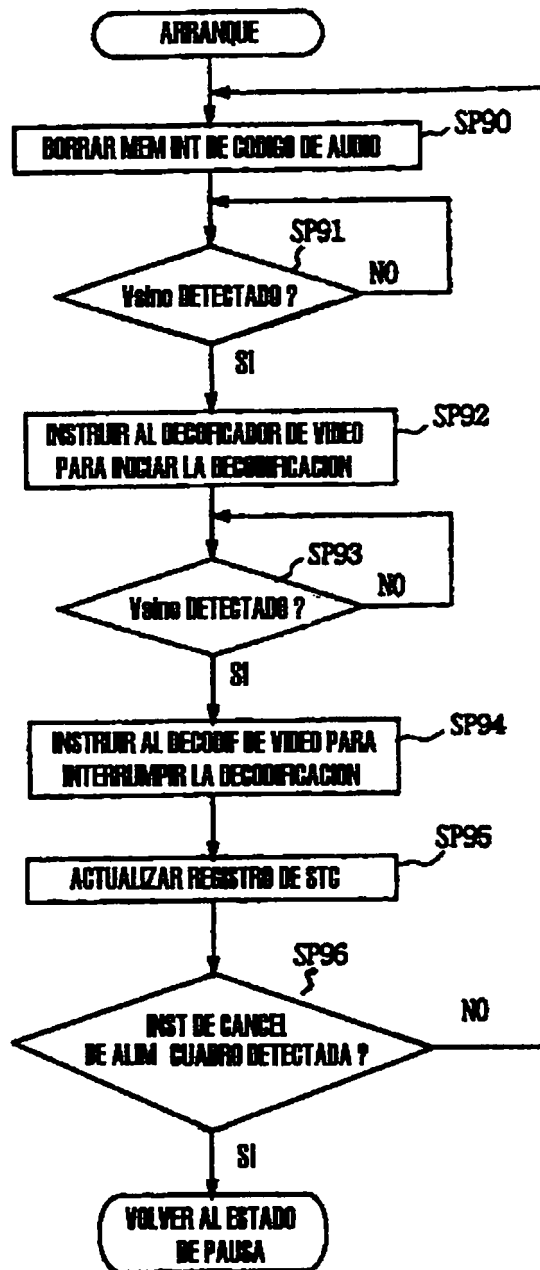


FIG. 34

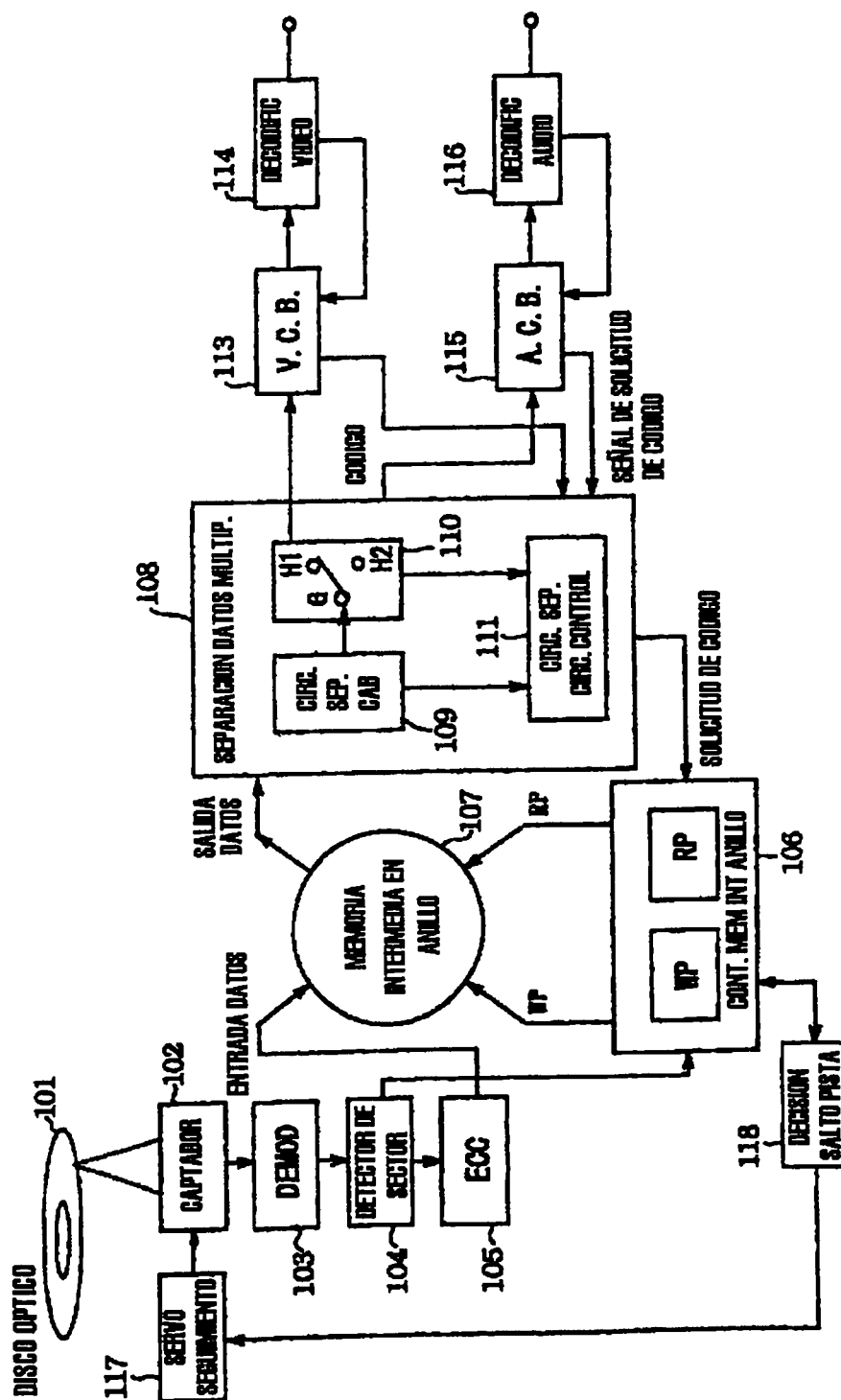
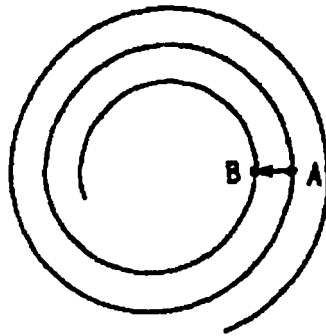


FIG. 35



**FIG. 36**