

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 200510059866.0

[51] Int. Cl.

H01L 23/52 (2006.01)

H01L 23/532 (2006.01)

H01L 21/768 (2006.01)

H01L 27/10 (2006.01)

[45] 授权公告日 2009 年 6 月 10 日

[11] 授权公告号 CN 100499103C

[22] 申请日 2005.3.31

[21] 申请号 200510059866.0

[73] 专利权人 旺宏电子股份有限公司

地址 中国台湾

[72] 发明人 何之浩 吴俊沛

[56] 参考文献

CN1536630A 2004.10.13

US6268243B1 2001.7.31

JP2001-110921A 2001.4.20

CN1263637A 2000.8.16

US6703661B2 2004.3.9

US2004/0183136A1 2004.9.23

US6057195A 2000.5.2

CN1484299A 2004.3.24

US2005/0023600A1 2005.2.3

审查员 闫立刚

[74] 专利代理机构 北京中原华和知识产权代理有限公司

代理人 寿宁 张华辉

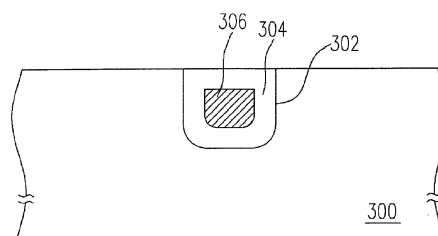
权利要求书 3 页 说明书 8 页 附图 7 页

[54] 发明名称

半导体内连线结构与 NOR 型快闪记忆体及其
制造方法

[57] 摘要

本发明是有关于一种半导体内连线结构与 NOR 型快闪记忆体及其制造方法。该半导体内连线结构，包括一基底、一层绝缘层及一层导体层。其中，在此基底中已形成有一沟渠，而绝缘层配置于沟渠内。再者，导体层配置于绝缘层内而不与沟渠表面接触，且被绝缘层所包覆。藉此，可有效缩小半导体元件的尺寸。



1、一种半导体内连线结构，其特征在于其包括：

一基底，该基底中已形成有一沟渠；

一隔离结构，配置于该沟渠内且包括一导体层，该导体层配置于该隔离结构内而不与该沟渠表面接触；以及

一导电块，位于该沟渠中，且与该导体层电性连接，其中该导电块的上表面与该基底的上表面为共平面。

2、根据权利要求1所述的半导体内连线结构，其特征在于其中所述的隔离结构的材质包括氧化硅。

3、根据权利要求1所述的半导体内连线结构，其特征在于其中所述的导体层的材质包括掺杂多晶硅。

4、一种半导体内连线结构的制造方法，其特征在于其包括：

提供一基底，在该基底中已形成有一沟渠；

在该沟渠的表面形成一衬氧化层；

在该沟渠中的该衬氧化层上形成一导体层，且该导体层的上表面低于该基底的上表面；

在该沟渠中形成一氧化层并填满该沟渠，该氧化层与该衬氧化层形成一隔离结构；

移除部份的该隔离结构以暴露出该导体层；以及

在该沟渠中形成一导电块，且该导电块与该导体层电性连接，其中该导电块的上表面与该基底的上表面为共平面。

5、根据权利要求4所述的半导体内连线结构的制造方法，其特征在于在其中所述的沟渠的表面形成该衬氧化层的方法，包括：

在该基底上形成一图案化罩幕层，以暴露出该沟渠表面；

对该基底进行一热氧化制程；以及

移除该图案化罩幕层。

6、根据权利要求4所述的半导体内连线结构的制造方法，其特征在于在其中所述的沟渠中的该衬氧化层上形成该导体层的方法，包括：

在该基底上形成一导体材料层，覆盖于该基底上并填满该沟渠；以及

移除该基底上的该导体材料层及该沟渠中部份该导体材料层。

7、根据权利要求6所述的半导体内连线结构的制造方法，其特征在于在其中所述的基底上形成该导体材料层的方法，包括化学气相沉积法。

8、一种 NOR 型快闪记忆体，其特征在于其包括：

一基底；

多数条控制闸极，以一第一方向排列于该基底上；

多数条沟渠，以一第二方向排列于该基底表面；

多数条源极区, 位于各该控制闸极的一侧的该些沟渠间的该基底内;
多数个汲极区, 分别位于各该控制闸极的另一侧的该些沟渠间的该基底内;

多数个隔离结构, 配置于该些沟渠中且在各该隔离结构中包括一导体层, 其中, 该些隔离结构的一部分暴露出各该导体层, 在该些隔离结构的另一部分中的各该导体层是被各该隔离结构所包覆;

多数个导电块, 分别位于相邻两个源极区之间的该些沟渠中, 并填满该些沟渠, 且与该些源极区及该些导体层电性连接, 其中该些导电块的上表面与该基底的上表面为共平面;

多数个浮置闸极, 位于该些源极区与该些汲极区之间的该基底与该些控制闸极之间;

多数个穿隧氧化层, 位于该些浮置闸极与该基底之间; 以及
一介电层, 位于该些浮置闸极与该些控制闸极之间。

9、根据权利要求 8 所述的 NOR 型快闪记忆体, 其特征在于其更包括多数条导线, 分别电性连接各该汲极区。

10、根据权利要求 8 所述的 NOR 型快闪记忆体, 其特征在于在其中所述的导体层的材质包括掺杂多晶硅。

11、一种 NOR 型快闪记忆体的制造方法, 其特征在于其包括:

在一基底上设有以一第一方向排列的多数条源极区与多数条汲极区;

在该基底表面形成以一第二方向排列的多数条沟渠;

在该些沟渠内形成多数条隔离结构, 并分隔出多数个主动区, 而各该隔离结构的形成方法, 包括:

在各该沟渠的表面形成一衬氧化层;

在各该沟渠中的该衬氧化层上形成一导体层, 且该导体层的上表面低于该基底的上表面; 以及

在该沟渠中的该导体层上形成一绝缘层并填满该沟渠;

在该些主动区内的该些源极区与该些汲极区之间的该基底上依序形成多数个穿隧氧化层以及多数个浮置闸极;

在该基底上形成覆盖该些浮置闸极的一介电层;

在该些源极区与该些汲极区之间形成多数条控制闸极;

移除该些源极区的该些沟渠中部分该些隔离结构, 以暴露出该些导体层;

在该些源极区中的该些沟渠中形成多数个导电块, 分别填满该些沟渠, 且与该些源极区及该些导体层电性连接, 其中该些导电块的上表面与该基底的上表面为共平面; 以及

在该些源极区与该些汲极区中暴露出的该基底内形成多数个掺杂

区,其中该些源极区内的该些掺杂区藉由该些导电块而电性相连。

12、根据权利要求 11 所述的 NOR 型快闪记忆体的制造方法,其特征在于在其中所述的沟渠表面形成该衬氧化层的方法,包括:

在该基底上形成一图案化罩幕层,以暴露出该些沟渠表面;

对该基底进行一热氧化制程;以及

移除该图案化罩幕层。

13、根据权利要求 11 所述的 NOR 型快闪记忆体的制造方法,其特征在于在其中所述的沟渠中的该些衬氧化层上形成该些导体层的方法,包括:

在该基底上形成一导体材料层并填满该沟渠;以及

移除该基底上的该导体材料层及该些沟渠中部份该导体材料层。

14、根据权利要求 13 所述的 NOR 型快闪记忆体的制造方法,其特征在于在其中所述的基底上形成该导体材料层的方法包括化学气相沉积法。

15、根据权利要求 11 所述的 NOR 型快闪记忆体的制造方法,其特征在于其中所述的导电块的形成方法,包括:

在该基底上形成一导电材料层并填满源极区中的该些沟渠;以及

移除该基底上方的该导电材料层。

16、根据权利要求 11 所述的 NOR 型快闪记忆体的制造方法,其特征在于其中所述的掺杂区的形成方法包括离子植入法。

17、根据权利要求 11 所述的 NOR 型快闪记忆体的制造方法,其特征在于其中所述的形成该些控制闸极之后,更包括于该基底上形成多数条导线,而各该导线分别电性连接于各该汲极区。

半导体内连线结构与 NOR 型快闪记忆体及其制造方法

技术领域

本发明涉及一种半导体内连线结构及 NOR 型快闪记忆体 (NOR-type flash memory), 且特别是有关于一种可缩小间距的半导体内连线结构及 NOR 型快闪记忆体。

背景技术

图 1 是习知一种 NOR 型快闪记忆体的俯视图, 而图 2 是图 1 的 II-II' 线的剖面示意图。

请同时参阅图 1 与图 2, 在一基底 100 内有以 Y 方向交错排列的扩散区 102 与隔离区 104, 且在基底 100 上有以 X 方向间隔排列的控制闸极 106。而记忆胞中的浮置闸极 (图中未示) 与穿隧氧化层 (图中未示) 则是位于每一个扩散区 102 与控制闸极 106 相迭的区域 110 中。除此之外, 在控制闸极 106 一侧的扩散区 102 可作为源极区 108a、另一侧的扩散区 102 则可作为汲极区 108b。而且, 通常同一行的汲极区 108b 是藉由多个接触窗 112 外接到一导线 (图中未示)。相较下, 同一行的源极区 108a 则如图 2 所示, 是先去除源极区 108a 中的隔离结构 (亦即隔离区 104), 再于源极区 108a 中所暴露出的基底 100 内形成掺杂区 114 连接同一行的源极区 108a, 最后再经由设置在两隔离区 104 间的一源极拾起线 (source pickup line) 116 及其中的接触窗 118 外接到一导线 (图中未示), 使源极区 108a 电性导通。

然而, 因为上述结构使用很多的接触窗, 而使得 NOR 型快闪记忆体的面积无法进一步缩小, 而目前半导体往小型化发展的趋势相违背。此外, 其所外接的导线会增加 NOR 形快闪记忆体体的尺寸。

发明内容

本发明的目的就是在提供一种半导体内连线结构, 以得到较小的半导体元件。

本发明的再一目的是提供一种半导体内连线结构的制造方法, 以提高半导体元件的积集度。

本发明的又一目的是提供一种 NOR 型快闪记忆体的制造方法, 以得到较小的记忆体面积

本发明的另一目的是提供一种 NOR 型快闪记忆体的制造方法, 以缩减记忆体面积。

本发明提出一种半导体内连线结构,包括一基底、一隔离结构及一导电块。其中,在此基底中已形成有一沟渠,而隔离结构配置于沟渠内且包括一导体层,导体层配置于隔离结构内而不与沟渠表面接触。导电块位于沟渠中,且与导体层电性连接,其中导电块的上表面与基底的上表面为共平面。

依照本发明的一较佳实施例所述,在上述的半导体内连线结构中,绝缘层的材质包括氧化硅。

依照本发明的一较佳实施例所述,在上述的半导体内连线结构中,导体层的材质包括掺杂多晶硅。

本发明提出一种半导体内连线结构的制造方法,首先提供一基底,在基底中已形成有一沟渠。接着,在沟渠的表面形成一层衬氧化层。然后,在沟渠中的衬氧化层上形成一层导体层,且导体层的上表面低于基底的上表面。在沟渠中形成一氧化层并填满沟渠,氧化层与衬氧化层形成一隔离结构。移除部份的隔离结构以暴露出导体层。接下来,在沟渠中形成一导电块,且导电块与导体层电性连接,其中导电块的上表面与基底的上表面为共平面。

依照本发明的一较佳实施例所述,在上述的半导体内连线结构的制造方法中,在沟渠的表面形成一层衬氧化层的方法,首先于基底上形成一层图案化罩幕层。接着,对基底进行一个热氧化制程。然后,移除图案化罩幕层。

依照本发明的一较佳实施例所述,在上述的半导体内连线结构的制造方法中,在基底上形成共形的一层氧化物材料层的方法包括化学气相沉积法。

依照本发明的一较佳实施例所述,在上述的半导体内连线结构的制造方法中,在沟渠中的衬氧化层上形成一层导体层的方法,为先于基底上形成一层图案化罩幕层。之后,对基底进行一个热氧化制程。接下来,移除图案化罩幕层。

本发明提出一种 NOR 型快闪记忆体,包括一基底、多数条控制闸极、多数条沟渠、多数条源极区、多数条汲极区、多数个隔离结构、多数个导电块、多数个浮置闸极、多数个穿隧氧化层及一介电层。其中,这些控制闸极以一第一方向排列于基底上,而这些沟渠以一第二方向排列于基底表面。再者,这些源极区位于各控制闸极的一侧的这些沟渠间的基底内。而这些汲极区分别位于各控制闸极的另一侧的这些沟渠间的基底内。各隔离结构配置于该些沟渠中,且包括一层导体层,其中隔离结构的一部分暴露出各导体层,在隔离结构的另一部分中的各导体层被各隔离结构所包覆。此外,这些导电块分别位于相邻两个源极区之间的这些沟渠中,并填满这些沟渠,且与这些源极区及这些导体层电性连接,其中导电块的上表面与基底的上表面为共平面,而浮置闸极位于这些源极区与这些汲极区之间的基底与这些控制闸极之间。这些穿隧氧化层位于这些浮置闸极与基底之间,而介电

层位于这些浮置闸极与这些控制闸极之间。

依照本发明的一较佳实施例所述,在上述的 NOR 型快闪记忆体,更包括多数条导线,分别电性连接各汲极区。

依照本发明的一较佳实施例所述,在上述的 NOR 型快闪记忆体中,这些导体层的材质包括掺杂多晶硅。

本发明提出一种 NOR 型快闪记忆体的制造方法,首先于一基底上设有以一第一方向排列的多数条源极区与多数条汲极区,再于基底表面形成以一第二方向排列的多数条沟渠。接着,在这些沟渠内形成多数条隔离结构,并分隔出多数个主动区,而各隔离结构的形成方法,为先于各沟渠的表面形成一层衬氧化层,接着于各沟渠中的衬氧化层上形成一层导体层,且导体层的上表面低于基底的上表面,再于沟渠中的导体层上形成一层绝缘层并填满此沟渠。然后,在这些主动区内的这些源极区与这些汲极区之间的基底上依序形成多数个穿隧氧化层以及多数个浮置闸极。接下来,在基底上形成覆盖这些浮置闸极的一层介电层,再于这些源极区与这些汲极区之间形成多数条控制闸极。之后,移除这些源极区的这些沟渠中一部分的隔离结构,以暴露出这些导体层。继之,在这些源极区中的这些沟渠中形成多数个导电块,分别填满这些沟渠,且与源极区及导体层电性连接,其中导电块的上表面与基底的上表面为共平面。随后,在这些源极区与这些汲极区中暴露出的基底内形成多数个掺杂区,其中这些源极区内的这些掺杂区藉由这些导电块而电性相连。

依照本发明的一较佳实施例所述,在上述的 NOR 型快闪记忆体的制造方法中,在沟渠的表面形成衬氧化层的方法,为先于基底上形成一层图案化罩幕层。之后,对基底进行一个热氧化制程。接下来,移除图案化罩幕层。

依照本发明的一较佳实施例所述,在上述的 NOR 型快闪记忆体的制造方法中,在这些沟渠中的这些衬氧化层上形成这些导体层的方法,为先于基底上形成一层导体材料层并填满沟渠。接着,移除基底上的导体材料层及这些沟渠中部份导体材料层。

依照本发明的一较佳实施例所述,在上述的 NOR 型快闪记忆体的制造方法中,在基底上形成导体材料层的方法包括化学气相沉积法。

依照本发明的一较佳实施例所述,在上述的 NOR 型快闪记忆体的制造方法中,这些导电块的形成方法,为先于基底上形成一层导电材料层并填满源极区中的这些沟渠。接着,移除基底上方的导电材料层。

依照本发明的一较佳实施例所述,在上述的 NOR 型快闪记忆体的制造方法中,这些掺杂区的形成方法包括离子植入法。

依照本发明的一较佳实施例所述,在上述的 NOR 型快闪记忆体的制造方法中,形成这些控制闸极之后,更包括于基底上形成多数条导线,而各导线分别电性连接于各汲极区。

本发明因采用于隔离结构中形成的半导体内连线,可得到较小的半导体元件,如以本发明中的半导内连线可取代习知连接记忆体源极区的接触窗结构,因此可得到较小的记忆体面积。

另一方面,在本发明所提出的 NOR 型快闪记忆体中,不需要形成习知技术中的源极拾起线,因此可进一步缩小记忆体面积。

此外,藉由制程上的变化,将隔离结构与半导体难连线的制程进行整合,可于缩减记忆体面积的同时,简化制程并降低制造成本。

为让本发明的上述和其他目的、特征和优点能更明显易懂,下文特举较佳实施例,并配合所附图式,作详细说明如下。

附图说明

图 1 是习知一种 NOR 型快闪记忆体的俯视图。

图 2 是图 1 的 II-II' 线的剖面示意图。

图 3 是依照本发明的第一实施例所绘示的一种半导体内连线的剖面示意图。

图 4A ~ 图 4D 是依照本发明的第二实施例所绘示的一种半导体内连线的制造流程剖面图。

图 5A 是依照本发明的第一实施例的一种 NOR 型快闪记忆体的俯视图。

图 5B 是图 5A 的 B-B' 线的剖面示意图。

图 5C 是图 5A 的 C-C' 线的剖面示意图。

图 6A ~ 图 6G 是依照本发明的第二实施例的 NOR 型快闪记忆体的制造流程剖面图。

100、300、400、500、600: 基底	102: 扩散区
104: 隔离区	106、502、622: 控制闸极
108a、506: 源极区	108b、508: 汲极区
110: 区域	112、118: 接触窗
114、630: 掺杂区	116: 源极拾起线
302、406、504、606: 沟渠	304: 绝缘层
306、412、512、614: 导体层	402、602: 垫氧化层
404、604、624: 图案化罩幕层	408: 衬氧化层
410: 导体材料层	414: 氧化物材料层
416: 氧化层	504: 控制闸极
510、608: 隔离结构	514、626: 导电块
516、618: 浮置闸极	518、616: 穿隧氧化层
520、612、620: 介电层	610: 主动区
628: 导体材料层	

具体实施方式

第一实施例

请参阅图 3 所示,是依照本发明的第一实施例所绘示的一种半导体内连线的剖面示意图。请参阅图 3,半导体内连线包括基底 300、绝缘层 304 及导体层 306。其中,在此基底 300 中已形成有沟渠 302,而绝缘层 304 配置于沟渠 302 内,其材质例如是氧化硅。再者,导体层 306 配置于绝缘层 304 内,且被绝缘层 304 所包覆,其材质例如是掺杂多晶硅。

由于第一实施例中的半导体内连线,导体层 306 是配置于绝缘层 304 中,可有效节省空间,以降低半导体元件的尺寸。

第二实施例

请参阅图 4A~图 4C 所示,是依照本发明的第二实施例所绘示的一种半导体内连线的制造流程剖面图。首先,请参阅图 4A,首先提供一基底 400,在基底 400 中已形成有一沟渠 406,其形成方法例如是先于基底 400 上形成一图案化罩幕层 404,接着再进行一个蚀刻制程而形成之。其中,图案化罩幕层 404 的材质例如是氮化硅。此外,可在形成图案化罩幕层 404 的前,先于基底 400 上形成垫氧化层 402,可增加图案化罩幕层 404 的粘着力。其中垫氧化层 402 材质例如是氧化硅,形成方法例如是热氧化法。

接着,请参阅图 4B,在沟渠 406 的表面形成一层衬氧化层 408,其材质例如是氧化硅,其形成方法例如是对基底 400 进行一个热氧化制程而形成之。然后,在沟渠 406 中的衬氧化层 408 上形成一层导体层 412,且导体层 412 的上表面低于基底 400 的上表面。上述导体层 412 的材质例如是掺杂多晶硅,且其形成方法,例如是进行一个化学气相沉积制程,以于基底 400 上形成一导体材料层 410,覆盖于图案化罩幕层 404 上并填满沟渠 406。接着,移除基底 400 上的导体材料层 410 及移除沟渠 406 中部份导体材料层 410,移除的方法例如是进行一个回蚀刻制程。

接下来,请参阅图 4C,在沟渠 406 中形成一层氧化层 416 并将沟渠 406 填满,其材质例如是氧化硅。上述氧化层 416 的形成方法,例如是先于基底 400 上形成一氧化物材料层 414。接着,以图案化罩幕层 404 为研磨终止层,进行一个化学机械研磨制程,以平坦化氧化物材料层 414。

之后,请参阅图 4D,再以图案化罩幕层 404 为罩幕,移除部份衬氧化层 408 及部分氧化层 416,可降低沟渠 406 中隔离结构(由氧化层 408 及氧化层 416 组成)的高度,有利于后续半导体制程的进行。继之,移除图案化罩幕层 404 及垫氧化层 402。

在上述半导体内连线的制造方法中,在隔离结构中形成半导体内连线,可有效缩小半导体元件的尺寸。另一方面,本发明将内连线半导体内连线(导体层 412)的制程与隔离结构的制程进行整合,所以可于缩减半导体元件

尺寸的同时,简化半导体的制造流程。

第三实施例

请参阅图 5A 所示,是依照本发明的第三实施例的一种 NOR 型快闪记忆体的俯视图、图 5B 是图 5A 的 B-B' 线的剖面示意图,且图 5C 是图 5A 的 C-C' 线的剖面示意图。

请同时参阅图 5A 至图 5C,本实施例所提供的 NOR 型快闪记忆体包括一基底 500、数条控制闸极 502、数条沟渠 504、数条源极区 506、数条汲极区 508、数个隔离结构 510、数个导电块 514、数个浮置闸极 516、数个穿隧氧化层 518 及介电层 520。

其中,控制闸极 502 以 X 方向排列于基底 500 上,而沟渠 504 以 Y 方向排列于基底 500 表面。再者,源极区 506 位于控制闸极 502 一侧的基底 500 与沟渠 504 内,而汲极区 508 分别位于控制闸极 502 另一侧的沟渠 504 间的基底 500 内。

各隔离结构 510 中包括一层导体层 512,其材质例如是掺杂多晶硅。其中位于源极区 506 内的沟渠 504 中的隔离结构 510,其上表面低于基底 500 的上表面,且暴露出导体层 512,另外,位于源极区 508 以外的沟渠 504 中的各隔离结构 510 填满各沟渠 504,且导体层 512 被隔离结构 510 所包覆。

导电块 514 分别位于源极区 506 内的沟渠 504 中,并填满沟渠 504,且与源极区 506 及导体层 512 电性连接,导电块 514 的材质例如是掺杂多晶硅。

浮置闸极 516 位于源极区 506 与汲极区 508 之间的基底 500 与控制闸极 502 之间。

穿隧氧化层 518 位于浮置闸极 516 与基底 500 之间,而介电层 520 位于浮置闸极 516 与控制闸极 502 之间,穿隧氧化层 518 与介电层 520 的材质例如是氧化硅。

另外,本实施例的 NOR 型快闪记忆体更可包括数条导线(图中未示),可藉由接触窗 522 而分别电性连接各汲极区 508。

在上述记忆体中,因为在隔离结构 510 中形成半导体内连线(导体层 512),所以不需要再另外用接触窗将源极连通,可以有效缩小记忆体面积。

第四实施例

请参阅图 6A~图 6G 所示,是依照本发明的第四实施例的 NOR 型快闪记忆体的制造流程剖面图,且图 6A~图 6G 是沿着图 5A 中的剖面线 B-B' 及 C-C' 所绘制而成。

请先参阅图 6A,在一基底 600 上设有以 X 排列的数条源极区(请参考图 5A 的 506)与汲极区(请参考图 5A 的 508),再于基底 600 表面形成以 Y 排列的数条沟渠 602。而形成沟渠 602 的方式可参考既有技术,例如先在基底 600 上形成图案化的垫氧化层 602 与图案化罩幕层 604 以作为蚀刻罩幕,再

蚀刻基底 600, 以便形成数个沟渠 606。其中, 垫氧化层 602 的材质例如是氧化硅, 而图案化罩幕层 604 的材质例如是氮化硅。

接着, 请参阅图 6B, 在这些沟渠 602 内形成数条隔离结构 608, 并分隔出数个主动区 610。其中, 隔离结构 608 由介电层 612 及导体层 614 所组成, 且导体层 614 被介电层 612 所包覆。上述隔离结构 608 的制造方法, 与第二实施例中所介绍的半导体内连线的制造方法大致相同, 故于此不再赘述。

然后, 请参阅图 6C, 先将前述垫氧化层 602 与图案化罩幕层 604 去除。接着, 再于主动区 610 内的源极区与汲极区间的基底 600 上依序形成穿隧氧化层 616 以及浮置闸极 618, 其形成方法例如是于基底 600 上依序形成穿隧氧化材料层(图中未示)及浮置闸极材料层(图中未示), 对穿隧氧化材料层及浮置闸极材料层进行一个图案化制程而形成之。

接下来, 请参阅图 6D, 在基底 600 上形成覆盖浮置闸极 618 的一介电层 620。接着, 在源极区与汲极区之间形成数条控制闸极 622。上述介电层 620 及控制闸极 622 的形成方法, 例如是于基底 600 上依序形成介电材料层(图中未示)及控制闸极材料层(图中未示), 对介电材料层及控制闸极材料层进行一个图案化制程而形成之。

之后, 请参阅图 6E, 移除源极区的沟渠 606 中一部分的隔离结构 608, 以暴露出导体层 614。移除部份隔离结构 608 的方法, 例如是先于基底 600 上形成一图案化光阻层 624, 以暴露出源极区中的隔离结构 608。接着以图案化光阻层 624 为罩幕, 对隔离结构 608 进行一个非等向性蚀刻制程, 以暴露出导体层 614。然后, 移除图案化光阻层 624。

继之, 请参阅图 6F 于源极区中的沟渠 606 中形成数个导电块 626, 分别填满沟渠 606, 且电性连接于导体层 614。其中, 导电块 626 的材质例如是掺杂多晶硅, 其形成的方法例如是先于基底 600 上形成一导体材料层 628。接着, 对导体材料层 628 进行一个平坦化制程, 如化学机械研磨制程而形成之。

随后, 请参阅图 6G, 在源极区与这些汲极区中暴露出的基底 600 内形成数个掺杂区 630, 其中掺杂区的形成方法例如是进行一个离子植入制程。如此一来, 源极区内的掺杂区 630 藉由这些导电块 626 而电性相连。此外, 形成掺杂区 630 之后, 可于基底 600 上形成分别电性连接各汲极区的数条导线(图中未示)。

在上述 NOR 型快闪记忆体的制造方法中, 利用形成于隔离结构 608 中的导体层 614 连接各源极区, 取代习知技术中须在共同源极区中形成接触窗, 再以导线进行连接的方法, 因此能有效减少记忆体的面积。另一方面, 导体层 614 形成于隔离结构 608 中, 整合了隔离结构及半导体内连线的制程, 可简化制程并降低制造成本。

综上所述, 本发明至少具有下列优点:

1. 在本发明所提出的半导体内连线及其制造方法中, 在隔离结构中形成半导体内连线, 可有效缩小半导体元件的尺寸。

2. 本发明将内连线半导体内连线的制程与隔离结构的制程进行整合, 所以可于缩减半导体元件尺寸的同时, 简化半导体的制造流程。

3. 本发明的新颖的 NOR 型快闪记忆体与其制造方法因为在隔离结构中形成半导体内连线, 所以不需要再另外用接触窗将源极连通。

4. 因为本发明的新颖的 NOR 型快闪记忆体利用在隔离结构中形成半导体内连线, 因此无须形成习知技术中的源极拾起线, 可将记忆体的面积缩小。

5. 本发明所提出的 NOR 型快闪记忆体藉由制程上的改良, 可达到简化制程并降低制造成本的优点。

虽然本发明已以较佳实施例揭露如上, 然其并非用以限定本发明, 任何熟习此技艺者, 在不脱离本发明的精神和范围内, 当可作些许的更动与润饰, 因此本发明的保护范围当视后附的申请专利范围所界定者为准。

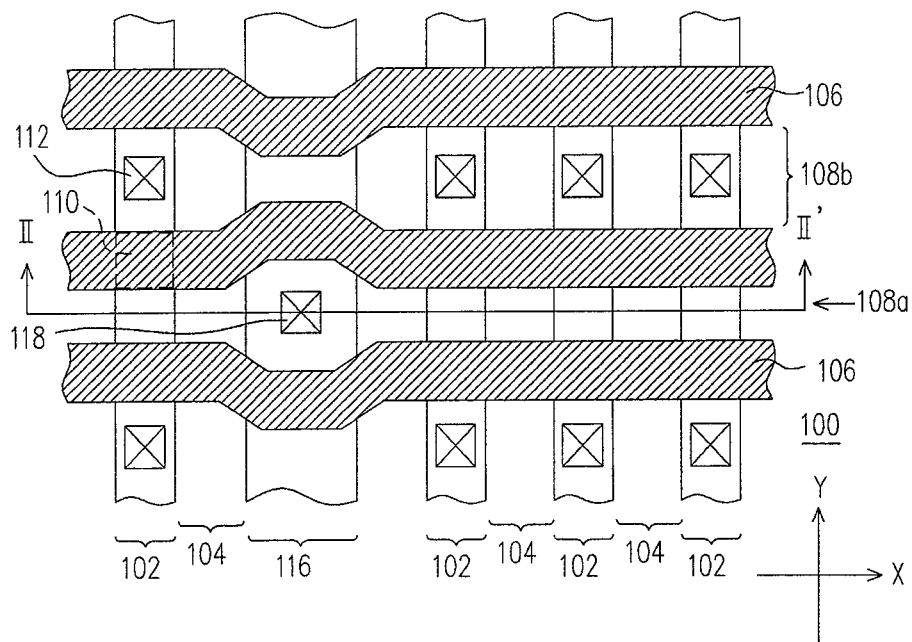


图 1

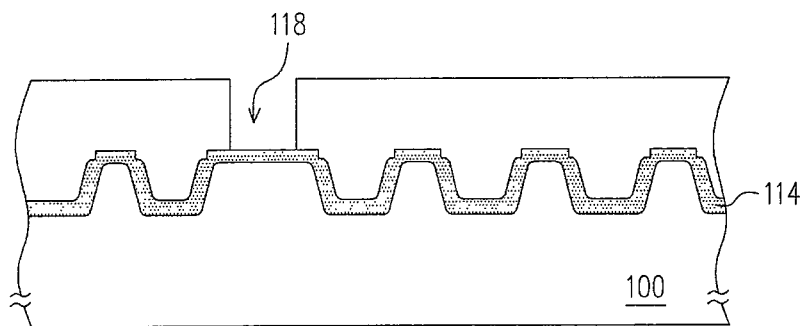


图 2

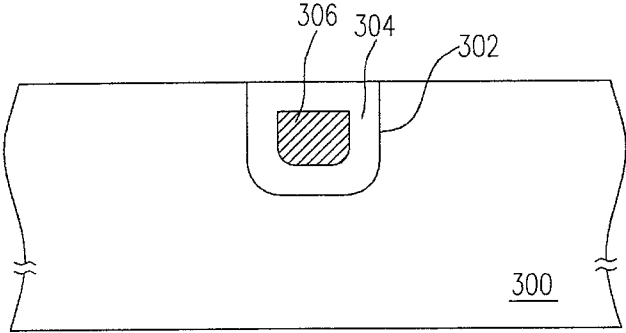


图 3

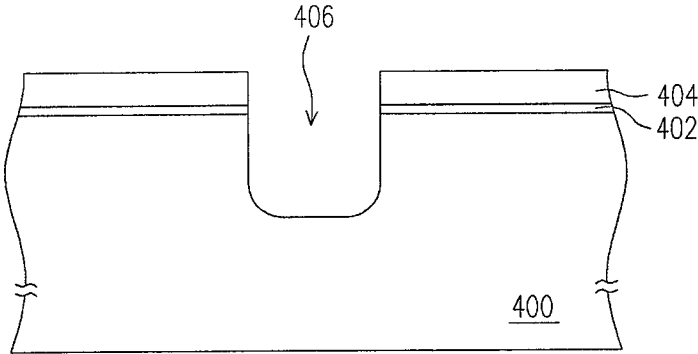


图 4A

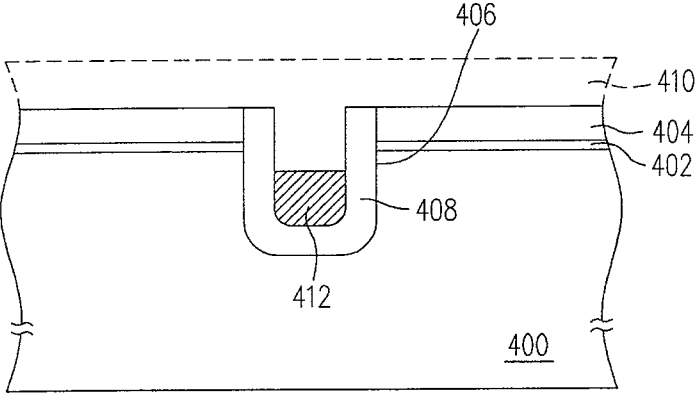


图 4B

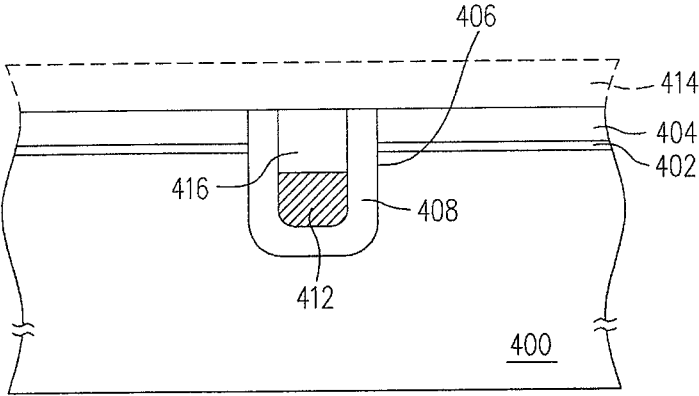


图 4C

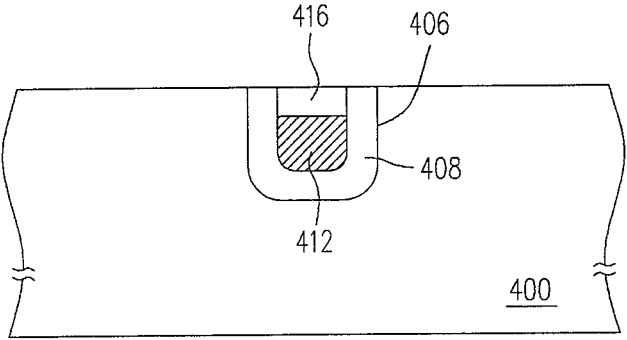


图 4D

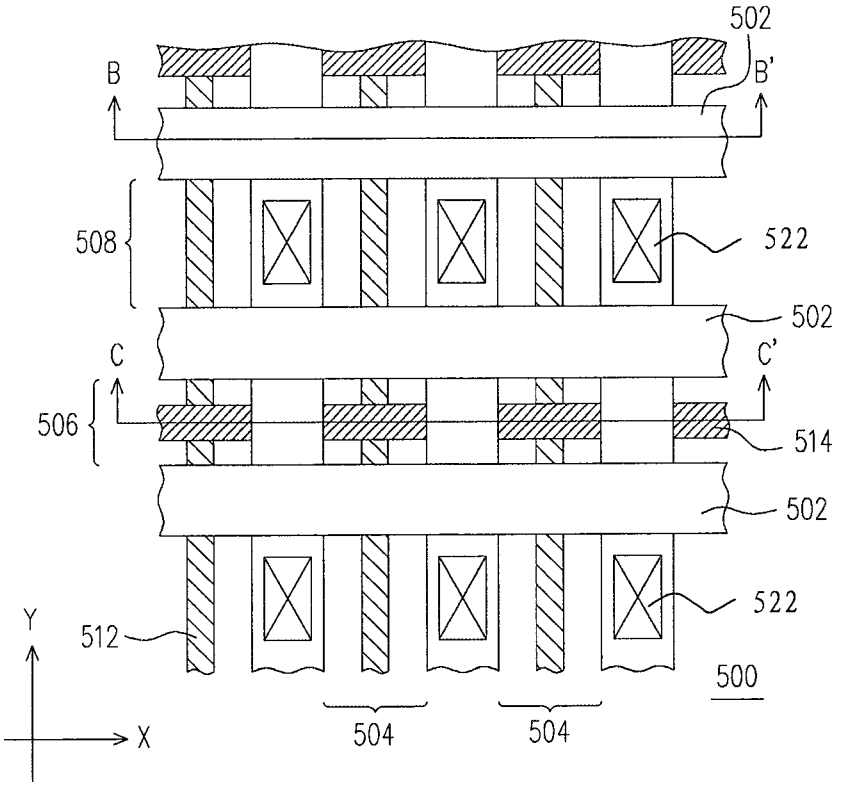


图 5A

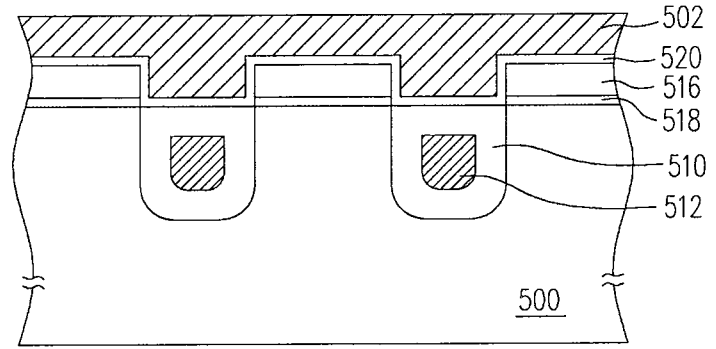


图 5B

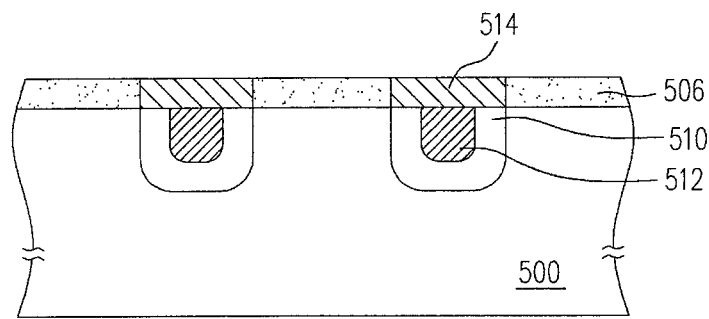


图 5C

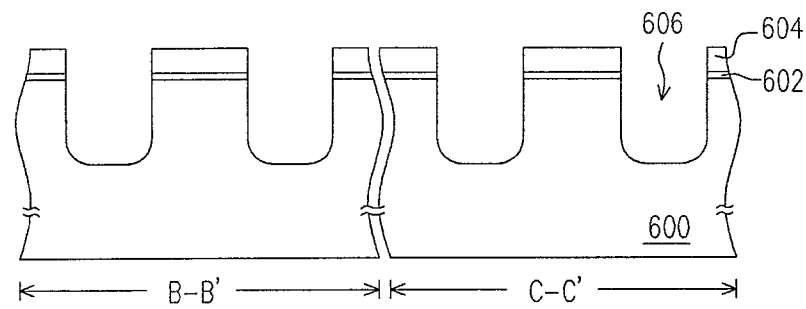


图 6A

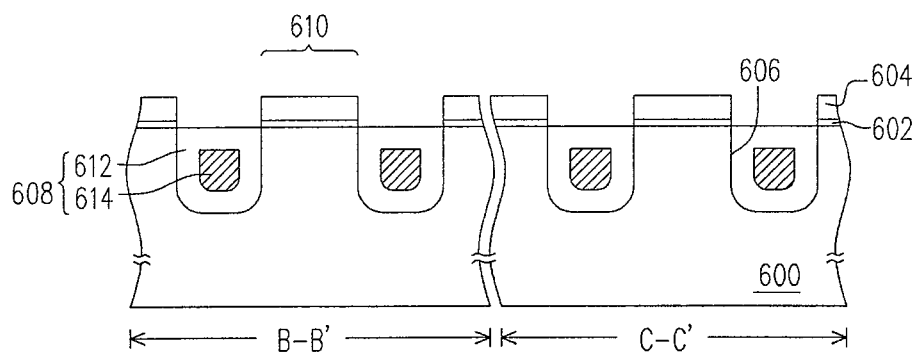


图 6B

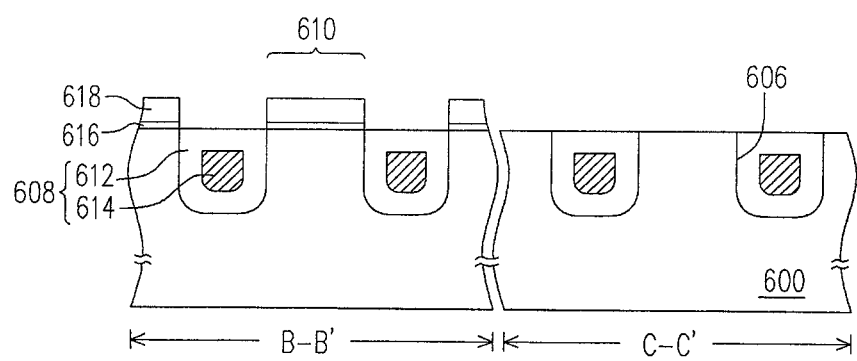


图 6C

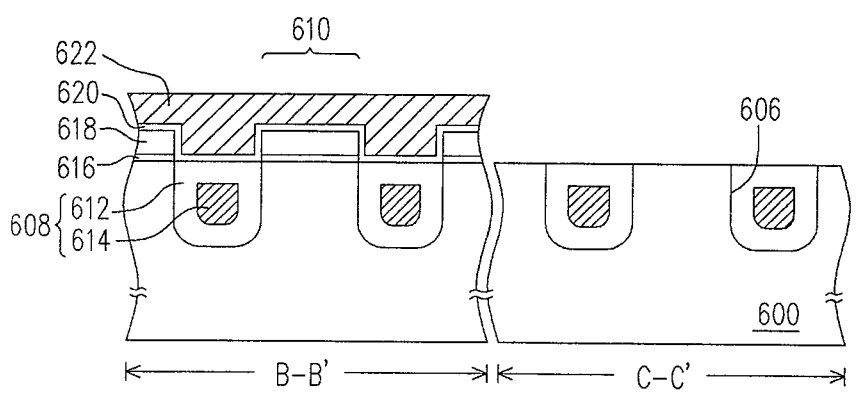


图 6D

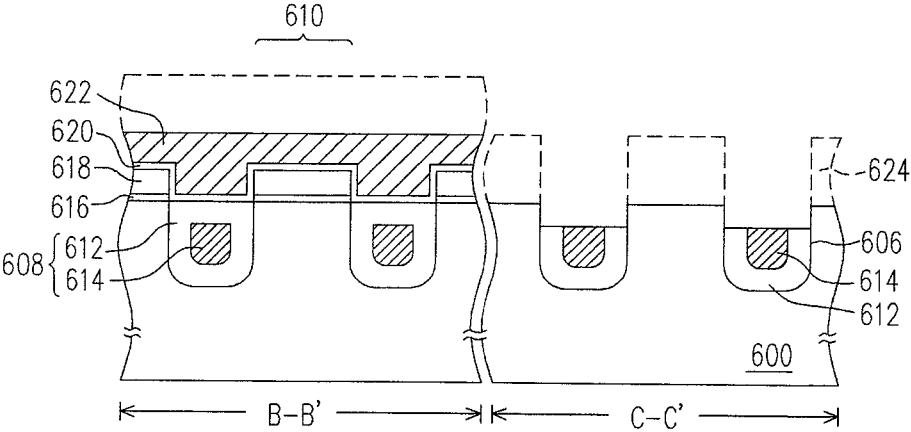


图 6E

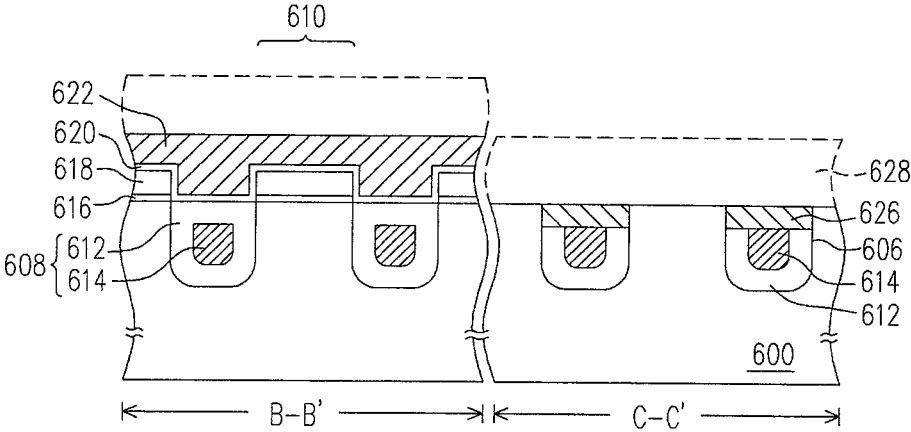


图 6F

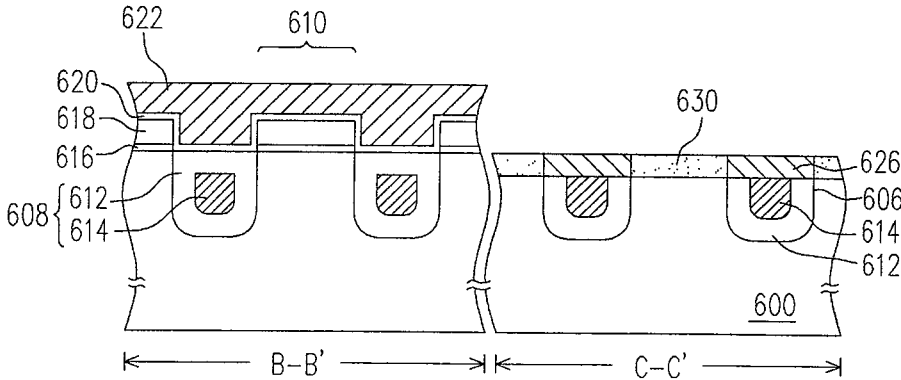


图 6G