

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7701603号  
(P7701603)

(45)発行日 令和7年7月2日(2025.7.2)

(24)登録日 令和7年6月24日(2025.6.24)

(51)国際特許分類 F I  
H 0 4 B 10/516 (2013.01) H 0 4 B 10/516  
G 0 2 F 1/01 (2006.01) G 0 2 F 1/01 B

請求項の数 8 (全23頁)

(21)出願番号	特願2021-116070(P2021-116070)	(73)特許権者	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号
(22)出願日	令和3年7月14日(2021.7.14)	(74)代理人	110004370 弁理士法人片山特許事務所
(65)公開番号	特開2023-12575(P2023-12575A)	(72)発明者	田中 信介 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
(43)公開日	令和5年1月26日(2023.1.26)	(72)発明者	秋山 知之 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
審査請求日	令和6年4月4日(2024.4.4)	(72)発明者	蘇武 洋平 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

最終頁に続く

(54)【発明の名称】 光送信器および光トランシーバ

(57)【特許請求の範囲】

【請求項1】

各シンボルがM（Mは、2以上の整数）ビットを伝送する変調光信号を送信する光送信器であって、

前記光送信器が時間分割多重でN（Nは、2以上の整数）個の光信号を多重化するとき、送信データから互いに同じビットレートのM×N個のバイナリ電気信号を生成する信号生成回路と、

マッハツェンダ干渉計と、

前記マッハツェンダ干渉計の光パスに沿って設けられ、前記M×N個のバイナリ電気信号に応じてそれぞれ前記光パスを伝搬する光の位相をシフトさせるM×N個の移相セグメントと、を備え、

前記M×N個の移相セグメントは、N個の電極グループから構成され、  
前記N個の電極グループは、前記光パスに沿って直列に設けられ、  
前記N個の電極グループの中の第1の電極グループに含まれる電極と前記第1の電極グループに隣接する第2の電極グループに含まれる対応する電極との間の距離は、前記時間分割多重の1個の時間スロットに対応する時間に光が前記光パスを伝搬する距離であり、

各電極グループは、前記M×N個のバイナリ電気信号のうちの対応するM個のバイナリ電気信号が与えられるM個以上の電極を含む

ことを特徴とする光送信器。

【請求項2】

各シンボルが  $M$  ( $M$  は、2 以上の整数) ビットを伝送する変調光信号を送信する光送信器であって、

前記光送信器が時間分割多重で  $N$  ( $N$  は、2 以上の整数) 個の光信号を多重化するときに、送信データから互いに同じビットレートの  $M \times N$  個のバイナリ電気信号を生成する信号生成回路と、

マッハツェンダ干渉計と、

前記マッハツェンダ干渉計の光パスに沿って設けられ、前記  $M \times N$  個のバイナリ電気信号に応じてそれぞれ前記光パスを伝搬する光の位相をシフトさせる  $M \times N$  個の移相セグメントと、を備え、

前記  $M \times N$  個の移相セグメントは、 $N$  個の電極グループから構成され、

前記  $N$  個の電極グループは、前記光パスに沿って直列に設けられ、

前記  $N$  個の電極グループの中の第 1 の電極グループに含まれる電極と前記第 1 の電極グループに隣接する第 2 の電極グループに含まれる対応する電極との間の距離は、前記送信データのビットレートが  $B$  であるときに、期間  $M / B$  に光が前記光パスを伝搬する距離であり、

各電極グループは、前記  $M \times N$  個のバイナリ電気信号のうちの対応する  $M$  個のバイナリ電気信号が与えられる  $M$  個以上の電極を含む

ことを特徴とする光送信器。

【請求項 3】

各電極グループは、互いに長さが異なる  $M$  個の電極から構成される

ことを特徴とする請求項 1 又は 2 に記載の光送信器。

【請求項 4】

各電極グループは、互いに同じ長さの  $M$  より多い数の電極から構成される

ことを特徴とする請求項 1 又は 2 に記載の光送信器。

【請求項 5】

前記信号生成回路は、各電極グループに与えられる  $M$  個のバイナリ電気信号に対応する  $M$  個の光信号が時間領域で互いに重なり合うように、前記  $M \times N$  個のバイナリ電気信号のタイミングを調整する

ことを特徴とする請求項 1 又は 2 に記載の光送信器。

【請求項 6】

前記信号生成回路は、

前記送信データから  $M \times N \times K$  ( $K$  は、2 以上の整数) 個のサブデータ列を生成するエンコーダと、

$M \times N$  個のシリアライザと、

$M \times N$  個のドライバと、

クロック信号を生成するクロック生成回路と、を含み、

前記  $M \times N$  個のシリアライザは、それぞれ前記クロック信号を使用して対応する  $K$  個のサブデータ列から順番にビットを選択して出力することで  $M \times N$  個のビット列を生成し、

前記  $M \times N$  個のドライバは、前記  $M \times N$  個のビット列から前記  $M \times N$  個のバイナリ電気信号を生成する

ことを特徴とする請求項 1 又は 2 に記載の光送信器。

【請求項 7】

光受信器および各シンボルが  $M$  ( $M$  は、2 以上の整数) ビットを伝送する変調光信号を送信する光送信器を含む光トランシーバであって、

前記光送信器は、

前記光送信器が時間分割多重で  $N$  ( $N$  は、2 以上の整数) 個の光信号を多重化するときに、送信データから互いに同じビットレートの  $M \times N$  個のバイナリ電気信号を生成する信号生成回路と、

マッハツェンダ干渉計と、

前記マッハツェンダ干渉計の光パスに沿って設けられ、前記  $M \times N$  個のバイナリ電気

10

20

30

40

50

信号に応じてそれぞれ前記光パスを伝搬する光の位相をシフトさせる  $M \times N$  個の移相セグメントと、を備え、

前記  $M \times N$  個の移相セグメントは、 $N$  個の電極グループから構成され、  
前記  $N$  個の電極グループは、前記光パスに沿って直列に設けられ、  
前記  $N$  個の電極グループの中の第 1 の電極グループに含まれる電極と前記第 1 の電極グループに隣接する第 2 の電極グループに含まれる対応する電極との間の距離は、前記時間分割多重の 1 個の時間スロットに対応する時間に光が前記光パスを伝搬する距離であり、

各電極グループは、前記  $M \times N$  個のバイナリ電気信号のうちの対応する  $M$  個のバイナリ電気信号が与えられる  $M$  個以上の電極を含む

ことを特徴とする光トランシーバ。

10

#### 【請求項 8】

光受信器および各シンボルが  $M$  ( $M$  は、2 以上の整数) ビットを伝送する変調光信号を送信する光送信器を含む光トランシーバであって、

前記光送信器は、

前記光送信器が時間分割多重で  $N$  ( $N$  は、2 以上の整数) 個の光信号を多重化するとき、送信データから互いに同じビットレートの  $M \times N$  個のバイナリ電気信号を生成する信号生成回路と、

マッハツェンダ干渉計と、

前記マッハツェンダ干渉計の光パスに沿って設けられ、前記  $M \times N$  個のバイナリ電気信号に応じてそれぞれ前記光パスを伝搬する光の位相をシフトさせる  $M \times N$  個の移相セグメントと、を備え、

20

前記  $M \times N$  個の移相セグメントは、 $N$  個の電極グループから構成され、

前記  $N$  個の電極グループは、前記光パスに沿って直列に設けられ、

前記  $N$  個の電極グループの中の第 1 の電極グループに含まれる電極と前記第 1 の電極グループに隣接する第 2 の電極グループに含まれる対応する電極との間の距離は、前記送信データのビットレートが  $B$  であるときに、期間  $M / B$  に光が前記光パスを伝搬する距離であり、

各電極グループは、前記  $M \times N$  個のバイナリ電気信号のうちの対応する  $M$  個のバイナリ電気信号が与えられる  $M$  個以上の電極を含む

ことを特徴とする光トランシーバ。

30

#### 【発明の詳細な説明】

#### 【技術分野】

#### 【0001】

本発明は、多値光信号を送信する光送信器および光トランシーバに係わる。

#### 【背景技術】

#### 【0002】

光変調器は、長距離 / 大容量の光伝送を実現するためのキーデバイスの 1 つである。光変調器は、例えば、デジタル信号処理器 (DSP: Digital Signal Processor) により生成される送信データに対応する電気信号で連続光を変調することで変調光信号を生成する。光変調器を備える光送信器の例を図 1 に示す。

40

#### 【0003】

図 1 (a) に示す構成では、DSP により生成される送信データ (デジタル信号) は、デジタル / アナログ変換器 (DAC) によりアナログ信号に変換される。そして、DAC の出力信号がアナログドライバ (線形ドライバ) で増幅され、光変調器に与えられる。光変調器は、マッハツェンダ干渉計を構成する光導波路を備え、光導波路の近傍に電極が形成されている。マッハツェンダ干渉計には、連続光が入力される。そして、ドライバの出力信号が電極に与えられると、その信号に応じて導波路を伝搬する光の位相が変化し、送信データを表す変調光信号が出力される。なお、以下の記載では、送信データを表す電気信号が与えられる電極 (即ち、位相シフトとして使用される電極) を「移相セグメント」または単に「セグメント」と呼ぶことがある。

50

## 【 0 0 0 4 】

この構成において、各シンボルが2ビットのデータを伝送する光信号を生成する場合、DSPは、2ビットパラレルデータを出力する。そうすると、DACから4レベルのアナログ信号が出力されるので、PAM4(4-level Pulse Amplitude Modulation)光信号が生成される。ただし、この構成で十分な光振幅を得るためには、ポーレートが高くなるにつれて大きな振幅のアナログ信号が必要になるので、ドライバの消費電力が大きくなる。

## 【 0 0 0 5 】

この問題は、例えば、図1(b)に示す構成により緩和される。図1(b)に示す構成では、光変調器は、各シンボルにより伝送される複数のビットそれぞれに対して電極を備える。すなわち、各シンボルが2ビットのデータを伝送する場合には、光変調器は、下位ビットのための電極(LSBセグメント)および上位ビットのための電極(MSBセグメント)を備える。ここで、同じ電圧振幅の信号が各セグメントに入力されるものとする。この場合、MSBセグメントの長さはLSBセグメントの2倍である。そうすると、各セグメントにそれぞれ対応する送信ビットが与えられると、PAM4光信号が生成される。この構成によれば、図1(a)に示す構成と比較して、光変調器に与える電気信号の振幅を大きくする必要がなく、データ遷移時のみに電流が流れるバイナリドライバを使用できるので、消費電力が削減される。なお、図1(b)に示す変調方式は、デジタル信号がマッハツェンダ干渉計に与えられ、光領域でアナログ信号が生成されるので、「光DAC」と呼ばれることがある。

## 【 0 0 0 6 】

なお、光変調器を備える光通信デバイスまたは光送信回路は、例えば、特許文献1~4に記載されている。

## 【 先行技術文献 】

## 【 特許文献 】

## 【 0 0 0 7 】

【文献】特開2006-195256号公報

【文献】特開2009-027517号公報

【文献】米国特許7787713

【文献】特開2008-219760号公報

## 【 発明の概要 】

## 【 発明が解決しようとする課題 】

## 【 0 0 0 8 】

上述のように、DSPおよび光DACを使用して多値光信号を生成する構成が知られている。ところが、DSPおよび電気回路の高速化には限界がある。このため、送信データの高速化においてDSPまたは電気回路の動作速度がボトルネックになることがある。

## 【 0 0 0 9 】

本発明の1つの側面に係わる目的は、多値光信号を送信する光送信器および光トランシーバの高速化を実現することである。

## 【 課題を解決するための手段 】

## 【 0 0 1 0 】

本発明の1つの態様に係わる光送信器は、各シンボルがM(Mは、2以上の整数)ビットを伝送する変調光信号を送信する光送信器であって、前記光送信器が時間分割多重でN(Nは、2以上の整数)個の光信号を多重化するとき、送信データから互いに同じビットレートのM×N個のバイナリ電気信号を生成する信号生成回路と、マッハツェンダ干渉計と、前記マッハツェンダ干渉計の光パスに沿って設けられ、前記M×N個のバイナリ電気信号に応じてそれぞれ前記光パスを伝搬する光の位相をシフトさせるM×N個の移相セグメントと、を備え、前記M×N個の移相セグメントは、N個の電極グループから構成され、前記N個の電極グループは、前記光パスに沿って直列に設けられ、前記N個の電極グループの中の第1の電極グループに含まれる電極と前記第1の電極グループに隣接する第

10

20

30

40

50

2の電極グループに含まれる対応する電極との間の距離は、前記時間分割多重の1個の時間スロットに対応する時間に光が前記光パスを伝搬する距離であり、各電極グループは、前記M×N個のバイナリ電気信号のうちの対応するM個のバイナリ電気信号が与えられるM個以上の電極を含むことを特徴とする。

また、本発明の1つの態様に係わる光送信器は、各シンボルがM（Mは、2以上の整数）ビットを伝送する変調光信号を送信する光送信器であって、前記光送信器が時間分割多重でN（Nは、2以上の整数）個の光信号を多重化するとき、送信データから互いに同じビットレートのM×N個のバイナリ電気信号を生成する信号生成回路と、マツハツェンダ干渉計と、前記マツハツェンダ干渉計の光パスに沿って設けられ、前記M×N個のバイナリ電気信号に応じてそれぞれ前記光パスを伝搬する光の位相をシフトさせるM×N個の移相セグメントと、を備え、前記M×N個の移相セグメントは、N個の電極グループから構成され、前記N個の電極グループは、前記光パスに沿って直列に設けられ、前記N個の電極グループの中の第1の電極グループに含まれる電極と前記第1の電極グループに隣接する第2の電極グループに含まれる対応する電極との間の距離は、前記送信データのビットレートがBであるときに、期間M/Bに光が前記光パスを伝搬する距離であり、各電極グループは、前記M×N個のバイナリ電気信号のうちの対応するM個のバイナリ電気信号が与えられるM個以上の電極を含むことを特徴とする。

10

【発明の効果】

【0011】

上述の態様によれば、多値光信号を送信する光送信器および光トランシーバの高速化が実現される。

20

【図面の簡単な説明】

【0012】

【図1】光変調器を備える光送信器の例を示す図である。

【図2】光DACを使用する光送信器の一例を示す図である。

【図3】送信データを複数のデータ列に分配する方法の一例を示す図である。

【図4】光DACを使用する光送信器の他の例を示す図である。

【図5】光DACの高速化を実現する構成の一例を示す図である。

【図6】本発明の実施形態に係わる光送信器の一例を示す図である。

【図7】送信データからデータ列およびサブデータ列を生成する方法の一例を示す図である。

30

【図8】光の伝搬時間を考慮した遅延回路を備える光送信器の一例を示す図である。

【図9】図8に示す光送信器の光変調器において生成される光信号の一例を示す図である。

【図10】本発明の実施形態に係わる光送信器の他の例を示す図である。

【図11】図10に示す光送信器の光変調器において生成される光信号の一例を示す図である。

【図12】光信号の時間分割多重の一例を示す図である。

【図13】シミュレーションモデルの一例を示す図である。

【図14】図13に示すシミュレーションモデルにおける信号の波形およびスペクトルを示す図である。

40

【図15】遅延回路を削除することによる効果を説明する図である。

【図16】本発明の実施形態に係わる振幅多重および時間分割多重を模式的に示す図である。

【図17】光送信器の第1の実施例を示す図である。

【図18】図17に示す光送信器による振幅多重および時間分割多重の一例を示す図である。

【図19】光送信器の第2の実施例を示す図である。

【図20】光送信器を含む光トランシーバの一例を示す図である。

【発明を実施するための形態】

【0013】

50

図2は、光DACを使用する光送信器の一例を示す。この実施例では、光送信器1は、デジタル信号処理器(DSP: Digital Signal Processor)2および光変調器3を備える。そして、光送信器1は、各シンボルがMビットを伝送する多値光信号を生成する。例えば、 $M = 2$ であるときはPAM4(4-level Pulse Amplitude Modulation)光信号が生成され、 $M = 3$ であるときはPAM8光信号が生成される。なお、以下の記載では、光DACを使用する光送信器を「光DAC送信器」と呼ぶことがある。

【0014】

DSP2は、送信データからM個のデータ列を生成する。例えば、 $M = 3$ であるときには、図3に示すように、3個のデータ列bit0~bit2が生成される。この例では、送信データを表すビット列がデータ列bit0~bit2に1ビットずつ順番に分配されている。ただし、送信データを各データ列に分配する方法は、図3に示す例に限定されるものではない。

10

【0015】

光変調器3は、マッハツェンダ干渉計を備える。マッハツェンダ干渉計は、入力光導波路、Pアーム光導波路、Nアーム光導波路、出力光導波路を備える。Pアーム光導波路およびNアーム光導波路の入力端は、入力光導波路に結合されている。よって、光変調器3への入力光は、Pアーム光導波路およびNアーム光導波路を介して伝搬する。Pアーム光導波路およびNアーム光導波路の出力端は、出力光導波路に結合されている。よって、Pアーム光導波路の出力光およびNアーム光導波路の出力光は、合波されて出力される。なお、以下の記載では、Pアーム光導波路およびNアーム光導波路を「アーム導波路」と呼ぶことがある。

20

【0016】

各アームには、位相シフタとして使用される電極が設けられている。具体的には、各データ列に対してそれぞれ電極が設けられる。例えば、 $M = 3$ であるケースでは、各アームに電極S0~S2が設けられる。そして、各電極S0~S2にそれぞれ対応するデータ列を表す電気信号が与えられる。具体的には、データ列bit0を表す電気信号が電極S0に与えられ、データ列bit1を表す電気信号が電極S1に与えられ、データ列bit2を表す電気信号が電極S2に与えられる。

【0017】

上記構成の光変調器3において、電極に電気信号が与えられると、その電気信号に応じてアーム導波路の屈折率が変化する。アーム導波路の屈折率が変化すると、そのアーム導波路を通過する光の位相が変化する。すなわち、電極S0~S2は、位相シフタとして作用する。なお、各データ列を表す電気信号は、差動信号として、Pアーム光導波路およびNアーム光導波路に印加される。

30

【0018】

ここで、電極S1の長さは電極S0の2倍であり、電極S2の長さは電極S1の2倍である。よって、電極S1に与えられる信号による位相シフトは、電極S0に与えられる信号による位相シフトの約2倍である。同様に、電極S2に与えられる信号による位相シフトは、電極S1に与えられる信号による位相シフトの約2倍である。

【0019】

また、この例では、マッハツェンダ干渉計の出力光の強度は、アーム導波路における位相シフトに比例するものとする。そうすると、マッハツェンダ干渉計の出力光の強度は、データ列bit0~bit2により制御されることになる。

40

【0020】

例えば、データ列bit0を表す信号bit0により制御される出力光の強度の振幅が「1」であるものとする。この場合、データ列bit1を表す信号bit1により制御される出力光の強度の振幅は「2」であり、データ列bit2を表す信号bit2により制御される出力光の強度の振幅は「4」である。そうすると、例えば、bit0~bit2の値が「101」であるときは、マッハツェンダ干渉計の出力光の強度は「5(=1+0+4)」であり、bit0~bit2の値が「010」であれば、マッハツェンダ干渉計

50

の出力光の強度は「 $2 (= 0 + 2 + 0)$ 」である。すなわち、 $bit 0 \sim bit 2$ に応じてPAM8が実現される。

【0021】

なお、以下の記載では、送信データを表す電気信号が与えられる電極（即ち、位相シフタとして使用される電極）を「移相セグメント」または単に「セグメント」と呼ぶことがある。すなわち、図2に示す光変調器は、セグメントS0～S2を備える。

【0022】

このように、光変調器3は、信号 $bit 0 \sim bit 2$ に基づいて入力光の位相を制御することで、送信データを表す光信号を生成する。ただし、各セグメントに与えられる信号 $bit 0 \sim bit 2$ のタイミングが適切に調整されていないと、出力光信号の品質が低下する。例えば、各セグメントに与えられる信号 $bit 0 \sim bit 2$ のタイミングが適切に調整されていないと、出力光信号の波形が崩れる。よって、光変調器3は、各セグメントに与えられる信号 $bit 0 \sim bit 2$ のタイミングを適切に調整するための遅延回路を備えることが好ましい。

【0023】

また、図2に示す構成では、各セグメントの電極の長さを適切に設定することでPAM8が実現されるが、本発明はこの構成に限定されるものではない。たとえば、電極の数を適切に設定することでPAM8を実現してもよい。図4に示す例では、データ列 $bit 0$ に対して1個の電極（S0）が設けられ、データ列 $bit 1$ に対して2個の電極（S1a～S1b）が設けられ、データ列 $bit 2$ に対して4個の電極（S2a～S2d）が設けられる。この場合、各電極の長さは互いに同じである。

【0024】

図5は、光DACの高速化を実現する構成の一例を示す。この例では、各データ列（ $bit 0 \sim bit 2$ ）がそれぞれK個のサブデータ列に並列化される。Kは、2以上の任意の整数である。また、K個のサブデータ列のデータ長は互いに同じである。即ち、K個のサブデータ列のビットレートは互いに同じである。なお、図5では、データ列 $bit 0$ のみが描かれているが、他のデータ列も同様にK個のサブデータ列に並列化される。

【0025】

DSP2は、周波数 $f_{DSP}$ のクロックで動作する。この場合、各サブデータ列のシンボルレートは $f_{DSP}$ である。そして、各サブデータ列は、シリアライザ4に導かれる。また、クロック生成回路5は、DSP2から出力されるクロック信号CLK1からクロック信号CLK2を生成する。クロック信号CLK1の周波数は $f_{DSP}$ であり、クロック信号CLK2の周波数は $f_s$ である。周波数 $f_s$ は、例えば、周波数 $f_{DSP}$ のK倍である。或いは、一例として、周波数 $f_{DSP}$ が1GHzであり、周波数 $f_s$ が64GHzである。

【0026】

シリアライザ4は、クロック信号CLK2を利用して、K個のサブデータ列をシリアルビット列に変換する。これにより、シンボルレート（又は、ビットレート）が $f_s$ であるビット列が得られる。そして、このビット列は、バイナリドライバにより増幅された後、光変調器3に設けられている対応するセグメントに与えられる。したがって、図5に示す構成によれば、DSP2の動作速度を下げるができる。

【0027】

ところで、近年、1Tbps程度の超高速光伝送が求められている。そして、このような超高速光伝送を実現するためには、各シンボルが伝送するビットの数を増やすことに加えて、100Gシンボル/秒程度のサンプリングレートが必要になると考えられる。そこで、本発明の実施形態は、各シンボルが複数のビットを伝送する変調方式、及び、時間分割多重により高サンプリングレートの双方を提供する。

【0028】

図6は、本発明の実施形態に係わる光送信器の一例を示す。この実施例では、図5に示す並列化に加えて、時間分割多重を利用して光送信器のさらなる高速化が実現される。

【0029】

10

20

30

40

50

図 6 に示す構成においては、送信データからデータ列  $bit 0 \sim bit 2$  が生成され、各データ列  $bit 0 \sim bit 2$  からそれぞれ  $N \times K$  個のサブデータ列が生成される。ここで、 $N$  は、光変調器 3 において時間分割多重で多重化される光信号の数を表す。 $K$  は、2 以上の任意の整数である。 $N \times K$  個のサブデータ列のデータ長は互いに同じである。換言すると、 $N \times K$  個のサブデータ列のビットレートは互いに同じである。

#### 【 0 0 3 0 】

$N \times K$  個のサブデータ列は、 $N$  個のサブデータ列グループにグループ化される。この例では、 $N$  は 2 である。すなわち、 $2K$  個のサブデータ列は、2 個のサブデータ列グループにグループ化される。ここで、 $2K$  個のサブデータ列は、シリアル番号「1」～「 $2K$ 」により識別されるものとする。この場合、図 7 に示すように、一方のサブデータ列グループは、シリアル番号が奇数であるサブデータ列 (1、3、5、...、 $2K - 1$ ) から構成される。また、他方のサブデータ列グループは、シリアル番号が偶数であるサブデータ列 (2、4、6、...、 $2K$ ) から構成される。よって、以下の記載では、シリアル番号が奇数であるサブデータ列から構成されるサブデータ列グループを「サブデータ列グループ  $odd$ 」と呼ぶことがある。また、シリアル番号が偶数であるサブデータ列から構成されるサブデータ列グループを「サブデータ列グループ  $even$ 」と呼ぶことがある。そして、サブデータ列グループ  $odd$  を構成するサブデータ列 1、3、5、... は、シリアライザ 4 a に導かれる。また、サブデータ列グループ  $even$  を構成するサブデータ列 2、4、6、... は、シリアライザ 4 b に導かれる。

#### 【 0 0 3 1 】

クロック生成回路 5 は、DSP 2 から出力されるクロック信号  $CLK 1$  からクロック信号  $CLK 3$  を生成する。ただし、クロック信号  $CLK 3$  の周波数は、図 5 に示す構成で生成されるクロック信号  $CLK 2$  の周波数の  $N$  分の 1 である。この実施例では、 $N = 2$  なので、図 5 に示すクロック信号の周波数が  $f_s$  であるときには、クロック信号  $CLK 3$  の周波数は  $f_s / 2$  である。また、クロック生成回路 5 は、互いに位相が  $2 / N$  ずつシフトした  $N$  個のクロック信号  $CLK 3$  を出力する。この実施例では、 $N = 2$  なので、互いに位相が  $1 / 2$  ずつシフトした 2 個のクロック信号 ( $CLK 3 \_0$ 、 $CLK 3 \_180$ ) が出力される。

#### 【 0 0 3 2 】

シリアライザ 4 a は、クロック信号  $CLK 3 \_0$  を利用してサブデータ列  $d 1$ 、 $d 3$ 、 $d 5$ 、... をシリアル化する。すなわち、シリアライザ 4 a は、クロック信号  $CLK 3 \_0$  に同期して、サブデータ列  $d 1$ 、 $d 3$ 、 $d 5$ 、... から順番に 1 ビットずつデータを選択して出力する。これにより、図 6 に示すビット列 A が生成される。同様に、シリアライザ 4 b は、クロック信号  $CLK 3 \_180$  を利用してサブデータ列  $d 2$ 、 $d 4$ 、 $d 6$ 、... をシリアル化する。すなわち、シリアライザ 4 b は、クロック信号  $CLK 3 \_180$  に同期して、サブデータ列  $d 2$ 、 $d 4$ 、 $d 6$ 、... から順番に 1 ビットずつデータを選択して出力する。これにより、図 6 に示すビット列 B が生成される。ビット列 A およびビット列 B のシンボルレート (又は、ビットレート) は、互いに同じであり、それぞれ  $f_s / 2$  である。

#### 【 0 0 3 3 】

光変調器 3 は、図 2 または図 4 を参照して説明したように、各データ列  $bit 0 \sim bit 2$  に対して位相シフトとして作用する電極を備える。ただし、図 6 に示す構成では、各データ列  $bit 0 \sim bit 2$  に対して、ビット列 A が与えられる電極およびビット列 B が与えられる電極が設けられる。例えば、データ列  $bit 0$  に対しては、ビット列 A が与えられる電極  $S 0 a$  およびビット列 B が与えられる電極  $S 0 b$  が設けられている。他のデータ列  $bit 1$ 、 $bit 2$  に対しても同様である。したがって、各送信シンボルが  $M$  ビットを伝送し、且つ、光変調器 3 において時間分割多重で多重化される光信号の数が  $N$  である場合、光変調器 3 は、 $M \times N$  個の移相セグメントを備える。各移相セグメントは、図 2 に示す構成では 1 個の電極を備え、図 4 に示す構成は 1 以上の電極を備える。よって、光変調器 3 は、 $M \times N$  個以上の電極を備えることになる。

10

20

30

40

50

## 【 0 0 3 4 】

ビット列 A の第 1 シンボル ( 即ち、データ d 1 ) が電極 S 0 a に与えられると、マッハツェンダ干渉計を通過する光は、データ d 1 に応じて変調される。また、ビット列 B の第 1 シンボル ( 即ち、データ d 2 ) が電極 S 0 b に与えられると、マッハツェンダ干渉計を通過する光は、データ d 2 に応じて変調される。続いて、ビット列 A の第 2 シンボル ( 即ち、データ d 3 ) が電極 S 0 a に与えられると、マッハツェンダ干渉計を通過する光は、データ d 3 に応じて変調される。また、ビット列 B の第 2 シンボル ( 即ち、データ d 4 ) が電極 S 0 b に与えられると、マッハツェンダ干渉計を通過する光は、データ d 4 に応じて変調される。以下同様に、ビット列 A およびビット列 B に応じて変調光信号が生成される。

10

## 【 0 0 3 5 】

ここで、ビット列 B を生成するクロック信号 C L K 3 \_ 1 8 0 の位相は、ビット列 A を生成するクロック信号 C L K 3 \_ 0 の位相に対して 1 8 0 度シフトしている。すなわち、シリアライザ 4 b がクロック信号 C L K 3 \_ 1 8 0 を使用してビット列 B を出力するタイミングは、シリアライザ 4 a がクロック信号 C L K 3 \_ 0 を使用してビット列 A を出力するタイミングに対して、クロック信号 C L K 3 の周期の 2 分の 1 だけシフトしている。具体的には、シリアライザ 4 b がビット列 B を出力するタイミングは、シリアライザ 4 a がビット列 A を出力するタイミングに対して  $1 / f_s$  だけシフトしている。したがって、図 6 に示すように、光変調器 3 において、ビット列 A ( d 1、d 3、d 5、. . . ) による変調成分およびビット列 B ( d 2、d 4、d 6、. . . ) による変調成分が交互に生成されることになる。この結果、ビット列 A およびビット列 B の時間分割多重 ( または、時間分割インターリーブ ) が実現される。

20

## 【 0 0 3 6 】

なお、図 6 ~ 図 7 においては、データ列 b i t 0 の時間分割多重を説明したが、他のデータ列 ( b i t 1、b i t 2 ) についても同様の時間分割多重が実現される。ここで、データ列 b i t 0 ~ b i t 2 を表す電気信号のタイミングは、不図示の遅延回路により適切に調整される。この結果、データ列 b i t 0 ~ b i t 2 の振幅多重が実現され、P A M 8 光信号が生成される。

## 【 0 0 3 7 】

このように、図 5 に示す構成と比較すると、図 6 に示す構成においては、クロック生成回路 5 が生成するクロック信号の周波数は 2 分の 1 である。なお、図 6 に示す構成では 2 個のサブデータ列グループ A、B が多重化されるが、N 個のサブデータ列グループが多重化されるときは、図 5 に示す構成と比較すると、図 6 に示す構成においては、クロック生成回路 5 が生成するクロック信号の周波数は N 分の 1 である。よって、クロック生成回路 5 に要求される動作速度の要件が緩和される。或いは、クロック生成回路 5 の上限動作周波数が  $f_s$  であるときは、 $N \times f_s$  の送信レートが実現される。

30

## 【 0 0 3 8 】

そして、上述した時間分割多重を利用することにより、光送信器のさらなる高速化が実現される。ただし、時間分割多重を実現するためには、各電気信号 ( ここでは、ビット列 A を表すバイナリ電気信号およびビット列 B を表すバイナリ電気信号 ) が対応する電極に与えられるタイミングを精度よく設定する必要がある。この場合、マッハツェンダ干渉計内での光の伝搬時間を考慮する必要がある。

40

## 【 0 0 3 9 】

図 8 は、光の伝搬時間を考慮した遅延回路を備える光送信器の一例を示す。この実施例では、電極 S 0 b と電極 S 0 a との間の距離が L X である。そして、電極 S 0 b と電極 S 0 a との間で光伝搬遅延  $T_{opt}$  が発生する。

## 【 0 0 4 0 】

図 9 は、図 8 に示す光送信器の光変調器において生成される光信号の一例を示す。ここで、図 8 に示す遅延回路 6 を設けないときに、図 9 ( a ) に示すように、ビット列 A を表す光信号に対して、ビット列 B を表す光信号が  $4.7 \cdot 6$  p 秒だけ遅れているものとする。

50

他方、ビット列 A およびビット列 B の時間分割多重を実現するためには、図 9 ( c ) に示すように、ビット列 A を表す光信号に対して、ビット列 B を表す光信号が「 $1 / f_s$ 」だけ遅れている状態が要求される。 $f_s$  は、光変調器 3 から出力される光信号のサンプリング周波数を表す。ここで、サンプリング周波数  $f_s$  が  $64 \text{ GHz}$  である場合、時間分割多重の時間スロットの長さ (即ち、 $1 / f_s$ ) は  $15.6 \text{ p}$  秒である。したがって、この場合、ビット列 A を表す光信号に対して、ビット列 B を表す光信号が  $15.6 \text{ p}$  秒だけ遅れている状態が要求される。

#### 【 0 0 4 1 】

そこで、図 8 に示す構成においては、光送信器は遅延回路 6 を備える。この例では、シリアライザ 4 a に与えられるクロック信号  $\text{CLK}_0$  が遅延回路 6 により遅延される。一方、クロック信号  $\text{CLK}_{180}$  は、遅延回路を介することなくシリアライザ 4 b に与えられる。

10

#### 【 0 0 4 2 】

遅延回路 6 の遅延時間は、上述の条件を満足するように設計される。よって、遅延回路 6 は、図 9 ( b ) に示すように、シリアライザ 4 a に与えられるクロック信号  $\text{CLK}_0$  を  $32 \text{ p}$  秒だけ遅延させる。そうすると、光変調器 3 において、ビット列 A を表す光信号に対して、ビット列 B を表す光信号が  $15.6 \text{ p}$  秒だけ遅れている状態が実現される。この結果、図 9 ( c ) に示す時間分割多重が実現される。

#### 【 0 0 4 3 】

このように、シリアライザに与えるクロック信号のタイミングを、遅延回路を用いて適切に調整することにより、精度のよい時間分割多重を実現できる。但し、遅延回路 6 は、例えば、アンプ回路により実現される。このため、遅延回路 6 を実装することにより、光送信器の消費電力が増加する。また、遅延回路 6 を実装すると、光送信器から出力される光信号の品質 (例えば、ジッタ特性) が劣化することがある。したがって、光送信器は、シリアライザに与えるクロック信号のタイミングを調整する遅延回路 6 を備えないことが好ましい。

20

#### 【 0 0 4 4 】

図 10 は、本発明の実施形態に係わる光送信器の他の例を示す。この実施例では、光送信器 10 は、図 6 または図 8 に示す構成と同様に、DSP 2、光変調器 3、シリアライザ 4 a、4 b、およびクロック生成回路 5 を備える。なお、図 10 においては、最下位ビットのデータ列  $\text{bit}_0$  を処理するための構成を示しており、上位ビットのデータ列 (図 2 ~ 図 4 では、データ列  $\text{bit}_1 \sim \text{bit}_2$ ) を処理するための構成は省略されている。以下では、最下位ビットのデータ列  $\text{bit}_0$  を処理するための構成について説明する。

30

#### 【 0 0 4 5 】

この実施例では、クロック生成回路 5 により生成されるクロック信号  $\text{CLK}_3$  がシリアライザ 4 a および 4 b に与えられる。すなわち、シリアライザ 4 a および 4 b は、同じクロック信号に同期してデータを出力する。

#### 【 0 0 4 6 】

DSP 2 と電極 S0 a との間の信号の伝搬時間および DSP 2 と電極 S0 b との間の信号の伝搬時間は、互いに同じであるものとする。すなわち、DSP 2 と電極 S0 a との間の信号の伝搬時間および DSP 2 と電極 S0 b との間の信号の伝搬時間が互いに同じになるように配線が設計されている。また、クロック生成回路 5 とシリアライザ 4 a との間のクロック信号の伝搬時間およびクロック生成回路 5 とシリアライザ 4 b との間のクロック信号の伝搬時間は、互いに同じであるものとする。すなわち、クロック生成回路 5 とシリアライザ 4 a との間のクロック信号の伝搬時間およびクロック生成回路 5 とシリアライザ 4 b との間のクロック信号の伝搬時間が互いに同じになるように配線が設計されている。

40

#### 【 0 0 4 7 】

光送信器 10 においては、図 8 に示す遅延回路 6 を設ける代わりに、位相シフタとして作用する電極の間隔を適切に決定することにより時間分割多重が実現される。すなわち、セグメント間距離を適切に決定することで時間分割多重が実現される。

50

## 【 0 0 4 8 】

図 1 1 は、図 1 0 に示す光送信器 1 0 の光変調器 3 において生成される光信号の一例を示す。なお、光変調器 3 から出力される光信号のサンプリング周波数  $f_s$  が 6 4 G H z であるものとする。

## 【 0 0 4 9 】

図 1 1 ( a ) は、セグメント間距離が適切に決定されていない構成で生成される光信号の一例を示す。ここでは、電極 S 0 a と電極 S 0 b との間の間隔  $L$  が 2 . 5 m m である。この場合、光導波路を介して光が電極 S 0 b から電極 S 0 a まで伝送するために要する光伝搬時間  $T_{opt}$  は、下式で表される。  $n_g$  は、マッハツェンダ干渉計を構成する光導波路の群屈折率を表し、この実施例では 3 . 8 4 である。  $c$  は、真空中の光速を表す。

$$T_{opt} = L \times n_g / c$$

## 【 0 0 5 0 】

したがって、ビット列 A の信号 ( 例えば、  $d_1$  ) が電極 S 0 a に到着するタイミングとビット列 B の信号 ( 例えば、  $d_2$  ) が電極 S 0 b に到着するタイミングとが一致するケースでは、ビット列 A を表す光信号に対して、ビット列 B を表す光信号が  $T_{opt}$  だけ遅れることになる。この例では、間隔  $L$  が 2 . 5 m m である場合、光伝搬時間  $T_{opt}$  は 3 2 p 秒である。

## 【 0 0 5 1 】

ここで、ビット列 A およびビット列 B の時間分割多重を精度よく実現するためには、図 1 1 ( c ) に示すように、ビット列 A を表す光信号に対して、ビット列 B を表す光信号が「  $1 / f_s$  」だけ遅れている状態が要求される。  $f_s$  は、光変調器 3 から出力される光信号のサンプリング周波数を表す。ここで、サンプリング周波数  $f_s$  が 6 4 G H z である場合、時間分割多重の時間スロットの長さ ( 即ち、  $1 / f_s$  ) は 1 5 . 6 p 秒である。よって、この場合、ビット列 A を表す光信号に対して、ビット列 B を表す光信号が 1 5 . 6 p 秒だけ遅れている状態が要求される。

## 【 0 0 5 2 】

光送信器 1 0 においては、上記条件を満足するようにセグメント間距離が決定される。具体的には、光導波路を介して光が電極 S 0 b から電極 S 0 a まで伝送するために要する光伝搬時間  $T_{opt}$  が 1 5 . 6 p 秒となるように間隔  $L$  が決定される。この実施例では、間隔  $L$  が 1 . 2 3 m m であるときに、光伝搬時間  $T_{opt}$  が 1 5 . 6 p 秒となる。よって、光送信器 1 0 においては、電極 S 0 a と電極 S 0 b との間の間隔  $L$  は 1 . 2 3 m m である。そうすると、図 1 1 ( b ) に示すように、ビット列 A の信号 ( 例えば、  $d_1$  ) が電極 S 0 a に到着するタイミングとビット列 B の信号 ( 例えば、  $d_2$  ) が電極 S 0 b に到着するタイミングとが一致するときに、ビット列 A を表す光信号に対して、ビット列 B を表す光信号が 1 5 . 6 p 秒 ( 即ち、  $1 / f_s$  ) だけ遅れることになる。この結果、図 1 1 ( c ) に示す時間分割多重が実現される。

## 【 0 0 5 3 】

図 1 2 は、光信号の時間分割多重の一例を示す。なお、横軸は、マッハツェンダ干渉計内での光の伝搬方向における位置を表す。「 S 0 a 」および「 S 0 b 」は、それぞれ電極 S 0 a および電極 S 0 b が設けられている位置を表す。また、サンプリング周波数  $f_s$  は 6 4 G H z であり、シリアライザ 4 a、4 b に与えられるクロック信号 C L K 3 の周波数は「  $f_s / 2$  ( 3 2 G H z ) 」である。電極 S 0 a と電極 S 0 b との間の間隔  $L$  は 1 . 2 3 m m である。そして、時刻ゼロにおいてビット列 A の信号  $d_1$  が電極 S 0 a に到着し、ビット列 B の信号  $d_2$  が電極 S 0 b に到着するものとする。なお、以下の記載では、信号  $d_i$  (  $i = 1, 2, \dots$  ) により生成される光信号を光信号  $d_i$  と呼ぶことがある。

## 【 0 0 5 4 】

時刻ゼロから 1 周期時間が経過したときには、光信号  $d_1$ 、 $d_2$  は、それぞれ電極 S 0 a、S 0 b から 1 . 2 3 m m だけ伝搬している。なお、1 周期時間は、時間分割多重の時間スロットの長さ ( または、  $1 / f_s$  ) を意味し、この実施例では 1 5 . 6 2 5 p 秒である。時刻ゼロから 2 周期時間が経過したときには、光信号  $d_1$ 、 $d_2$  は、それぞれ電極 S

10

20

30

40

50

0 a、S 0 b から 2 . 4 6 mm だけ伝搬している。このとき、電極 S 0 a、S 0 b にそれぞれ信号 d 3、d 4 が到着し、光信号 d 3、d 4 が生成される。これにより、光信号 d 1 ~ d 4 が得られる。以下、同様に、2 周期時間ごとに新たな電気信号が電極 S 0 a、S 0 b に到着し、対応する光信号が生成される。この結果、2 つのビット列 A、B の時間分割多重が実現される。

【 0 0 5 5 】

このように、図 1 0 に示す光送信器 1 0 においては、図 8 に示す遅延回路 6 を備えていない。したがって、図 8 に示す構成と比較すると、光送信器 1 0 においては、消費電力が小さくなる。加えて、図 8 に示す構成と比較して、光送信器 1 0 から出力される光信号の品質（例えば、ジッタ特性）が改善する。

10

【 0 0 5 6 】

図 1 3 ~ 図 1 4 は、光送信器 1 0 の動作のシミュレーションの一例を示す。ここでは、図 1 3 ( a ) に示すモデルに基づくシミュレーションの結果を示す。なお、光送信器 1 0 は、P A M 4 光信号を出力する。すなわち、各送信シンボルが 2 ビットのデータを伝送する。よって、D S P 2 は、送信データから 2 個のデータ列 ( b i t 0、b i t 1 ) を生成する。また、各データ列 ( b i t 0、b i t 1 ) は、図 7 に示すように、2 個のサブデータ列グループ ( o d d、e v e n ) に分割される。

【 0 0 5 7 】

光 D A C 1 1 は、図 1 0 に示す構成では、シリアライザ 4 a およびシリアライザ 4 a から出力される信号が与えられる電極に相当する。同様に、光 D A C 1 2 は、シリアライザ 4 b およびシリアライザ 4 b から出力される信号が与えられる電極に相当する。なお、光 D A C 1 1 および光 D A C 1 2 は、互いに位相が反転したクロック信号に同期して信号を出力する。また、シリアライザおよび電極は、各データ列 ( b i t 0、b i t 1 ) に対して設けられる。加算機 1 3 は、各データ列を表す光信号が光導波路上で合波される状態を表す。ナイキストフィルタ ( N F ) 1 4 は、ナイキストフィルタリングを行う。ナイキストフィルタ 1 4 は、特に限定されるものではないが、例えば、光変調器 3 の出力側に設けられる光バンドパスフィルタに相当する。そして、図 1 3 ( b ) に示す信号が上記シミュレーションモデルに入力される。図 1 3 ( b ) は、入力信号の波形およびスペクトルを表す。

20

【 0 0 5 8 】

図 1 4 ( a ) ~ 図 1 4 ( c ) は、図 1 3 ( a ) に示すノード A ~ C における光信号の波形およびスペクトルを表す。すなわち、図 1 4 ( a ) は、光 D A C 1 1 により生成される光信号の波形およびスペクトルを表す。図 1 4 ( b ) は、光 D A C 1 2 により生成される光信号の波形およびスペクトルを表す。図 1 4 ( c ) は、光 D A C 1 1 により生成される光信号および光 D A C 1 2 により生成される光信号を合波することで得られる光信号の波形およびスペクトルを表す。

30

【 0 0 5 9 】

合波された光信号のスペクトルにおいては、図 1 4 ( c ) に示すように、中心から  $f_s$  だけ離れた周波数領域の信号成分が大きく抑圧されている。すなわち、 $2 f_s$  でオーバーサンプリングを行ったケースと同様に、イメージ成分が抑圧されている。したがって、図 1 4 ( c ) に示すバンドパスフィルタ B P F を使用すれば、不要な成分を除去できる。この実施例では、ナイキストフィルタ 1 4 を設けることにより、図 1 4 ( d ) に示す波形およびスペクトルが得られる。

40

【 0 0 6 0 】

図 1 5 は、遅延回路を削除することによる効果を説明する図である。すなわち、以下では、図 8 に示す遅延回路 6 を削除することの効果の説明する。

【 0 0 6 1 】

図 1 5 ( a ) は、光変調器 3 から出力される光信号のジッタを表す。なお、グラフの横軸は、図 8 に示す遅延回路 6 による遅延時間を表す。ここで、図 8 ~ 図 9 に示す例では、遅延回路 6 による遅延時間は 3 2 p 秒である。この場合、約 7 . 1 p 秒のジッタが発生す

50

る。これに対して、図 10 に示す光送信器 10 は、遅延回路 6 を備えていない。よって、光送信器 10 の特性は、図 15 ( a ) において「遅延時間 = ゼロ」に対応する状態に相当する。すなわち、光送信器 10 から出力される光信号のジッタは約 4 . 8 p 秒である。このように、遅延回路 6 を使用しないことでジッタ特性が改善する。

#### 【 0 0 6 2 】

図 15 ( b ) は、光 D A C の消費電力を表す。この例では、遅延回路 6 を備えていない光送信器 10 においては、光 D A C の消費電力は約 2 0 m W である。これに対して、遅延回路 6 による遅延時間が大きくなると、遅延回路 6 における消費電力も大きくなる。この結果、3 2 p 秒の遅延時間を発生させるケースでは、光 D A C の消費電力は約 4 5 . 6 m W である。このように、遅延回路 6 を使用しないことで消費電力を削減できる。

10

#### 【 0 0 6 3 】

図 16 は、本発明の実施形態に係わる振幅多重および時間分割多重を模式的に示す。この例では、光送信器 10 は、各シンボルが 3 ビットを伝送する光信号を生成する。すなわち、 $M = 3$  である。また、光変調器 3 において時間分割多重により多重化される光信号の数は 2 である。すなわち、 $N = 2$  である。したがって、送信データから 6 個のバイナリ電気信号 ( bit0\_odd、bit0\_even、bit1\_odd、bit1\_even、bit2\_odd、bit2\_even ) が生成される。なお、バイナリ電気信号は、図 10 に示す構成においては、シリアライザによりシリアル化されたビット列をドライバで増幅することで生成される。

#### 【 0 0 6 4 】

3 個のバイナリ電気信号 bit0\_odd、bit1\_odd、bit2\_odd により生成される 3 個の光信号が合波されて時間スロット S L 1 に挿入される。このとき、bit1\_odd により生成される光信号の振幅は bit0\_odd により生成される光信号の振幅の 2 倍であり、bit2\_odd により生成される光信号の振幅は bit1\_odd により生成される光信号の振幅の 2 倍である。これにより、3 ビットの強度変調の一例である P A M 8 シンボルが生成される。

20

#### 【 0 0 6 5 】

続いて、3 個のバイナリ電気信号 bit0\_even、bit1\_even、bit2\_even により生成される 3 個の光信号が合波されて時間スロット S L 2 に挿入され、P A M 8 シンボルが生成される。以下同様に、3 個のバイナリ電気信号から生成されるシンボルが順番に時間スロットに挿入される。これにより時間分割多重が実現される。

#### 【 0 0 6 6 】

このように、本発明の実施形態によれば、バイナリ電気信号から、サンプリングレートまたはシンボルレートが非常に高く、且つ、各シンボルが伝送するビット数が多い光アナログ信号を生成できる。したがって、本発明の実施形態は、超高速光伝送の実現に寄与する。

30

#### 【 0 0 6 7 】

なお、P A M 4、P A M 8 等の多値強度変調信号を生成する光送信器について記載したが、本発明は、多値強度変調信号のみに対応するものではない。すなわち、光送信器の構成を適切に変更することで、Q P S K 信号や Q A M 信号などの多値コヒーレント変調光信号を生成する光送信器に本発明を適用可能である。具体的には、図 8 や図 10 に示す光送信器を並列化し、マッハツェンダ干渉計の光出力を親マッハツェンダ干渉計で合成する I Q 変調器構成とすることで、コヒーレント変調光信号が生成される。

40

#### 【 0 0 6 8 】

##### < 第 1 の実施例 >

図 17 は、光送信器の第 1 の実施例を示す。第 1 の実施例に係わる光送信器 10 は、D S P 2、光変調器 3、クロック生成回路 5、エンコーダ 2 1、シリアライザ 3 1 ~ 3 4、遅延要素 3 5 ~ 3 6、ドライバ 3 7 ~ 4 0 を備える。

#### 【 0 0 6 9 】

この実施例では、 $M = 2$  である。即ち、光送信器 10 は、各シンボルが 2 ビットを伝送する光信号を生成する。よって、エンコーダ 2 1 は、2 個のデータ列 ( bit 0、bit 1 ) を生成する。また、この実施例では、 $N = 2$  である。よって、エンコーダ 2 1 は、各

50

データ列からそれぞれ2個のサブデータ列グループ ( o d d、 e v e n ) を生成する。すなわち、エンコーダ 2 1 において4個のサブデータ列グループ ( b i t 0 \_ e v e n、 b i t 0 \_ o d d、 b i t 1 \_ e v e n、 b i t 1 \_ o d d ) が生成される。なお、エンコーダ 2 1 は、例えば、ハードウェア論理回路により実現される。或いは、エンコーダ 2 1 は、 D S P 2 の中に組み込まれてもよい。

#### 【 0 0 7 0 】

各サブデータ列グループは、図 7 を参照して説明したように、複数のサブデータ列から構成される。そして、各サブデータ列グループを構成する複数のサブデータ列は、並列に出力され、対応するシリアライザに導かれる。

#### 【 0 0 7 1 】

シリアライザ 3 1 ~ 3 4 は、クロック生成回路 5 により生成されるクロック信号を利用して、それぞれ対応する複数のサブデータ列をシリアル化する。具体的には、シリアライザ 3 1 は、サブデータ列グループ b i t 0 \_ e v e n に属する複数のサブデータ列をシリアル化することによりビット列 b i t 0 \_ e v e n を生成する。シリアライザ 3 2 は、サブデータ列グループ b i t 1 \_ e v e n に属する複数のサブデータ列をシリアル化することによりビット列 b i t 1 \_ e v e n を生成する。シリアライザ 3 3 は、サブデータ列グループ b i t 0 \_ o d d に属する複数のサブデータ列をシリアル化することによりビット列 b i t 0 \_ o d d を生成する。シリアライザ 3 4 は、サブデータ列グループ b i t 1 \_ o d d に属する複数のサブデータ列をシリアル化することによりビット列 b i t 1 \_ o d d を生成する。そして、シリアライザ 3 1 ~ 3 4 から出力されるビット列は、それぞれドライバ 3 7 ~ 4 0 に導かれる。なお、シリアライザ 3 2、3 4 に与えられるクロック信号は、それぞれ、遅延要素 3 5、3 6 により遅延される。

#### 【 0 0 7 2 】

ドライバ 3 7 ~ 4 0 は、それぞれ、シリアライザ 3 1 ~ 3 4 から出力されるビット列からバイナリ電気信号を生成する。具体的には、ドライバ 3 7 は、シリアライザ 3 1 から出力されるビット列 b i t 0 \_ e v e n からバイナリ電気信号 b i t 0 \_ e v e n を生成する。ドライバ 3 8 は、シリアライザ 3 2 から出力されるビット列 b i t 1 \_ e v e n からバイナリ電気信号 b i t 1 \_ e v e n を生成する。ドライバ 3 9 は、シリアライザ 3 3 から出力されるビット列 b i t 0 \_ o d d からバイナリ電気信号 b i t 0 \_ o d d を生成する。ドライバ 4 0 は、シリアライザ 3 4 から出力されるビット列 b i t 1 \_ o d d からバイナリ電気信号 b i t 1 \_ o d d を生成する。このように、M x N 個 ( 即ち、4 個 ) のバイナリ電気信号が生成される。そして、これらのバイナリ電気信号は、光変調器 3 に与えられる。

#### 【 0 0 7 3 】

光変調器 3 において、マッハツェンダ干渉計の光パスに沿って複数の電極が設けられている。この実施例では、M x N 個 ( 即ち、4 個 ) の電極が設けられている。なお、図面を見やすくするために省略しているが、電極は、P アームおよび N アームの双方に設けられる。

#### 【 0 0 7 4 】

この例では、マッハツェンダ干渉計の入力端から出力端に向かって電極 S 0 \_ e v、電極 S 1 \_ e v、電極 S 0 \_ o d、電極 S 1 \_ o d が順番に設けられている。そして、バイナリ電気信号 b i t 0 \_ e v e n、b i t 1 \_ e v e n、b i t 0 \_ o d d、b i t 1 \_ o d d がそれぞれ電極 S 0 \_ e v、電極 S 1 \_ e v、電極 S 0 \_ o d、電極 S 1 \_ o d に与えられる。なお、電極 S 0 \_ e v および電極 S 0 \_ o d の長さは互いに同じであり、電極 S 1 \_ e v および電極 S 1 \_ o d の長さは互いに同じである。また、電極 S 1 \_ e v および電極 S 1 \_ o d の長さは、それぞれ、電極 S 0 \_ e v および電極 S 0 \_ o d の 2 倍である。

#### 【 0 0 7 5 】

複数の電極は、時間分割多重の時間スロットに基づいてグループ化される。この実施例では、電極 S 0 \_ e v および電極 S 1 \_ e v は電極グループ e v e n に属し、電極 S 0 \_

10

20

30

40

50

o d および電極 S 1 \_ o d は電極グループ o d d に属する。

【 0 0 7 6 】

電極グループ e v e n に含まれる電極と電極グループ o d d に含まれる対応する電極との間の距離 L 1 は、下式で表される。

$$L 1 = c / ( n g \times f s )$$

すなわち、電極 S 0 \_ e v と電極 S 0 \_ o d との間の距離は L 1 であり、電極 S 1 \_ e v と電極 S 1 \_ o d との間の距離も L 1 である。なお、f s は、電極グループ e v e n に与えられる信号に応じて生成される光信号および電極グループ o d d に与えられる信号に応じて生成される光信号が時間領域で多重化されるとききの 1 個の時間スロットに長さに対応する。したがって、距離 L 1 は、時間分割多重の時間スロットに対応する時間に光が光導波路を伝搬する距離に相当する。また、この実施例では、各シンボルが M ビットを伝送するので、距離 L 1 は、送信データのビットレートが B であるときに、期間 M / B に光が光

10

【 0 0 7 7 】

各電極グループ内の電極間の距離 L 2 は、特に限定されるものではない。ただし、P A M 4 光信号の b i t 0 および b i t 1 のタイミングを互いに一致させるためには、光が距離 L 2 だけ伝搬する時間と、遅延要素 3 5、3 6 の遅延時間とが一致していることが要求される。よって、遅延要素 3 5 の遅延時間が、光導波路を介して光が電極 S 0 \_ e v から電極 S 1 \_ e v まで伝搬する時間と同じになるように、遅延要素 3 5 が設計される。同様に、遅延要素 3 6 の遅延時間が、光導波路を介して光が電極 S 0 \_ o d から電極 S 1 \_ o d

20

【 0 0 7 8 】

なお、図 1 7 において、エンコーダ 2 1、シリアライザ 3 1 ~ 3 4、遅延要素 3 5 ~ 3 6、ドライバ 3 7 ~ 4 0、クロック生成回路 5 は、送信データから互いに同じビットレートの M x N 個のバイナリ電気信号を生成する信号生成回路の一例である。また、電極 S 0 \_ e v、電極 S 1 \_ e v、電極 S 0 \_ o d、電極 S 1 \_ o d は、M x N 個のバイナリ電気信号に応じてそれぞれ光パスを伝搬する光の位相をシフトさせる M x N 個の移相セグメントの一例である。

【 0 0 7 9 】

図 1 8 は、図 1 7 に示す光送信器による振幅多重および時間分割多重の一例を示す。なお、横軸は、マッハツェンダ干渉計内での光の伝搬方向における位置を表す。「S 0 \_ e v」「S 1 \_ e v」「S 0 \_ o d」「S 1 \_ o d」は、それぞれ電極 S 0 \_ e v、電極 S 1 \_ e v、電極 S 0 \_ o d、電極 S 1 \_ o d が設けられている位置を表す。

30

【 0 0 8 0 】

時刻 T 0 において、電気信号 b i t 0 \_ 1 および電気信号 b i t 0 \_ 2 がそれぞれ電極 S 0 \_ o d および電極 S 0 \_ e v に到着する。そうすると、電極 S 0 \_ o d において光信号 b i t 0 \_ 1 が生成され、電極 S 0 \_ e v において光信号 b i t 0 \_ 2 が生成される。

【 0 0 8 1 】

時刻 T 1 において、光信号 b i t 0 \_ 1 は電極 S 1 \_ o d に到着し、光信号 b i t 0 \_ 2 は電極 S 1 \_ e v に到着する。また、電気信号 b i t 1 \_ 1 および電気信号 b i t 1 \_ 2 がそれぞれ電極 S 1 \_ o d および電極 S 1 \_ e v に到着する。そうすると、電極 S 1 \_ o d において光信号 b i t 1 \_ 1 が生成され、電極 S 1 \_ e v において光信号 b i t 1 \_ 2 が生成される。したがって、電極 S 1 \_ o d において、光信号 b i t 0 \_ 1 および光信号 b i t 1 \_ 1 が合波され、送信シンボル 1 が生成される。同様に、電極 S 1 \_ e v において、光信号 b i t 0 \_ 2 および光信号 b i t 1 \_ 2 が合波され、送信シンボル 2 が生成される。この後、時刻 T 1 ~ 時刻 T 4 において、送信シンボル 1、2 は、マッハツェンダ干渉計の出力ポートに向かって伝搬する。

40

【 0 0 8 2 】

時刻 T 4 において、電気信号 b i t 0 \_ 3 および電気信号 b i t 0 \_ 4 がそれぞれ電極 S 0 \_ o d および電極 S 0 \_ e v に到着する。そうすると、電極 S 0 \_ o d において光信

50

号  $bit0\_3$  が生成され、電極  $S0\_ev$  において光信号  $bit0\_4$  が生成される。

【0083】

時刻  $T5$  において、光信号  $bit0\_3$  は電極  $S1\_od$  に到着し、光信号  $bit0\_4$  は電極  $S1\_ev$  に到着する。また、電気信号  $bit1\_3$  および電気信号  $bit1\_4$  がそれぞれ電極  $S1\_od$  および電極  $S1\_ev$  に到着する。そうすると、電極  $S1\_od$  において光信号  $bit1\_3$  が生成され、電極  $S1\_ev$  において光信号  $bit1\_4$  が生成される。したがって、電極  $S1\_od$  において、光信号  $bit0\_3$  および光信号  $bit1\_3$  が合波され、送信シンボル3が生成される。同様に、電極  $S1\_ev$  において、光信号  $bit0\_4$  および光信号  $bit1\_4$  が合波され、送信シンボル4が生成される。この後、送信シンボル1～4は、マツハツェンダ干渉計の出力ポートに向かって伝搬する。このように、振幅多重 ( $bit0$ 、 $bit1$ ) および時間分割多重 ( $odd$ 、 $even$ ) が同時に実現される。

10

【0084】

<第2の実施例>

図19は、光送信器の第2の実施例を示す。第2の実施例においては、 $M=3$ である。即ち、光送信器10は、各シンボルが3ビットを伝送する光信号を生成する。よって、エンコーダ21は、3個のデータ列 ( $bit0$ 、 $bit1$ 、 $bit2$ ) を生成する。また、この実施例では、 $N=2$ である。よって、エンコーダ21は、各データ列からそれぞれ2個のサブデータ列グループ ( $odd$ 、 $even$ ) を生成する。即ち、エンコーダ21において6個のサブデータ列グループ ( $bit0\_odd$ 、 $bit0\_even$ 、 $bit1\_odd$ 、 $bit1\_even$ 、 $bit2\_odd$ 、 $bit2\_even$ ) が生成される。したがって、6個のビット列が生成される。

20

【0085】

光変調器3は、各ビット列に対して移相セグメントを備える。図19においては、移相セグメント  $S0\_ev$ 、 $S1\_ev$ 、 $S2\_ev$ 、 $S0\_od$ 、 $S1\_od$ 、 $S2\_od$  が設けられている。

【0086】

各移相セグメントは、1または複数の電極を備える。具体的には、 $bit0$  に対応する光信号を生成するための移相セグメント  $S0\_ev$ 、 $S0\_od$  は、それぞれ1個の電極を備える。 $bit1$  に対応する光信号を生成するための移相セグメント  $S1\_ev$ 、 $S1\_od$  は、それぞれ2個の電極を備える。 $bit2$  に対応する光信号を生成するための移相セグメント  $S2\_ev$ 、 $S2\_od$  は、それぞれ4個の電極を備える。この構成においては、各電極の長さはすべて同じである。

30

【0087】

移相セグメント  $S0\_od$ 、 $S1\_od$ 、 $S2\_od$  は1つの電極グループを構成し、移相セグメント  $S0\_ev$ 、 $S1\_ev$ 、 $S2\_ev$  も1つの電極グループを構成する。そして、グループ間で、対応する移相セグメント (又は、電極) の間の距離  $L1$  は、下式で表される。

$$L1 = c / (ng \times fs)$$

具体的には、移相セグメント  $S0\_ev$  と移相セグメント  $S0\_od$  との間の距離は  $L1$  である。また、移相セグメント  $S1\_ev$  の各電極と移相セグメント  $S1\_od$  の各電極との間の距離もそれぞれ  $L1$  である。さらに、移相セグメント  $S2\_ev$  の各電極と移相セグメント  $S2\_od$  の各電極との間の距離もそれぞれ  $L1$  である。

40

【0088】

<トランシーバ>

図20は、本発明の実施形態に係わる光送信器を含む光トランシーバの一例を示す。この光トランシーバは、DSPチップ101、送信回路チップ102、光集積回路チップ103、受信回路チップ104、光源105を備え、基板100上に実装される。

【0089】

送信回路チップ102は、図10に示すシリアライザ、クロック生成回路、ドライバ、

50

エンコーダ等を含む。但し、エンコーダは、DSPチップ101により実現されるようにしてもよい。光集積回路チップ103は、図10に示す光変調器3を含み、光源105により生成される連続光を利用して変調光信号を生成する。また、光集積回路チップ103は、例えばコヒーレント受信により、受信光信号を表す電気信号を生成する。この場合、光集積回路チップ103は、光源105により生成される連続光を利用してコヒーレント受信を行う。DSPチップ101は、図10に示すDSP2を含む。また、DSPチップ101は、受信回路チップ104の出力信号からデータを再生する。

【符号の説明】

【0090】

1	光送信器	10
2	DSP	
3	光変調器	
4、4a、4b	シリアライザ	
5	クロック生成回路	
6	遅延回路	
10	光送信器	
21	エンコーダ	
31～34	シリアライザ	
35～36	遅延要素	
37～40	ドライバ	20

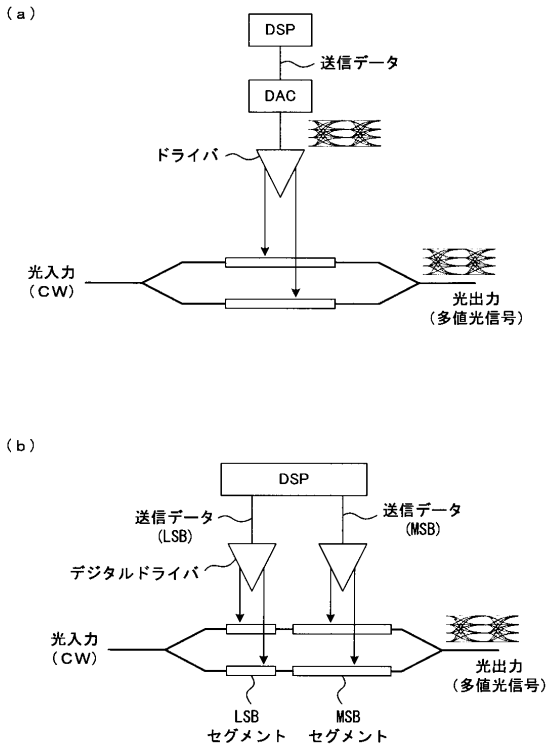
30

40

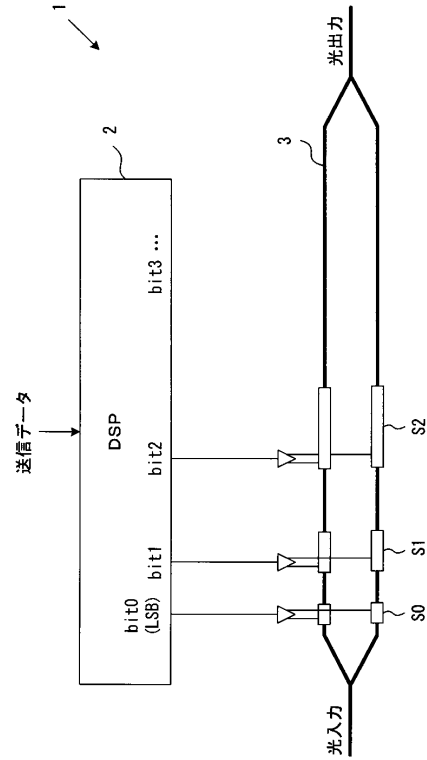
50

【図面】

【図 1】



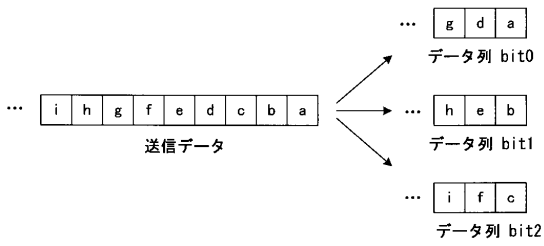
【図 2】



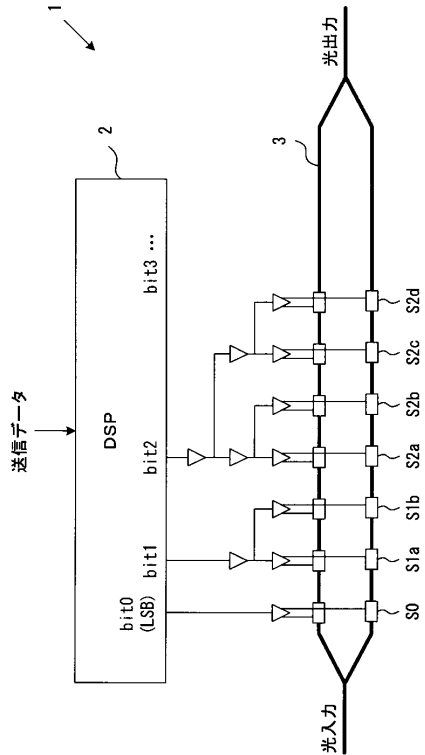
10

20

【図 3】



【図 4】

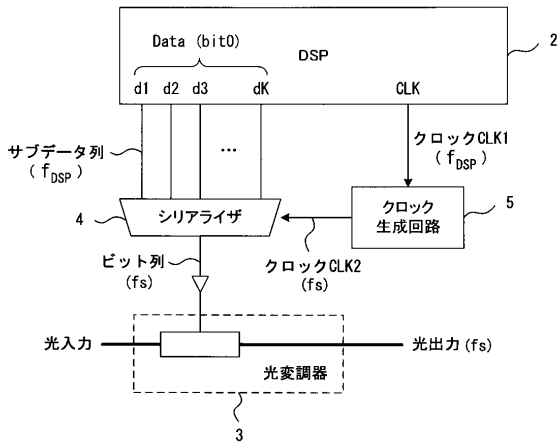


30

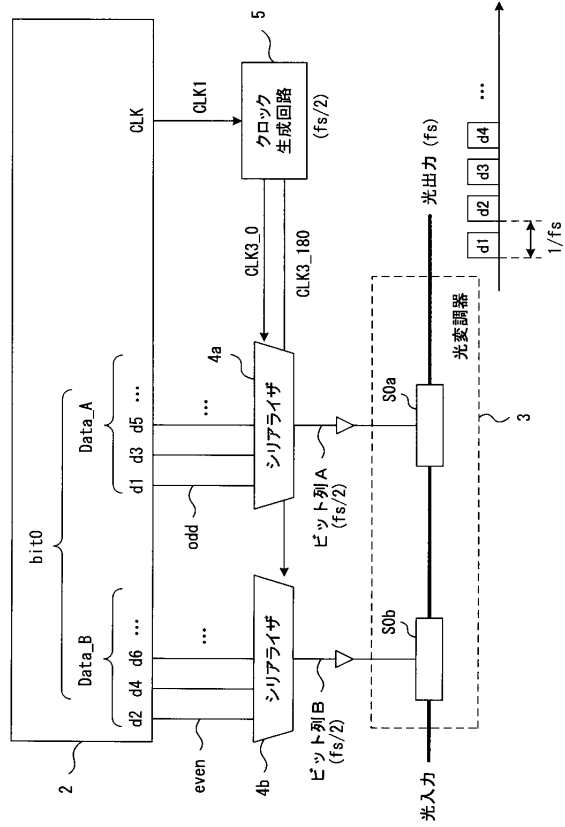
40

50

【図 5】



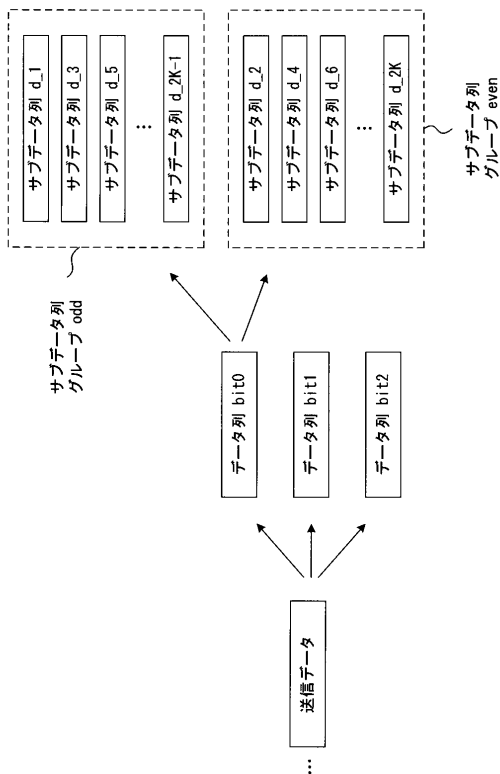
【図 6】



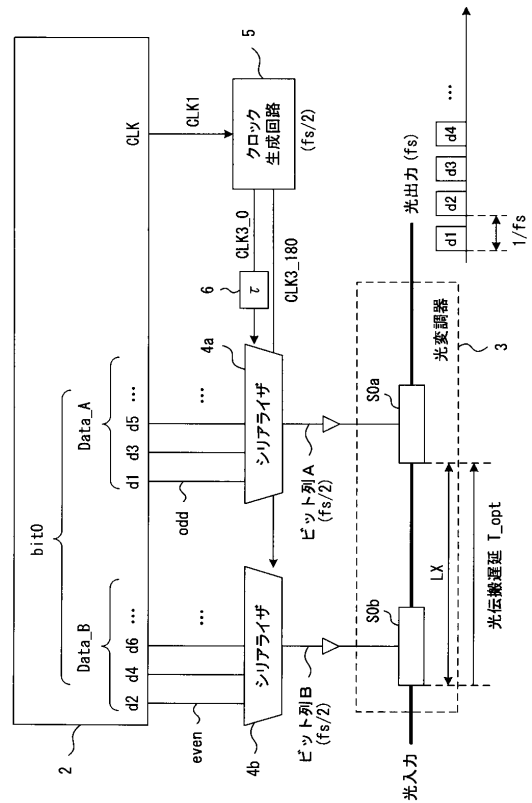
10

20

【図 7】



【図 8】

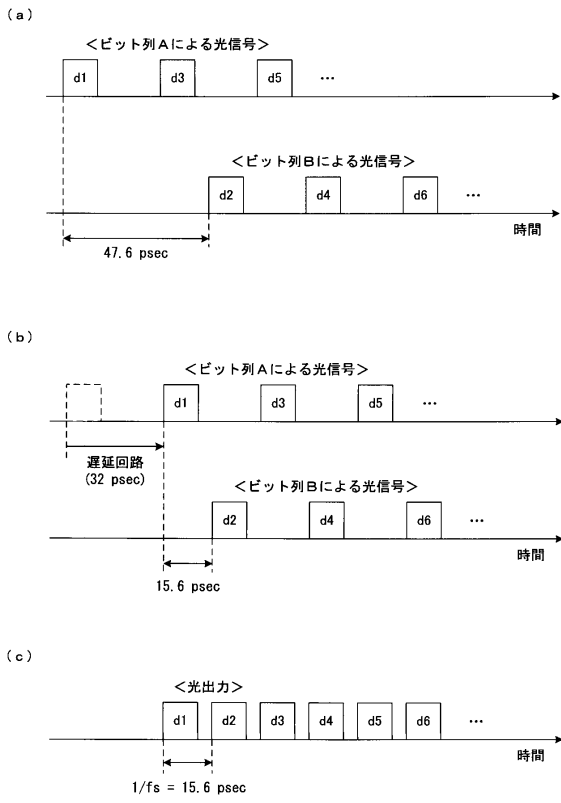


30

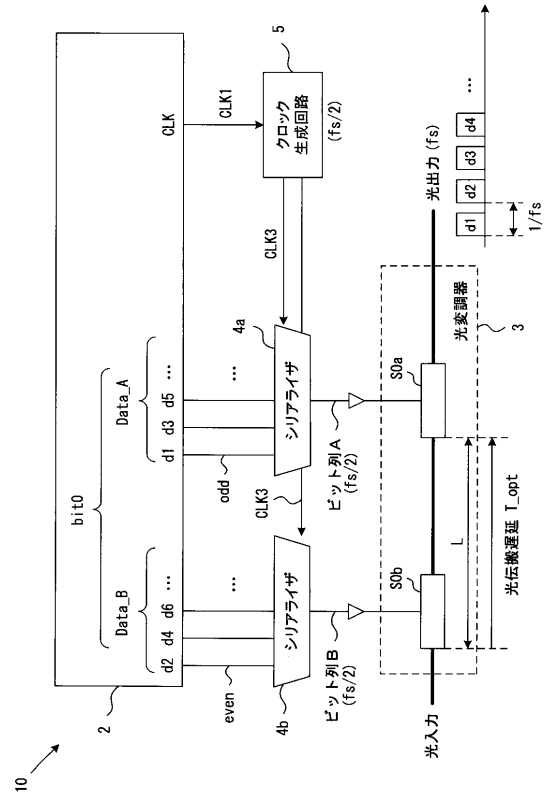
40

50

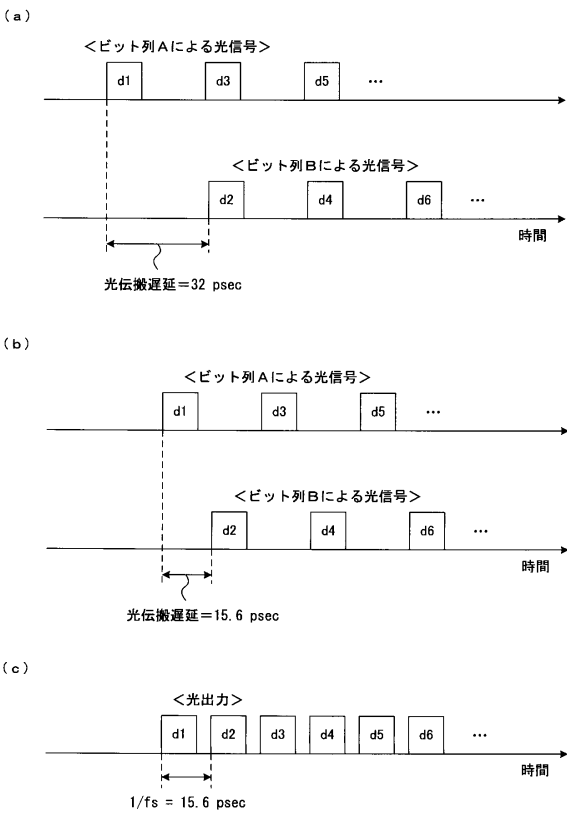
【図 9】



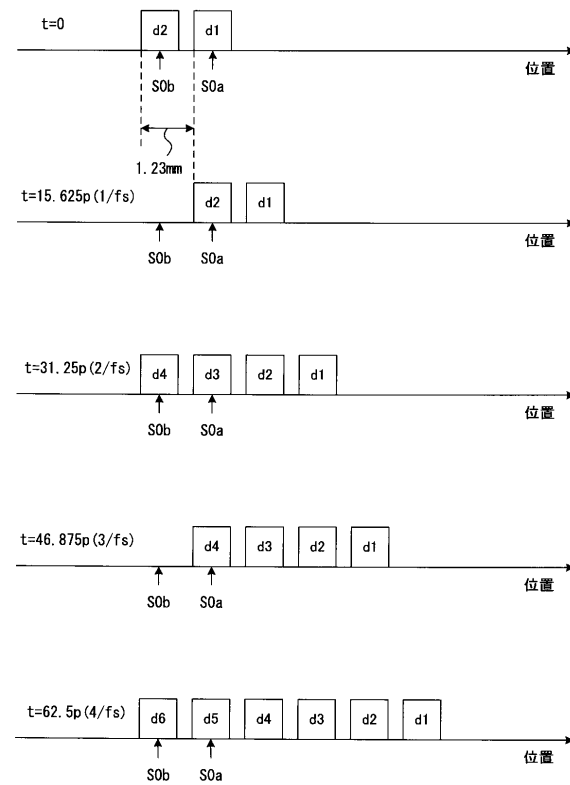
【図 10】



【図 11】



【図 12】



10

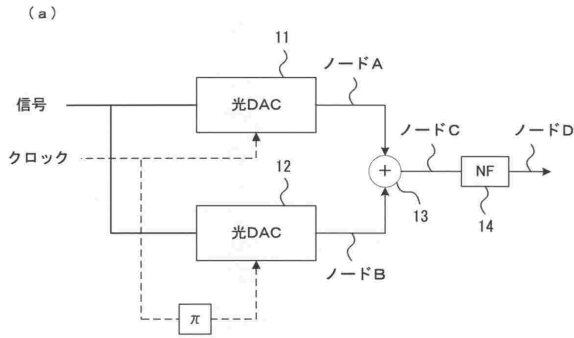
20

30

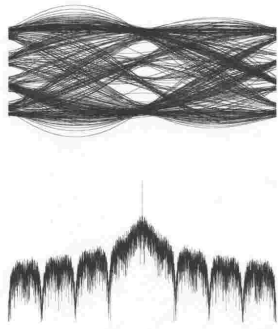
40

50

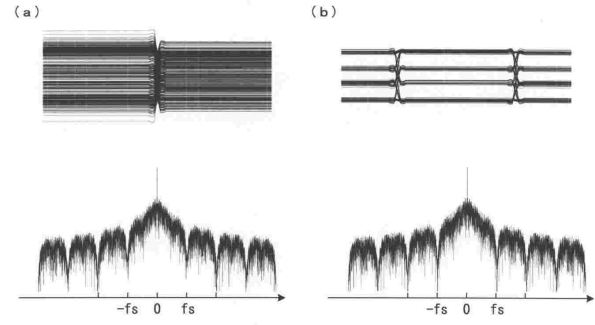
【図 13】



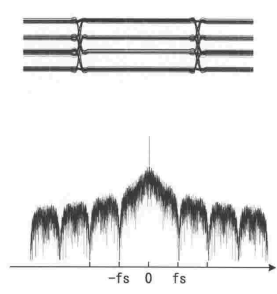
(b)



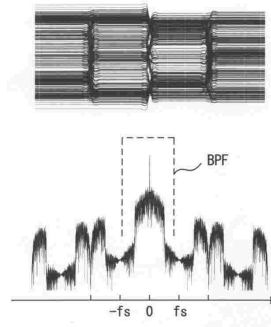
【図 14】



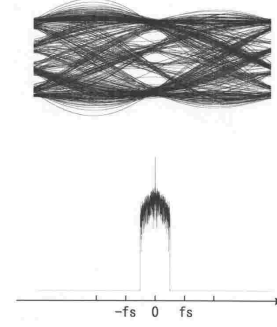
(b)



(c)

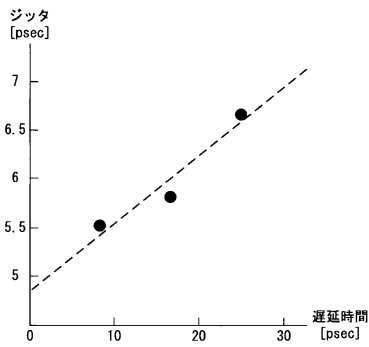


(d)

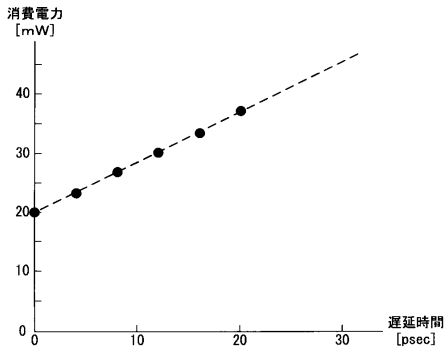


【図 15】

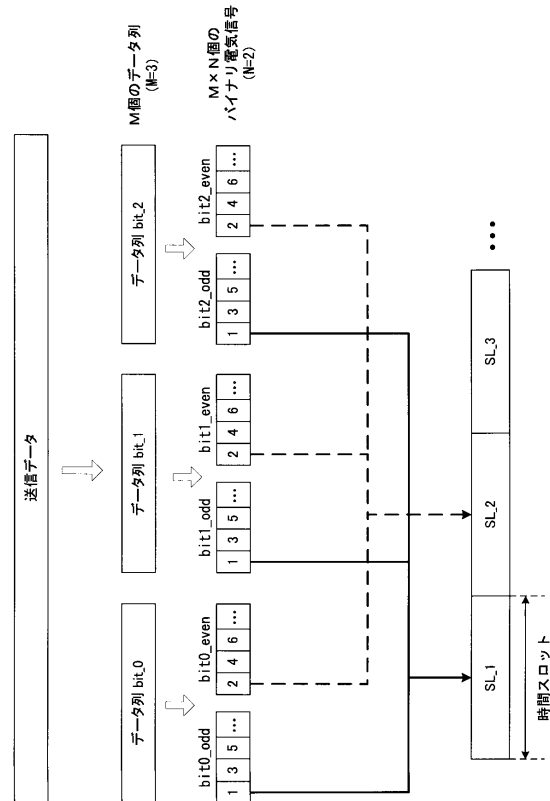
(a)



(b)



【図 16】



10

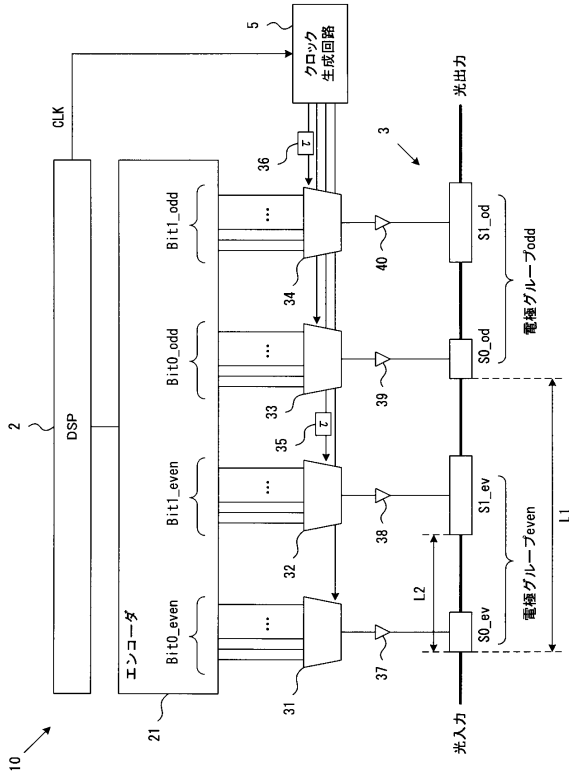
20

30

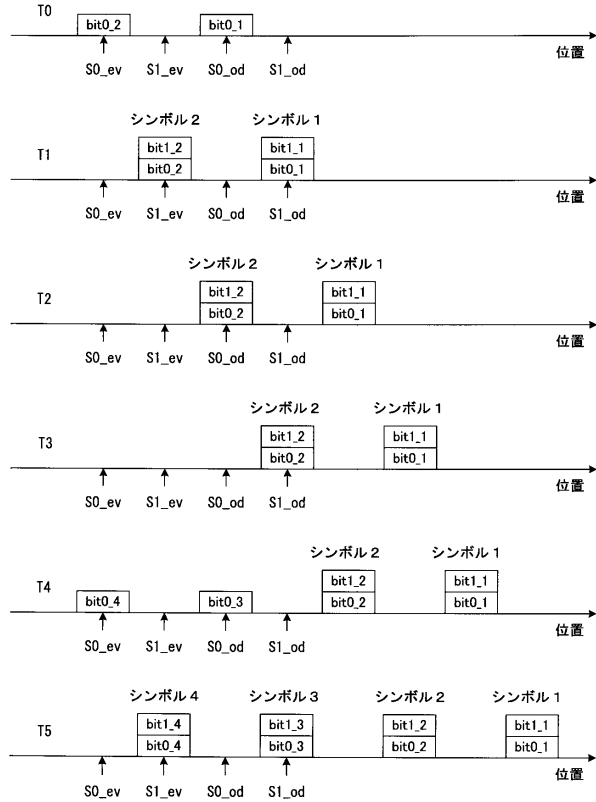
40

50

【図 17】



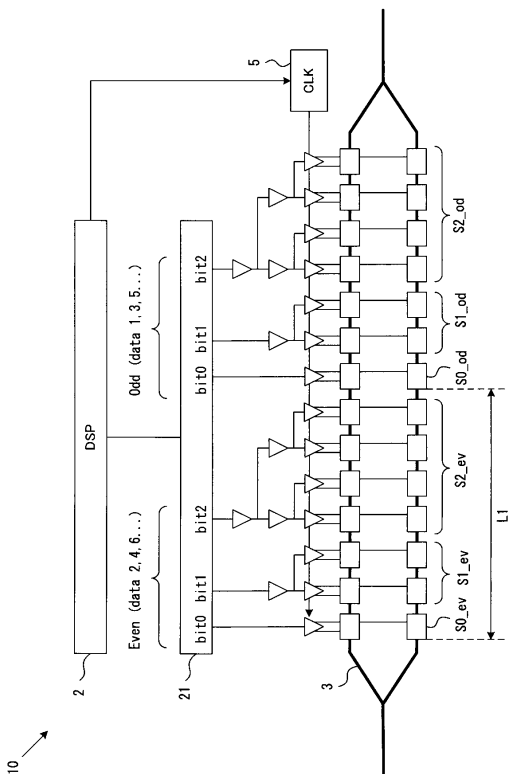
【図 18】



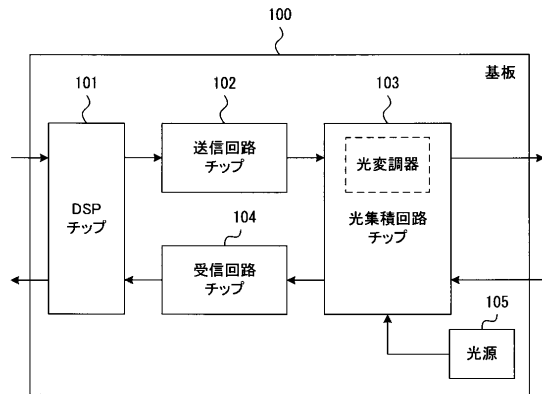
10

20

【図 19】



【図 20】



30

40

50

## フロントページの続き

審査官 赤穂 美香

- (56)参考文献 特開 2018 - 186429 (JP, A)  
特開 2003 - 329989 (JP, A)  
特開 2018 - 022949 (JP, A)  
米国特許出願公開第 2018 / 0316483 (US, A1)  
米国特許出願公開第 2003 / 0170035 (US, A1)  
国際公開第 2011 / 043079 (WO, A1)  
米国特許出願公開第 2012 / 0251032 (US, A1)  
米国特許出願公開第 2019 / 0020416 (US, A1)
- (58)調査した分野 (Int.Cl., DB名)  
H04B 10 / 516  
G02F 1 / 01