

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-11519

(P2017-11519A)

(43) 公開日 平成29年1月12日(2017.1.12)

(51) Int.Cl. F I テーマコード (参考)
H O 4 L 12/42 (2006.01) H O 4 L 12/42 D 5 K O 3 1
H O 4 L 12/437 (2006.01) H O 4 L 12/437 B

審査請求 未請求 請求項の数 5 O L (全 21 頁)

(21) 出願番号	特願2015-125442 (P2015-125442)	(71) 出願人	000005326
(22) 出願日	平成27年6月23日 (2015. 6. 23)		
		(74) 代理人	110001379
			特許業務法人 大島特許事務所
		(72) 発明者	石▲崎▼ 隆介
			埼玉県和光市中央1丁目4番1号 株式会
			社本田技術研究所内
		Fターム(参考)	5K031 AA08 AA09 BA03 CB04 DA15 EA01 EB03 EB10

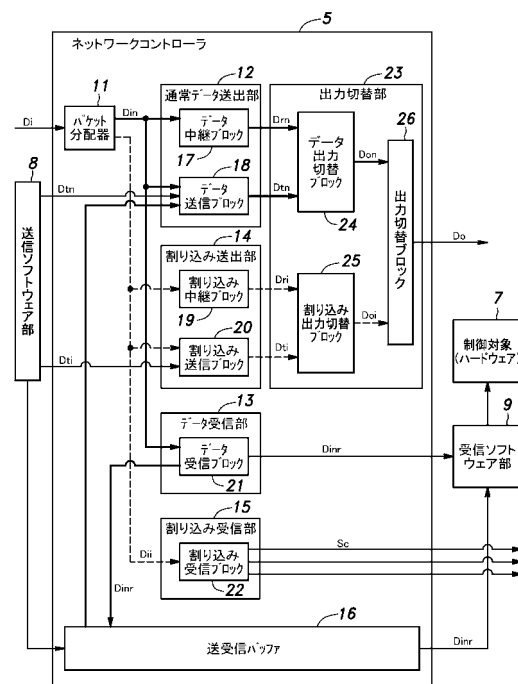
(54) 【発明の名称】 ネットワークを用いた通信システム

(57) 【要約】

【課題】 複数のノードのうちの1つが、データを送信することで他のノードのハードウェアを早急に制御できる通信システムを提供する。

【解決手段】 通信可能に接続された少なくとも2つ以上のノード2が、ソフトウェアを用いた演算処理を行って他のノード2に対する送信データ(Dt(Dtn、Dti))を生成する送信ソフトウェア部8と、送信データを送出するデータ送信部(92(18、20))と、他のノード2から送信されたデータ(Di(Din、Dii))を受信するデータ受信部(21、22)と、少なくともデータ受信部(21)が受信したデータ(Din)に基づいてソフトウェアを用いた演算処理を行って制御対象7を制御する受信ソフトウェア部9と、他のノード2により生成された割込データ(Dti、Dii)に基づいて、受信ソフトウェア部9を介さずに直接制御されるハードウェア(7、70)とを備える。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

複数のノードがネットワークを介して通信可能に接続された通信システムであって、
少なくとも 2 つ以上の前記ノードが、
ソフトウェアを用いた演算処理を行い、他のノードに対して送信すべき送信データを生成する送信ソフトウェア部と、
前記送信データを送出するデータ送信部と、
他のノードから送信されたデータを受信するデータ受信部と、
少なくとも前記データ受信部が受信したデータに基づいてソフトウェアを用いた演算処理を行い、制御対象を制御する受信ソフトウェア部と、
他のノードにより生成された割込データに基づいて、前記受信ソフトウェア部を介さずに直接制御されるハードウェアと
を備えることを特徴とするネットワークを用いた通信システム。

10

【請求項 2】

前記ハードウェアは、前記割込データに基づいて直接制御されるハードウェア論理回路であることを特徴とする請求項 1 に記載のネットワークを用いた通信システム。

【請求項 3】

前記ハードウェア論理回路は、前記割込データに基づいて前記ソフトウェアを再起動させるように構成されていることを特徴とする請求項 2 に記載のネットワークを用いた通信システム。

20

【請求項 4】

前記割込データが 1 つの前記ノードから 2 つ以上の前記ノードに対して送信され、
前記 2 つ以上の前記ノードの前記ハードウェア論理回路が前記割込データに基づいて制御されることにより、前記 2 つ以上の前記ノードの前記制御対象の動作を同期させることを特徴とする請求項 2 に記載のネットワークを用いた通信システム。

【請求項 5】

前記ネットワークがリング状に通信可能に接続され且つリングの一方向に通信を行うリング型であり、
前記複数の前記ノードのそれぞれが、
前記ネットワークの上流側から受信したデータを中継するべく送出するデータ中継部と
、
前記データ中継部から送出されたデータ及び前記データ送信部から送出されたデータの一方を他のノードに向けて出力すると共に、出力するデータを切り替えるデータ出力切替部とを更に備え、
前記ハードウェア論理回路は、前記割込データに基づいて、前記データ出力切替部に対して前記データ中継部から送出されたデータを出力させるように構成されていることを特徴とする請求項 2 に記載のネットワークを用いた通信システム。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複数のノードがネットワークを介して通信可能に接続された通信システムに関する。

40

【背景技術】

【0002】

複数のコンピュータ等の端末（ノード）を通信可能に接続するネットワークのトポロジーには、バス型、スター型、リング型、メッシュ型等がある。バス型のネットワークの例としては、イーサネット（登録商標）がある。イーサネットは、物理的にはスター型構成とされるが、論理的にはバス型構成を採っており、各ノードは自由に信号（データ）を発信することができる。その一方で、イーサネットでは、信号の衝突が発生することがあり、この場合には信号の送達が遅れる（即ち、レイテンシが大きい）。

50

【0003】

リング型のネットワークも、イーサネットと同様に物理的にはハブに集線したスター型構成とされることが多い。リング型ネットワークの例としては、トークンリングがある。トークンリングでは、トークンと呼ばれる信号がリングを周回しており（トークンパッシング）、トークンを得たノードのみがデータを送信することができる。つまり、トークンを得ていないノードはデータを送信することができないため、ネットワーク上でデータが衝突することがない。

【0004】

複数のノードがトークンリングを介して接続された通信システムにおいて、ノードの機能を複雑化させずに受信側ノードの負荷変動に対応させるためのフロー制御方式として、送信元ノードは、受信側ノード宛のデータとビジートークンとの組を送出する送出手段と、自己が送出した組を受信した時に、組をそのまま送出する中継手段とを備え、受信側ノードが、組を受信した時に受信余裕がないならば、組をそのまま送出する中継手段と、組を受信した時に受信余裕があるならば、組にあるデータを受信する受信手段と備える構成とした発明が提案されている（特許文献1）。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2001-326663号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、特許文献1の発明では、送信元ノードが制御内容を埋め込んだデータを送ったとしても、受信側ノードに受信余裕がない状態が続いた場合には、中継手段がデータをそのまま送出し続けるため、受信側ノードがデータを受信してハードウェアを制御することができない。

【0007】

また、ネットワークを介して互いに接続された複数のノードの1つが、他のノードのハードウェアを制御するためには、送信元ノードが制御内容を埋め込んだパケット等のデータを送信し、受信側のノードは受信したデータの内容を、ソフトウェアを用いた演算処理により解釈してハードウェアを制御することが一般的である。しかしながら、ソフトウェアが介在すると、たとえ、受信側ノードが送信元ノードからのデータを受け取ったとしても、処理に時間がかかることがあり、早急にハードウェアを制御することが困難である。

【0008】

本発明は、このような背景に鑑み、複数のノードのうちの1つが、データを送信することで他のノードのハードウェアを早急に制御できる通信システムを提供することを課題とする。

【0009】

このような課題を解決するために、本発明は、複数のノード（2）がネットワーク（3）を介して通信可能に接続された通信システム（1）であって、少なくとも2つ以上の前記ノードが、ソフトウェアを用いた演算処理を行い、他のノードに対して送信すべき送信データ（Dt（Dtn、Dti））を生成する送信ソフトウェア部（8）と、前記送信データを送出するデータ送信部（92（18、20））と、他のノードから送信されたデータ（Di（Din、Dii））を受信するデータ受信部（21、22）と、少なくとも前記データ受信部（21）が受信したデータ（Din）に基づいてソフトウェアを用いた演算処理を行い、制御対象（7）を制御する受信ソフトウェア部（9）と、他のノードにより生成された割込データ（Dti、Dii）に基づいて、前記受信ソフトウェア部を介さずに直接制御されるハードウェア（7、70）とを備える構成とする。

【0010】

この構成によれば、データ受信部が受信した通常の前記データに基づいてソフトウェアを用

10

20

30

40

50

いた演算処理を行う受信ソフトウェア部による制御対象の制御を行いつつ、1つのノードが他のノードに割込データを送信することで、他のノードのハードウェアを、受信ソフトウェア部を介さずに早急に制御することができる。

【0011】

また、上記の発明において、前記ハードウェア（7、70）は、前記割込データに基づいて直接制御されるハードウェア論理回路であるとよい。

【0012】

この構成によれば、他のノードにより生成された割込データに基づいて受信ソフトウェア部を介さずに直接制御されるハードウェア構成を簡単な構成で実現できる。

【0013】

また、上記の発明において、前記ハードウェア論理回路は、前記割込データに基づいて前記ソフトウェアを再起動させるように構成されているとよい。

【0014】

通信システムが電子機器に異常が発生し得る過酷な環境で使用される場合等には、ソフトウェアがハングして演算処理部によるハードウェアの制御が不能になる虞がある。この構成によれば、1つのノードにおいて演算処理部による制御対象の制御が不能になっている場合に、他のノードが再起動指令を送信することで、ハードウェア論理回路にソフトウェアを再起動させることができる。

【0015】

また、上記の発明において、前記割込データ（D_{i i}、D_{t i}）が1つのノードから複数のノードに対して送信され、前記2つ以上の前記ノードの前記ハードウェア論理回路が前記割込データに基づいて制御されることにより、前記2つ以上の前記ノードの前記制御対象の動作を同期させる構成とするるとよい。

【0016】

複数のノードのそれぞれがソフトウェアを介してハードウェアを制御している場合には、レイテンシが比較的大きいために複数の制御対象の動作を同期させることは困難である。この構成によれば、複数のノードの制御対象の動作を同期させることができる。

【0017】

また、上記の発明において、前記ネットワーク（3）がリング状に通信可能に接続され且つリングの一方向に通信を行うリング型であり、前記複数の前記ノードのそれぞれが、前記ネットワークの上流側から受信したデータ（D_{r n}、D_{r i}）を中継するべく送出するデータ中継部（91（17、19））と、前記データ中継部から送出されたデータ（D_{r n}、D_{r i}）及び前記データ送信部（92（18、20））から送出されたデータ（D_{t n}、D_{t i}）の一方を他のノードに向けて出力すると共に、出力するデータを切り替えるデータ出力切替部（93（24、25））とを更に備え、前記ハードウェア論理回路は、前記割込データに基づいて、前記データ出力切替部に対して前記データ中継部から送出されたデータ（D_{r n}、D_{r i}）を出力させるように構成されているとよい。

【0018】

この構成によれば、ネットワークがリング型であるため、データが衝突することがない。一方、ネットワークがリング型である場合、1つのノードにソフトウェアのハングやハードウェアの故障等が発生し、通信不良が生じると、ネットワークに接続された他のノード間の通信に支障を来す虞がある。この構成によれば、1つのノードに通信不良が生じた場合に、他のノードが割込データを送信することで、通信不良が生じたノードにデータの中継を行わせると共に、中継されるデータ以外のデータの出力を停止させることができる。

【発明の効果】

【0019】

このように本発明によれば、複数のノードのうちの1つが、データを送信することで他のノードのハードウェアを早急に制御できる通信システムを提供することができる。

【図面の簡単な説明】

10

20

30

40

50

【0020】

【図1】実施形態に係る通信システムの概略構成図

【図2】図1に示す各ノードの機能ブロック図

【図3】データパケットの構成図

【図4】割込パケットの構成図

【図5】図2に示すデータ中継ブロックの機能ブロック図

【図6】図2に示すデータ送信ブロックの機能ブロック図

【図7】図2に示すデータ受信ブロックの機能ブロック図

【図8】図2に示すデータ出力切替ブロックの機能ブロック図

【図9】図2に示すデータ出力切替ブロックにおけるデータ出力切替の説明図

10

【図10】図2に示す割込受信ブロックの機能ブロック図

【図11】図2に示す割込送信ブロックの機能ブロック図

【図12】割込指令による処理の説明図

【図13】通常時におけるデータ処理のフロー図

【図14】割込時におけるデータ処理のフロー図

【図15】割込による再起動処理の説明図

【図16】異常発生時における割込によるシステム復帰処理のフロー図

【図17】図16に示すバイパス処理の説明図

【図18】図16に示すバイパス処理の説明図

【図19】変形例に係る通信システムの概略構成図

20

【発明を実施するための形態】

【0021】

本発明に係る通信システム1の実施形態を図1～図17を参照して説明する。

【0022】

図1に示されるように、通信システム1は、複数（図示例では4つ）のノード2（2A、2B、2C、2D）と、これらのノード2をリング状に通信可能に接続するリング型のネットワーク3とにより構成されている。この通信システム1では、各ノード2が、演算処理部をなすCPU4と、ネットワーク3のリングに沿う一方向にデータを送るように構成されたネットワークコントローラ5とを有している。つまり、複数のノード2が、リング状に通信可能に接続され且つリングの一方向に通信を行うリング型のネットワーク3を介して通信可能に接続されている。

30

【0023】

なお、リング型のネットワーク3とは論理的な通信構成を意味し、物理的にリング型構成である必要はない。また、通信可能に接続されているとは、通信線を介して物理的に接続されるものの他、無線接続されるものも含む。

【0024】

複数のノード2は、CPU4によるソフトウェアを用いた演算処理を行い、演算処理により出力されたデータに基づいて、ハードウェアからなる対応する制御対象7（図2）をそれぞれ制御する制御装置である。ハードウェアとは、電源に電氣的に接続された電気装置であり、例えば、電動機や電磁弁、照明器具、電気素子、及びそれらへの供給電力を制御するドライバ等を含む。例えば、通信システム1は、自律的に又は遠隔操作により動作するロボットに搭載され、ノード2がロボットの各部を制御する分散制御システムとして構成される。なおこの場合、電源はロボットに搭載されてもよく、ロボットに搭載されずに電源線を介してロボットに接続されてもよい。

40

【0025】

図2に示されるように、各ノード2は、ハードウェアにより構成される上記のネットワークコントローラ5と、CPU4によるソフトウェアを用いた演算処理を行い、他のノード2に対して送信すべきデータを生成する機能部である送信ソフトウェア部8と、少なくとも他のノード2から受信したデータに基づいてCPU4によるソフトウェアを用いた演算処理を行い、制御対象7を制御する機能部である受信ソフトウェア部9とを有している

50

。送信ソフトウェア部 8 は、他のノード 2 に対する送信データ D_t として、通常制御に用いられるデータ（以下、通常送信データ D_{tn} と称する）と、通常送信データ D_{tn} に優先される割込送信データ D_{ti} との 2 種類を生成する。

【0026】

各ノード 2 では、ネットワーク 3 の上流側から送信されたデータがネットワークコントローラ 5 に入力される。ネットワーク 3 上で通信されるデータは、パケット単位で転送される。図 3 に示されるように、通常送信データ D_{tn} のパケット（即ち、データパケット）は、ヘッダー、データ、トレーラー及び CRC を含むフレームにより構成される。ヘッダーは、符号、パケット先頭（SOP）、中継数（HOP）及び自ノード ID（SID）により構成される。トレーラーは、パケット末尾（EOP）、空きバッファサイズ（FBC）、送信先ノード ID（DID）及びパケット優先度（PRI）により構成される。

10

【0027】

一方、割込送信データ D_{ti} のパケット（以下、割込パケット又は単に割込データと呼ぶことがある）は、図 4 に示されるように、ヘッダー、トレーラー及び CRC を含むフレームにより構成される。つまり、割込パケットは、図 3 に示されるデータを含んでいない。割込パケットのヘッダーは、データパケットと同様に、符号、パケット先頭（SOP）、中継数（HOP）及び自ノード ID（SID）により構成される。一方、割込パケットのトレーラーは、パケット末尾（EOP）、空きバッファサイズ（FBC）、送信先ノード ID（DID）及び割込ピン番号（INT）により構成される。つまり、上記の通り割込パケットはデータパケットに優先されるため、割込パケットのトレーラーは、図 3 に示されるパケット優先度（PRI）を含んでおらず、その代わりに割込ピン番号（INT）を含んでいる。

20

【0028】

図 2 に戻り、ネットワークコントローラ 5 はパケット分配器 11 を有しており、入力データ D_i はパケット分配器 11 により後述する各部に分配される。他のノード 2 から送信されてパケット分配器 11 に入力する入力データ D_i にも、通常制御に用いられるデータ（以下、通常入力データ D_{in} と称する）と、通常入力データ D_{in} に優先される割込入力データ D_{ii} との 2 種類がある。図 2 では、通常入力データ D_{in} を含むデータパケットを太線で示し、割込入力データ D_{ii} を含む割込パケットを破線で示している。

【0029】

パケット分配器 11 に入力したデータが通常入力データ D_{in} である場合、パケット分配器 11 は通常入力データ D_{in} をデータ送出部 12 及びデータ受信部 13 のそれぞれに分配する。一方、パケット分配器 11 に入力したデータが割込入力データ D_{ii} である場合、パケット分配器 11 は割込入力データ D_{ii} を割込送出部 14 及び割込受信部 15 のそれぞれに分配する。

30

【0030】

送信ソフトウェア部 8 は、生成した他のノード 2 に対する通常送信データ D_{tn} を送信バッファ 16 に書き込むと共に、符号や優先度等の通常送信データ D_{tn} に関する情報（以下、送信データ情報 D_{It} と称する）をデータ送出部 12（具体的には、後述する送信データ情報格納バッファ 40（図 6 参照））に書き込む。また、送信ソフトウェア部 8 は、生成した他のノード 2 に対する割込送信データ D_{ti} を割込送出部 14（具体的には、後述する割込送信ブロック 20 のソフトウェア書き込み用レジスタ 71（図 10 参照））に書き込む。

40

【0031】

データ送出部 12 は、パケット分配器 11 から分配された通常入力データ D_{in} の送信先が自ノードでない通常中継データ D_{rn} である場合に通常中継データ D_{rn} をそのまま送出するデータ中継ブロック 17 と、送信ソフトウェア部 8 が生成した他のノード 2 に対する通常送信データ D_{tn} を送出するデータ送信ブロック 18 とを有している。データ送信ブロック 18 は、パケット分配器 11 から分配された通常入力データ D_{in} に基づいて後述する送信完了判定を行うと共に、送信ソフトウェア部 8 が書き込んだ送信データ情報

50

D I t に対応する通常送信データ D t n を送受信バッファ 1 6 から読み出して送出する。

【0032】

割込送出部 1 4 は、パケット分配器 1 1 から分配された割込入力データ D i i の送信先が自ノードでない割込中継データ D r i である場合に割込中継データ D r i をそのまま送出する割込中継ブロック 1 9 と、送信ソフトウェア部 8 が生成した他のノード 2 に対する割込送信データ D t i を送出する割込送信ブロック 2 0 とを有している。

【0033】

データ受信部 1 3 は、パケット分配器 1 1 から分配された通常入力データ D i n の送信先が自ノードであり、受信すべき場合に、通常入力データ D i n を受信データ D i n r として受信して送受信バッファ 1 6 に書き込むと共に、送受信バッファ 1 6 から受信データ D i n r を読み出して受信ソフトウェア部 9 に提供するデータ受信ブロック 2 1 を有している。

【0034】

割込受信部 1 5 は、パケット分配器 1 1 から分配された割込入力データ D i i の送信先が自ノードである割込データである場合に割込入力データ D i i を受信し、ハードウェア制御信号 S c としてハードウェアに送出する割込受信ブロック 2 2 を有している。

【0035】

データ中継ブロック 1 7 から送出された通常中継データ D r n、データ送信ブロック 1 8 から送出された通常送信データ D t n、割込中継ブロック 1 9 から送出された割込中継データ D r i、及び割込送信ブロック 2 0 から送出された割込送信データ D t i は、出力切替部 2 3 に入力される。

【0036】

出力切替部 2 3 では、データ出力切替ブロック 2 4 が、通常中継データ D r n 及び通常送信データ D t n の一方を他のノード 2 に向けて出力すべき通常送出データ D o n として出力すると共に、出力する通常送出データ D o n を通常中継データ D r n 及び通常送信データ D t n の間で切り替える。また、割込出力切替ブロック 2 5 が、割込中継データ D r i 及び割込送信データ D t i の一方を他のノード 2 に向けて出力すべき割込送出データ D o i として出力すると共に、出力する割込送出データ D o i を割込中継データ D r i 及び割込送信データ D t i の間で切り替える。また、出力切替ブロック 2 6 が、データ出力切替ブロック 2 4 から出力される通常送出データ D o n、及び割込出力切替ブロック 2 5 から出力される割込送出データ D o i の一方を出力データ D o として出力すると共に、出力データ D o を通常送出データ D o n 及び割込送出データ D o i の間で切り替える。

【0037】

なお、全てのノード 2 がこれらの機能部の全てを有している必要はない。例えば、1 つのノード 2 が、送信ソフトウェア部 8 により割込送信データ D t i を生成し、割込送信ブロック 2 0 を有し、他のノード 2 は割込送信ブロック 2 0 や割込出力切替ブロック 2 5 を有しなくもよい。但し、全てのノード 2 は、少なくともデータ送出部 1 2、データ中継ブロック 1 7、データ送信ブロック 1 8、割込中継ブロック 1 9、割込送信ブロック 2 0、データ受信ブロック 2 1、割込受信ブロック 2 2 及び受信ソフトウェア部 9 を備えている。

【0038】

以下、ノード 2 の各部について詳細に説明する。

【0039】

図 5 に示されるように、データ中継ブロック 1 7 では、パケット判定部 3 1 が通常入力データ D i n の中継判定を行う。具体的には、パケット判定部 3 1 は、送信データ情報 D I t の自ノード I D (S I D) に基づいて、通常入力データ D i n が自ノードにより生成されたデータであるか否かを判定する。また、パケット判定部 3 1 は、中継数 (H O P) に基づいて、中継異常があるか否か、具体的には中継数がネットワーク 3 上のノード数以上であるか否かを判定する。

【0040】

パケット判定部 31 の判定結果に基づき、制御部 32 が通常入力データ D_{in} を中継し、又は破棄する。具体的には、通常入力データ D_{in} が自ノードにより生成されたデータである場合には、制御部 32 は、ネットワーク 3 のリングを 1 周回ったものとして通常入力データ D_{in} を破棄する。また、通常入力データ D_{in} の中継数がノード数以上である場合には、制御部 32 は、異常データであるものとして通常入力データ D_{in} を破棄してエラー表示データを付加する。なお、制御部 32 には、後述するデータ出力切替ブロック 24 の制御部 62（図 8 参照）から出力待ち信号 Sw が入力するようになっている。

【0041】

一方、通常入力データ D_{in} が正常であり中継すべき通常中継データ D_{rn} であることがパケット判定部 31 により判定された場合には、制御部 32 は、通常中継データ D_{rn} の中継数をインクリメントし、データセクタ 33 に対するデータ選択制御を行う。また、制御部 32 は、出力待ち信号 Sw に応じ、データ保持部 34 に対するデータ入出力制御を行う。データセクタ 33 は、制御部 32 の指令に従って、アイドルデータ、上記エラー表示データ及び通常入力データ D_{in} （通常中継データ D_{rn} ）の中から 1 つを選択し、データ保持部 34 に通常中継データ D_{rn} を書き込む。出力待ち信号 Sw が制御部 32 に入力しておらず、制御部 32 がデータ出力の指令を出すと、データ保持部 34 は保持している通常中継データ D_{rn} を送出する。

【0042】

データ中継ブロック 17 の制御部 32 は、上記所定の動作を行うようにプログラミングされたハードウェアにより構成される。制御部 32 を構成するハードウェアとしては、A S I C（Application Specific Integrated Circuit：特定用途向け集積回路）や、P L D（Programmable Logic Device：プログラマブルロジックデバイス）、A S S P（Application Specific Standard Produce）等のハードウェア論理回路を利用することができる。A S I C を利用する場合は、ゲートアレイ、ストラクチャード A S I C 等のマスタ・スライス型であってよく、セルベース A S I C 等のカスタム型であってもよい。また、P L D を利用する場合は、Simple P L D 及び C P L D（Complex PLD）を含む狭義の P L D であってよく、F P G A（Field-Programmable Gate Array）を更に含む広義の P L D であってもよい。ハードウェアは、好ましくは P L D（プログラマブルロジックデバイス）である。後述するネットワークコントローラ 5 の各部（各ブロック）の制御部 42、52、62、73、82 も、同様にハードウェアにより構成される。

【0043】

図 6 に示されるように、データ送信ブロック 18 には、パケット分配器 11 から分配された通常入力データ D_{in} が入力している。送信完了判定部 41 は通常入力データ D_{in} に基づいて送信完了判定を行う。具体的には、送信完了判定部 41 は、自ノードが送信した通常送信データ D_{tn} がネットワーク 3 のリングを 1 周回って帰ってきたことをもって当該通常送信データ D_{tn} の送信完了を判定する。送信完了判定部 41 による判定結果は、制御部 42 に送られる。

【0044】

送信データ情報格納バッファ 40 には、送信ソフトウェア部 8 により 1 塊として生成された通常送信データ D_{tn} の送信データ情報 D_{It} が書き込まれている。各通常送信データ D_{tn} には、上記の通り送信ソフトウェア部 8 により優先度（例えば、最優先、優先度高、優先度中、優先度低等）が与えられている。データ送信ブロック 18 では、制御部 42 が、送信データ情報格納バッファ 40 に優先度ごとのキューとして格納された送信データ情報 D_{It} を優先度の高いものから順に取り出し、取り出した送信データ情報 D_{It} に対応する通常送信データ D_{tn} を送受信バッファ 16 から読み出してパケット生成指令 C_p を生成してパケット生成部 43 に送出する。この際、制御部 42 は、先に送信した通常送信データ D_{tn} のデータパケットが送信完了判定部 41 により送信完了と判定されるまで、次に送信すべきデータパケットを送受信バッファ 16 から取得しないように制御する。また、制御部 42 は、後述するデータセクタ 44 に対するデータ選択制御を行う。

【0045】

パケット生成部 43 は、制御部 42 からのパケット生成指令 C p に応じ、送受信バッファ 16 から通常送信データ D t n を読み出し、通常送信データ D t n のデータパケットを生成する。この際、パケット生成部 43 は送受信バッファ 16 から空きバッファサイズ (F B C) 等の関連情報を読み込み、データパケットに埋め込む。パケット生成部 43 により生成された通常送信データ D t n のデータパケットは、データ保持部 45 に一旦保持され、上記データ出力切替ブロック 24 の制御部 62 (図 8 参照) からの出力待ち信号 S w が入力していなければ、データセクタ 44 に向けて送出される。データセクタ 44 は、制御部 42 の指令に従って、アイドルデータ及び通常送信データ D t n のいずれか 1 つを選択し、通常送信データ D t n として送出する。

【0046】

図 7 に示されるように、データ受信ブロック 21 では、受信判定部 51 が、入力された通常入力データ D i n を解析し、受信するか否かの受信判定を行う。具体的には、受信判定部 51 は、通常入力データ D i n の送信先ノード I D (D I D) が自ノードである場合に受信することを判定し、送信先ノード I D が自ノードでない場合に受信しないことを判定する。

【0047】

データ受信ブロック 21 では、制御部 52 が、送受信バッファ 16 の書き込み可能な空きバッファを送受信バッファ 16 から取得する。制御部 52 は、受信判定部 51 から受信すべき判定結果を得た場合には、入力された通常入力データ D i n を書き込むべき書き込み先を空きバッファの中から指定したバッファ書き込み先指令 C d をデータ書き込み部 53 に対して送出する。データ書き込み部 53 は、受信判定部 51 からの受信判定及び制御部 52 からのバッファ書き込み先指令 C d を受けると、入力された通常入力データ D i n を受信データ D i n r として送受信バッファ 16 の指定された位置に書き込む。

【0048】

また、制御部 52 は、受信データ D i n r (入力された通常入力データ D i n) に関する情報 (以下、受信データ情報 D I r と称する) にバッファ書き込み先を付加すると共に受信データ情報 D I r に基づいて優先度を確認し、受信データ情報 D I r を優先度ごとのキューとして受信データ情報格納バッファ 50 に書き込む。受信データ情報格納バッファ 50 に書き込まれた受信データ情報 D I r は、優先度の高いものから順に受信ソフトウェア部 9 により取り出される。

【0049】

受信ソフトウェア部 9 は、取り出した受信データ情報 D I r に対応する受信データ D i n r を送受信バッファ 16 から読み出し、少なくとも読み出した受信データ D i n r に基づいて制御対象 7 (図 2) のハードウェアを制御する。受信ソフトウェア部 9 は、例えばロボットの関節駆動用の電動機に対する供給電力を調整するモータドライバを制御する。

【0050】

図 8 に示されるように、データ出力切替ブロック 24 には、データ中継ブロック 17 (図 5) のデータ保持部 34 から送出された通常中継データ D r n と、データ送信ブロック 18 (図 6) のデータセクタ 44 から送出された通常送信データ D t n とが入力している。データ出力切替ブロック 24 は、通常中継データ D r n 及び通常送信データ D t n が入力するデータセクタ 61 と、入力した通常中継データ D r n 及び通常送信データ D t n に基づいてデータセクタ 61 に対するデータ選択制御を行うと共に、データ中継ブロック 17 (図 5) 及びデータ送信ブロック 18 (図 6) に対する出力待ち信号 S w を出力する制御部 62 とを有している。

【0051】

データセクタ 61 は、制御部 62 の指令に従って、通常中継データ D r n 及び通常送信データ D t n のいずれか 1 つを選択し、選択したデータを通常送出データ D o n として出力する。制御部 62 は、通常送信データ D t n を通常中継データ D r n よりも優先させてデータセクタ 61 が出力するように指令を出す。また、制御部 62 は、一方のデータの出力中には他方のデータの入力と衝突しないように、1 パケットのデータ出力が完了す

10

20

30

40

50

るまで、データ中継ブロック 17 及びデータ送信ブロック 18 に対して出力待ち信号 S w を出力する。

【0052】

図 9 を参照して、データ中継ブロック 17、データ送信ブロック 18 及びデータ出力切替ブロック 24 における動作の具体例について説明する。図 9 の例では、データ中継ブロック 17 には、他のノード 2 から送信された通常入力データ D i n として通常中継データ D r n のパケット B 0、B 1、B 2 がこの順に入力している。一方、データ送信ブロック 18 には、送信ソフトウェア部 8 からの送信データ情報 D I t に従って送受信バッファ 16 (図 6) から読み込んだ通常送信データ D t n のパケット C 0、C 1、C 2 がこの順に、且つパケット C 0 がパケット B 1 と同時となるタイミングで入力している。

10

【0053】

このような場合、データ出力切替ブロック 24 は、最初に入力した通常中継データ D r n のパケット B 0 を出力した後、通常中継データ D r n のパケット B (B 1、B 2) の出力を行わずに通常送信データ D t n のパケット C (C 0、C 1、C 2) を優先的に出力する。そして、通常送信データ D t n のパケット C の出力が完了した後に、データ出力切替ブロック 24 は通常中継データ D r n のパケット B 1、B 2 を出力する。データ出力切替ブロック 24 がこのようなデータ出力の切り替えを行うことにより、データの衝突が防止される。

【0054】

詳細な図示は省略するが、割込中継ブロック 19 (図 2) は、データ中継ブロック 17 (図 2、図 5) と同様の機能を有している。具体的には、割込中継ブロック 19 では、パケット判定部が自ノード I D (S I D) 及び中継数 (H O P) に基づいて、割込入力データ D i i の中継判定を行う。パケット判定部の判定結果に基づき、制御部が割込入力データ D i i を中継し、又は破棄する。各機能部の具体的機能はデータ中継ブロック 17 の説明と重複するためここでは一部割愛するが、割込中継ブロック 19 では、割込入力データ D i i が正常であり中継すべき割込中継データ D r i であることがパケット判定部により判定された場合には、制御部が、割込中継データ D r i の中継数をインクリメントし、割込中継データ D r i を送出する。

20

【0055】

図 10 に示されるように、割込送信ブロック 20 には、送信ソフトウェア部 8 により生成された割込送信データ D t i が直接 (割込送信データ D t i の送信データ情報 D I t ではなく割込送信データ D t i そのものが) 入力している。また、割込送信ブロック 20 には、タイマ等のハードウェア 70 から送出される割込送信データ D t i も入力している。送信ソフトウェア部 8 から入力する割込送信データ D t i は、ソフトウェア書き込み用レジスタ 71 に書き込まれる。一方、ハードウェア 70 から入力する割込送信データ D t i は、ハードウェア書き込み用レジスタ 72 に書き込まれる。

30

【0056】

割込送信ブロック 20 では、制御部 73 が、ソフトウェア書き込み用レジスタ 71 及びハードウェア書き込み用レジスタ 72 に書き込まれた割込送信データ D t i を割込要求として受け取り、割込要求を受けるとパケット生成部 74 に対してパケット生成指令 C p を送出する。この際、制御部 73 は、ソフトウェア書き込み用レジスタ 71 からの割込要求よりも、ハードウェア書き込み用レジスタ 72 からの割込要求を優先して受け付ける。また、制御部 73 は、後述するデータセクタ 75 に対するデータ選択制御を行う。

40

【0057】

パケット生成部 74 は、パケット生成指令 C p を受けると、パケット生成指令 C p に対応するソフトウェア書き込み用レジスタ 71 又はハードウェア書き込み用レジスタ 72 から割込送信データ D t i を読み出し、読み出した割込送信データ D t i のパケット (割込パケット) を生成する。パケット生成部 74 は、生成した割込送信データ D t i のパケットをデータセクタ 75 に送出する。データセクタ 75 は、制御部 73 の指令に従って、アイドルデータ及び割込送信データ D t i のパケットのいずれか 1 つを選択し、割込送

50

信データD t iとして送出する。

【0058】

詳細な図示は省略するが、図2に示される割込出力切替ブロック25は、割込中継ブロック19から送出される割込中継データD r iと、割込送信ブロック20から送出される割込送信データD t iとに対し、データ出力切替ブロック24（図2、図8）と同様の出力切替機能を有している。具体的には、割込出力切替ブロック25は、割込中継データD r i及び割込送信データD t iが入力するデータセクタと、入力した割込中継データD r i及び割込送信データD t iに基づいてデータセクタに対するデータ選択制御を行う制御部とを有している。データセクタは、制御部の指令に従って、割込中継データD r i及び割込送信データD t iのいずれか1つを選択し、割込送信データD t iとして出力する。制御部は、割込送信データD t iを割込中継データD r iよりも優先させてデータセクタが出力するように指令を出す。

10

【0059】

図2に示される出力切替ブロック26についても詳細な図示は省略して説明する。出力切替ブロック26も、データ出力切替ブロック24（図2、図8）から送出される通常送出データD o nと、割込出力切替ブロック25（図2）から送出される割込送出データD o iとに対し、データ出力切替ブロック24や割込出力切替ブロック25と同様の出力切替機能を有している。具体的には、出力切替ブロック26は、通常送出データD o n及び割込送出データD o iが入力するデータセクタと、入力した通常送出データD o n及び割込送出データD o iに基づいてデータセクタに対するデータ選択制御を行う制御部とを有している。データセクタは、制御部の指令に従って、通常送出データD o n及び割込送出データD o iのいずれか1つを選択し、選択したデータを出力データD oとして出力する。制御部は、割込送出データD o iを通常送出データD o nよりも優先させてデータセクタが出力するように指令を出す。

20

【0060】

図11に示されるように、割込受信部15では、受信判定部81が、入力された割込入力データD i iの受信データ情報D I rを解析し、受信するか否かの受信判定を行う。具体的には、受信判定部81は、割込入力データD i iの送信先ノードI D（D I D）が自ノードである場合に受信することを判定し、送信先ノードI Dが自ノードでない場合及びエラーデータである場合に受信しないことを判定する。

30

【0061】

割込受信部15では制御部82が、受信判定部81から受信すべき判定結果を得た場合に、入力された割込入力データD i iを受け取り、受け取った割込入力データD i iを解析して、ハードウェア制御信号S cとして対応するハードウェアに向けて出力する。即ち、ハードウェア制御信号S cは、受信ソフトウェア部9の制御対象7（図2）であるハードウェア（例えばロボットの関節駆動用の電動機に対する供給電力を調整するモータドライバ）に対するものであってもよく、その他のハードウェアに対するものであってもよい。

【0062】

ハードウェア制御信号S cにより制御されるハードウェアは、A S I C（特定用途向け集積回路）や、P L D（プログラマブルロジックデバイス）、A S S P、I C（リセットI C等）等のハードウェア論理回路である。好ましくは、ハードウェアは、A S I CやP L D等のカスタム設計されるハードウェア論理回路である。ハードウェアがA S I Cである場合は、ゲートアレイ、ストラクチャードA S I C等のマスタ・スライス型であってよく、セルベースA S I C等のカスタム型であってよい。また、ハードウェアがP L Dである場合は、Simple P L D及びC P L Dを含む狭義のP L Dであってよく、F P G Aを更に含む広義のP L Dであってよい。より好ましくは、ハードウェアはP L D（プログラマブルロジックデバイス）である。

40

【0063】

以下、ハードウェア制御信号S cの種類やその内容、それによる動作について説明する

50

。

【0064】

まず、割込受信部15が出力するハードウェア制御信号Scが、受信ソフトウェア部9の制御対象7であるハードウェアに対するものである場合について説明する。

【0065】

図12に示されるように、ここでは、n個のノード2（ネットワーク3のリングのデータ送信方向に順に第1、第2、・・・第nとする）により通信システム1が構成されている。第1のノード2は、第nのノード2を送信先とする割込送信データDtiを生成し、生成した割込送信データDtiの packets（割込 packets）を出力データDoとしてネットワーク3のリングの下流側に送信する。割込 packets は、第2のノード2、第3のノード2、・・・に中継されて第nのノード2に送達される。

10

【0066】

第nのノード2では、割込受信部15により割込 packets（割込送信データDti）が割込入力データDiiとして受信される。受信された割込入力データDiiは、割込データの割込ピン番号（INT）に対応するハードウェア（制御対象7への割込ピン）に向けてハードウェア制御信号Scとして出力される。ハードウェア制御信号Scが入力されたハードウェア（論理回路）は、ハードウェア制御信号Scに基づいて直接制御される。

【0067】

次に、ハードウェアが受信ソフトウェア部9により制御される場合と、ハードウェア制御信号Scにより直接制御される場合との処理の違いについて説明する。図13は、ハードウェアが受信ソフトウェア部9により制御される通常時のフロー図であり、図14は、ハードウェアがハードウェア制御信号Scにより直接制御される割込時のフロー図である。

20

【0068】

図13に示されるように、ハードウェアが受信ソフトウェア部9により制御される通常時には、第nのノード2は、まず通常入力データDinのデータ packets をデータ受信ブロック21（図2、図7）で受信する（ステップST1）。次いで、第nのノード2は、受信した通常入力データDinを送受信バッファ16に書き込む（ステップST2）。その後、第nのノード2は、受信データ情報格納バッファ50（図7）に格納された受信データ情報Dirの優先度に応じた割込を行う（ステップST3）。ここまでの処理はハードウェアのみによって行われる。

30

【0069】

続いて、第nのノード2は、受信ソフトウェア部9（図2、図7）により送受信バッファ16から通常入力データDinを読み出す（ステップST4）。その後、第nのノード2は、受信ソフトウェア部9において通常入力データDinを解析・演算処理する（ステップST5）。そして最後に、第nのノード2は、解析・演算処理したデータに基づいてハードウェアを制御する（ステップST6）。ステップST4～ステップST6の処理は、CPU4によるソフトウェアを用いた演算処理によって行われる。

【0070】

一方、図14に示されるように、ハードウェアがハードウェア制御信号Scにより直接制御される割込時には、第nのノード2は、まず割込入力データDiiの packets（割込 packets）を割込受信ブロック22（図2）の受信判定部81（図11）で受信する（ステップST11）。次に、第nのノード2は、受信した割込入力データDiiを制御部82（図11）で解析する（ステップST12）。その後、第nのノード2は、制御部82により割込入力データDiiをハードウェア制御信号Scとして出力して対応するハードウェアを、ソフトウェアを介さずに直接制御する。即ち、これらステップST11～ステップST13の全ての処理はハードウェアのみによって行われる。

40

【0071】

このように第1のノード2が第nのノード2に対して割込送信データDtiを送信し、第nのノード2が受信した割込入力データDiiに基づいて、ソフトウェア（受信ソフト

50

ウェア部 9) を介在させずにハードウェアを直接制御することにより、小さいレイテンシでハードウェアが制御される。また、第 n のノード 2 の送信ソフトウェア部 8 や受信ソフトウェア部 9 が暴走し又は CPU 4 がハングアップしていたとしても、ソフトウェアを介在させないため、割込送信データ D t i によりハードウェアを制御することが可能である。

【0072】

また、第 1 のノード 2 が複数のノード 2 に対して割込送信データ D t i を生成し、生成した割込送信データ D t i のパケット (割込パケット) を出力データ D o としてネットワーク 3 のリングの下流側に略同時に順次送信してもよい。そうすると、割込送信データ D t i の送信先とされた複数 (2 つ以上であればよい) のノード 2 のハードウェアが割込送信データ D t i に基づいて制御されることにより、これらのノード 2 の制御対象 7 の動作を同期させることができる。

【0073】

次に、割込受信部 1 5 が出力するハードウェア制御信号 S c が、受信ソフトウェア部 9 の制御対象 7 以外のハードウェアに対するものである場合について説明する。

【0074】

図 1 5 に示されるように、ここでは第 1 のノード 2 が、ハングアップ状態の第 n のノード 2 を送信先として、CPU 4 のリセットを行うハードウェア (リセット回路) に対する割込送信データ D t i を送信している。

【0075】

第 n のノード 2 では、割込受信部 1 5 により割込パケット (割込送信データ D t i) が割込入力データ D i i として受信される。受信された割込入力データ D i i は、割込データの割込ピン番号 (I N T) に対応するハードウェアであるリセット回路の割込ピンに向けてハードウェア制御信号 S c として出力される。ハードウェア制御信号 S c が入力されたハードウェア (リセット回路) は、ハードウェア制御信号 S c に基づいて直接制御され、ハングアップ状態の CPU 4 に対してリセット信号を出力する (即ち、ソフトウェアを再起動 (リブート) させる)。

【0076】

このように、上記のような受信ソフトウェア部 9 の制御対象 7 に対する直接制御とは別に、第 1 のノード 2 が第 n のノード 2 に向けてハードウェア (リセット回路) に対する割込送信データ D t i を送信することで、ハングアップ状態の第 n のノード 2 の CPU 4 にリセットをかけることができる。これにより、第 n のノード 2 の送信ソフトウェア部 8 や受信ソフトウェア部 9 を正常状態に戻すことができる。

【0077】

一方、リセット回路に対するハードウェア制御信号 S c が送られて CPU 4 に対してリセット信号が出力された場合であっても、CPU 4 が正常に再起動しない場合があり、送信ソフトウェア部 8 が暴走して不要なデータを送り続けることがある。そして、本実施形態のようにネットワーク 3 がリング型である場合には、このような事象が生じると、送信データ D t が中継データ D r に優先され、中継データ D r が中継 (送信) されなくなる。そこで、本実施形態では、暴走したノード 2 に対し、他のノード 2 が更に異なるハードウェアを制御する割込送信データ D t i を送信することで、事態の解決が図られる。

【0078】

具体的に説明すると、図 1 6 に示されるように、ノード 2 では、入力データ D i (通常入力データ D i n 及び割込入力データ D i i) が中継ブロック 9 1 (データ中継ブロック 1 7 及び割込中継ブロック 1 9) に入力している。一方、ノード 2 では、送信ソフトウェア部 8 の暴走により、送信ブロック 9 2 (データ送信ブロック 1 8 及び割込送信ブロック 2 0) から送信データ D t (通常送信データ D t n 及び割込送信データ D t i) が出力され続けている。データセクタ 9 3 (データ出力切替ブロック 2 4 及び割込出力切替ブロック 2 5) は、送信データ D t の通常送信データ D t n を、通常入力データ D i n の通常中継データ D r n よりも優先させ、送信データ D t の割込送信データ D t i を、割込入力

データ D_i の割込中継データ D_r よりも優先されて出力するため、他のノード 2 に必要な中継データ D_r (通常中継データ D_{rn} 及び割込中継データ D_{ri}) が出力されなくなる虞がある。

【0079】

このような場合、他のノード 2 が、暴走しているノード 2 に対し、ハードウェアからなるデータセクタ 93 の出力を入力データ D_i 側に切り替える割込送信データ D_{ti} を送信することで、データセクタ 93 から中継データ D_r が出力されるように、ノード 2 にデータセクタ 93 を制御させること、即ち、正常なノード 2 が暴走しているノード 2 のデータセクタ 93 を制御することができる。

【0080】

例えば、図 17 (A) に示されるように、通信システム 1 において、ノード 2 の 1 つである第 2 のノード 2 にフェールが発生すると、(B) に示されるように、正常なノード 2 の 1 つである第 1 のノード 2 がフェールの発生した第 2 のノード 2 に対し、データセクタ 93 の出力を入力データ D_i 側に切り替える割込送信データ D_{ti} を送信すると、(C) に示されるように、フェールの発生した第 2 のノード 2 は、自ら生成した送信データ D_t は送信せずに入力された中継データ D_r のみを出力する、即ちネットワーク 3 上を転送される中継データ D_r をバイパスさせる。なお、この場合であっても、正常な第 1 のノード 2 がフェールの発生したノード 2 の制御対象 7 を割込送信データ D_{ti} によって制御することは可能である。

【0081】

このようなフェール発生時の制御の手順について図 18 を参照しながら説明する。1 つのノード 2 にフェールが発生すると、通信システム 1 は次のような処理を行う。即ち、正常なノード 2 の 1 つが割込送信データ D_{ti} を送信することで、フェールの発生したノード 2 にリブートを行わせる (ステップ ST 21)。正常なノード 2 は、リブートが成功したか否かを判定し (ステップ ST 22)、成功した場合には (ステップ ST 22: Yes)、全てのノード 2 が通常運転を行う (ステップ ST 23)。

【0082】

一方、リブートが成功しなかった場合 (ステップ ST 22: No)、正常なノード 2 はそれぞれフェールセーフ処理を行う (ステップ ST 24)。その後、正常なノード 2 の 1 つが割込送信データ D_{ti} を送信することで、フェールの発生したノード 2 にデータセクタ 93 を入力データ D_i 側に切り替えるバイパス処理を行わせる (ステップ ST 25)。次いで、正常なノード 2 は、バイパス処理が成功したか否かを判定し (ステップ ST 26)、成功した場合には (ステップ ST 26: Yes)、機能や性能を制限した縮退運転を行う (ステップ ST 27)。一方、バイパス処理が成功しなかった場合 (ステップ ST 26: No)、フェールの発生したノード 2 に割込送信データ D_{ti} が届かなかった、即ち通信線が断線しているものとして、正常なノード 2 はフェールの発生したノード 2 に対する制御を終了する。

【0083】

このように、暴走等のフェールが発生したノード 2 に対し、データ出力切替部に対して前記データ中継部から送出されたデータ (D_{rn} 、 D_{ri}) を出力させるようバイパス処理を行わせる割込送信データ D_{ti} を他のノード 2 が送信することにより、他のノード 2 に必要な中継データ D_r (通常中継データ D_{rn} 及び割込中継データ D_{ri}) がフェールの発生したノード 2 から出力されなくなることを防止できる。

【0084】

《変形例》

次に、図 19 を参照して実施形態に係る通信システム 1 の変形例について説明する。なお、上記実施形態と形態又は機能が同一又は同様の要素には同一の符号を付し、重複する説明は省略する。

【0085】

本変形例では、ネットワーク 3 が物理的にスター型の構成とされている。なお、ネット

10

20

30

40

50

ワーク 3 は、論理的にはスター型であってもよいが、バス型等の他の構成であってもよい。いずれにしても、各ノード 2 は中継機能（即ち、図 2 中のデータ中継ブロック 17、割込中継ブロック 19、データ出力切替ブロック 24 及び割込出力切替ブロック 25）を有していない。従って、1つのノード 2 にフェールが発生したとしても、他のノード 2 間の通信に与える影響はない、或いは小さく、バイパス処理（図 17、図 18 のステップ S T 25～ステップ S T 28）を行う必要がない。

【0086】

一方、少なくとも 2つのノード 2 が、送信ソフトウェア部 8、受信ソフトウェア部 9、送信ブロック 92（データ送信ブロック 18 及び割込送信ブロック 20）、データ受信ブロック 21 及び割込受信ブロック 22 を有しており、互いに通信しながら制御対象 7 を制御する。そして、1つのノード 2 にフェールが発生した場合に、他のノード 2 が C P U 4 のリセットを行うハードウェア（リセット回路）に対する割込送信データ D t i を送信することで、フェールの発生したノード 2 をリブートさせることが可能なことは、上記実施形態と同様である。また、1つのノード 2 が他のノード 2 の制御対象 7 であるハードウェアを、ソフトウェアを介さずに直接制御する割込送信データ D t i を送信することで、他のノード 2 のハードウェアを小さいレイテンシで制御できることや、複数のハードウェアの動作を同期させられることは、上記実施形態と同様である。

【0087】

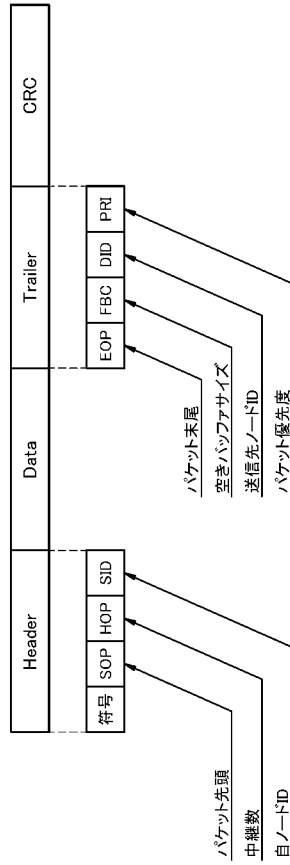
以上で具体的実施形態の説明を終えるが、本発明は上記実施形態に限定されることなく幅広く変形実施することができる。例えば、ネットワーク 3 は、リング型やスター型、バス型に限らず、メッシュ型であってもよい。この場合にも、各ノード 2 は中継機能を有する必要はないため、バイパス処理を行う必要はない。この他、各部材や部位の具体的構成や配置、数量、処理手順など、本発明の趣旨を逸脱しない範囲であれば適宜変更可能である。一方、上記実施形態に示した各構成要素は必ずしも全てが必須ではなく、適宜選択することができる。

【符号の説明】

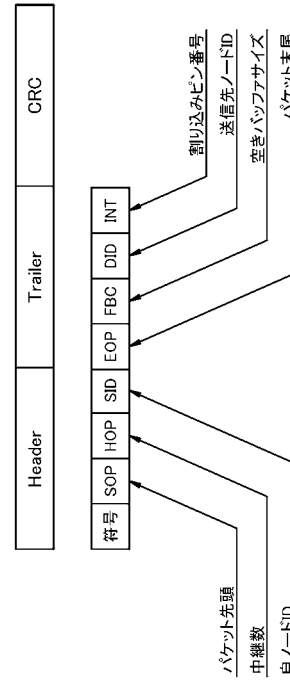
【0088】

1	通信システム	
2	ノード	
3	ネットワーク	30
4	C P U	
5	ネットワークコントローラ	
7	制御対象（ハードウェア）	
8	送信ソフトウェア部	
9	受信ソフトウェア部	
17	データ中継ブロック（データ中継部）	
18	データ送信ブロック（データ送信部）	
19	割込中継ブロック（データ中継部）	
20	割込送信ブロック（データ送信部）	
21	データ受信ブロック（データ受信部）	40
22	割込受信ブロック（データ受信部）	
24	データ出力切替ブロック（データ出力切替部）	
25	割込出力切替ブロック（データ出力切替部）	
70	ハードウェア	
91	中継ブロック（データ中継ブロック 17、割込中継ブロック 19）	
92	送信ブロック（データ送信ブロック 18、割込送信ブロック 20）	
93	データセクタ（データ出力切替ブロック 24、割込出力切替ブロック 25）	
D i	入力データ	
D i i	割込入力データ（入力データ、割込データ）	
D i n	通常入力データ（入力データ）	50

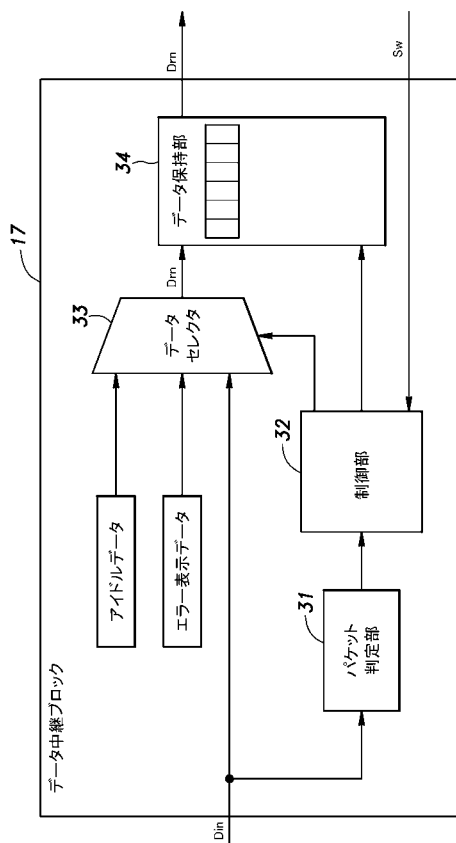
【図 3】



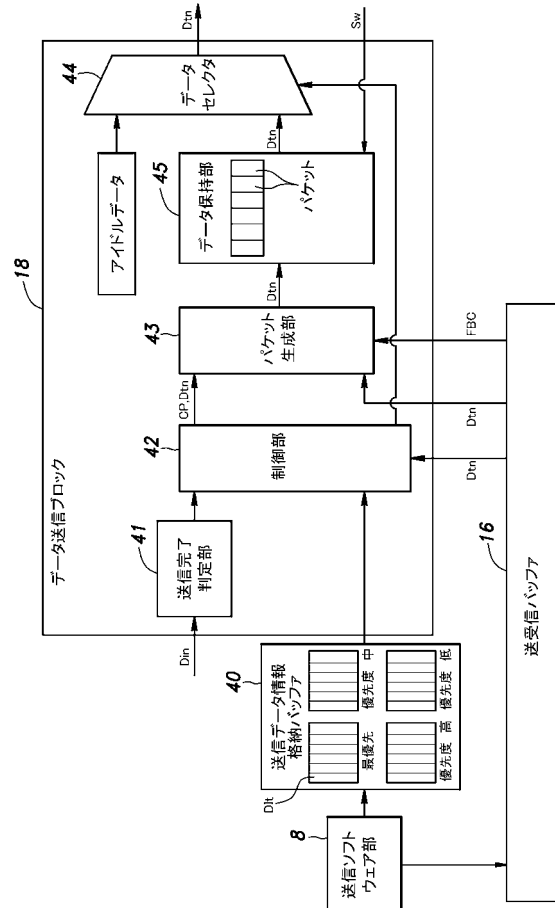
【図 4】



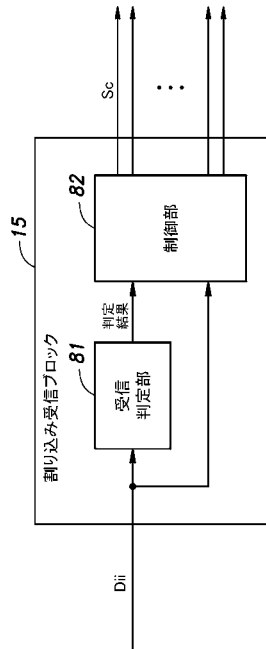
【図 5】



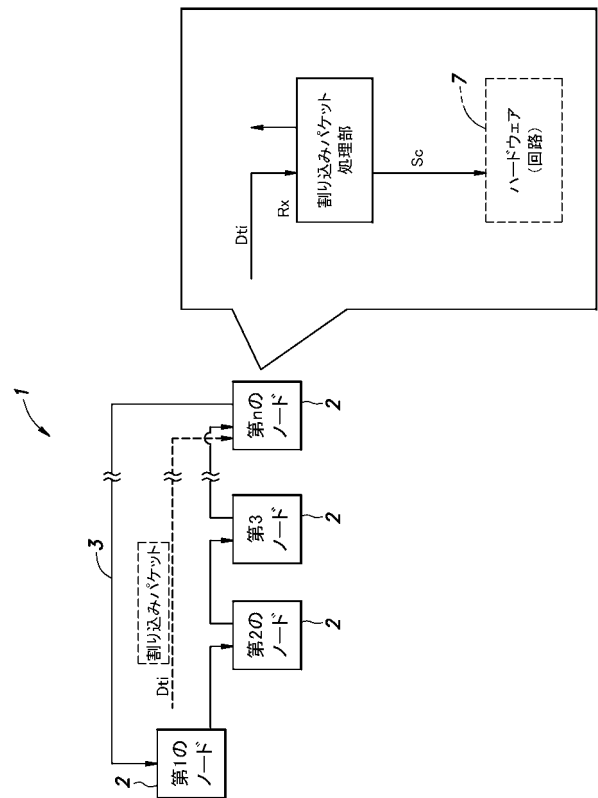
【図 6】



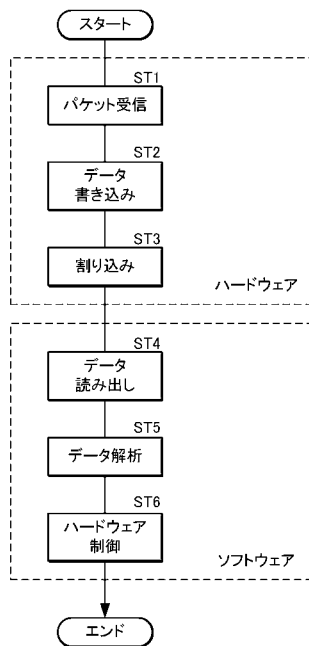
【図 1 1】



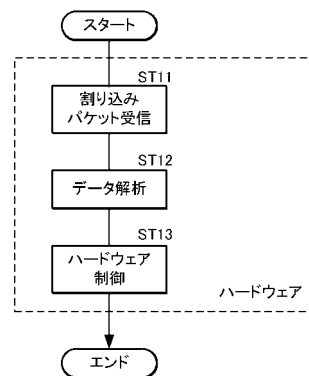
【図 1 2】



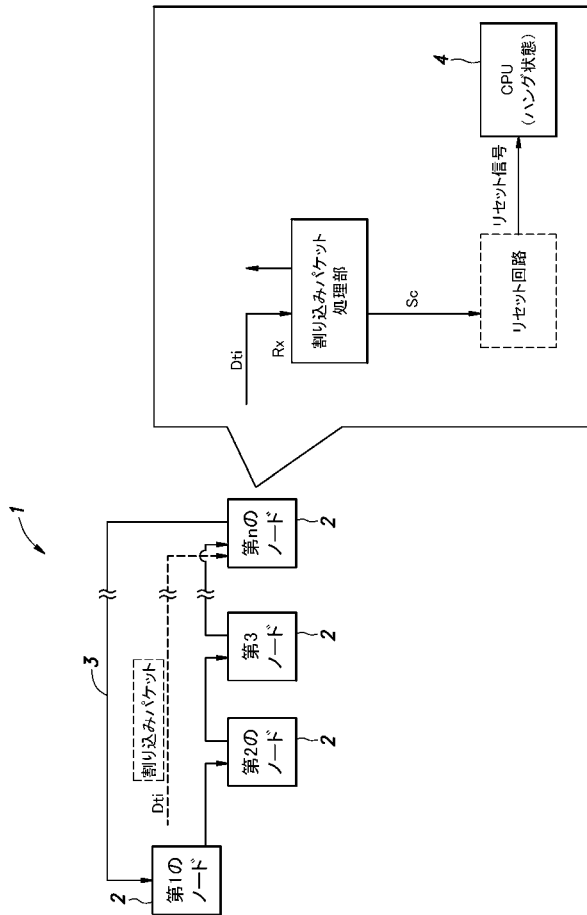
【図 1 3】



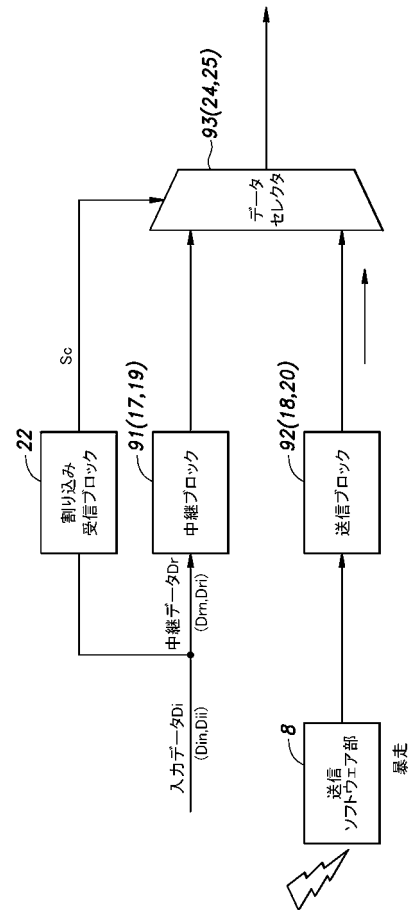
【図 1 4】



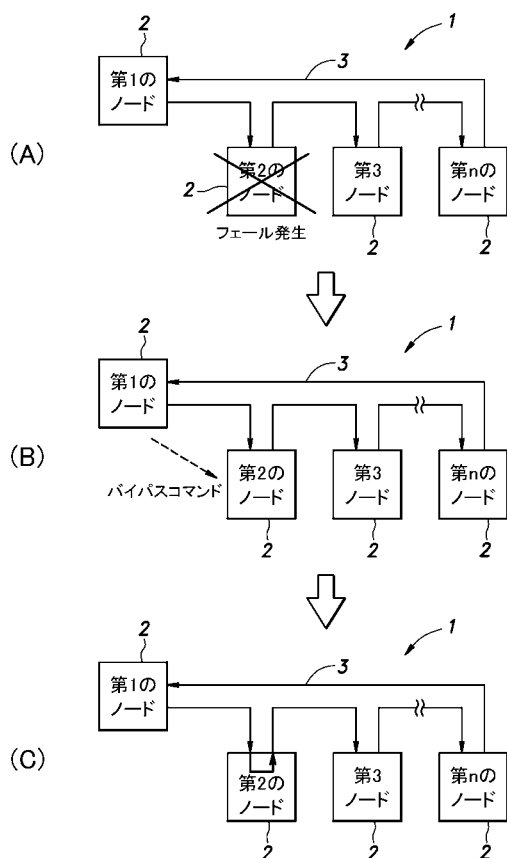
【図15】



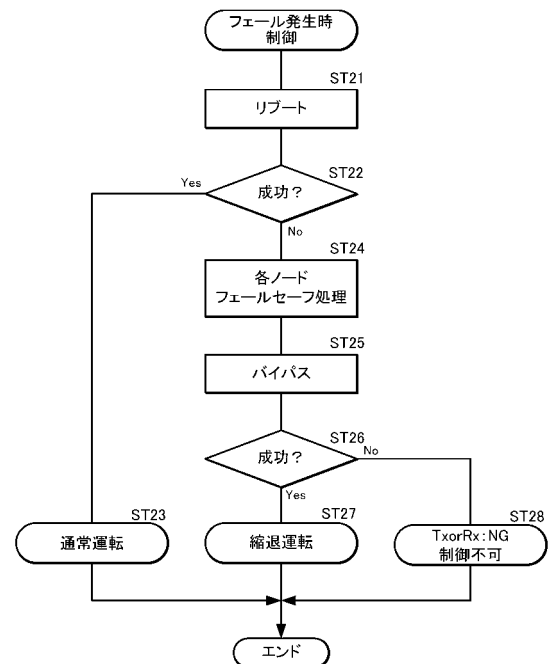
【図16】



【図17】



【図18】



【図 19】

