

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：97123954

※申請日期：97.6.16

※IPC 分類：H01L23/52 (2006.01)
H01L21/60 (2006.01)

一、發明名稱：(中文/英文)

封膠中有埋入式柱的半導體封裝及其製造方法

SEMICONDUCTOR PACKAGE HAVING BURIED POST IN
ENCAPSULANT AND METHOD OF MANUFACTURING THE
SAME

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

三星電子股份有限公司

SAMSUNG ELECTRONICS CO., LTD.

代表人：(中文/英文) 李潤雨/LEE, YOON-WOO

住居所或營業所地址：(中文/英文)

大韓民國京畿道水原市靈通區梅灘洞 416 番地

416, MAETAN-DONG, YEONGTONG-GU, SUWON-SI,

GYEONGGI-DO, REPUBLIC OF KOREA

國籍：(中文/英文) 韓國/KR

三、發明人：(共 3 人)

姓名：(中文/英文)

1. 金坪完/KIM, PYOUNG-WAN

2. 李澤勳/LEE, TEAK-HOON

3. 張喆容/JANG, CHUL-YONG

國籍：(中文/英文) 1-3. 韓國/KR

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 韓國；2007/08/10；10-2007-0080595
2. 美國；2008/04/16；12/104,333

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

在一個實施例中，一種半導體封裝包括第一絕緣體與第一半導體晶片，此第一半導體晶片具有第一主動表面以及位於第一主動表面之對面的第一背面。第一半導體晶片是配置在第一絕緣體內。第一主動表面被第一絕緣體曝露。第一背面被第一絕緣體實質上包圍著。此半導體封裝包括柱，此柱是配置在第一絕緣體內，且鄰接著第一半導體晶片的一側。

六、英文發明摘要：

In one embodiment, a semiconductor package includes a first insulating body and a first semiconductor chip having a first active surface and a first back surface opposite the first active surface. The first semiconductor chip is disposed within the first insulating body. The first active surface is exposed by the first insulating body. The first back surface is substantially surrounded by the first insulating body. The semiconductor package includes a post within the first insulating body and adjacent to a side of the first semiconductor chip.

七、指定代表圖：

(一)本案指定代表圖為：圖 5

(二)本代表圖之元件符號簡單說明：

100：載體基底

104、104'：柱

108、122、132、140：絕緣體

110、126、134：導電圖案

124、133：空腔

144A、144B、144C：圖案化之絕緣層

146：導電柱塞

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

九、發明說明：

【發明所屬之技術領域】

本說明書中描述的一些實施例是有關於半導體封裝 (semiconductor package) 及其製造方法，以及特別是有關於半導體封裝內的構件例如，像封膠材料 (encapsulant)、再分配型樣 (redistribution pattern) 與/或介電材料之間具有加強的粘合強度 (adhesive strength) 的半導體封裝，以及其製造方法。本說明書中描述的其他實施例是有關於具有加強的互連特性與可靠性的半導體封裝及其製造方法。

【先前技術】

在半導體產業，積體電路 (integrated circuit, IC) 封裝技術持續不斷地發展以滿足尺寸減小、高密度以及安裝可靠性提高的要求。

這種積體電路封裝技術的範例有封裝堆疊 (stacking) 技術與晶片 (chip) 堆疊技術。在封裝堆疊技術中，半導體封裝通常是使用焊球 (solder ball) 來進行堆疊。在晶片堆疊技術中，半導體晶片通常是使用穿過半導體晶片而形成的柱塞 (plug) 來進行堆疊。

特別地，半導體晶片通常包括多個墊區 (pad area)，配置在半導體晶片的主動表面 (active surface) 上。焊球通常連接到這些墊區。但是，從電子工業的近代趨勢來看，隨著設計規則的降低、對高接腳數 (pin count) 封裝的需求以及較小的墊間距 (pad pitch)，要保證相鄰的焊球不相互接觸是困難的。

於是就開發出了扇出式（fan-out type）半導體封裝。典型的扇出式半導體封裝包括多個再分配型樣，這些再分配型樣是形成在半導體晶片之主動表面上方，將半導體晶片之主動表面上的墊區的位置，以電性方式再分配到此半導體晶片之主動表面所界定之區域以外的區域。

在典型的扇出式半導體封裝中，再分配型樣是配置在半導體晶片之主動區上方，且附著在密封半導體晶片的封膠材料上。再分配型樣可藉由（例如）在封膠材料上方形成層間介電體（interlevel dielectric, ILD）而形成。然後，此層間介電體被圖案化（patterned）以在其中形成凹槽（groove）。接著，在所形成的結構上方以及凹槽內形成導電材料，以形成再分配型樣。

但是，由於層間介電體通常很薄，所以容易脫離封膠材料，結果可能導致封膠材料與層間介電體之間的介面（interface）容易遭受實體碰撞或水分或應力損害。此外，因為相同的原因，再分配型樣也容易脫離封膠材料。

此外，將封膠材料圖案化，以形成能夠電性連接外部終端（terminal）的開口（opening），就能夠形成多晶片封裝（即，合併多個堆疊的半導體晶片或封裝的半導體封裝）。封膠材料可經由雷射鑽孔製程（laser drilling process）使用紅外線（infrared, IR）雷射來進行圖案化。紅外線雷射具有較長的波長，因此雷射鑽孔製程中紅外線雷射所發射的光在穿過封膠材料時發生散射（scatter）。結果，封膠材料中的開口的側壁可能會損壞，這進而造成後來形成

於其中的導電圖案 (conductive pattern) 與封膠材料之間的粘合力變差。

在本說明書中以示範方式來描述的本發明的實施例提出上述及其他問題。

【發明內容】

本發明的一個實施例的示範性特徵可在於一種半導體封裝包括：第一絕緣體 (insulating body)；第一半導體晶片，具有第一主動表面以及位於此第一主動表面之對面的第一背面，第一半導體晶片是配置在第一絕緣體內，第一主動表面被第一絕緣體曝露，第一背面被第一絕緣體實質上包圍著；以及柱 (post)，配置在第一絕緣體內，且鄰接著第一半導體晶片的一側。

為讓本發明之上述和其他目的、特徵和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下。

【實施方式】

下面將參照所附圖式來詳細描述本發明的實施例。但是這些實施例也可採用許多其他形態，而不應局限於本說明書所列舉之實施例。確切地說，提供這些實施例是為了使揭露的內容更透徹更完整，並且將本發明的範圍充分傳遞給本領域中具有通常知識者。在圖式中，為了清楚起見，層與區的厚度被放大。整個說明書中相同的數字代表著相同的元件。

圖 1A 是第一實施例所提出的半導體封裝的截面圖。

圖 1B 是依據第一實施例之變體的半導體封裝的截面圖。

請參照圖 1A，一種半導體封裝 200 可（例如）包括柱 104、半導體晶片 106（在本說明書中也稱為“第一半導體晶片 106”）、絕緣體 108（在本說明書中也稱為“第一絕緣體 108”）、導電圖案 110（在本說明書中也稱為“第一導電圖案 110”或第一再分配圖案）以及外部終端 112。如圖所示，半導體封裝 200 是一種扇出式半導體封裝。但是值得注意的是，當半導體封裝 200 被併入多晶片封裝時，此半導體封裝 200 也可提供為扇入/扇出式半導體封裝（即，在其內部，額外終端（未繪示）位於半導體晶片 106 正上方的一種半導體封裝），或可提供為扇入式半導體封裝（即，在其內部，外部終端 112 位於半導體晶片 106 正上方的一種半導體封裝）。

在一個實施例中，絕緣體 108 可包括像環氧樹脂（epoxy resin）之類的封膠材料或本領域中具有通常知識者所知的其他適當的封膠材料。絕緣體 108 的特徵可在於其具有上表面與位於此上表面之對面的下表面。

在一個實施例中，半導體晶片 106 的特徵可在於其具有主動表面（在本說明書中也稱為“第一主動表面”）、位於此主動表面之對面的背面（在本說明書中也稱為“第一背面”）以及連接主動表面與背面的周邊表面或側面。半導體晶片 106 可配置在絕緣體 108 內，使得主動表面被絕緣體 108 曝露。在一個實施例中，半導體晶片 106 的主動表面可與絕緣體 108 的上表面實質上共面（coplanar）。

在一個實施例中，半導體晶片 106 的背面可被絕緣體 108 實質上包圍著。在另一實施例中，半導體晶片 106 的背面與側面可被絕緣體 108 實質上包圍著。

在一個實施例中，柱 104 可包括電性導電材料（例如，銅（Cu）、鐵（Fe）、銀（Ag）、金（Au）、鋁（Al）、導電聚合物（polymer）等或其組合）。在另一實施例中，實質上所有的柱 104 都可由電性導電材料組成。在一個實施例中，柱 104 可包括電性絕緣材料（例如，介電材料）。在另一實施例中，實質上所有的柱 104 都可由電性絕緣材料組成。

柱 104 可配置在絕緣體 108 內的鄰接著半導體晶片 106 之側面的位置。每根柱 104 的特徵可在於其具有頂面、底面以及連接頂面與底面的側面。在一個實施例中，每根柱 104 的頂面可被絕緣體 108 曝露，且每根柱 104 的底面可位於介於半導體晶片 106 之主動表面與背面之間的區域。

柱 104 的特徵可在於其具有一厚度（即，其頂面與底面之間的距離）與一寬度（即，相鄰側面之間的距離）。在一個實施例中，每根柱 104 的厚度可小於其寬度。

在一個實施例中，絕緣體 108 可包圍著每根柱 104 的底面。在另一實施例中，絕緣體 108 可包圍著每根柱 104 的底面與側面。在此情形下，柱 104 不會穿透絕緣體 108。換言之，柱 104 的底面是介於半導體晶片 106 的第一主動表面與第一背面之間。

在一個實施例中，導電圖案 110 可配置在絕緣體 108 上以及柱 104 的頂面上。導電圖案 110 可連接（例如，以電性方式連接）到半導體晶片 106。在一個實施例中，導電圖案 110 之底面的特徵可在於其與半導體晶片 106 之主動表面位於實質上相同的平面內。因此，導電圖案 110 之底面可直接接觸半導體晶片 106 的至少一部分主動表面。一圖案化之絕緣層（例如，參見圖 5A～圖 5D 與圖 6A～圖 6C 中的第一圖案化之絕緣層 144C）可介於導電圖案 110 與絕緣體 108 之間，不過圖 1A 中沒有繪示。

在一個實施例中，每個導電圖案 110 的特徵可在於從半導體晶片 106 之主動表面之邊緣筆直地延伸到對應的柱 104（例如，到對應的柱 104 的頂面）。在另一實施例中，每個導電圖案 110 的下表面可連接（例如，直接連接）到對應的柱 104。

在一個實施例中，柱 104 與導電圖案 110 可以是一整體。在另一實施例中，柱 104 與導電圖案 110 可以是分體。因此，柱 104 與導電圖案 110 可包括相同的材料或實質上相同的材料。可選擇的是，柱 104 與導電圖案 110 可包括不同的材料。

在一個實施例中，外部終端 112 可提供為連接（例如，以電性方式連接）到對應的導電圖案 110 的導電凸塊（conductive bump）或焊球之類的導電球（conductive ball）。在一個實施例中，外部終端 112 可連接到對應的導電圖案 110 的上表面（或其一部分）。

如圖所示，每個外部終端 112 是配置在柱 104 上方。在一個實施例中，每個外部終端 112 可垂直對準對應的柱 104。因此，外部終端 112 與柱 104 經安排以使得每個外部終端 112 的至少一部分，與對應的柱 104 的至少一部分是位於實質上相同的垂直面內。因此，在一個實施例中，外部終端 112 的特徵可在於其位於對應的柱 104 的正上方。同樣的，在另一實施例中，外部終端 112 的特徵可在於其連接到導電圖案 110 的上表面的一部分，而這部分是位於連接到柱 104 的導電圖案 110 之下表面之一部分的正對面。

如同先前技術所述，導電圖案 110 或再分配圖案可藉由（例如）在第一絕緣體 108（例如，封膠材料）上方形成具有凹槽的圖案化之絕緣層或圖案化之層間介電體（例如，圖 5B 中的 144C）來形成。接著，在所形成的結構上以及凹槽內形成導電材料以形成導電圖案 110，例如再分配圖案。但是，因為絕緣體 108 與層間介電體或導電圖案 110 之間的介面容易遭受實體碰撞或水分或應力損害，所以層間介電體或導電圖案 110 容易脫離絕緣體 108。

不過，半導體封裝 200 中的柱 104 與上述圖案化之絕緣層（例如，圖 5B 中的 144C）以及第一絕緣體 108 之間的粘合力大於上述圖案化之絕緣層與第一絕緣體 108 之間的粘合力，這是因為柱 104 與絕緣體 108 之間的接觸面積大於先前技術中所述的結構。此外，導電圖案 110 能夠牢固地與柱 104 相結合。

如此一來，絕緣體 108 與上述圖案化之絕緣層之間脫

層的問題或者可排除或者可明顯緩解。因此半導體封裝 200 的可靠性相對於習知半導體封裝可增強。

請參照圖 1B，半導體封裝 202 類似於圖 1A 所示之半導體封裝 200，但是可更包括穿孔（through vias）114 與輔助佈線圖案（wiring pattern）116。

如圖所示，穿孔 114 穿過絕緣體 108，使得每個穿孔 114 的上面部分接觸對應的柱 104 的一部分（例如，對應的柱 104 的底面），以及使得每個穿孔 114 的下面部分被絕緣體 108 的下表面所曝露。

在一個實施例中，穿孔 114 包括導電材料。在另一實施例中，輔助佈線圖案 116 包括導電材料。外部終端 112 也可以電性方式連接到對應的輔助佈線圖案 116。因此，在一些實施例中，與柱 104 相接觸的晶片穿孔 114（例如，矽穿孔）之結構可以電性方式連接導電圖案 110 與輔助佈線圖案 116。因此，位於半導體封裝 202 之對面的外部終端 112 可以電性方式相連。按照上述的構造，半導體封裝 202 的特徵可以是層疊封裝式（package-on-package type, POP-type）半導體封裝。

圖 2A 是第二實施例所提出的半導體封裝的截面圖。圖 2B 是依據第二實施例之變體的半導體封裝的截面圖。

請參照圖 2A，半導體封裝 204 類似於圖 1A 所示之半導體封裝 200，但是可更包括半導體晶片 118（在本說明書中也稱為“第二半導體晶片 118”）、粘合層 120（在本說明書中也稱為“第一粘合層 120”）、絕緣體 122（在本說

明書中也稱為“第二絕緣體 122”）以及導電圖案 126（在本說明書中也稱為“第二導電圖案 126”或第二再分配圖案）。

在一個實施例中，第二絕緣體 122 是配置在第一絕緣體 108 上方。第二絕緣體 122 可包括封膠材料。第二絕緣體 122 可更包括第一空腔（cavity）124，此第一空腔 124 從第二絕緣體 122 的上表面延伸到第二絕緣體 122 的下表面。在一個實施例中，第二絕緣體 122 內的每個第一空腔 124 的位置實質上對應於第一絕緣體 108 內的對應的柱 104 的位置。因此，第一空腔 124 可位於對應的柱 104 正上方的位置。

在一個實施例中，第二半導體晶片 118 是配置在第一半導體晶片 106 上方。在另一實施例中，第二半導體晶片 118 可配置在第二絕緣體 122 內。第二半導體晶片 118 的一部分可被第二絕緣體 122 的下表面曝露。在一個實施例中，第二半導體晶片 118 與第一半導體晶片 106 的尺寸實質上相同。但是值得注意的是，第二半導體晶片 118 可小於第一半導體晶片 106，也可大於第一半導體晶片 106。

在一些實施例中，第二導電圖案 126 以電性方式連接到第二半導體晶片 118 與第一導電圖案 110。在另一實施例中，對應的第二導電圖案 126 與對應的第一導電圖案 110 是藉由對應的第一空腔 124 來以電性方式相連。

在一個實施例中，粘合層 120（例如，粘合劑）是配置在第一半導體晶片 106 與第二半導體晶片 118 之間，以

使第一半導體晶片 106 粘住第二半導體晶片 118。如圖所示，粘合層 120 也可配置在第二半導體晶片 118 與導電圖案 110 之間。

請參照圖 2B，半導體封裝 206 可按照根據圖 2A 所示之半導體封裝 204 的描述來提供，但是可更包括先前參照圖 1B 所述的穿孔 114 與輔助佈線圖案 116。

圖 3 是第三實施例所提出的半導體封裝的截面圖。

請參照圖 3，半導體封裝 208 類似圖 2A 所示之半導體封裝 204，但是可包括半導體晶片 118a（在本說明書中也稱為“第二半導體晶片 118a”）、晶片穿孔 114a（在本說明書中也稱為“第二導電型樣 114a”）、第一晶片墊（chip pad）115a、第二晶片墊 115b、粘合層 120（在本說明書中也稱為“第一粘合層 120”）、絕緣體 122（在本說明書中也稱為“第二絕緣體 122”）以及導電圖案 126（在本說明書中也稱為“第二導電圖案 126”或第二再分配圖案）。

在一個實施例中，第二絕緣體 122 是配置在第一絕緣體 108 上方。第二絕緣體 122 可包括本領域具有通常知識者所知的環氧樹脂之類的封膠材料。

在一個實施例中，第二半導體晶片 118a 是配置在第一半導體晶片 106 上方。在另一實施例中，第二半導體晶片 118a 可配置在第二絕緣體 122 內。第二半導體晶片 118a 的一部分可被第二絕緣體 122 的下表面所曝露。在一個實施例中，第二半導體晶片 118 大於第一半導體晶片 106。

在一個實施例中，第二半導體晶片 118 的特徵可在於

其具有主動表面（也稱為“第二主動表面”）以及位於此第二主動表面之對面的背面（也稱為“第二背面”）。第一晶片墊 115a 是配置在第二背面上，且第二晶片墊 115b 是配置在第二主動表面上。

可選擇的是，第二半導體晶片 118a 正對著第一半導體晶片 106 之第一主動表面的表面可以是第二主動表面，這與上述實施例相反。在此情形下，第一晶片墊 115a 是配置在第二主動表面上，且第二晶片墊 115b 是配置在第二背面上。第一晶片墊 115a 與第二晶片墊 115b 可經由晶片穿孔 114a 來以電性方式相連。

在一個實施例中，第二絕緣體 122 內的每個晶片穿孔 114a 的位置實質上對應於第一絕緣體 108 內的對應的柱 104 的位置。因此，晶片穿孔 114a 可配置在對應的柱 104 正上方的位置。

第一導電圖案 110 可以電性方式連接到對應的第一晶片墊 115a，且外部終端 112 可以電性方式連接到對應的第二晶片墊 115b。

在一個實施例中，粘合層 120（例如，粘合劑）是配置在第一半導體晶片 106 與第二半導體晶片 118a 之間，以使第一半導體晶片 106 粘住第二半導體晶片 118a。如圖所示，粘合層 120 也可配置在第二半導體晶片 118a 與導電圖案 110 之間。

在一個實施例中，粘合層 120 可提供為各向異性導電膜（anisotropic conductive film, ACF）。例如，藉由在第

一半導體晶片 106 上以及第一導電圖案 110 的一部分上提供各向異性導電膜粘合層 120，可形成圖 3 所示之半導體封裝 208。然後，可將第二半導體晶片 118a 或包含第二半導體晶片 118a 的第二絕緣體 122，配置並壓在各向異性導電膜粘合層 120 上，使第一晶片墊 115a 以電性方式連接到對應的第一導電圖案 110，不過圖中沒有詳細繪示。如果第二半導體晶片 118a 先形成，那麼第二絕緣體 122 可形成以覆蓋在第二半導體晶片 118a 與各向異性導電膜粘合層 120 上。第二半導體晶片 118a 中可形成開口且填充導電材料，以形成晶片穿孔 114a，此晶片穿孔 114a 將第一晶片墊 115a 與第二晶片墊 115b 互連。最後，採用習知方法在第二晶片墊 115b 上形成焊球之類的外部終端 112。例如，清除一部分第二絕緣體 122 以曝露第二晶片之一部分墊 115b。接著，在第二晶片墊 115b 的曝露部分上形成外部終端 112。

圖 4A 是第四實施例所提出的半導體封裝的截面圖。圖 4B 與圖 4C 是依據第四實施例之變體的半導體封裝的截面圖。

請參照圖 4A，半導體封裝 210 可按照根據圖 2A 所示之半導體封裝 204 來描述，但是可更包括額外的半導體晶片（例如，半導體晶片 128 與 136，在本說明書中也分別稱為“第三半導體晶片 128”與“第四半導體晶片 136”）、額外的粘合層（例如，粘合層 130 與 138，在本說明書中也分別稱為“第二粘合層 130”與“第三粘合層

138”)、額外的絕緣體 (例如，絕緣體 132 與 140，在本說明書中也分別稱為“第三絕緣體 132”與“第四絕緣體 140”)以及額外的導電圖案 (例如，導電圖案 134 與 142，在本說明書中也分別稱為“第三導電圖案 134”與“第四導電圖案 142”)。

根據一些實施例，額外的半導體晶片、額外的粘合層、額外的絕緣體以及額外的導電圖案與圖 2A 所述之第二半導體晶片 118、第一粘合層 120、第二絕緣體 122、第二導電圖案 126 相同。

例如，第三絕緣體 132 可配置在第二絕緣體 122 上方，且包括第二空腔 133，此第二空腔 133 從第三絕緣體 132 的上表面延伸到第三絕緣體 132 的下表面。第三半導體晶片 128 可配置在第三絕緣體 132 內，且第三導電圖案 134 可以電性方式連接到第三半導體晶片 128。第二粘合層 130 是配置在第二半導體晶片 118 與第三半導體晶片 128 之間，以使第二半導體晶片 118 粘住第三半導體晶片 128。此外，對應的第三導電圖案 134 與對應的第二導電圖案 126 可藉由對應的第二空腔 133 來以電性方式相連。

同樣地，第四絕緣體 140 可配置在第三絕緣體 132 上方，且包括第三空腔 141，此第三空腔 141 從第四絕緣體 140 的上表面延伸到第四絕緣體 140 的下表面。第四半導體晶片 136 可配置在第四絕緣體 140 內，且第四導電圖案 142 可以電性方式連接到第四半導體晶片 136。第三粘合層 138 是配置在第三半導體晶片 128 與第四半導體晶片 136

之間，以使第三半導體晶片 128 粘住第四半導體晶片 136。此外，對應的第四導電圖案 142 與對應的第三導電圖案 134 可藉由對應的第三空腔 141 來以電性方式相連。

然而在圖 4A 所示之半導體封裝 210 中，外部終端 112 是連接到對應的第四導電圖案 142，而不是第二導電圖案 126。但是值得注意的是，第四半導體晶片 136、第三粘合層 138、第四絕緣體 140 以及第四導電圖案 142 可省略。因此，外部終端 112 可連接到對應的第三導電圖案 134，而不是第四導電圖案 142。

請參照圖 4B，半導體封裝 210' 可按照圖 4A 所示之半導體封裝 210 來描述，但是可更包括配置在第二絕緣體 122 內的柱 104'。在一個實施例中，半導體封裝 210' 可更包括配置在第三絕緣體 132 內的柱 104''。根據一些實施例，柱 104' 與柱 104'' 的組成與尺寸可與先前所述的柱 104 的組成與尺寸相似。根據一些實施例，分別對應於第二半導體晶片 118 與第三半導體晶片 128 的柱 104' 與柱 104'' 的尺寸可與先前所述的對應於第一半導體晶片 106 的柱 104 的尺寸相似。根據一些實施例，分別對應於第二絕緣體 122 與第三絕緣體 132 的柱 104' 與柱 104'' 的尺寸可與先前所述的對應於第一絕緣體 108 的柱 104 的尺寸相似。

在一個實施例中，柱 104' 可配置在第二絕緣體 122 內的橫向上位於第一空腔 124 與第二半導體晶片 118 之側面之間的位置。在另一實施例中，柱 104' 可配置在第二絕緣體 122 內的鄰接著第一空腔 124 的位置，使得第一空腔 124

在橫向上位於柱 104' 與第二半導體晶片 118 之側面之間。

在一個實施例中，柱 104'' 可配置在第三絕緣體 132 內的鄰接著第二空腔 133 的位置，使得第二空腔 133 在橫向上位於柱 104'' 與第三半導體晶片 128 之側面之間。在另一實施例中，柱 104'' 可配置在第三絕緣體 132 內的橫向上位於第二空腔 133 與第三半導體晶片 128 之側面之間的位置。

根據一些實施例中，藉由（例如）在各別對應的第二絕緣體 122 與第三絕緣體 132 之上表面內形成凹陷（recess），然後用導電材料或絕緣材料填充這些凹陷，可形成柱 104' 與柱 104''。但是，本發明並不局限於這種形成柱 104' 與柱 104'' 的特殊方法，在本發明的精神與範圍內，也可採用其他的適當方法。

請參照圖 4C，半導體封裝 212 可按照類似圖 4A 所示之半導體封裝 210 來描述，但是可參照先前圖 1B 所述，更包括穿孔 114 與輔助佈線圖案 116。

圖 5A～圖 5D 是依據一些實施例位於圖 4A 所示之半導體封裝之區域“A”中的結構的放大截面圖。

如上所述，圖案化之絕緣層可介於第一導電圖案 110 與第一絕緣體 108 之間。這種圖案化之絕緣層（在本說明書中也稱為“第一圖案化之絕緣層”）在圖 5A～圖 5D 中是用 144C 來識別。與第一圖案化之絕緣層 144C 一樣，第二圖案化之絕緣層 144B 可介於第二導電圖案 126 與第二絕緣體 122 之間。第三圖案化之絕緣層 144A 也以示範方式繪示為介於第三導電圖案 134 與第三絕緣體 132 之間。

第一圖案化之絕緣層（即，層間介電體層）144C、第二圖案化之絕緣層 144B 以及第三圖案化之絕緣層 144A 分別可包括多孔（porous）介電材料、聚合物、樹脂、環氧樹脂之類的材料或其組合。第一圖案化之絕緣層 144C、第二圖案化之絕緣層 144B 以及第三圖案化之絕緣層 144A 可分別藉由旋轉塗布（spin coating）等任何適當製程來形成。

請參照圖 5A 所示之實施例，第二絕緣體 122 內的第一空腔 124 的位置可實質上對應於第一絕緣體 108 內的柱 104 的位置。因此，第一空腔 124 可位於對應的柱 104 正上方的位置。

在一個實施例中，第二導電圖案 126 可配置在第二圖案化之絕緣層 144B 上方，而且是沿著界定第一空腔 124 之側壁的第二絕緣體 122 之邊緣，以及位於對應之第一導電圖案 110 之一部分（例如，頂面）上面。因此，第一空腔 124 的特徵可在於使用導電材料來做襯裡（lined）。同樣地，第三導電圖案 134 可配置在第三圖案化之絕緣層 144A 上方，而且是沿著界定第二空腔 133 之側壁的第三絕緣體 132 之邊緣，以及位於對應之第二導電圖案 126 之一部分（例如，頂面）上面。因此，第二空腔 133 的特徵可在於使用導電材料來做襯裡。

在另一實施例中，第四絕緣體 140 是形成在第二空腔 133 內。因此，第二空腔 133 的特徵可在於使用絕緣材料來填充。

在又一實施例中，第三絕緣體 132 的一部分是配置在

第一空腔 124 內，且第三絕緣體 132 內的第二空腔 133 的位置實質上對應於第二絕緣體 122 內的第一空腔 124 的位置。因此，第三絕緣體 132 內的第二空腔 133 的位置可實質上對應於第一絕緣體 108 內的柱 104 的位置。因此，第二空腔 133 可位於對應的柱 104 正上方的位置。

在又一實施例中，第三導電圖案 134 以電性方式接觸位於第一空腔 124 內的對應之第二導電圖案 126 的一部分（例如，頂面）。因此，第三導電圖案 134 的特徵可在於其位於對應之第一空腔 124 內。

請參照圖 5B 所示之實施例，位於圖 4A 所示之半導體封裝之區域“A”中的結構與參照圖 5A 所述之結構相似。但是，圖 5B 所示之結構不同於圖 5A 所示之結構，因為與圖 5A 所示之實施例對照第三絕緣體 132 內的第二空腔 133 的位置，不對應於第二絕緣體 122 內的第一空腔 124 的位置，第一空腔 124 的特徵可在於使用絕緣材料（即，第三絕緣體 132）來填充。

在一個實施例中，第三導電圖案 134 以電性方式來接觸位於第一空腔 124 外面的對應之第二導電圖案 126 的一部分（例如，頂面）。因此，第三導電圖案 134 可以電性方式來接觸配設在第二圖案化之絕緣層 144B 上的對應之第二導電圖案 126 的一部分。

請參照圖 5C 所示之實施例，位於圖 4A 所示之半導體封裝之區域“A”中的結構與參照圖 5B 所述之結構相似。但是，圖 5C 所示之結構不同於圖 5B 所示之結構，因

為先前所述之柱 104' 是配置在第二絕緣體 122 內的實質上對應於第三絕緣體 132 內之第二空腔 133 之位置的位置。因此，柱 104' 可位於對應之空腔 133 正下方的位置。如此一來，圖 5C 所示之結構對應於圖 4B 所示之半導體封裝 210' 之區域 “B”。

請參照圖 5D，此圖所示之結構不同於圖 5A 所示之結構，因為第一空腔 124 內形成導電柱塞 146。因此，第一空腔 124 的特徵可在於使用導電材料來填充。在一個實施例中，導電柱塞 146 之上表面可與第二導電圖案 126 之上表面實質上共面。

由於導電柱塞 146 的存在，第三絕緣體 132 的一部分是位於第一空腔 124 的正上方，而不是位於第一空腔 124 內。此外，第三導電圖案 134 以電性方式來接觸位於第一空腔 124 內的對應之導電柱塞 146 的一部分(例如，頂面)。

圖 6A~圖 6C 是依據另一些實施例位於圖 4A 所示之半導體封裝之區域 “A” 中的結構的放大截面圖。

請參照圖 6A 所示之實施例，第二絕緣體 122 內的第一空腔 124 的位置可實質上對應於第一絕緣體 108 內的柱 104 的位置。因此，第一空腔 124 可位於對應的柱 104 正上方的位置。

在一個實施例中，第三絕緣體 132 內的第二空腔 133 的位置實質上對應於第二絕緣體 122 內的第一空腔 124 的位置。因此，第三絕緣體 132 內的第二空腔 133 的位置可實質上對應於第一絕緣體 108 內的柱 104 的位置。因此，

第二空腔 133 可位於對應的柱 104 正上方的位置。

在一個觀點中，第二導電圖案 126 可配置在第二圖案化之絕緣層 144B 上方，但不是沿著界定第一空腔 124 之側壁的第二絕緣體 122 之邊緣，或位於對應之第一導電圖案 110 的一部分上。在另一個觀點中，第二導電圖案 126 可提供為線型圖案，主要是沿著遠離第二半導體晶片 118 的單一方向延伸。

第三絕緣體 132 可配置在第二絕緣體 122 上方，但不在第一空腔 124 內。

在一個實施例中，第一空腔 124 與第二空腔 133 可在單一圖案化製程中形成。例如，第二絕緣體 122、第二圖案化之絕緣層 144B、第二導電圖案 126、第三絕緣體 132 以及第三圖案化之絕緣層 144A 形成之後，可對所形成的結構執行圖案化製程，接著在第三絕緣體 132 內形成第二空腔 133，以及在第二絕緣體 122 內形成第一空腔 124。因此，第一空腔 124 與第二空腔 133 的特徵，在於單一空腔連續穿透第二絕緣體 122 與第三絕緣體 132。在一個實施例中，圖案化製程可以是使用紫外線（ultraviolet, UV）雷射來執行的雷射鑽孔製程。因此，第一空腔 124 與第二空腔 133 之側壁可實質上垂直。

如同先前技術所述，習知的雷射鑽孔製程要使用紅外線雷射，這會產生有側壁的開口，造成與後來形成的導電圖案之間的粘合問題。但是，紫外線雷射所發出的光具有較短的波長，所以紫外線雷射光在穿過封膠材料時散射程

度小。因此，紫外線雷射鑽孔製程所產生的空腔 124 的側壁遭受實質上程度較小的損壞。如此一來，第一絕緣體 108（或封膠材料）與圖 6A 所示之導電柱塞 148（稍後將進一步描述）之間的粘合力可明顯增大。

此外，在高能紫外線雷射鑽孔製程中，因為柱 104 是配置在空腔 124 之位置下方充當緩衝器（buffer），所以即使紫外線雷射損壞或刺穿第一導電圖案 110，柱 104 還在第一導電圖案 110 下面。

因此，半導體晶片（例如，半導體晶片 118）與外部終端 112 之間的電訊號連接可得到保護，從而提高所形成的電子產品的可靠性。換言之，由於柱 104 的存在，現在可使用紫外線雷射鑽孔製程來取代有許多上述之可靠性問題的習知紅外線雷射製程。

同樣地，紫外線雷射鑽孔製程可用來產生具有實質上垂直的側壁的空腔 124。藉由形成具有實質上垂直的側壁的空腔 124，相鄰的外部終端 112 之間的距離（即，間距）可減小。如此一來，相同區域內就可提供更多外部終端，從而增大半導體封裝的訊號密度與設計裕度（design margin）。

在另一實施例中，第三導電圖案 134 可配置在第三圖案化之絕緣層 144A 上方，而且是沿著界定第二空腔 133 之側壁的第三絕緣體 132 之邊緣、沿著配置在第一空腔 124 外面的第二導電圖案 126 之邊緣、沿著界定第一空腔 124 之側壁的第二絕緣體 122 之邊緣以及位於配置在第一空腔

124 下方的對應之第一導電圖案 110 之一部分（例如，頂面）上。因此，第三導電圖案 134 的特徵可在於其配置在對應之第一空腔 124 與第二空腔 133 內。

在又一個實施例中，導電柱塞 148 可形成在第三導電圖案 134 上，分別穿過第二空腔 133 與第一空腔 124。因此，第一空腔 124 與第二空腔 133 可填充導電材料。在一個實施例中，導電柱塞 148 之上表面可與第三導電圖案 134 之上表面實質上共面。

請參照圖 6B，此圖所示之結構不同於圖 6A 所示之結構，因為第一空腔 124 與第二空腔 133 是在第三圖案化之絕緣層 144A 上形成第三導電圖案 134 之後分別形成的。因此，第三導電圖案 134 可配置在第三圖案化之絕緣層 144A 上方，但不是沿著界定第二空腔 133 之側壁的第三絕緣體 132 之邊緣，或位於對應之第一導電圖案 110 之一部分（例如，頂面）上。在一個實施例中，第三導電圖案 132 可提供為線型圖案，主要是沿著遠離第三半導體晶片 128 的單一方向延伸。

請參照圖 6C 所示之實施例，第二絕緣體 122 內的第一空腔 124 的位置可實質上對應於第一絕緣體 108 內的柱 104 的位置。因此，第一空腔 124 可位於對應的柱 104 正上方的位置。

在一個實施例中，第三絕緣體 132 內的第二空腔 133 的位置，實質上對應於第二絕緣體 122 內的第一空腔 124 的位置。因此，第三絕緣體 132 內的第二空腔 133 的位置，

可實質上對應於第一絕緣體 108 內的柱 104 的位置。因此，第二空腔 133 可位於對應的柱 104 正上方的位置。

在一個實施例中，第一空腔 124 內形成導電柱塞 146。因此，第一空腔 124 的特徵可在於使用導電材料來填充。在一個實施例中，導電柱塞 146 的上表面可與第二圖案化之絕緣層 144B 的上表面實質上共面。

在一個實施例中，第二導電圖案 126 是形成在導電柱塞 146 上方。

在另一實施例中，第三絕緣體 132 是配置在第二導電圖案 126 上方，以覆蓋在至少一部分第二絕緣體 122 與一部分導電柱塞 146 上。第三圖案化之絕緣層 144A 是形成在第二絕緣體 132 上方。然後第三導電圖案 134 可配置在第三圖案化之絕緣層 144A 上方，而且是沿著界定第二空腔 133 之側壁的第三絕緣體 132 之邊緣，以及位於對應之第二導電圖案 126 之一部分（例如，頂面）上。因此，第二空腔 133 的特徵在於使用導電材料來做襯裡。第三導電圖案 134 可配置在對應之導電柱塞 146 的一部分上方。

在一個實施例中，第一空腔 124 與第二空腔 133 可在不同的圖案化製程中形成。例如，在第二絕緣體 122 與第二圖案化之絕緣層 144B 形成之後，可對所形成的結構執行第一圖案化製程，以在第二絕緣體 122 內形成第一空腔 124。然後，在導電柱塞 146、第二導電圖案 126、第三絕緣體 132 以及第三圖案化之絕緣層 144A 形成之後，可對所形成的結構執行第二圖案化製程，以在第三絕緣體 132

內形成第二空腔 133。如此一來，第一空腔 124 與第二空腔 133 的特徵可在於多個空腔以分離方式（discretely）穿過第二絕緣體 122 與第三絕緣體 132。在一個實施例中，第一圖案化製程與第二圖案化製程可以是任何適當的製程。

在一些實施例中，第一空腔 124 與第二空腔 133 的側壁可以是傾斜的。而且，導電柱塞 146 之上表面可高於第二絕緣體 122 之上表面。

圖 7A～圖 7F 是依據本發明之一實施例的用來描述形成圖 1A 所示之半導體封裝的示範性製程的截面圖。

請參照圖 7A，半導體晶片 106 可粘在載體基底（carrier substrate）100 的表面上。此外，柱 104 可粘在載體基底 100 的表面上。

在一個實施例中，半導體晶片 106 的主動表面可粘在載體基底 100 的表面上。因此，半導體晶片 106 的主動表面正對著載體基底 100，而位於半導體晶片 106 之主動表面之對面的半導體晶片 106 之背面則背對著載體基底 100。

在另一實施例中，在載體基底 100 的表面上提供一層犧牲材料（sacrificial material）102，然後將半導體晶片 106 耦接到此犧牲材料 102 上，就可將半導體晶片 106 粘在載體基底 100 的表面上。同樣地，柱 104 也可藉由耦接到犧牲材料 102 上而粘在載體基底 100 的表面上。

在一個實施例中，犧牲材料 102 可提供為粘性材料。在另一實施例中，犧牲材料 102 是對熱與光至少其中之一

敏感的粘性材料。也就是說，當曝露於熱與光至少其中之一時，犧牲材料的粘性就會變差。

在一個實施例中，在載體基底 100 的表面上形成一材料層，然後對此材料層進行圖案化，藉此可將柱 104 粘在載體基底 100 的表面上。在另一實施例中，可預先形成柱 104，再將柱 104 粘在載體基底 100 的表面上（例如，在引線框架（lead frame）的引線中）。值得注意的是，柱 104 可在半導體晶片 106 粘在載體基底 100 上之前或之後粘在載體基底 100 上。在一個實施例中，柱 104 可用導電材料（例如，銅（Cu）、鐵（Fe）、銀（Ag）、金（Au）、鋁（Al）、帶犧牲材料 102 的高粘合強度導電聚合物等或其組合）或絕緣材料（例如，介電體）來形成。

在一個實施例中，載體基底 100 可包括透光材料，用來降低犧牲材料 102 的粘性。在另一實施例中，載體基底 100 可包括適合導熱的材料，用來降低犧牲材料 102 的粘性。載體基底 100 的示範性材料包括金屬與聚酰亞胺（polyimide）。

請參照圖 7B，載體基底 100 的表面上可提供絕緣材料，以密封半導體晶片 106 與柱 104。藉由絕緣材料密封半導體晶片 106 與柱 104，形成絕緣體 108 或封膠。

請參照圖 7C，載體基底 100 從半導體晶片 106、柱 104 以及絕緣體 108 上分離。

在一個實施例中，藉由將犧牲材料 102 曝露於光與熱至少其中之一，載體基底 100 從半導體晶片 106、柱 104

以及絕緣體 108 上分離。將犧牲材料 102 曝露於光與熱至少其中之一，可降低犧牲材料 102 的粘性，從而方便載體基底 100 從半導體晶片 106 與柱 104 上分離。

載體基底 100 從半導體晶片 106 與柱 104 上分離之後，可執行平坦化製程（planarization process）（例如，深蝕刻（etch-back）製程）來清除犧牲材料 102 以及從半導體晶片之主動表面與柱 104 之頂面上伸出的絕緣體 108 的一部分。因此，半導體晶片 106 的一部分（即，主動表面）（例如，晶片墊區域（未繪示））以及柱 104 的一部分（即，頂面）可被絕緣體 108 所曝露。

請參照圖 7D，絕緣體 108 上可形成導電圖案 110。在一個實施例中，此導電圖案 110 可以電性方式連接半導體晶片 106 的曝露部分（即，主動表面）與柱 104 的曝露部分（即，頂面）。

在一個實施例中，圖案化之絕緣層（例如，參見圖 5A～圖 5C 與圖 6A～圖 6C 中的圖案化之絕緣層 144C）可在導電圖案 110 形成之前形成。因此，圖案化之絕緣層可形成在半導體晶片 106 之主動表面上、柱 104 之頂面上以及絕緣體 108 上，並且曝露半導體晶片 106 之主動表面的晶片墊區域以及柱 104 之頂面。在一個實施例中，在半導體晶片 106 之主動表面上、柱 104 之頂面上以及絕緣體 108 上形成一材料層，然後對此材料層進行圖案化以曝露半導體晶片 106 之主動表面的晶片墊區域以及柱 104 之頂面，藉此可形成圖案化之絕緣層。

如上段所述的圖案化之絕緣層形成之後，可形成導電圖案 110。在一個實施例中，在半導體晶片 106 之主動表面上（例如，在主動表面的晶片墊區域上）以及柱 104 之頂面上形成種子層（seed layer）（例如，採用濺鍍法（sputtering）），然後在此種子層上形成導電層，藉此可形成導電圖案 110。導電層可採用電鍍法（electroplating）、無電電鍍法（electroless plating）等或其組合來形成。值得注意的是，在本發明的精神與範圍內，也可採用其他已知的方法來形成導電圖案 110。例如，使用化學汽相沈積（chemical vapor deposition, CVD）在半導體晶片 106 上沈積導電層，且將此導電層圖案化來形成導電圖案 110。

請參照圖 7E，導電圖案 110 上可形成外部終端 112，且半導體晶片 106 與柱 104 之群可成型（singulated）以形成單獨的半導體封裝，這些半導體封裝包括（例如）半導體晶片 106 與柱 104。在一個實施例中，外部終端 112 可為如焊球之類的導電球或導電凸塊。

在圖 7F 所示之實施例中，犧牲層 102 可以連續方式形成在載體基底 100 的表面上，而不是像圖 7A 所示的那樣以不連續方式形成在載體基底 100 的表面上。

由於導電圖案 110 與柱 104 的存在，即使半導體晶片 106 之主動表面的相鄰晶片墊區域之間的間距很小的情形下，半導體晶片 106 也可被有效地封裝。

圖 8A～圖 8E 是用來描述形成圖 2A 所示之半導體封裝的示範性製程的截面圖。

在一個實施例中，形成圖 2A 所示之半導體封裝 204 的製程可藉由先執行根據圖 7A～圖 7D 所述之製程來執行。接著，請參照圖 8A，可在第一半導體晶片 106 上配設第二半導體晶片 118。在一個實施例中，在第一半導體晶片 106 的曝露部分（即，主動表面）上提供一粘合層 120，且將第二半導體晶片 118 耦接到此粘合層 120 上，藉此可在對應的第一半導體晶片 106 上提供第二半導體晶片 118。

在一個實施例中，第二半導體晶片 118 的背面正對著第一半導體晶片 106 的主動表面，且第二半導體晶片 118 的主動表面背對著第一半導體晶片 106 的主動表面。

請參照圖 8B，在第一絕緣體 108 上形成第二絕緣體 122。在一個實施例中，在第一絕緣體 108 與第一導電圖案 110 上配設絕緣材料來形成第二絕緣體 122，且形成穿過絕緣材料的空腔 124。在一個實施例中，第二絕緣體 122 內的空腔 124 的位置，實質上對應於第一絕緣體 108 內的對應的柱 104 的位置。也就是說，空腔 124 是形成在對應的柱 104 正上方的區域中，使柱 104 在空腔 124 形成的過程中充當緩衝層。

在一個實施例中，對第二絕緣體 122 執行雷射鑽孔製程、幹蝕刻（dry etching）製程、濕蝕刻（wet etching）製程等或其組合，藉此可在第二絕緣體 122 中形成空腔 124。在一個實施例中，雷射鑽孔製程包括將第二絕緣體 122 曝露於紫外線雷射所發射的光的過程。從這一點來看，雷射鑽孔製程的特徵在於紫外線雷射鑽孔製程。

因為柱 104 可配置在連接外部終端 112 的第二導電圖案 126 下面，所以外部終端 112 與第二導電圖案 126 之間的接合可靠性可提高。此外，在柱 104 可導電的實施例中，即使如上所述第一空腔 124 延伸到第二絕緣體 122 下面，第二導電圖案 126 與第一半導體晶片 106 之間也能保持可靠的電性連接。此外，訊號線之間的雜訊可減少，且電源或地可變穩定，從而提高電子元件的可靠性。

請參照圖 8C，然後在第二絕緣體 122 上以及空腔 124 內形成第二導電圖案 126，以接觸對應之第一導電圖案 110 的一部分（例如，頂面）。因此，對應之第二導電圖案 126 與第一導電圖案 110 是藉由空腔 124 來以電性方式相連。

第二導電圖案 126 可參照先前所述的第一導電圖案 110 之相似製程來形成。例如，先在第二半導體晶片 118 之主動表面上以及第二絕緣體 122 上形成第二圖案化之絕緣層（例如，參見圖 5A～圖 5C 與圖 6A～圖 6C 中的圖案化之絕緣層 144B），然後在此第二圖案化之絕緣層上形成第二導電圖案 126。在一個實施例中，在第二半導體晶片 118 之主動表面上以及第二絕緣體 122 上形成一材料層，然後對此材料層進行圖案化以曝露第二半導體晶片 118 之主動表面的晶片墊區域以及第二絕緣體 122 的區域，藉此可形成第二圖案化之絕緣層。接著，可在第二半導體晶片 118 之主動表面上（例如，主動表面的晶片墊區域上）以及第二絕緣體 122 之區域上形成種子層（例如，採用濺鍍法）。然後，可採用電鍍法、無電電鍍法等或其組合在種

子層上形成導電層。

請參照圖 8D，可在第二導電圖案 126 上形成外部終端 112。在一個實施例中，此外部終端 112 可為焊球或導電球。

請參照圖 8E，對相互個別堆疊的半導體封裝執行分開成型製程。

由於導電圖案 110 與柱 104 的存在，即使在第二半導體晶片 118 之主動表面的相鄰晶片墊區域之間的間距很小的情形下，第二半導體晶片 118 也可有效地被封裝。

圖 9 是合併了一個或多個上述之半導體封裝的卡片系統的示意圖。

請參照圖 9，合併了一個或多個上述之半導體封裝的卡片系統 700 可（例如）包括控制器 710，此控制器 710 以電性方式與半導體元件 720 進行通訊。在一些實施例中，半導體元件 720 經形成以將控制器 710 併入其中。

在一個實施例中，半導體元件 720 可包括示範描述如上的任何半導體封裝。因此，此半導體元件的特徵可在於其包括（例如）：絕緣體；半導體晶片，具有主動表面以及位於此主動表面之對面的背面，此半導體晶片是配置在絕緣體內，主動表面被絕緣體曝露，背面被絕緣體實質上包圍著；柱，配置在絕緣體內，且鄰接著半導體晶片的一側；以及導電圖案，配置在絕緣體上以及被絕緣體曝露的柱的頂面上，此導電圖案以電性方式連接到半導體晶片。

在一個實施例中，卡片系統 700 可提供為多媒體卡（multimedia card）或保全數位卡（secure digital card）。

圖 10 是合併了一個或多個上述之半導體封裝的系統的示意圖。

請參照圖 10，合併了一個或多個上述之半導體封裝的系統 800 可（例如）包括處理器（processor）810、半導體元件 820、輸入/輸出元件 830 以及匯流排（bus）840。輸入/輸出元件 830 可以電性方式耦接到微處理器（microprocessor）810 與半導體元件 820（例如，經由匯流排 840）。

在一個實施例中，半導體元件 820 可包括示範描述如上的任何半導體封裝。因此，半導體元件 820 的特徵可在於其包括（例如）：絕緣體；半導體晶片，具有主動表面以及位於此主動表面之對面的背面，此半導體晶片是配置在絕緣體內，主動表面被絕緣體曝露，背面被絕緣體實質上包圍著；柱，配置在絕緣體內，且鄰接著第一半導體晶片的一側；以及導電圖案，配置在絕緣體上以及被絕緣體曝露的柱的頂面上，此導電圖案以電性方式連接到半導體晶片。

在一個實施例中，半導體元件可提供為（例如）動態隨機存取記憶體（dynamic random access memory, DRAM）、相變式隨機存取記憶體（phase-change random access memory, PRAM）、磁阻式隨機存取記憶體（magnetoresistive random access memory, MRAM）、非揮發性記憶體（nonvolatile memory）等或其組合。

在一個實施例中，系統 800 可提供為行動電話、MP3、

導航器（navigation）、固態磁碟（solid state disk, SSD）、家用電器等。將上述之依據本發明之實施例的半導體封裝併入系統 800，所形成的電子元件在機械上更加堅固耐用，且其可靠性可明顯提高。

在整個說明書中，參照“一個實施例”的意思是根據此實施例來描述的特定特徵、結構或特性包括在本發明的至少一個實施例中。因此，在本說明書中的不同位置出現的短句“在一個實施例中”不一定都表示相同的實施例。此外，這些特定特徵、結構或特性可以任何適當的方式結合到一個或多個實施例中。

各個操作將按照多個離散的步驟來描述，這些離散的步驟是以最有助於理解本發明的方式來執行的。但是，描述這些步驟的次序並不意味著操作要依賴這種次序，也不意味著執行這些步驟的次序必須是提出這些步驟的次序。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖 1A 是第一實施例所提出的半導體封裝的截面圖。

圖 1B 是依據第一實施例之變體的半導體封裝的截面圖。

圖 2A 是第二實施例所提出的半導體封裝的截面圖。

圖 2B 是依據第二實施例之變體的半導體封裝的截面

圖。

圖 3 是第三實施例所提出的半導體封裝的截面圖。

圖 4A 是第四實施例所提出的半導體封裝的截面圖。

圖 4B 與圖 4C 是依據第四實施例之變體的半導體封裝的截面圖。

圖 5A～圖 5D 是依據一些實施例位於圖 4A 所示之半導體封裝之區域“A”中的結構的放大截面圖。

圖 6A～圖 6C 是依據另一些實施例位於圖 4A 所示之半導體封裝之區域“A”中的結構的放大截面圖。

圖 7A～圖 7F 是用來描述形成圖 1A 所示之半導體封裝的示範性製程的截面圖。

圖 8A～圖 8E 是用來描述形成圖 2A 所示之半導體封裝的示範性製程的截面圖。

圖 9 是合併了一個或多個本說明書所描述之半導體封裝的卡片的示意圖。

圖 10 是合併了一個或多個本說明書所描述之半導體封裝的系統的示意圖。

【主要元件符號說明】

100：載體基底

102：犧牲材料

104、104'、104''：柱

106、118、118a、128、136：半導體晶片

108、122、132、140：絕緣體

110、126、134、142：導電圖案

112：外部終端

114、114a：穿孔

115a、115b：晶片墊

116：輔助佈線圖案

120、130、138：粘合層

124、133、141：空腔

144A、144B、144C：圖案化之絕緣層

146、148：導電柱塞

200、202、204、206、208、210、210'、212：半導體

封裝

700：卡片系統

710：控制器

720、820：半導體元件

800：系統

810：處理器

830：輸入/輸出元件

840：匯流排

A、B：區域

十、申請專利範圍：

1.一種半導體元件，包括：

第一絕緣體；

第一半導體晶片，具有第一主動表面以及位於所述第一主動表面之反面的第一背面，所述第一半導體晶片是配置在所述第一絕緣體內，所述第一主動表面被所述第一絕緣體曝露，所述第一背面被所述第一絕緣體實質上包圍著；

柱，配置在所述第一絕緣體內，且鄰接著所述第一半導體晶片的一側，所述柱具有頂面、底面以及連接所述頂面與所述底面的側面；以及

第一導電圖案，配置在所述第一絕緣體上以及被所述第一絕緣體曝露的所述柱的所述頂面上，所述第一導電圖案以電性方式連接到所述第一半導體晶片，

其中所述第一導電圖案的底面與所述第一半導體晶片的所述第一主動表面是在實質上相同的平面上。

2.如申請專利範圍第 1 項所述之半導體元件，其中所述第一導電圖案從所述半導體晶片的所述第一主動表面的邊緣筆直地延伸到所述柱。

3.如申請專利範圍第 1 項所述之半導體元件，其中所述柱與所述第一導電圖案包括實質上相同的材料。

4.如申請專利範圍第 1 項所述之半導體元件，更包括：

第二半導體晶片，配置在所述第一半導體晶片上方；
以及

第二導電圖案，以電性方式連接到所述第二半導體晶

片與所述第一導電圖案。

5.如申請專利範圍第 4 項所述之半導體元件，其中所述第二半導體晶片具有第二背面以及位於所述第二背面之反面的第二主動表面，所述第二半導體晶片包括形成在所述第二背面上的第一晶片墊以及形成在所述第二主動表面上的第二晶片墊，所述第一晶片墊與所述第二晶片墊是經由所述第二導電圖案來以電性方式相連。

6.如申請專利範圍第 5 項所述之半導體元件，其中所述第二導電圖案包括晶片穿孔。

7.如申請專利範圍第 6 項所述之半導體元件，其中所述晶片穿孔是配置在所述柱正上方的位置。

8.如申請專利範圍第 5 項所述之半導體元件，其中所述第一晶片墊以電性方式連接到所述第一導電圖案。

9.如申請專利範圍第 5 項所述之半導體元件，更包括各向異性導電膜（anisotropic conductive film, ACF），配置在所述第一半導體晶片與所述第二半導體晶片之間，其中所述第二半導體晶片藉由所述各向異性導電膜來以電性方式連接到所述第一半導體晶片。

10.如申請專利範圍第 4 項所述之半導體元件，更包括：

第二絕緣體，配置在所述第一絕緣體上方，所述第二絕緣體包括第一空腔，所述第一空腔從所述第二絕緣體的上表面延伸到所述第二絕緣體的下表面，其中

所述第二半導體晶片是配置在所述第二絕緣體內，

所述第二導電圖案與所述第一導電圖案是藉由所述第一空腔來以電性方式相連，以及

所述第二絕緣體內的所述第一空腔的位置實質上對應於所述第一絕緣體內的所述柱的位置。

11.如申請專利範圍第 10 項所述之半導體元件，其中所述第二半導體晶片的一部分被所述第二絕緣體的下表面曝露，所述半導體元件更包括：

粘合層，配置在所述第一半導體晶片與所述第二半導體晶片之間。

12.如申請專利範圍第 11 項所述之半導體元件，更包括：

第三絕緣體，配置在所述第二絕緣體上方，所述第三絕緣體包括第二空腔，所述第二空腔從所述第三絕緣體的上表面延伸到所述第三絕緣體的下表面；

第三半導體晶片，配置在所述第三絕緣體內；以及

第三導電圖案，以電性方式連接到所述第三半導體晶片，其中所述第三導電圖案與所述第二導電圖案是藉由所述第二空腔來以電性方式相連。

13.如申請專利範圍第 12 項所述之半導體元件，其中所述第三絕緣體內的所述第二空腔的位置實質上對應於所述第一絕緣體內的所述柱的位置。

14.如申請專利範圍第 12 項所述之半導體元件，更包括填充所述第一空腔與所述第二空腔至少其中之一的導電材料。

15.如申請專利範圍第 12 項所述之半導體元件，更包括填充所述第一空腔與所述第二空腔至少其中之一的絕緣材料。

16.如申請專利範圍第 12 項所述之半導體元件，其中所述第二導電圖案與所述第三導電圖案至少其中之一是配置在所述第一空腔內。

17.如申請專利範圍第 12 項所述之半導體元件，其中所述第三絕緣體內的所述第二空腔的位置實質上對應於所述第二絕緣體內的所述第一空腔的位置，

所述第二導電圖案是配置在所述第一空腔外面，

所述第三導電圖案是配置在所述第三絕緣體上方，沿著所述第二空腔之側壁，沿著所述第一空腔之側壁，以及所述第一導電圖案的一部分上面，以及

所述第三導電圖案接觸所述第二導電圖案的邊緣，

所述半導體元件更包括所述第三導電圖案上的導電柱塞，所述導電柱塞穿過所述第一空腔與所述第二空腔。

18.如申請專利範圍第 17 項所述之半導體元件，其中所述第一空腔與所述第二空腔的側壁是實質上垂直的。

19.如申請專利範圍第 17 項所述之半導體元件，其中所述導電柱塞的上表面與所述第三導電圖案的上表面實質上共面。

20.如申請專利範圍第 12 項所述之半導體元件，其中

所述第三絕緣體內的所述第二空腔的位置，實質上對應於所述第二絕緣體內的所述第一空腔的位置，

所述第二導電圖案是配置在所述第一空腔外面，以及
所述第三導電圖案是配置在所述第三絕緣體上方以及
所述第二空腔外面，

所述半導體元件更包括穿過所述第一空腔與所述第二空腔，且接觸所述第一導電圖案與所述第二導電圖案之邊緣的導電柱塞。

21.如申請專利範圍第 20 項所述之半導體元件，其中
所述第一空腔與所述第二空腔的側壁是實質上垂直的。

22.如申請專利範圍第 20 項所述之半導體元件，其中
所述導電柱塞的上表面與所述第三導電圖案的上表面實質上共面。

23.如申請專利範圍第 12 項所述之半導體元件，更包括填充所述第一空腔且位於所述第一導電圖案之一部分上的導電柱塞，其中

所述第三絕緣體內的所述第二空腔的位置實質上對應於所述第二絕緣體內的所述第一空腔的位置，

所述第二導電圖案是配置在所述導電柱塞上方，以及
所述第三導電圖案是配置在所述第三絕緣體上方，沿著所述第二空腔的側壁，以及位於所述第一導電圖案的一部分上。

24.如申請專利範圍第 23 項所述之半導體元件，其中
所述第一空腔與所述第二空腔的側壁是傾斜的。

25.如申請專利範圍第 23 項所述之半導體元件，其中
所述導電柱塞的上表面高於所述第二絕緣體的上表面。

26.如申請專利範圍第 12 項所述之半導體元件，更包括另一個柱，配置在所述第二絕緣體內，其中所述另一個柱是配置在所述第二空腔下面。

27.如申請專利範圍第 1 項所述之半導體元件，其中所述第一絕緣體包圍著所述柱的所述底面與所述側面。

28.如申請專利範圍第 1 項所述之半導體元件，其中所述柱的所述底面，是介於所述第一半導體晶片的所述第一主動表面與所述第一背面之間。

29.如申請專利範圍第 1 項所述之半導體元件，更包括外部終端，所述外部終端垂直地對準所述柱。

30.如申請專利範圍第 1 項所述之半導體元件，其中所述柱包括導電材料或絕緣材料。

31.一種半導體元件，包括：

第一絕緣體，具有上表面以及位於所述上表面之對面的下表面；

第一半導體晶片，包括主動表面、背面以及連接所述主動表面與所述背面的多個周邊表面，其中所述第一絕緣體實質上包圍著所述第一半導體晶片的所述背面以及多個所述周邊表面至少其中之一；

柱，配置在所述第一絕緣體內，且鄰接著所述第一半導體晶片的多個所述周邊表面之一；以及

第一導電圖案，配置在所述第一絕緣體的所述上表面上，且在所述第一半導體晶片的所述主動表面上方延伸，其中所述第一導電圖案連接到所述第一半導體晶片的所述

上表面，

其中所述柱包括上表面、下表面以及連接所述上表面與所述下表面的多個側面，其中所述第一絕緣體實質上包圍著所述柱的所述下表面以及多個所述側面，

其中所述第一絕緣體的所述上表面，與所述第一半導體晶片的所述上表面實質上共面。

32.如申請專利範圍第 31 項所述之半導體元件，更包括：

外部終端，連接到所述第一導電圖案的上表面，

其中所述柱連接到所述第一導電圖案的下表面，以及其中所述外部終端位於所述柱的正上方。

33.如申請專利範圍第 31 項所述之半導體元件，更包括：

外部終端，連接到所述第一導電圖案的上表面的一部分，

其中所述柱連接到所述第一導電圖案的下表面的一部分，這部分正好位於連接到所述外部終端的所述第一導電圖案之所述上表面之所述部分的反面。

34.一種半導體元件，包括：

第一絕緣體；

第一半導體晶片，具有主動表面以及位於所述主動表面之反面的背面，所述第一半導體晶片是配置在所述第一絕緣體內，所述主動表面被所述第一絕緣體曝露；以及

柱，配置在所述第一絕緣體內，且鄰接著所述第一半

導體晶片的一側，所述柱具有頂面、底面以及連接所述頂面與所述底面的側面，

其中所述第一絕緣體實質上包圍著所述柱的所述底面與所述側面，

其中所述第一絕緣體的上表面，與所述第一半導體晶片的所述主動表面實質上共面。

35.一種半導體元件，包括：

第一絕緣體，具有上表面以及位於所述上表面之反面的下表面；

第一半導體晶片，包括主動表面、背面以及連接所述主動表面與所述背面的多個周邊表面，其中所述第一絕緣體實質上包圍著所述第一半導體晶片的所述背面以及多個所述周邊表面的至少其中之一；

柱，配置在所述第一絕緣體內，且鄰接著所述第一半導體晶片的多個所述周邊表面之一；

第一導電圖案，配置在所述第一絕緣體的所述上表面上，且在所述第一半導體晶片的所述主動表面上延伸，其中所述第一導電圖案連接到所述第一半導體晶片的所述主動表面，且所述第一導電圖案的下表面連接到所述柱；以及

第二半導體晶片，配置在所述第一半導體晶片上方，其中所述第二半導體晶片包括第一外部終端，所述第一外部終端是形成在所述第二半導體晶片的下表面上，

其中所述第一外部終端連接到所述第一導電圖案的上

表面的一部分，正好位於連接到所述柱的所述第一導電圖案之所述下表面之所述部分的反面，

其中所述第一絕緣體的所述上表面與所述第一半導體晶片的所述主動表面是在實質上相同的平面上。

36.如申請專利範圍第 35 項所述之半導體元件，其中所述第二半導體晶片大於所述第一半導體晶片。

37.如申請專利範圍第 35 項所述之半導體元件，其中所述第二半導體晶片更包括：

另一外部終端，形成在所述第二半導體晶片的上表面上；以及

導電晶片穿孔，以電性方式連接所述第一外部終端與所述第二外部終端。

38.一種形成半導體元件的方法，包括：

將第一半導體晶片粘在載體基底的表面上；

將柱粘在所述載體基底的所述表面上；

在所述載體基底的所述表面上配置絕緣材料，其中所述絕緣材料密封所述第一半導體晶片與所述柱以形成第一絕緣體；

將所述載體基底從所述第一半導體晶片、所述柱以及所述第一絕緣體上分離，從而曝露所述第一半導體晶片的一部分與所述柱的一部分；以及

在所述第一絕緣體上形成第一導電圖案，所述第一導電圖案以電性方式連接所述第一半導體晶片的所述曝露部分與所述柱的所述曝露部分，

其中所述第一絕緣體的上表面與所述第一半導體晶片的主動表面是在實質上相同的平面上。

39.如申請專利範圍第 38 項所述之形成半導體元件的方法，其中粘住所述第一半導體晶片與所述柱至少其中之一包括：

在所述載體基底的所述表面上提供犧牲材料；以及
將所述第一半導體晶片與所述柱至少其中之一耦接到所述犧牲材料。

40.如申請專利範圍第 39 項所述之形成半導體元件的方法，其中所述犧牲材料對熱與光至少其中之一敏感，其中所述載體基底從所述第一半導體晶片、所述柱以及所述第一絕緣體上分離包括將所述犧牲材料曝露於光或熱至少其中之一，以降低所述犧牲材料的粘性。

41.如申請專利範圍第 38 項所述之形成半導體元件的方法，更包括：

在所述第一半導體晶片上方設置第二半導體晶片；

在所述第一絕緣體上方形成第二絕緣體，所述第二絕緣體包括穿過所述第二絕緣體的空腔；以及

形成第二導電圖案，所述第二導電圖案以電性方式連接到所述第二半導體晶片，其中所述第二導電圖案與所述第一導電圖案是藉由所述空腔來以電性方式相連，

其中所述第二絕緣體內的所述空腔的位置，實質上對應於所述第一絕緣體內的所述柱的位置。

42.如申請專利範圍第 41 項所述之形成半導體元件的

方法，其中在所述第一半導體晶片上方設置所述第二半導體晶片包括：

在所述第一半導體晶片的所述曝露部分上提供粘合層；以及

將所述第二半導體晶片耦接到所述粘合層上。

43.如申請專利範圍第 41 項所述之形成半導體元件的方法，其中所述第二半導體晶片的背面，正對著所述第一半導體晶片的主動表面。

44.如申請專利範圍第 41 項所述之形成半導體元件的方法，其中形成所述第二絕緣體包括：

在所述第一絕緣體與所述第一導電圖案上方配置絕緣材料；以及

穿過所述絕緣材料形成所述空腔。

45.如申請專利範圍第 44 項所述之形成半導體元件的方法，其中形成所述空腔包括對所述絕緣材料執行乾蝕刻製程、濕蝕刻製程、雷射鑽孔製程或其組合。

46.如申請專利範圍第 45 項所述之形成半導體元件的方法，其中所述雷射鑽孔製程是指紫外線（UV）雷射鑽孔製程。

47.如申請專利範圍第 45 項所述之形成半導體元件的方法，其中所述空腔是形成在配設在所述柱正上方的區域中，使得所述柱在該柱的上方形成所述空腔的過程中發生緩衝層作用。

48.一種合併一個或多個半導體封裝的卡片系統，包

括：

半導體元件，包括：

絕緣體；

半導體晶片，具有主動表面以及位於所述主動表面之反面的背面，所述半導體晶片是配置在所述絕緣體內，所述主動表面被所述絕緣體曝露，所述背面被所述絕緣體實質上包圍著；

柱，配置在所述絕緣體內，且鄰接著所述半導體晶片的一側，所述柱具有頂面、底面以及連接所述頂面與所述底面的側面；以及

第一導電圖案，配置在所述絕緣體上以及被所述絕緣體曝露的所述柱的所述頂面上，所述第一導電圖案以電性方式連接到所述半導體晶片，以及

控制器，以電性方式與所述半導體元件進行通訊，

其中所述第一導電圖案的底面實質上與所述半導體晶片的所述主動表面是在相同的平面上。

49.如申請專利範圍第 48 項所述之系統，其中所述系統是多媒體卡或保全數位卡。

50.一種合併一個或多個半導體封裝的系統，包括：

半導體元件，包括：

絕緣體；

半導體晶片，具有主動表面以及位於所述主動表面之反面的背面，所述半導體晶片是配置在所述絕緣體內，所述主動表面被所述絕緣體曝露，所述背面被所述絕

緣體實質上包圍著；

柱，配置在所述絕緣體內，且鄰接著所述半導體晶片的一側，所述柱具有頂面、底面以及連接所述頂面與所述底面的側面；以及

導電圖案，配置在所述絕緣體上以及被所述絕緣體曝露的所述柱的所述頂面上，所述導電圖案以電性方式連接到所述半導體晶片，

微處理器；以及

輸入/輸出元件，以電性方式耦接到所述微處理器與所述半導體元件，

其中所述導電圖案的底面實質上與所述半導體晶片的所述主動表面是在相同的平面上。

51.如申請專利範圍第 50 項所述之系統，其中所述半導體元件是指動態隨機存取記憶體（dynamic random access memory, DRAM）、相變式隨機存取記憶體（phase-change random access memory, PRAM）、磁阻式隨機存取記憶體（magnetoresistive random access memory, MRAM）或非揮發性記憶體。

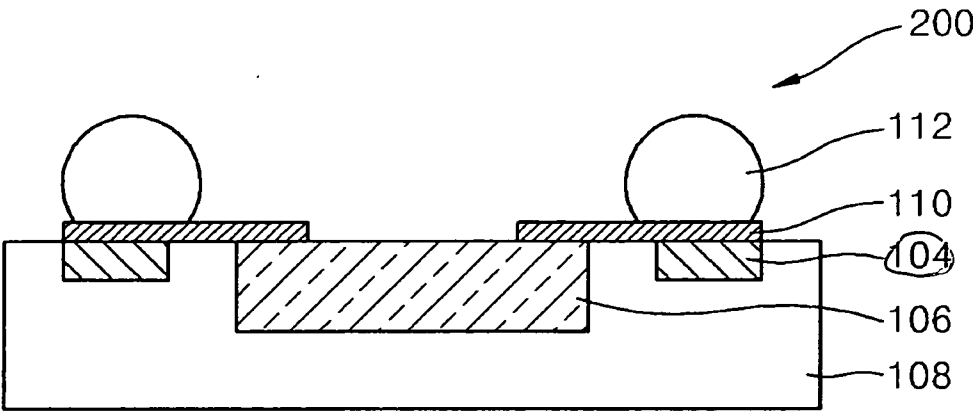


圖 1A

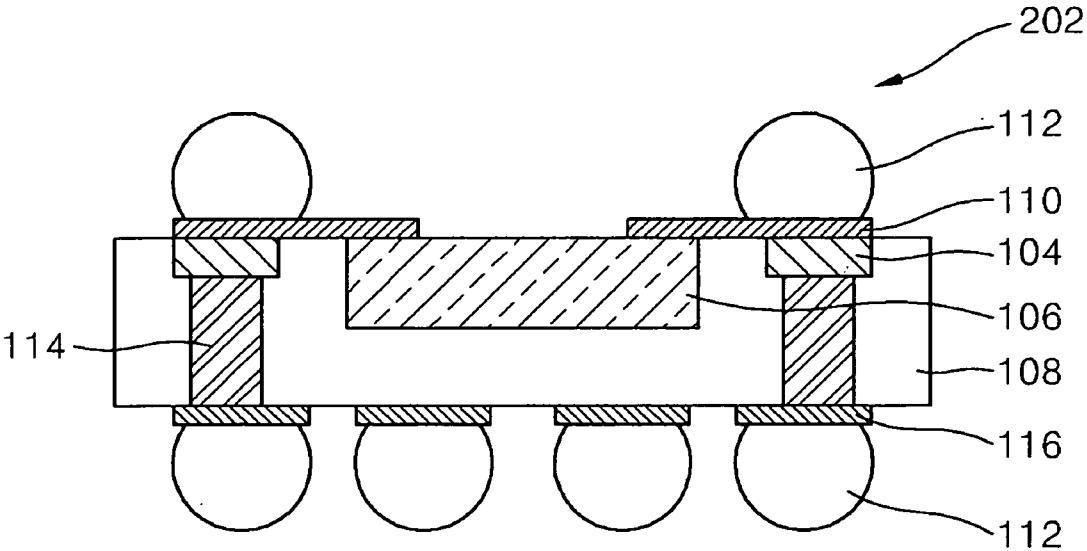


圖 1B

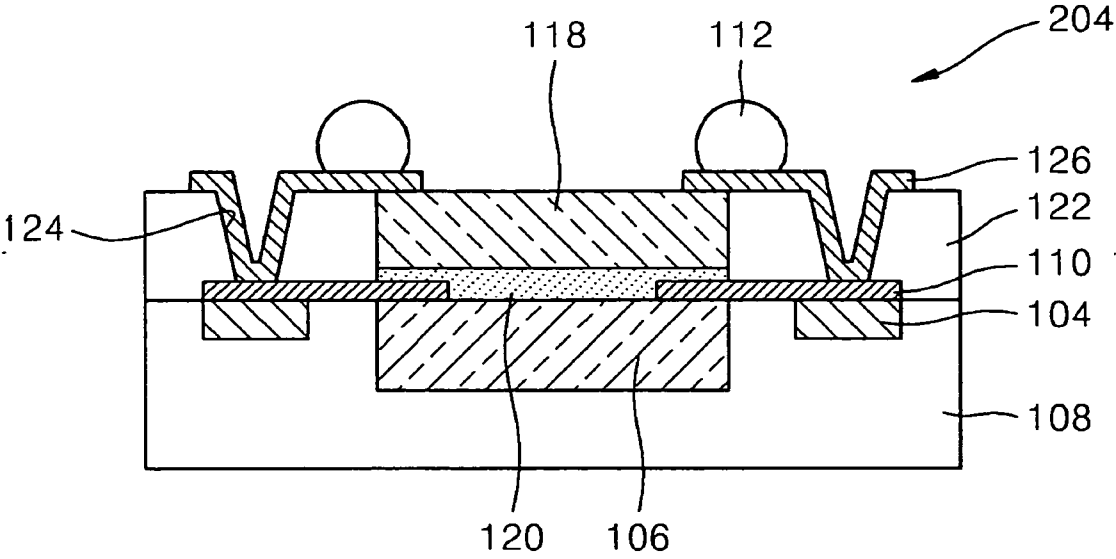


圖 2A

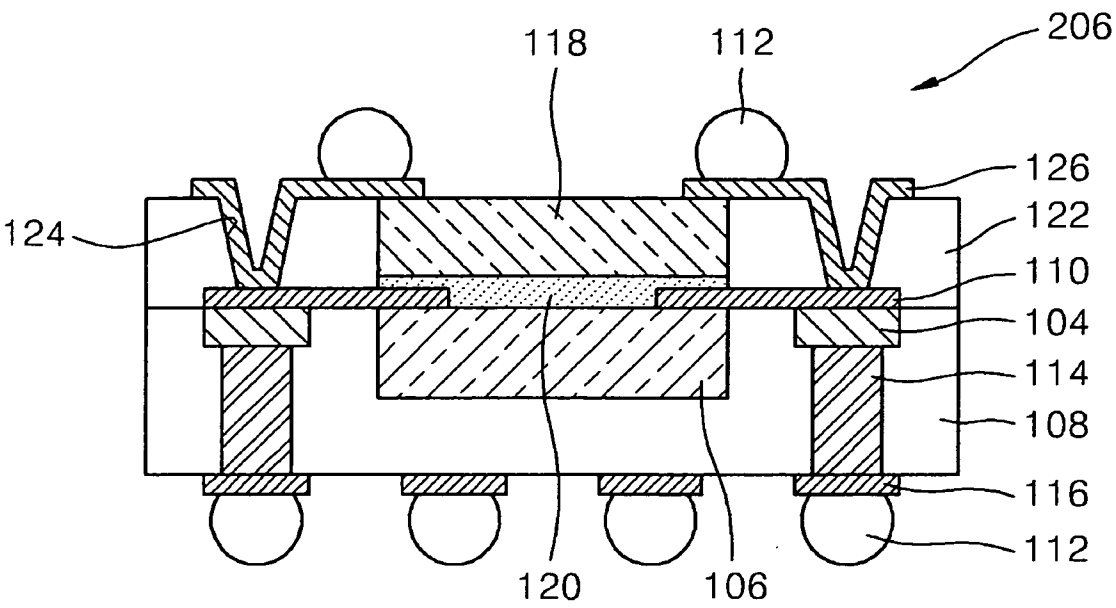


圖 2B

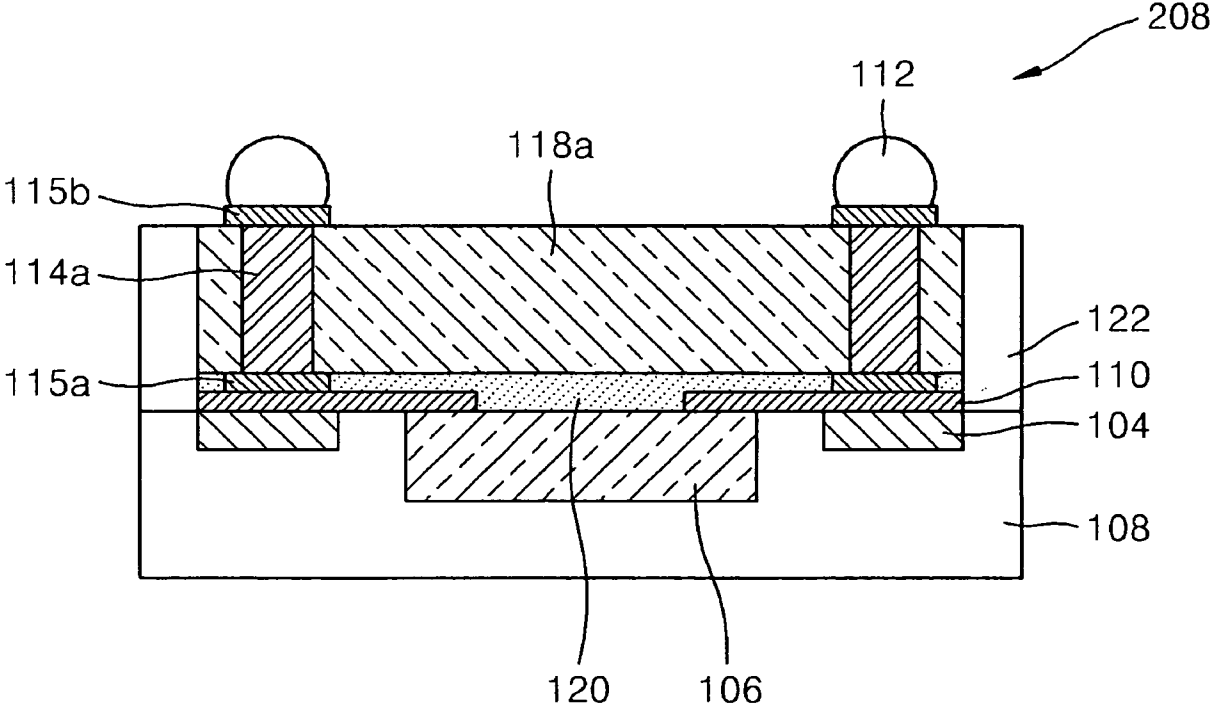


圖 3

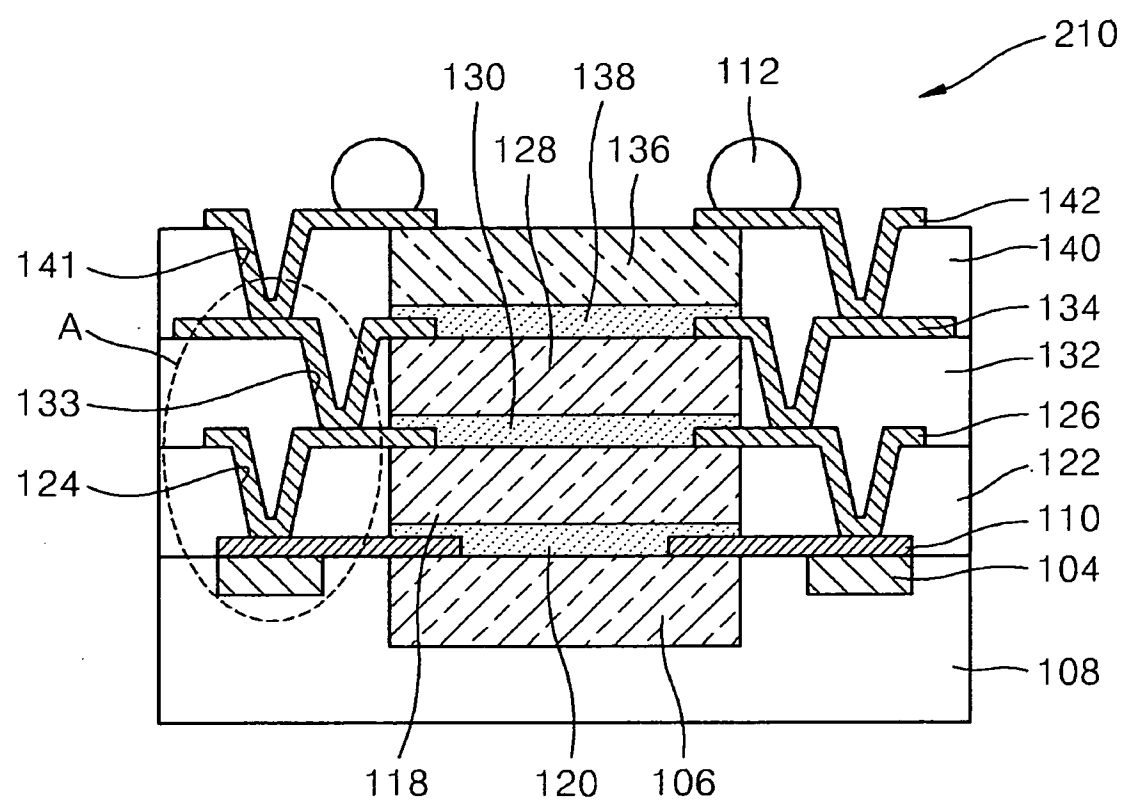


圖 4A

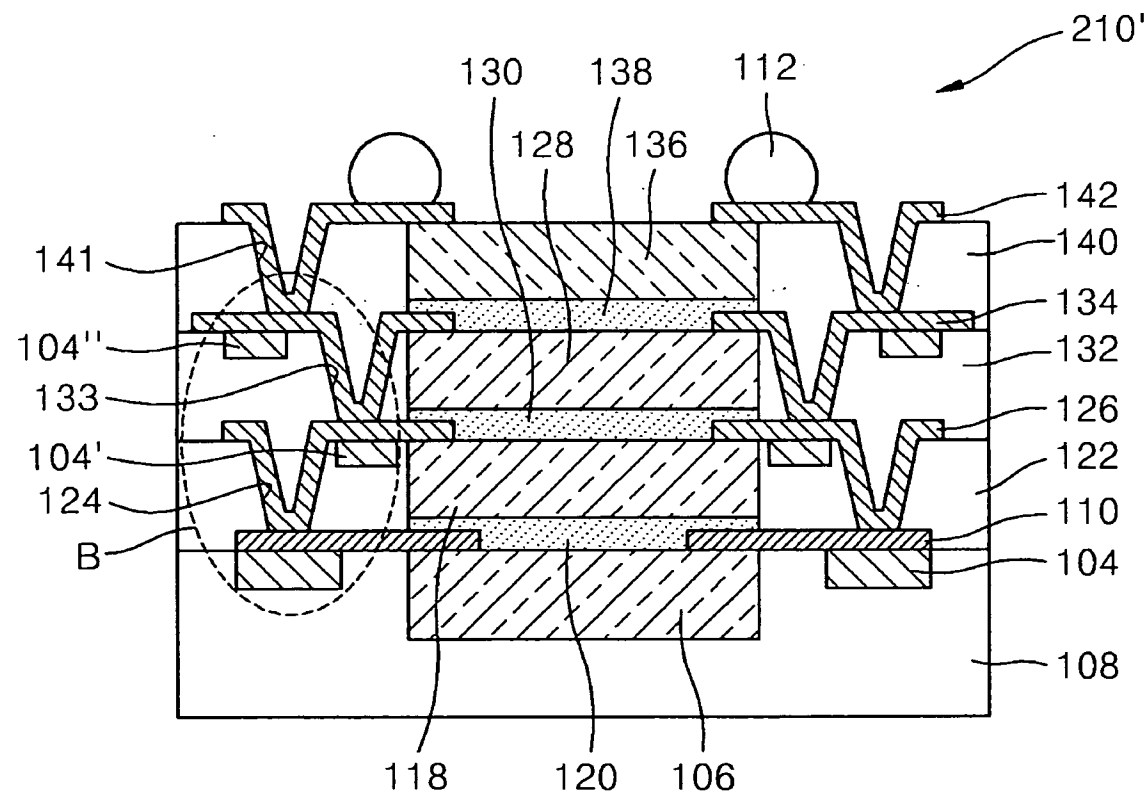


圖 4B

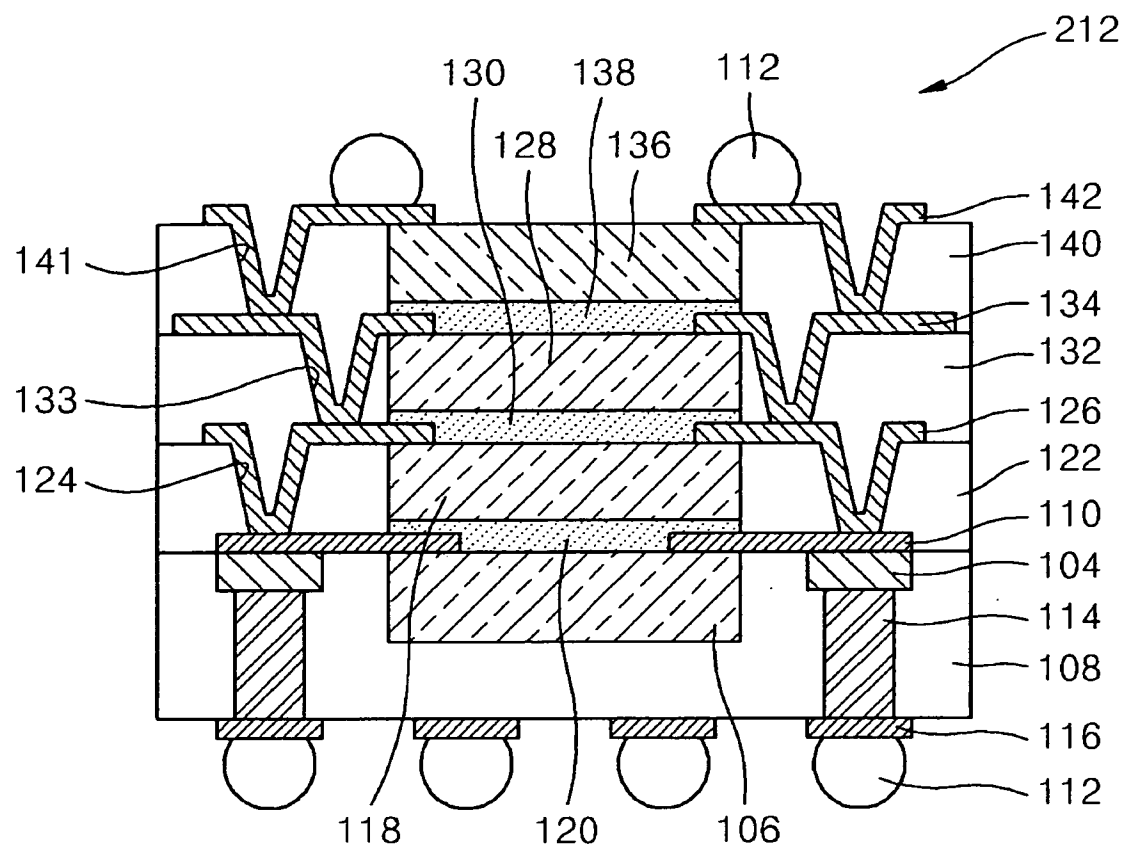


圖 4C

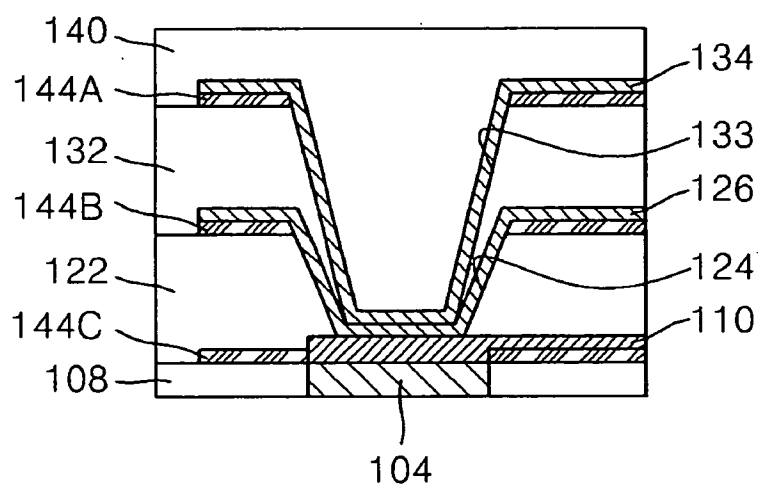


圖 5A

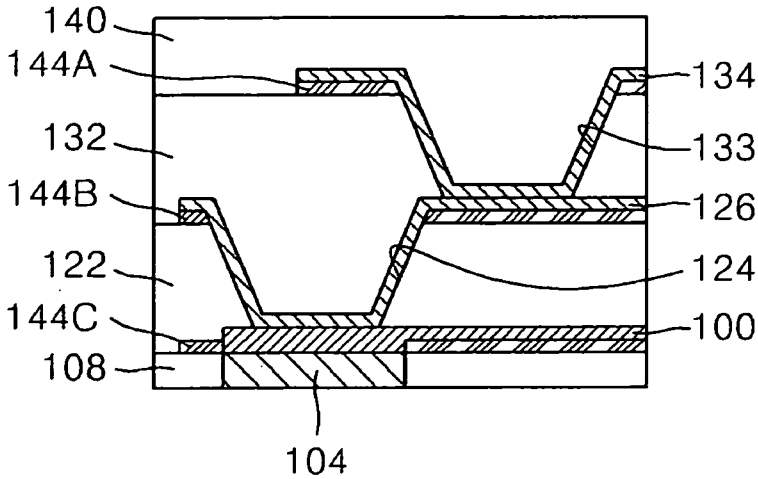


圖 5B

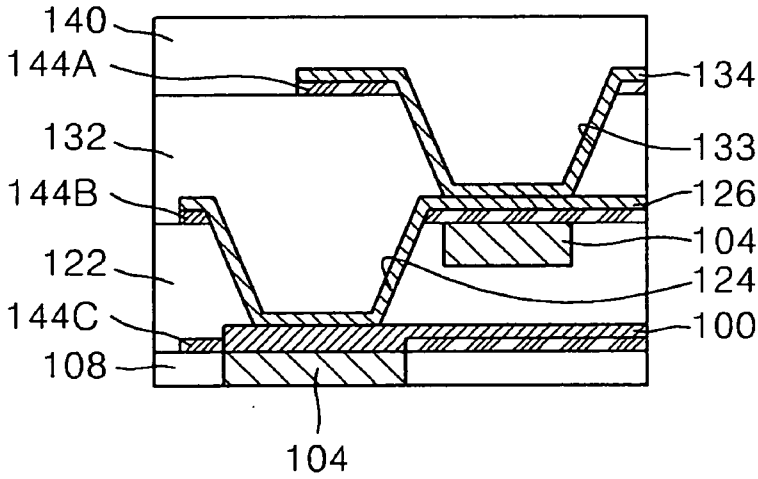


圖 5C

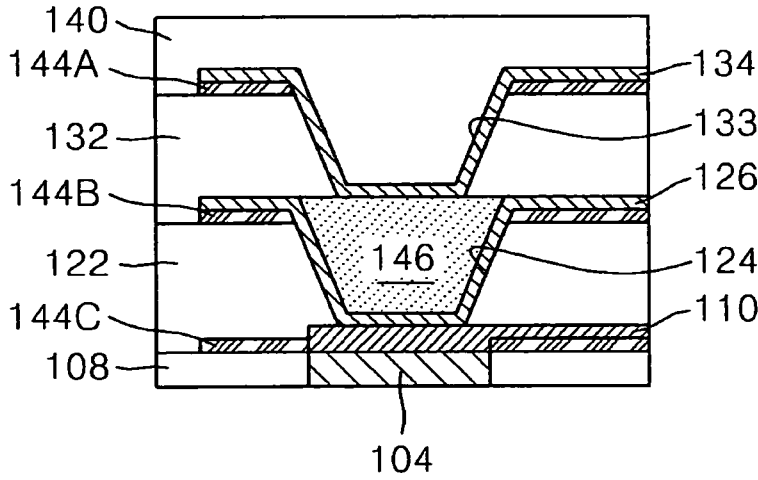


圖 5D

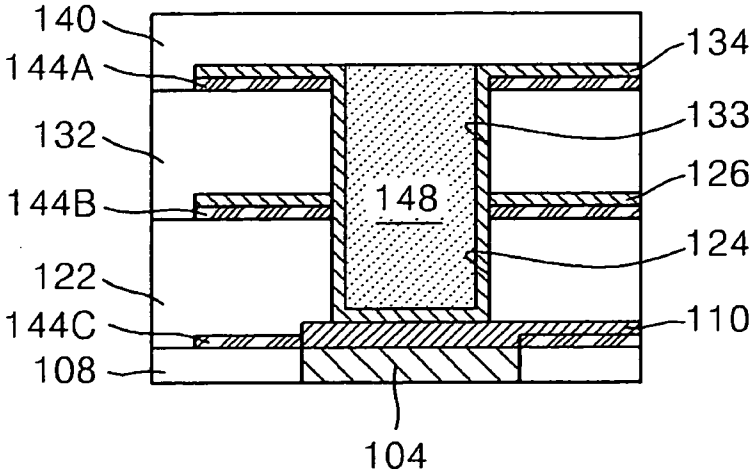


圖 6A

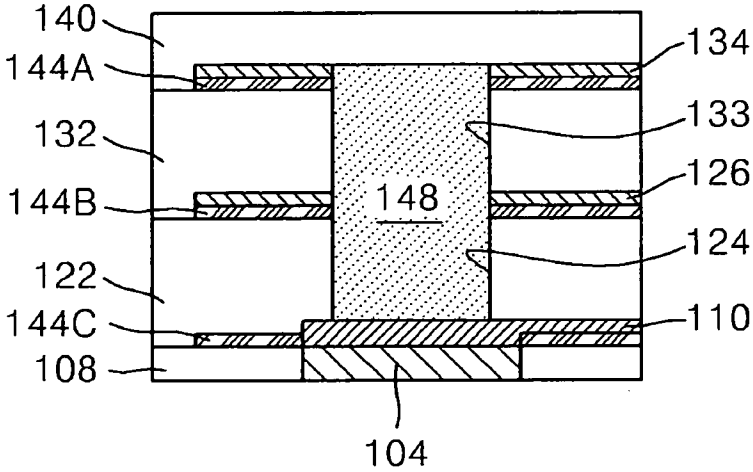


圖 6B

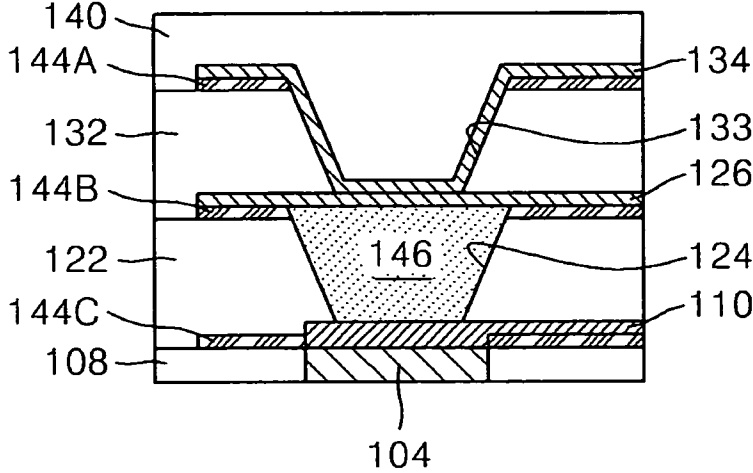


圖 6C

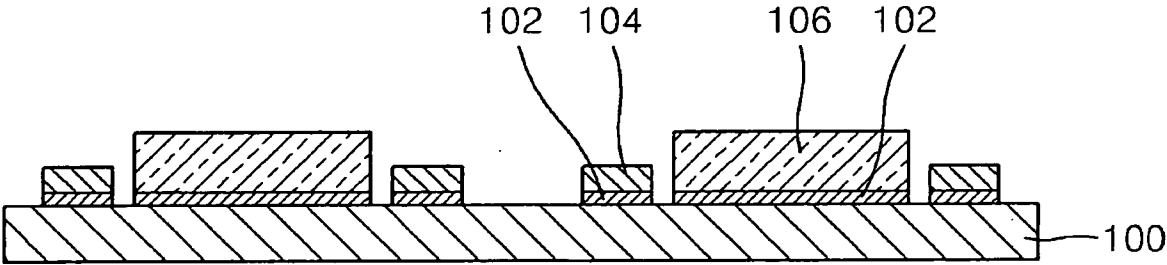


圖 7A

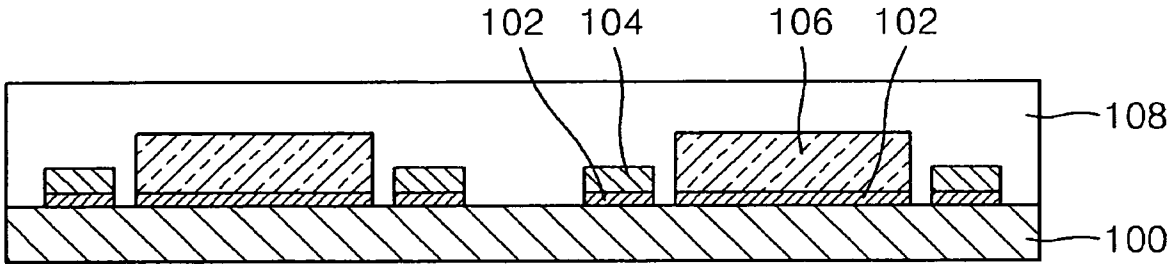


圖 7B

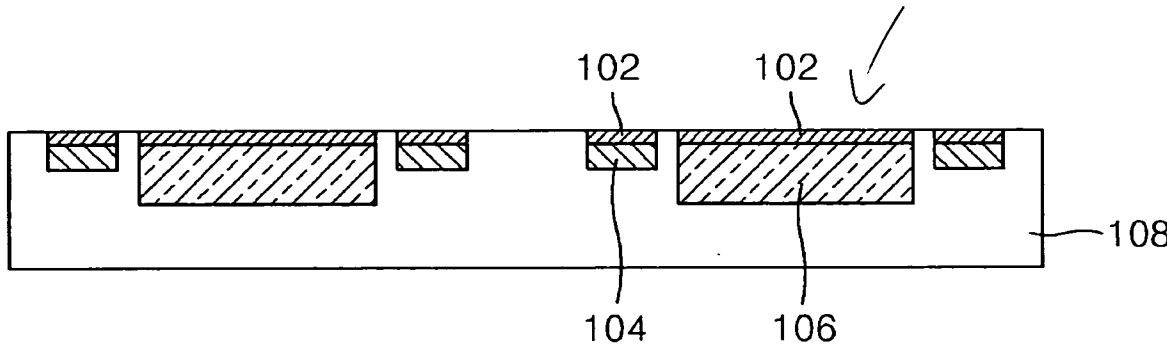


圖 7C

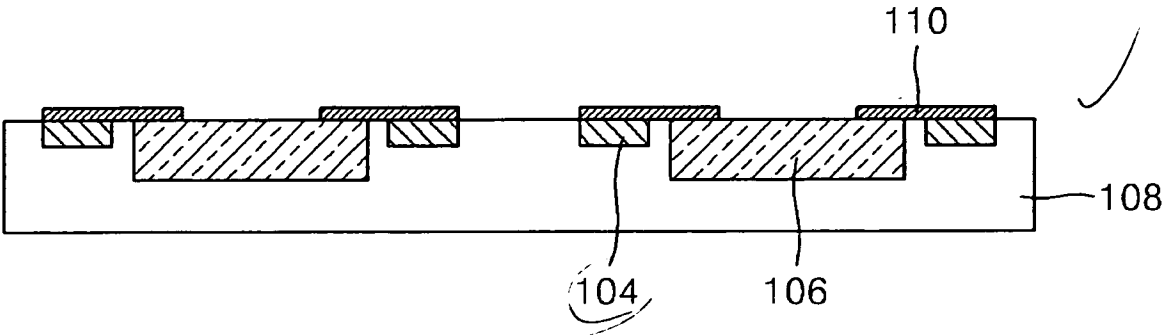


圖 7D

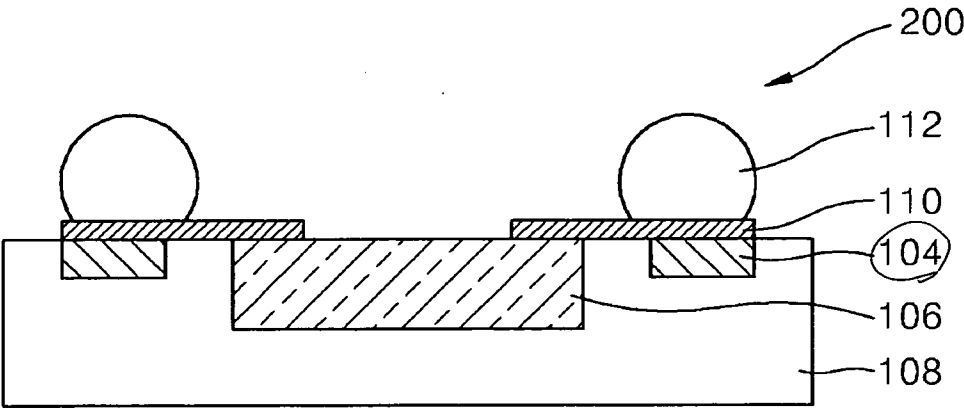


圖 7E

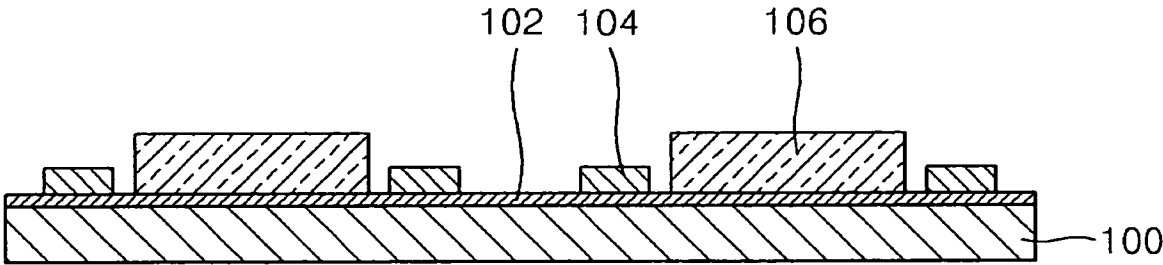


圖 7F

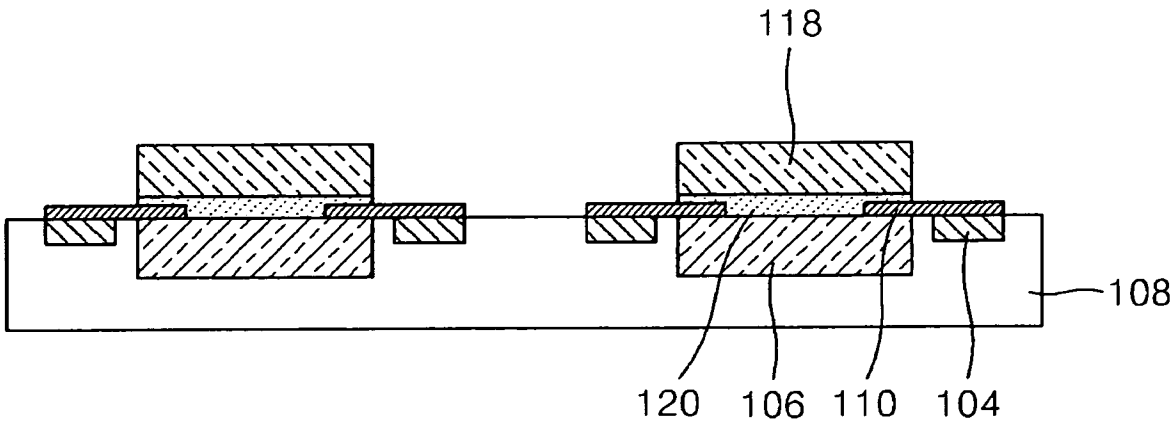


圖 8A

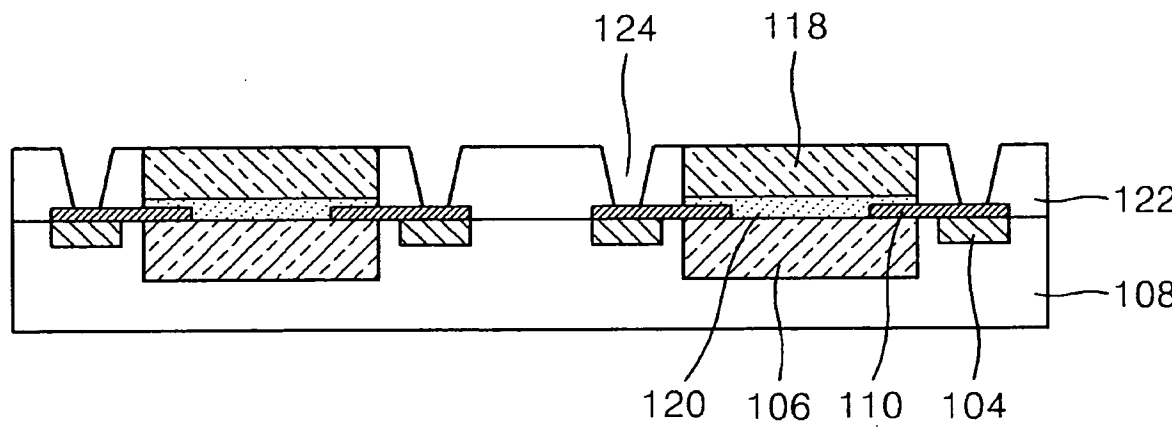


圖 8B

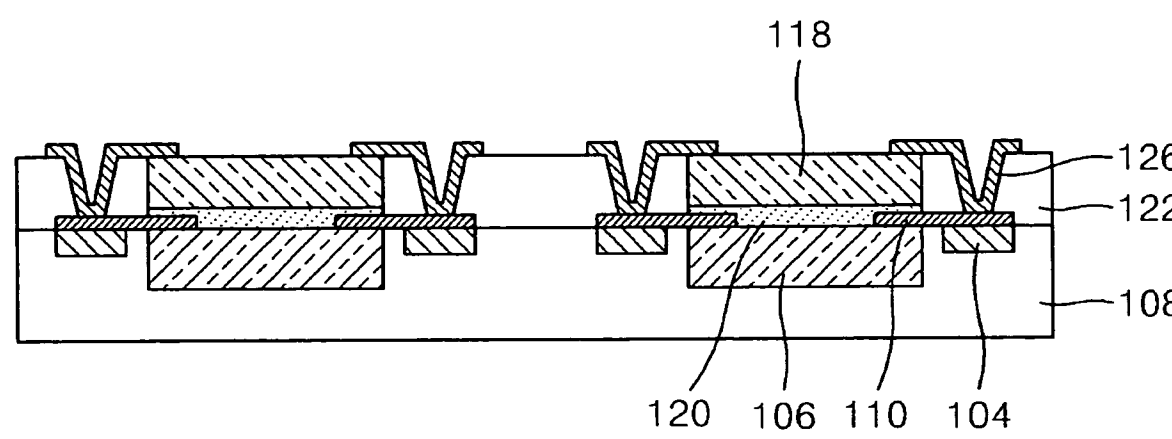


圖 8C

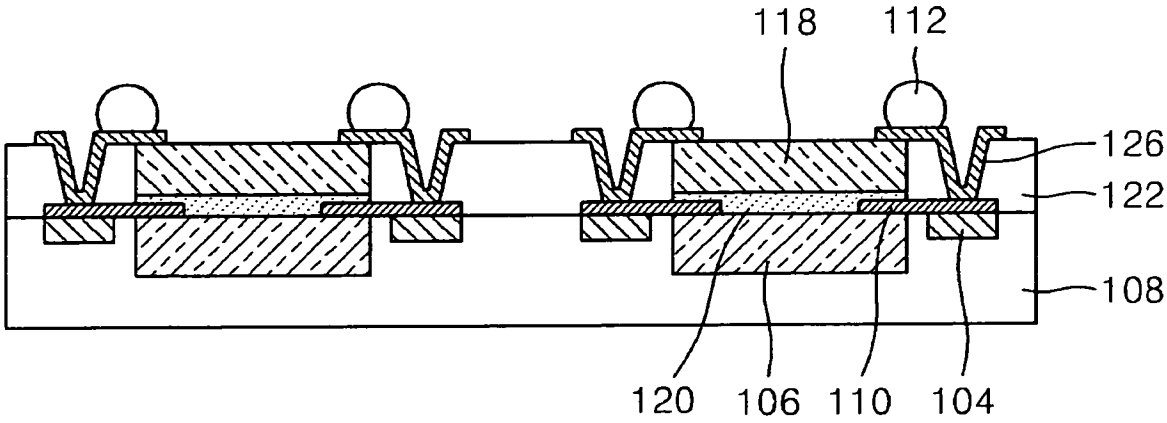


圖 8D

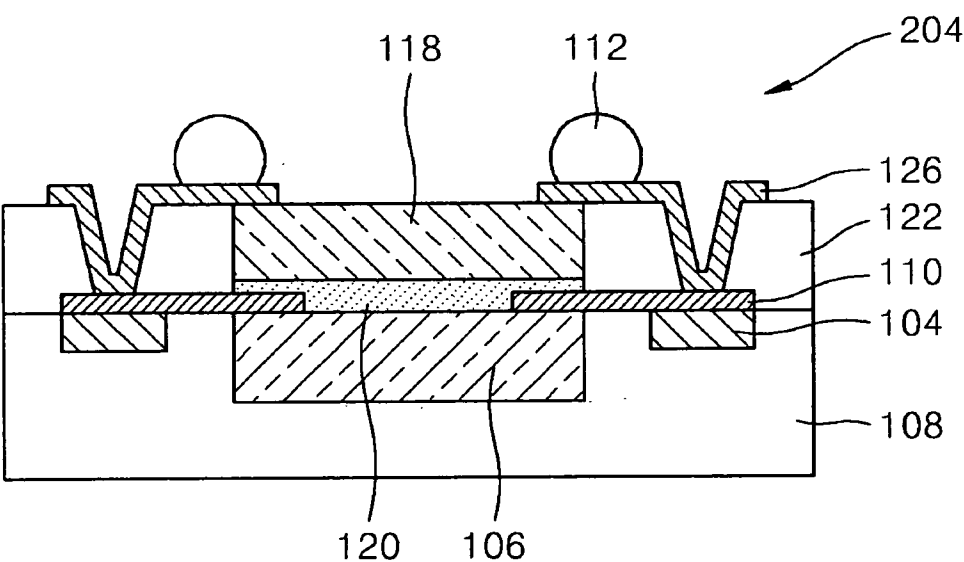


圖 8E

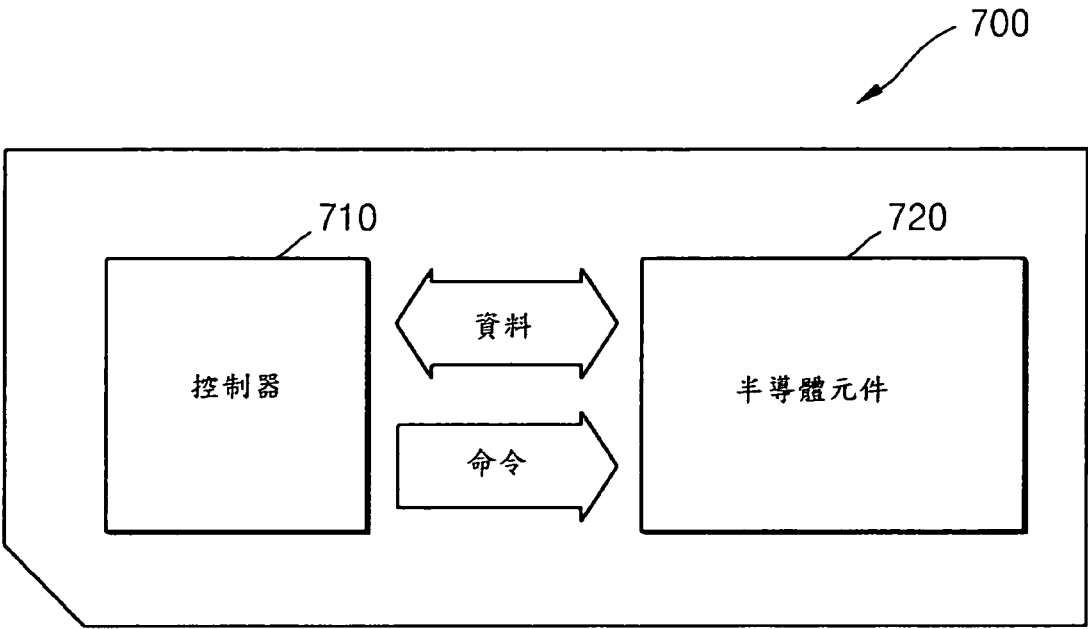


圖 9

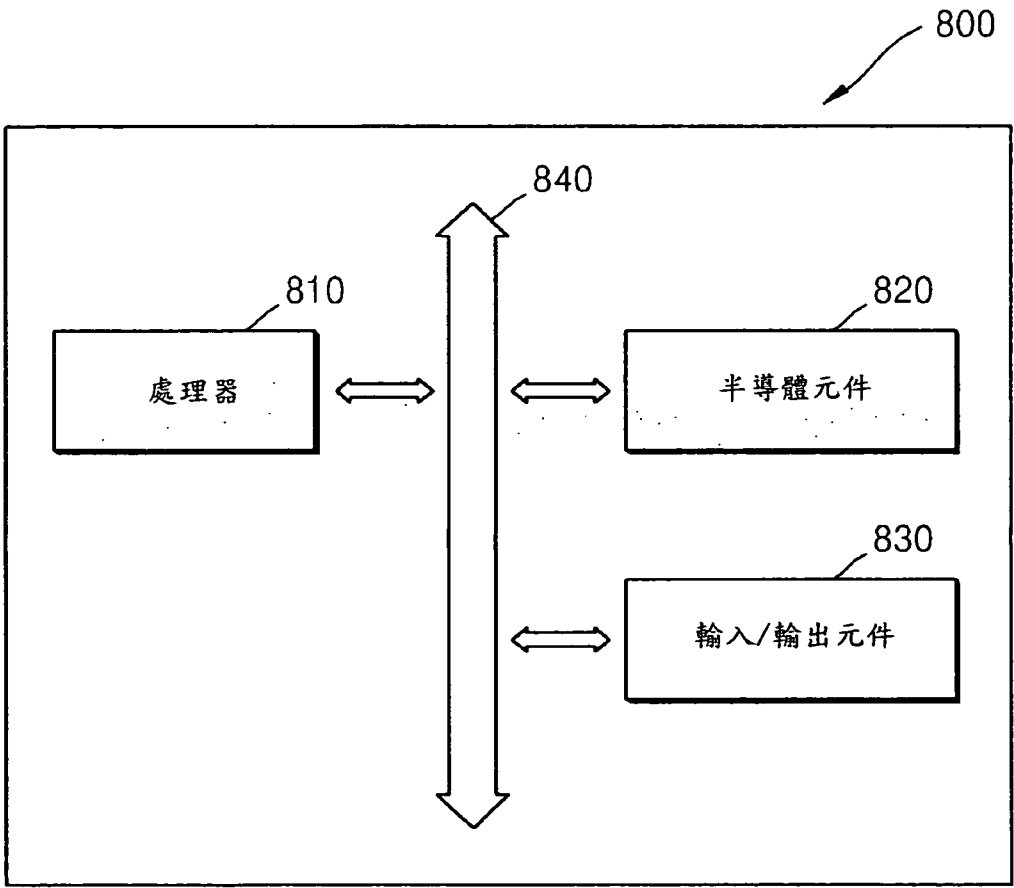


圖 10