(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年3月7日(07.03.2024)

WIPO | PCT

(10) 国際公開番号
WO 2024/047973 A1

(51) 国際特許分類:
H01G 2/06 (2006.01) *H01G 4/30* (2006.01)

(21) 国際出願番号： PCT/JP2023/019377

(22) 国際出願日： 2023年5月24日(24.05.2023)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2022-139916 2022年9月2日(02.09.2022) JP

(71) 出願人: 株式会社村田製作所 (**MURATA MANUFACTURING CO., LTD.**) [JP/JP]; 〒6178555 京都府長岡京市東神足１丁目１０番１号 Kyoto (JP).

(72) 発明者: 原田 敏宏 (**HARADA Toshihiro**); 〒6178555 京都府長岡京市東神足１丁目１０番１号 株式会社村田製作所内 Kyoto (JP).

(74) 代理人: 加藤 竜太, 外 (**KATO Ryuta** et al.); 〒1000005 東京都千代田区丸の内１－７－１２ サピアタワー Tokyo (JP).

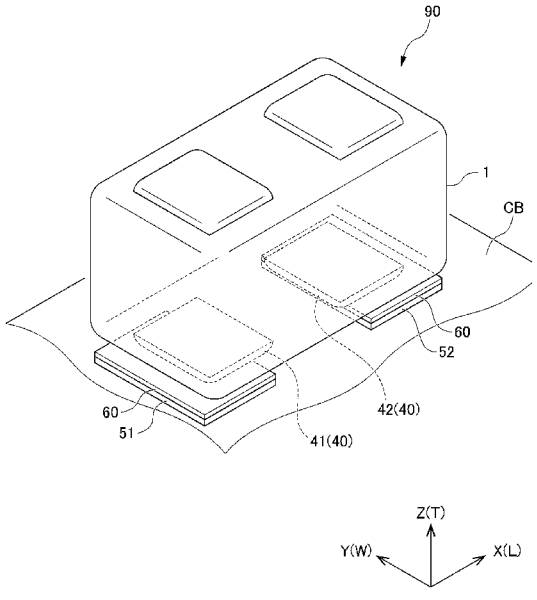
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,

(54) **Title:** LAYERED CERAMIC ELECTRONIC COMPONENT MOUNTING STRUCTURE

(54) 発明の名称： 積層セラミック電子部品の実装構造

図４



(57) **Abstract:** Provided is a layered ceramic electronic component mounting structure that suppresses a reduction in the stability of a mounting posture. A mounting structure 90 is a mounting structure in which a layered ceramic electronic component 1 is mounted on a circuit board CB. The layered ceramic electronic component 1 comprises: a layered body in which an inner conductor layer and a plurality of dielectric layers made of a ceramic material are layered; and a first outer electrode 41 and a second outer electrode 42 disposed on only two principal surfaces or on only one principal surface of the layered body. The circuit board CB comprises a first land electrode 51 and a second land electrode 52. An inside end of the first outer electrode 41 is positioned more toward the second outer electrode 42 side and the second land electrode 52 side than an inside end of the first land electrode 51, and an inside end of the second outer electrode 42 is positioned more toward the first outer electrode 41 side and the first land electrode 51 side than an inside end of the second land electrode 52.

WO 2024/047973 A1

［続葉有］

DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一　国際調査報告（条約第21条(3)）

(57) 要約：実装姿勢の安定性の低下を抑制する積層セラミック電子部品の実装構造を提供する。実装構造９０は、積層セラミック電子部品１が回路基板ＣＢに実装された実装構造である。積層セラミック電子部品１は、セラミック材料からなる複数の誘電体層と内部導体層とが積層された積層体と、積層体の２つの主面のみまたは一方の主面のみに配置された第１の外部電極４１および第２の外部電極４２とを備える。回路基板ＣＢは、第１のランド電極５１および第２のランド電極５２を備える。第１の外部電極４１の内側端は、第１のランド電極５１の内側端よりも、第２の外部電極４２側および第２のランド電極５２側に位置しており、第２の外部電極４２の内側端は、第２のランド電極５２の内側端よりも、第１の外部電極４１側および第１のランド電極５１側に位置している。

明　細　書

発明の名称 ： 積層セラミック電子部品の実装構造

技術分野

[0001]　本発明は、積層セラミック電子部品の実装構造に関する。

背景技術

[0002]　表面実装型電子部品として、セラミックを用いた積層セラミック電子部品が知られている。例えば特許文献１には、このような積層セラミック電子部品として、積層セラミックコンデンサが開示されている。このような積層セラミックコンデンサは、セラミック材料からなる複数の誘電体層と複数の内部電極層（内部導体層）とが積層された積層体と、積層体の２つの端面にそれぞれ配置された２つの外部電極とを備える。

[0003]　このような積層セラミック電子部品が回路基板に実装された実装構造では、積層セラミック電子部品の外部電極は、回路基板のランド電極に接続される。このような実装構造では、積層セラミック電子部品の実装工程において、積層セラミック電子部品の端面の外部電極にペーストはんだのフィレットが形成され、これにより、積層セラミック電子部品の実装姿勢が安定する。

先行技術文献

特許文献

[0004] 特許文献1：特開２０１６－７６５８２号公報

発明の概要

発明が解決しようとする課題

[0005]　このような積層セラミック電子部品において、より小型化が要望されている。また、このような積層セラミック電子部品の実装構造において、より高密度実装が要望されている。高密度実装の観点において、積層セラミック電子部品の端面の外部電極に形成されるペーストはんだのフィレットの占有面積を低減することが考えられる。この点に関し、積層セラミック電子部品の端面には外部電極を配置せず、積層セラミック電子部品の実装面に外部電極

を配置することが考えられる。

[0006] しかし、本願発明者（ら）の知見によれば、端面に外部電極が配置されていない積層セラミック電子部品では、積層セラミック電子部品の実装工程において、積層セラミック電子部品の端面にペーストはんだのフィレットが形成されていないため、積層セラミック電子部品の実装姿勢が安定せず、例えば浮いて傾いてしまうことがあった。このような実装姿勢の安定性の低下は、積層セラミック電子部品の小型化により、より顕著に発生してしまうことがあった。

[0007] 本発明は、実装姿勢の安定性の低下を抑制する積層セラミック電子部品の実装構造を提供することを目的とする。

課題を解決するための手段

[0008] 本発明に係る積層セラミック電子部品の実装構造は、積層セラミック電子部品が回路基板に実装された積層セラミック電子部品の実装構造である。前記積層セラミック電子部品は、セラミック材料からなる複数の誘電体層と内部導体層とが積層された積層体であって、厚さ方向に相対する２つの主面と、前記厚さ方向に交差する幅方向に相対する２つの側面と、前記厚さ方向および前記幅方向に交差する長さ方向に相対する２つの端面とを有した前記積層体と、前記積層体の前記２つの主面のみ、または、前記積層体の前記２つの主面のうちの一方の主面のみに、前記長さ方向に離間して配置された第１の外部電極および第２の外部電極とを備える。前記回路基板は、前記長さ方向に離間して配置されており、前記積層セラミック電子部品の前記第１の外部電極および前記第２の外部電極にそれぞれ接続された第１のランド電極および第２のランド電極を備える。前記第１の外部電極における前記長さ方向の前記第２の外部電極側の内側端は、前記第１のランド電極における前記長さ方向の前記第２のランド電極側の内側端よりも、前記第２の外部電極側および前記第２のランド電極側に位置しており、前記第２の外部電極における前記長さ方向の前記第１の外部電極側の内側端は、前記第２のランド電極における前記長さ方向の前記第１のランド電極側の内側端よりも、前記第１の

外部電極側および前記第１のランド電極側に位置している。

発明の効果

[0009] 本発明によれば、積層セラミック電子部品の実装構造において、実装姿勢の安定性の低下を抑制することができる。

図面の簡単な説明

[0010] [図1]本実施形態に係る積層セラミックコンデンサ（積層セラミック電子部品）を示す斜視図である。

[図2]図１に示す積層セラミックコンデンサ（積層セラミック電子部品）のII-II線断面図（ＷＴ断面）である。

[図3A]図２に示す積層セラミックコンデンサ（積層セラミック電子部品）のIIIA-IIIA線断面図（ＬＴ断面）である。

[図3B]図２に示す積層セラミックコンデンサ（積層セラミック電子部品）のIIIB-IIIB線断面図（ＬＴ断面）である。

[図4]本実施形態に係る積層セラミックコンデンサ（積層セラミック電子部品）の実装構造を示す斜視図である。

[図5]本実施形態に係る積層セラミックコンデンサ（積層セラミック電子部品）の実装構造を示す側面図である。

[図6]本実施形態に係る積層セラミックコンデンサ（積層セラミック電子部品）の実装構造を示す側面図である。

[図7]比較例に係る積層セラミックコンデンサ（積層セラミック電子部品）の実装構造を示す側面図である。

[図8]比較例に係る積層セラミックコンデンサ（積層セラミック電子部品）の実装構造を示す側面図である。

発明を実施するための形態

[0011] 以下、添付の図面を参照して本発明の実施形態の一例について説明する。なお、各図面において同一または相当の部分に対しては同一の符号を附すこととする。

[0012] 〈積層セラミックコンデンサ：積層セラミック電子部品〉

図１は、本実施形態に係る積層セラミックコンデンサ（積層セラミック電子部品）を示す斜視図であり、図２は、図１に示す積層セラミックコンデンサ（積層セラミック電子部品）のII-II線断面図（ＷＴ断面）である。図３Ａは、図２に示す積層セラミックコンデンサ（積層セラミック電子部品）のIIIA-IIIA線断面図（ＬＴ断面）であり、図３Ｂは、図２に示す積層セラミックコンデンサ（積層セラミック電子部品）のIIIB-IIIB線断面図（ＬＴ断面）である。図１～図３Ｂに示す積層セラミックコンデンサ（積層セラミック電子部品）１は、積層体１０と２組の外部電極４０とを備える。外部電極４０の各々は、第１の外部電極４１と第２の外部電極４２とを含む。

[0013] 図１～図３Ｂおよび後述する図面には、ＸＹＺ直交座標系が示されている。Ｘ方向は積層セラミックコンデンサ１および積層体１０の長さ方向Ｌであり、Ｙ方向は積層セラミックコンデンサ１および積層体１０の幅方向Ｗであり、Ｚ方向は積層セラミックコンデンサ１および積層体１０の厚さ方向Ｔである。これにより、図２に示す断面はＷＴ断面とも称され、図３Ａおよび図３Ｂに示す断面はＬＴ断面とも称される。

[0014] なお、長さ方向Ｌ、幅方向Ｗおよび厚さ方向Ｔは、必ずしも互いに直交する関係になるとは限らず、互いに交差する関係であってもよい。

[0015] 積層体１０は、略直方体形状であり、厚さ方向Ｔに相対する第１の主面ＴＳ１および第２の主面ＴＳ２と、幅方向Ｗに相対する第１の側面ＷＳ１および第２の側面ＷＳ２と、長さ方向Ｌに相対する第１の端面ＬＳ１および第２の端面ＬＳ２とを有する。

[0016] 積層体１０の角部および稜線部には、丸みがつけられていると好ましい。角部は、積層体１０の３面が交る部分であり、稜線部は、積層体１０の２面が交る部分である。

[0017] 図２、図３Ａおよび図３Ｂに示すように、積層体１０は、幅方向Ｗに積層された複数の誘電体層２０と複数の内部電極層３０とを有する。また、積層体１０は、幅方向Ｗ、すなわち積層方向に、内層部１００と、内層部１００を挟み込むように配置された第１の外層部１０１および第２の外層部１０２

とを有する。

[0018] 内層部１００は、複数の誘電体層２０の一部と複数の内部電極層（内部導体層）３０とを含む。内層部１００では、複数の内部電極層３０が誘電体層２０を介して対向して配置されている。内層部１００は、静電容量を発生させ実質的にコンデンサとして機能する部分（有効領域）である。

[0019] 第１の外層部１０１は、積層体１０の第１の側面ＷＳ１側に配置されており、第２の外層部１０２は、積層体１０の第２の側面ＷＳ２側に配置されている。より具体的には、第１の外層部１０１は、複数の内部電極層３０のうち第１の側面ＷＳ１に最も近い内部電極層３０と第１の側面ＷＳ１との間に配置されており、第２の外層部１０２は、複数の内部電極層３０のうち第２の側面ＷＳ２に最も近い内部電極層３０と第２の側面ＷＳ２との間に配置されている。第１の外層部１０１および第２の外層部１０２は、内部電極層３０を含まず、複数の誘電体層２０のうち内層部１００のための一部以外の部分をそれぞれ含む。第１の外層部１０１および第２の外層部１０２は、内層部１００の保護層として機能する部分である。

[0020] 誘電体層２０の材料としては、例えば、$BaTiO_3$、$CaTiO_3$、$SrTiO_3$、または$CaZrO_3$等を主成分として含む誘電体セラミックを用いることができる。また、誘電体層２０の材料としては、Ｍｎ化合物、Ｆｅ化合物、Ｃｒ化合物、Ｃｏ化合物、またはＮｉ化合物等を副成分として添加されてもよい。

より具体的には、誘電体層２０は、複数の誘電体グレインを含む。誘電体グレインは、Ｂａ、Ｔｉを含むペロブスカイト型化合物などのチタン酸バリウム系セラミックである。誘電体グレインは、Ｌａ、Ｃｅ、Ｐｒ、Ｎｄ、Ｓｍ、Ｅｕ、Ｇｄ、Ｔｂ、Ｄｙ、Ｈｏ、Ｅｒ、Ｔｍ、Ｙｂ、ＬｕおよびＹのうち少なくとも１種を副成分として含んでいてもよい。

[0021] 誘電体層２０の厚さは、特に限定されないが、例えば０．４０μｍ以上１．０μｍ以下であってもよい。誘電体層２０の枚数は、特に限定されないが、例えば１０枚以上１０００枚以下であってもよい。なお、この誘電体層２

０の枚数は、内層部の誘電体層の枚数と外層部の誘電体層の枚数との総数である。

[0022] 図２、図３Ａおよび図３Ｂに示すように、複数の内部電極層３０は、複数の第１の内部電極層３１および複数の第２の内部電極層３２を含む。複数の第１の内部電極層３１および複数の第２の内部電極層３２は、積層体１０の幅方向Ｗ、すなわち積層方向に交互に配置されている。

[0023] 第１の内部電極層３１は、対向電極部３１１と引出電極部３１２とを含み、第２の内部電極層３２は、対向電極部３２１と引出電極部３２２とを含む。

[0024] 対向電極部３１１と対向電極部３２１とは、積層体１０の幅方向Ｔ、すなわち積層方向において誘電体層２０を介して互いに対向している。対向電極部３１１および対向電極部３２１の形状は、特に限定されず、例えば略矩形状であればよい。対向電極部３１１と対向電極部３２１とは、静電容量を発生させ実質的にコンデンサとして機能する部分（有効領域）である。

[0025] 引出電極部３１２は、対向電極部３１１における積層体１０の第１の端面ＬＳ１側の部分から、積層体１０の第１の主面ＴＳ１に向けて延在し、第１の主面ＴＳ１において露出している。また、引出電極部３１２は、対向電極部３１１における積層体１０の第１の端面ＬＳ１側の部分から、積層体１０の第２の主面ＴＳ２に向けて延在し、第２の主面ＴＳ２において露出している。引出電極部３２２は、対向電極部３２１における積層体１０の第２の端面ＬＳ２側の部分から、積層体１０の第１の主面ＴＳ１に向けて延在し、第１の主面ＴＳ１において露出している。引出電極部３２２は、対向電極部３２１における積層体１０の第２の端面ＬＳ２側の部分から、積層体１０の第２の主面ＴＳ２に向けて延在し、第２の主面ＴＳ２において露出している。引出電極部３１２および引出電極部３２２の形状は、特に限定されず、例えば略矩形状であればよい。

[0026] これにより、第１の内部電極層３１は、積層体１０の第１の主面ＴＳ１および第２の主面ＴＳ２に配置された第１の外部電極４１に接続され、積層体

１０の第１の主面ＴＳ１および第２の主面ＴＳ２に配置された第２の外部電極４２と離間する。また、第２の内部電極層３２は、積層体１０の第１の主面ＴＳ１および第２の主面ＴＳ２に配置された第２の外部電極４２に接続され、積層体１０の第１の主面ＴＳ１および第２の主面ＴＳ２に配置された第１の外部電極４１と離間する。

[0027] 第１の内部電極層３１および第２の内部電極層３２は、金属Ｎｉを主成分として含む。また、第１の内部電極層３１および第２の内部電極層３２は、例えば、Ｃｕ、Ａｇ、Ｐｄ、またはＡｕ等の金属、またはＡｇ－Ｐｄ合金等の、それらの金属の少なくとも一種を含む合金、から選ばれる少なくとも１つを主成分として含んでもよいし、主成分以外の成分として含んでもよい。更に、第１の内部電極層３１および第２の内部電極層３２は、誘電体層２０に含まれるセラミックと同一組成系の誘電体の粒子を主成分以外の成分として含んでいてもよい。なお、本明細書において、主成分の金属とは、最も重量％が高い金属成分であると定める。

[0028] 第１の内部電極層３１および第２の内部電極層３２の厚さは、特に限定されないが、例えば０．２０μｍ以上１．００μｍ以下であってもよい。第１の内部電極層３１および第２の内部電極層３２の枚数は、特に限定されないが、例えば１０枚以上１０００枚以下であってもよい。

[0029] 上述した積層体１０の寸法は、特に限定されないが、例えば長さ方向Ｌの長さが０．２０ｍｍ以上１．００ｍｍ以下であり、幅方向Ｗの幅が０．１０ｍｍ以上０．５０ｍｍ以下であり、厚さ方向Ｔの厚さが０．１０ｍｍ以上０．５０ｍｍ以下であってもよい。

また、後述する外部電極４０を含む積層セラミックコンデンサ１の寸法は、特に限定されないが、例えば長さ方向Ｌの長さが０．２０ｍｍ以上１．００ｍｍ以下であり、幅方向Ｗの幅が０．１０ｍｍ以上０．５０ｍｍ以下であり、厚さ方向Ｔの厚さが０．１０ｍｍ以上０．５０ｍｍ以下であってもよい。

[0030] なお、誘電体層２０および内部電極層３０の厚さの測定方法としては、例えば研磨により露出させた積層体の長さ方向中央近傍のＷＴ断面を走査型電

子顕微鏡にて観察する方法が挙げられる。また、各値は、幅方向の複数個所の測定値の平均値であってもよいし、更に厚さ方向の複数個所の測定値の平均値であってもよい。

[0031] 同様に、積層体１０の厚さまたは積層セラミックコンデンサ１の厚さの測定方法としては、例えば研磨により露出させた積層体の長さ方向中央近傍のＷＴ断面、または、研磨により露出させた積層体または積層セラミックコンデンサの幅方向中央近傍のＬＴ断面を走査型電子顕微鏡にて観察する方法が挙げられる。また、各値は、長さ方向または幅方向の複数個所の測定値の平均値であってもよい。

同様に、積層体１０の長さまたは積層セラミックコンデンサ１の長さの測定方法としては、例えば研磨により露出させた積層体または積層セラミックコンデンサの幅方向中央近傍のＬＴ断面を走査型電子顕微鏡にて観察する方法が挙げられる。また、各値は、厚さ方向の複数個所の測定値の平均値であってもよい。

同様に、積層体１０の幅または積層セラミックコンデンサ１の幅の測定方法としては、例えば研磨により露出させた積層体または積層セラミックコンデンサの長さ方向中央近傍のＷＴ断面を走査型電子顕微鏡にて観察する方法が挙げられる。また、各値は、厚さ方向の複数個所の測定値の平均値であってもよい。

[0032] ２組の外部電極４０の各々は、第１の外部電極４１と第２の外部電極４２とを含む。

[0033] 第１の外部電極４１は、積層体１０の第２の主面ＴＳ２、具体的には第２の主面ＴＳ２における第１の端面ＬＳ１側の一部、に配置されており、第１の内部電極層３１に接続されている。また、第１の外部電極４１は、積層体１０の第１の主面ＴＳ１、具体的には第１の主面ＴＳ１における第１の端面ＬＳ１側の一部、に配置されており、第１の内部電極層３１に接続されている。第１の外部電極４１は、第１の端面ＬＳ１および２つの側面ＷＳ１，ＷＳ２には配置されていない。

[0034] 第２の外部電極４２は、積層体１０の第２の主面ＴＳ２、具体的には第２の主面ＴＳ２における第２の端面ＬＳ２側の一部、に配置されており、第２の内部電極層３２に接続されている。また、第２の外部電極４２は、積層体１０の第１の主面ＴＳ１、具体的には第１の主面ＴＳ１における第２の端面ＬＳ２側の一部、に配置されており、第２の内部電極層３２に接続されている。第２の外部電極４２は、第２の端面ＬＳ２および２つの側面ＷＳ１，ＷＳ２には配置されていない。

[0035] 本実施形態では、積層体１０の第１の主面ＴＳ１および第２の主面ＴＳ２の各々に２組の外部電極４０が形成された形態を例示したが、積層体１０の第１の主面ＴＳ１および第２の主面ＴＳ２のうちのいずれか一方の主面（実装面）のみに１組の外部電極４０が形成された形態であってもよい。この形態の場合、１組の外部電極４０が形成されない主面側には、引出電極３１２および３２２は形成されない。なお、表面実装型の電子部品では、上面と底面とが区別されないことが多いため、積層体１０の第１の主面ＴＳ１および第２の主面ＴＳ２の各々に２組の外部電極４０が形成されていることが好ましい。

[0036] 第１の外部電極４１および第２の外部電極４２の各々は、下地電極層とめっき層とを有する。なお、第１の外部電極４１および第２の外部電極４２の各々はめっき層のみから構成されていてもよい。

[0037] 下地電極層は、金属とガラスとを含む焼成層であってもよい。ガラスとしては、Ｂ、Ｓｉ、Ｂａ、Ｍｇ、Ａｌ、またはＬｉ等から選ばれる少なくとも１つを含むガラス成分が挙げられる。具体例として、ホウケイ酸ガラスを用いることができる。金属としては、Ｃｕを主成分として含む。また、金属としては、例えばＮｉ、Ａｇ、Ｐｄ、またはＡｕ等の金属、またはＡｇ－Ｐｄ合金等の合金、から選ばれる少なくとも１つを主成分として含んでもよいし、主成分以外の成分として含んでもよい。

[0038] 焼成層は、金属およびガラスを含む導電性ペーストをディップ法によって積層体に塗布して焼成した層である。なお、内部電極層の焼成後に焼成され

てもよく、内部電極層と同時に焼成されてもよい。また、焼成層は、複数層であってもよい。

[0039] 或いは、下地電極層は、導電性粒子と熱硬化性樹脂とを含む樹脂層であってもよい。樹脂層は、上述した焼成層上に形成されてもよいし、焼成層を形成せずに積層体に直接形成されてもよい。

[0040] 樹脂層は、導電性粒子と熱硬化性樹脂とを含む導電性ペーストを塗布法によって積層体に塗布して焼成した層である。なお、内部電極層の焼成後に焼成されてもよく、内部電極層と同時に焼成されてもよい。また、樹脂層は、複数層であってもよい。

[0041] 焼成層または樹脂層としての下地電極層の一層あたりの厚さとしては、特に限定されず、１μｍ以上１０μｍ以下であってもよい。

[0042] 或いは、下地電極層は、スパッタ法または蒸着法等の薄膜形成法により形成され、金属粒子が堆積された１μｍ以下の薄膜層であってもよい。

[0043] めっき層は、下地電極層の少なくとも一部を覆う。めっき層としては、例えば、Ｃｕ、Ｎｉ、Ａｇ、Ｐｄ、またはＡｕ等の金属、またはＡｇ－Ｐｄ合金等の合金から選ばれる少なくとも１つを含む。

[0044] めっき層は複数層により形成されていてもよい。好ましくは、Ｎｉめっきおよびｎめっきの２層構造である。Ｎｉめっき層は、下地電極層がセラミック電子部品を実装する際のはんだによって侵食されることを防止することができ、Ｓｎめっき層は、セラミック電子部品を実装する際のはんだの濡れ性を向上させ、容易に実装することができる。

[0045] めっき層の一層あたりの厚さとしては、特に限定されず、１μｍ以上１０μｍ以下であってもよい。

[0046]〈製造方法〉

次に、上述した積層セラミックコンデンサ１の製造方法について説明する。まず、誘電体層２０用の誘電体シートおよび内部電極層３０用の導電性ペーストを準備する。誘電体シートおよび導電性ペーストには、バインダおよび溶剤が含まれる。バインダおよび溶剤としては公知の材料を用いることが

できる。

[0047] 次に、誘電体シート上に導電性ペーストを、例えば所定のパターンで印刷することにより、誘電体シート上に内部電極パターンを形成する。内部電極パターンの形成方法としては、スクリーン印刷またはグラビア印刷等を用いることができる。

[0048] 次に、内部電極パターンが印刷されていない第２の外層部１０２用の誘電体シートを所定枚数積層する。その上に、内部電極パターンが印刷された内層部１００用の誘電体シートを順次積層する。その上に、内部電極パターンが印刷されていない第１の外層部１０１用の誘電体シートを所定枚数積層する。これにより、積層シートが作製される。

[0049] 次に、静水圧プレス等の手段により、積層シートを積層方向にプレスし、積層ブロックを作製する。次に、積層ブロックを所定のサイズにカットし、積層チップを切り出す。このとき、バレル研磨等により積層チップの角部および稜線部に丸みをつける。次に、積層チップを焼成し、積層体１０を作製する。焼成温度は、誘電体や内部電極の材料にもよるが、９００℃以上１４００℃以下であることが好ましい。

[0050] 次に、塗布法を用いて、積層体１０の第２の主面ＴＳ２および第１の主面ＴＳ１に下地電極層用の電極材料である導電性ペーストを塗布する。その後、これらの導電性ペーストを焼成することにより、焼成層である下地電極層が形成される。焼成温度は、６００℃以上９００℃以下であることが好ましい。

[0051] なお、スパッタ法または蒸着法等の薄膜形成法により、薄膜である下地電極層を形成してもよい。

[0052] また、上述では、積層チップを焼成した後に下地電極層を形成して焼成した、すなわち積層体と外部電極とを別々に焼成した。しかし、積層チップを焼成する前に下地電極層を形成して焼成してもよい、すなわち、積層体と外部電極とを同時に焼成してもよい。

[0053] その後、下地電極層の表面にめっき層を形成して第１の外部電極４１およ

び第２の外部電極４２を形成する。以上の工程により、上述した積層セラミックコンデンサ１が得られる。

[0054]〈実装構造〉

次に、上述した積層セラミックコンデンサ１が回路基板に実装された実装構造について説明する。図４は、本実施形態に係る積層セラミックコンデンサ（積層セラミック電子部品）の実装構造を示す斜視図である。図４に示すように、実装構造９０は、回路基板ＣＢと、積層セラミックコンデンサ１とを備える。

[0055] 回路基板ＣＢは、長さ方向Ｌに離間して配置された第１のランド電極５１および第２のランド電極５２を備える。積層セラミックコンデンサ１は、上述したように、少なくとも第２の主面ＴＳ２（実装面）に、長さ方向Ｌに離間して配置された第１の外部電極４１および第２の外部電極４２を備える。積層セラミックコンデンサ１の第１の外部電極４１は、ペーストはんだ６０を介して回路基板ＣＢの第１のランド電極５１に接続されており、積層セラミックコンデンサ１の第２の外部電極４２は、ペーストはんだ６０を介して回路基板ＣＢの第２のランド電極５２に接続されている。

[0056] 第１の外部電極４１における長さ方向Ｌの第２の外部電極４２側と反対側の外側端は、第１のランド電極５１における長さ方向Ｌの第２のランド電極５２側と反対側の外側端よりも、第２の外部電極４２側および第２のランド電極５２側に位置している。また、第２の外部電極４２における長さ方向Ｌの第１の外部電極４１側と反対側の外側端は、第２のランド電極５２における長さ方向Ｌの第１のランド電極５１側と反対側の外側端よりも、第１の外部電極４１側および第１のランド電極５１側に位置している。

[0057] 第１の外部電極４１における長さ方向Ｌの第２の外部電極４２側の内側端は、第１のランド電極５１における長さ方向Ｌの第２のランド電極５２側の内側端よりも、第２の外部電極４２側および第２のランド電極５２側に位置している。また、第２の外部電極４２における長さ方向Ｌの第１の外部電極４１側の内側端は、第２のランド電極５２における長さ方向Ｌの第１のラン

ド電極５１側の内側端よりも、第１の外部電極４１側および第１のランド電極５１側に位置している。

[0058] 第１の外部電極４１の内側端と第２の外部電極４２の内側端との間隔は、第１のランド電極５１の内側端と第２のランド電極５２の内側端との間隔よりも短いと好ましい。

[0059] 第１の外部電極４１および第２の外部電極４２の各々の長さ方向Ｌの寸法は、第１のランド電極５１および第２のランド電極５２の各々の長さ方向Ｌの寸法の７４％以上であると好ましい。

[0060] 第１の外部電極４１および第２の外部電極４２の各々の幅方向Ｗの寸法は、０．１２ｍｍ以上０．２１ｍｍ以下であってもよい。

[0061] ここで、表面実装型の積層セラミック電子部品としては、端面に外部電極が配置された形状がよく知られている。このような積層セラミック電子部品では、積層セラミック電子部品を回路基板に実装する実装工程において、積層セラミック電子部品の端面の外部電極にペーストはんだのフィレットが形成され、これにより、積層セラミック電子部品の実装姿勢が安定する（実装性）。

[0062] ところで、このような積層セラミック電子部品において、より小型化が要望されている。また、このような積層セラミック電子部品の実装構造において、より高密度実装が要望されている。高密度実装の観点において、積層セラミック電子部品の端面の外部電極に形成されるペーストはんだのフィレットの占有面積を低減することが考えられる。この点に関し、積層セラミック電子部品の端面には外部電極を配置せず、積層セラミック電子部品の実装面に外部電極を配置することが考えられる。

[0063] しかし、本願発明者（ら）の知見によれば、端面に外部電極が配置されていない積層セラミック電子部品では、積層セラミック電子部品の実装工程において、積層セラミック電子部品の端面にペーストはんだのフィレットが形成されていないため、積層セラミック電子部品の実装姿勢が安定せず、例えば浮いて傾いてしまうことがあった。このような実装姿勢の安定性の低下は

、積層セラミック電子部品の小型化により、より顕著に発生してしまうことがあった。

[0064] 本願発明者（ら）の実験結果によれば、以下の知見が得られている。図５および図６は、本実施形態に係る積層セラミックコンデンサ（積層セラミック電子部品）の実装構造を示す側面図であり、図７および図８は、比較例に係る積層セラミックコンデンサ（積層セラミック電子部品）の実装構造を示す側面図である。

[0065] 図６に示す実施形態の実装構造９０は、図５に示す実施形態の実装構造９０と比較して、主に以下の点で異なる。

・第１の外部電極４１の内側端と第２の外部電極４２の内側端との間隔が短く、

・第１の外部電極４１の内側端は、第１のランド電極５１の内側端よりも、更に第２の外部電極４２側および第２のランド電極５２側に位置しており、

・第２の外部電極４２の内側端は、第２のランド電極５２の内側端よりも、更に第１の外部電極４１側および第１のランド電極５１側に位置している。

[0066] 図７に示す比較例の実装構造９０Ｘでは、図５に示す実施形態の実装構造９０と比較して、主に以下の点が異なる。

・積層セラミックコンデンサ１Ｘの第１の外部電極４１Ｘおよび第２の外部電極４２Ｘの各々の大きさが小さく、換言すれば、第１の外部電極４１Ｘおよび第２の外部電極４２Ｘの各々の長さ方向Ｌの寸法は、第１のランド電極５１および第２のランド電極５２の各々の長さ方向Ｌの寸法の７４％未満であり、

・積層セラミックコンデンサ１Ｘの第１の外部電極４１Ｘの内側端は、第１のランド電極５１の内側端と、長さ方向Ｌにおいて略同じ位置に位置しており、

・積層セラミックコンデンサ１Ｘの第２の外部電極４２Ｘの内側端は、第２のランド電極５２の内側端と、長さ方向Ｌにおいて略同じ位置に位置している。

[0067] 図８に示す比較例の実装構造９０Ｘでは、図５に示す実施形態の実装構造９０と比較して、主に以下の点が異なる。

・積層セラミックコンデンサ１Ｘの第１の外部電極４１Ｘおよび第２の外部電極４２Ｘの各々の大きさが小さく、換言すれば、第１の外部電極４１Ｘおよび第２の外部電極４２Ｘの各々の長さ方向Ｌの寸法は、第１のランド電極５１および第２のランド電極５２の各々の長さ方向Ｌの寸法の７４％未満であり、

・積層セラミックコンデンサ１Ｘの第１の外部電極４１Ｘの内側端と第２の外部電極４２Ｘの内側端との間隔が長く、

・積層セラミックコンデンサ１Ｘの第１の外部電極４１Ｘの内側端は、第１のランド電極５１の内側端よりも、第２の外部電極４２Ｘ側および第２のランド電極５２側と反対側に位置しており、

・積層セラミックコンデンサ１Ｘの第２の外部電極４２Ｘの内側端は、第２のランド電極５２の内側端よりも、第１の外部電極４１Ｘ側および第１のランド電極５１側と反対側に位置している。

[0068] 図５～図８に示すように、

・第１の外部電極４１（４１Ｘ）の外側端は、第１のランド電極５１の外側端よりも、第２の外部電極４２（４２Ｘ）側および第２のランド電極５２側に位置しており、

・第２の外部電極４２（４２Ｘ）の外側端は、第２のランド電極５２の外側端よりも、第１の外部電極４１（４１Ｘ）側および第１のランド電極５１側に位置していると、

積層セラミックコンデンサ１（１Ｘ）の実装工程において、ペーストはんだ６０から外部電極４１，４２（４１Ｘ，４２Ｘ）の外側端に作用する力は、長さ方向Ｌの内側に向くと考えられる（図５～図８における矢印参照）。

[0069] 一方、図８に示すように、

・第１の外部電極４１Ｘの内側端は、第１のランド電極５１の内側端よりも、第２の外部電極４２Ｘ側および第２のランド電極５２側と反対側に位置し

ており、

・第２の外部電極４２Ｘの内側端は、第２のランド電極５２の内側端よりも、第１の外部電極４１Ｘ側および第１のランド電極５１側と反対側に位置していると、

積層セラミックコンデンサ１Ｘの実装工程において、ペーストはんだ６０から外部電極４１Ｘ，４２Ｘの内側端に作用する力は、長さ方向Ｌの外側に向くと考えられる（図８における矢印参照）。このように、外部電極４１Ｘ，４２Ｘの外側端に作用する力と外部電極４１Ｘ，４２Ｘの内側端に作用する力とが長さ方向Ｌで向き合う方向となると、積層セラミックコンデンサ１Ｘが浮いて傾いてしまうと考えられる。

[0070] また、図７に示すように、

・第１の外部電極４１Ｘの内側端は、第１のランド電極５１の内側端と、長さ方向Ｌにおいて略同じ位置に位置しており、

・第２の外部電極４２Ｘの内側端は、第２のランド電極５２の内側端と、長さ方向Ｌにおいて略同じ位置に位置していると、

積層セラミックコンデンサ１Ｘの実装工程において、ペーストはんだ６０から外部電極４１Ｘ，４２Ｘの内側端に作用する力は、上方に向くと考えられる（図７における矢印参照）。このように、外部電極４１Ｘ，４２Ｘの外側端に作用する力の方向と外部電極４１Ｘ，４２Ｘの内側端に作用する力の方向とが長さ方向Ｌで異なると、積層セラミックコンデンサ１Ｘが浮いて傾いてしまうと考えられる。

[0071] これに対して、図５および図８に示すように、

・第１の外部電極４１の内側端は、第１のランド電極５１の内側端よりも、第２の外部電極４２側および第２のランド電極５２側に位置しており、

・第２の外部電極４２の内側端は、第２のランド電極５２の内側端よりも、第１の外部電極４１側および第１のランド電極５１側に位置していると、

積層セラミックコンデンサ１の実装工程において、ペーストはんだ６０から外部電極４１，４２の内側端に作用する力は、長さ方向Ｌの内側に向くと考

えられる（図５および図６における矢印参照）。このように、外部電極４１，４２の外側端に作用する力と外部電極４１，４２の内側端に作用する力とが長さ方向Ｌで同じ方向となると、積層セラミックコンデンサ１が浮いて傾いてしまうことを抑制することができると考えられる。

[0072] 以上説明したように、本実施形態の積層セラミックコンデンサ（積層セラミック電子部品）１の実装構造９０によれば、

・第１の外部電極４１における長さ方向Ｌの第２の外部電極４２側の内側端は、第１のランド電極５１における長さ方向Ｌの第２のランド電極５２側の内側端よりも、第２の外部電極４２側および第２のランド電極５２側に位置しており、

・第２の外部電極４２における長さ方向Ｌの第１の外部電極４１側の内側端は、第２のランド電極５２における長さ方向Ｌの第１のランド電極５１側の内側端よりも、第１の外部電極４１側および第１のランド電極５１側に位置しているので、積層セラミックコンデンサ１の実装工程において、積層セラミックコンデンサ１が浮いて傾いてしまうことを抑制することができ、積層セラミックコンデンサ１の実装姿勢の安定性の低下を抑制することができる。

[0073] また、本実施形態の積層セラミックコンデンサ（積層セラミック電子部品）１の実装構造９０によれば、第１の外部電極４１の内側端と第２の外部電極４２の内側端との間隔は、第１のランド電極５１の内側端と第２のランド電極５２の内側端との間隔よりも短いと好ましい。これにより、上述した第１の外部電極４１の内側端と第１のランド電極５１の内側端との位置関係、および、第２の外部電極４２の内側端と第２のランド電極５２の内側端との位置関係を実現し易い。

[0074] また、本実施形態の積層セラミックコンデンサ（積層セラミック電子部品）１の実装構造９０によれば、第１の外部電極４１および第２の外部電極４２の各々の長さ方向Ｌの寸法は、第１のランド電極５１および第２のランド電極５２の各々の長さ方向Ｌの寸法の７４％以上であると好ましい。これに

より、外部電極とペーストはんだとの接触面積を大きくすることができ、積層セラミックコンデンサ１の実装工程において、積層セラミックコンデンサ１が浮いて傾いてしまうことをより抑制することができ、積層セラミックコンデンサ１の実装姿勢の安定性の低下をより抑制することができる。

[0075] また、本実施形態の積層セラミックコンデンサ（積層セラミック電子部品）１の実装構造９０によれば、第１の外部電極４１および第２の外部電極４２の各々の幅方向Wの寸法は、０．１２ｍｍ以上０．２１ｍｍ以下であってもよい。このように、小型化の積層セラミックコンデンサ１において特に、上述した効果を奏する。

[0076] 以上、本発明の実施形態について説明したが、本発明は上述した実施形態に限定されることなく、種々の変更および変形が可能である。例えば、上述した実施形態では、積層セラミック電子部品として、誘電体セラミックを用いた積層セラミックコンデンサを例示した。しかし、本発明の外部電極の特徴は、これに限定されず、圧電体セラミックを用いた圧電部品、半導体セラミックを用いたサーミスタ、磁性体セラミックを用いたインダクタ等の種々の積層セラミック電子部品にも適用可能である。圧電体セラミックとしてはＰＺＴ系セラミック等が挙げられ、半導体セラミックとしてはスピネル系セラミック等が挙げられ、磁性体セラミックとしてはフェライト等が挙げられる。

[0077] また、本発明は以下のような形態であってもよい。

＜１＞ 積層セラミック電子部品が回路基板に実装された積層セラミック電子部品の実装構造であって、

前記積層セラミック電子部品は、

セラミック材料からなる複数の誘電体層と内部導体層とが積層された積層体であって、厚さ方向に相対する２つの主面と、前記厚さ方向に交差する幅方向に相対する２つの側面と、前記厚さ方向および前記幅方向に交差する長さ方向に相対する２つの端面とを有した前記積層体と、

前記積層体の前記２つの主面のみ、または、前記積層体の前記２つの主

面のうちの一方の主面のみに、前記長さ方向に離間して配置された第１の外部電極および第２の外部電極と、

を備え、

前記回路基板は、前記長さ方向に離間して配置されており、前記積層セラミック電子部品の前記第１の外部電極および前記第２の外部電極にそれぞれ接続された第１のランド電極および第２のランド電極を備え、

前記第１の外部電極における前記長さ方向の前記第２の外部電極側の内側端は、前記第１のランド電極における前記長さ方向の前記第２のランド電極側の内側端よりも、前記第２の外部電極側および前記第２のランド電極側に位置しており、

前記第２の外部電極における前記長さ方向の前記第１の外部電極側の内側端は、前記第２のランド電極における前記長さ方向の前記第１のランド電極側の内側端よりも、前記第１の外部電極側および前記第１のランド電極側に位置している、

積層セラミック電子部品の実装構造。

[0078] ＜２＞　前記第１の外部電極における前記長さ方向の前記内側端の反対側の外側端は、前記第１のランド電極における前記長さ方向の前記内側端の反対側の外側端よりも、前記第２の外部電極側および前記第２のランド電極側に位置しており、

前記第２の外部電極における前記長さ方向の前記内側端の反対側の外側端は、前記第２のランド電極における前記長さ方向の前記内側端の反対側の外側端よりも、前記第１の外部電極側および前記第１のランド電極側に位置している、

＜１＞に記載の積層セラミック電子部品の実装構造。

[0079] ＜３＞　前記第１の外部電極の前記内側端と前記第２の外部電極の前記内側端との間隔は、前記第１のランド電極の前記内側端と前記第２のランド電極の前記内側端との間隔よりも短い、＜１＞または＜２＞に記載の積層セラミック電子部品の実装構造。

[0080] ＜４＞　前記第１の外部電極および前記第２の外部電極の各々の前記長さ方向の寸法は、前記第１のランド電極および前記第２のランド電極の各々の前記長さ方向の寸法の７４％以上である、＜１＞から＜３＞のいずれか１項に記載の積層セラミック電子部品の実装構造。

[0081] ＜５＞　前記第１の外部電極および前記第２の外部電極の各々の前記幅方向の寸法は、０．１２ｍｍ以上０．２１ｍｍ以下である、＜１＞から＜４＞のいずれか１項に記載の積層セラミック電子部品の実装構造。

符号の説明

[0082]
１　積層セラミックコンデンサ（積層セラミック電子部品）
１０　積層体
２０　誘電体層
３０　内部電極層（内部導体層）
３１　第１の内部電極層
３１１　対向電極部
３１２　引出電極部
３２　第２の内部電極層
３２１　対向電極部
３２２　引出電極部
４０　外部電極
４１　第１の外部電極
４２　第２の外部電極
５１　第１のランド電極
５２　第２のランド電極
６０　ペーストはんだ
９０　実装構造
１００　内層部
１０１　第１の外層部
１０２　第２の外層部

Ｌ　長さ方向

Ｔ　厚さ方向

Ｗ　幅方向

ＬＳ１　第１の端面

ＬＳ２　第２の端面

ＴＳ１　第１の主面

ＴＳ２　第２の主面

ＷＳ１　第１の側面

ＷＳ２　第２の側面

ＣＢ　回路基板

請求の範囲

[請求項1] 積層セラミック電子部品が回路基板に実装された積層セラミック電子部品の実装構造であって、

前記積層セラミック電子部品は、

セラミック材料からなる複数の誘電体層と内部導体層とが積層された積層体であって、厚さ方向に相対する２つの主面と、前記厚さ方向に交差する幅方向に相対する２つの側面と、前記厚さ方向および前記幅方向に交差する長さ方向に相対する２つの端面とを有した前記積層体と、

前記積層体の前記２つの主面のみ、または、前記積層体の前記２つの主面のうちの一方の主面のみに、前記長さ方向に離間して配置された第１の外部電極および第２の外部電極と、

を備え、

前記回路基板は、前記長さ方向に離間して配置されており、前記積層セラミック電子部品の前記第１の外部電極および前記第２の外部電極にそれぞれ接続された第１のランド電極および第２のランド電極を備え、

前記第１の外部電極における前記長さ方向の前記第２の外部電極側の内側端は、前記第１のランド電極における前記長さ方向の前記第２のランド電極側の内側端よりも、前記第２の外部電極側および前記第２のランド電極側に位置しており、

前記第２の外部電極における前記長さ方向の前記第１の外部電極側の内側端は、前記第２のランド電極における前記長さ方向の前記第１のランド電極側の内側端よりも、前記第１の外部電極側および前記第１のランド電極側に位置している、

積層セラミック電子部品の実装構造。

[請求項2] 前記第１の外部電極における前記長さ方向の前記内側端の反対側の外側端は、前記第１のランド電極における前記長さ方向の前記内側端

の反対側の外側端よりも、前記第２の外部電極側および前記第２のランド電極側に位置しており、

前記第２の外部電極における前記長さ方向の前記内側端の反対側の外側端は、前記第２のランド電極における前記長さ方向の前記内側端の反対側の外側端よりも、前記第１の外部電極側および前記第１のランド電極側に位置している、

請求項１に記載の積層セラミック電子部品の実装構造。

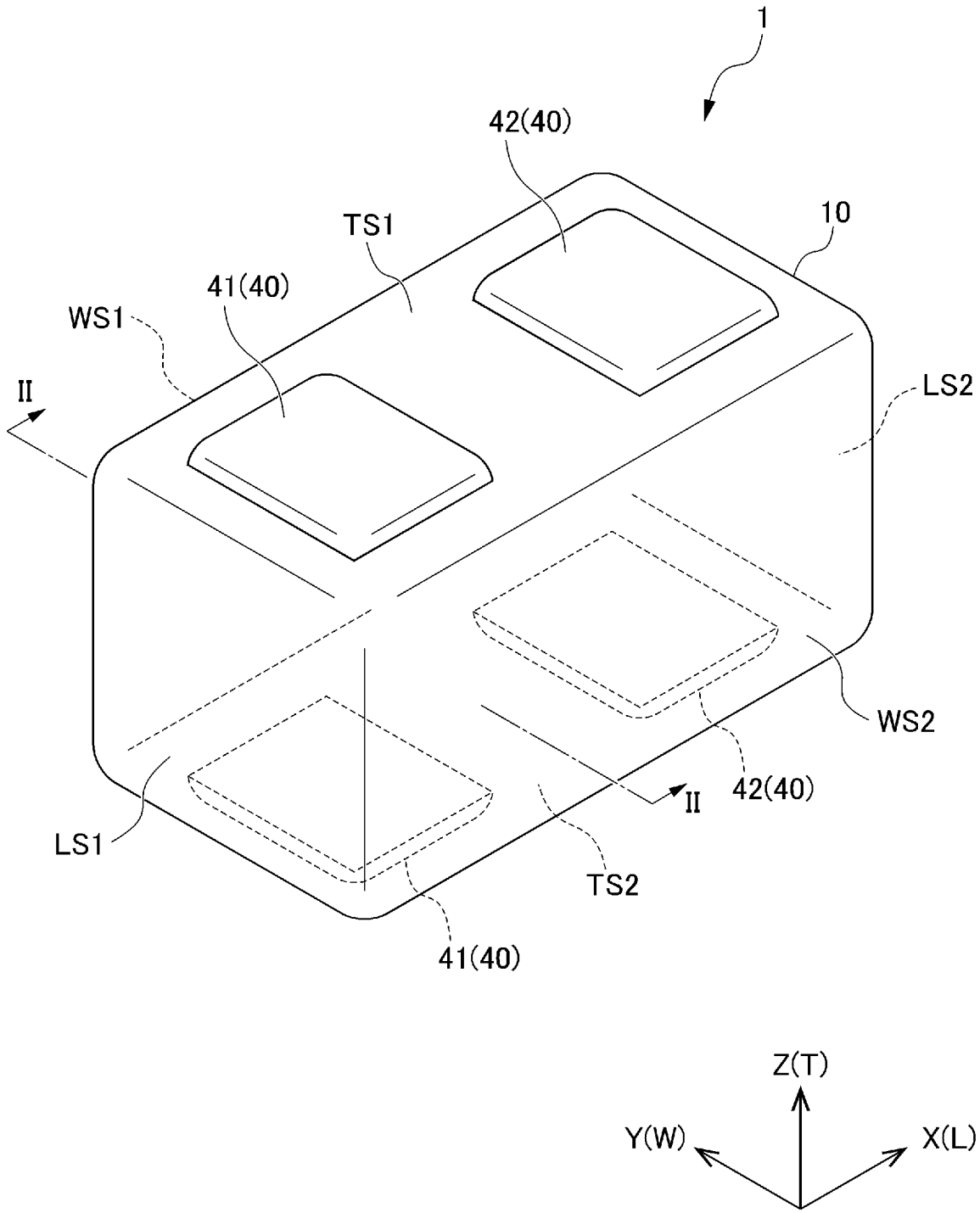
[請求項3] 前記第１の外部電極の前記内側端と前記第２の外部電極の前記内側端との間隔は、前記第１のランド電極の前記内側端と前記第２のランド電極の前記内側端との間隔よりも短い、請求項１または２に記載の積層セラミック電子部品の実装構造。

[請求項4] 前記第１の外部電極および前記第２の外部電極の各々の前記長さ方向の寸法は、前記第１のランド電極および前記第２のランド電極の各々の前記長さ方向の寸法の７４％以上である、請求項１～３のいずれか１項に記載の積層セラミック電子部品の実装構造。

[請求項5] 前記第１の外部電極および前記第２の外部電極の各々の前記幅方向の寸法は、０．１２ｍｍ以上０．２１ｍｍ以下である、請求項１～４のいずれか１項に記載の積層セラミック電子部品の実装構造。

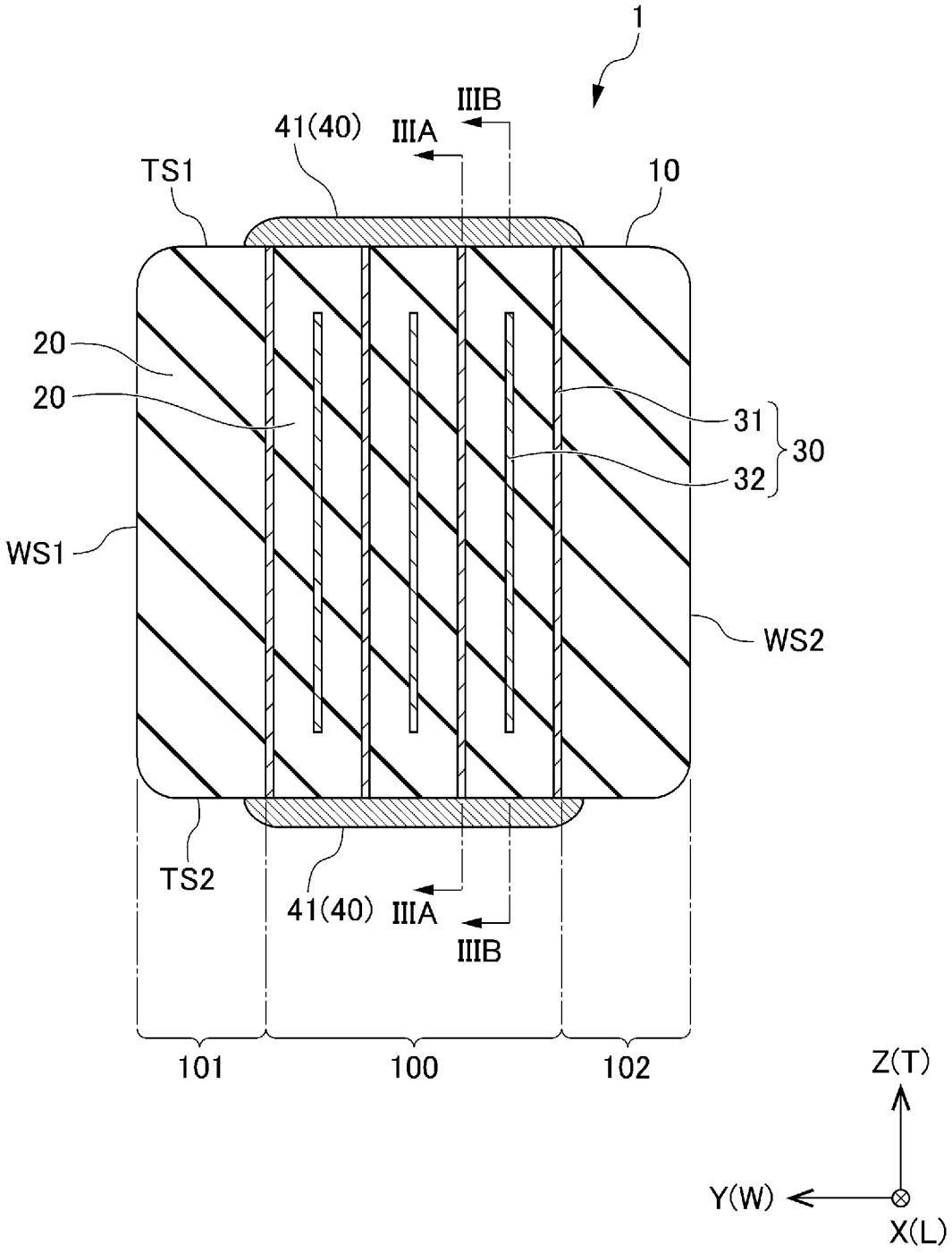
[図1]

図 1



[図2]

図 2


1
IIIB
41(40)
IIIA
TS1
10
20
20
31
30
32
WS1
WS2
TS2
41(40)
IIIA
IIIB
101
100
102
Z(T)
Y(W)
X(L)

[図3A]

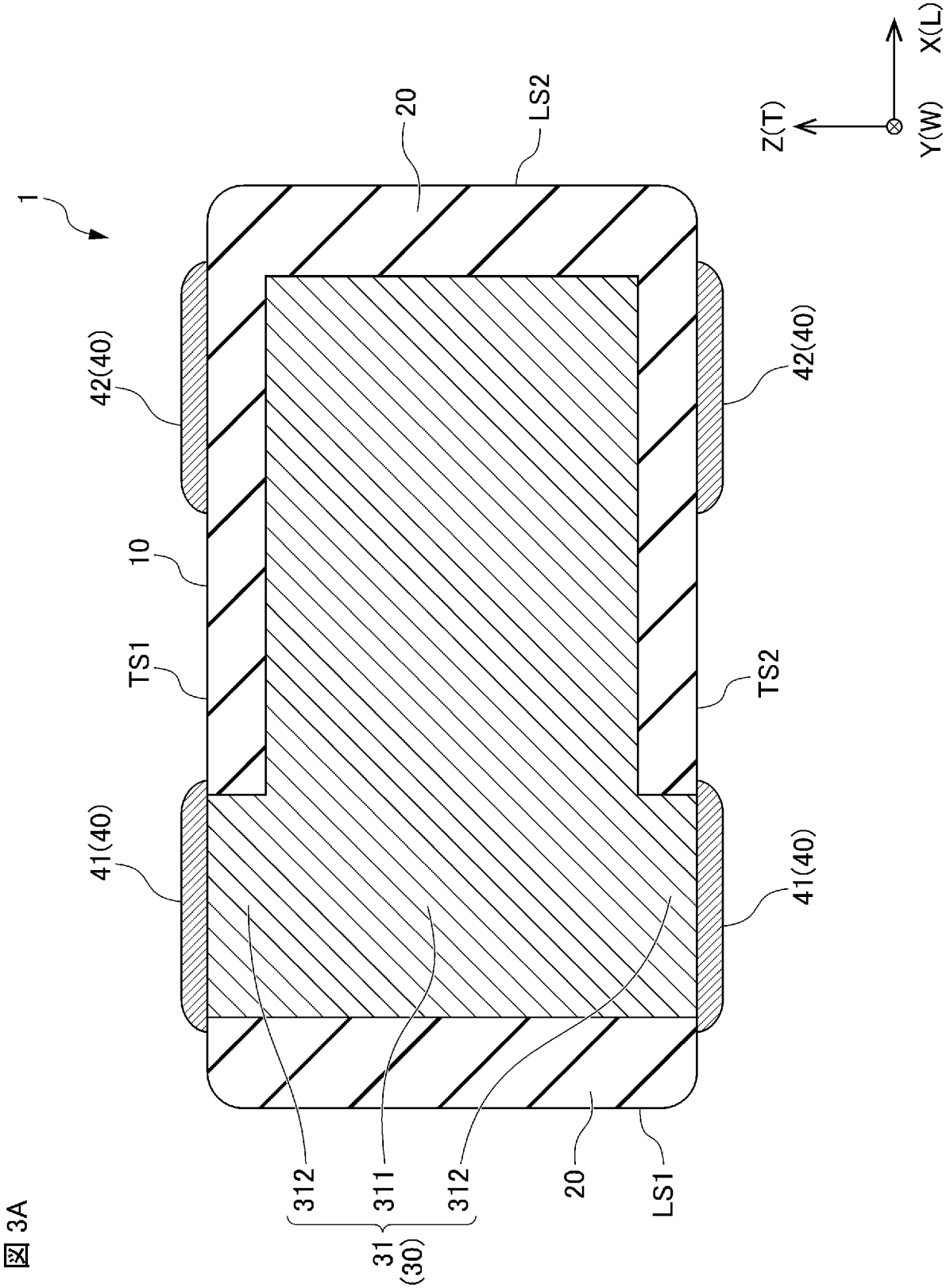

1
20
LS2
Z(T)
X(L)
Y(W)
42(40)
42(40)
10
TS1
TS2
41(40)
41(40)
312
311
312
31
(30)
20
LS1

図 3A

[図3B]

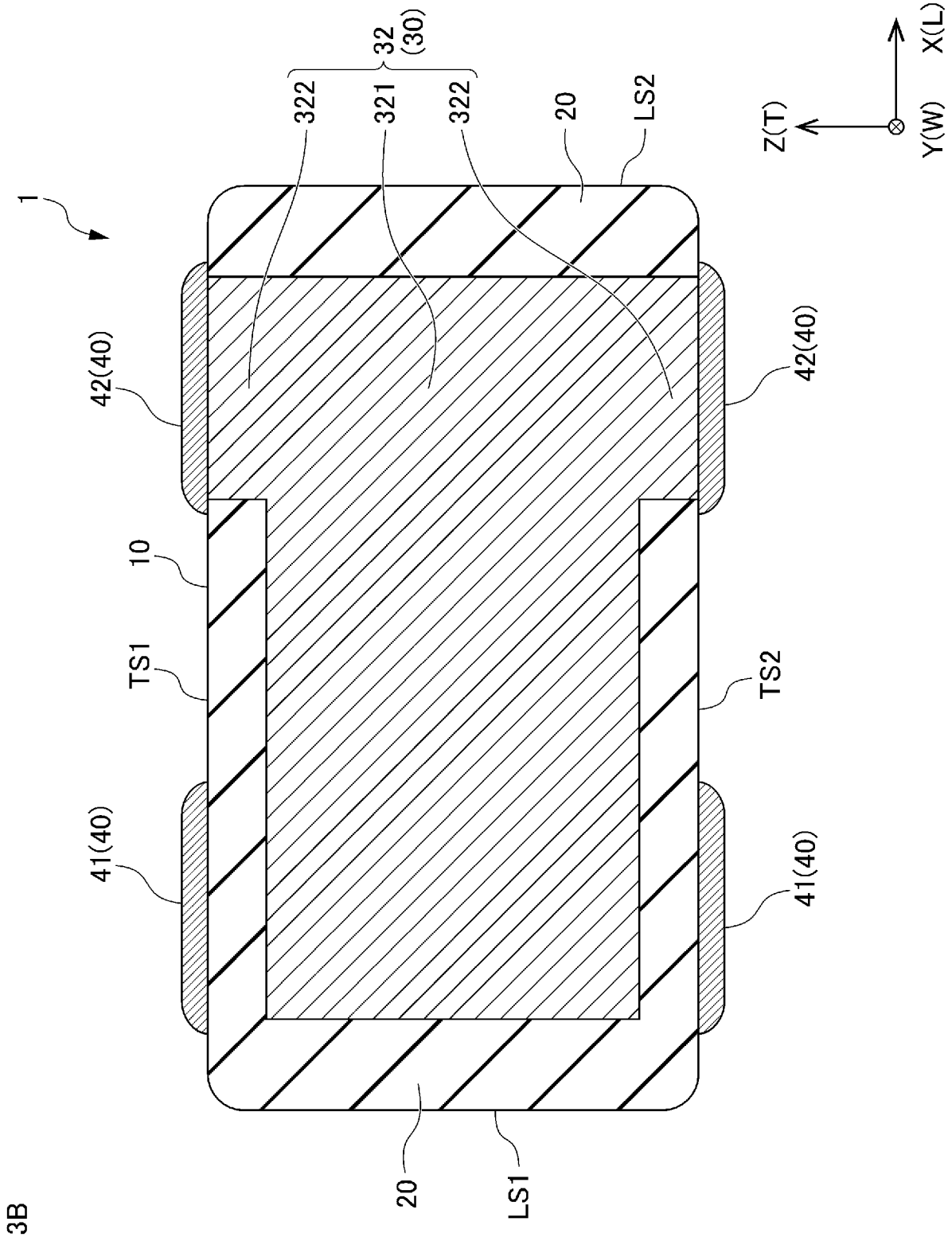
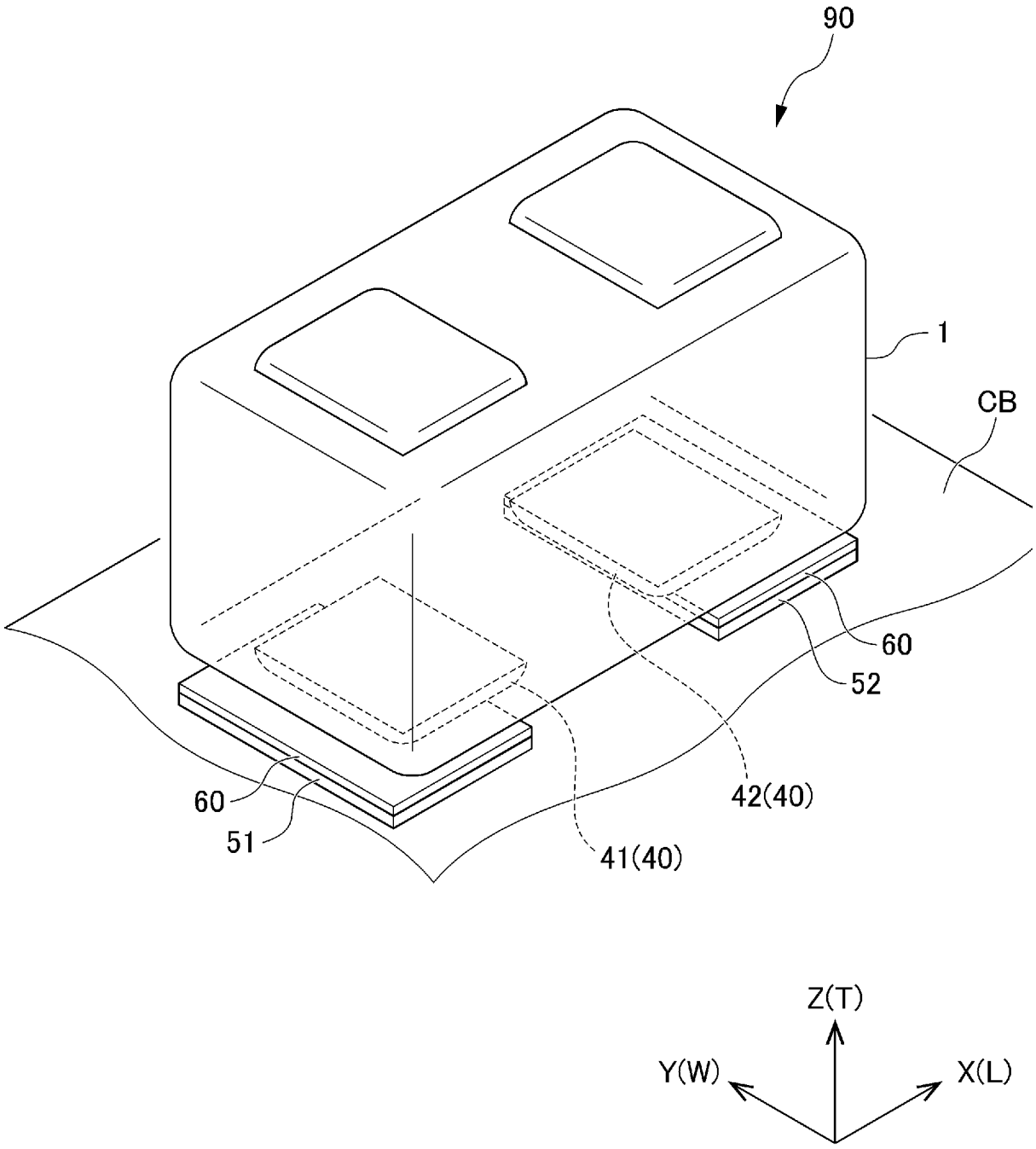

1
32
(30)
322
321
322
20
LS2
Z(T)
X(L)
Y(W)
42(40)
42(40)
10
TS1
TS2
41(40)
41(40)
20
LS1

図 3B

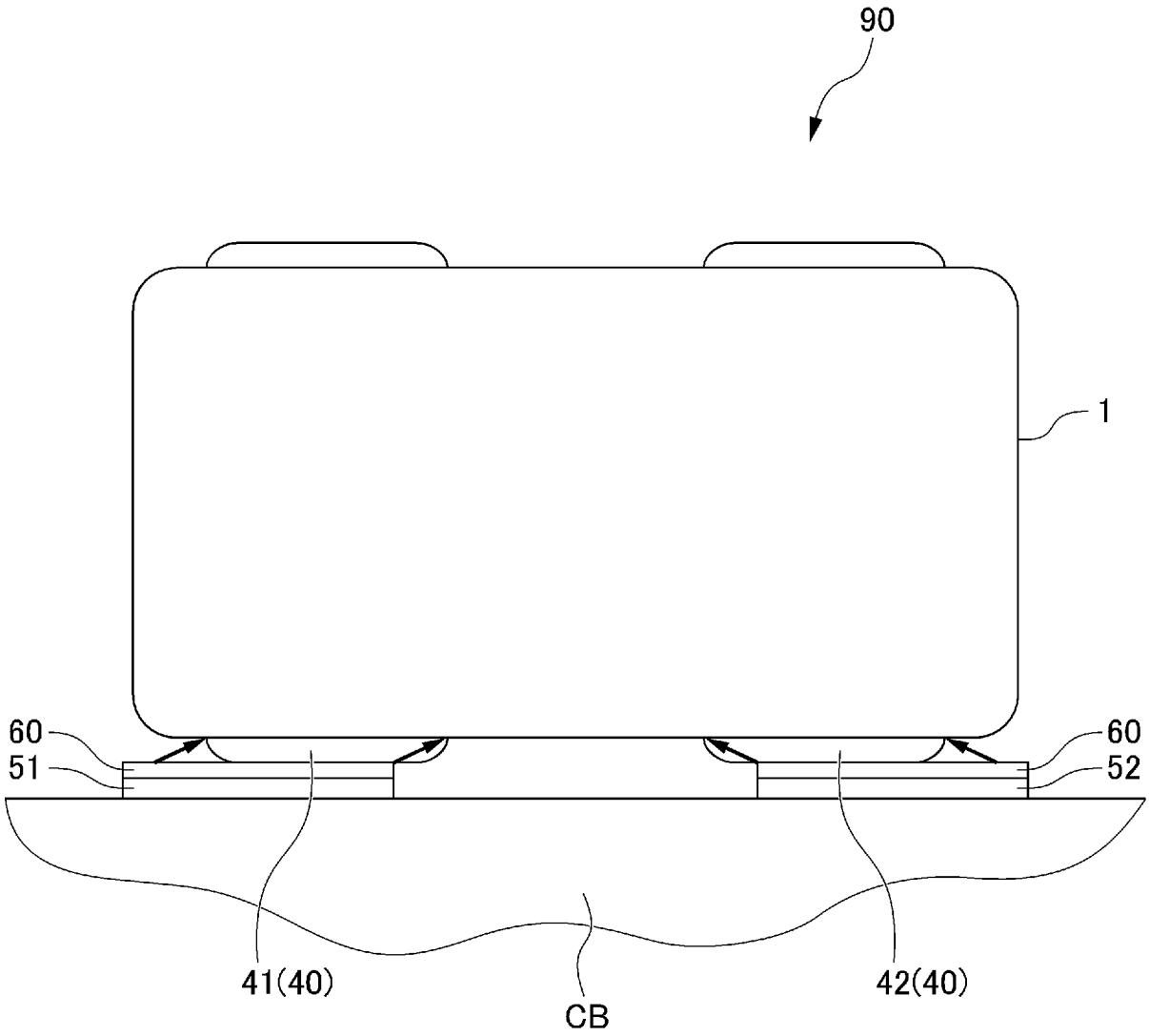
[図4]

図 4



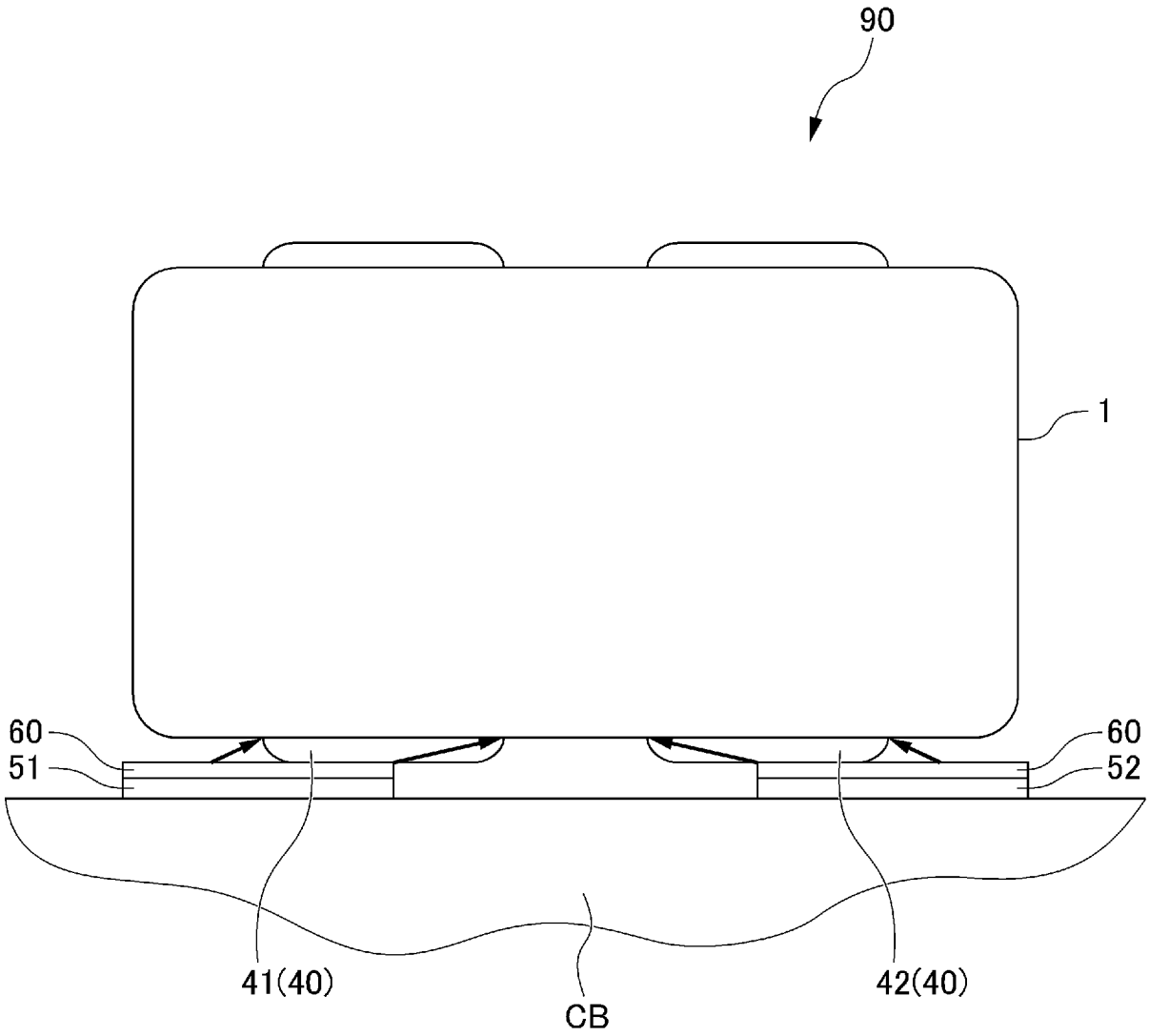
[図5]

図 5



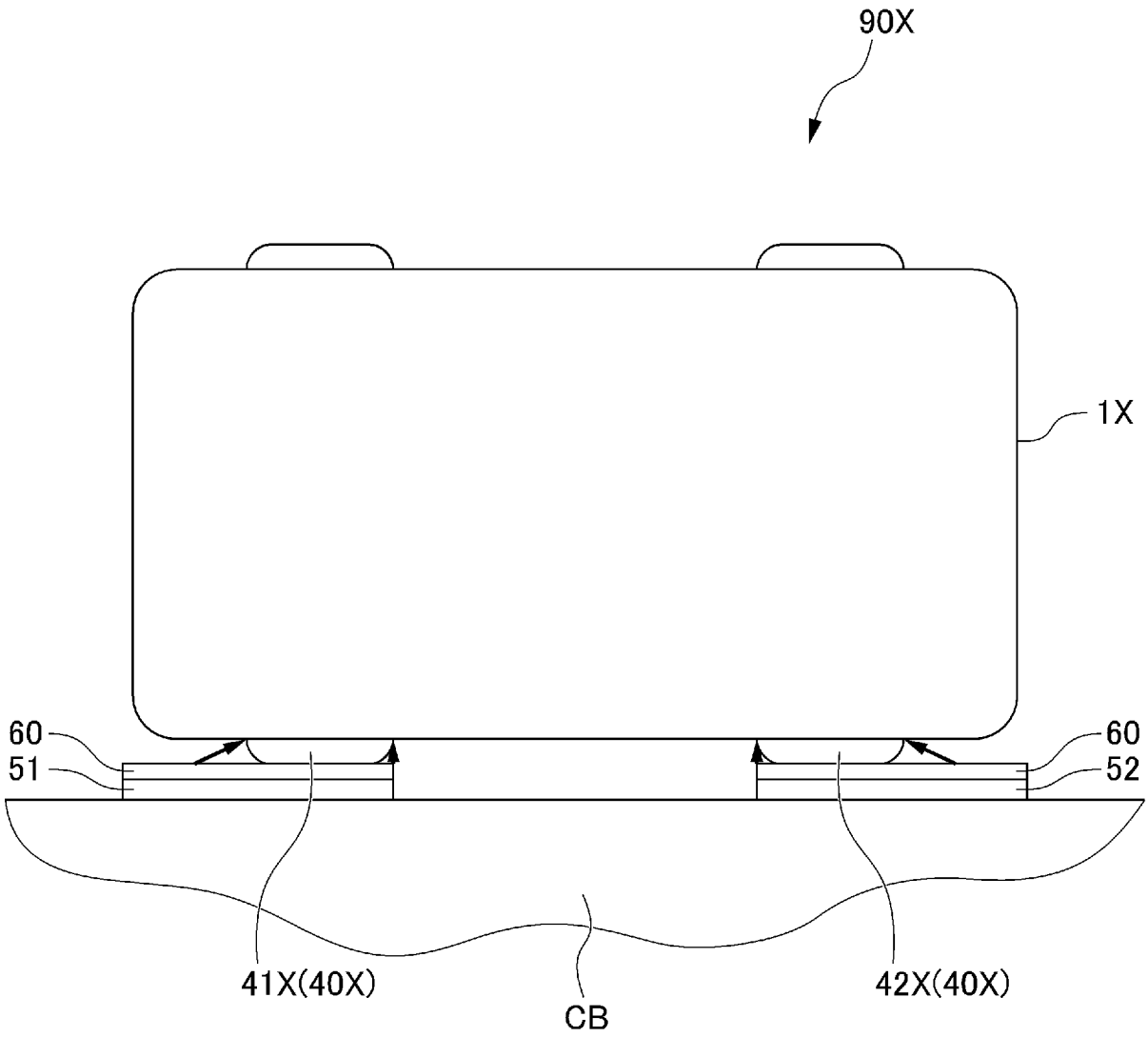
[図6]

図 6



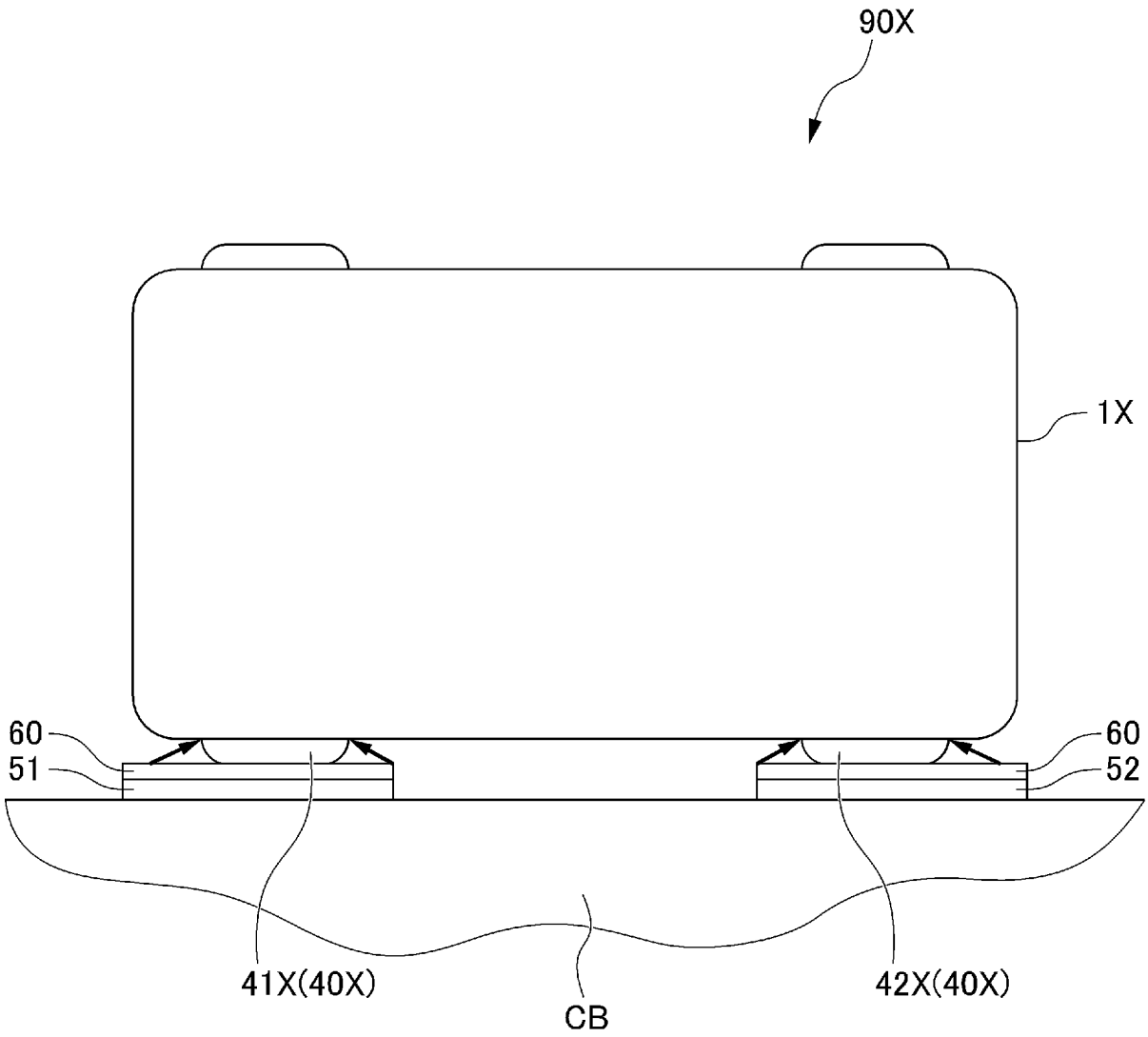
[図7]

図 7



[図8]

図 8



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2023/019377

A. CLASSIFICATION OF SUBJECT MATTER

H01G 2/06(2006.01)i; ***H01G 4/30***(2006.01)i
FI: H01G2/06 500; H01G4/30 201F; H01G4/30 513

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01G2/06; H01G4/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2023
Registered utility model specifications of Japan 1996-2023
Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2007-129224 A (AVX CORP.) 24 May 2007 (2007-05-24) paragraphs [0029]-[0059], fig. 1-8	1-5
Y	JP 9-139324 A (HITACHI AIC INC.) 27 May 1997 (1997-05-27) claim 1, paragraphs [0005]-[0012], fig. 2	1-5
A	JP 2014-11210 A (TAIYO YUDEN CO., LTD.) 20 January 2014 (2014-01-20) fig. 4	1-5
A	JP 2019-134067 A (TDK CORP.) 08 August 2019 (2019-08-08) fig. 10	1-5

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
04 August 2023	**15 August 2023**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2023/019377

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2007-129224 A	24 May 2007	US 2007/0096254 A1 paragraphs [0084]-[0114], fig. 1-8 CN 1983479 A	
JP 9-139324 A	27 May 1997	(Family: none)	
JP 2014-11210 A	20 January 2014	US 2014/0003014 A1 fig. 4	
JP 2019-134067 A	08 August 2019	US 2019/0237261 A1 fig. 10 CN 110098049 A KR 10-2019-0093148 A	

国際調査報告

国際出願番号
PCT/JP2023/019377

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01G 2/06(2006.01)i; H01G 4/30(2006.01)i
FI: H01G2/06 500; H01G4/30 201F; H01G4/30 513

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01G2/06; H01G4/30

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２３年
日本国実用新案登録公報	１９９６－２０２３年
日本国登録実用新案公報	１９９４－２０２３年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2007-129224 A (エイブイエックス コーポレイション) 24.05.2007 (2007-05-24) 段落[0029]-[0059], 図1-8	1-5
Y	JP 9-139324 A (日立エーアイシー株式会社) 27.05.1997 (1997-05-27) 請求項1, 段落[0005]-[0012], 図2	1-5
A	JP 2014-11210 A (太陽誘電株式会社) 20.01.2014 (2014-01-20) 図4	1-5
A	JP 2019-134067 A (ＴＤＫ株式会社) 08.08.2019 (2019-08-08) 図10	1-5

☐ C欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
"A" 特に関連のある文献ではなく、一般的技術水準を示すもの
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
"O" 口頭による開示、使用、展示等に言及する文献
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
"Y" 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
"&" 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
04.08.2023	15.08.2023

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
鈴木　駿平 5D 5588
電話番号 03-3581-1101 内線 3551

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2023/019377

引用文献	公表日	パテントファミリー文献	公表日
JP 2007-129224 A	24.05.2007	US 2007/0096254 A1 段落[0084]-[0114], 図1-8 CN 1983479 A	
JP 9-139324 A	27.05.1997	（ファミリーなし）	
JP 2014-11210 A	20.01.2014	US 2014/0003014 A1 図4	
JP 2019-134067 A	08.08.2019	US 2019/0237261 A1 図10 CN 110098049 A KR 10-2019-0093148 A	