(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la Propriété Intellectuelle
Bureau international

(43) Date de la publication internationale
27 mars 2008 (27.03.2008)

PCT

(10) Numéro de publication internationale
WO 2008/034794 A1

(51) Classification internationale des brevets :
H04N 3/15 (2006.01) *H04N 5/335* (2006.01)

(21) Numéro de la demande internationale :
PCT/EP2007/059777

(22) Date de dépôt international :
17 septembre 2007 (17.09.2007)

(25) Langue de dépôt : français

(26) Langue de publication : français

(30) Données relatives à la priorité :
0608187 19 septembre 2006 (19.09.2006) FR

(71) Déposant *(pour tous les États désignés sauf US)* : **E2V SEMICONDUCTORS** [FR/FR]; Avenue de Rochepleine, F-38120 Saint Egrève (FR).

(72) Inventeur; et

(75) Inventeur/Déposant *(pour US seulement)* : **BUGNET, Henri** [FR/FR]; Place de l'Assemblée, F-38430 Moirans (FR).

(74) Mandataires : **GUERIN, Michel** etc.; 31-33, Avenue Aristide Briand, F-94117 Arcueil (FR).

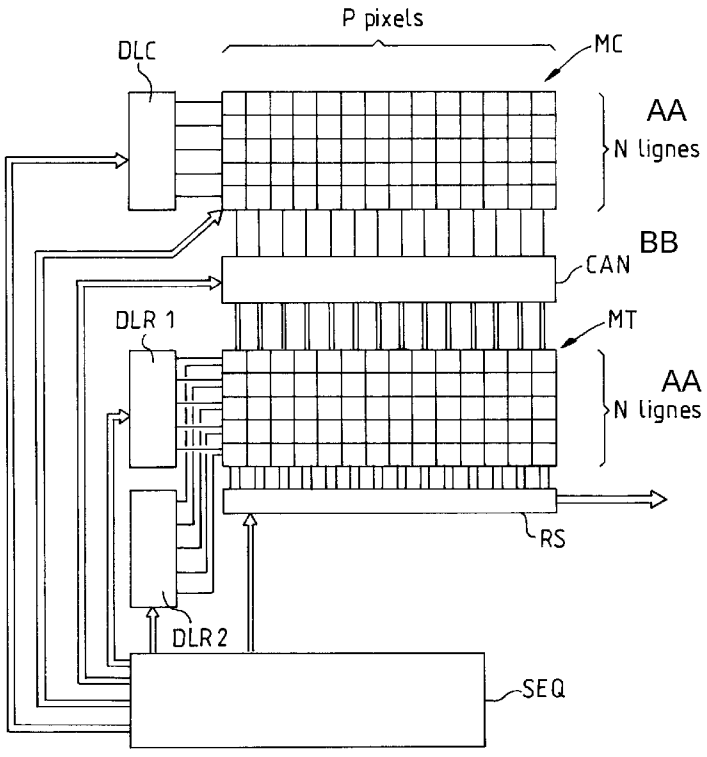
(81) États désignés *(sauf indication contraire, pour tout titre de protection nationale disponible)* : AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO,

[Suite sur la page suivante]

WO 2008/034794 A1

(54) Title: MOVING IMAGE SENSOR BY SUCCESSIVE INTEGRATION AND SUMMATION, WITH ACTIVE CMOS PIXELS

(54) Titre : CAPTEUR D'IMAGE EN DEFILEMENT PAR INTEGRATIONS SUCCESSIVES ET SOMMATION, A PIXELS CMOS ACTIFS.



(57) Abstract: The invention relates to image sensors in the form of a signal-summing, moving multi-line linear array for the synchronized reading of one and the same image line in succession by N lines of P photosensitive pixels and the summation, pixel by pixel, of the signals read by the various lines. The pixels are active pixels in MOS technology. Associated with the pixel matrix (MC) is a transfer matrix (MT) which comprises N lines of P accumulating registers. At each integration period, the content of a line of pixels is digitized (by a converter ADC) and stored in a line of accumulating registers, the latter line being switched at each new integration period in correspondence with the movement of the image past the sensor. The signals coming from an image line seen in succession by N lines of pixels accumulate in one and the same line of registers. At the end of N integration periods, the content of a given line of registers is extracted, and this line is reset to zero. Next, at each following integration period, it is the content of another line (according to a circular switching of the N lines) which is extracted and reset to zero. The extracted line is once again that which has undergone N accumulations after being reset to zero.

[Suite sur la page suivante]

RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) États désignés *(sauf indication contraire, pour tout titre de protection régionale disponible)* **:** ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasien (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), européen (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Publiée :

— *avec rapport de recherche internationale*

(57) Abrégé : L'invention concerne les capteurs d'image en forme de barrette linéaire multilignes à défilement et sommation de signal, pour la lecture synchronisée d'une même ligne d'image successivement par N lignes de P pixels photosensibles et la sommation pixel à pixel des signaux lus par les différentes lignes. Les pixels sont des pixels actifs de technologie MOS. A la matrice de pixels (MC) est associée une matrice de transfert (MT) qui comporte N lignes de P registres accumulateurs. A chaque période d'intégration on numérise (par un convertisseur CAN) et on stocke le contenu d'une ligne de pixels dans une ligne de registres accumulateurs, cette dernière ligne étant permutée à chaque nouvelle période d'intégration en correspondance avec le défilement de l'image devant le capteur. Les signaux provenant d'une ligne d'image vue successivement par N lignes de pixels s'accumulent dans une même ligne de registres. Au bout de N périodes d'intégration le contenu d'une ligne déterminée de registres est extrait et cette ligne est remise à zéro. Puis, à chaque période d'intégration suivante c'est le contenu d'une autre ligne (selon une permutation circulaire des N lignes) qui est extrait et remis à zéro. La ligne extraite est à chaque fois celle qui a subi N accumulations après une remise à zéro.

CAPTEUR D'IMAGE EN DEFILEMENT PAR INTEGRATIONS SUCCESSIVES ET SOMMATION, A PIXELS CMOS ACTIFS

L'invention concerne les capteurs d'image linéaire à défilement et intégration de signal (ou capteurs TDI, de l'anglais : "Time Delay Integration Linear Sensors"), dans lesquels une image d'une ligne de points d'une scène observée est reconstituée par addition d'images successives prises par plusieurs lignes photosensibles observant successivement une même ligne de la scène au fur et à mesure que la scène défile devant le capteur perpendiculairement aux lignes.

Ces capteurs sont utilisés par exemple dans des capteurs d'observation de la terre par satellite. Ils comprennent plusieurs lignes parallèles de pixels photosensibles ; le séquencement des circuits de commande des différentes lignes (contrôle de temps d'exposition puis de lecture des charges photogénérées) est synchronisé par rapport au défilement relatif de la scène et du capteur, de manière que toutes les lignes du capteur voient une seule ligne de la scène observée. Les signaux générés par chaque ligne sont ensuite additionnés point à point pour chaque point de la ligne observée.

Le rapport signal/bruit théorique est amélioré dans le rapport de la racine carrée du nombre N de lignes du capteur. Ce nombre N peut être par exemple de 16 ou 32 pour des applications de contrôle industriel ou des applications d'observation terrestre à partir de l'espace, ou même de 60 à 100 lignes pour des applications médicales (dentaire, mammographie, ...).

Dans les capteurs d'image à transfert de charges (capteurs CCD), l'addition des signaux point par point se faisait naturellement et sans bruit de lecture en vidant dans une ligne de pixels les charges générées et accumulées dans la ligne de pixel précédente, en synchronisme avec le déplacement relatif de la scène et du capteur. La dernière ligne de pixels, ayant accumulé N fois les charges engendrées par la ligne de scène observée, pouvait ensuite être transférée vers un registre de sortie et convertie, lors d'une phase de lecture, en tension ou courant électrique.

La technologie des capteurs d'image a ensuite évolué vers des capteurs à pixels actifs à transistors, qu'on appellera ci-après capteurs CMOS pour simplifier car ils sont en général réalisés en technologie CMOS

(complementary-metal-oxyde-semiconducteur) ; dans ces capteurs CMOS il n'y a plus de transfert de charges de pixel à pixel jusqu'à un registre de lecture, mais il y a des pixels actifs à transistors qui recueillent des charges électriques photogénérées et les convertissent directement en une tension ou un courant. Les différentes lignes du capteur fournissent donc successivement des tensions ou courants représentant l'éclairement reçu par la ligne. On ne peut pas facilement additionner ces courants ou tensions ; il est donc difficile de réaliser un capteur à défilement et à intégration de charges.

Des tentatives ont cependant été faites pour réaliser des capteurs CMOS à défilement et intégration de charges.

On a essayé en particulier d'utiliser des capacités commutées dans lesquelles on intègre des courants successifs reçus, accumulant ainsi sur une même capacité des charges reçues de plusieurs pixels en colonne.

Les systèmes ainsi essayés sont complexes et il serait souhaitable de trouver des solutions alternatives.

Selon l'invention, on propose de convertir en valeurs numériques les signaux issus d'une ligne de pixels, de sommer la valeur numérique correspondant au pixel de rang j de la ligne dans un registre accumulateur de rang j qui contient déjà la somme de i valeurs numériques accumulées correspondant aux pixels de même rang j de i lignes successives, et d'extraire le contenu du registre accumulateur seulement après N étapes d'accumulation, c'est-à-dire lorsqu'il contient la somme de N valeurs numériques accumulées correspondant aux N lignes de pixels du capteur. Il y a donc une matrice de transfert composée de N lignes de registres accumulateurs ; une ligne de registres reçoit, pour l'accumuler au contenu précédent des registres, les contenus successifs des différentes lignes du capteur, selon une permutation circulaire ; le contenu des registres est extrait après N accumulations, selon une permutation circulaire. Lorsque le contenu d'une ligne de registres a été extrait, cette ligne de registres est remise à zéro, et elle est disponible pour recevoir ensuite le contenu de la première ligne de pixels du capteur. A chaque nouvelle période d'exposition correspond une phase d'extraction d'une ligne de registres ; et à chaque nouvelle période d'exposition les valeurs numériques d'une ligne déterminée

de pixels s'accumulent aux contenus d'une ligne de registres différente, selon une permutation circulaire.

Ainsi, les valeurs numériques de la première ligne de pixels du capteur se stockent d'abord dans une ligne de registres dont les contenus sont à zéro, puis successivement à chaque nouvelle exposition, selon une permutation circulaire, dans les autres lignes de registres où elles s'accumulent aux contenus déjà présents ; il en est de même des autres lignes de pixels photosensibles : elles se stockent successivement dans les différentes lignes de registres, à chaque fois dans une nouvelle ligne de registres.

L'invention concerne donc un procédé de capture d'image, à défilement et sommation de signal, pour la lecture synchronisée d'une même ligne d'image successivement par N lignes de P pixels photosensibles et la sommation pixel à pixel des signaux lus par les différentes lignes, caractérisé en ce que :

- à l'issue de chaque période d'intégration d'une série de périodes d'intégration de charges, on numérise par un convertisseur analogique-numérique les signaux issus des N lignes de pixels, on accumule les signaux numérisés d'une ligne de pixels dans une ligne choisie d'une matrice de transfert qui comporte N lignes de P registres accumulateurs, ceci pour les N lignes de pixels et les N lignes de la matrice de transfert, en modifiant à chaque période d'intégration la correspondance entre la ligne choisie de la matrice de transfert et la ligne de pixels, en synchronisme avec le défilement de l'image devant le capteur de manière qu'une ligne de registres de la matrice de transfert reçoive et accumule successivement au cours de N périodes d'intégration les signaux numérisés de N lignes de pixels ayant vu une même ligne d'image,

- au bout de N périodes d'intégration le contenu d'une ligne déterminée de registres, représentant une ligne d'image observée, est extrait et les registres de cette ligne sont remis à zéro,

- à chaque période d'intégration suivante c'est le contenu d'une autre ligne de registres, selon une permutation circulaire des N lignes, qui est extrait et remis à zéro, la ligne extraite et remise à zéro étant, à l'issue de chaque période d'intégration, celle qui a subi N accumulations après une remise à zéro.

Plus précisément, un pixel de rang j dans une ligne est constitué par un circuit à transistors MOS comportant une sortie reliée à un conducteur de colonne de rang j commun aux N pixels de rang j des différentes lignes, et le procédé comporte les opérations suivantes :

- intégration de charges simultanée dans les NxP pixels, répétée pendant des périodes d'intégration successives ;
- adressage successif de chacune des N lignes de pixels à la fin d'une $i^{ième}$ période d'intégration pour appliquer aux conducteurs de colonne à l'issue de la $i^{ième}$ période d'intégration successivement pour chaque ligne adressée P signaux analogiques correspondant à l'intégration de charges dans les P pixels de la ligne adressée ;
- conversion analogique-numérique pour numériser les P signaux analogiques présents sur les conducteurs de colonne au cours de chaque adressage de ligne, et fournir P valeurs numériques correspondant à une ligne adressée de rang m ;
- accumulation de la valeur numérique correspondant au pixel de rang j d'une ligne adressée, dans un registre accumulateur de rang j d'une ligne de registres d'une matrice de N lignes de P registres accumulateurs,
- au cours de la $(i+1)^{ième}$ période d'intégration, accumulation dans ce même registre accumulateur d'une valeur numérique correspondant à un pixel de rang j d'une autre ligne de pixels, en correspondance avec le défilement de l'image devant les N lignes de pixels,
- à l'issue de la $i+1^{ième}$ période d'intégration, sélection d'une ligne parmi N, la ligne sélectionnée étant une ligne qui a subi N accumulations successives après une remise à zéro du contenu des registres accumulateurs de cette ligne, extraction des valeurs numériques accumulées dans les registres de cette ligne, représentant une ligne d'image observée, et remise à zéro des registres de cette ligne en vue d'une nouvelle série de N périodes d'intégration pour cette ligne,
- permutation circulaire de l'ordre des lignes de registres qui sont sélectionnées pour une extraction et une remise à zéro à l'issue des périodes d'intégration successives.

Si on appelle m le rang de la ligne adressée au cours de la $i^{ième}$ période d'intégration, alors l'autre ligne accumulée avec cette dernière au cours de la $(i+1)^{ième}$ période d'intégration sera en principe une ligne

adjacente de rang m+1 telle que l'accumulation dans une même ligne de registres accumulateurs provienne d'une succession de lignes de pixels ordonnée selon une permutation circulaire ; si on fait l'hypothèse que la première ligne de pixels a été stockée dans une première ligne de registres accumulateurs au cours d'un première période d'intégration, alors à la deuxième période d'intégration c'est la deuxième ligne de pixels qui est accumulée dans la première ligne de registres, et ainsi de suite selon une permutation circulaire : à la $N^{ième}$ période d'intégration, c'est la $N^{ième}$ ligne de pixels qui est accumulée dans la première ligne de registres ; la valeur stockée dans la première ligne de registres est alors extraite ; elle représente une première ligne de l'image observée ; cette première ligne de registres est remise à zéro, prête à recevoir de nouvelles valeurs numériques, à nouveau en provenance de la première ligne de pixels, à l'issue de la $(N+1)^{ième}$ périoe d'intégration ; et à l'issue de cette $(N+1)^{ième}$ période d'intégration, la valeur stockée dans la deuxième ligne de registres accumulateurs est extraite ; elle représente une deuxième ligne de l'image observée ; puis elle est remise à zéro. Ainsi de suite, au bout de 2N périodes d'intégration on extrait à nouveau l'information numérique stockée dans la première ligne de registres, représentant une $(N+1)^{ième}$ ligne de l'image observée.

Outre le procédé qui vient d'être défini, l'invention concerne aussi un capteur d'image, à défilement et sommation, permettant la lecture synchronisée d'une même ligne d'image successivement par N lignes de P pixels photosensibles et la sommation pixel à pixel des signaux lus par les différentes lignes, un pixel de rang j dans une ligne étant constitué par un circuit à transistors MOS comportant une sortie reliée à un conducteur de colonne de rang j commun aux N pixels de rang j des différentes lignes, le capteur étant caractérisé en ce qu'il comporte :

- un circuit d'adressage successif de chacune des N lignes de pixels pour appliquer aux conducteurs de colonne P signaux analogiques correspondant à l'intégration de charges, pendant une période d'intégration Ti, des P pixels de la ligne adressée ;
- au moins un convertisseur analogique-numérique pour numériser les signaux fournis par les conducteurs de colonne pour chaque ligne adressée, à l'issue de la période d'intégration Ti,

- N lignes de P registres accumulateurs numériques, un registre accumulateur de rang j dans une ligne étant apte à accumuler N signaux numériques obtenus pendant N périodes d'intégration successives et correspondant aux N pixels de même rang j des différentes lignes, en correspondance avec le défilement de l'image linéaire devant les N lignes de pixels pendant les N périodes d'intégration,

- un circuit pour extraire les valeurs numériques stockées dans une ligne de P registres ayant subi N accumulations successives, ces valeurs représentant une ligne d'image observée,

- un séquenceur apte à appliquer successivement à une ligne de P registres accumulateurs, pendant une série de N périodes d'intégration successives et en correspondance avec le défilement de l'image linéaire, les signaux numérisés issus de chacune des N lignes de pixels, ceci pour chacune des lignes de P registres, et apte à remettre à zéro le contenu des registres de la ligne dont le contenu a été extrait, l'ordre de succession des lignes dont le contenu est extrait puis remis à zéro au cours des périodes d'intégration successives étant une permutation circulaire.

Les registres accumulateurs comportent de préférence une mémoire de sortie pour contenir la valeur accumulée de plusieurs signaux correspondant à des lignes différentes, et un additionneur pour additionner le contenu de la sortie du convertisseur analogique-numérique au contenu de la mémoire de sortie et placer le résultat de l'addition dans cette même mémoire. Si la conversion analogique-numérique se fait sur B bits, la mémoire doit avoir un nombre de bits suffisant pour permettre l'accumulation, sans saturation, de N fois la valeur maximale (2^B-1) de la conversion. Par exemple, si N=32, la mémoire doit comporter au moins B+5 bits. Par conséquent on peut prévoir, ce qui est avantageux, que le convertisseur analogique-numérique a une dynamique inférieure de plusieurs bits (de préférence $\log_2(N)$ à la dynamique des signaux numériques qu'on extrait du capteur : il n'est pas nécessaire de convertir les signaux avec un convertisseur de grande résolution. La résolution sera obtenue du fait de l'accumulation de N signaux pour chaque ligne d'image observée.

Il y a de préférence P convertisseurs analogiques-numériques, c'est-à-dire un par conducteur de colonne.

D'autres caractéristiques et avantages de l'invention apparaîtront à la lecture de la description détaillée qui suit et qui est faite en référence aux dessins annexés dans lesquels :

- la figure 1 représente un exemple de constitution d'un pixel en technologie CMOS ;
- la figure 2 représente la structure de la circuiterie électronique associée à un conducteur de colonne du capteur.
- la figure 3 représente l'organisation générale du capteur selon l'invention.

La figure 1 représente la structure d'un pixel actif de technologie CMOS comprenant cinq transistors T1 à T5 et une photodiode PD ; ce pixel est de type connu et peut être utilisé dans la présente invention. Au sein d'une matrice de N lignes de P pixels, le pixel représenté est supposé être un pixel de rang j dans la ligne de pixels de rang m. La structure et le fonctionnement du pixel sont donnés à titre d'exemple pour illustrer l'invention.

La photodiode est connectée en série avec le transistor T1 entre une masse et une tension d'alimentation de référence Vref. Le transistor peut être rendu conducteur brièvement, pour une remise à zéro des charges de la photodiode, par un signal de remise à zéro général GSH agissant simultanément sur tous les pixels de la matrice avant le début d'un temps d'intégration.

Le nœud N1 reliant la photodiode et le transistor T1 accumule des charges au cours du temps d'intégration. Ce nœud N1 peut être relié brièvement à un nœud N2 de stockage de charges par le transistor T2, à la fin d'un temps d'intégration, par un signal de commande de transfert GTRA agissant simultanément sur tous les pixels de la matrice.

Le nœud de stockage N2 peut être remis au potentiel de référence Vref (vidage des charges du nœud N2) par le transistor T3 qui reçoit un signal de commande bref LRESm commun à tous les pixels de la ligne de rang m. Les signaux LRESm correspondant aux différentes lignes (m = 1 à N) sont émis successivement pour les N lignes à l'issue d'une période d'intégration Ti et pendant que commence une période d'intégration suivante.

Le nœud N2 est par ailleurs relié à la grille du transistor suiveur T4 dont le drain est au potentiel Vref et dont la source recopie (à une chute de tension grille source près) le potentiel pris par la grille, c'est-à-dire le potentiel du nœud de stockage N2. La source du transistor T4 est reliée, par l'intermédiaire d'un transistor de sélection de ligne T5, à un conducteur de colonne CCj commun à tous les pixels d'une même colonne de rang j. Le transistor T5 est rendu conducteur par un signal LSELm qui est un signal d'adressage de la ligne de rang m et qui est donc commun à tous les pixels d'une même ligne. Les signaux d'adressage LSELm des différentes lignes (m=1 à N) sont émis successivement à l'issue d'une période d'intégration Ti et pendant que commence une période d'intégration suivante.

Le pixel fonctionne de la manière suivante : après la fin d'un e période d'intégration Ti, les photodiodes ont accumulé des charges en quantité proportionnelle à l'éclairement qu'elles ont reçu. Un signal général de transfert de charges GTRA est émis brièvement pour transférer ces charges du nœud N1 vers le nœud N2 où elles restent stockées au moins le temps nécessaire à leur lecture.

Puis un signal général GSH de définition du temps d'exposition est brièvement émis. Ce signal remet à zéro les charges stockées dans les photodiodes en portant celles-ci au potentiel Vref, et l'intégration de charges ne peut commencer qu'à la fin du signal GSH. Ces deux signaux GTRA et GSH concernent tous les pixels de la matrice à la fois. Ensuite sont émis des signaux de lecture de charges, ligne par ligne.

La première ligne reçoit un signal de sélection de ligne qui relie le transistor T4 du pixel au conducteur de colonne CCj correspondant pendant le temps nécessaire à la lecture puis qui le déconnecte en vue de la lecture des charges des lignes suivantes ; toutes les lignes sont lues successivement pendant la nouvelle période d'intégration. La lecture consiste en une transmission au conducteur de colonne d'un potentiel recopiant le potentiel du nœud N2. Cette lecture est de préférence faite par double échantillonnage de la manière suivante : le potentiel du signal utile représentant les charges photogénérées est d'abord appliqué au conducteur de colonne (et va être mis en mémoire dans une première capacité comme on le verra plus loin) ; puis le nœud de stockage N2 est vidé de ses charges par un bref signal LRESm de mise en conduction du transistor T3 et des

autres transistors T3 de la même ligne, et le potentiel pris alors par le nœud N2, représentant un potentiel de niveau de noir, est recopié sur le conducteur de colonne CCj (et va être mis en mémoire dans une deuxième capacité).

La mesure des charges photogénérées dans un pixel de la première ligne est faite par conversion analogique-numérique de la différence des potentiels du signal utile et du niveau de noir.

La deuxième ligne est ensuite lue de la même manière, et ainsi de suite, les N lignes sont lues pendant la période d'intégration de charges qui se termine à l'émission d'un nouveau signal de transfert GTRA.

La figure 2 explique le fonctionnement de l'invention et on a pris pour exemple le cas (non obligatoire) ou la lecture de charges est faite par double échantillonnage.

Le circuit de la figure 2 est le circuit qui est associé à un conducteur de colonne CCj de rang j tel que celui qu'on voit à la figure 1. Le conducteur de colonne CCj est relié alternativement, par des interrupteurs respectifs K1j et K2j, à deux capacités de stockage C1j et C2j, qui vont stocker respectivement le niveau de signal utile et le niveau de noir. Les interrupteurs K1j et K2j sont actionnés à deux instants successifs séparés par la durée de remise à zéro des charges stockées sur le nœud N2. Le signal d'actionnement de K1j est un signal SHR et le signal d'actionnement de K2j est un signal SHS.

Les capacités de stockage C1j et C2j sont reliées entre une masse et chacune des deux entrées d'un convertisseur analogique-numérique CANj. Il y a de préférence un convertisseur par colonne. Pendant la durée d'adressage de la ligne considérée, le potentiel du nœud N2 du pixel est recopié sur le conducteur de colonne CCj. Au début de cette durée, le niveau de tension présent sur le conducteur de colonne est le niveau utile représentant les charges photogénérées dans le pixel de rang j de la ligne adressée. Cette tension est appliquée à la capacité C1j pendant un bref instant défini par le signal SHS (émis successivement pour chacune des lignes adressées et commun à toutes les colonnes), après quoi la capacité conserve cette tension. Puis le signal LRESm est émis pour vider les charges du nœud N2 des pixels de la ligne (signal spécifique de la ligne adressée). Le conducteur de colonne prend alors un potentiel qui définit le niveau de noir ; puis, pendant un bref instant défini par le signal SHR (émis

successivement pour chacune des lignes adressées et commun à toutes les colonnes) ce niveau de noir présent sur le conducteur de colonne est appliqué à la capacité de stockage C2j qui le conserve ensuite.

Les capacités C1j et C2j stockent ensuite, pour la durée d'un conversion analogique-numérique, le niveau utile et le niveau de noir correspondant à la ligne adressée. On effectue la conversion analogique-numérique qui transforme la différence des tensions présentes sur les capacités C1j et C2j en une valeur numérique. Le convertisseur exécute la conversion entre un instant de début de conversion, postérieur au signal SHR, et un instant de fin de conversion. Un signal de début de conversion START_CONV est donc utilisé pour activer le convertisseur, et un signal de fin de conversion END_CONV est utilisé pour déclencher le stockage dans une mémoire MEM1j du résultat de la conversion. Les signaux START_CONV et END_CONV, communs à toutes les colonnes, sont renouvelés à chaque nouvelle lecture de ligne.

Le contenu stocké dans la mémoire MEM1j pendant l'adressage de la ligne de pixels de rang m est donc le résultat de la conversion analogique-numérique pour la colonne j et pour la ligne de rang m.

Le résultat de la conversion est accumulé, dans une ligne de registres accumulateurs, avec i-1 valeurs numériques analogues déjà additionnées dans cette ligne de registres accumulateurs. En effet, au bout de i-1 périodes d'intégration successives après une remise à zéro de la ligne de registres accumulateurs, celle-ci contient la somme des i-1 valeurs correspondant à l'observation d'une même ligne de scène par i-1 lignes de pixels successives. A la $i^{ième}$ période d'intégration on ajoute dans la ligne de registres accumulateurs le contenu des mémoires MEM1j (j=1 à P) qui représente la valeur d'une $i^{ième}$ ligne de pixels qui a observé également la même ligne de scène.

Il y a N lignes de registres accumulateurs et le contenu d'une ligne de pixels adressée à un instant donné après la fin de la $i^{ième}$ période d'intégration est additionné à celle des lignes de registres accumulateurs (et pas une autre ligne) qui a déjà reçu i-1 valeurs accumulées après une remise à zéro. La ligne suivante de pixels qui est ensuite adressée, toujours à la suite de la $i^{ième}$ période d'intégration, est additionnée à la ligne suivante de registres, et ainsi de suite selon une permutation circulaire des lignes de

registres. Par permutation circulaire on entend le fait que si la ligne de registres est la dernière ligne (la $N^{ième}$ ligne), alors la ligne suivante est la première ligne. De même, si la ligne de pixels adressée est la $N^{ième}$ ligne de pixels, alors la ligne suivante qui est adressée est la première ligne de pixels.

En régime continu, parmi les N lignes de registres accumulateurs, il y en a une et une seule qui a accumulé N-1 valeurs successives à la fin de la $i^{ième}$ période d'intégration sans avoir été remise à zéro. Cette ligne reçoit alors, à la fin de la $i^{ième}$ période d'intégration, une $N^{ième}$ valeur en provenance d'une ligne de pixels. Cette ligne de registres accumulateurs est alors lue. Elle représente la valeur numérique des pixels d'une ligne de la scène observée accumulée sur l'ensemble des N lignes au fur et à mesure du déplacement relatif synchronisé de la scène et du capteur. Après cette lecture, cette ligne de registres est remise à zéro. Les autres lignes de registres accumulateurs continuent leur fonction d'accumulation jusqu'à avoir stocké N valeurs. A la $(i+1)^{ème}$ période d'intégration c'est la ligne de registres suivante qui est lue et remise à zéro, et ainsi de suite selon une permutation circulaire.

Un registre accumulateur comprend essentiellement deux éléments qui sont un élément d'additionneur ADDkj et une case de mémoire MEM2kj ; l'indice k désigne le rang de la ligne de registres accumulateurs (k varie de 1 à N) et l'indice j désigne encore le rang dans la ligne ; dans la ligne de registres il y a donc P éléments d'additionneurs ADDkj et P cases de mémoire MEM2kj. Dans l'ensemble des N lignes de registres, il y a NxP éléments d'additionneur et NxP cases de mémoire.

Les entrées d'un élément additionneur ADDkj reçoivent le contenu de la mémoire MEM1j et le contenu de la mémoire MEM2kj respectivement ; la sortie de l'élément additionneur fournit un nouveau contenu à stocker dans la case de mémoire MEM2kj.

La circuiterie d'accumulation des résultats de conversion analogique-numérique comporte des circuits de séquencement et d'adressage non représentés sur la figure 2, pour effectuer les permutations circulaires indiquées plus haut. Ces circuits sélectionnent la ligne de registres accumulateurs de rang k dans laquelle on va accumuler les valeurs d'une ligne de pixels de rang m adressée et convertie à un moment donné, à la fin d'une $i^{ième}$ période d'intégration. Ils aiguillent donc le contenu de la mémoire

MEM1 vers la ligne de registres accumulateurs de rang k à ce moment, et vers une ligne de registre suivante à la fin d'une période d'intégration suivante, et ils activent les opérations d'addition et de stockage dans la ligne sélectionnée de registres accumulateurs.

Ces circuits de séquencement désignent aussi celle des lignes de registres qui doit être lue à un moment donné (celle qui a subi N accumulations après une remise à zéro) et qui doit être remise à zéro immédiatement après lecture. Ils transmettent vers une sortie générale de la matrice de registres accumulateurs la sortie des cases de mémoire de cette ligne de registres ainsi sélectionnée. Une valeur est ainsi sortie à chaque période d'intégration Ti et la périodicité de sélection d'une même ligne de registres pour fournir une valeur de sortie est de N périodes d'intégration élémentaires.

La capacité (en nombre de bits) de chaque case de mémoire MEM2kj est telle qu'on puisse accumuler dans cette case la somme de N valeurs numériques correspondant à un pixel. En supposant que la dynamique du convertisseur analogique-numérique est de B bits, la capacité de la mémoire MEM1j est de B bits, mais la capacité des registres accumulateurs est supérieure et est d'au moins B+b bits où b (entier) est tel que $2^{b-1}<N<=2^b$. Une particularité de l'invention est donc que le capteur comporte un convertisseur analogique-numérique de capacité inférieure de plusieurs bits à la dynamique maximale des données qui peuvent sortir du capteur. En principe, la différence entre les deux dynamiques est b tel que $\log_2(N-1)<b<=\log_2(N)$.

La figure 3 représente l'architecture générale du capteur d'image selon l'invention. On voit la matrice MC de N lignes de P pixels actifs photosensibles, adressable par un décodeur de ligne DLC, le convertisseur analogique-numérique CAN qui comporte, pour chaque colonne un convertisseur élémentaire tel que celui qui est représenté au haut de la figure 2 (interrupteurs, capacités C1j, C2j, convertisseur CANj, mémoire MEM1j).

On voit également la matrice MT de N lignes de P registres accumulateurs tels que celui qui est représenté au bas de la figure 2 (additionneur ADDkj et mémoire MEM2kj).

Un premier décodeur de ligne DLR1 permet de sélectionner une ligne de registres accumulateurs de rang k en correspondance avec une

ligne de pixels de rang m, la correspondance étant la permutation circulaire expliquée plus haut. Cette sélection par le décodeur DLR1 agit pour appliquer au registre le contenu des mémoires MEM1j qui constituent la sortie du convertisseur CAN. Le décodeur DLR1 sélectionne N lignes successives à l'issue d'une période d'intégration, pendant l'adressage des N lignes de pixels.

Un deuxième décodeur de ligne DLR2 agit pour sélectionner celle des lignes de registres accumulateurs qui a terminé N accumulations successives après une remise à zéro. Le contenu des registres de la ligne ainsi sélectionnée par le décodeur DLR2 est extrait et constitue le signal de sortie du capteur. L'extraction se fait par exemple en mettant le contenu des registres de la ligne sélectionnée dans un registre de sortie RS qui sera lu ensuite. L'extraction se fait, comme indiqué plus haut, après la $N^{ième}$ étape d'accumulation dans la ligne sélectionnée, et elle est suivie d'une remise à zéro du contenu des registres accumulateurs de la ligne sélectionnée. L'ordre de sélection des lignes est une permutation circulaire, comme indiqué plus haut.

L'ensemble des décodeurs de ligne et le registre de lecture est commandé par un séquenceur SEQ qui établit les permutations circulaires. Le séquenceur produit également tous les signaux de commande nécessaires pour les lignes de pixels et pour le convertisseur CAN.

REVENDICATIONS

1. Procédé de capture d'image, à défilement et sommation de signal, pour la lecture synchronisée d'une même ligne d'image successivement par N lignes de P pixels photosensibles et la sommation pixel à pixel des signaux lus par les différentes lignes, caractérisé en ce que :

- à l'issue de chaque période d'intégration d'une série de périodes d'intégration de charges, on numérise par un convertisseur analogique-numérique (CAN) les signaux issus des N lignes de pixels, on accumule les signaux numérisés d'une ligne de pixels dans une ligne choisie d'une matrice de transfert (MT) qui comporte N lignes de P registres accumulateurs, ceci pour les N lignes de pixels et les N lignes de la matrice de transfert, en modifiant à chaque période d'intégration la correspondance entre la ligne choisie de la matrice de transfert et la ligne de pixels, en synchronisme avec le défilement de l'image devant le capteur de manière qu'une ligne de registres de la matrice de transfert reçoive et accumule successivement au cours de N périodes d'intégration les signaux numérisés de N lignes de pixels ayant vu une même ligne d'image,
- au bout de N périodes d'intégration le contenu d'une ligne déterminée de registres, représentant une ligne d'image observée, est extrait et les registres de cette ligne sont remis à zéro,
- à chaque période d'intégration suivante c'est le contenu d'une autre ligne de registres, selon une permutation circulaire des N lignes, qui est extrait et remis à zéro, la ligne extraite et remise à zéro étant, à l'issue de chaque période d'intégration, celle qui a subi N accumulations après une remise à zéro.

2. Procédé de capture d'image selon la revendication 1, dans lequel un pixel de rang j dans une ligne est constitué par un circuit à transistors MOS comportant une sortie reliée à un conducteur de colonne (CCj) de rang j commun aux N pixels de rang j des différentes lignes, caractérisé par les opérations suivantes :

- intégration de charges simultanée dans les NxP pixels, répétée pendant des périodes d'intégration successives ;

- adressage successif de chacune des N lignes de pixels à la fin d'une $i^{ième}$ période d'intégration pour appliquer aux conducteurs de colonne à l'issue de la $i^{ième}$ période d'intégration successivement pour chaque ligne adressée P signaux analogiques correspondant à l'intégration de charges dans les P pixels de la ligne adressée ;

- conversion analogique-numérique pour numériser les P signaux analogiques présents sur les conducteurs de colonne au cours de chaque adressage de ligne, et fournir P valeurs numériques correspondant à une ligne adressée de rang m ;

- accumulation de la valeur numérique correspondant au pixel de rang j d'une ligne adressée, dans un registre accumulateur (MEM2kj) de rang j d'une ligne de registres d'une matrice (MT) de N lignes de P registres accumulateurs,

- au cours de la $(i+1)^{ème}$ période d'intégration, accumulation dans ce même registre accumulateur (MEM2kj) d'une valeur numérique correspondant à un pixel de rang j d'une autre ligne de pixels, en correspondance avec le défilement de l'image linéaire devant les N lignes de pixels,

- à l'issue de la $(i+1)^{ième}$ période d'intégration, sélection d'une ligne parmi N, la ligne sélectionnée étant une ligne qui a subi N accumulations successives après une remise à zéro du contenu des registres accumulateurs de cette ligne, extraction des valeurs numériques accumulées dans les registres de cette ligne, représentant une ligne d'image observée, et remise à zéro des registres de cette ligne en vue d'une nouvelle série de N périodes d'intégration pour cette ligne,

- permutation circulaire de l'ordre des lignes de registres qui sont sélectionnées pour une extraction et une remise à zéro à l'issue des périodes d'intégration successives.

3. Capteur d'image, à défilement et sommation, permettant la lecture synchronisée d'une même ligne d'image successivement par N lignes de P pixels photosensibles et la sommation pixel à pixel des signaux lus par les différentes lignes, un pixel de rang j dans une ligne étant constitué par un circuit à transistors MOS comportant une sortie reliée à un conducteur de

colonne (CCj) de rang j commun aux N pixels de rang j des différentes lignes, le capteur étant caractérisé en ce qu'il comporte :

- un circuit d'adressage successif de chacune des N lignes de pixels pour appliquer aux conducteurs de colonne P signaux analogiques correspondant à l'intégration de charges, pendant une période d'intégration Ti, des P pixels de la ligne adressée ;

- au moins un convertisseur analogique-numérique pour numériser les signaux fournis par les conducteurs de colonne pour chaque ligne adressée, à l'issue de la période d'intégration Ti,

- N lignes de P registres accumulateurs numériques, un registre accumulateur de rang j dans une ligne étant apte à accumuler N signaux numériques obtenus pendant N périodes d'intégration successives et correspondant aux N pixels de même rang j des différentes lignes, en correspondance avec le défilement de l'image linéaire devant les N lignes de pixels pendant les N périodes d'intégration,

- un circuit (DLR2, RS) pour extraire les valeurs numériques stockées dans une ligne de P registres ayant subi N accumulations successives, ces valeurs représentant une ligne d'image observée,

- un séquenceur (SEQ) apte à appliquer successivement à une ligne de P registres accumulateurs, pendant une série de N périodes d'intégration successives et en correspondance avec le défilement de l'image linéaire, les signaux numérisés issus de chacune des N lignes de pixels, ceci pour chacune des lignes de P registres, et apte à remettre à zéro le contenu des registres de la ligne dont le contenu a été extrait, l'ordre de succession des lignes dont le contenu est extrait puis remis à zéro au cours des périodes d'intégration successives étant une permutation circulaire.

4. Capteur d'image selon la revendication 3, caractérisé en ce que les registres accumulateurs comportent une mémoire de sortie (MEM2kj) pour contenir la valeur accumulée de plusieurs signaux correspondant à des lignes différentes, et un additionneur (ADDkj) pour additionner le contenu de la sortie du convertisseur analogique-numérique (MEM1j, CAN) au contenu de la mémoire de sortie et placer le résultat de l'addition dans cette mémoire.

5. Capteur d'image selon la revendication 4, caractérisé en ce que la conversion analogique-numérique se fait sur B bits, et la mémoire (MEM2kj) a un nombre de bits suffisant pour permettre l'accumulation, sans saturation, de N fois la valeur maximale 2^B-1 de sortie du convertisseur.

6. capteur d'image linéaire selon la revendication 5, caractérisé en ce que la mémoire a une dynamique d'au moins B+b bits où b, entier, est compris entre $\log_2(N-1)$ et $\log_2(N)$.

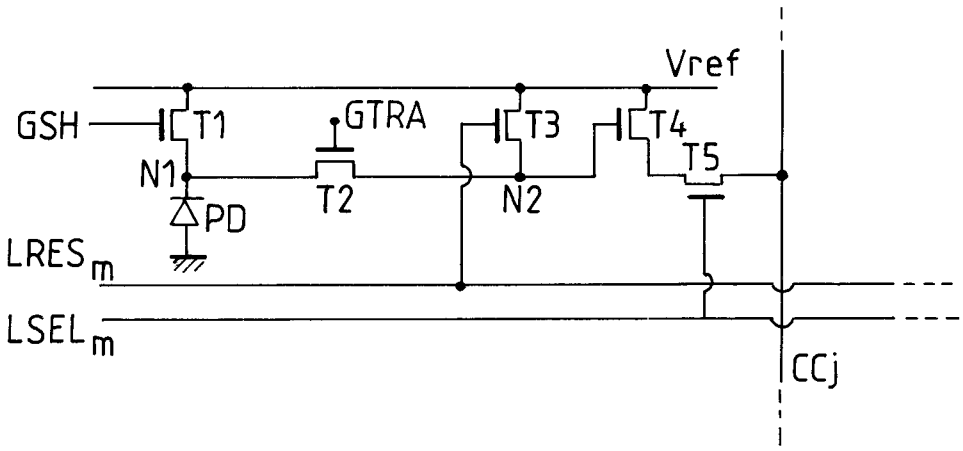

Vref
GSH
T1
GTRA
T3
T4
T5
N1
T2
N2
PD
LRES m
LSEL m
CCj

FIG.1

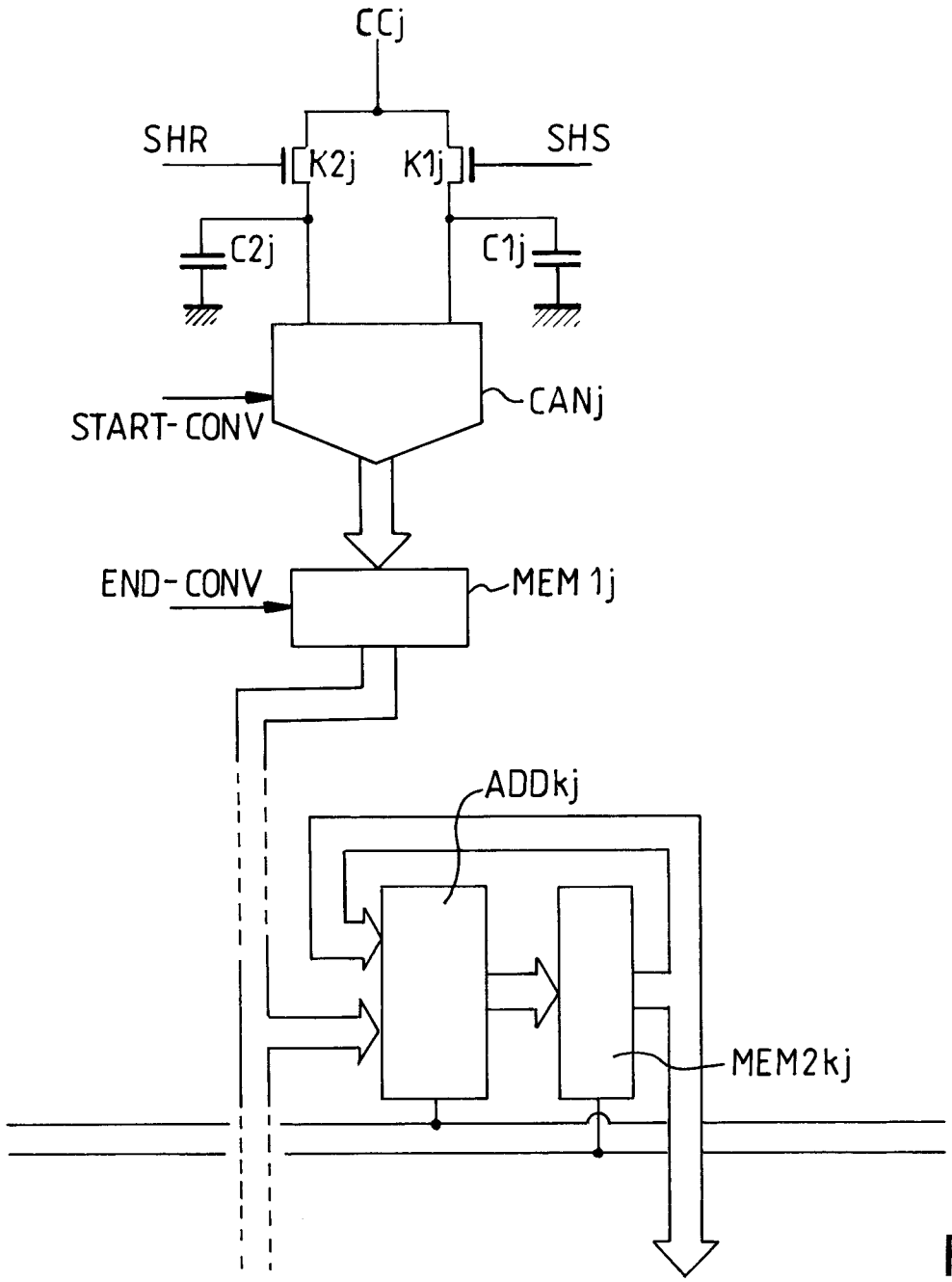

CCj
SHR
K2j
K1j
SHS
C2j
C1j
START-CONV
CANj
END-CONV
MEM 1j
ADDkj
MEM2kj

FIG.2

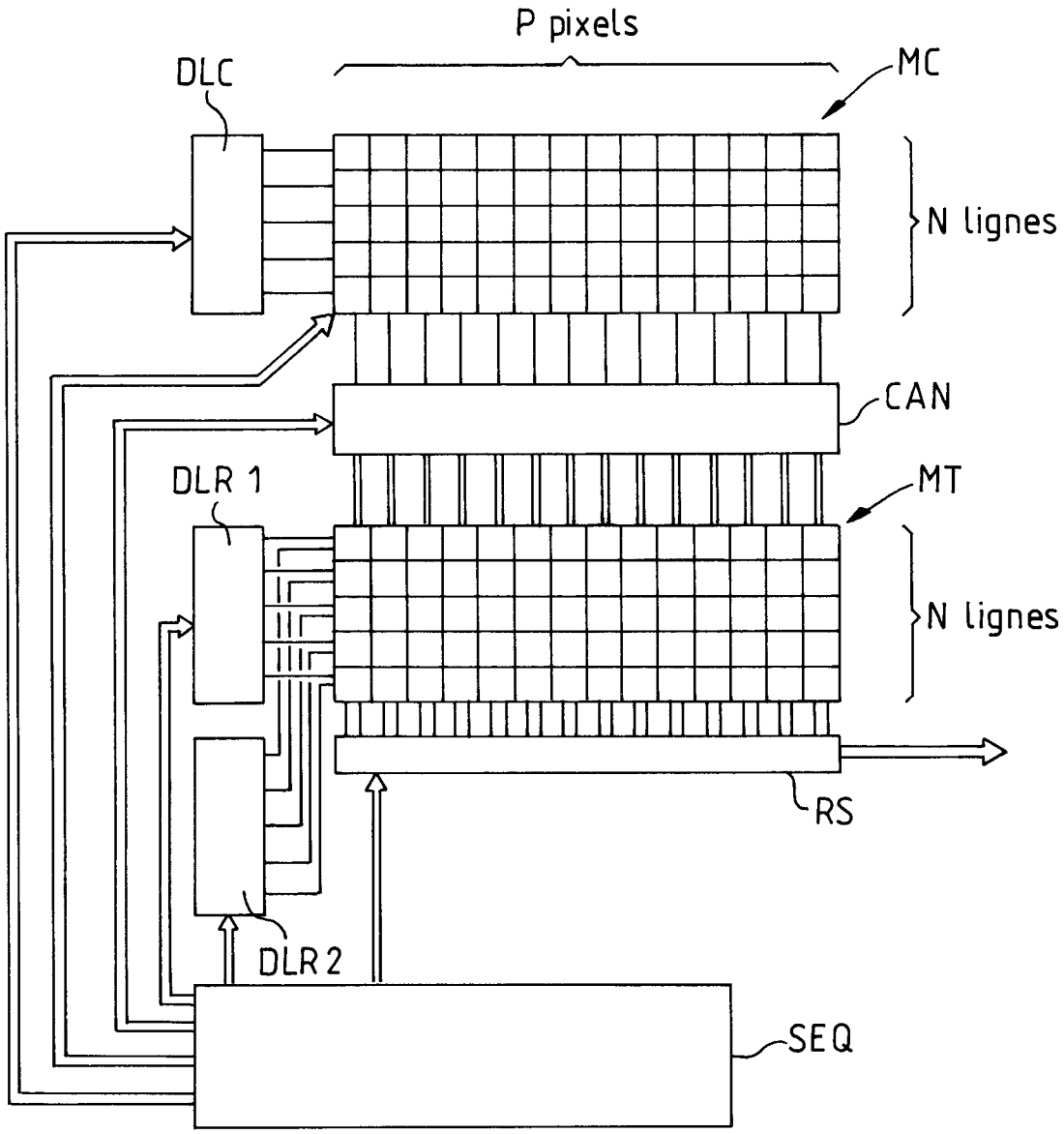


FIG.3

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2007/059777

A. CLASSIFICATION OF SUBJECT MATTER
INV. H04N3/15 H04N5/335

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H04N

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)
EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 6 906 749 B1 (FOX ERIC [CA]) 14 June 2005 (2005-06-14) column 1, line 26 - column 2, line 7 column 2, line 37 - column 3, line 19	1-6
A	US 4 614 966 A (YUNOKI YUTAKA [JP] ET AL) 30 September 1986 (1986-09-30) column 4, line 17 - line 45; figure 13	1-6
A	EP 0 738 074 A1 (THOMSON CSF [FR]) 16 October 1996 (1996-10-16) page 2, line 36 - line 41 page 3, line 29 - line 35	1-6

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
11 October 2007	19/10/2007

Name and mailing address of the ISA/	Authorized officer
European Patent Office, P.B. 5818 Patentlaan 2 NL – 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016	Montanari, Marco

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No
PCT/EP2007/059777

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 6906749 B1	14-06-2005	NONE	
US 4614966 A	30-09-1986	DE 3381463 D1	17-05-1990
		EP 0102030 A2	07-03-1984
		JP 59034772 A	25-02-1984
EP 0738074 A1	16-10-1996	DE 69608845 D1	20-07-2000
		DE 69608845 T2	09-11-2000
		FR 2733111 A1	18-10-1996
		JP 8294061 A	05-11-1996
		US 5812190 A	22-09-1998

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale n°
PCT/EP2007/059777

A. CLASSEMENT DE L'OBJET DE LA DEMANDE
INV. H04N3/15 H04N5/335

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)
H04N

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si cela estréalisable, termes de recherche utilisés)
EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	US 6 906 749 B1 (FOX ERIC [CA]) 14 juin 2005 (2005-06-14) colonne 1, ligne 26 - colonne 2, ligne 7 colonne 2, ligne 37 - colonne 3, ligne 19	1-6
A	US 4 614 966 A (YUNOKI YUTAKA [JP] ET AL) 30 septembre 1986 (1986-09-30) colonne 4, ligne 17 - ligne 45; figure 13	1-6
A	EP 0 738 074 A1 (THOMSON CSF [FR]) 16 octobre 1996 (1996-10-16) page 2, ligne 36 - ligne 41 page 3, ligne 29 - ligne 35	1-6

☐ Voir la suite du cadre C pour la fin de la liste des documents

☒ Les documents de familles de brevets sont indiqués en annexe

* Catégories spéciales de documents cités:

"A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent

"E" document antérieur, mais publié à la date de dépôt international ou après cette date

"L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)

"O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens

"P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

"T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention

"X" document particulièrement pertinent; l'inven tion revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément

"Y" document particulièrement pertinent; l'inven tion revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier

"&" document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée	Date d'expédition du présent rapport de recherche internationale
11 octobre 2007	19/10/2007

Nom et adresse postale de l'administration chargée de la recherche internationale	Fonctionnaire autorisé
Office Européen des Brevets, P.B. 5818 Patentlaan 2 NL – 2280 HV Rijswijk Tel. (+31–70) 340–2040, Tx. 31 651 epo nl, Fax: (+31–70) 340–3016	Montanari, Marco

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Demande internationale n°
PCT/EP2007/059777

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)		Date de publication
US 6906749	B1	14-06-2005	AUCUN		
US 4614966	A	30-09-1986	DE	3381463 D1	17-05-1990
			EP	0102030 A2	07-03-1984
			JP	59034772 A	25-02-1984
EP 0738074	A1	16-10-1996	DE	69608845 D1	20-07-2000
			DE	69608845 T2	09-11-2000
			FR	2733111 A1	18-10-1996
			JP	8294061 A	05-11-1996
			US	5812190 A	22-09-1998