

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5118939号
(P5118939)

(45) 発行日 平成25年1月16日(2013.1.16)

(24) 登録日 平成24年10月26日(2012.10.26)

(51) Int.Cl.

F I

G09G 3/20 (2006.01)

G09G 3/36 (2006.01)

G02F 1/133 (2006.01)

G09G 3/20 670C

G09G 3/20 612G

G09G 3/20 612E

G09G 3/20 612J

G09G 3/36

請求項の数 3 (全 9 頁) 最終頁に続く

(21) 出願番号 特願2007-277160 (P2007-277160)
 (22) 出願日 平成19年10月25日(2007.10.25)
 (65) 公開番号 特開2009-104014 (P2009-104014A)
 (43) 公開日 平成21年5月14日(2009.5.14)
 審査請求日 平成22年10月21日(2010.10.21)

(73) 特許権者 000116024
 ローム株式会社
 京都府京都市右京区西院溝崎町2 1 番地
 (74) 代理人 100085501
 弁理士 佐野 静夫
 (74) 代理人 100134555
 弁理士 林田 英樹
 (72) 発明者 中谷 善之
 京都市右京区西院溝崎町2 1 番地 ローム
 株式会社内
 (72) 発明者 中嶋 崇順
 京都市右京区西院溝崎町2 1 番地 ローム
 株式会社内

審査官 居島 一仁

最終頁に続く

(54) 【発明の名称】 液晶駆動装置及びこれを用いた液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

第1電源電圧を駆動電圧とし、第1電源電圧よりも高い第2電源電圧を監視して、これが所定の閾値を下回っているか否かを示すモニタ信号を生成する電源監視部と；

第1電源電圧を駆動電圧とし、前記モニタ信号に応じてリセットリクエスト信号を生成するロジック部と；

第2電源電圧を駆動電圧とし、前記リセットリクエスト信号に応じてリセット信号を生成するリセット信号生成部と；

第2電源電圧を駆動電圧とし、前記リセット信号に応じて液晶セルの放電処理を行うドライバ部と；

を有して成り、

前記電源監視部は、

アノードが第2電源電圧の印加端に接続されたダイオードと、

ソース及びバックゲートが第1電源電圧の印加端に接続され、ゲートが前記ダイオードのカソードに接続された第1Pチャネル型電界効果トランジスタと、

ソース及びバックゲートが第1電源電圧の印加端に接続され、ゲートが第1Pチャネル型電界効果トランジスタのドレインに接続され、ソースが前記モニタ信号の出力端に接続された第2Pチャネル型電界効果トランジスタと、

ドレイン及びゲートが前記ダイオードのカソードに接続され、バックゲートが接地端に接続された第1Nチャネル型電界効果トランジスタと、

ドレインが第 1 N チャンネル型電界効果トランジスタのソースに接続され、ゲートが前記ダイオードのカソードに接続され、ソース及びバックゲートが接地端に接続された第 2 N チャンネル型電界効果トランジスタと、

ドレイン及びゲートが第 1 P チャンネル型電界効果トランジスタのドレインに接続され、バックゲートが接地端に接続された第 3 N チャンネル型電界効果トランジスタと、

ドレインが第 3 N チャンネル型電界効果トランジスタのソースに接続され、ゲートが第 1 P チャンネル型電界効果トランジスタのドレインに接続され、ソース及びバックゲートが接地端に接続された第 4 N チャンネル型電界効果トランジスタと、

ドレインが前記モニタ信号の出力端に接続され、ゲートが第 1 P チャンネル型電界効果トランジスタのドレインに接続され、ソース及びバックゲートが接地端に接続された第 5 N チャンネル型電界効果トランジスタと、

10

を有して成り、前記第 1 P チャンネル型電界効果トランジスタのドレイン電圧に応じて前記モニタ信号の論理変遷を行うことを特徴とする液晶駆動装置。

【請求項 2】

前記電源監視部と前記ロジック部との間に設けられて、外部リセット信号が第 1 論理レベルであるときには、前記電源監視部から前記ロジック部に前記モニタ信号をスルー出力する一方、前記外部リセット信号が第 2 論理レベルであるときには、前記電源監視部での監視結果に依ることなく前記ロジック部に入力される前記モニタ信号を第 2 電源電圧が所定の閾値を下回っているときの論理レベルに固定する論理ゲート部を有して成ることを特徴とする請求項 1 に記載の液晶駆動装置。

20

【請求項 3】

複数の走査線と複数の信号線との間に液晶セルを挟持して成る液晶表示パネルと、前記液晶セルの駆動制御を行う請求項 1 または請求項 2 に記載の液晶駆動装置と、を有して成ることを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶セルの駆動制御を行う液晶駆動装置、及び、これを用いた液晶表示装置に関するものである。

【背景技術】

30

【0002】

近年、パーソナルコンピュータや携帯電話端末の表示手段として、液晶表示装置が広く一般に用いられている。

【0003】

なお、液晶表示装置やその電源装置に関連する従来技術の一例としては、下記の特許文献 1、2 を挙げることができる。

【特許文献 1】特開平 9 - 160000 号公報

【特許文献 2】特開平 5 - 224621 号公報

【発明の開示】

【発明が解決しようとする課題】

40

【0004】

ところで、液晶表示装置のドライバ IC には、図 4 に示すように、ロジック回路系（ロジック部 100）を駆動するための第 1 電源電圧 V_{cc1} （例えば 1.8 [V]）と、アナログ回路系（リセット信号生成部 200 やドライバ部 300 など）を駆動するための第 2 電源電圧 V_{cc2} （例えば 2.8 [V]）が供給されており、液晶表示装置の電源オフ時には、リセット信号生成部 200 から出力されるリセット信号 EN をトリガとして、ドライバ部 300 による液晶セルの放電処理が行われていた。このようなシーケンスによれば、液晶セルに蓄積された電荷を放電した後に、液晶表示装置の動作を停止することができるので、液晶表示パネルに意図しないライン表示を生じることはない。

【0005】

50

しかしながら、液晶表示装置の動作中に電池が取り外された場合など、通常とは異なるシーケンスで電源がオフされた場合、従来のドライバICでは、リセット信号生成部200からドライバ部300に対してリセット信号ENを送出する前に、アナログ回路系を駆動するための第2電源電圧Vcc2がアナログ回路系の最低動作保証電圧（アナログ回路系の正常動作を保証することができる最低電圧）を下回ってしまい、リセット信号生成部200が動作不能となるおそれがあった。このような状態に陥ってしまうと、従来のドライバICでは、ドライバ部300による液晶セルの放電処理を実施することができないため、液晶表示装置の動作が停止された後も、液晶セルに意図しない電荷が残留したままとなり、これが液晶表示パネルに意図しないライン表示を生じる原因となっていた。

【0006】

10

本発明は、上記問題点に鑑み、電源オフに際して確実に液晶セルの電荷を放電することが可能な液晶駆動装置、及び、これを用いた液晶表示装置を提供することを目的とする。

【課題を解決するための手段】

【0007】

上記の目的を達成するために、本発明に係る液晶駆動装置は、第1電源電圧を駆動電圧とし、第1電源電圧よりも高い第2電源電圧を監視して、これが所定の閾値を下回っているか否かを示すモニタ信号を生成する電源監視部と；第1電源電圧を駆動電圧とし、前記モニタ信号に応じてリセットリクエスト信号を生成するロジック部と；第2電源電圧を駆動電圧とし、前記リセットリクエスト信号に応じてリセット信号を生成するリセット信号生成部と；第2電源電圧を駆動電圧とし、前記リセット信号に応じて液晶セルの放電処理を行うドライバ部と；を有して成る構成（第1の構成）とされている。

20

【0008】

なお、上記第1の構成から成る液晶駆動装置において、前記電源監視部は、アノードが第2電源電圧の印加端に接続されたダイオードと、ソースが第1電源電圧の印加端に接続され、ゲートが前記ダイオードのカソードに接続されたPチャネル型電界効果トランジスタと、を有して成り、前記Pチャネル型電界効果トランジスタのドレイン電圧に応じて前記モニタ信号の論理変遷を行う構成（第2の構成）にするとよい。

【0009】

また、上記第1または第2の構成から成る液晶駆動装置は、前記モニタ信号と外部リセット信号との論理演算信号を生成する論理ゲート部を有して成り、前記ロジック部は、前記論理演算信号に応じて前記リセットリクエスト信号を生成する構成（第3の構成）にするとよい。

30

【0010】

また、本発明に係る液晶表示装置は、複数の走査線と複数の信号線との間に液晶セルを挟持して成る液晶表示パネルと、前記液晶セルの駆動制御を行う上記第1～第3いずれかの構成から成る液晶駆動装置と、を有して成る構成（第4の構成）とされている。

【発明の効果】

【0011】

本発明によれば、電源オフに際して確実に液晶セルの電荷を放電することができる。

【発明を実施するための最良の形態】

40

【0012】

以下では、本発明を液晶表示装置に適用した場合を例に挙げて、詳細な説明を行う。

【0013】

図1は、本発明に係る液晶表示装置の一実施形態を示す図である。

【0014】

図1に示すように、本実施形態の液晶表示装置は、液晶駆動装置1と、その駆動対象である液晶表示パネル2と、を有して成る。

【0015】

液晶駆動装置1は、液晶表示パネル2の液晶セルを駆動する容量負荷駆動装置であり、ロジック部11と、メモリ部12と、セグメントドライバ部13と、コモンドライバ部1

50

4と、電源部15と、を集積化して成る半導体装置である。

【0016】

ロジック部11は、映像信号や制御信号の入力を受け、液晶表示の制御に必要な各種信号（データ信号やコモン選択信号等を含む）をセグメントドライバ部13及びコモンドライバ部14に供給する手段であり、データレジスタ、コマンドデコーダ、MPU[Micro Processing Unit]インターフェイス、コントロールレジスタ、アドレスカウンタ、タイミングジェネレータなどを有して成る（いずれも不図示）。

【0017】

メモリ部12は、ロジック部11で生成されたセグメント制御信号を一旦格納し、これを適宜読み出してセグメントドライバ部13に送出するバッファ手段である。

10

【0018】

セグメントドライバ部13は、ロジック部11から入力されるデータ信号（延いては、装置外部から入力される映像信号）に応じてセグメント駆動信号 $X_1 \sim X_m$ を生成し、これらを液晶表示パネル1の各信号線（液晶セルの各一端）に供給する手段である。

【0019】

コモンドライバ部14は、ロジック部11から入力されるコモン選択信号に応じてコモン駆動信号 $Y_1 \sim Y_n$ を生成し、これらを液晶表示パネル1の各走査線（液晶セルの各他端）に供給する手段である。

【0020】

電源部15は、装置外部から第1電源電圧 V_{cc1} （主としてロジック回路系を駆動するための電源電圧であり、例えば1.8[V]）と、第2電源電圧 V_{cc2} （主としてアナログ回路系を駆動するための電源電圧であり、例えば2.8[V]）の入力を受けて、ロジック部11、メモリ部12、セグメントドライバ部13、及び、コモンドライバ部14にそれぞれ電力供給を行う手段である。なお、電源部15には、第1電源電圧 V_{cc1} や第2電源電圧 V_{cc2} の供給ラインに平滑キャパシタが接続されており、液晶表示装置の電源オフ時において、第1電源電圧 V_{cc1} 及び第2電源電圧 V_{cc2} は、上記した平滑キャパシタの放電に伴って、その電圧レベルが徐々に低下していく。

20

【0021】

液晶表示パネル2は、複数の信号線（セグメント信号線）とこれに直交する複数の走査線（コモン信号線）との各交点にそれぞれ液晶セルを挟持して成る単純マトリクス型（STN[Super Twisted Nematic]型）の液晶表示パネルであり、各液晶セルの両端間に電圧をかけることで液晶分子の向きを変え、光の透過を制御することによって、任意の文字や画像を表示するものである。

30

【0022】

次に、液晶表示装置の電源オフ時における液晶セルの放電処理について説明する。

【0023】

図2は、液晶セルの放電処理を実現するためのブロック図である。

【0024】

図2に示すように、本実施形態の液晶駆動装置1は、液晶セルの放電処理に関連する回路ブロックとして、先出の図1で示した回路ブロック11～15のほかに、アナログ電源監視部20と、論理積演算器21と、リセット信号生成部22と、を有して成る。

40

【0025】

アナログ電源監視部20は、第1電源電圧 V_{cc1} を駆動電圧とし、第1電源電圧 V_{cc1} よりも高い第2電源電圧 V_{cc2} を監視して、これが所定の閾値（アナログ回路系の最低動作保証電圧よりも高い任意の電圧値）を下回っているか否かを示すモニタ信号 S_a を生成する手段である。なお、モニタ信号 S_a は、例えば、第2電源電圧 V_{cc2} が所定の閾値を下回っていればローレベルとなり、下回っていなければハイレベルとなる2値信号である。アナログ電源監視部20の内部構成及び動作については、後ほど詳述する。

【0026】

論理積演算器21は、モニタ信号 S_a と外部リセット信号 S_b との論理積演算信号 S_c

50

を生成する論理ゲート部である。すなわち、論理積演算信号 S_c は、モニタ信号 S_a と外部リセット信号 S_b が共にハイレベルである場合にのみハイレベルとなり、その余の場合にはローレベルとなる 2 値信号である。

【0027】

ロジック部 11 は、第 1 電源電圧 V_{cc1} を駆動電圧とし、先述した諸機能を実現するほか、論理積演算信号 S_c に応じてリセットリクエスト信号 S_d を生成する手段である。なお、ロジック部 11 は、論理積演算信号 S_c の立下がりエッジをトリガとして、リセットリクエスト信号 S_d の送出を行う。

【0028】

リセット信号生成部 22 は、第 2 電源電圧 V_{cc2} を駆動電圧とし、リセットリクエスト信号 S_d に応じてリセット信号 EN を生成する手段である。

10

【0029】

セグメントドライバ部 13 及びコモンドライバ部 14 は、第 2 電源電圧 V_{cc2} を駆動電圧とし、先述した諸機能を実現するほか、リセット信号 EN に応じて液晶セル（図 2 では不図示）の放電処理を行う手段である。

【0030】

上記構成から成る液晶駆動装置 1 において、ロジック部 11 は、外部リセット信号 S_b がローレベルとされた場合だけでなく、アナログ電源監視部 20 にて第 2 電源電圧 V_{cc2} が所定の閾値を下回ったことが検出され、モニタ信号 S_a がローレベルとされた場合にも、リセット信号生成部 22 に対してリセットリクエスト信号 S_d を送出する。

20

【0031】

従って、液晶表示装置の動作中に電池が取り外された場合など、通常とは異なるシーケンスで電源がオフされたとしても、第 2 電源電圧 V_{cc2} がアナログ回路系の最低動作保証電圧を下回る前に、リセット信号生成部 22 からセグメントドライバ部 13 及びコモンドライバ部 14 に対してリセット信号 EN を送出し、液晶セルに蓄積された電荷を確実に放電した後に、液晶表示装置の動作を停止することが可能となるので、液晶表示パネル 2 に意図しないライン表示を生じるおそれがなくなる。

【0032】

なお、液晶表示装置の電源オフに伴い、第 2 電源電圧 V_{cc2} だけでなく、第 1 電源電圧 V_{cc1} も当然に低下するが、第 2 電源電圧 V_{cc2} がアナログ回路系の最低動作保証電圧を下回る前であれば、第 1 電源電圧 V_{cc1} もロジック回路系の最低動作保証電圧を下回ることはないと考えられるので、上記のリセット動作に支障が生じることはない。また、第 1 電源電圧 V_{cc1} が第 2 電源電圧 V_{cc2} よりも先に低下した場合でも、第 2 電源電圧 V_{cc2} が最低動作保証電圧を下回らない領域では、ロジック部 11 からのリセットリクエスト信号 S_d がローレベルとなってリセットがかかるため、回路に問題が生じることはない。

30

【0033】

次に、アナログ電源監視部 20 の内部構成及び動作について、詳細な説明を行う。

【0034】

図 3 は、アナログ電源監視部 20 の一構成例を示すブロック図である。

40

【0035】

図 3 に示すように、本構成例のアナログ電源監視部 20 は、ダイオード D_1 と、Pチャネル型 MOS 電界効果トランジスタ P_1 及び P_2 と、Nチャネル型 MOS 電界効果トランジスタ $N_1 \sim N_5$ と、を有して成る。

【0036】

ダイオード D_1 のアノードは、第 2 電源電圧 V_{cc2} の印加端に接続されている。ダイオード D_1 のカソードは、トランジスタ N_1 のドレインに接続されている。トランジスタ N_1 のソースは、トランジスタ N_2 のドレインに接続されている。トランジスタ N_2 のソースは、接地端に接続されている。トランジスタ N_1 、 N_2 のゲートは、いずれもダイオード D_1 のカソードに接続されている。トランジスタ N_1 、 N_2 のバックゲートは、いず

50

れも接地端に接続されている。

【 0 0 3 7 】

トランジスタ P 1 のソース及びバックゲートは、いずれも第 1 電源電圧 V_{cc1} の印加端に接続されている。トランジスタ P 1 のゲートは、ダイオード D 1 のカソードに接続されている。トランジスタ P 1 のドレインは、トランジスタ N 3 のドレインに接続されている。トランジスタ N 3 のソースは、トランジスタ N 4 のドレインに接続されている。トランジスタ N 4 のソースは、接地端に接続されている。トランジスタ N 3、N 4 のゲートはいずれもトランジスタ P 1 のドレインに接続されている。トランジスタ N 3、N 4 のバックゲートは、いずれも接地端に接続されている。

【 0 0 3 8 】

トランジスタ P 2 のソース及びバックゲートは、いずれも第 1 電源電圧 V_{cc1} の印加端に接続されている。トランジスタ P 2 のゲートは、トランジスタ P 1 のドレインに接続されている。トランジスタ P 2 のドレインは、トランジスタ N 5 のドレインに接続される一方、モニタ信号 S a の出力端として、論理積演算器 2 1 (図 3 では不図示) の入力端にも接続されている。トランジスタ N 5 のソース及びバックゲートは、接地端に接続されている。トランジスタ N 5 のゲートは、トランジスタ P 1 のドレインに接続されている。

【 0 0 3 9 】

上記構成から成るアナログ電源監視部 2 0 において、トランジスタ P 1 のゲートには、第 2 電源電圧 V_{cc2} よりもダイオード D 1 の順方向降下電圧 V_f (約 0 . 6 [V]) だけ低い電圧 ($V_{cc2} - V_f$) が印加されており、液晶表示装置の電源オン時には、第 2 電源電圧 V_{cc2} が 2 . 8 [V] に維持されるので、トランジスタ P 1 のゲート電圧は、約 2 . 2 [V] に維持される。一方、トランジスタ P 1 のソースには、第 1 電源電圧 V_{cc1} が印加されており、液晶表示装置の電源オン時には、第 1 電源電圧 V_{cc1} が 1 . 8 [V] に維持されるので、トランジスタ P 1 のソース電圧も 1 . 8 [V] に維持される。

【 0 0 4 0 】

従って、液晶表示装置の電源オン時には、トランジスタ P 1 のゲート電圧がソース電圧よりも高くなるため、トランジスタ P 1 はオフとなり、トランジスタ P 1 のドレイン電圧は、トランジスタ N 3、N 4 を介してローレベルとなる。その結果、トランジスタ P 2 がオンとなり、トランジスタ N 5 がオフとなるので、モニタ信号 S a はハイレベルとなる。

【 0 0 4 1 】

一方、液晶表示装置の動作中に電池が取り外された場合など、通常とは異なるシーケンスで電源がオフされたことに伴って、第 2 電源電圧 V_{cc2} が低下し、トランジスタ P 1 のゲート電圧 ($V_{cc2} - V_f$) がトランジスタ P 1 のソース電圧 V_{cc1} よりもトランジスタ P 1 のオンスレッシュホールド電圧 V_{th} (約 0 . 6 [V]) だけ低くなると、トランジスタ P 1 がオンとなり、トランジスタ P 1 のドレイン電圧は、第 1 電源電圧 V_{cc1} に吊られてハイレベルとなる。その結果、トランジスタ P 2 がオフとなり、トランジスタ N 5 がオンとなるので、モニタ信号 S a はローレベルとなる。

【 0 0 4 2 】

なお、ダイオード D 1 を用いず、第 2 電源電圧 V_{cc2} をトランジスタ P 1 のゲートに直接印加する構成では、トランジスタ P 1 がオフからオンに転じる時点で、第 2 電源電圧 V_{cc2} がアナログ回路系の最低動作保証電圧を下回っているおそれがあるため、液晶セルの放電処理を確実にを行うためには、図 3 に示した回路構成を採用することが望ましい。

【 0 0 4 3 】

このように、上記構成から成るアナログ電源監視部 2 0 であれば、ダイオード D 1 の順方向降下電圧 V_f を利用することにより、第 2 電源電圧 V_{cc2} が実使用範囲よりも大幅に低下した場合であって、かつ、第 2 電源電圧 V_{cc2} がアナログ回路系の最低動作保証電圧を下回る前に、モニタ信号 S a の論理をハイレベルからローレベルに変遷させることができるので、液晶表示装置の電源オフに際して、ノイズなどの影響を受けることなく、確実に液晶セルの放電処理を実行することが可能となる。

【 0 0 4 4 】

なお、上記の実施形態では、本発明を単純マトリクス型の液晶表示パネルを駆動する液晶表示装置に適用した場合を例示して説明を行ったが、本発明の適用対象はこれに限定されるものではなく、その他形式の液晶表示パネルを駆動する液晶表示装置はもちろん、その他の機器に搭載される電源装置全般についても、本発明を適用することが可能である。

【 0 0 4 5 】

また、本発明の構成は、上記実施形態のほか、発明の主旨を逸脱しない範囲で種々の変更を加えることが可能である。

【 0 0 4 6 】

例えば、上記実施形態では、モニタ信号 S a と外部リセット信号 S b の論理演算信号を生成する論理ゲート部として、論理積演算器 2 1 を用いた構成を例に挙げて説明を行ったが、本発明の構成はこれに限定されるものではなく、その余の論理ゲート部を用いてもよいし、或いは、モニタ信号 S a をロジック部 1 1 に直接入力する構成としても構わない。

10

【産業上の利用可能性】

【 0 0 4 7 】

本発明は、例えば、電池駆動の液晶駆動装置において、電源オフ時の意図しないライン表示を防止する上で有用な技術である。

【図面の簡単な説明】

【 0 0 4 8 】

【図 1】は、本発明に係る液晶表示装置の一実施形態を示すブロック図である。

【図 2】は、液晶セルの放電処理を実現するためのブロック図である。

20

【図 3】は、アナログ電源監視部 2 0 の一構成例を示すブロック図である。

【図 4】は、液晶駆動装置の一従来例を示すブロック図である。

【符号の説明】

【 0 0 4 9 】

1 液晶駆動装置（容量負荷駆動装置）

1 1 ロジック部

1 2 メモリ部

1 3 セグメントドライバ部

1 4 コモンドライバ部

1 5 電源部

30

2 0 アナログ電源監視部

2 1 論理積演算器

2 2 リセット信号生成部

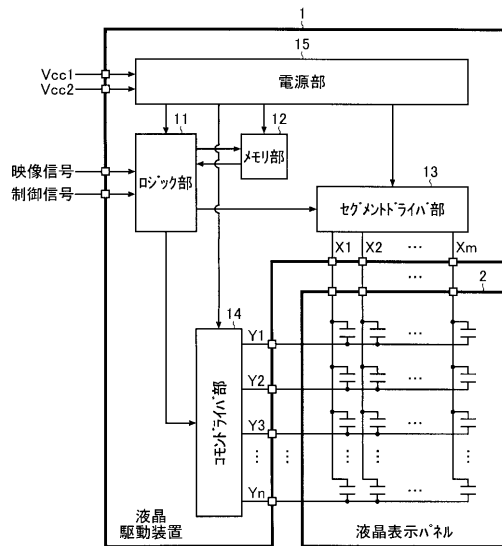
2 液晶表示パネル

D 1 ダイオード

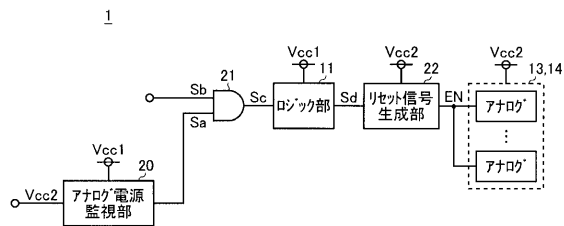
P 1、P 2 Pチャネル型 MOS 電界効果トランジスタ

N 1 ~ N 5 Nチャネル型 MOS 電界効果トランジスタ

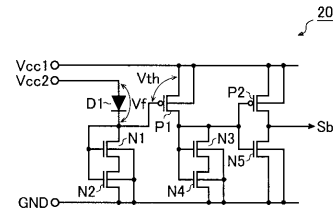
【図 1】



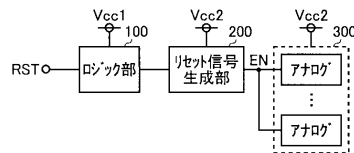
【図 2】



【図 3】



【図 4】



フロントページの続き

(51)Int.Cl.

F I

G 0 2 F 1/133 5 0 5

(56)参考文献 特開2006-078680(JP,A)
特開2004-335871(JP,A)
特開2005-043698(JP,A)
特開2005-049651(JP,A)
特開2004-226597(JP,A)
特開2007-212689(JP,A)
特開平8-154334(JP,A)
特開2003-255026(JP,A)
特開2006-211297(JP,A)
特開2005-30818(JP,A)
特開2006-105810(JP,A)
特開2000-305637(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G 3 / 2 0 - 3 / 3 8

G 0 2 F 1 / 1 3 3

G 0 6 F 1 / 0 0