

I237270

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：P311055P

※申請日期：P3.4.15 ※IPC分類：G11C 16/02

壹、發明名稱：(中文/英文)

非揮發性半導體記憶裝置及使用其之電子卡及電子裝置
NON-VOLATILE SEMICONDUCTOR MEMORY DEVICE,
ELECTRONIC CARD USING THE SAME AND ELECTRONIC
APPARATUS

貳、申請人：(共 2 人)

姓名或名稱：(中文/英文)

1. 日商東芝股份有限公司
KABUSHIKI KAISHA TOSHIBA
2. 美商聖地斯克公司
SANDISK CORPORATION

代表人：(中文/英文)

1. 岡村 正
OKAMURA, TADASHI
2. (1) 麥克 葛瑞
GRAY, MICHAEL
(2) 查爾斯 樊 歐登
VAN ORDEN, CHARLES

住居所或營業所地址：(中文/英文)

1. 日本國東京都港區芝浦1丁目1番1號
1-1, SHIBAURA, 1-CHOME, MINATO-KU, TOKYO 105-8001, JAPAN
2. 美國加州桑尼貝市卡斯本可特140號
140 CASPIAN COURT, SUNNYVALE, CA 94089, U. S. A.

國籍：(中文/英文)

1. 日本 JAPAN
2. 美國 U.S.A.

參、發明人：(共 5 人)

姓 名：(中文/英文)

1. 田中 智晴

TANAKA, TOMOHARU

2. 堂前 宏之

DOHMAE, HIROYUKI

3. 井上 敦史

INOUE, ATSUSHI

4. 佐藤 雄亮

SATO, TAKEAKI

5. 肯達克 N 昆德

QUADER, KHANDKER N.

住居所地址：(中文/英文)

1.-4. 均日本國東京都港區芝浦一丁目1番1號東芝股份有限公司知的財產部內

C/O INTELLECTUAL PROPERTY DIVISION, TOSHIBA
CORPORATION, 1-1, SHIBAURA 1-CHOME, MINATO-KU,
TOKYO 105-8001, JAPAN

5. 美國加州桑尼貝市東愛卡蜜農瑞路965號826室

965 E. EL CAMINO REAL, #826 SUNNYVALE, CA 94087, U.S.A.

國 籍：(中文/英文)

1.-4. 均日本 JAPAN

5. 美國 U.S.A.

肆、聲明事項：

本案係符合專利法第二十條第一項 第一款但書或 第二款但書規定之期間，其日期為： 年 月 日。

本案申請前已向下列國家(地區)申請專利：

1. 日本；2003年04月18日；特願2003-114762

2.

3.

4.

5.

主張國際優先權(專利法第二十四條)：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本；2003年04月18日；特願2003-114762

2.

3.

4.

5.

主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本發明係關於可電性地重寫資料之非揮發性半導體記憶裝置及使用該裝置之電子卡及電子裝置，特別係關於對記憶胞陣列之寫入/讀出控制者，例如使用於NAND型快閃記憶體。

【先前技術】

在可電性地重寫資料之非揮發性半導體記憶裝置中，可整批消除之快閃記憶體係利用寫入/讀出動作，改變記憶胞電晶體之浮動閘極之電荷量，改變其臨限值電壓，以記憶資料。例如，放出電子使臨限值電壓成負值，以記憶"0"資料，注入電子使臨限值電壓成正值，以記憶"1"資料。電子之放出/注入例如係在浮動閘極與半導體基板間，經由隧道氧化膜進行。因此，隧道氧化膜可能隨著資料之重寫次數之增加而劣化，例如，注入於浮動閘極之電子會由隧道氧化膜漏出，而難以保持資料。多數快閃記憶體可重寫次數為每1快閃記憶體10萬次至100萬次。

近年來，在使用快閃記憶體之多數控制系統中，為對應於資料毀壞之情形而導入錯誤訂正系統。即使重寫次數增多，例如528位元組中之1位元有錯誤，也可利用錯誤訂正系統加以訂正。此錯誤訂正系統在以往，為抑制快閃記憶體之成本，或為高速執行錯誤訂正，係被設置於專門負責運算處理之控制器晶片上。

另一方面，在使用快閃記憶體之電子機器之控制系統

中，在其啟動(開機)時，需將啟動系統用之程式由ROM(唯讀記憶體)讀入處理器單元。上述啟動用程式中亦含控制快閃記憶體用之資料及錯誤訂正程式。

圖20係表示使用以往之NAND快閃記憶體之控制系統之構成例之區塊圖。

微處理器(MPU)103係經由系統I/O匯流排線(I/O bus line)連接於ROM104、SRAM102與NAND快閃記憶體105。MPU103在系統啟動時，由ROM104讀出系統啟動程式，以控制SRAM102及NAND快閃記憶體105。在該程式中亦含對NAND快閃記憶體105之資料執行錯誤訂正用之程式碼。此NAND快閃記憶體105如磁碟一般，可使用作為檔案儲存器，在數位攝影機等中，使用於圖像記憶。

又，將錯誤訂正系統搭載於快閃記憶體之技術例如曾揭示於以下之文獻中：

日本特許第3272903號專利說明書

日本特開2001-14888號公報

T.Tanzawa et.al., "A Compact On-Chip ECC for Low Cost Flash memories", 1996 Symposium on VLSI Circuits Digest of Technical Papers

如上所述，使用以往之快閃記憶體之系統需要執行其錯誤訂正之控制器晶片及儲存啟動用之程式之ROM，故有構成裝置數較多之問題。

【發明內容】

本發明之第1形態之非揮發性半導體記憶裝置係包含可

電性地重寫資料之多數非揮發性半導體記憶胞、為施行對前述非揮發性半導體記憶胞之資料寫入/讀出而在與外部之間授受資料之介面部、及控制前述非揮發性半導體記憶胞用之控制電路；前述介面部與控制電路係包含第1讀出模態，其係經第1啟動步驟而由前述非揮發性半導體記憶胞讀出資料，連續地經由前述介面部輸出 $(N+M)$ (N 為2之 n 次方， n 為正整數， $N > M$)位元組之資料者；及第2讀出模態，其係經第2啟動步驟而由前述非揮發性半導體記憶胞讀出資料，連續地經由前述介面部輸出 K (K 為2之 k 次方， k 為正整數)位元組之資料者。在此，例如 $K > N$ 。

又，本發明之另一形態之電子卡係搭載例如前述本發明之第1形態之非揮發性半導體記憶裝置所構成。

又，本發明之又另一形態之電子裝置例如係包含上述形態之電子卡、可電性連接於前述電子卡之卡槽、及連接於前述卡槽之卡介面所構成。

【實施方式】

以下，參照圖式，詳細說明本發明之實施形態。

< 第1實施形態 >

圖1係表示本發明之第1實施形態之NAND快閃記憶體及使用該記憶體之控制系統之構成例之區塊圖。又，與圖20對應之處附以相同符號而省略其說明。

NAND快閃記憶體101係將其記憶胞陣列之一部分使用作為ROM區域201，並構成利用錯誤訂正電路(ECC)202施行ROM區域201之資料之錯誤訂正。

對 NAND 快閃記憶體 101 內之 ROM 區域 201 以外之記憶部之存取係利用維持與以往之 NAND 快閃記憶體 105 同樣之介面，以保持與以往之 NAND 快閃記憶體 105 之互換性。

MPU103 係構成在系統啟動時向 NAND 快閃記憶體 101 存取，以讀出含有 NAND 快閃記憶體 101 本身之控制碼及執行資料之錯誤訂正用之程式碼之系統啟動程式。

又作為控制 NAND 快閃記憶體 101 等用之控制器之 MPU103 既可檢出系統之電源之上升而啟動 NAND 快閃記憶體 101，也可由 NAND 快閃記憶體 101 檢出電源之上升而使本身啟動。又，將所讀出之系統啟動程式拷貝至 SRAM102 時，只要系統電源不被切斷，即可使用 SRAM102 作為快取記憶體，相當方便。

圖 2 係表示圖 1 中之 NAND 快閃記憶體 101 之構成例之區塊圖。

在本例之 NAND 快閃記憶體 101 中，設有多數(例如 2 個)記憶胞陣列 1a、1b，且分別對應地設有行控制電路 2a、2b、列控制電路 3a、3b、源極線控制電路 4a、4b、P 井控制電路 5a、5b。

記憶胞陣列 1a、1b 之多數快閃記憶胞配置成矩陣狀。行控制電路 2a、2b 鄰接於對應之記憶胞陣列 1a、1b 而被設置，用於控制記憶胞陣列 1a、1b 之位元線，以執行對記憶胞之資料消除、資料寫入、資料讀出。列控制電路 3a、3b 係選擇對應之記憶胞陣列 1a、1b 之字元線，用於施加消除、寫入、讀出所需之電壓。源極線控制電路 4a、4b 係用於控制

對應之記憶胞陣列 1a、1b 之源極線。P 井控制電路 5a、5b 係用於控制形成對應之記憶胞陣列 1a、1b 之 p 型井之電位。

資料輸出入緩衝器 6 係連接於外部輸出入 (IO) 線 D0-D7，用於執行寫入資料之取得、讀出資料之輸出，位址資料及指令資料之取得。具體而言，係將由外部取得之寫入資料送至行控制電路 2a、2b，取得由行控制電路 2a、2b 讀出之資料而輸出至外部。又，為選擇記憶胞，將由外部取得之位址資料經由狀態機器 9 送至行控制電路 2a、2b 及列控制電路 3a、3b。又，將由外部取得之指令資料送至指令介面 7。

指令介面 7 取得來自外部之控制信號 CEn、WEn、REn、ALE、CLE，判斷輸入於資料輸出入緩衝器 6 之資料為寫入資料或指令資料或位址資料，若為指令資料，則將其送至狀態機器 9 作為指令信號。

錯誤訂正電路 8 係由取得自外部之寫入資料產生錯誤訂正用之檢查碼，且由從記憶胞陣列 1a、1b 之記憶胞讀出之資料中檢出錯誤。

狀態機器 9 係執行快閃記憶體全體之管理，用於執行取得、讀出、寫入、消除來自外部之指令、資料之輸出入管理。

圖 3A-3B 係代表性地取出圖 1 中之 2 組記憶體陣列 1a、1b 中之一方而顯示記憶體陣列 1 之構成之一例之電路圖。

此記憶體陣列如圖 3A 所示，被分割成多數區塊 BLOCK0-BL1023。各區塊 BLOCK_i 為消除之最小單位，例如如圖 3B 所示，係由 4224 個 NAND 型記憶單元所構成。

在本例中，各NAND型記憶單元係由4個記憶胞M串聯連接所構成，其一端經由第1選擇閘極SG1連接於位元線BL_j($j=0\sim 4223$)，他端經由第2選擇閘極SG2連接於共通源極線C-source。

上述第1選擇閘極SG1之閘極係連接於對應於區塊BLOCK_i($i=0\sim 1023$)之第1選擇閘線SGD- i ，第2選擇閘極SG2之閘極係連接於對應於區塊BLOCK_i之第2選擇閘線SGS- i 。而，4個記憶胞M之各閘極係對應地連接於對應於區塊BLOCK_i之4條字元線WL0- $i\sim$ WL3- i ，對連接於1條字元線之4224個記憶胞，同時執行資料之寫入與讀出。各記憶胞所記憶之1位元之資料(整體共有4224位元=以連續相鄰之8位元為單位之528位元組之資料)構成寫入與讀出之最小單位(頁page)。

圖4係代表性地取出圖3B中之記憶胞M之1個份而簡單地顯示構造之一例之剖面圖。

在p型半導體基板11上形成n型井(n-well)12與p型井(p-well)13作為雙重構造，形成於p型井13之n型擴散層14為源極區域及汲極區域。在通道區域上形成隧道氧化膜15，在其上疊層形成浮動閘極16。再於其上疊層形成ONO膜(氧化膜/氮化膜/氧化膜之疊層膜)17與控制閘極18。控制閘極18成為字元線之一部分。

圖5係代表性地取出圖2中之2組行控制電路2a、2b中之一方而顯示行控制電路2之一部分(對應於1位元組份之資料之部分)之構成之一例之電路圖。

對應於8條位元線BL8j~BL8j+7連接著資料記憶電路(DS)DS8j~DS8j+7。各資料記憶電路DS8j~DS8j+7係經經由資料輸出入線d0-d7連接於圖2中之資料輸出入緩衝器6，用於記憶寫入資料及讀出資料。多數資料記憶電路係以8個資料記憶電路DS8j~DS8j+7為單位被同一行選擇信號CSLj所選擇，以執行資料之輸出入。

各資料記憶電路DS8j~DS8j+7在寫入時係依照所記憶之寫入資料控制位元線BL8j~BL8j+7之電壓，以執行寫入控制，在讀出時，係感測位元線BL8j~BL8j+7之電壓，而記憶其資料。此時，8個資料記憶電路DS8j~DS8j+7除了在資料之輸出入以外，均被共通之控制信號CSLj所控制而同時執行動作。

圖6係表示圖2所示之NAND快閃記憶體之資料與圖4所示之記憶胞M之臨限值電壓及其分布之關係之圖。

資料消除係利用施加高電壓(例如20 V)至圖4中之p型井13，使控制閘極18成為0 V之方式執行。此時，電子由浮動閘極16經隧道氧化膜15而放出至p型井13，使記憶胞M之臨限值電壓成為0 V以下。此狀態為"0"記憶狀態。

資料寫入係利用使p型井13與n型擴散層14成為0 V，使控制閘極18成為高電壓(例如20 V)之方式執行。電子由通道區域被注入浮動閘極16，使記憶胞M之臨限值電壓成為正值。此時，臨限值電壓若超過0.8 V，禁止在各記憶胞寫入，臨限值電壓為4.5 V以下。此狀態為"1"寫入狀態。

以下所示之表1係表示消除、寫入、讀出、消除驗證、寫

入驗證時之各部之電壓。又，寫入與讀出時，表示選擇對應於4個記憶胞M之4條字元線WL0~WL3中之1條(例如WL2)之情形。

表 1

	消除	"1"寫入	"0"寫入	讀出	消除驗證	寫入驗證
BL	浮動	0V	3V	H或L	H或L	H或L
SGD	浮動	3V	3V	4.5V	4.5V	4.5V
WL3	0V	10V	10V	4.5V	0V	4.5V
WL2	0V	20V	20V	0V	0V	0.8V
WL1	0V	10V	10V	4.5V	0V	4.5V
WL0	0V	10V	10V	4.5V	0V	4.5V
SGS	浮動	0V	0V	4.5V	4.5V	4.5V
C-source	浮動	0V	0V	0V	0V	0V
C-p-well	20V	0V	0V	0V	0V	0V

使p型井13成為20 V，使被選擇之區塊之全部字元線WL0~WL3成為0 V時，電子會由圖4所示之記憶胞M之浮動閘極16被放出而使臨限值電壓成為負值，而成"0"狀態。在此，非選擇區塊之字元線及位元線BL等處於浮動(Floating)狀態，藉與p型井13之電容耦合而成為20 V附近。

寫入係利用對被選擇之字元線WL2施加14 V~20 V之程式電壓V_{pgm}之方式進行。此時，使被選擇之位元線BL成為0 V時，電子會注入被選擇之記憶胞M之浮動閘極16而使臨限值電壓上升("1"寫入)，相對地，使被選擇之位元線BL成為電源電壓V_{dd}(~3 V)時，會禁止被選擇之記憶胞M之臨限值電壓上升("0"寫入)。

讀出係利用對被選擇之字元線WL2施加讀出電壓0 V之方式進行。若被選擇之記憶胞M之臨限值電壓在讀出電壓以下，被選擇之位元線BL與共通源極線C-source會導通而

使位元線BL之電位成為較低之位準L。對此，若被選擇之記憶胞M之臨限值電壓在讀出電壓以上，被選擇之位元線BL與共通源極線C-source會不導通而使位元線BL之電位成為較高之位準H。

消除驗證係利用使被選擇之區塊之全部字元線WL0~WL3成為0 V之方式進行。若NAND快閃記憶單元內之4個記憶胞M之臨限值電壓全部成為0 V以下，位元線BL與共通源極線C-source會導通而使位元線BL之電位成為較低之位準L。對此，若其中之1個記憶胞M之臨限值電壓在0 V以上，位元線BL與共通源極線C-source會不導通而使位元線BL之電位成為較高之位準H。

寫入驗證係利用對被選擇之字元線WL2施加驗證電壓0.8 V之方式進行。若記憶胞M之臨限值電壓在驗證電壓以下，位元線BL與共通源極線C-source會導通而使位元線BL之電位成為較低之位準L。對此，若記憶胞M之臨限值電壓在驗證電壓以上，位元線BL與共通源極線C-source會不導通而使位元線BL之電位成為較高之位準H。

圖7係表示圖2所示之記憶胞陣列1a、1b中非為ROM區域之區塊BLOCK_i內之資料格式之圖。

此區塊BLOCK_i內之記憶胞可利用圖7中之列位址4i、4i+1、4i+2、4i+3(i=0~1023；i為區塊之序號)與行位址0~527及IO序號0~7加以指定。

在此，相當於圖3中之字元線WL0_i之字元線、以及寫入
• 讀出單位之頁Page0對應於列位址4i。以下，同樣地，Page1

對應於列位址 $4i+1$ ，Page2對應於列位址 $4i+2$ ，Page3對應於列位址 $4i+3$ 。

主檔案資料係以512位元組之資料長N儲存於對應於圖7中之行位址0~527中之0~511之記憶胞。此512位元組之資料長N係對應於磁碟等之磁區大小，方便於以NAND快閃記憶體置換磁碟等之情形。一般而言，此等檔案資料由於會被轉移至圖1中之SRAM102中使用，故其資料長N以2之n次方(n為正整數)較為方便。

另外，檔案資料之邏輯位址資料與檢查碼係以16位元組之資料長M($N > M$)被收容於圖7中之行位址0~527中之512~527。此檢查碼係針對檔案資料與邏輯位址資料而設。

檢查碼係例如係針對檔案資料與邏輯位址資料而在圖1中之MPU103所產生，被寫入NAND快閃記憶體101，又，由NAND快閃記憶體101讀出之檔案資料與邏輯位址資料之資料錯誤係在MPU103中被對應之檢查碼所訂正。

圖8A、8B係表示圖2所示之記憶胞陣列1a、1b中使用ROM區域之各1個區塊BLOCK0a、BLOCK0b(共2個區塊)之情形之資料格式。

2個區塊BLOCK0a、BLOCK0b係假定用於記憶各種電子機器之系統啟動程式，而非記憶磁碟等之檔案資料。因此，有必要記憶系統啟動所需之充分資料，而非記憶前述之528位元組單位。

在本例中，利用2個區塊BLOCK0a、BLOCK0b，記憶比

前述512位元組之資料長N更長之資料作為1連串之資料。例如，使用記憶體陣列1a之區塊BLOCK0a與記憶體陣列1b之區塊BLOCK0b之2個區塊，記憶2頁Page0a與Page0b之1連串之1K(512+512=1024)位元組之資料。此資料可置換圖20中所示之以往例之ROM104之資料，故其資料長K以2之k次方(k為正整數， $K > N$)較為方便。

另外，對上述1K位元組之資料，在圖2之錯誤訂正電路8產生之檢查碼係被儲存於第2頁Page0b之行位址512~527之16位元組之區域。

在本例中，由於組合在2組記憶體陣列1a、1b中各設1個之ROM區域之區塊BLOCK0a、BLOCK0b加以使用，故可同時存取2個ROM區域之區塊BLOCKa、BLOCKb，可簡單地進行存取。相對地，在1個記憶體陣列中設2個之ROM區域，在此2個之ROM區域中記憶前述資料長K+16位元組之1連串資料之情形，則無法同時存取2個ROM區域，故存取較為複雜。

如圖2至圖8B所示，本實施形態之NAND快閃記憶體之構成上之特徵在於包含可電性地重寫資料之多數非揮發性半導體記憶體胞、為施行對非揮發性半導體記憶體胞之資料寫入/讀出而在與外部之間授受資料，解碼指令之介面部6、7、9，對非揮發性半導體記憶體胞之寫入資料/讀出資料施行錯誤訂正之錯誤訂正電路8、及控制非揮發性半導體記憶體胞用之控制電路2a、2b、3a、3b、4a、4b、5a、5b。

此時，排列有可電性地重寫資料之多數非揮發性半導體

記憶胞之多數組(在本例中為2組)之記憶胞陣列1a、1b分別具有ROM區域。此ROM區域之資料可在快閃記憶體內部被錯誤訂正，故可靠性非常高，可在ROM區域儲存用來啟動(開機)使用快閃記憶體之電子機器之程式。

因此，本實施形態之NAND快閃記憶體可使快閃記憶體本身具有足以媲美啟動使用該快閃記憶體之系統用之ROM之機能。

另外，上述NAND快閃記憶體具有以下所述之機能(參照後述圖9A至圖14H)：

(1)介面部與控制電路係包含：

第1讀出模態，其係經第1啟動步驟執行讀出動作而連續地經由介面部輸出 $(N+M)$ (N 為2之 n 次方， n 為正整數， $N > M$)位元組之資料者；及第2讀出模態，其係經第2啟動步驟執行讀出動作而連續地經由介面部輸出 K (K 為2之 k 次方， k 為正整數)位元組之資料者。

(2)介面部與錯誤訂正電路及控制電路係包含：

第1讀出模態，其係經第1啟動步驟執行讀出動作而連續地經由介面部輸出 $(N+M)$ (N 為2之 n 次方， n 為正整數， $N > M$)位元組之資料者；及第2讀出模態，其係經第2啟動步驟執行讀出動作，在執行錯誤訂正後，連續地經由介面部輸出 K (K 為2之 k 次方， k 為正整數)位元組之資料者。

(3)介面部與錯誤訂正電路及控制電路係包含：

第1寫入模態，其係經第1啟動步驟而取入經由前述介面部輸入之 $(N+M)$ (N 為2之 n 次方， n 為正整數， $N > M$)位元組

之資料，並整批地將此資料寫入多數記憶胞者；及第2寫入模態，其係經第2啟動步驟而取入經由前述介面部輸入之 K (K 為2之 k 次方， k 為正整數)位元組之資料，對此資料自動地產生錯誤定正用之檢查碼，將 K 位元組之資料與檢查碼整批地寫入多數記憶胞者。此機能可與前述(2)所述之機能並存。

(4)參照圖18而如後所述，在設有電源電壓檢出電路之情形中，電源電壓檢出電路與介面部及控制電路係包含：

第1讀出模態，其係經被輸入至介面部之信號啟動之第1啟動步驟，由非揮發性半導體記憶胞讀出資料而連續地經由介面部輸出最大 $(N+M)$ (N 為2之 n 次方， n 為正整數， $N > M$)位元組之資料者；及第2讀出模態，其係經被由電源電壓檢出電路輸出之信號啟動之第2啟動步驟，由非揮發性半導體記憶胞讀出資料而連續地經由介面部輸出最大 K (K 為2之 k 次方， k 為正整數)位元組之資料者。

(5)參照圖18而如後所述，在設有電源電壓檢出電路之情形中，電源電壓檢出電路、錯誤訂正電路、介面部及控制電路係包含：

第1讀出模態，其係經被輸入至介面部之信號啟動，由非揮發性半導體記憶胞讀出資料者；及第2讀出模態，其係經被由電源電壓檢出電路輸出之啟動信號啟動，由非揮發性半導體記憶胞讀出資料，且可進一步利用錯誤訂正電路訂正所讀出之資料之錯誤者。

(6)介面部與控制電路係包含：

第1讀出模態，其係經第1啟動步驟，由非揮發性半導體記憶胞讀出資料者；及第2讀出模態，其係經第2啟動步驟，由非揮發性半導體記憶胞讀出資料者；在第2讀出模態中，輸入至介面部之信號之一部分變成無效。

以下，參照圖9A至圖14H、圖18及圖19，詳細說明有關上述NAND快閃記憶體之機能。

圖9A-9H係表示以相同於現行之NAND快閃記憶體之讀出方式讀出圖2所示之NAND快閃記憶體之ROM區域以外之資料之動作之一例之時間波形圖。

重設信號RESETn為"H"，指令鎖存生效信號CLE為"H"時，藉使寫入生效信號WEn為"L"，以取入被輸入至資料輸出入緩衝器6之資料00h作為讀出指令。

其次，在位址鎖存生效信號ALE為"H"時，每當WEn成為"L"，即取入被輸入至資料輸出入緩衝器6之資料，以作為位址資料Add0~Add3。

依照如此取入之位址選擇頁，由記憶胞陣列1a或1b將資料讀出至行控制電路2a或2b。此時，輸出"L"作為忙碌信號Busy。而若資料可由行控制電路2a或2b經資料輸出入緩衝器6輸出至外部，則使忙碌信號Busy復原為"H"。此後，與讀出生效信號REn同步地輸出資料，當輸出選擇頁之最終資料(第528位元組之資料)時，即自動成為輸出待機狀態。又，圖9中之斜線部表示資料不一定也無妨。

圖10A-10H係表示以異於圖9A-9H所示之讀出方式之現行之讀出方式讀出圖2所示之NAND快閃記憶體之ROM區

域以外之資料之動作之一例之時間波形圖。

在此，指令待機狀態與讀出待機狀態一致。即，重設信號 RESETn 成為 "H"，信號 ALE 成為 "L" 時，每當信號 WEn 成為 "L"，即取入被輸入至資料輸出入緩衝器 6 之資料作為位址資料 Add0~Add3。

依照如此取入之位址選擇頁，由記憶胞陣列 1a 或 1b 將資料讀出至行控制電路 2a 或 2b。此時，輸出 "L" 作為忙碌信號 Busy。而若資料可由行控制電路 2a 或 2b 經資料輸出入緩衝器 6 輸出至外部，則使忙碌信號 Busy 復原為 "H"。此後，與讀出生效信號 REn 同步地輸出資料，當輸出選擇頁之最終資料(第 528 位元組之資料)時，即自動地選擇次頁而成為輸出待機狀態。又，圖 10A-10H 中之斜線部表示資料不一定也無妨。

圖 11A-11H 係表示利用 NAND 快閃記憶體之硬體重設，以無指令、無位址方式將圖 2 所示之 NAND 快閃記憶體中之 ROM 區域之資料，執行系統啟動(開機動作)之情形之動作之時間波形圖。

硬體重設係在系統之控制器所供應之重設信號 RESETn 成為 "L" 時被啟動。此時，信號 ALE、CLE 變成無效，選擇頁 Page0a 與 Page0b，由記憶胞陣列 1a 或 1b 將資料讀出至行控制電路 2a 或 2b。此時，輸出 "L" 作為忙碌信號 Busy。而若資料可由行控制電路 2a 或 2b 經資料輸出入緩衝器 6 輸出至外部，則使忙碌信號 Busy 復原為 "H"。

此後，與讀出生效信號 REn 同步地輸出資料，當輸出選

擇頁之最終資料(第1024位元組之資料)時,即自動選擇下一頁而成為忙碌狀態,成為輸出待機狀態。而最終頁Page3a與Page3b之資料輸出完畢時,被切換至NAND快閃記憶體之通常之動作模態。又,在最終頁之資料輸出完畢以前之途中,在使信號WEn成為"L"之情形,也會被切換至通常之動作模態。

又,在前述輸出"L"作為忙碌信號Busy之期間,錯誤訂正電路8由被讀出至行控制電路2a或2b之資料檢出錯誤位置,藉此,使有錯誤之資料在輸出時反轉而被輸出。又,圖11A-11H中之斜線部表示資料不一定也無妨。又,圖11A-11H中之tRCV係復原期間,在信號WEn之下降至開機模態結束以前執行復原動作。

在執行上述開機動作之期間中,被輸入至前述介面部之信號之一部分(在本例中為信號ALE、CLE)成為無效。

又,前述重設信號RESETn也可自動地在內部產生。例如如圖18所示,在NAND快閃記憶體101內設有電源電壓檢出電路10,利用電源電壓檢出電路10檢出經由NAND快閃記憶體101之電源端子11被投入之電源之上升,如圖19所示,在檢出電源之上升後產生重設信號RESETn。被供應至上述電源端子11與接地端子12間之電源也共通地被供應至SRAM102及MPU103。

圖12A-12H係表示將圖2所示之NAND快閃記憶體之ROM區域之資料,在NAND快閃記憶體之軟體重設之同時,依照來自MPU之指令執行系統啟動(開機動作)之情形之動作之

時間波形圖。

重設信號 RESETn 成為 "H"，信號 CLE 成為 "H" 時，使信號 WEn 成為 "L"，藉以取入被輸入至資料輸出入緩衝器 6 之資料 AFh 作為 ROM 區域讀出指令。

其次，信號 ALE 及信號 CLE 成為無效，選擇頁 Page0a 與 Page0b，由記憶胞陣列 1a 或 1b 將資料讀出至行控制電路 2a 或 2b。此時，輸出 "L" 作為忙碌信號 Busy。而若資料可由行控制電路 2a 或 2b 經資料輸出入緩衝器 6 輸出至外部，則使忙碌信號 Busy 復原為 "H"。

此後，與信號 REn 同步地輸出資料，當輸出選擇頁之最終資料(第 1024 位元組之資料)時，即自動選擇下一頁而成為忙碌狀態，成為輸出待機狀態。而最終頁 Page3a 與 Page3b 之資料輸出完畢時，被切換至 NAND 快閃記憶體之通常之動作模態。又，在最終頁之資料輸出完畢以前之途中，在使信號 WEn 成為 "L" 之情形，也會被切換至通常之動作模態。

又，在前述輸出 "L" 作為忙碌信號 Busy 之期間，錯誤訂正電路 8 由被讀出至行控制電路 2a 或 2b 之資料檢出錯誤位置，藉此，使有錯誤之資料在輸出時反轉而被輸出。又，圖 12 中之斜線部表示資料不一定也無妨。

圖 13A-13H 係表示對圖 2 所示之 NAND 快閃記憶體之 ROM 區域以外，以相同於現行之 NAND 快閃記憶體之寫入方式寫入資料之動作之一例之時間波形圖。

重設信號 RESETn 成為 "H"，信號 CLE 成為 "H" 時，使信號 WEn 成為 "L"，藉以取入被輸入至資料輸出入緩衝器 6 之資

料 80h 作為資料輸入指令。其次，信號 ALE 成為 "H" 時，每當信號 WEn 成為 "L"，即取入被輸入至資料輸出入緩衝器 6 之資料作為位址資料 Add0~Add3。其後，信號 ALE 成為 "L" 時，每當信號 WEn 成為 "L"，即取入被輸入至資料輸出入緩衝器 6 之資料最多 528 位元組份，以作為寫入用之快取資料。

其次，信號 CLE 再成為 "H" 時，利用使信號 WEn 成為 "L"，取入被輸入至資料輸出入緩衝器 6 之資料 10h，以作為資料寫入指令。而，輸出 "L" 作為忙碌信號 Busy，依照如前所述取入之位址選擇頁，將儲存於行控制電路 2a 或 2b 之寫入資料寫入記憶胞陣列 1a 或 1b。此寫入完畢後，使忙碌信號 Busy 復原為 "H"。又，圖 13A-13H 中之斜線部表示資料不一定也無妨。

圖 14A-14H 係表示對圖 2 所示之 NAND 快閃記憶體之 ROM 區域，寫入資料之動作之一例之時間波形圖。

位信號 RESETn 成為 "H"，信號 ALE 成為 "H"，信號 CLE 成為 "H" 時，使信號 WEn 成為 "L"，藉以取入被輸入至資料輸出入緩衝器 6 之資料 40h 作為 ROM 區域指定指令。此後，信號 CLE 成為 "H" 時，使信號 WEn 成為 "L"，藉以取入被輸入至資料輸出入緩衝器 6 之資料 80h 作為資料輸入指令。其次，信號 ALE 成為 "H" 時，每當信號 WEn 成為 "L"，即取入被輸入至資料輸出入緩衝器 6 之資料作為位址資料 Add0~Add3。其後，信號 ALE 成為 "L" 時，每當信號 WEn 成為 "L"，即取入被輸入至資料輸出入緩衝器 6 之資料 1024 位元組，以作為寫入資料之快取資料。

其次，信號CLE再成為"H"時，利用使信號WEn成為"L"，取入被輸入至資料輸出入緩衝器6之資料10h，以作為資料寫入指令。而，輸出"L"作為忙碌信號Busy，依照如前所述取入之位址選擇頁，將儲存於行控制電路2a或2b之寫入資料寫入記憶胞陣列1a或1b。在執行此寫入之前，事先將錯誤訂正電路8產生之檢查碼儲存於行控制電路2a或2b，並寫入前述寫入資料與檢查碼。此寫入完畢後，使忙碌信號Busy復原為"H"。又，圖14A-14H中之斜線部表示資料不一定也無妨。

< 第2實施形態 >

圖15係表示使用前述NAND快閃記憶體之電子卡、與使用此電子卡之電子裝置之構成之一例。

在此，係顯示攜帶式電子機器作為電子裝置之一例，並顯示數位靜物攝影機50作為其另一例。使用作為此數位靜物攝影機50之記錄媒體之電子卡(例如記憶卡)51在內部具有將前述第1實施形態中之前述NAND快閃記憶體積體化而密封之IC封裝體PK1。

數位靜物攝影機50之外殼中收容有卡槽52與連接於此之電路基板(未圖示)，記憶卡51係在可卸下之狀態被裝定於卡槽52之狀態電性連接於前述電路基板上之電子電路。又，電子卡51例如為非接觸型之電子卡之情形時，可利用收容或接近於卡槽52，而藉無線信號電性連接於電路基板上之電子電路。

又，圖15中，53為透鏡，108為顯示部(例如液晶監視器)，

112為操作鈕(例如快門按鈕)，118為閃光燈。

圖16係表示圖15所示之數位靜物攝影機之基本的構成。

來自被照體之光被透鏡(LENSE)53聚光而輸入至攝影裝置(IMAGE PICKUP DEVICE)54。攝影裝置(例如CMOS影像感測器)54將被輸入之光施以光電變換，輸出例如類比信號。此類比信號被具有類比放大器(AMP.)之類比/數位變換器(A/D)54A數位變換。變換後之信號被輸入至攝影機信號處理電路(CAMERA SIGNAL PROCESSING CIRCUIT)55，於此被施行自動曝光控制(AE)、自動白平衡控制(AWB)及分色處理後，被變換成亮度信號與色差信號。

欲監視圖像時，由攝影機信號處理電路55輸出之信號被輸入至視頻信號處理電路(VIDEO SIGNAL PROCESSING CIRCUIT)106，被變換成視頻信號。作為視頻信號之方式，例如有NTSC(National Television System Committee；美國國家電視制式委員會)方式。上述攝影裝置54、A/D變換器54A、攝影機信號處理電路55係被微電腦(MICRO COMPUTER)111所控制。

視頻信號係經由顯示信號處理電路(DISPLAY SIGNAL PROCESSING CIRCUIT)107被輸出至安裝於數位靜物攝影機50之顯示部(DISPLAY)108。又，視頻信號係經由視頻驅動器(VIDEO DRIVER)109被施加至視頻輸出端子110。

如此被數位靜物攝影機50所攝影之圖像可經由視頻輸出端子110被輸出至例如電視機等圖像機器，以作為視頻輸出VIDEO OUTPUT。因此，在顯示部108以外，也可顯示所攝

影之圖像。

欲捕捉圖像時，操作者只要按下操作鈕112。微電腦111即可藉此控制記憶體控制器(MEMORY CONTROLLER)113，將由攝影機信號處理電路55輸出之信號寫入視頻記憶體(VIDEO MEMORY)114作為幀信號。如此被寫入之幀信號在壓縮/擴張處理電路(COMPRESSING/EXPANDING CIRCUIT)115，依據特定之壓縮格式被壓縮，經由卡片介面(CARD INTERFACE)116被記錄於裝定於卡槽(CARD CLOT)52之記憶卡(MEMORY CARD)51。

欲再生所記錄之圖像時，經由卡片介面116讀出記錄於記憶卡51之圖像，利用壓縮/擴張處理電路115擴張後，寫入視頻記憶體114。寫入之圖像被輸入於視頻信號處理電路106，與監視圖像之情形同樣地被映現於顯示部108及圖像機器。

又，在上述構成中，在電路基板(CIRCUIT BOARD)100上安裝卡槽52、攝影裝置54、A/D變換器54A、攝影機信號處理電路55、視頻信號處理電路106、顯示信號處理電路107、視頻驅動器109、微電腦111、記憶體控制器113、視頻記憶體114、壓縮/擴張處理電路115、及卡片介面116。在此，卡槽52也可不需要安裝於電路基板100上，而利用連接器纜線等連接於電路基板100。

又，在電路基板100上，再安裝電源電路(POWER CIRCUIT)117。電源電路117(例如DC/DC變換器)係由外部電源或電池取得電源之供應，以產生使用於數位靜物攝影

機50內部之內部電源電壓。內部電源電壓除供應於上述各電路之外，亦供應至閃光燈(FLASH LAMP)118、顯示部108。

本實施形態之電子卡不僅上述數位靜物攝影機等攜帶式電子機器，例如也可適用於如圖17A~圖17J所簡略地顯示之各種機器。即，圖17A係表示攝錄影機，圖17B係表示電視機，圖17C係表示音響機器，圖17D係表示遊戲機器，圖17E係表示電子樂器，圖17F係表示手機，圖17G係表示個人電腦，圖17H係表示個人數位助理(PDA)，圖17I係表示錄音機，圖17J係表示例如具有PCMCIA(個人電腦記憶卡國際協會)規格之形態之PC卡(例如PC卡記憶體)。

又，本發明之一形態之非揮發性半導體記憶裝置並不限於前述NAND快閃記憶體，亦可適用於NOR快閃記憶體等。

如上所述，依據本發明之各形態，可提供具有可儲存使用非揮發性半導體記憶裝置之系統之例如開機用之資料之ROM區域，且可減少系統之構成裝置數，廉價地實現系統之非揮發性半導體記憶裝置及使用該裝置之電子卡及電子裝置。

有鑑於精通此技藝者可輕易地對本發明加以變更，獲取附加利益。因此，從廣義而言，本發明之內容不應僅限定於上述特殊細節及代表性之實施形態。從而，在不背離其精神或一般發明概念下，如所附申請專利範圍等闡述之要旨之範圍內，當然可作種種之變更。

【圖式簡單說明】

圖1係表示本發明之第1實施形態之NAND快閃記憶體及

使用該記憶體之控制系統之構成例之區塊圖。

圖2係表示圖1中之NAND快閃記憶體之構成例之區塊圖。

圖3A-3B係代表性地取出圖1中之2組記憶體陣列中之一方而顯示構成之一例之電路圖。

圖4係代表性地取出圖3中之記憶胞M之1個份而簡單地顯示構造之一例之剖面圖。

圖5係代表性地取出圖2中之2組行控制電路中之一方而顯示對應於1位元組份之資料之構成之一例之電路圖。

圖6係表示圖1所示之NAND快閃記憶體之資料與圖4所示之記憶胞之臨限值電壓及其分布之關係之圖。

圖7係表示圖2所示之記憶胞陣列中非為ROM區域之區塊內之資料格式之圖。

圖8A-8B係表示圖2所示之記憶胞陣列中使用2組ROM區域之區塊之情形之資料格式之圖。

圖9A-9H係表示以相同於現行之NAND快閃記憶體之讀出方式讀出圖2所示之NAND快閃記憶體之ROM區域以外之資料之動作之一例之時間波形圖。

圖10A-10H係表示以異於圖9A-9H所示現行之讀出方式之現行之讀出方式讀出圖2所示之NAND快閃記憶體之ROM區域以外之資料之動作之一例之時間波形圖。

圖11A-11H係表示使用圖2所示之NAND快閃記憶體之ROM區域之資料，在硬體重設之同時，以無指令、無位址方式執行系統啟動之情形之動作之時間波形圖。

圖12A-12H係表示使用圖2所示之NAND快閃記憶體之

ROM區域之資料，在軟體重設之同時，依照來自MPU之指令執行系統啟動之情形之動作之時間波形圖。

圖13A-13H係表示對圖2所示之NAND快閃記憶體之ROM區域以外，以相同於現行之NAND快閃記憶體之寫入方式寫入資料之動作之一例之時間波形圖。

圖14A-14H係表示對圖2所示之NAND快閃記憶體之ROM區域，寫入資料之動作之一例之時間波形圖。

圖15係表示使用本發明之第1實施形態之NAND快閃記憶體之電子卡、與作為使用此電子卡之電子裝置之一例而表示數位靜物攝影機之局部透視立體圖。

圖16係表示圖15所示之數位靜物攝影機之基本的構成例之區塊圖。

圖17A-17J係表示使用圖15中所示之電子卡之各種電子裝置之構成例之簡略的正面圖。

圖18係表示圖1中所示之NAND快閃記憶體具有電源電壓檢出電路之情形之控制系統之構成例之區塊圖。

圖19係表示圖18中之重設信號RESETn之波形圖。

圖20係表示使用以往之NAND快閃記憶體之控制系統之構成例之區塊圖。

【圖式代表符號說明】

0a, 0b	區塊
1a, 1b	記憶胞陣列
2a, 2b	行控制電路
3a, 3b	列控制電路

4a, 4b	源極線控制電路
5a, 5b	P井控制電路
6	資料輸出入緩衝器
7	指令介面
8	錯誤訂正電路
9	狀態機器
10	電源電壓檢出電路
11	電源端子
12	接地端子
51	記憶卡
52	卡槽
53	透鏡
54	攝影裝置
55	攝影機信號處理電路
100	電路基板
101, 105	NAND快閃記憶體
102	SRAM
103	MPU
106	視頻信號處理電路
107	顯示信號處理電路
108	顯示部
109	視頻驅動器
110	視頻輸出端子
111	微電腦

112	操作鈕
113	記憶體控制器
114	視頻記憶體
115	壓縮/擴張處理電路
116	卡片介面
117	電源電路
118	閃光燈
201	ROM區域
202	錯誤訂正電路

伍、中文發明摘要：

本發明之非揮發性半導體記憶裝置係包含電可重寫資料之多數非揮發性半導體記憶胞(1a、1b)、為對前述非揮發性半導體記憶胞之資料寫入/讀出而在與外部之間授受資料之介面部(6、7、9)及控制前述非揮發性半導體記憶胞用之控制電路(2a、2b、3a、3b、4a、4b、5a、5b)，前述介面部與控制電路包含第1讀出模態，其係經第1啟動步驟而由前述非揮發性半導體記憶胞讀出資料，連續地經由前述介面部輸出(N+M)(N為2之n次方、n為正整數、N>M)位元組之資料者；及第2讀出模態，其係經第2啟動步驟而由前述非揮發性半導體記憶胞讀出資料，連續地經由前述介面部輸出K(K為2之k次方、k為正整數)位元組之資料者。

陸、英文發明摘要：

The present invention provides a nonvolatile semiconductor memory device which includes: a plurality of electrically programmable nonvolatile semiconductor memory cells (1a, 1b), interface (6,7,9) accessing data from outside of the device for writing/reading data to/from said nonvolatile semiconductor memory cells, and control circuits (2a, 2b, 3a, 3b, 4a, 4b, 5a, 5b) for controlling said nonvolatile semiconductor memory cells; said interface and control circuit have: a first read mode reading data from said nonvolatile semiconductor memory cells via a first activation sequence and outputting (N+M) (N equals to 2^n , n is a positive integer, N>M) bytes data continuously; and a second read mode reading data from said nonvolatile semiconductor memory cells via a second activation sequence and outputting K (K equals to 2^k , k is a positive integer) bytes data continuously.

柒、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件代表符號簡單說明：

1a, 1b	記憶胞陣列
2a, 2b	行控制電路
3a, 3b	列控制電路
4a, 4b	源極線控制電路
5a, 5b	P井控制電路
6	資料輸出入緩衝器
7	指令介面
8	錯誤訂正電路
9	狀態機器

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

拾、申請專利範圍：

1. 一種非揮發性半導體記憶裝置，其係包含：
 - 電可重寫資料之多數非揮發性半導體記憶胞；
 - 為對前述非揮發性半導體記憶胞之資料寫入/讀出而在與外部之間授受資料之介面部；及
 - 控制前述非揮發性半導體記憶胞用之控制電路；
 - 前述介面部與控制電路包含：
 - 第1讀出模態，其係經第1啟動步驟而由前述非揮發性半導體記憶胞讀出資料，連續地經由前述介面部輸出 $(N+M)$ (N 為2之 n 次方、 n 為正整數、 $N > M$)位元組之資料者；及
 - 第2讀出模態，其係經第2啟動步驟而由前述非揮發性半導體記憶胞讀出資料，連續地經由前述介面部輸出 K (K 為2之 k 次方、 k 為正整數)位元組之資料者。
2. 如申請專利範圍第1項之非揮發性半導體記憶裝置，其中前述第1讀出模態係在連續輸出前述資料後自動成為輸出待機狀態，前述第2讀出模態係在連續輸出前述資料後自動成為通常之動作模態者。
3. 如申請專利範圍第1項之非揮發性半導體記憶裝置，其中前述多數非揮發性半導體記憶胞係具有儲存系統啟動程式之ROM區域與其以外之區域，在前述第2讀出模態，由前述ROM區域讀出 K ($K > N$)位元組之資料者。
4. 如申請專利範圍第1至3項中任一項之非揮發性半導體記憶裝置，其中前述第2讀出模態係被來自外部之硬體重設

信號所啟動者。

5. 如申請專利範圍第1至3項中任一項之非揮發性半導體記憶裝置，其中前述第2讀出模態係基於來自外部之軟體重設命令所啟動者。
6. 如申請專利範圍第1至3項中任一項之非揮發性半導體記憶裝置，其中前述第2讀出模態中，使輸入於前述介面部之信號之一部分成為無效者。
7. 一種非揮發性半導體記憶裝置，其係包含：
 - 電可重寫資料之多數非揮發性半導體記憶胞；
 - 為對前述非揮發性半導體記憶胞之資料寫入/讀出而在與外部之間授受資料之介面部；
 - 對前述非揮發性半導體記憶胞之寫入資料/讀出資料執行錯誤訂正之錯誤訂正電路；及
 - 控制前述非揮發性半導體記憶胞用之控制電路；
 - 前述介面部、錯誤訂正電路及控制電路包含：
 - 第1讀出模態，其係經第1啟動步驟而由前述非揮發性半導體記憶胞讀出資料，連續地經由前述介面部輸出 $(N+M)$ (N 為2之 n 次方、 n 為正整數、 $N > M$)位元組之資料者；及
 - 第2讀出模態，其係經第2啟動步驟而由前述非揮發性半導體記憶胞讀出資料，執行錯誤訂正後，連續地經由前述介面部輸出 K (K 為2之 k 次方、 k 為正整數)位元組之資料者。
8. 如申請專利範圍第7項之非揮發性半導體記憶裝置，其中

前述第1讀出模態係在連續輸出前述資料後自動成為輸出待機狀態，前述第2讀出模態係在連續輸出前述資料後自動成為通常之動作模態者。

9. 如申請專利範圍第7項之非揮發性半導體記憶裝置，其中前述多數非揮發性半導體記憶胞係具有儲存系統啟動程式之ROM區域與其以外之區域，在前述第2讀出模態，由前述ROM區域讀出 $K(K > N)$ 位元組之資料者。
10. 如申請專利範圍第7至9項中任一項之非揮發性半導體記憶裝置，其中前述第2讀出模態係被來自外部之硬體重設信號所啟動者。
11. 如申請專利範圍第7至9項中任一項之非揮發性半導體記憶裝置，其中前述第2讀出模態係基於來自外部之軟體重設命令所啟動者。
12. 如申請專利範圍第7至9項中任一項之非揮發性半導體記憶裝置，其中前述第2讀出模態中，使輸入於前述介面部之信號之一部分成為無效者。
13. 一種非揮發性半導體記憶裝置，其係包含：
 - 電可重寫資料之多數非揮發性半導體記憶胞；
 - 為對前述非揮發性半導體記憶胞之資料寫入/讀出而在與外部之間授受資料之介面部；
 - 對前述非揮發性半導體記憶胞之寫入資料/讀出資料執行錯誤訂正之錯誤訂正電路；及
 - 控制前述非揮發性半導體記憶胞用之控制電路；前述介面部、錯誤訂正電路及控制電路包含：

第1寫入模態，其係經第1啟動步驟而取入經由前述介面部輸入之 $(N+M)$ (N 為2之 n 次方、 n 為正整數、 $N > M$)位元組之資料，並整批地將此資料寫入前述多數記憶胞者；及

第2寫入模態，其係經第2啟動步驟而取入經由前述介面部輸入之 K (K 為2之 k 次方、 k 為正整數)位元組之資料，對此資料自動地產生錯誤訂正用之檢查碼，將前述 K 位元組之資料與前述檢查碼整批地寫入前述多數記憶胞者。

14. 如申請專利範圍第13項之非揮發性半導體記憶裝置，其中前述介面部、錯誤訂正電路及控制電路進一步包含：

第1讀出模態，其係經第3啟動步驟而由前述非揮發性半導體記憶胞讀出資料，連續地經由前述介面部輸出 $(N+M)$ (N 為2之 n 次方、 n 為正整數、 $N > M$)位元組之資料者；及

第2讀出模態，其係經第4啟動步驟而由前述非揮發性半導體記憶胞讀出資料，執行錯誤訂正後，連續地經由前述介面部輸出 K (K 為2之 k 次方、 k 為正整數)位元組之資料者。

15. 如申請專利範圍第14項之非揮發性半導體記憶裝置，其中前述第1讀出模態係在連續輸出前述資料後自動成為輸出待機狀態，前述第2讀出模態係在連續輸出前述資料後自動成為通常之動作模態者。

16. 如申請專利範圍第14項之非揮發性半導體記憶裝置，其中前述多數非揮發性半導體記憶胞係具有儲存系統啟動

程式之ROM區域與其以外之區域，在前述第2讀出模態，由前述ROM區域讀出 $K(K > N)$ 位元組之資料者。

17. 如申請專利範圍第14至16項中任一項之非揮發性半導體記憶裝置，其中前述第2讀出模態係被來自外部之硬體重設信號所啟動者。
18. 如申請專利範圍第14至16項中任一項之非揮發性半導體記憶裝置，其中前述第2讀出模態係基於來自外部之軟體重設命令所啟動者。
19. 如申請專利範圍第14至16項中任一項之非揮發性半導體記憶裝置，其中前述第2讀出模態中，使輸入於前述介面部之信號之一部分成為無效者。
20. 一種非揮發性半導體記憶裝置，其係包含：

排列有電可重寫資料之多數非揮發性半導體記憶胞之多數組記憶胞陣列；

為對非揮發性半導體記憶胞之資料寫入/讀出而在與外部之間授受資料之介面部；及

控制前述非揮發性半導體記憶胞用之控制電路；

前述介面部與控制電路包含：

第1動作模態，其係經第1啟動步驟而對前述記憶胞陣列之1組存取，處理 $(N+M)$ (N 為2之 n 次方、 n 為正整數、 $N > M$)位元組之資料者；及

第2動作模態，其係經第2啟動步驟而對前述記憶胞陣列之至少2組存取，處理 K (K 為2之 k 次方、 k 為正整數)位元組之資料者。

21. 一種非揮發性半導體記憶裝置，其係包含：

電可重寫資料之多數非揮發性半導體記憶胞；

為對前述非揮發性半導體記憶胞之資料寫入/讀出而在與外部之間授受資料之介面部；

控制前述非揮發性半導體記憶胞用之控制電路；及

檢出電源電壓，將啟動信號輸出至前述控制電路之電源電壓檢出電路；

前述介面部與控制電路包含：

第1讀出模態，其係經被輸入至前述介面部之信號啟動之第1啟動步驟，由前述非揮發性半導體記憶胞讀出資料，連續地經由前述介面部輸出最大而 $(N+M)$ (N 為2之 n 次方、 n 為正整數、 $N > M$)位元組之資料者；及

第2讀出模態，其係經被前述啟動信號啟動之第2啟動步驟，由前述非揮發性半導體記憶胞讀出資料，連續地經由前述介面部輸出最大而 K (K 為2之 k 次方、 k 為正整數)位元組之資料者。

22. 如申請專利範圍第21項之非揮發性半導體記憶裝置，其中前述多數非揮發性半導體記憶胞係具有儲存系統啟動程式之ROM區域與其以外之區域，在前述第2讀出模態，由前述ROM區域讀出最大而 K ($K > N$)位元組之資料者。

23. 如申請專利範圍第21或22項之非揮發性半導體記憶裝置，其中進一步包含錯誤訂正電路，前述錯誤訂正電路係訂正在前述第2讀出模態被讀出之資料之錯誤者。

24. 如申請專利範圍第21或22項之非揮發性半導體記憶裝

置，其中前述第2讀出模態中，使輸入於前述介面部之信號之一部分成為無效者。

25. 一種非揮發性半導體記憶裝置，其係包含：

電可重寫資料之多數非揮發性半導體記憶胞；

為施行對前述非揮發性半導體記憶胞之資料寫入/讀出而在與外部之間授受資料之介面部；

控制前述非揮發性半導體記憶胞用之控制電路；

檢出電源電壓，將啟動信號輸出至前述控制電路之電源電壓檢出電路；及

錯誤訂正電路；

前述介面部與控制電路包含：

第1讀出模態，其係被輸入至前述介面部之信號啟動，由前述非揮發性半導體記憶胞讀出資料者；及

第2讀出模態，其係被前述啟動信號啟動，由前述非揮發性半導體記憶胞讀出資料，且可利用前述錯誤訂正電路訂正所讀出之資料之錯誤者。

26. 如申請專利範圍第25項之非揮發性半導體記憶裝置，其中前述多數非揮發性半導體記憶胞係具有儲存系統啟動程式之ROM區域與其以外之區域，在前述第2讀出模態，由前述ROM區域讀出資料者。

27. 如申請專利範圍第25項之非揮發性半導體記憶裝置，其中前述第2讀出模態中，使輸入於前述介面部之信號之一部分成為無效者。

28. 一種電子卡，其係搭載申請專利範圍第1項之非揮發性記

- 憶裝置所構成者。
29. 一種電子卡，其係搭載申請專利範圍第7項之非揮發性記憶裝置所構成者。
30. 一種電子卡，其係搭載申請專利範圍第13項之非揮發性記憶裝置所構成者。
31. 一種電子卡，其係搭載申請專利範圍第20項之非揮發性記憶裝置所構成者。
32. 一種電子卡，其係搭載申請專利範圍第21項之非揮發性記憶裝置所構成者。
33. 一種電子卡，其係搭載申請專利範圍第25項之非揮發性記憶裝置所構成者。
34. 一種電子裝置，其係包含：
申請專利範圍第28至33項中任一項之電子卡；
可電性地連接於前述電子卡之卡槽；及
連接於前述卡槽之卡片介面者。
35. 如申請專利範圍第34項之電子裝置，其中前述電子裝置係數位靜物攝影機者。
36. 如申請專利範圍第34項之電子裝置，其中前述電子裝置係個人數位助理者。
37. 如申請專利範圍第34項之電子裝置，其中前述電子裝置係錄音機者。
38. 如申請專利範圍第34項之電子裝置，其中前述電子裝置係PC卡者。
39. 一種電子裝置，其係包含：

非揮發性半導體裝置，其係包含：電可重寫資料之多數非揮發性半導體記憶胞、為對前述非揮發性半導體記憶胞之資料寫入/讀出而在與外部之間授受資料之介面部及控制前述非揮發性半導體記憶胞用之控制電路者；及控制前述非揮發性半導體記憶裝置用之控制器者；且前述介面部與控制電路包含：

第1讀出模態，其係經第1啟動步驟而由前述非揮發性半導體記憶胞讀出資料，連續地經由前述介面部輸出最大而 $(N+M)$ (N 為2之 n 次方、 n 為正整數、 $N > M$)位元組之資料者；及

第2讀出模態，其係經第2啟動步驟而由前述非揮發性半導體記憶胞讀出資料，連續地經由前述介面部輸出最大而 K (K 為2之 k 次方、 k 為正整數、 $K > N$)位元組之資料者；

在前述第2讀出模態被讀出之資料係啟動該電子裝置用之程式者。

40. 如申請專利範圍第39項之電子裝置，其中前述非揮發性半導體裝置進一步包含錯誤訂正電路，前述錯誤訂正電路係訂正在前述第2讀出模態被讀出之資料之錯誤者。
41. 如申請專利範圍第39或40項之電子裝置，其中前述非揮發性半導體裝置進一步包含檢出電源電壓而將啟動信號輸出至前述控制電路之電源電壓檢出電路，前述第1讀出模態係被輸入至前述介面部之信號所啟動，前述第2讀出模態係被前述啟動信號所啟動者。

42. 如申請專利範圍第39項之電子裝置，其中前述第2讀出模式中，使輸入於前述介面部之信號之一部分成為無效者。
43. 如申請專利範圍第39項之電子裝置，其中進一步包含SRAM者。
44. 一種電子裝置，其係包含：
- 非揮發性半導體記憶裝置，其係包含：電可重寫資料之多數非揮發性半導體記憶胞、為對前述非揮發性半導體記憶胞之資料寫入/讀出而在與外部之間授受資料之介面部、控制前述非揮發性半導體記憶胞用之控制電路及錯誤訂正電路者；及
- 控制前述非揮發性半導體記憶裝置用之控制器者；且
- 前述介面部與控制電路包含：
- 第1讀出模態，其係經第1啟動步驟而由前述非揮發性半導體記憶胞讀出資料者；及
- 第2讀出模態，其係經第2啟動步驟而由前述非揮發性半導體記憶胞讀出資料，且可利用前述錯誤訂正電路訂正讀出之資料之錯誤者；
- 在前述第2讀出模態被讀出之資料係啟動該電子裝置用之程式者。
45. 如申請專利範圍第44項之電子裝置，其中前述非揮發性半導體記憶裝置進一步包含檢出電源電壓而將啟動信號輸出至前述控制電路之電源電壓檢出電路，前述第1讀出模態係被輸入至前述介面部之信號所啟動，前述第2讀出模態係被前述啟動信號所啟動者。

46. 如申請專利範圍第44項之電子裝置，其中前述第2讀出模態中，使輸入於前述介面部之信號之一部分成為無效者。

47. 如申請專利範圍第44項之電子裝置，其中進一步包含SRAM者。

48. 一種電子裝置，其係包含：

非揮發性半導體記憶裝置，其係包含：電可重寫資料之多數非揮發性半導體記憶胞、為對前述非揮發性半導體記憶胞之資料寫入/讀出而在與外部之間授受資料之介面部及控制前述非揮發性半導體記憶胞用之控制電路者；及

控制前述非揮發性半導體記憶裝置用之控制器者；且前述介面部與控制電路包含：

第1讀出模態，其係經第1啟動步驟而由前述非揮發性半導體記憶胞讀出資料者；及

第2讀出模態，其係經第2啟動步驟而由前述非揮發性半導體記憶胞讀出資料者；

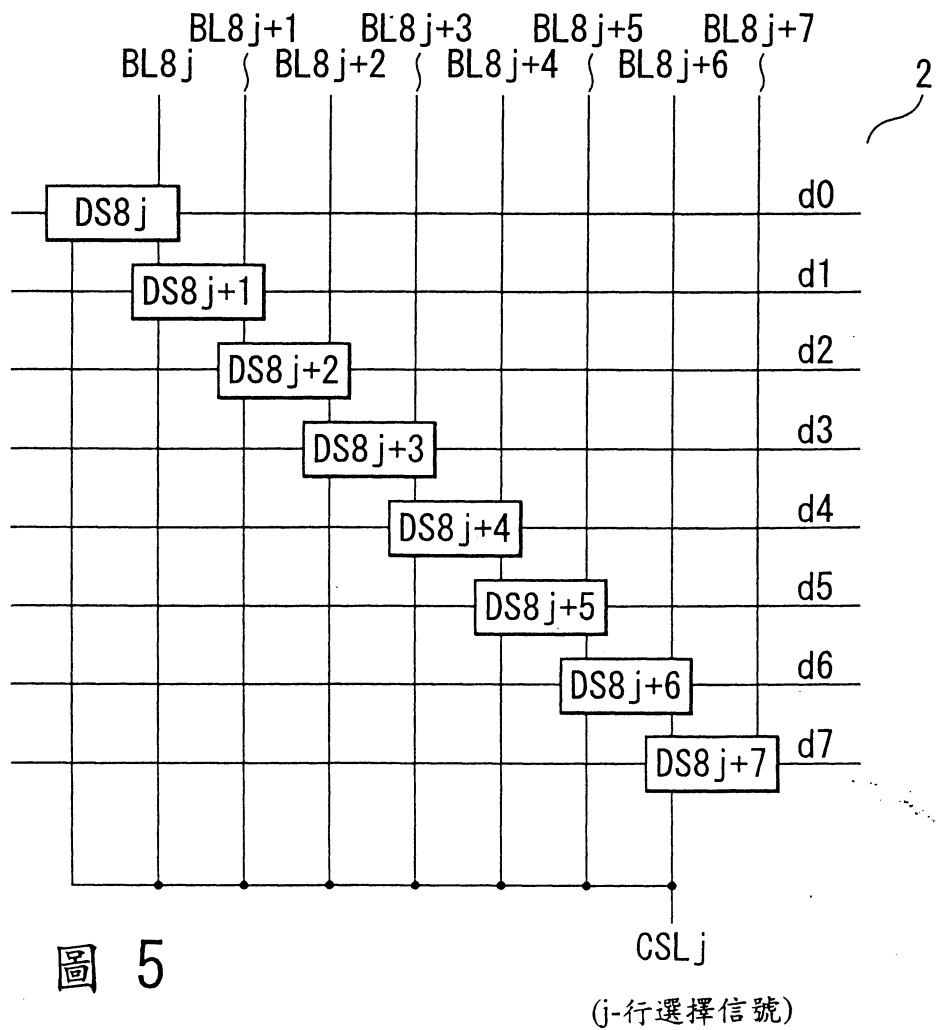
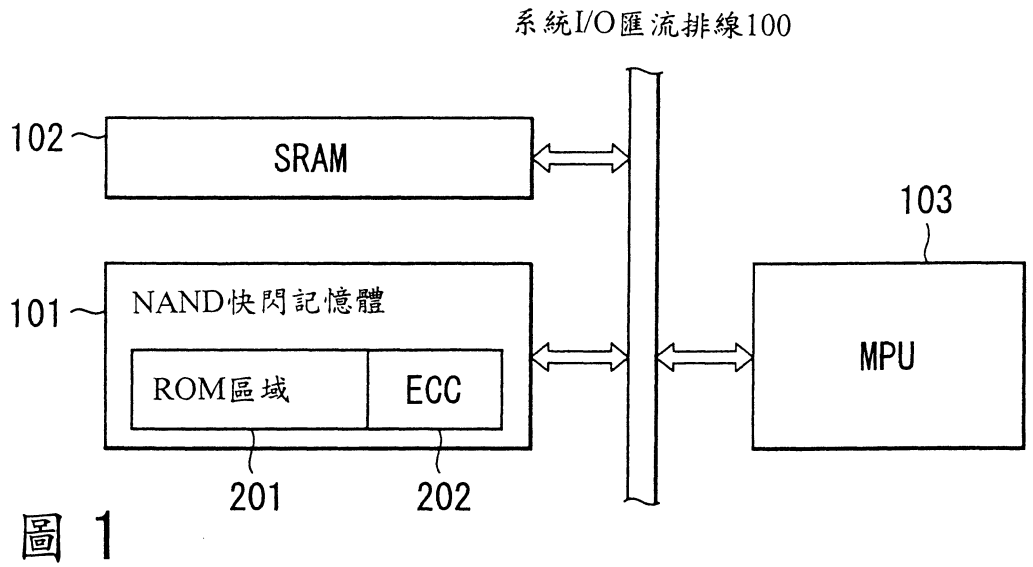
前述第2讀出模態中，使輸入於前述介面部之信號之一部分成為無效；

在前述第2讀出模態被讀出之資料係啟動該電子裝置用之程式者。

49. 如申請專利範圍第48項之電子裝置，其中前述非揮發性半導體裝置進一步包含錯誤訂正電路，前述錯誤訂正電路可訂正在前述第2讀出模態被讀出之資料之錯誤者。

50. 如申請專利範圍第48或49項之電子裝置，其中前述非揮

發性半導體記憶裝置進一步包含檢出電源電壓而將啟動信號輸出至前述控制電路之電源電壓檢出電路，前述第1讀出模態係被輸入至前述介面部之信號所啟動，前述第2讀出模態係被前述啟動信號所啟動者。



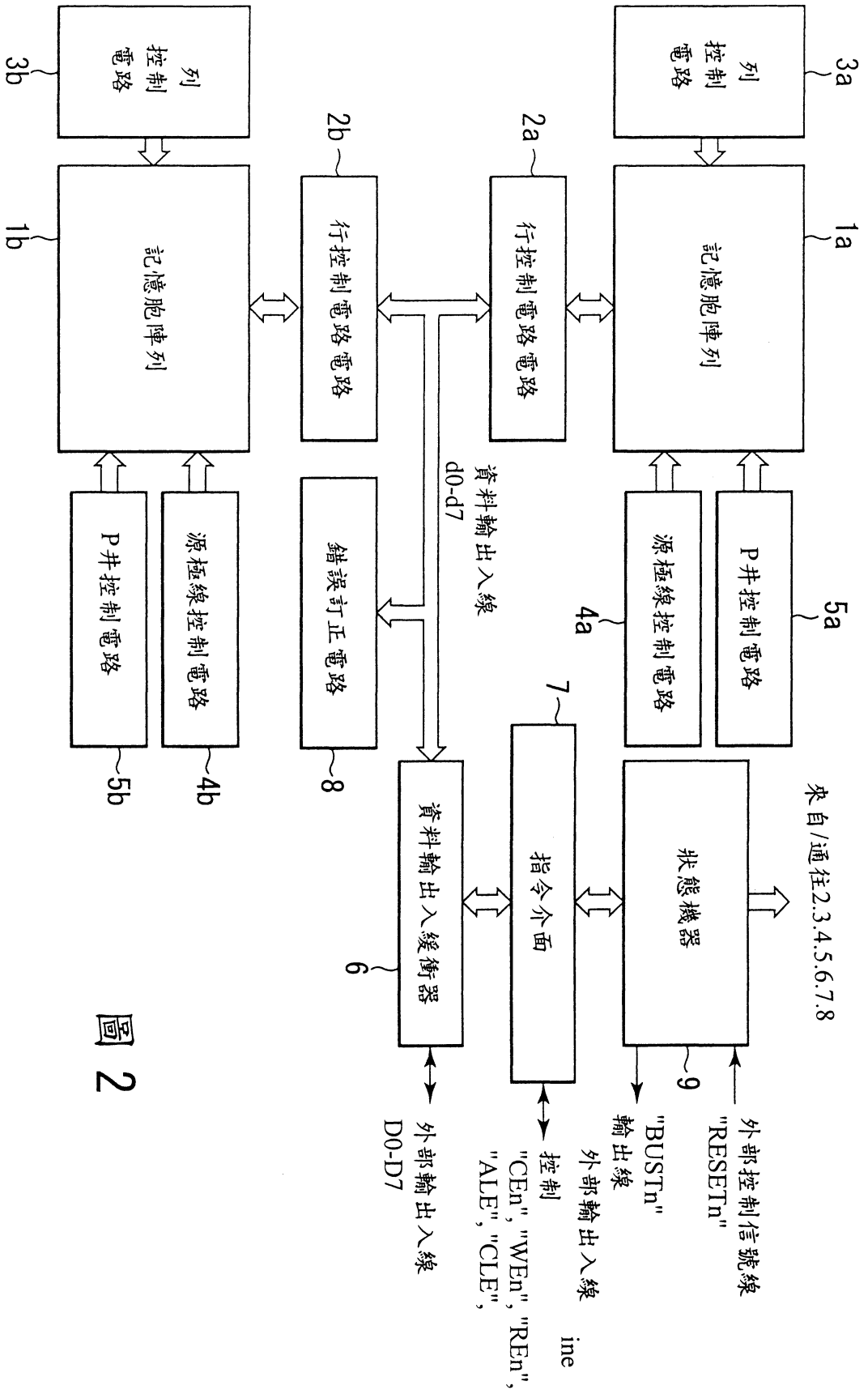


圖 2

圖 3A

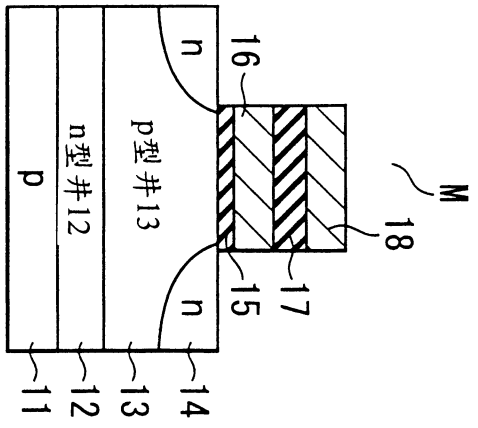
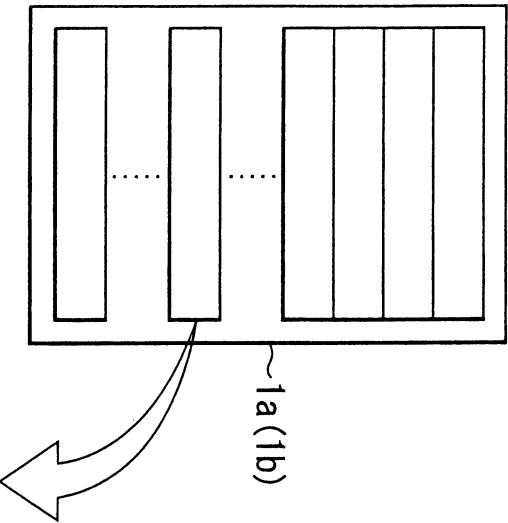


圖 4

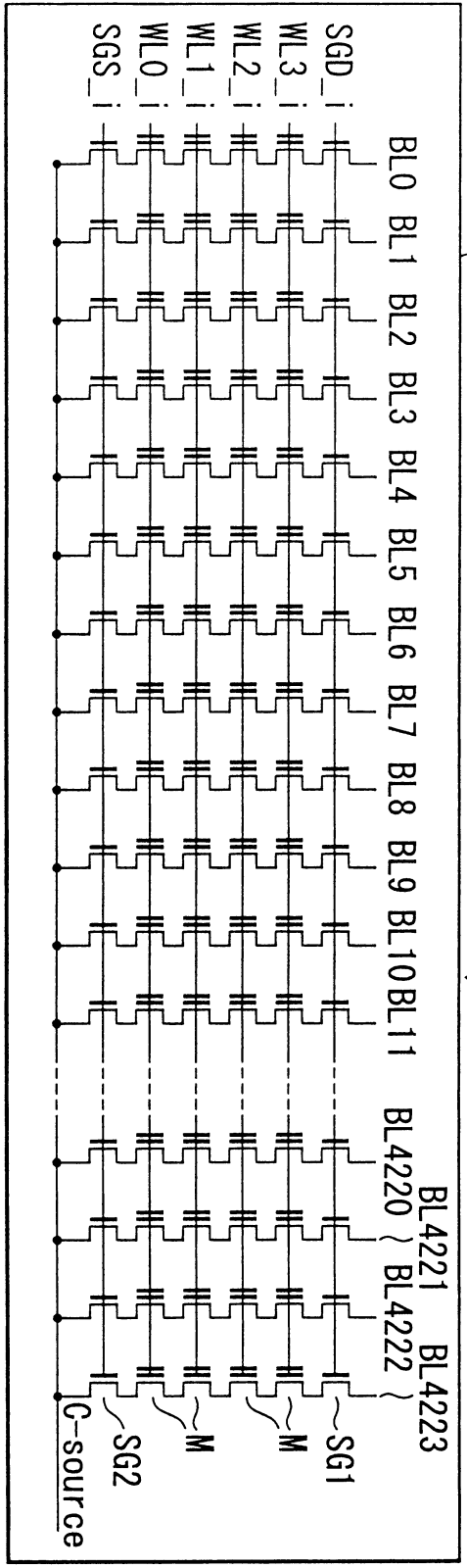
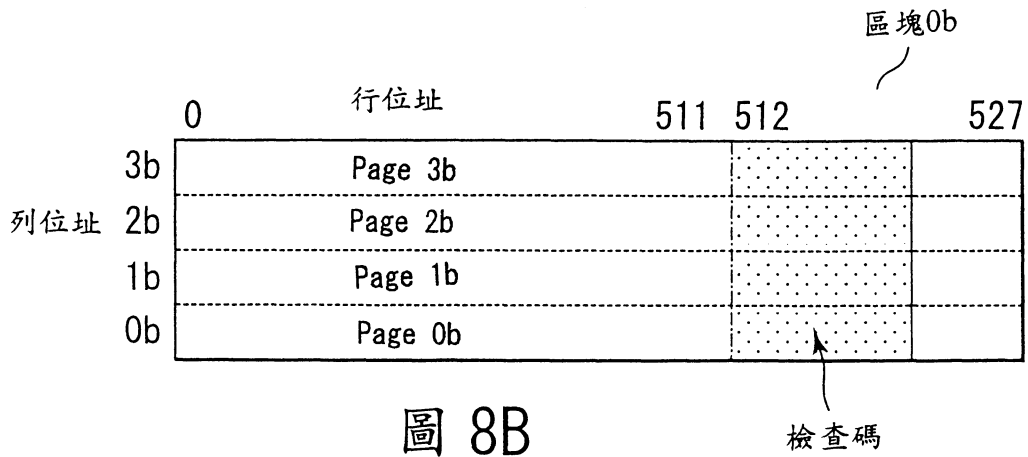
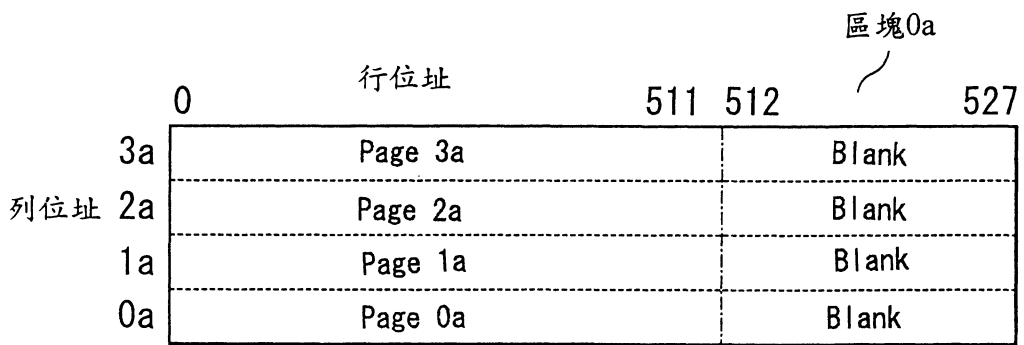
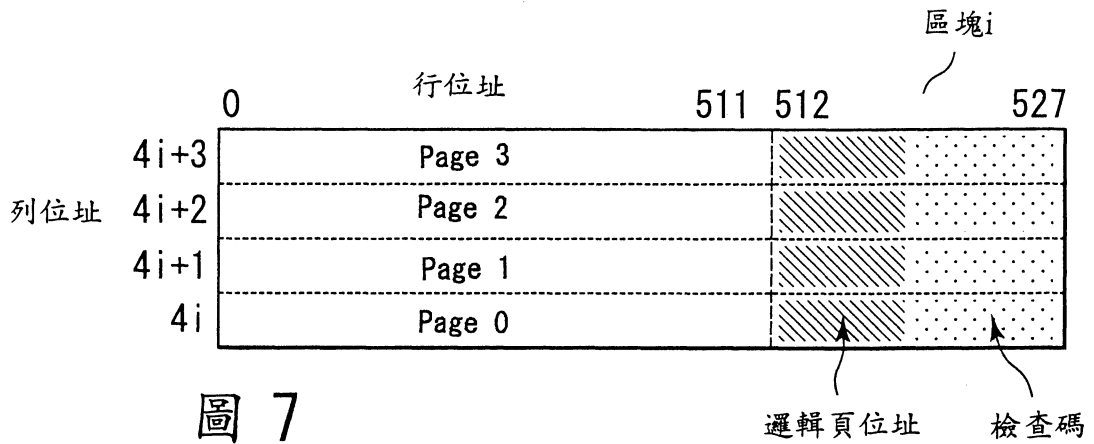
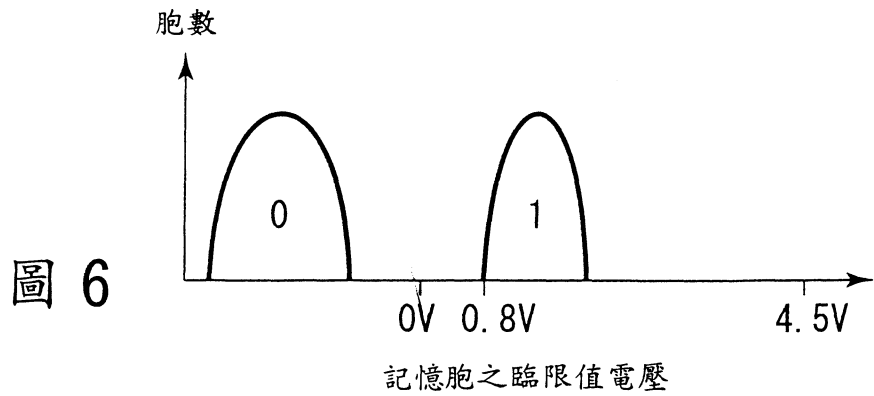
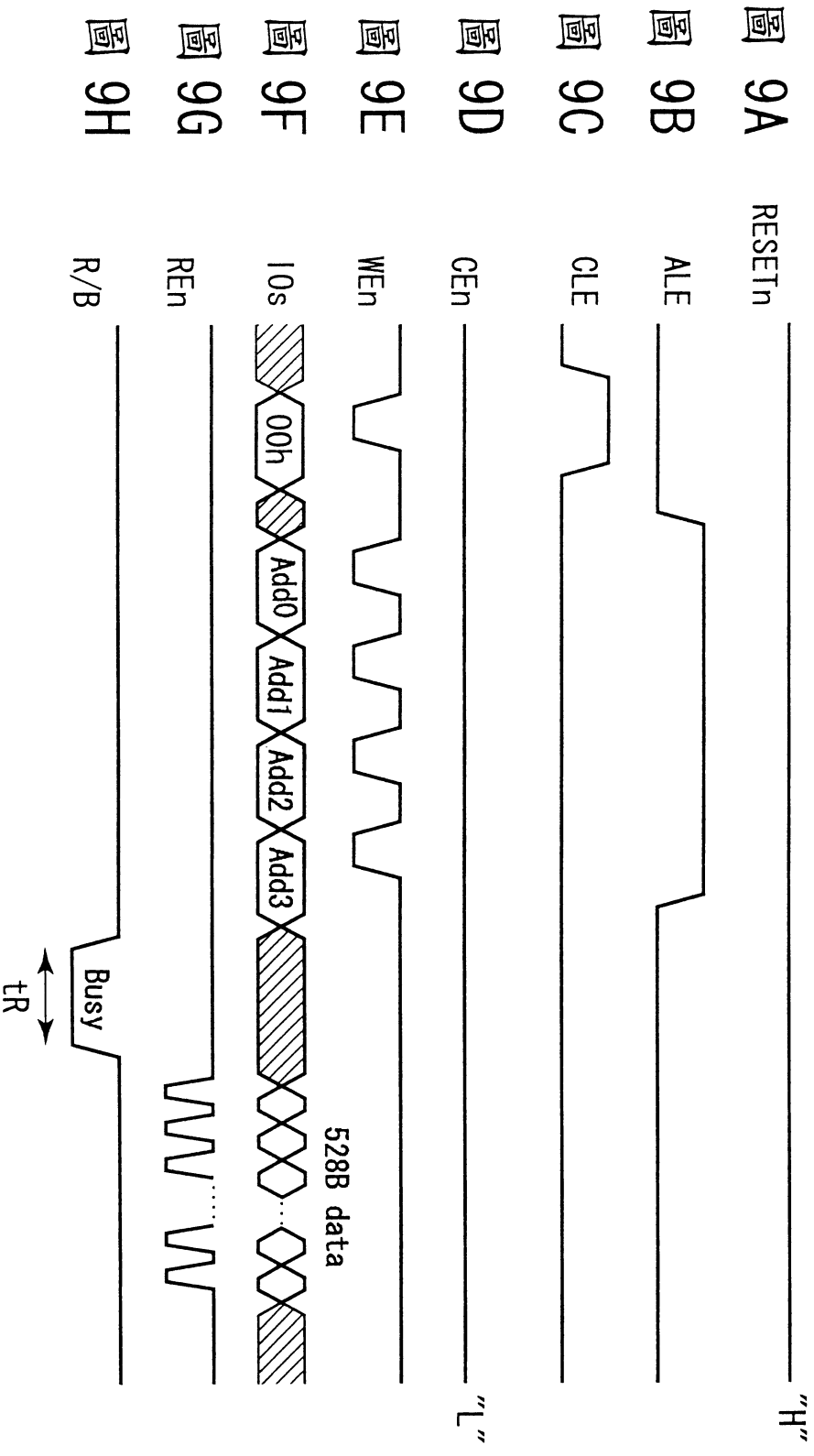


圖 3B







tR

tR

圖 11A

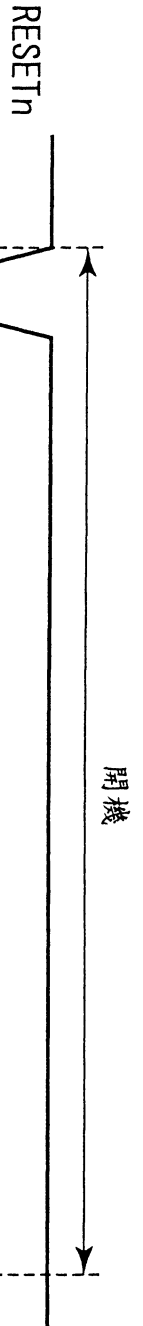


圖 11B

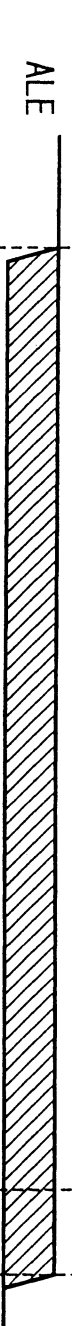


圖 11C

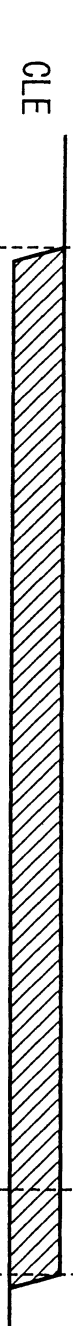


圖 11D

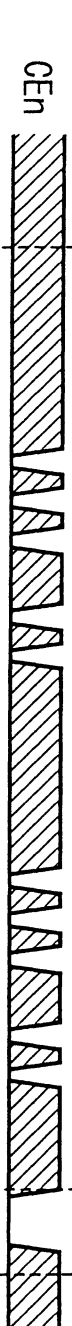


圖 11E



圖 11F

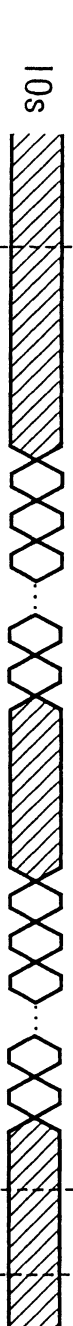
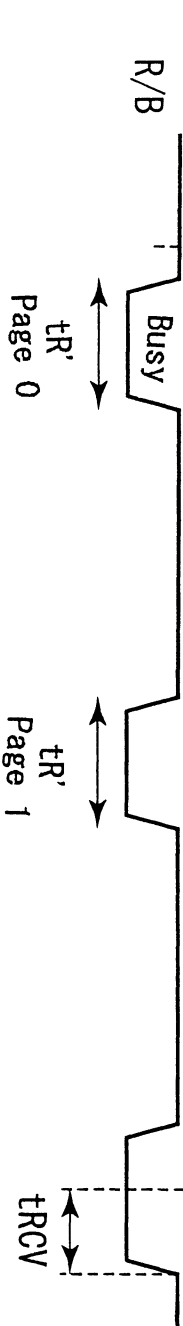


圖 11G



圖 11H



若CEn為"H", WEn
可通過"不必擔心"

1KB data

圖 12A

RESETn

開機

"H"

圖 12B

ALE

圖 12C

CLE

圖 12D

CEn

圖 12E

WE_n

圖 12F

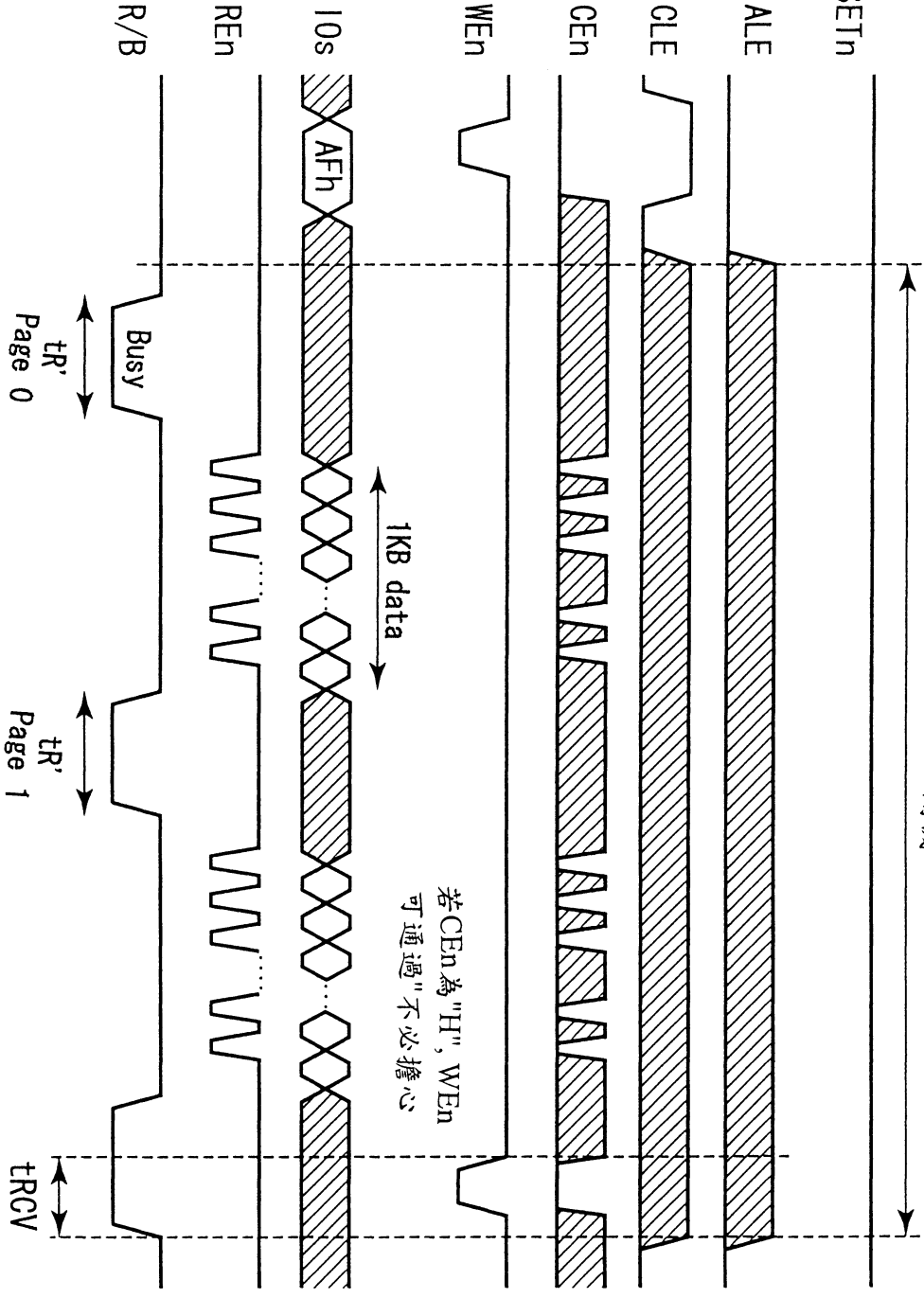
IOs

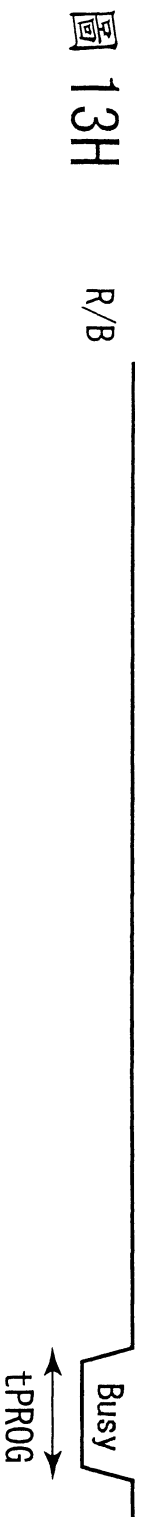
圖 12G

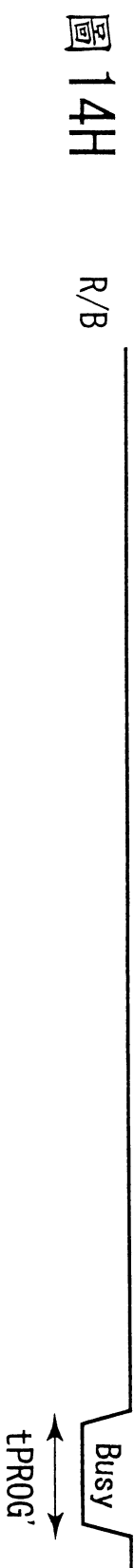
REN

圖 12H

R/B







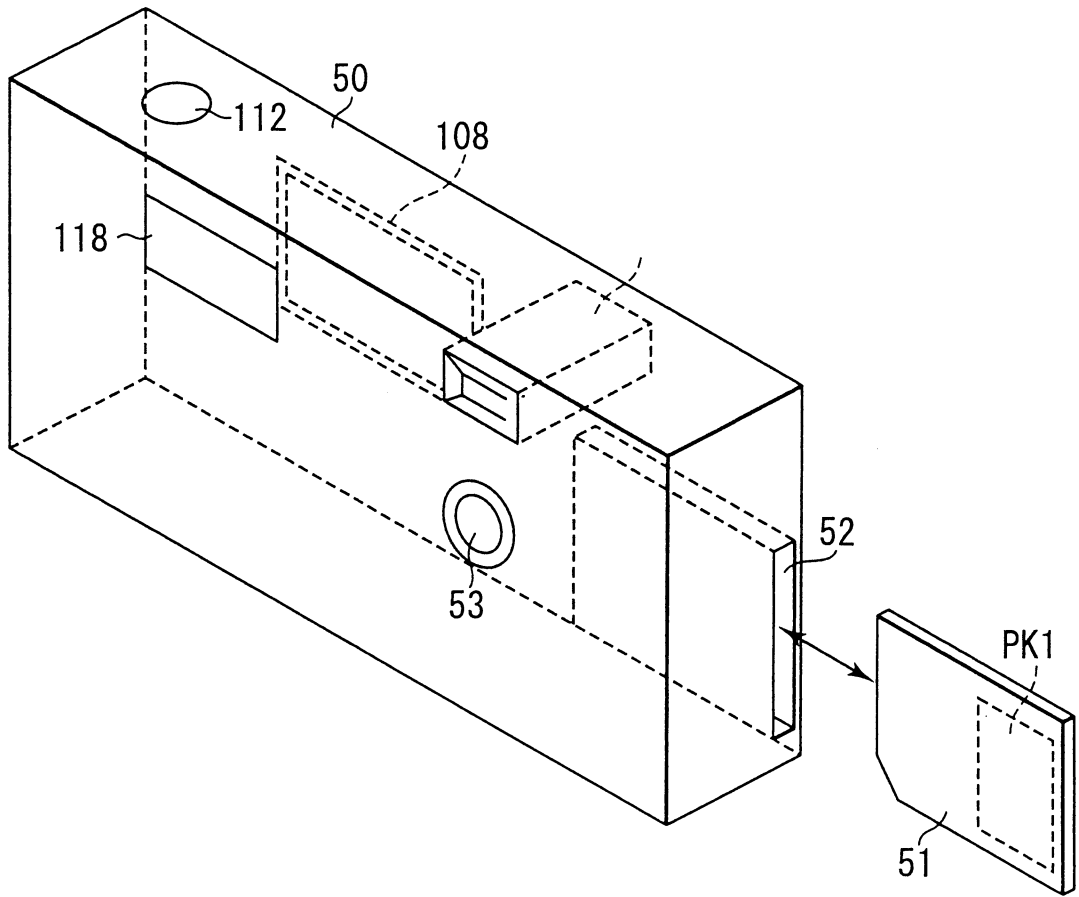


圖 15

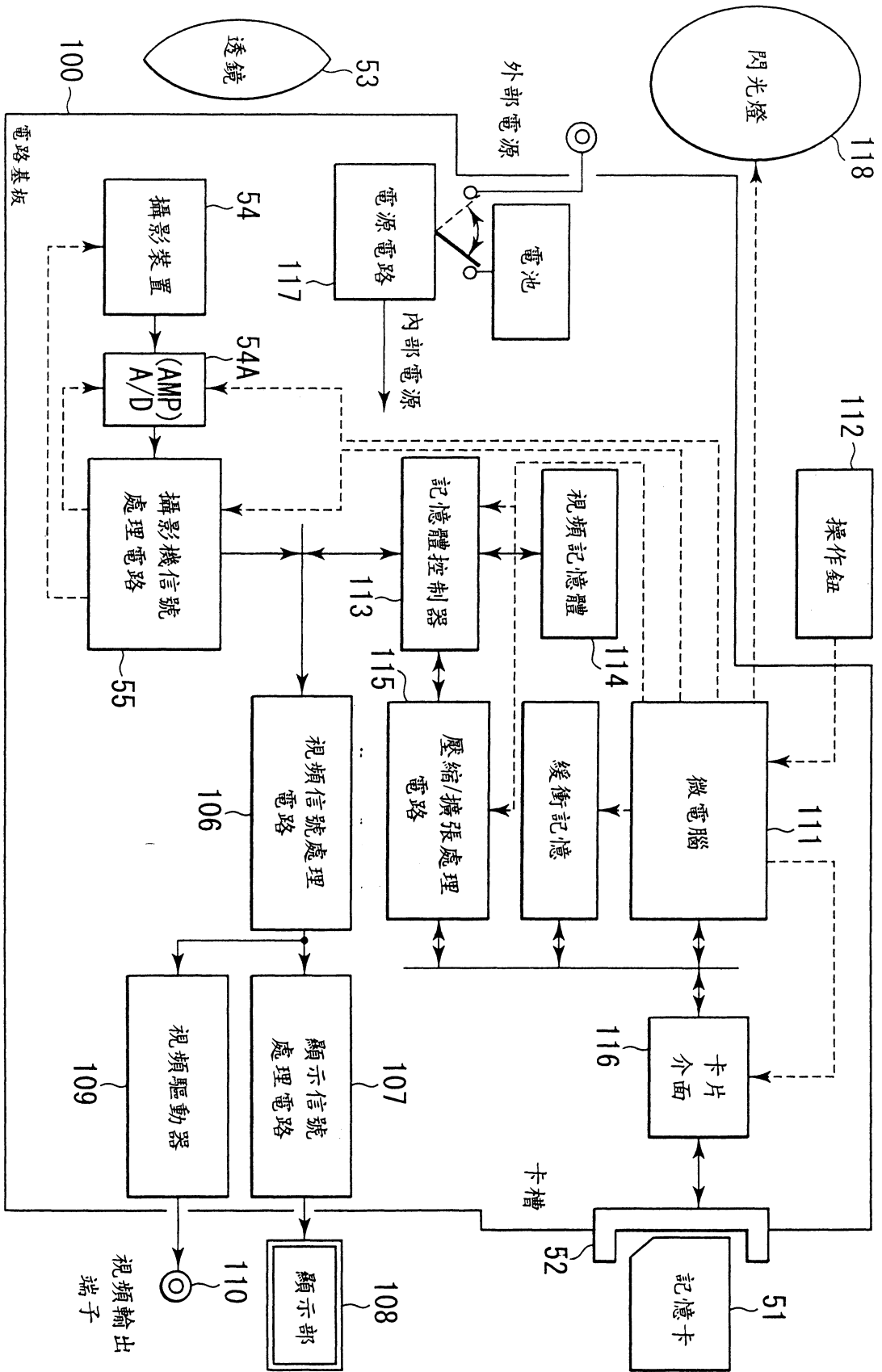


圖 16

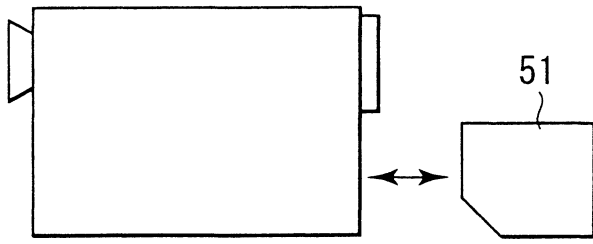


圖 17A

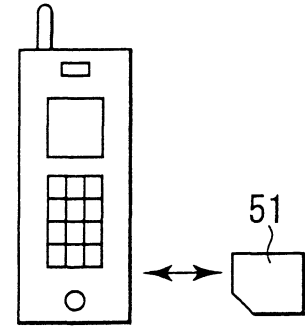


圖 17F

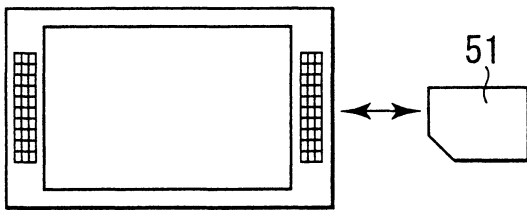


圖 17B

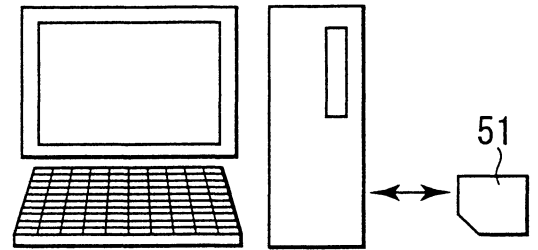


圖 17G

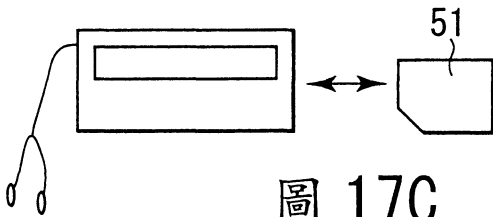


圖 17C

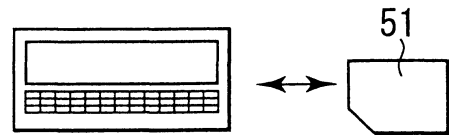


圖 17H

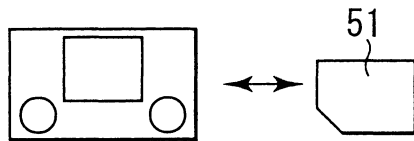


圖 17D

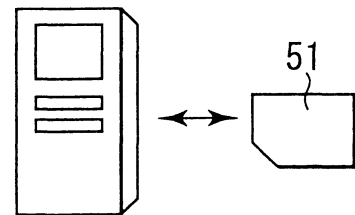


圖 17I

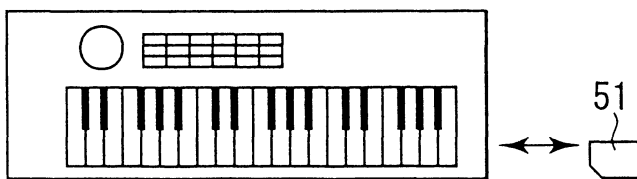


圖 17E

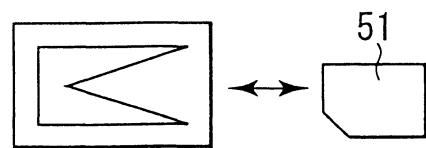


圖 17J

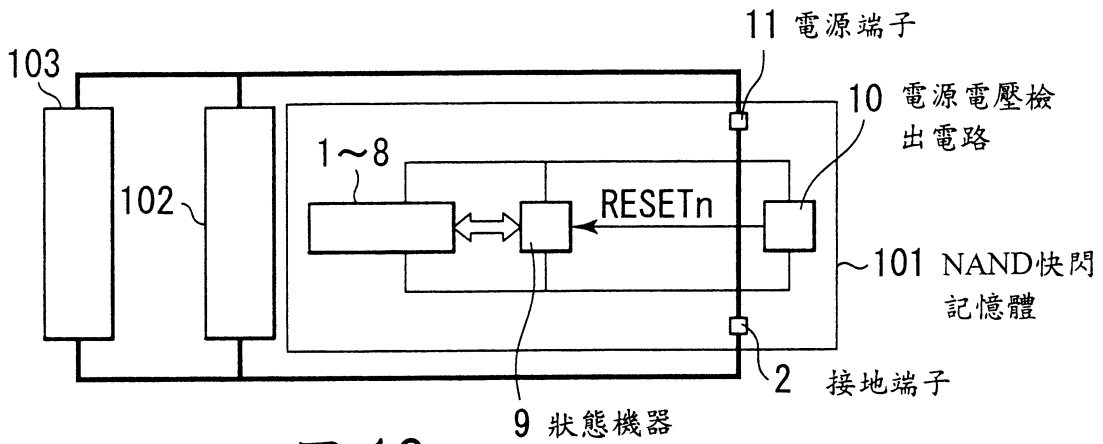


圖 18

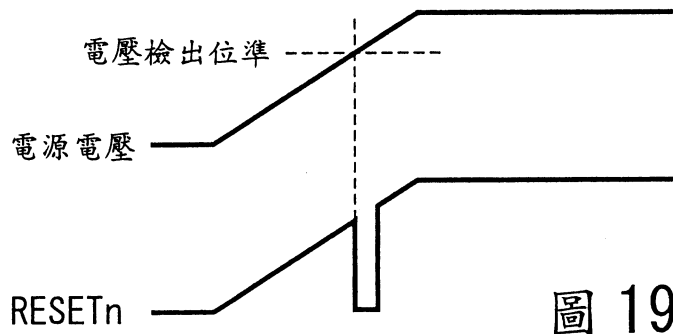


圖 19

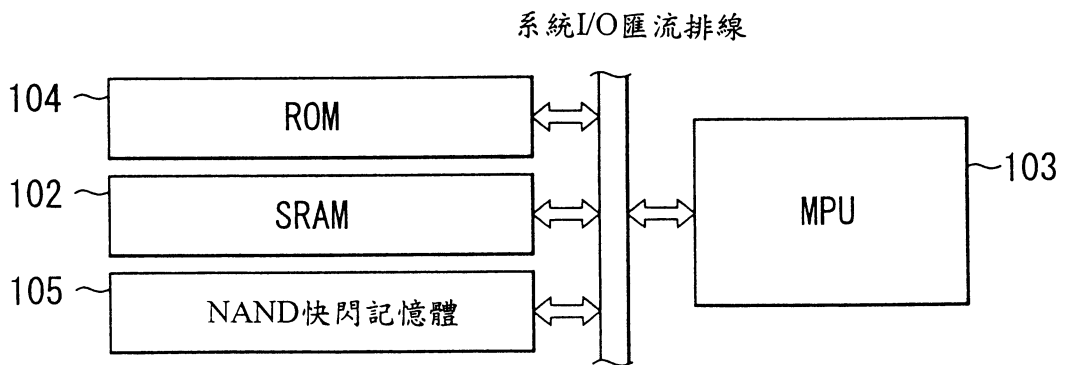


圖 20