(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2008 年10 月23 日 (23.10.2008)

PCT

(10) 国際公開番号
WO 2008/126873 A1

(51) 国際特許分類:
G01J 1/44 (2006.01) *G09G 3/20* (2006.01)
G02F 1/133 (2006.01) *G09G 3/36* (2006.01)
G06F 3/041 (2006.01)

(21) 国際出願番号: PCT/JP2008/057031

(22) 国際出願日: 2008 年4 月9 日 (09.04.2008)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2007-102137 2007 年4 月9 日 (09.04.2007) JP

(71) 出願人 (米国を除く全ての指定国について): シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町２２番２２号 Osaka (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 加藤浩巳 (KATOH, Hiromi). 前田和宏 (MAEDA, Kazuhiro). ブラウン クリストファー (BROWN, Christopher).

(74) 代理人: 特許業務法人池内・佐藤アンドパートナーズ (IKEUCHI SATO & PARTNER PATENT ATTORNEYS); 〒5306026 大阪府大阪市北区天満橋１丁目８番３０号ＯＡＰタワー２６階 Osaka (JP).

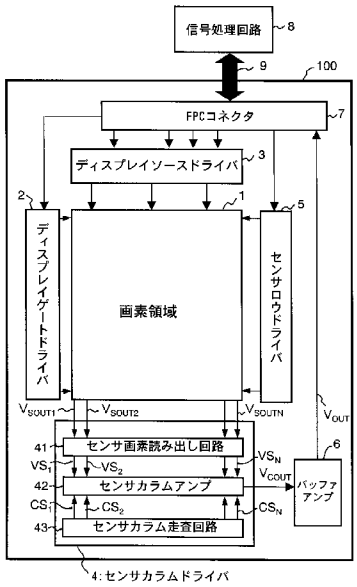
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

/続葉有/

(54) Title: DISPLAY DEVICE

(54) 発明の名称: 表示装置

[図1]



8 SIGNAL PROCESSING CIRCUIT
7 FPC CONNECTOR
3 DISPLAY SOURCE DRIVER
2 DISPLAY GATE DRIVER
1 PIXEL REGION
5 SENSOR ROW DRIVER
41 SENSOR PIXEL READ CIRCUIT
42 SENSOR COLUMN AMPLIFIER
43 SENSOR COLUMN SCANNING CIRCUIT
4 SENSOR COLUMN DRIVER
6 BUFFER AMPLIFIER

(57) **Abstract:** Provided is a display device which is provided with an optical detecting element in a pixel and capable of automatically correcting an optical sensor signal while the display device is being operated. A sensor row driver (5) is provided with first operation mode wherein an optical sensor signal corresponding to the light receiving quantity of the optical sensor is outputted to a signal processing circuit (8) by supplying an optical sensor in a pixel region (1) with a first pattern sensor driving signal; second operation mode wherein a first optical sensor signal level for correction equivalent to a case where the optical sensor detected a black level is obtained, by supplying a second pattern sensor driving signal; and third operation mode wherein a second optical sensor signal level for correction equivalent to a case where the optical sensor detected a white level is obtained, by supplying a third pattern sensor driving signal. The signal processing circuit (8) corrects the optical sensor signal in the first operation mode by using the first and the second optical sensor signal levels.

(57) 要約: 光検出素子を画素内に有し、表示装置の動作中に光センサ信号を自動的に補正することが可能な表示装置を提供する。センサロウドライバ（５）は、画素領域（１）の光センサへ第１のパターンのセンサ駆動信号を供給することにより、光センサの受光量に応じた光センサ信号を信号処理回路（８）へ出力する第１の動作モードと、第２のパターンのセンサ駆動信号を供給することにより、光センサが黒レベルを検出した場合に相当する補正用の第１の光センサ信号レベルを取得する第２の動作モードと、第３のパターンのセンサ駆動信号を供給することにより、光センサが白レベルを検出した場合に相当する補正用の第２の光センサ信号レベルを取得する第３の動作モードとを有する。信号処理回路（８）は、前記第１および第２の光センサ信号レベルを用いて、第１の動作モード時の光センサ信号を補正する。

WO 2008/126873 A1

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

明 細 書

表示装置

技術分野

[0001] 本発明は、フォトダイオード等の光検出素子を画素内に有する表示装置に関し、特に、表示装置の動作中に光センサ信号を自動的に補正(calibration)することが可能な表示装置に関する。

背景技術

[0002] 従来、例えばフォトダイオード等の光検出素子を画素内に備えたことにより、ディスプレイに近接した物体の画像を取り込むことが可能な、画像取り込み機能付の表示装置が提案されている。このような画像取り込み機能付き表示装置は、双方向通信用表示装置や、タッチパネル機能付き表示装置としての利用が想定されている。

[0003] 従来の画像取り込み機能付き表示装置では、アクティブマトリクス基板において、信号線および走査線、TFT(Thin Film Transistor)、画素電極等の周知の構成要素を半導体プロセスによって形成する際に、同時に、フォトダイオードを画素内に作り込む。このような従来の画像取り込み機能付き表示装置は、特開2006－3857号公報、および、“A Touch Panel Function Integrated LCD Including LTPS A/D Converter”, T. Nakamura等, SID 05 DIGEST, pp1054－1055, 2005等に開示されている。

発明の開示

発明が解決しようとする課題

[0004] ところで、フォトダイオード等の光検出素子の出力は一般的に低レベルであるので、アンプによって増幅してから信号処理回路へ出力する。このため、光検出素子の出力が最終的に光センサ信号として出力されるまでに、パネル内のアンプ等の回路に固有のオフセットを含んでしまう。そのため、光センサ信号に対して、これらのオフセットやゲインを調整すべく、補正が必要である。

[0005] オフセットとゲインの補正を行うためには、光センサが黒レベルを検出した場合の光センサ信号と、光センサが白レベルを検出した場合の光センサ信号とをそれぞれ取

得する必要がある。前者の黒レベルの光センサ信号の取得については、いわゆるダブルサプリング方式と呼ばれる、リセット動作直後に読み出し信号を印加する方式が知られている。しかし、後者の白レベルの光センサ信号の取得については、例えば白い紙等を光センサの前に置くなどの作業が必要である。従って、表示装置の通常の動作中に、光センサ信号のオフセットやゲインを自動的に補正することはできなかった。

[0006] 本発明は、上記の課題を鑑み、光検出素子を画素内に有する表示装置であって、特に、表示装置の動作中に光センサ信号を自動的に補正することが可能な表示装置を提供することを目的とする。

課題を解決するための手段

[0007] 本発明にかかる表示装置は、上記の課題を解決するために、アクティブマトリクス基板を備えた表示装置であって、前記アクティブマトリクス基板の画素領域に設けられた光センサと、前記光センサに接続されたセンサ駆動配線と、前記光センサへ、前記センサ駆動配線を介して、センサ駆動信号を供給するセンサ駆動回路と、前記センサ駆動信号に従って前記光センサから読み出されたセンサ出力を増幅し、光センサ信号として出力するアンプ回路と、前記アンプ回路から出力された光センサ信号を処理する信号処理回路とを備え、前記センサ駆動回路が、動作モードとして、前記光センサへ、第1のパターンのセンサ駆動信号を供給することにより、光センサの受光量に応じた光センサ信号を前記信号処理回路へ出力する第1の動作モードと、前記光センサへ、第2のパターンのセンサ駆動信号を供給することにより、光センサが黒レベルを検出した場合に相当する補正用の第1の光センサ信号レベルを取得する第2の動作モードと、前記光センサへ、第3のパターンのセンサ駆動信号を供給することにより、光センサが白レベルを検出した場合に相当する補正用の第2の光センサ信号レベルを取得する第3の動作モードとを有し、前記信号処理回路において、前記第1の光センサ信号レベルと第2の光センサ信号レベルとを用いて、前記第1の動作モード時の光センサ信号を補正することを特徴とする。

発明の効果

[0008] 本発明によれば、光検出素子を画素内に有する表示装置であって、特に、表示装

置の動作中に光センサ信号を自動的に補正することが可能な表示装置を提供できる。

図面の簡単な説明

[0009] [図1]図1は、本発明の一実施形態にかかる表示装置の概略構成を示すブロック図である。

[図2]図2は、本発明の一実施形態にかかる表示装置における一画素の構成を示す等価回路図である。

[図3]図3は、リセット信号と読み出し信号の波形をそれぞれ示すタイミングチャートである。

[図4]図4は、本発明の一実施形態にかかる表示装置におけるセンサ駆動タイミングを示すタイミングチャートである。

[図5]図5は、センサ画素読み出し回路の内部構成を示す回路図である。

[図6]図6は、読み出し信号と、センサ出力と、センサ画素読み出し回路の出力との関係を示す波形図である。

[図7]図7は、センサカラムアンプの構成例を示す回路図である。

[図8]図8は、第1の実施形態にかかる表示装置の第1～第3の動作モードのそれぞれにおけるリセット信号および読み出し信号のパターンの一例を示す波形図である。

[図9]図9(a)は、図8に示した第2の動作モードにおけるV_{INT}の波形図であり、図9(b)は、図8に示した第3の動作モードにおけるV_{INT}の波形図である。

[図10]図10は、第1の実施形態にかかる表示装置の第1～第3の動作モードのそれぞれにおけるリセット信号および読み出し信号のパターンの他の例を示す波形図である。

[図11]図11(a)は、図10に示した第2の動作モードにおけるV_{INT}の波形図であり、図11(b)は、図10に示した第3の動作モードにおけるV_{INT}の波形図である。

[図12]図12は、第2の実施形態にかかる表示装置の第1～第3の動作モードのそれぞれにおけるリセット信号および読み出し信号のパターンの一例を示す波形図である。

[図13]図13(a)は第2の実施形態にかかる表示装置の第2の動作モードにおけるV_{IN}

V_Tの波形図であり、図13(b)は第3の動作モードにおけるV_{INT}の波形図である。

[図14]図14は、本発明の実施形態にかかる表示装置の一変形例として、光センサの配線VDDおよびOUTがソース配線COLとは別個に設けられた構成を示す等価回路図である。

発明を実施するための最良の形態

[0010] 本発明の一実施形態にかかる表示装置は、アクティブマトリクス基板を備えた表示装置であって、前記アクティブマトリクス基板の画素領域に設けられた光センサと、前記光センサに接続されたセンサ駆動配線と、前記光センサへ、前記センサ駆動配線を介して、センサ駆動信号を供給するセンサ駆動回路と、前記センサ駆動信号に従って前記光センサから読み出されたセンサ出力を増幅し、光センサ信号として出力するアンプ回路と、前記アンプ回路から出力された光センサ信号を処理する信号処理回路とを備え、前記センサ駆動回路が、動作モードとして、前記光センサへ、第1のパターンのセンサ駆動信号を供給することにより、光センサの受光量に応じた光センサ信号を前記信号処理回路へ出力する第1の動作モードと、前記光センサへ、第2のパターンのセンサ駆動信号を供給することにより、光センサが黒レベルを検出した場合に相当する補正用の第1の光センサ信号レベルを取得する第2の動作モードと、前記光センサへ、第3のパターンのセンサ駆動信号を供給することにより、光センサが白レベルを検出した場合に相当する補正用の第2の光センサ信号レベルを取得する第3の動作モードとを有し、前記信号処理回路において、前記第1の光センサ信号レベルと第2の光センサ信号レベルとを用いて、前記第1の動作モード時の光センサ信号を補正することを特徴とする。

[0011] この構成によれば、表示装置の動作中に、センサ駆動信号を第2のパターンまたは第3のパターンに切り替えることにより、光センサが黒レベルを検出した場合に相当する補正用の第1の光センサ信号レベルと、光センサが白レベルを検出した場合に相当する補正用の第2の光センサ信号レベルとを取得し、これらの補正用の信号レベルを用いて、第1の動作モード時の光センサ信号を補正することができる。これにより、表示装置の動作中に光センサ信号を自動的に補正することが可能な表示装置を提供できる。

[0012] 上記の構成において、前記センサ駆動配線が、前記光センサに接続されたリセット信号配線と、前記光センサに接続された読み出し信号配線とを含み、前記センサ駆動信号が、前記リセット信号配線を介して前記光センサへ供給されるリセット信号と、前記読み出し信号配線を介して前記光センサへ供給される読み出し信号とを含むことが好ましい。

[0013] 上記の構成において、さらに、前記第1の動作モードにおいて、前記センサ駆動回路が、前記光センサへリセット信号を供給し、所定時間経過後に読み出し信号を供給することにより、前記所定時間内の光センサの受光量に応じた光センサ信号を前記信号処理回路へ出力し、前記第2の動作モードにおいて、前記センサ駆動回路が、前記光センサへ、リセット信号の供給を開始した後に読み出し信号を供給することにより、補正用の第1の光センサ信号レベルを取得し、前記第3の動作モードにおいて、前記センサ駆動回路が、前記光センサへ、リセット信号の供給を開始した後に、第1の動作モードにおける読み出し信号よりも振幅の小さい読み出し信号を供給することにより、補正用の第2の光センサ信号レベルを取得することが好ましい。

[0014] なお、上記の構成において、第3の動作モードにおける「第1の動作モードにおける読み出し信号よりも振幅の小さい読み出し信号」とは、読み出し信号の振幅がゼロである場合も含む。上記の構成によれば、センサ駆動回路が、第2の動作モードおよび第3の動作モードによって補正用の第1の光センサ信号レベルと第2の光センサ信号レベルとをそれぞれ取得する。第2の動作モードでは、リセット信号の供給を開始した後に読み出し信号を供給することにより、補正用の第1の光センサ信号レベルとしては、光センサの充電初期レベルの光センサ信号、すなわち、黒レベルのオフセット量が取得される。また、第3の動作モードでは、リセット信号の供給を開始した後に、第1の動作モードにおける読み出し信号よりも振幅の小さい読み出し信号を供給することにより、センサ出力の読み出しに寄与する各種の回路素子やアンプ回路に固有のオフセット量が取得される。従って、信号処理回路が、第1の光センサ信号レベルと第2の光センサ信号レベルとを用いて第1の動作モード時の光センサ信号を補正することにより、表示装置の動作中に光センサ信号を自動的に補正することが可能となる。

[0015] 上記の構成にかかる表示装置は、前記第2の動作モードにおいて、前記センサ駆

動回路が、リセット信号の供給が開始された後であって、リセット信号の供給が終了する前に、前記読み出し信号の供給を開始することが好ましい。また、前記第3の動作モードにおいて、前記センサ駆動回路が、リセット信号の供給が開始された後であって、リセット信号の供給が終了する前に、前記読み出し信号の供給を開始することも好ましい。これらの構成によれば、リセット信号と読み出し信号の供給期間が重なることにより、センサ駆動信号の供給期間が短くて済み、表示用信号の供給期間に影響を与えることなく補正用の光信号レベルを取得できるという利点がある。

[0016] あるいは、上記の構成にかかる表示装置は、前記第2の動作モードにおいて、前記センサ駆動回路が、リセット信号の供給が開始された後であって、かつ、リセット信号の供給が終了した後に、前記読み出し信号の供給を開始する構成であっても良い。また、前記第3の動作モードにおいて、前記センサ駆動回路が、リセット信号の供給が開始された後であって、かつ、リセット信号の供給が終了した後に、前記読み出し信号の供給を開始する構成であっても良い。これらの構成によれば、光センサ内のスイッチングトランジスタのON状態における寄生容量の影響を受けずに、精度が高い補正用の光信号レベルを取得できるという利点がある。

[0017] 上記の表示装置は、前記第3の動作モードにおける読み出し信号の振幅がゼロである構成であっても良いし、前記第3の動作モードにおける読み出し信号の振幅が、前記光センサの飽和時のセンサ出力を読み出す値である構成であっても良い。後者の場合、前記光センサが、1つのフォトダイオードと、前記フォトダイオードのカソードに接続されたコンデンサとを含み、前記第3の動作モードにおける読み出し信号の振幅$\Delta V_{RWS.WHITE}$が、下記の式により求められることが好ましい。

[0018]
$$\Delta V_{RWS.WHITE} = (V_{RWS.H} - V_{RWS.L}) + (V_F - \Delta V_{RST}) \cdot C_T / C_{INT} + \Delta V_{RST} \cdot C_{PD} / C_{INT}$$

$$\Delta V_{RST} = V_{RST.H} - V_{RST.L}$$

なお、$V_{RWS.H}$は第1の動作モードにおける読み出し信号のハイレベル電位、$V_{RWS.L}$は第1の動作モードにおける読み出し信号のローレベル電位、V_Fは前記フォトダイオードの順方向電圧、$V_{RST.H}$はリセット信号のハイレベル電位、$V_{RST.L}$はリセット信号のローレベル電位、C_Tは前記フォトダイオードとコンデンサとの接続点の容量、C_{PD}は前記フ

ォトダイオードの容量、C_{INT}は前記コンデンサの容量である。

[0019] 本発明は、前記光センサが、1つのセンサ用スイッチング素子を有している表示装置に適用できる。また、本発明にかかる表示装置は、前記アクティブマトリクス基板に対向する対向基板と、前記アクティブマトリクス基板と対向基板との間に挟持された液晶とをさらに備えたことが好ましい。

[0020] 以下、本発明のより詳細な実施形態について、図面を参照しながら説明する。なお、以下の実施形態は、本発明にかかる表示装置を液晶表示装置として実施する場合の構成例を示したものであるが、本発明にかかる表示装置は液晶表示装置に限定されず、アクティブマトリクス基板を用いる任意の表示装置に適用可能である。なお、本発明にかかる表示装置は、画像取り込み機能を有することにより、画面に近接する物体を検知して入力操作を行うタッチパネル付き表示装置や、表示機能と撮像機能とを具備した双方向通信用表示装置等としての利用が想定される。

[0021] また、以下で参照する各図は、説明の便宜上、本発明の実施形態の構成部材のうち、本発明を説明するために必要な主要部材のみを簡略化して示したものである。従って、本発明にかかる表示装置は、本明細書が参照する各図に示されていない任意の構成部材を備え得る。また、各図中の部材の寸法は、実際の構成部材の寸法および各部材の寸法比率等を忠実に表したものではない。

[0022] [第1の実施形態]

最初に、図1および図2を参照しながら、本発明の第1の実施形態にかかる液晶表示装置が備えるアクティブマトリクス基板の構成について説明する。

[0023] 図1は、本発明の一実施形態にかかる液晶表示装置が備えるアクティブマトリクス基板100の概略構成を示すブロック図である。図1に示すように、アクティブマトリクス基板100は、ガラス基板上に、画素領域1、ディスプレイゲートドライバ2、ディスプレイソースドライバ3、センサカラム(column)ドライバ4、センサロウ(row)ドライバ5、バッファアンプ6、FPCコネクタ7を少なくとも備えている。また、画素領域1内の光検出素子(後述)で取り込まれた画像信号を処理するための信号処理回路8が、前記FPCコネクタ7とFPC9とを介して、アクティブマトリクス基板100に接続されている。

[0024] なお、アクティブマトリクス基板100上の上記の構成部材は、半導体プロセスによっ

てガラス基板上にモノリシックに形成することも可能である。あるいは、上記の構成部材のうちのアンプやドライバ類を、例えばCOG（Chip On Glass）技術等によってガラス基板上に実装した構成としても良い。あるいは、図1においてアクティブマトリクス基板100上に示した上記の構成部材の少なくとも一部が、FPC9上に実装されることも考えられる。アクティブマトリクス基板100は、全面に対向電極が形成された対向基板（図示せず）と貼り合わされ、その間隙に液晶材料が封入される。

[0025] 画素領域1は、画像を表示するために、複数の画素が形成された領域である。本実施形態では、画素領域1における各画素内には、画像を取り込むための光センサが設けられている。図2は、アクティブマトリクス基板100の画素領域1における画素と光センサとの配置を示す等価回路図である。図2の例では、1つの画素が、R（赤）、G（緑）、B（青）の3色の絵素によって形成され、この3絵素で構成される1つの画素内に、1つの光センサが設けられている。画素領域1は、M行×N列のマトリクス状に配置された画素と、同じくM行×N列のマトリクス状に配置された光センサとを有する。なお、上述のとおり、絵素数は、M×3Nである。

[0026] このため、図2に示すように、画素領域1は、画素用の配線として、マトリクス状に配置されたゲート線GLおよびソース線COLを有している。ゲート線GLは、ディスプレイゲートドライバ2に接続されている。ソース線COLは、ディスプレイソースドライバ3に接続されている。なお、ゲート線GLは、画素領域1内にM行設けられている。以下、個々のゲート線GLを区別して説明する必要がある場合は、GLi（i＝1～M）のように表記する。一方、ソース線COLは、上述のとおり、1つの画素内の3絵素にそれぞれ画像データを供給するために、1画素につき3本ずつ設けられている。ソース線COLを個々に区別して説明する必要がある場合は、COLrj，COLgj，COLbj（j＝1～N）のように表記する。

[0027] ゲート線GLとソース線COLとの交点には、画素用のスイッチング素子として、薄膜トランジスタ（TFT）M1が設けられている。なお、図2では、赤色、緑色、青色のそれぞれの絵素に設けられている薄膜トランジスタM1を、M1r，M1g，M1bと表記している。薄膜トランジスタM1のゲート電極はゲート線GLへ、ソース電極はソース線COLへ、ドレイン電極は図示しない画素電極へ、それぞれ接続されている。これにより、

図2に示すように、薄膜トランジスタM1のドレイン電極と対向電極（VCOM）との間に液晶容量LCが形成される。また、ドレイン電極とTFTCOMとの間に補助容量LSが形成されている。

[0028] 図2において、1本のゲート線GLiと1本のソース線COLrjとの交点に接続された薄膜トランジスタM1rによって駆動される絵素は、この絵素に対応するように赤色のカラーフィルタが設けられ、ソース線COLrjを介してディスプレイソースドライバ3から赤色の画像データが供給されることにより、赤色の絵素として機能する。また、ゲート線GLiとソース線COLgjとの交点に接続された薄膜トランジスタM1gによって駆動される絵素は、この絵素に対応するように緑色のカラーフィルタが設けられ、ソース線COLgjを介してディスプレイソースドライバ3から緑色の画像データが供給されることにより、緑色の絵素として機能する。さらに、ゲート線GLiとソース線COLbjとの交点に接続された薄膜トランジスタM1bによって駆動される絵素は、この絵素に対応するように青色のカラーフィルタが設けられ、ソース線COLbjを介してディスプレイソースドライバ3から青色の画像データが供給されることにより、青色の絵素として機能する。

[0029] なお、図2の例では、光センサは、画素領域1において、1画素（3絵素）に1つの割合で設けられている。ただし、画素と光センサの配置割合は、この例のみに限定されず、任意である。例えば、1絵素につき1つの光センサが配置されていても良いし、複数画素に対して1つの光センサが配置された構成であっても良い。

[0030] 光センサは、図2に示すように、光検出素子としてのフォトダイオードD1、コンデンサC1、トランジスタM2から構成される。図2の例では、ソース線COLrが、センサカラムドライバ4から定電圧V_{DD}を光センサへ供給するための配線VDDを兼ねている。また、ソース線COLgが、センサ出力用の配線OUTを兼ねている。

[0031] フォトダイオードD1のアノードには、リセット信号を供給するための配線RSTが接続されている。フォトダイオードD1のカソードには、コンデンサC1の電極の一方と、トランジスタM2のゲートが接続されている。トランジスタM2のドレインは配線VDDに接続され、ソースは配線OUTに接続されている。図2において、フォトダイオードD1のカソードと、コンデンサC1の電極の一方と、トランジスタM2のゲートとの接続点をINTと表記した。コンデンサC1の電極の他方は、読み出し信号を供給するための配線

RWSに接続されている。配線RST，RWSは、センサロウドライバ5に接続されている。これらの配線RST，RWSは1行毎に設けられているので、以降、各配線を区別する必要がある場合は、RSTi，RWSi(i＝1～M)のように表記する。

[0032] センサロウドライバ5は、所定の時間間隔t_{row}で、図2に示した配線RSTiとRWSiとの組を順次選択していく。これにより、画素領域1において信号電荷を読み出すべき光センサの行(row)が順次選択される。

[0033] なお、図2に示すように、配線OUTの端部には、絶縁ゲート型電界効果トランジスタM3のドレインが接続されている。また、このトランジスタM3のドレインには、出力配線SOUTが接続され、トランジスタM3のドレインの電位V_{SOUT}が、光センサからの出力信号としてセンサカラムドライバ4へ出力される。トランジスタM3のソースは、配線VSSに接続されている。トランジスタM3のゲートは、参照電圧配線VBを介して、参照電圧電源(図示せず)に接続されている。

[0034] ここで、図3を参照し、画素領域1からのセンサ出力の読み出しについて説明する。図3は、光センサへ配線RSTから供給されるリセット信号と配線RWSから供給される読み出し信号の波形をそれぞれ示すタイミングチャートである。図3に示すように、リセット信号のハイレベル$V_{RST.H}$は0V、ローレベル$V_{RST.L}$は－4Vである。この例では、リセット信号のハイレベル$V_{RST.H}$はV_{SS}に等しい。また、読み出し信号のハイレベル$V_{RWS.H}$は8V、ローレベル$V_{RWS.L}$は0Vである。この例では、読み出し信号のハイレベル$V_{RWS.H}$がV_{DD}に等しく、ローレベル$V_{RWS.L}$がV_{SS}に等しい。

[0035] まず、センサロウドライバ5から配線RSTへ供給されるリセット信号がローレベル(－4V)から立ち上がってハイレベル(0V)になると、フォトダイオードD1は順方向バイアスとなり、接続点INTの電位V_{INT}は、下記の式(1)で表される。

[0036] $$V_{INT} = V_{RST.H} - V_F - \Delta V_{RST} \cdot C_{PD} / C_T \quad \cdots (1)$$

式(1)において、$V_{RST.H}$は、リセット信号のハイレベルである0Vであり、V_FはフォトダイオードD1の順方向電圧、ΔV_{RST}は、リセット信号のパルスの高さ($V_{RST.H} - V_{RST.L}$)であり、C_{PD}はフォトダイオードD1の容量である。C_Tは、接続点INTの総容量であり、コンデンサC1の容量C_{INT}と、フォトダイオードD1の容量C_{PD}と、トランジスタM2の容量C_{TFT}との総和である。このときのV_{INT}はトランジスタM2の閾値電圧より低いので、トラン

ジスタM2はリセット期間において非導通状態となっている。

[0037] 次に、リセット信号がローレベル$V_{RST.L}$に戻ることにより、光電流の積分期間(t_{INT})が始まる。積分期間においては、フォトダイオードD1への入射光量に比例した光電流がコンデンサC1に流れ込み、コンデンサC1を放電させる。これにより、積分期間の終了時における接続点INTの電位V_{INT}は、下記の式(2)で表される。

[0038] $$V_{INT}=V_{RST.H}-V_F-\Delta V_{RST}\cdot C_{PD}/C_T-I_{PHOTO}\cdot t_{INT}/C_T \quad \cdots(2)$$

式(2)において、I_{PHOTO}は、フォトダイオードD1の光電流、t_{INT}は、積分期間の長さである。積分期間においても、V_{INT}がトランジスタM2の閾値電圧より低いので、トランジスタM2は非導通状態となっている。

[0039] 積分期間が終わると、図3に示すように、読み出し信号RWSが立ち上がることにより、読み出し期間が始まる。ここで、コンデンサC1に対して電荷注入が起こる。この結果、接続点INTの電位V_{INT}は、下記の式(3)で表される。

[0040] $$V_{INT}=V_{RST.H}-V_F-I_{PHOTO}\cdot t_{INT}/C_T+\Delta V_{RWS}\cdot C_{INT}/C_T \quad \cdots(3)$$

ΔV_{RWS}は、読み出し信号のパルスの高さ($V_{RWS.H}-V_{RWS.L}$)でありこれにより、接続点INTの電位V_{INT}がトランジスタM2の閾値電圧よりも高くなるので、トランジスタM2は導通状態となり、各列において配線OUTの端部に設けられているバイアストランジスタM3と共に、ソースフォロアアンプとして機能する。すなわち、トランジスタM3のドレインからの出力配線SOUTからの出力信号電圧は、積分期間におけるフォトダイオードD1の光電流の積分値に相当する。

[0041] 以上のとおり、リセットパルスによる初期化と、積分期間における光電流の積分と、読み出し期間におけるセンサ出力の読み出しとを1サイクルとして周期的に行う動作が、本実施形態にかかる表示装置の第1の動作モードである。

[0042] 本実施形態では、前述したように、ソース線COLr, COLg, COLbを光センサ用の配線VDD, OUT, VSSとして共用しているので、図4に示すように、ソース線COLr, COLg, COLbを介して表示用の画像データ信号を入力するタイミングと、センサ出力を読み出すタイミングとを区別する必要がある。図4の例では、水平走査期間において表示用画像データ信号の入力が終わった後に、水平ブランキング期間等を利用して、第1の動作モードによってセンサ出力の読み出しが行われる。

[0043] センサカラムドライバ4は、図1に示すように、センサ画素読み出し回路41と、センサカラムアンプ42と、センサカラム走査回路43とを含む。センサ画素読み出し回路41には、画素領域1からセンサ出力V_{SOUT}を出力する配線SOUT（図2参照）が接続されている。図1において、配線SOUTj（j＝1～N）により出力されるセンサ出力を、V_{OUTj}と表記している。センサ画素読み出し回路41は、センサ出力V_{SOUTj}のピークホールド電圧V_{Sj}を、センサカラムアンプ42へ出力する。センサカラムアンプ42は、画素領域1のN列の光センサにそれぞれ対応するN個のカラムアンプを内蔵しており、個々のカラムアンプでピークホールド電圧V_{Sj}（j＝1～N）を増幅し、V_{COUT}としてバッファアンプ6へ出力する。センサカラム走査回路43は、センサカラムアンプ42のカラムアンプをバッファアンプ6への出力へ順次接続するために、カラムセレクト信号CS_j（j＝1～N）を、センサカラムアンプ42へ出力する。

[0044] ここで、図5および図6を参照し、画素領域1からセンサ出力V_{SOUT}が読み出された後のセンサカラムドライバ4およびバッファアンプ6の動作について説明する。図5は、センサ画素読み出し回路41の内部構成を示す回路図である。図6は、読み出し信号V_{RWS}と、センサ出力V_{SOUT}と、センサ画素読み出し回路の出力V_Sとの関係を示す波形図である。前述のように、読み出し信号がハイレベル$V_{RWS.H}$になったとき、トランジスタM2が導通することにより、トランジスタM2，M3によりソースフォロアアンプが形成され、センサ出力V_{SOUT}がセンサ画素読み出し回路41のサンプルキャパシタC_{SAM}に蓄積される。これにより、読み出し信号がローレベル$V_{RWS.L}$になった後も、その行の選択期間（t_{row}）中、センサ画素読み出し回路41からセンサカラムアンプ42への出力電圧V_Sは、図6に示すように、センサ出力V_{SOUT}のピーク値と等しいレベルに保持される。

[0045] 次に、センサカラムアンプ42の動作について、図7を参照しながら説明する。図7に示すように、センサ画素読み出し回路41から、各列の出力電圧V_{Sj}（j＝1～N）が、センサカラムアンプ42のN個のカラムアンプへ入力される。図7に示すように、各カラムアンプは、トランジスタM6，M7から構成されている。センサカラム走査回路43によって生成されるカラムセレクト信号CS_jが、1つの行の選択期間（t_{row}）中に、N列のカラムのそれぞれに対して順次ONとなることにより、センサカラムアンプ42中のN個のカラムアンプのうちいずれか1つのみのトランジスタM6がONとなり、そのトランジスタM6

を介して、各列の出力電圧V_{Sj}(j＝1～N)のいずれかのみが、センサカラムアンプ42からの出力V_{COUT}として出力される。バッファアンプ6は、センサカラムアンプ42から出力されたV_{COUT}をさらに増幅し、パネル出力(光センサ信号)V_{out}として信号処理回路8へ出力する。

[0046] なお、センサカラム走査回路43は、上述のように光センサの列を1列ずつ走査するようにしても良いが、これに限定されず、光センサの列をインタレース走査する構成としても良い。また、センサカラム走査回路43が、例えば4相等の多相駆動走査回路として形成されていても良い。

[0047] 以上の構成により、本実施形態にかかる表示装置は、第1の動作モードによって、画素領域1において画素毎に形成されたフォトダイオードD1の受光量に応じたパネル出力V_{OUT}を得る。パネル出力V_{OUT}は、信号処理回路8に送られてA／D変換され、パネル出力データとしてメモリ(図示せず)に蓄積される。つまり、このメモリには、画素領域1の画素数(光センサ数)と同数のパネル出力データが蓄積されることとなる。信号処理回路8では、メモリに蓄積されたパネル出力データを用いて、画像取り込みやタッチ領域の検出等の各種信号処理を行う。なお、本実施形態では、信号処理回路8のメモリに、画素領域1の画素数(光センサ数)と同数のパネル出力データを蓄積するものとしたが、メモリ容量等の制約により、必ずしも画素数と同数のパネル出力データを蓄積することを要しない。

[0048] なお、本実施形態の表示装置は、画素領域1における画素毎の光センサ信号を読み出す第1の動作モード以外に、パネル出力の補正用の第1のパネル出力V_{Black}を得るために、リセット信号をハイレベルにした後に読み出し信号をハイレベルにする第2の動作モードと、パネル出力の補正用の第2のパネル出力V_{White}を得るために、読み出し信号をローレベルに保ち、リセット信号のみを所定の時間間隔で供給する第3の動作モードとを有する。補正用の第1のパネル出力V_{Black}は、画素内の光センサの充電初期レベルであり、黒レベルのオフセット値として用いられる。補正用の第2のパネル出力V_{White}は、センサカラムアンプやバッファアンプ等のオフセット値として用いられる。

[0049] 第1～第3の動作モードは、リセット信号および読み出し信号のパターンが互いに

異なる。図8は、第1～第3の動作モードのそれぞれにおけるリセット信号および読み出し信号のパターンの一例を示す波形図である。図10は、第1～第3の動作モードのそれぞれにおけるリセット信号および読み出し信号のパターンの他の例を示す波形図である。図8および図10に示すように、第1の動作モードでは、センサロウドライバ5から配線RWSに供給される読み出し信号がハイレベルになった後に、配線RSTに供給されるリセット信号がハイレベルとなる。図8の例では、第1の動作モードにおいては、読み出し信号がハイレベルになっている間(読み出し信号がローレベルになる前)に、リセット信号がハイレベルに立ち上がる。図10の例では、読み出し信号がハイレベルからローレベルに切り替わった後に、リセット信号がハイレベルに立ち上がる。

[0050] 第2の動作モードでは、リセット信号がハイレベルになるタイミングと、読み出し信号がハイレベルになるタイミングが、第1の動作モードの場合と逆になっている。すなわち、図8に示すように、第2の動作モードでは、リセット信号がハイレベルになった後、読み出し信号がハイレベルになる。言い換えると、第1の動作モードでリセット信号がハイレベルになるタイミングにおいて、第2の動作モードでは読み出し信号をハイレベルとし、第1の動作モードで読み出し信号がハイレベルになるタイミングにおいて、第2の動作モードではリセット信号をハイレベルとする。なお、図8の例では、第1の動作モードおよび第2の動作モードにおいて、リセット信号の供給期間(リセット信号がハイレベルの期間)と、読み出し信号の供給期間(読み出し信号がハイレベルの期間)とが重なっており、センサ駆動信号のトータルの供給時間が短くて済む。なお、後述するように、これらのセンサ駆動信号の供給は、表示のブランキング期間に行われるので、このようにセンサ駆動信号のトータルの供給時間が短いと、ブランキング期間が短いダイアグラムの表示装置にも本発明を適用できるという利点がある。

[0051] 図9(a)は、図8に示した第2の動作モードにおけるV_{INT}の波形図であり、図9(b)は、図8に示した第3の動作モードにおけるV_{INT}の波形図である。図8および図9(a)に示すように、第2の動作モードでは、時刻t1にリセット信号がハイレベルとなった時点で、V_{INT}の値はリセット信号のハイレベルの電位($V_{RST.H}$)となる。その後、読み出し信号がハイレベルとなることにより、V_{INT}の値はV_{B1}まで上昇する。

[0052] なお、V_{B1}の値は、下記の式(4)で表される。

[0053] $$V_{B1} = \Delta V_{RWS} \cdot C_{INT} / C_T \quad \cdots (4)$$

ΔV_{RWS}は、読み出し信号のパルスの高さ($V_{RWS.H} - V_{RWS.L}$)である。この電位V_{INT}はトランジスタM2の閾値電圧よりも高くなるので、トランジスタM2は導通状態となり、光センサからセンサ出力V_{SOUT}が読み出され、これに応じたパネル出力V_{OUT}が得られる。ただし、フォトダイオードD1自身が寄生容量を有するので、その寄生容量分に応じて、図9(a)に示すように、リセット信号の供給後にその寄生容量が充電されてV_{INT}の電位はV_{B2}まで降下する。この電位降下後のセンサ出力V_{B2}から得られるパネル出力V_{OUT}の値が、パネル出力の補正用の第1のパネル出力V_{Black}として用いられる。

[0054] 図8および図9(b)に示す第3の動作モードでは、リセット信号のタイミングおよびレベルは第1の動作モードと同じであるが、読み出し信号が常にローレベルである。これにより、第3の動作モード時は、接続点INTの電位V_{INT}がトランジスタM2の閾値電圧よりも低いので、トランジスタM2は終始オフになっている。従って、第3の動作モード時にバッファアンプ6から出力されるパネル出力V_{OUT}は、画素領域1の光センサからのセンサ出力を含まず、センサ画素読み出し回路41、センサカラムアンプ42、およびバッファアンプ6等で生じるオフセットのみが反映された値となる。このときのパネル出力V_{OUT}の値が、パネル出力の補正用の第2のパネル出力V_{White}として用いられる。

[0055] なお、図8のセンサ駆動信号パターンでは、第1および第2の動作モードにおいて、読み出し信号がハイレベルとなっている期間と、リセット信号がハイレベルとなっている期間とが重複しているが、センサ駆動信号パターンの他の例として、図10に示すようなパターンがある。

[0056] 図10の例では、第1および第2の動作モードにおいて、読み出し信号がハイレベルとなっている期間と、リセット信号がハイレベルとなっている期間とが重複しない。すなわち、第1の動作モードにおいては、読み出し信号がハイレベルからローレベルに切り替わった後に、リセット信号がハイレベルに立ち上がる。第2の動作モードにおいては、リセット信号がハイレベルからローレベルに切り替わった後に、読み出し信号がハイレベルに立ち上がる。図10の例においても、第3の動作モードにおいて、リセット信号がハイレベルになるタイミングは、第1の動作モードと同じである。

[0057] 図10に示す第2の動作モードでは、リセット信号がハイレベルからローレベルに切り替わった時点から時刻t2までの間は、まだ読み出し信号がハイレベルになっていないので、図11(a)に示すように、V_{INT}の電位は、リセットレベル($V_{RST.H}$)から、フォトダイオードD1の寄生容量への充電に応じて降下する。この間、V_{INT}の電位はトランジスタM2の閾値電圧よりも低いので、トランジスタM2はオフになっている。そして、時刻t2に読み出し信号がハイレベルになることにより、光センサの黒レベルに相当するセンサ出力V_{B3}が読み出され、このセンサ出力V_{B3}に基づくパネル出力V_{OUT}の値が、パネル出力の補正用の第1のパネル出力V_{Black}として用いられる。

[0058] なお、図8および図10に示した第1の動作モード～第3の動作モードのセンサ駆動信号パターンは、いずれのモードも互いに独立したフレームで用いられるので、各モードのパターンを任意に組み合わせて実行することが可能である。例えば、図8に示した第1の動作モードのセンサ駆動信号パターンと、図10に示した第2および第3の動作モードのセンサ信号パターンとを組み合わせて用いたり、図8に示した第1および第3の動作モードのセンサ駆動信号パターンと、図10に示した第2の動作モードのセンサ駆動信号パターンとを組み合わせて用いたりしても良い。

[0059] なお、図8に示した第2の動作モードにおけるセンサ駆動信号パターンと、図10に示した第2の動作モードにおけるセンサ駆動信号パターンとは、これらの信号パターンによって得られるV_{INT}の変遷パターンが、図9(a)および図11(a)に示すように互いに異なるものの、フォトダイオードの寄生容量によるV_{INT}の電圧降下が、読み出し信号の供給を開始する前と後とのいずれで生じるかという点が異なるだけなので、これらの信号パターンのそれぞれによって得られるV_{Black}に対する、フォトダイオードD1の寄生容量の影響の大きさに差異はない。

[0060] ただし、図8に示した第2の動作モードにおけるセンサ駆動信号パターンと、図10に示した第2の動作モードにおけるセンサ駆動信号パターンとは、光センサ内のスイッチングトランジスタ(すなわちトランジスタM2)の寄生容量が、これらの信号パターンのそれぞれによって得られるV_{Black}の精度に及ぼす影響の大きさが互いに異なる。その理由は、次のとおりである。

[0061] 図8の第2の動作モードは、リセット信号と読み出し信号の供給期間に重なりがある

ことから、図9(a)に示すように、時刻t2の直前の電圧降下時に、トランジスタM2がON状態になっている。従って、この動作モードによって得られるV_{Black}の値(すなわち、図9(a)に示すV_{B2})は、トランジスタM2のON状態での寄生容量の影響を受ける。一方で、図10の第2の動作モードでは、リセット信号と読み出し信号の供給期間に重なりがないので、図11(a)に示すように、時刻t2の直前の電圧降下時に、トランジスタM2はOFF状態になっている。従って、この動作モードによって得られるV_{Black}の値(すなわち、図11(a)に示すV_{B3})は、トランジスタM2のOFF状態での寄生容量の影響を受ける。トランジスタは、OFF状態の寄生容量の方がON状態の寄生容量よりも小さいので、図11(a)に示す時刻t2直前のV_{INT}の電圧降下量の方が、図9(a)に示す時刻t2直前のV_{INT}の電圧降下量よりも小さい。従って、図9(a)に示すV_{B2}の方が、図11(a)に示すV_{B3}よりも電圧レベルが低くなる。図8の第1の動作モードおよび第3の動作モードで得られるパネル出力は、図8の第2の動作モードと同様に、トランジスタM2のOFF状態での寄生容量の影響を受けている。また、図10の第1の動作モードおよび第3の動作モードで得られるパネル出力も、トランジスタM2のOFF状態での寄生容量の影響を受ける。従って、図8の第2の動作モードで得られるV_{Black}の値(すなわち図9(a)に示すV_{B2})は、トランジスタM2のON状態での寄生容量の影響を受けているという点で、図8の第3の動作モードで得られるV_{White}の値、図10の第2の動作モードで得られるV_{Black}の値(すなわち図11(a)に示すV_{B3})、図10の第3の動作モードで得られるV_{White}の値とは異質の誤差要因を含んでいる。従って、補正用データの精度の観点からは、V_{Black}の値を得るためには、図8の第2の動作モードのセンサ駆動信号パターンよりも、図10の第2の動作モードのセンサ駆動信号パターンの方が好ましいと言える。

[0062] なお、上記の第2の動作モードおよび第3の動作モードによってセンサ駆動がなされるフレームは、第1の動作モードによってセンサ駆動がなされるフレームの合間に、所定の間隔で挿入されることが好ましい。すなわち、第1の動作モードによるセンサ駆動は、図4を参照して説明したように、ディスプレイの水平ブランキング期間等を利用して行われる。従って、例えば、垂直ブランキング期間や、画素領域の上下に1行または複数行設けられているダミーロウ(ダミー行)の水平走査期間において、第2の動

作モードまたは第3の動作モードによるセンサ駆動がなされるフレームを挿入することが考えられる。なお、第2の動作モードと第3の動作モードとは、連続する2フレームで実行されても良いが、連続しないフレームで実行されても良い。また、第3の動作モードについては、画素毎のセンサ出力を得る必要がないので、任意の行(ロウ)の1行分のパネル出力が取得できれば良い。

[0063] ここで、第1の動作モードで得られる光センサ信号に対して信号処理回路8が行う、補正用の第1のパネル出力V_{Black}と補正用の第2のパネル出力V_{White}とを用いた補正処理について説明する。この補正処理は、以下の式(5)を用いて、画素毎に行う。すなわち、ある画素のパネル出力を信号処理回路8においてA/D変換した後の輝度データをRとすると、補正後の輝度データR'は、

$$R' = L \times (R - B) / (W - B) \quad \cdots (5)$$

となる。

[0064] なお、Lは、輝度データの階調数であり、信号処理回路8のA/Dコンバータの出力が8ビットであれば、L=256である。Bは、補正用の第1のパネル出力V_{Black}をA/D変換して得られる輝度データである。Wは、補正用の第2のパネル出力V_{White}をA/D変換して得られる輝度データである。

[0065] 以上のとおり、本実施形態にかかる表示装置では、第2の動作モードおよび第3の動作モードによるセンサ駆動がなされるフレームを適宜挿入することにより、補正用の第1のパネル出力V_{Black}と補正用の第2のパネル出力V_{White}とを取得し、信号処理回路8が、これらの出力に基づいて、第1の動作モードで得られる光センサ信号を補正する。これにより、表示装置の動作中に光センサ信号を自動的に補正することが可能となる。

[0066] [第2の実施形態]

本発明の第2の実施形態にかかる表示装置について、以下に説明する。なお、上述の第1の実施形態において説明した構成と同様の機能を有する構成については、同じ参照符号を付記し、その詳細な説明を省略する。

[0067] 図12は、第2の実施形態にかかる表示装置の第1～第3の動作モードのそれぞれにおけるリセット信号および読み出し信号のパターンを示す波形図である。図13(a)

および図13(b)は、第2の動作モードおよび第3の動作モードのそれぞれにおける接続点INTの電位V_{INT}の遷移を示す波形図である。

[0068] 第1の実施形態にかかる表示装置では、第3の動作モードにおいて、読み出し信号が常にローレベルに維持される。これに対して、第2の実施形態にかかる表示装置は、第3の動作モードにおいて、図12に示すように、リセット信号がハイレベルになった後に、通常の読み出し信号よりも振幅が小さい読み出しパルスを印加する。その他の点においては、第2の実施形態にかかる表示装置の構成および動作は、第1の実施形態にかかる表示装置と同じである。つまり、図12に示すように、第2の実施形態にかかる表示装置において、第1の動作モードおよび第2の動作モードにおけるリセット信号および読み出し信号の波形は、第1の実施形態の図10に示したパターンと同じである。従って、図13(a)に示した第2の動作モードにおける接続点INTの電位V_{INT}の遷移は、図11(a)と同じである。

[0069] 本実施形態における第2の動作モードでの読み出し信号の振幅$\Delta V_{RWS.BLACK}$と、第3の動作モードでの読み出し信号の振幅$\Delta V_{RWS.WHITE}$は、それぞれ下記の式(6),(7)により表される。

[0070]
$$\Delta V_{RWS.BLACK} = V_{RWS.H} - V_{RWS.L} \quad \cdots(6)$$

$$\Delta V_{RWS.WHITE} = (V_{RWS.H} - V_{RWS.L}) + (V_F - \Delta V_{RST}) \cdot C_T / C_{INT} + \Delta V_{RST} \cdot C_{PD} / C_{INT} \quad \cdots(7)$$

なお、$\Delta V_{RWS.WHITE}$の値は、表示装置の製造工程の最終段階において、以下の(1)～(3)の手順に従って設定される。

[0071] (1)まず、表示装置の光センサを第1の動作モードで駆動させながら、画素領域1に対して、当該表示装置の仕様内での最高照度レベルの光を照射し、その状態におけるパネル出力V_{OUT}を取得する。つまり、ここで取得されるV_{OUT}は、白レベルの飽和時(すなわち、光センサの容量出力のシフト量が飽和した状態)のパネル出力である。

[0072] (2)次に、光センサを第3の動作モードで駆動させながら、補正用の第2のパネル出力V_{White}を取得する。そして、このときのパネル出力V_{White}の値が、上記の(1)で取得されたパネル出力と等しくなるように、$\Delta V_{RWS.WHITE}$のレベルを調整する。

[0073] (3)最後に、上記の(2)で調整された$\Delta V_{RWS.WHITE}$の値を、センサロウドライバ5が参照可能な、EEPROM等のメモリに記録する。

[0074] なお、論理的には、$\Delta V_{RWS.WHITE}$の値は以下の数式によって表すことができる。まず、第3の動作モードにおいて、図12および図13(b)に示すようにリセットパルスの後に読み出しパルスを印加した場合の接続点INTの電位V_{INT}は、下記の式(8)で表される。

[0075] $$V_{INT}=V_{RST.H}-V_F-\Delta V_{RST}\cdot C_{PD}/C_T+\Delta V_{RWS.WHITE}\cdot C_{INT}/C_T \quad \cdots(8)$$

ここで、第1の動作モードにおいてセンサ出力が飽和レベル(白)であった場合は、接続点INTの電位V_{INT}は、下記の式(9)で表される。

[0076] $$V_{INT}=V_{RST.L}+(V_{RWS.H}-V_{RWS.L})\cdot C_{INT}/C_T \quad \cdots(9)$$

従って、第3の動作モードにおいて、白の飽和レベルに相当するパネル出力V_{OUT}を得るためには、式(8)のV_{INT}と式(9)のV_{INT}の値が互いに等しくなるように、$\Delta V_{RWS.WHITE}$を決めれば良い。従って、下記の式(10)より、$\Delta V_{RWS.WHITE}$に関する上記の式(7)が得られる。

[0077] $$V_{RST.H}-V_F-\Delta V_{RST}\cdot C_{PD}/C_T+\Delta V_{RWS.WHITE}\cdot C_{INT}/C_T=V_{RST.L}+(V_{RWS.H}-V_{RWS.L})\cdot C_{INT}/C_T \quad \cdots(10)$$

第2の動作モードにおいて、読み出し信号がハイレベルになったときの接続点INTの電位V_{INT}は、下記の式(11)で表される。この電位V_{INT}はトランジスタM2の閾値電圧よりも高くなるので、トランジスタM2は導通状態となり、光センサからのセンサ出力V_{SOUT}に応じたパネル出力V_{OUT}が得られる。このときのパネル出力V_{OUT}の値が、パネル出力の補正用の第1のパネル出力V_{Black}として用いられる。

[0078] $$V_{INT}=V_{RST.H}-V_F-\Delta V_{RST}\cdot C_{PD}/C_T+\Delta V_{RWS.BLACK}\cdot C_{INT}/C_T \quad \cdots(11)$$

また、第3の動作モードにおいて、読み出し信号がハイレベルになったときの接続点INTの電位V_{INT}は、上記の式(8)で表される。式(8)の電位V_{INT}もトランジスタM2の閾値電圧よりも高くなるので、トランジスタM2は導通状態となり、光センサからのセンサ出力V_{SOUT}に応じたパネル出力V_{OUT}が得られる。このときのパネル出力V_{OUT}の値

が、パネル出力の補正用の第2のパネル出力V_{White}として用いられる。

[0079] このように第2の動作モードおよび第3の動作モードで得られたV_{Black}とV_{White}とを用いて、信号処理回路8が、第1の実施形態と同様に、第1の動作モードで得られる光センサ信号を補正する。以上のとおり、本実施形態にかかる表示装置においても、表示装置の動作中に光センサ信号を自動的に補正することができる。

[0080] なお、第1の実施形態における第3の動作モードと、第2の実施形態における第3の動作モードとの違いは次のとおりである。すなわち、第1の実施形態における第3の動作モードでは、読み出し信号は終始ローレベルであるので、トランジスタM2は非導通状態のままであり、パネル出力V_{OUT}の値は、フォトダイオードD1の受光状態を全く反映せず、フォトダイオードD1以外の回路素子に起因するオフセットのみを表した値となる。一方、第2の実施形態における第3の動作モードでは、ゼロより大きく、かつ、第1の動作モードや第2の動作モードにおける読み出し信号の振幅よりも小さい振幅$\Delta V_{RWS.WHITE}$を有する読み出しパルスを、リセットパルスの後に印加する。この$\Delta V_{RWS.WHITE}$の値は、上述のように、第1の動作モードで光センサからのセンサ出力が白の飽和レベルであった場合のパネル出力V_{OUT}に相当するV_{White}が得られるように決定されている。従って、第2の実施形態によれば、白の飽和レベルに相当するV_{White}を用いて光センサ信号の補正を行えるので、オフセットだけでなく、ゲインについても正確に補正することが可能であるという点では、第1の実施形態よりも有利な効果を有している。

[0081] 以上、本発明についての第1および第2の実施形態を説明したが、本発明は上述の各実施形態にのみ限定されず、発明の範囲内で種々の変更が可能である。

[0082] 例えば、第1および第2の実施形態では、光センサに接続された配線VDDおよびOUTが、ソース配線COLと共用されている構成を例示した。この構成によれば、画素開口率が高いという利点がある。しかしながら、図14に示すように、光センサ用の配線VDDおよびOUTをソース配線COLとは別個に設けた構成によっても、上記の実施形態と同様のセンサ駆動を行うことにより、表示装置の動作中に光センサ信号を自動的に補正できるという、上記の第1および第2の実施形態と同様の効果を得ることができる。

産業上の利用可能性

[0083] 本発明は、光センサを画素内に有する画像取り込み機能付きの表示装置であって、特に、表示装置の動作中にパネル出力の補正が可能な表示装置として、産業上利用可能である。

請求の範囲

[1] アクティブマトリクス基板を備えた表示装置であって、

前記アクティブマトリクス基板の画素領域に設けられた光センサと、

前記光センサに接続されたセンサ駆動配線と、

前記光センサへ、前記センサ駆動配線を介して、センサ駆動信号を供給するセンサ駆動回路と、

前記センサ駆動信号に従って前記光センサから読み出されたセンサ出力を増幅し、光センサ信号として出力するアンプ回路と、

前記アンプ回路から出力された光センサ信号を処理する信号処理回路とを備え、

前記センサ駆動回路が、動作モードとして、

前記光センサへ、第1のパターンのセンサ駆動信号を供給することにより、光センサの受光量に応じた光センサ信号を前記信号処理回路へ出力する第1の動作モードと、

前記光センサへ、第2のパターンのセンサ駆動信号を供給することにより、光センサが黒レベルを検出した場合に相当する補正用の第1の光センサ信号レベルを取得する第2の動作モードと、

前記光センサへ、第3のパターンのセンサ駆動信号を供給することにより、光センサが白レベルを検出した場合に相当する補正用の第2の光センサ信号レベルを取得する第3の動作モードとを有し、

前記信号処理回路において、前記第1の光センサ信号レベルと第2の光センサ信号レベルとを用いて、前記第1の動作モード時の光センサ信号を補正することを特徴とする表示装置。

[2] 前記センサ駆動配線が、前記光センサに接続されたリセット信号配線と、前記光センサに接続された読み出し信号配線とを含み、

前記センサ駆動信号が、前記リセット信号配線を介して前記光センサへ供給されるリセット信号と、前記読み出し信号配線を介して前記光センサへ供給される読み出し信号とを含む、請求項1に記載の表示装置。

[3] 前記第1の動作モードにおいて、前記センサ駆動回路が、前記光センサへリセット

信号を供給し、所定時間経過後に読み出し信号を供給することにより、前記所定時間内の光センサの受光量に応じた光センサ信号を前記信号処理回路へ出力し、

前記第2の動作モードにおいて、前記センサ駆動回路が、前記光センサへ、リセット信号の供給を開始した後に読み出し信号を供給することにより、補正用の第1の光センサ信号レベルを取得し、

前記第3の動作モードにおいて、前記センサ駆動回路が、前記光センサへ、リセット信号の供給を開始した後に、第1の動作モードにおける読み出し信号よりも振幅の小さい読み出し信号を供給することにより、補正用の第2の光センサ信号レベルを取得する、請求項2に記載の表示装置。

[4] 前記第2の動作モードにおいて、前記センサ駆動回路が、リセット信号の供給が開始された後であって、リセット信号の供給が終了する前に、前記読み出し信号の供給を開始する、請求項3に記載の表示装置。

[5] 前記第3の動作モードにおいて、前記センサ駆動回路が、リセット信号の供給が開始された後であって、リセット信号の供給が終了する前に、前記読み出し信号の供給を開始する、請求項3に記載の表示装置。

[6] 前記第2の動作モードにおいて、前記センサ駆動回路が、リセット信号の供給が開始された後であって、かつ、リセット信号の供給が終了した後に、前記読み出し信号の供給を開始する、請求項3に記載の表示装置。

[7] 前記第3の動作モードにおいて、前記センサ駆動回路が、リセット信号の供給が開始された後であって、かつ、リセット信号の供給が終了した後に、前記読み出し信号の供給を開始する、請求項3に記載の表示装置。

[8] 前記第3の動作モードにおける読み出し信号の振幅がゼロである、請求項2～7のいずれか一項に記載の表示装置。

[9] 前記第3の動作モードにおける読み出し信号の振幅が、前記光センサの容量出力のシフト量が飽和した状態に相当するセンサ出力を読み出す値である、請求項2～7のいずれか一項に記載の表示装置。

[10] 前記光センサが、1つのフォトダイオードと、前記フォトダイオードのカソードに接続されたコンデンサとを含み、

前記第3の動作モードにおける読み出し信号の振幅$\Delta V_{RWS.WHITE}$が、下記の式により求められる、請求項9に記載の表示装置。

$$\Delta V_{RWS.WHITE} = (V_{RWS.H} - V_{RWS.L}) + (V_F - \Delta V_{RST}) \cdot C_T / C_{INT} + \Delta V_{RST} \cdot C_{PD} / C_{INT}$$

$$\Delta V_{RST} = V_{RST.H} - V_{RST.L}$$

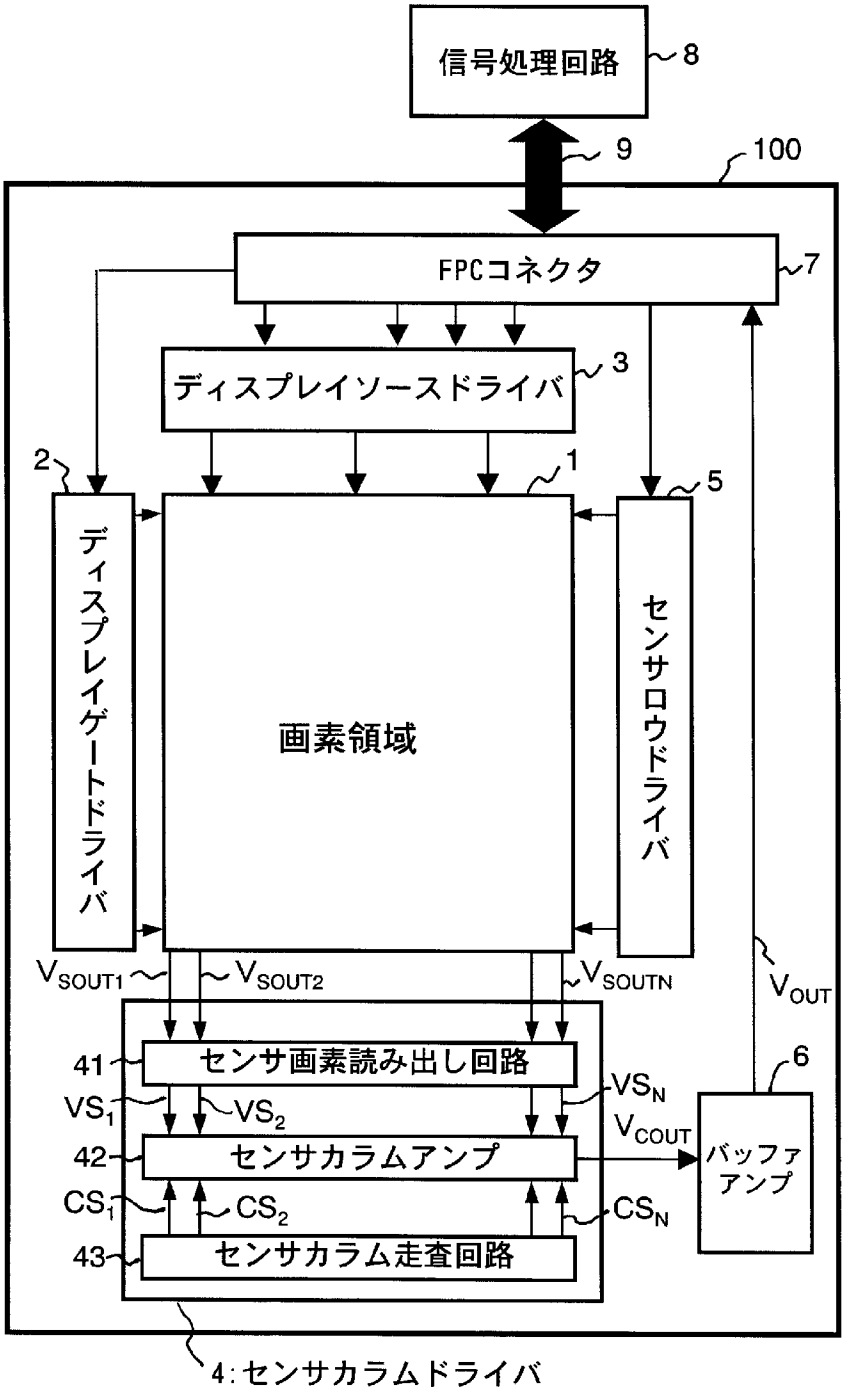
なお、$V_{RWS.H}$は第1の動作モードにおける読み出し信号のハイレベル電位、$V_{RWS.L}$は第1の動作モードにおける読み出し信号のローレベル電位、V_Fは前記フォトダイオードの順方向電圧、$V_{RST.H}$はリセット信号のハイレベル電位、$V_{RST.L}$はリセット信号のローレベル電位、C_Tは前記フォトダイオードとコンデンサとの接続点の容量、C_{PD}は前記フォトダイオードの容量、C_{INT}は前記コンデンサの容量である。

[11] 前記光センサが、1つのセンサ用スイッチング素子を有している請求項1～10のいずれか1項に記載の表示装置。

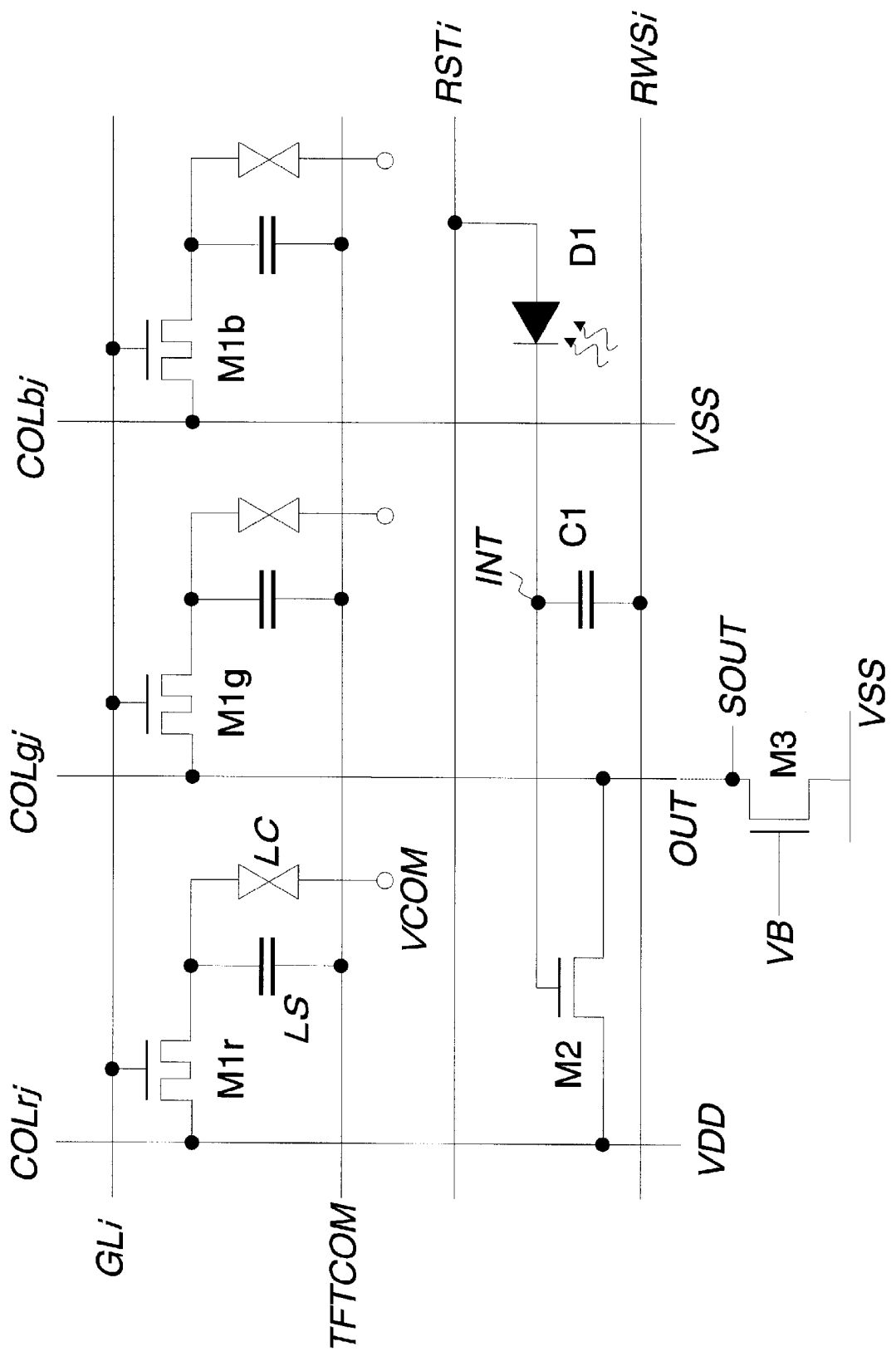
[12] 前記アクティブマトリクス基板に対向する対向基板と、

前記アクティブマトリクス基板と対向基板との間に挟持された液晶とをさらに備えた、請求項1～11のいずれか一項に記載の表示装置。

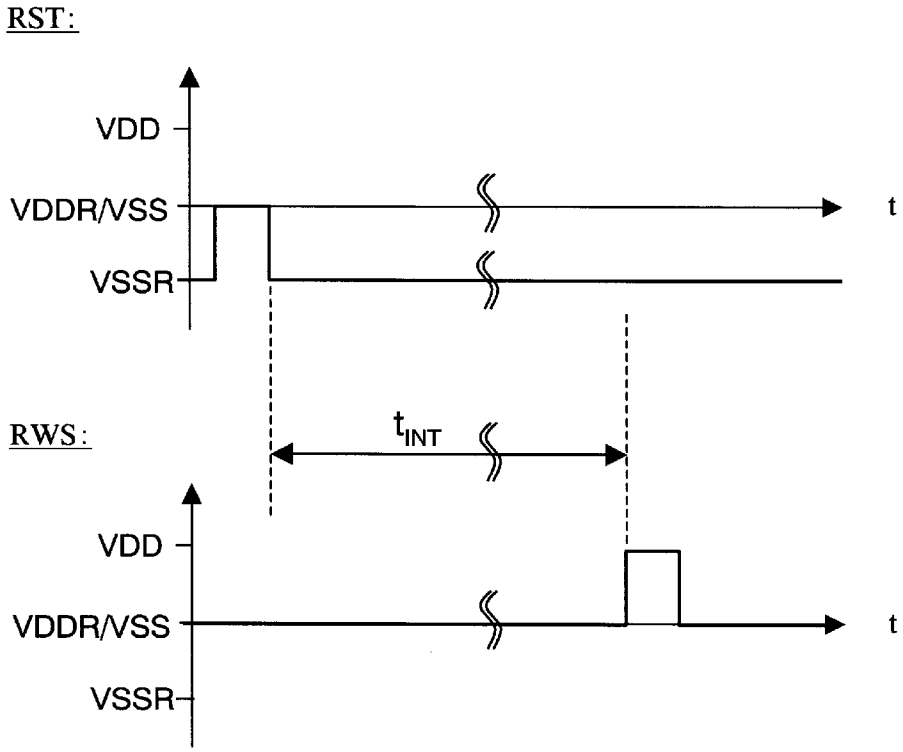
[図1]


信号処理回路
8
9
100
FPCコネクタ
7
ディスプレイソースドライバ
3
2
1
5
ディスプレイゲートドライバ
画素領域
センサロウドライバ
V_{SOUT1}
V_{SOUT2}
V_{SOUTN}
V_{OUT}
41
センサ画素読み出し回路
VS_1
VS_2
VS_N
V_{COUT}
6
42
センサカラムアンプ
バッファアンプ
CS_1
CS_2
CS_N
43
センサカラム走査回路
4:センサカラムドライバ

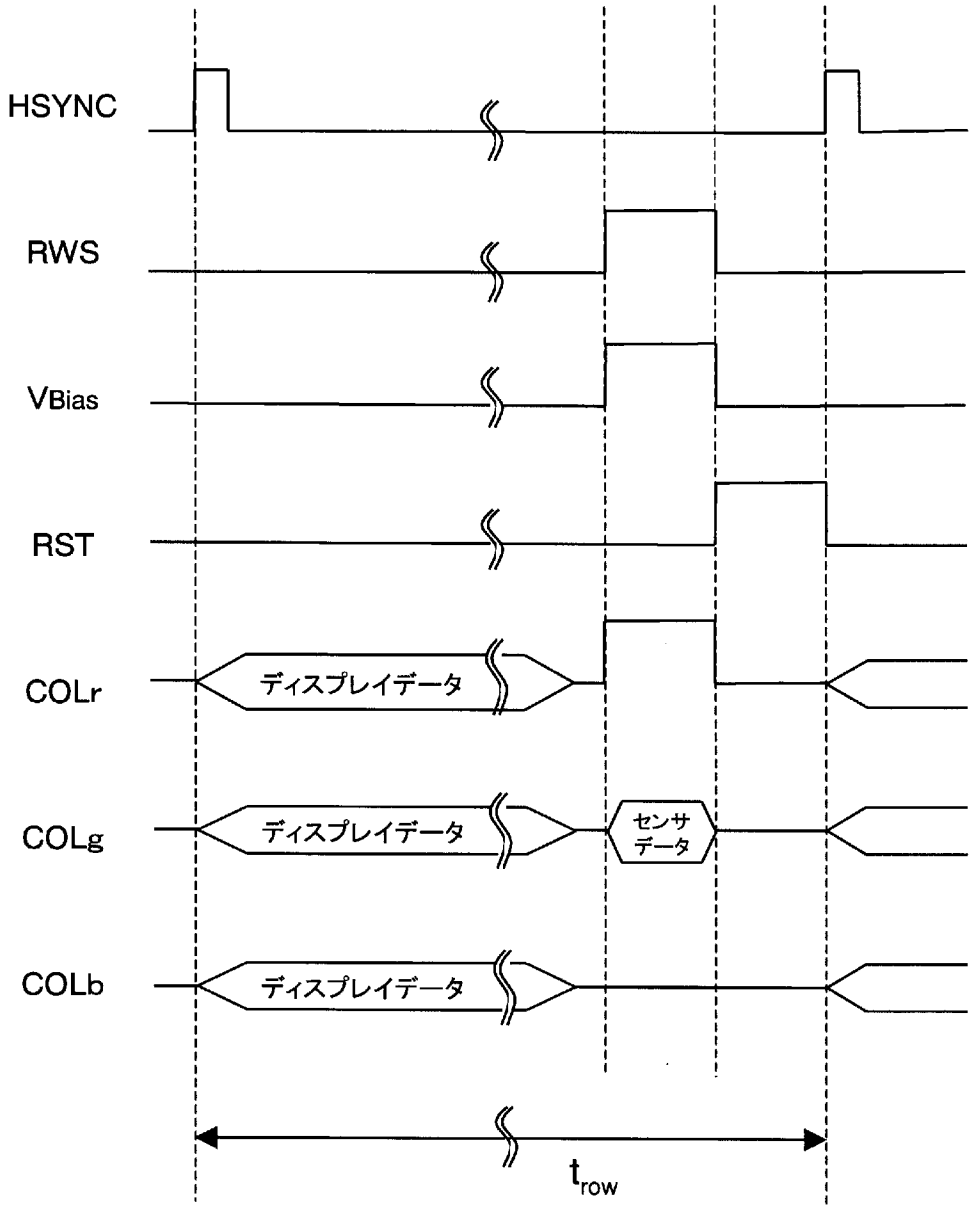
[図2]


RSTi
RWSi
D1
M1b
COLbj
VSS
INT
C1
M1g
COLgj
SOUT
M3
VSS
OUT
LC
VCOM
VB
LS
M1r
M2
COLrj
VDD
GLi
TFTCOM

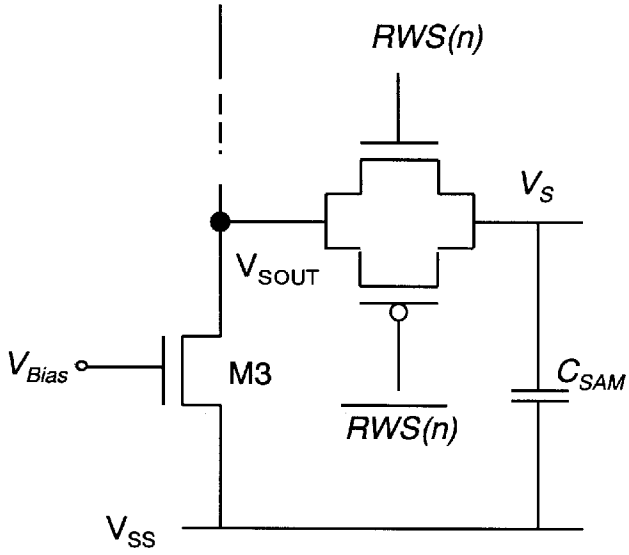
[図3]



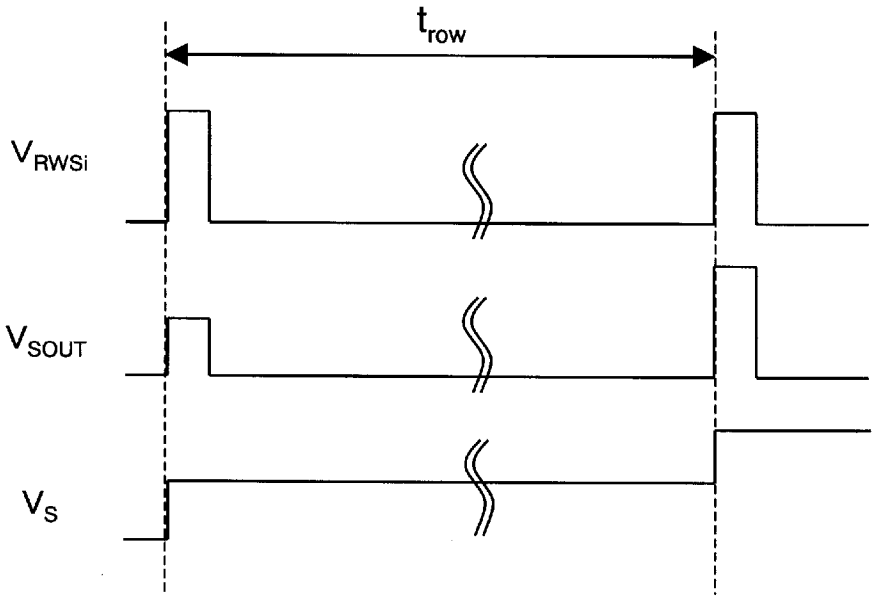
[図4]


HSYNC
RWS
VBias
RST
COLr
COLg
COLb
ディスプレイデータ
ディスプレイデータ
センサデータ
ディスプレイデータ
t_{row}

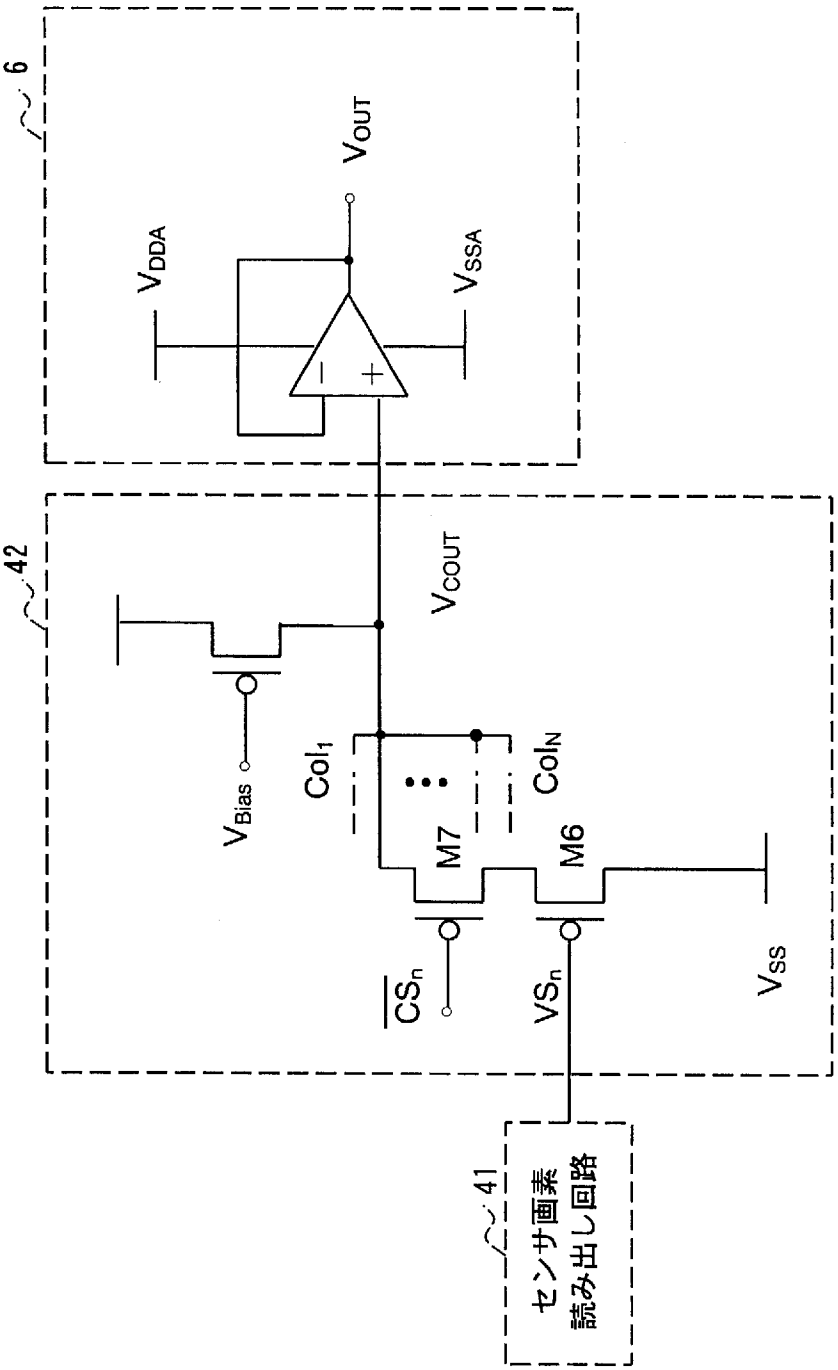
[図5]


RWS(n)
V_S
V_{SOUT}
V_{Bias}
M3
C_{SAM}
$\overline{RWS(n)}$
V_{SS}

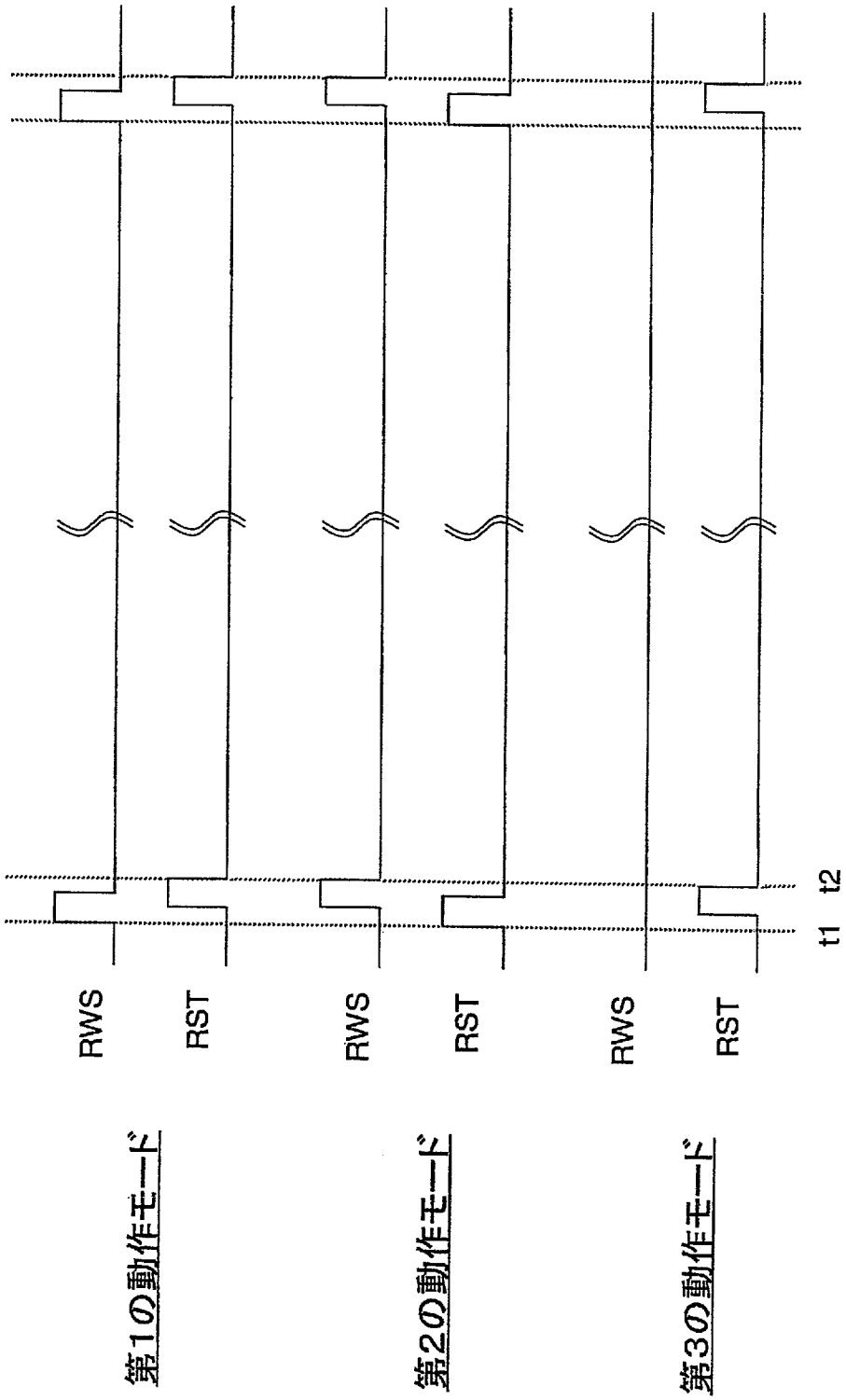
[図6]


t_{row}
V_{RWSi}
V_{SOUT}
V_S

[図7]

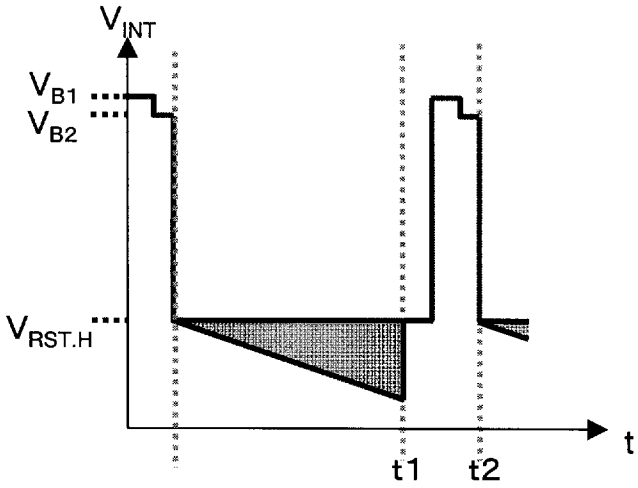

6
V_{OUT}
V_{DDA}
V_{SSA}
42
V_{COUT}
V_{Bias}
Col_1
Col_N
M7
M6
$\overline{CS_n}$
VS_n
V_{SS}
41
センサ画素
読み出し回路

[図8]

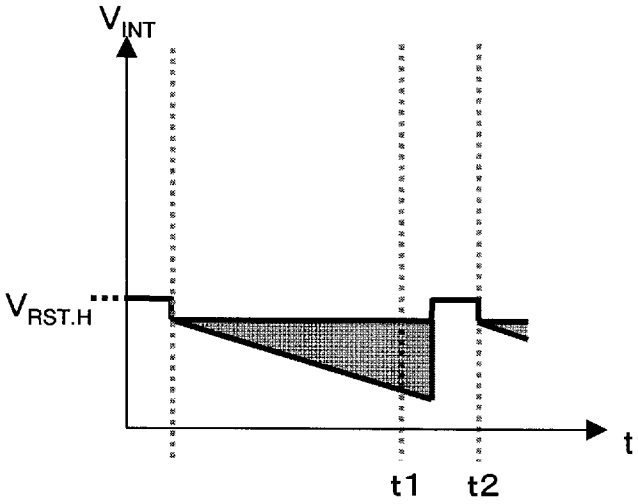


[図9]

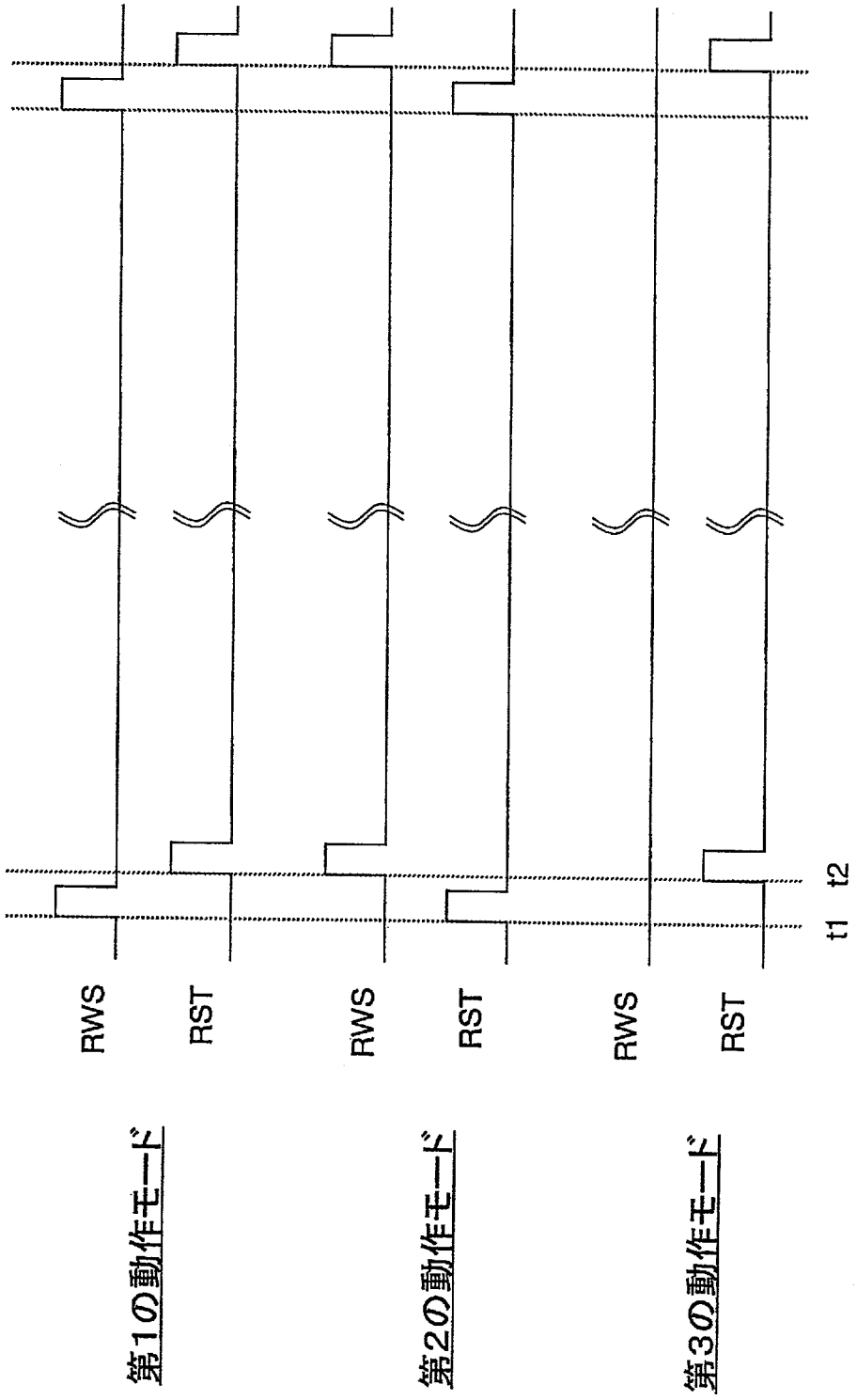
(a)



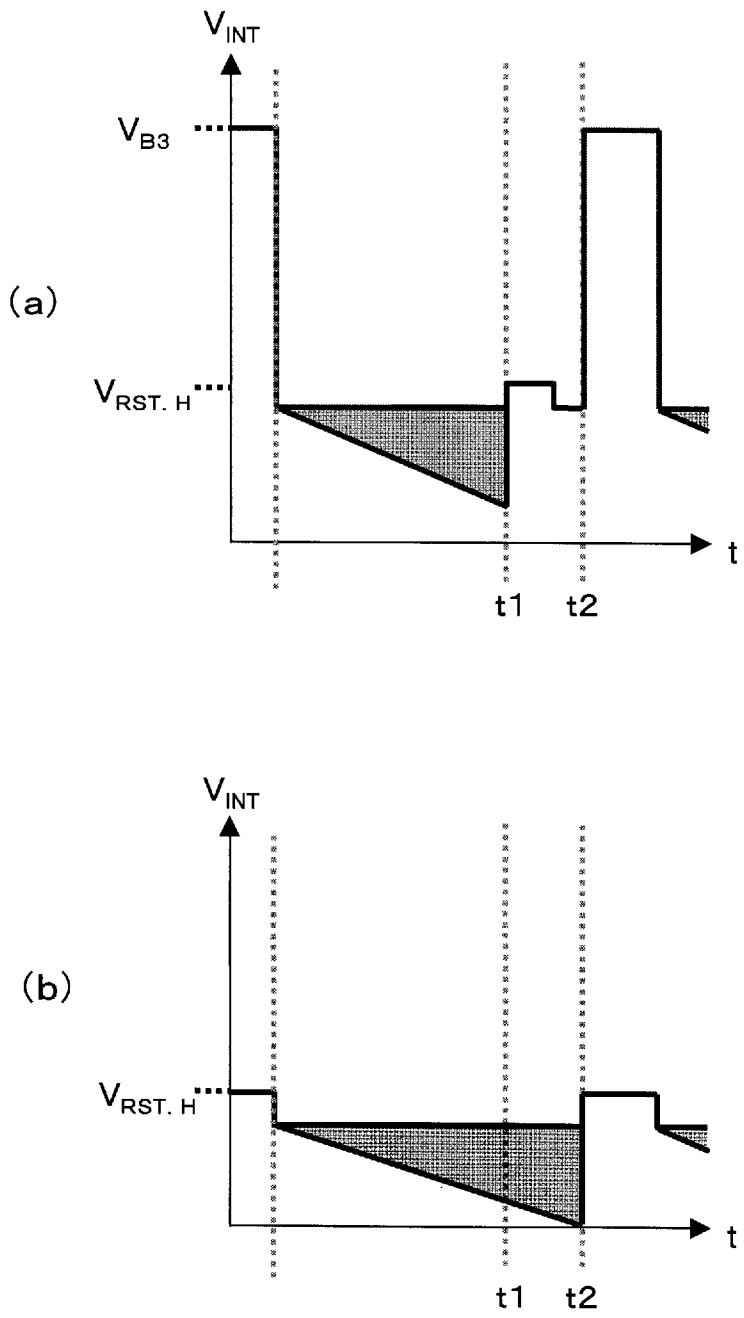
(b)



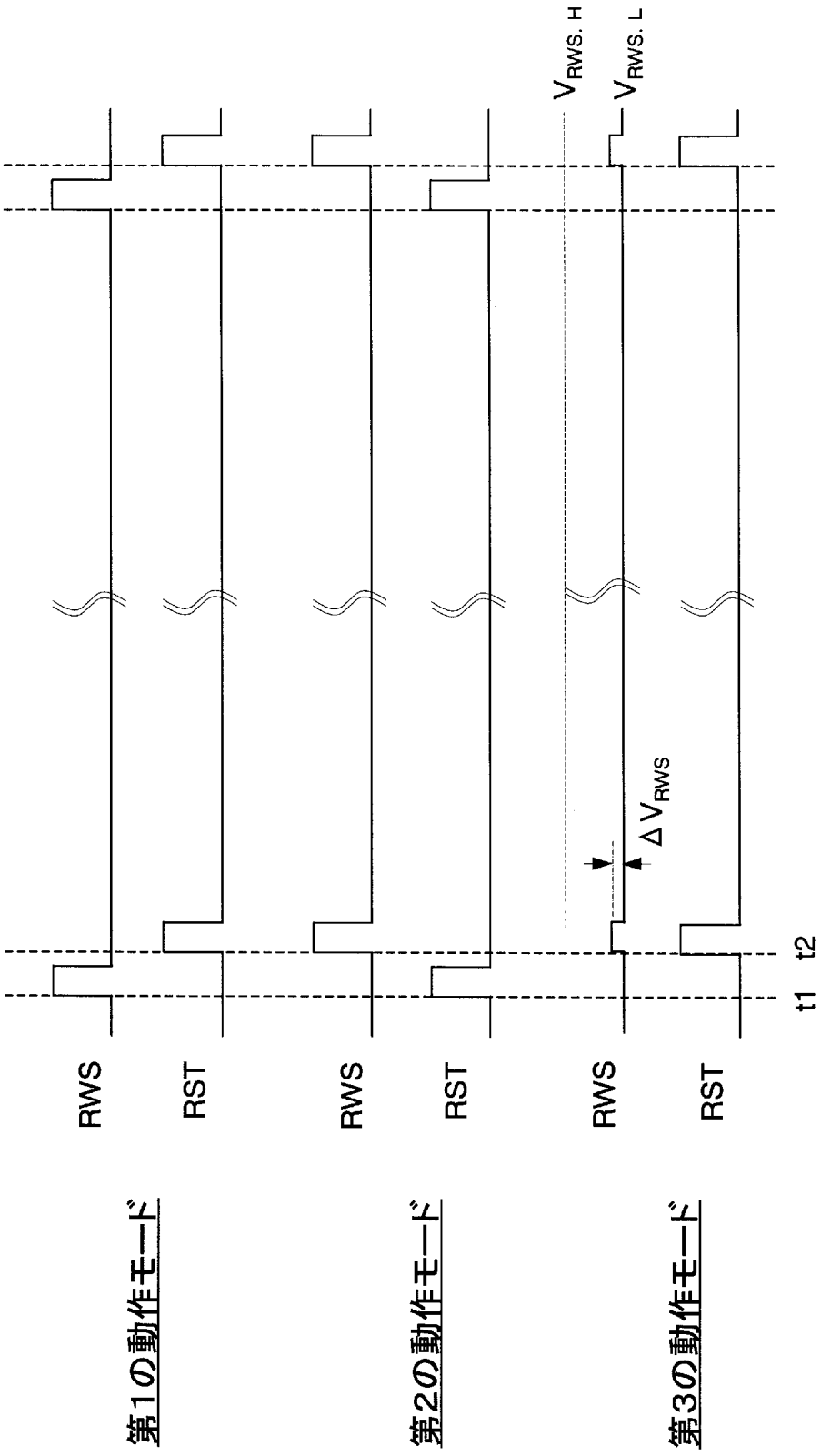
[図10]



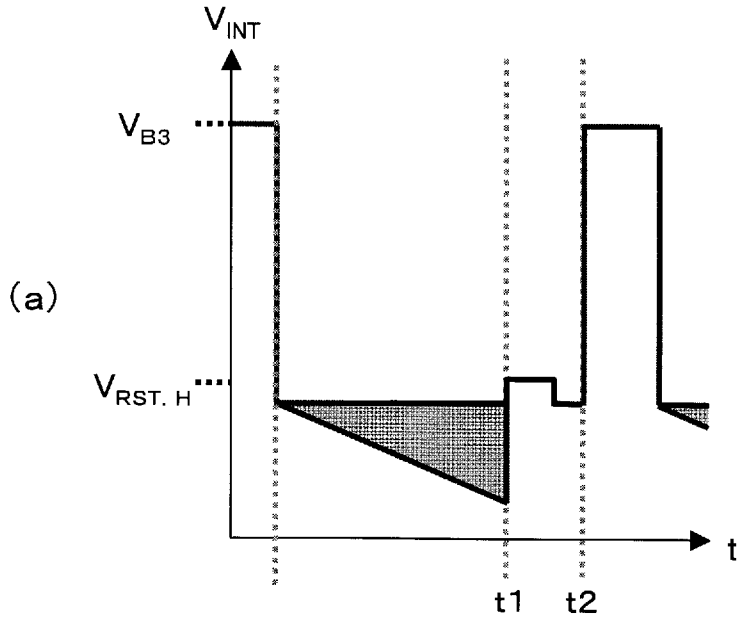
[図11]

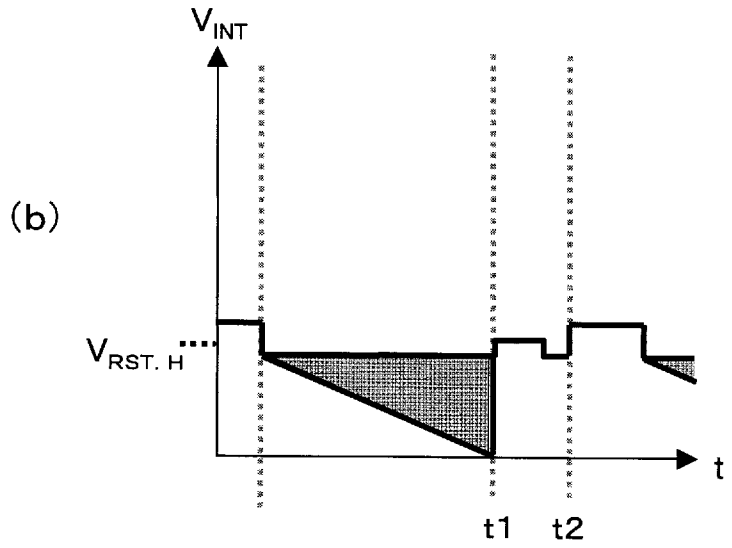


[図12]

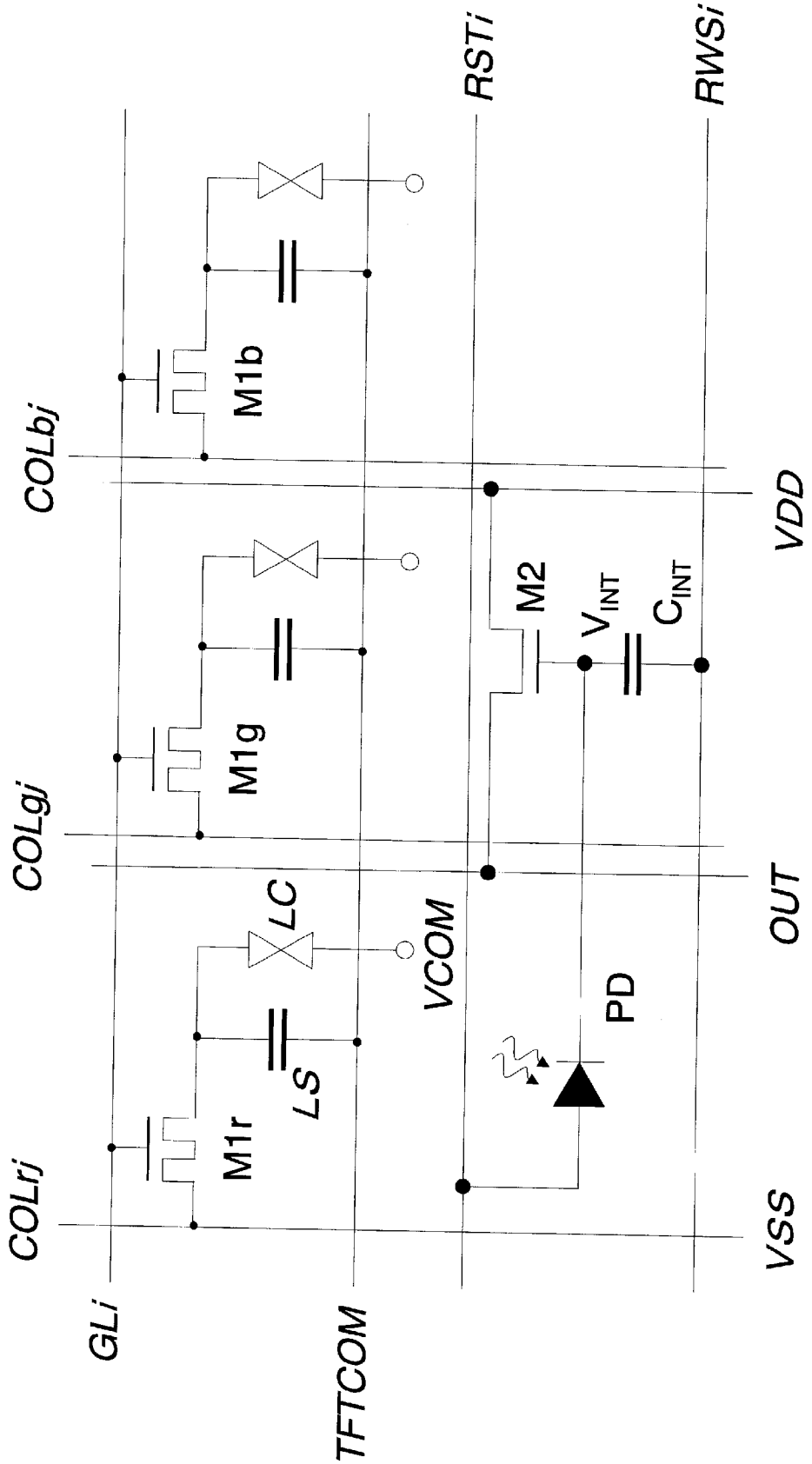

$V_{RWS.H}$
$V_{RWS.L}$
ΔV_{RWS}
t1
t2
RWS
RST
RWS
RST
RWS
RST
第1の動作モード
第2の動作モード
第3の動作モード

[図13]





[図14]


RSTi
RWSi
COLbj
M1b
VDD
M2
V_{INT}
C_{INT}
COLgj
M1g
OUT
LC
VCOM
PD
LS
M1r
COLrj
VSS
GLi
TFTCOM

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2008/057031

A. CLASSIFICATION OF SUBJECT MATTER
G01J1/44(2006.01)i, *G02F1/133*(2006.01)i, *G06F3/041*(2006.01)i, *G09G3/20*(2006.01)i, *G09G3/36*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G01J1/00-1/44, G02F1/133, G06F3/041, G09G3/20, G09G3/36, H01L27/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2008
Kokai Jitsuyo Shinan Koho	1971-2008	Toroku Jitsuyo Shinan Koho	1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2007-011228 A (Toshiba Matsushita Display Technology), 18 January, 2007 (18.01.07), Full text; all drawings (Family: none)	1-2,11-12 3-7
X Y	US 2006/0262055 A1 (Toshiba Matsushita Display Technology), 23 November, 2006 (23.11.06), Full text; all drawings & JP 2007-102154 A	1-2,11-12 3-7
Y	JP 2006-106269 A (Seiko Epson Corp.), 20 April, 2006 (20.04.06), Full text; all drawings & US 2006/0071893 A1	3-7

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search 15 May, 2008 (15.05.08)	Date of mailing of the international search report 27 May, 2008 (27.05.08)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2008/057031

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2004-126721 A (Casio Computer Co., Ltd.), 22 April, 2004 (22.04.04), Par. No. [0075] (Family: none)	4-5
A	JP 2007-018458 A (Sony Corp.), 25 January, 2007 (25.01.07), Full text; all drawings (Family: none)	1-12

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００８／０５７０３１

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　G01J1/44(2006.01)i, G02F1/133(2006.01)i, G06F3/041(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　G01J1/00 - 1/44, G02F1/133, G06F3/041, G09G3/20, G09G3/36, H01L27/14

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００８年
日本国実用新案登録公報	１９９６－２００８年
日本国登録実用新案公報	１９９４－２００８年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
X Y	JP 2007-011228 A (東芝松下ディスプレイテクノロジー株式会社) 2007.01.18, 全文、全図（ファミリーなし）	1-2,11-12 3-7
X Y	US 2006/0262055 A1 (Toshiba Matsushita Display Technology) 2006.11.23, 全文、全図 & JP 2007-102154 A	1-2,11-12 3-7
Y	JP 2006-106269 A (セイコーエプソン株式会社) 2006.04.20, 全文、全図 & US 2006/0071893 A1	3-7

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 １５．０５．２００８	国際調査報告の発送日 ２７．０５．２００８
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　２Ｗ　３７２０ 豊田　直樹 電話番号　０３－３５８１－１１０１　内線　３２９２

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Y	JP 2004-126721 A（カシオ計算機株式会社）2004.04.22, 【００７５】（ファミリーなし）	4-5
A	JP 2007-018458 A（ソニー株式会社）2007.01.25, 全文、全図（ファミリーなし）	1-12