

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010年6月24日(24.06.2010)

PCT

(10) 国際公開番号
WO 2010/071160 A1

- (51) 国際特許分類:
G02F 1/1368 (2006.01) H01L 21/336 (2006.01)
G09F 9/30 (2006.01) H01L 29/786 (2006.01)
- (21) 国際出願番号: PCT/JP2009/070999
- (22) 国際出願日: 2009年12月16日(16.12.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2008-324392 2008年12月19日(19.12.2008) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2番2号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 川崎 ▲清
▼弘(KAWASAKI, Kiyohiro).
- (74) 代理人: 特許業務法人原謙三国際特許事務所
(HARAKENZO WORLD PATENT & TRADE-

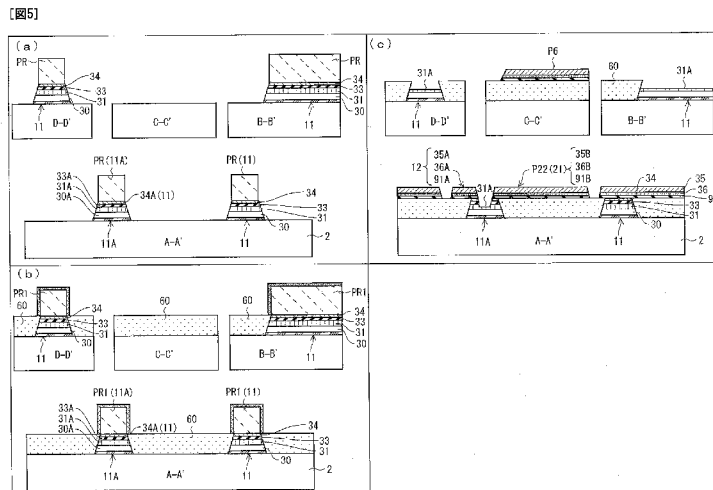
MARK); 〒5300041 大阪府大阪市北区天神橋2
丁目北2番6号 大和南森町ビル Osaka (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: ACTIVE MATRIX SUBSTRATE MANUFACTURING METHOD AND LIQUID CRYSTAL DISPLAY DEVICE MANUFACTURING METHOD

(54) 発明の名称: アクティブマトリクス基板の製造方法、および、液晶表示装置の製造方法



(57) Abstract: The active matrix substrate manufacturing method comprises a pattern formation process in which a laminated structure, which comprises a metal layer to be used as the material for scan signal lines (11), a gate insulating layer (30), and semiconductor layers (31, 33) to be used as transistor materials, is formed on a glass substrate (2), then first photosensitive resin patterns (PR) are formed on said laminated structure, and patterns for the aforementioned laminated structure are selectively formed using said first photosensitive resin patterns (PR); a fluorination process in which the surfaces of the aforementioned first photosensitive resin patterns (PR) are fluorinated by means of dry etching using a fluorine gas; a resin coating process in which areas between the patterns on the aforementioned laminated structure are filled in with a coating type transparent insulating resin (60) by the glass substrate (2) with said transparent insulating resin (60); and a resin removal process in which the aforementioned fluorinated first photosensitive resin patterns (PR) are removed. Thus, in the active matrix substrate manufacturing process, the scan signal line and the semiconductor layer formation processes can be achieved through a single-mask process.

(57) 要約:

[続葉有]



WO 2010/071160 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

アクティブマトリクス基板の製造方法は、ガラス基板 (2) 上に、走査信号線 (11) の材料となる金属層、ゲート絶縁層 (30)、及び、トランジスタの材料となる半導体層 (31・33) よりなる積層構造を形成した後、該積層構造上に第 1 の感光性樹脂パターン (PR) を形成し、該第 1 の感光性樹脂パターン (PR) を用いて、上記積層構造のパターンを選択的に形成するパターン形成工程と、上記第 1 の感光性樹脂パターン (PR) の表面を弗素系ガスのドライエッチングにより弗素化する弗素化工程と、ガラス基板 (2) 上に、塗布型の透明性絶縁樹脂 (60) を塗布することで、上記積層構造のパターン間を該透明性絶縁樹脂 (60) で埋める樹脂塗布工程と、上記弗素化された第 1 の感光性樹脂パターン (PR) を除去する樹脂除去工程と、を含む。これにより、アクティブマトリクス基板の製造工程において、走査信号線および半導体層の形成工程を 1 枚のマスクプロセスによって実現する。

明 細 書

発明の名称：

アクティブマトリクス基板の製造方法、および、液晶表示装置の製造方法 技術分野

[0001] 本発明は、画素ごとにトランジスタを有するアクティブマトリクス型の液晶表示装置、および、この液晶表示装置に備えられたアクティブマトリクス基板の製造方法に関するものである。

背景技術

[0002] 近年の微細加工技術、液晶材料技術及び高密度実装技術等の進歩により、テレビジョン画像や各種の画像を表示する、5～100cm対角の液晶表示装置が既に商用ベースで大量に提供されている。この液晶表示装置では、液晶パネルを構成する2枚のガラス基板の一方にRGBの着色層を形成しておくことによりカラー表示も容易に実現している。また、スイッチング素子を画素毎に内蔵させた、いわゆるアクティブマトリクス型の液晶パネルでは、クロストークが少なく、応答速度が早く、コントラスト比の高い画像が製品化の当初から保証されていた。

[0003] この液晶表示装置（液晶パネル）は、一般的に、200～1200本程度の走査信号線（ゲート配線）と、300～1600本程度のデータ信号線（ソース配線）とがマトリクス状に配置されて構成されている。そして、近年、液晶表示装置は、表示容量の増大に対応すべく、大画面化と高精細化とが同時に進行している。

[0004] 図33は、特許文献7に開示されている、液晶パネルの実装手段を示す斜視図である。液晶パネル1を構成する一方の透明性絶縁基板、例えばガラス基板2上に形成された走査信号線の電極端子5に駆動信号を供給する半導体集積回路チップ3を導電性の接着剤を用いて接続するCOG（Chip-on-Glass）方式や、例えばポリイミド系樹脂薄膜をベースとし、金または半田メッキされた銅箔の端子を有するTCPフィルム4をデータ信号線

の電極端子 6 に導電性媒体を含む適当な接着剤で圧接して固定する T C P (T a p e - C a r r i e r - P a c k a g e) 方式などの実装手段によって電気信号が画像表示部に供給される。ここでは便宜上二つの実装方式を同時に図示しているが、実際には何れかの方式が適宜選択される。

[0005] 液晶パネル 1 のほぼ中央部に位置する画像表示部内の画素と、走査信号線及びデータ信号線の電極端子 5, 6 との間を接続する配線路が符号 7, 8 で、必ずしも電極端子 5, 6 と同一の導電材で構成される必要はない。符号 9 は、全ての液晶セルに共通する透明導電性の対向電極を対向面上に有するもう 1 枚の透明性絶縁基板である、対向ガラス基板またはカラーフィルタ基板である。

[0006] 図 3 4 は、スイッチング素子として絶縁ゲート型トランジスタ 1 0 を画素毎に配置したアクティブ型液晶表示装置の等価回路図である。この図において、符号 1 1 (図 3 3 では符号 7) は走査信号線を示し、符号 1 2 (図 3 3 では符号 8) はデータ信号線を示し、符号 1 3 は液晶セルを示し、液晶セル 1 3 は電氣的には容量素子として扱われる。実線で描かれた素子類は液晶パネル 1 を構成する一方のガラス基板 2 上に形成され、点線で描かれた全ての液晶セル 1 3 に共通な対向電極 1 4 は、他方のガラス基板 (カラーフィルタ基板) 9 における、ガラス基板 2 に対向する主面上に形成されている。絶縁ゲート型トランジスタ 1 0 の O F F 抵抗あるいは液晶セル 1 3 の抵抗が低い場合や、表示画像の階調性を重視する場合には、負荷としての液晶セル 1 3 の時定数を大きくするための補助の蓄積容量 (補助容量) 1 5 を液晶セル 1 3 に並列に加える等の回路的工夫が加味される。なお、符号 1 6 は、蓄積容量 1 5 の共通母線となる蓄積容量線または共通電極である。

[0007] 図 3 5 は、液晶表示装置の画像表示部の要部を示す断面図である。この図に示すように、液晶パネル 1 を構成する 2 枚のガラス基板 2, 9 は、樹脂性のファイバ、ビーズあるいはカラーフィルタ基板 9 上に形成された柱状スペーサ等のスペーサ材 (何れも図示せず) によって数 μm 程度の所定の距離を隔てて形成され、その間隙 (ギャップ) はガラス基板 9 の周縁部において有

機性樹脂よりなるシール材と封口材（何れも図示せず）とで封止された閉空間になっており、この閉空間に液晶 17 が充填されている。

[0008] カラー表示を実現する場合には、ガラス基板 9 の閉空間側に着色層 18 と称する染料または顔料のいずれか一方もしくは両方を含む厚さ $1 \sim 2 \mu\text{m}$ 程度の有機薄膜が被着されて色表示機能が与えられる。この場合、ガラス基板 9 は別名カラーフィルタ（Color Filter 略語は CF）基板と呼称される。そして、液晶材料 17 の性質によってはガラス基板 9 の上面またはガラス基板 2 の下面の何れかもしくは両面上に偏光板 19 が貼付され、液晶パネル 1 は電気光学素子として機能する。現在、市販されている大部分の液晶パネルでは液晶材料に TN（ツイスト・ネマチック）系の物を用いており、偏光板 19 は通常 2 枚必要である。図示はしないが、透過型液晶パネルでは、光源として裏面光源が配置され、下方より白色光が照射される。

[0009] 液晶 17 に接して 2 枚のガラス基板 2, 9 上に形成された例えば厚さ $0.1 \mu\text{m}$ 程度のポリイミド系樹脂薄膜 20 は、液晶分子を決められた方向に配向させるための配向膜である。符号 21 は、絶縁ゲート型トランジスタ 10 のドレインと透明導電性の画素電極 22 とを接続するドレイン電極（配線）であり、データ信号線（ソース配線）12 と同時に形成されることが多い。ソース電極 12 とドレイン電極 21 との間に位置するのは半導体層 23 であり詳細は後述する。カラーフィルタ基板 9 上で隣り合った着色層 18 の境界に形成された厚さ $0.1 \mu\text{m}$ 程度の Cr 薄膜層 24 は、半導体層 23 と走査信号線 11 及びデータ信号線 12 に外部光が入射するのを防止するための光遮蔽部材で、所謂ブラックマトリクス（Black Matrix 略語は BM）として定着化した技術である。

[0010] 走査信号線、データ信号線、スイッチング素子としての絶縁ゲート型トランジスタ、及び画素電極がガラス基板 2 上に形成されたアクティブマトリクス基板 71 の作製には半導体集積回路のようにフォトマスクを用いた複数回のフォトリソグラフィ（写真食刻）工程が不可欠である。詳細な経緯は省略するが、半導体層の島化工程の合理化と走査信号線へのコンタクト形成工程

が削減された結果、当初は7～8枚程度必要であったフォトマスクもドライエッチ技術の導入により現時点では5枚に減少してプロセスコストの削減に大きく寄与している。液晶表示装置の生産コストを下げるためにはアクティブマトリクス基板の作製工程ではプロセスコストを、またパネル組立工程及びモジュール実装工程では部材コストを下げるのが有効であることは周知の開発目標であり、写真食刻工程を含めて製造工程数を削減することが液晶表示装置の生産性向上及びコストダウンに大きく寄与することは自明である。

- [0011] 既に述べたようにアクティブマトリクス基板71の作製において5回の写真食刻工程を必要とする製造方法が一般的であるが、さらなる製造コストの低減を可能とする製造方法が特許文献1に開示されている。以下では、特許文献1に開示されている4枚マスク・プロセスについて説明する。この4枚マスク・プロセスは、ハーフトーン露光技術を用いて、チャンネルを含む半導体層の島化工程とソース・ドレイン配線工程とを1枚のフォトマスクで形成する工程削減技術あるいは合理化技術である。
- [0012] 図36及び図37は、4枚マスク・プロセスに対応したアクティブマトリクス基板71の単位画素の平面図である。図38及び図39は、図37の(b)のA-A'線上(絶縁ゲート型トランジスタ領域)、B-B'線上(走査信号線の電極端子領域)、C-C'線上(データ信号線の電極端子領域)における製造工程を示す断面図である。従来、絶縁ゲート型トランジスタには、エッチストップ型及びチャンネルエッチ型の2種類が多用されている。ここでは一例として、チャンネルエッチ型の絶縁ゲート型トランジスタを示す。
- [0013] 先ず、図36の(a)及び図38の(a)に示すように、耐熱性と耐薬品性と透明性とが高い絶縁性基板として厚さ0.5～1.1mm程度のガラス基板2、例えばコーニング社製の商品名1737の一主面上にSPT(スパッタ)等の真空製膜装置を用いて膜厚0.1～0.3 μ m程度の第1の金属層(走査信号線用金属層)を被着し、微細加工技術によりゲート電極11Aも兼ねる走査信号線11と蓄積容量線16を選択的に形成する。走査信号線

の材質は耐熱性、耐薬品性、耐弗酸性及び導電性を総合的に勘案して選択するが、一般的には耐熱性の高いCr, Ta等の金属薄膜層またはMoW合金等の合金薄膜層が使用される。

[0014] 液晶パネルの大画面化や高精細化に対応して走査信号線の抵抗値を下げるためには走査信号線の材料としてAl（アルミニウム）を用いるのが合理的である。しかし、Alは単体では耐熱性が低いので、上記した耐熱金属であるCr, Ta, Moまたはそれらのシリサイドと積層化する構成が現在では一般的である。すなわち、走査信号線11は通常1層以上の金属層で構成される。

[0015] 次に、ガラス基板2の全面にPCVD（プラズマ・シーバイディ）装置を用いてゲート絶縁層となる第1のシリコン窒化（SiNx）層30、不純物をほとんど含まず絶縁ゲート型トランジスタのチャネルとなる第1の非晶質シリコン（a-Si）層31、不純物として燐を含み絶縁ゲート型トランジスタのソース・ドレインとなる第2の非晶質シリコン層（n+a-Si）33、及び3種類の薄膜層を、例えば0.3-0.2-0.05 μ m程度の各膜厚で順次被着する。引き続き、SPT等の真空製膜装置を用いて、膜厚0.1 μ m程度の耐熱金属層として例えばTi薄膜層34と、膜厚0.3 μ m程度の低抵抗金属層としてAl薄膜層35と、さらに膜厚0.1 μ m程度の緩衝金属層として例えばTi薄膜層36とを順次被着し、ソース・ドレイン配線材を形成する。

[0016] そして、微細加工技術により、ゲート電極11Aと一部重なるように耐熱金属層34A、低抵抗金属層35A及び緩衝金属層36Aを積層して構成される、絶縁ゲート型トランジスタのソース電極を兼ねるデータ信号線12と、同じく、ゲート電極11Aと一部重なるように耐熱金属層34B、低抵抗金属層35B及び緩衝金属層36Bを積層して構成される、絶縁ゲート型トランジスタのドレイン電極21とを選択的に形成する。なお、この選択的パターン形成において、図36の（b）と図38の（b）に示すように、ハーフトーン露光技術によりソース・ドレイン間のチャネル形成領域80B（図

36の(b)の斜線部)の膜厚が例えば $1.5\mu\text{m}$ となり、ソース・ドレイン配線形成領域80A(12)、80A(21)の膜厚が $3\mu\text{m}$ となるように、感光性樹脂パターン80A、80Bを形成する点が、合理化された4枚マスク・プロセスの大きな特徴点である。

[0017] アクティブマトリクス基板71の作製には通常ポジ型の感光性樹脂を用いる。そのため、このような感光性樹脂パターン80A、80Bは、ソース・ドレイン配線形成領域80Aでは黒、すなわちCr薄膜が形成され、チャネル形成領域80Bでは灰色(中間調)でフォトマスク通過光を低減させるような例えば幅 $0.5\sim 1.5\mu\text{m}$ 程度のラインアンドスペースのCrパターンが形成され、その他の領域では白、すなわちCr薄膜が除去されているようなフォトマスクを用いればよい。灰色領域では露光機の解像力が不足するためラインアンドスペースが解像されることがなく、ランプ光源からのフォトマスク照射光を半分程度透過させることが可能となるため、ポジ型感光性樹脂の残膜特性に応じて図38の(c)に示すような凹型の断面形状を有する感光性樹脂パターン80A、80Bを得ることができる。なお、灰色領域はスリットに代えて、膜厚や透過率の異なった金属層、例えば MoSi_2 の薄膜で構成することも可能である。

[0018] 上記感光性樹脂パターン80A、80Bをマスクとして、図36の(b)及び図38の(b)に示すようにTi薄膜層36、Al薄膜層35、Ti薄膜層34、第2の非晶質シリコン層33及び第1の非晶質シリコン層31を順次食刻してゲート絶縁層30を露出した後、酸素プラズマ等の灰化手段により感光性樹脂パターン80A、80Bを $1.5\mu\text{m}$ 以上膜減りさせることにより、感光性樹脂パターン80Bが消失してチャネル形成領域のTi薄膜層36が露出する(図示せず)。これにより、図36の(c)及び図38の(c)に示すように、ソース・ドレイン配線形成領域にのみ、膜減りした感光性樹脂パターン80C(12)、80C(21)を残すことができる。

[0019] 膜減りした感光性樹脂パターン80C(12)、80C(21)をマスクとして、再びソース・ドレイン配線間(チャネル形成領域)のTi薄膜層3

6, Al 薄膜層 35, Ti 薄膜層 34, 第2の非晶質シリコン層 33 及び第1の非晶質シリコン層 31 を順次食刻し、第1の非晶質シリコン層 31 A は $0.05 \sim 0.1 \mu\text{m}$ 程度残して食刻する。この時点で第2の非晶質シリコン層よりなるソース 33 S とドレイン 33 D の分離がなされる。ソース・ドレイン配線 12, 21 の形成が金属層をエッチングした後に第1の非晶質シリコン層 31 A を $0.05 \sim 0.1 \mu\text{m}$ 程度残して食刻することによりなされるので、このような製法で得られる絶縁ゲート型トランジスタはチャンネルエッチと呼称されている。

[0020] なお、上記酸素プラズマ処理において、感光性樹脂パターン 80 A は膜減りした感光性樹脂パターン 80 C に変換されるのでパターン寸法の変化を抑制するため異方性を強めることが望ましく、具体的には R I E (R e a c t i v e I o n E t c h i n g) 方式、さらに高密度のプラズマ源を有する I C P (I n d u c t i v e C o u p l e d P l a s m a) 方式や T C P (T r a n s f e r C o u p l e d P l a s m a) 方式の酸素プラズマ処理がより望ましい。

[0021] さらに、上記感光性樹脂パターン 80 C (12) , 80 C (21) を除去した後は、ガラス基板 2 の全面に透明性の絶縁層として、 $0.3 \mu\text{m}$ 程度の膜厚の第2の Si N x 層を被着してパシベーション絶縁層 37 を形成し、図 37 の (a) と図 39 の (a) に示したようにドレイン電極 21 上と、画像表示部外の領域で走査信号線 11 とデータ信号線 12 の電極端子が形成される領域に夫々開口部 62, 63, 64 を形成する。また、開口部 63 内のパシベーション絶縁層 37 とゲート絶縁層 30 を除去して開口部 63 内に走査信号線の一部 5 を露出するとともに、開口部 62, 64 内のパシベーション絶縁層 37 を除去してドレイン電極 21 の一部とデータ信号線の一部 6 とを露出する。同様に蓄積容量線 16 上には開口部 65 を形成して蓄積容量線 16 の一部を露出する。

[0022] 最後に、S P T 等の真空製膜装置を用いて膜厚 $0.1 \sim 0.2 \mu\text{m}$ 程度の透明導電層として例えば I T O (I n d i u m - T i n - O x i d e) また

はIZO（Indium-Zinc-Oxide）あるいはこれらの混晶体を被着し、図37の（b）と図39の（b）に示すように微細加工技術によりパシベーション絶縁層37上に開口部62を含んで透明導電性の画素電極22を選択的に形成してアクティブマトリクス基板71として完成する。蓄積容量15（図34）の構成に関しては、図37の（b）と図39の（b）に示すように、ドレイン電極21と蓄積容量線16とがゲート絶縁層30と第1の非晶質シリコン層31Aと第2の非晶質シリコン層33Dを介して平面的に重なることで構成される（図37の（a）の右下がり斜線部50）。また電極端子に関しては、開口部63、64を含んでパシベーション絶縁層37上に透明導電性の電極端子5A、6Aを選択的に形成している。

[0023] 上記したように、ソース・ドレイン配線12、21にAlを用いようとすると、第2の非晶質シリコン33との間の電氣的な接続を確保するために耐熱金属層34が必要となる。また、透明導電層との間には、アルカリ液中での電池効果を回避するために、緩衝金属層36が必要となる。そのため、結果的にソース・ドレイン配線は3層構成とならざるを得ないが、ソース・ドレイン配線の抵抗値の制約が厳しくなる大画面あるいは高精細の液晶パネルでは、低抵抗金属層（Al薄膜層）の使用を回避することは困難である。

[0024] 従来は、耐熱金属層34及び緩衝金属層36にTiを用いると、その食刻には塩素系のガスを用いたドライエッチ処理が必要であり、自動的にAlの食刻も塩素系のガスを用いたドライエッチ処理となり、材料面のみならず生産設備上の負担も大きかったが、最近になって三菱化学よりTiを食刻する新規な薬品が提供されるようになり、生産設備の投資負担も低減する可能性が高くなった。Tiに代えて耐熱金属層34と緩衝金属層36にMoを用いた場合には、適量の硝酸を添加した燐酸溶液でMo/Al/Moの3層構成を1回の薬液処理で行うことが慣用化しており、生産設備の投資額が少なくても済むことは容易に理解されるだろう。また、可能な限りソース・ドレイン配線を簡素化して生産コストを下げる取組みが実施されていることも説明を要しない。

- [0025] 4枚マスク・プロセスにおいて適用されているチャンネル形成工程では、ソース・ドレイン配線12, 21間のソース・ドレイン配線材と不純物を含む半導体層を同時に除去する。そのため、このチャンネル形成工程は、絶縁ゲート型トランジスタのON特性を大きく左右するチャンネルの長さ（現在の量産品で4～6 μm ）を決定する工程である。このチャンネル長の変動は絶縁ゲート型トランジスタのON電流値を大きく変化させるので、通常は厳しい製造管理を要求される。
- [0026] しかし、チャンネル長、すなわちハーフトーン露光領域のパターン寸法は、露光量（光源強度とフォマスクのパターン精度、特にライン及びスペース寸法）、感光性樹脂の塗布厚、感光性樹脂の現象処理条件、および当該のエッチング工程における感光性樹脂の膜減り量等といった多くのパラメータに左右される。さらに、これら諸量の面内均一性も考慮しなければならないため、目的とするチャンネル長を有する表示パネル用の基板を必ずしも歩留高く安定して生産できるわけではない。
- [0027] そのため、上記したような4枚マスク・プロセスにおいて適用されているチャンネル形成工程を用いた場合には、従来の製造管理よりも一段と厳しい製造管理が必要となり、決して高度に完成したレベルにあるとは言えないのが現状である。特にチャンネル長が5 μm 以下では感光性樹脂パターン80A（12）、80A（21）の膜厚減少に伴って発生するパターン寸法の影響が大きくその傾向が顕著となる。
- [0028] フォトマスクの寸法を前もって太くしておき、前記感光性樹脂パターンの膜厚減少に伴って発生するパターン寸法の細りを回避することは比較的容易であるが、チャンネル領域である感光性樹脂80Bのパターン寸法は露光機の解像力限界（最小3 μm 程度）よりも細くすることはできない。そのため、結局、チャンネル長は感光性樹脂パターンの横方向の膜減り量の2倍分だけ長くなり、しかもその膜減り量のガラス基板面内における変動も大きくなる。このことが、現存するガラス基板サイズが1m以上の生産ラインに4枚マスク・プロセスの導入が遅れている原因の一つと考えられる。

先行技術文献

特許文献

- [0029] 特許文献1：日本国公開特許公報「特開2000-206571号公報（2000年7月28日公開）」
- 特許文献2：日本国公開特許公報「特開2005-181984号公報（2005年7月7日公開）」
- 特許文献3：日本国公開特許公報「特開2006-301560号公報（2006年11月2日公開）」
- 特許文献4：日本国公開特許公報「特開2005-010806号公報（2005年1月13日公開）」
- 特許文献5：日本国公開特許公報「特開2005-049667号公報（2005年2月24日公開）」
- 特許文献6：日本国公開特許公報「特開2005-017669号公報（2005年1月20日公開）」
- 特許文献7：日本国特許公報「特許第2987045号公報（1995年7月28日公開）」

発明の概要

発明が解決しようとする課題

- [0030] 上記したように、特許文献1に記載の発明では、生産コスト削減のために4枚マスク・プロセスを提案しているが、昨今の表示パネル用のアクティブマトリクス基板の製造工程においては、生産コストをより削減するために、さらなる工程数の削減が望まれている。
- [0031] 上記した従来の製造工程では、まず基板上に走査信号線をパターンニングした後に、その上層に半導体層をパターンニングするという、別々のパターンニング工程によって走査信号線と半導体層のパターンニングを行っている。このように、従来の製造工程では、半導体層を形成するまでに、少なくとも2枚のフォトリソマスクを必要としており、このことが工程数のさらなる削減を阻んで

いた。

- [0032] そこで、本発明では、アクティブマトリクス基板の製造工程において、走査信号線および半導体層の形成工程を１枚のマスクプロセスによって実現し、さらなる工程数の削減を図ることを目的とする。

課題を解決するための手段

- [0033] 本発明にかかるアクティブマトリクス基板の製造方法は、上記の課題を解決するために、データ信号線と、走査信号線と、上記データ信号線及び上記走査信号線に接続されたトランジスタと、該トランジスタを介して上記データ信号線に接続された画素電極とを備えたアクティブマトリクス基板の製造方法であって、基板上に、上記走査信号線の方法となる金属層、ゲート絶縁層、及び、上記トランジスタの方法となる半導体層よりなる積層構造を形成した後、該積層構造上に第１の感光性樹脂パターンを形成し、該第１の感光性樹脂パターンを用いて、上記積層構造のパターンを選択的に形成するパターン形成工程と、上記第１の感光性樹脂パターンの表面を弗素系ガスのドライエッチングにより弗素化する弗素化工程と、上記基板上に、塗布型の透明性絶縁樹脂を塗布することで、上記積層構造のパターン間を該透明性絶縁樹脂で埋める樹脂塗布工程と、上記弗素化された第１の感光性樹脂パターンを除去する樹脂除去工程と、を含むことを特徴としている。
- [0034] 上記の方法では、第１の感光性樹脂パターンを用いて走査信号線用の金属層（第１の金属層）、ゲート絶縁層、及び半導体層よりなる積層構造のパターンを形成し、弗素化された第１の感光性樹脂パターンの撥水性を利用して、積層構造パターン間に選択的に透明性絶縁樹脂を形成し、積層構造パターン間を透明性絶縁樹脂で埋めることで、走査信号線の側面を絶縁化し、走査信号線と半導体層の同時形成（同時パターンニング）を行っている。
- [0035] このように、上記の方法によれば、走査信号線および半導体層の形成を１枚の感光性樹脂パターン（フォトマスク）のみを用いて行うことができる。したがって、半導体層を形成するまでに、少なくとも２枚のフォトマスクを必要としていた従来の製造工程と比較して、工程数を削減することができる。

。

[0036] また、上記の方法では、同一のフォトマスク（第１の感光性樹脂パターン）を用いて金属層、ゲート絶縁層及び半導体層よりなる積層構造のパターンを形成しても、金属層の側面に絶縁層が形成されて金属層を絶縁化することができるため、上記積層構造のパターンと他の導電性パターンとを交差させてアクティブマトリクス基板を得ることができる。

発明の効果

[0037] 本発明にかかる液晶表示装置の製造方法は、基板上に、上記走査信号線材料となる金属層、ゲート絶縁層、及び、上記トランジスタの材料となる半導体層よりなる積層構造を形成した後、該積層構造上に第１の感光性樹脂パターンを形成し、該第１の感光性樹脂パターンを用いて、上記積層構造のパターンを選択的に形成するパターン形成工程と、上記第１の感光性樹脂パターンの表面を弗素系ガスのドライエッチングにより弗素化する弗素化工程と、上記基板上に、塗布型の透明性絶縁樹脂を塗布することで、上記積層構造のパターン間を該透明性絶縁樹脂で埋める樹脂塗布工程と、上記弗素化された第１の感光性樹脂パターンを除去する樹脂除去工程と、を含んでいる。

[0038] 上記の製造方法によれば、走査信号線および半導体層の形成を１枚の感光性樹脂パターン（フォトマスク）のみを用いて行うことができる。したがって、半導体層を形成するまでに、少なくとも２枚のフォトマスクを必要としていた従来の製造工程と比較して、工程数を削減することができる。そのため、本発明によれば、アクティブマトリクス基板、および、これを備えた液晶表示装置の製造コストを低減させることができる。

図面の簡単な説明

[0039] [図１]本発明の液晶表示装置の全体構成を示す平面図である。

[図２]上記液晶表示装置の画素の電氣的構成を示す等価回路図である。

[図３]実施の形態１に係るアクティブマトリクス基板の製造工程を示す平面図である。

[図４]実施の形態１に係るアクティブマトリクス基板の製造工程を示す平面図

である。本図は、図 3 に示す製造工程の続きを示す図である。

[図5] 図 3 に示すアクティブマトリクス基板の製造工程を示す断面図である。本図の (a) ~ (c) は、図 3 の (a) ~ (c) にそれぞれ対応している。

[図6] 図 4 に示すアクティブマトリクス基板の製造工程を示す断面図である。本図の (a) ~ (b) は、図 4 の (a) ~ (b) にそれぞれ対応している。

[図7] 実施の形態 1 の変形例に係るアクティブマトリクス基板の製造工程を示す平面図である。

[図8] 図 7 に示すアクティブマトリクス基板の製造工程を示す断面図である。本図の (a) ~ (b) は、図 7 の (a) ~ (b) にそれぞれ対応している。

[図9] 実施の形態 2 に係るアクティブマトリクス基板の製造工程を示す平面図である。

[図10] 実施の形態 2 に係るアクティブマトリクス基板の製造工程を示す平面図である。本図は、図 9 に示す製造工程の続きを示す図である。

[図11] 図 9 に示すアクティブマトリクス基板の製造工程を示す断面図である。本図の (a) ~ (c) は、図 9 の (a) ~ (c) にそれぞれ対応している。

[図12] 図 10 に示すアクティブマトリクス基板の製造工程を示す断面図である。本図の (a) ~ (c) は、図 10 の (a) ~ (c) にそれぞれ対応している。

[図13] 実施の形態 2 の変形例に係るアクティブマトリクス基板の製造工程を示す平面図である。

[図14] 図 13 に示すアクティブマトリクス基板の製造工程を示す断面図である。本図の (a) ~ (d) は、図 13 の (a) ~ (d) にそれぞれ対応している。

[図15] 実施の形態 3 に係るアクティブマトリクス基板の製造工程を示す平面図である。

[図16] 実施の形態 3 に係るアクティブマトリクス基板の製造工程を示す平面図である。本図は、図 15 に示す製造工程の続きを示す図である。

[図17]図15に示すアクティブマトリクス基板の製造工程を示す断面図である。本図の(a)～(c)は、図15の(a)～(c)にそれぞれ対応している。

[図18]図16に示すアクティブマトリクス基板の製造工程を示す断面図である。本図の(a)～(c)は、図16の(a)～(c)にそれぞれ対応している。

[図19]実施の形態3の変形例に係るアクティブマトリクス基板の製造工程を示す平面図である。

[図20]図19に示すアクティブマトリクス基板の製造工程を示す断面図である。本図の(a)～(c)は、図19の(a)～(c)にそれぞれ対応している。

[図21]実施の形態4に係るアクティブマトリクス基板の製造工程を示す平面図である。

[図22]実施の形態4に係るアクティブマトリクス基板の製造工程を示す平面図である。本図は、図21に示す製造工程の続きを示す図である。

[図23]図21に示すアクティブマトリクス基板の製造工程を示す断面図である。本図の(a)～(d)は、図21の(a)～(d)にそれぞれ対応している。

[図24]図22に示すアクティブマトリクス基板の製造工程を示す断面図である。本図の(a)～(c)は、図22の(a)～(c)にそれぞれ対応している。

[図25]実施の形態4の変形例に係るアクティブマトリクス基板の製造工程を示す平面図である。

[図26]図25に示すアクティブマトリクス基板の製造工程を示す断面図である。本図の(a)～(c)は、図26の(a)～(c)にそれぞれ対応している。

[図27]実施の形態5に係るアクティブマトリクス基板の製造工程を示す平面図である。

[図28]実施の形態5に係るアクティブマトリクス基板の製造工程を示す平面図である。本図は、図27に示す製造工程の続きを示す図である。

[図29]図27に示すアクティブマトリクス基板の製造工程を示す断面図である。本図の(a)～(d)は、図27の(a)～(d)にそれぞれ対応している。

[図30]図28に示すアクティブマトリクス基板の製造工程を示す断面図である。本図の(a)～(c)は、図28の(a)～(c)にそれぞれ対応している。

[図31]実施の形態5の変形例に係るアクティブマトリクス基板の製造工程を示す平面図である。

[図32]図31に示すアクティブマトリクス基板の製造工程を示す断面図である。本図の(a)～(c)は、図31の(a)～(c)にそれぞれ対応している。

[図33]従来の液晶パネルの実装状態を示す斜視図である。

[図34]従来の液晶パネルの等価回路図である。

[図35]従来の液晶パネルの断面図である。

[図36]従来のアクティブマトリクス基板の製造工程を示す平面図である。

[図37]従来のアクティブマトリクス基板の製造工程を示す平面図である。本図は、図36に示す製造工程の続きを示す図である。

[図38]図36に示すアクティブマトリクス基板の製造工程を示す断面図である。本図の(a)～(c)は、図36の(a)～(c)にそれぞれ対応している。

[図39]図37に示すアクティブマトリクス基板の製造工程を示す断面図である。本図の(a)～(b)は、図37の(a)～(b)にそれぞれ対応している。

発明を実施するための形態

[0040] 本発明では、走査信号線と半導体層の形成工程を1枚のフォトマスク（感光性樹脂パターン）で行うため、露出した走査信号線の側面を絶縁化する手

段として塗布型の絶縁樹脂を用いる。ここで、特許文献 7 に開示されている樹脂（配向膜）の選択的塗布方法を利用して、走査信号線の形成に用いた感光性樹脂パターンを弗素系ガスでプラズマ処理し、撥水性を付与することで、走査信号線間を埋めるように絶縁樹脂よりなる絶縁層を選択的に形成できる。これにより、走査信号線と直交するデータ信号線との多層配線が可能となり、表示装置用のアクティブマトリクス基板が得られる。

[0041] そして、画素電極の形成工程を合理化するため、特許文献 2 に開示されているように透明導電層とソース・ドレイン配線用金属層との積層よりなるデータ信号線を採用すると、3 枚のフォトリソマスクを用いてアクティブマトリクス基板を作製することが可能となる。

[0042] また、既に本発明者が特許文献 3 に開示したように、画素電極をドレイン電極に接続するための開口部形成工程において、画素電極形成領域のゲート絶縁層等の不要な薄膜層を除去して前記の絶縁層を露出し、露出したドレイン電極を含んで絶縁層上に画素電極をリフトオフで形成することで画素電極の形成工程を合理化する技術を採用することも可能である。

[0043] 走査信号線と半導体層の形成工程を 1 枚のフォトリソマスクで行う基本技術に加えて、上記画素電極形成の合理化技術を組み合わせる事により、特許文献 3 で開示したものと異なった内容の工程削減が実現し、3 枚のフォトリソマスクを用いてアクティブマトリクス基板を作製することが実現する。

[0044] 以下に、本発明の各実施形態を図 1 ～図 3 2 に基づいて説明する。なお、本発明はこれに限定されるものではない。

[0045] 図 3 及び図 4 には、本発明の実施の形態 1 にかかるアクティブマトリクス基板 7 1（表示装置用半導体装置）の平面図を示し、図 5 及び図 6 には、図 4 の（a）の A－A' 線上（絶縁ゲート型トランジスタ領域）、B－B' 線上（走査信号線の電極端子領域）、C－C' 線上（データ信号線の電極端子領域）、及び D－D' 線上（走査信号線）の各製造工程の断面図を示す。なお、図 3 の（a）～図 3 の（c）に示す各平面図は、図 5 の（a）～図 5 の（c）に示す各断面図とそれぞれ対応しており、図 4 の（a）～図 4 の（b

）に示す各平面図は、図 6 の（a）～図 6 の（b）に示す各断面図とそれぞれ対応している。

[0046] 同様に、実施の形態 2 は図 9～図 12 において、実施の形態 3 は図 15～図 18 において、実施の形態 4 は図 21～図 24 において、実施の形態 5 は図 27～図 30 において、夫々アクティブマトリクス基板の平面図と（各製造工程の）断面図を示す。さらに、図 7 及び図 8 には、実施の形態 1 の変形例としてのアクティブマトリクス基板の平面図と（各製造工程の）断面図を示し、図 13 及び図 14 には、実施の形態 2 の変形例としてのアクティブマトリクス基板の平面図と（各製造工程の）断面図を示し、図 19 及び図 20 には、実施の形態 3 の変形例としてのアクティブマトリクス基板の平面図と（各製造工程の）断面図を示し、図 25 及び図 26 には、実施の形態 4 の変形例としてのアクティブマトリクス基板の平面図と（各製造工程の）断面図を示し、図 31 及び図 32 には、実施の形態 5 の変形例としてのアクティブマトリクス基板の平面図と（各製造工程の）断面図を示す。なお、図 33～図 39 に示す従来例と同一の部位については同一の符号を付して詳細な説明は省略する。

[0047] 本明細書では、画素電極の製造工程を合理化するに当り、透明導電層と第 2 の金属層（ソース・ドレイン配線用金属層）との積層よりなるデータ信号線を有するアクティブマトリクス基板を実施の形態 1 及び実施の形態 2 として、そしてパシベーション絶縁層への開口部形成時にリフトオフにより画素電極を形成したアクティブマトリクス基板を実施の形態 3 から実施の形態 5 として説明する。

[0048] 〔実施の形態 1〕

本発明の実施形態 1 について、図 1～図 8 に基づいて説明すると以下の通りである。

[0049] まず、図 1 及び図 2 に基づいて本実施の形態の液晶表示装置 100 の全体構成について説明する。なお、図 1 は液晶表示装置 100 の全体構成を示す平面図であり、図 2 は液晶表示装置 100 の画素の電氣的構成を示す等価回

路図である。

- [0050] 液晶表示装置 100 は、アクティブマトリクス型の液晶パネル 70、データ信号線駆動回路 45 s、走査信号線駆動回路 45 g、蓄積容量線駆動回路 45 c、及び、コントロール回路 45 を備えている。
- [0051] 液晶パネル 70 は、後述するアクティブマトリクス基板 71 と対向基板（カラーフィルタ基板）9 との間に液晶を挟持して構成されており、行列状に配列された多数の画素 P を有している。
- [0052] そして、液晶パネル 70 は、アクティブマトリクス基板 71 上に、データ信号線（ソース配線）11、走査信号線（ゲート配線）12、チャネルエッチ型の絶縁ゲート型トランジスタ（以下、「トランジスタ」と称する）10、画素電極 22、及び蓄積容量線 16 を備え、カラーフィルタ基板上に共通電極 14 を備えている。なお、トランジスタ 10 は、図 2 にのみ図示し、図 1 では省略している。
- [0053] データ信号線 12 は、列方向（縦方向）に互いに平行となるように各列に 1 本ずつ形成されており、走査信号線 11 は行方向（横方向）に互いに平行となるように各行に 1 本ずつ形成されている。トランジスタ 10 及び画素電極 22 は、データ信号線 12 と走査信号線 11 との各交点に対応してそれぞれ形成されており、トランジスタ 10 のソース電極 s がデータ信号線 12 に、ゲート電極 g が走査信号線 11 に、ドレイン電極 d が画素電極 22 にそれぞれ接続されている。また、画素電極 22 は、対向電極 14 との間に液晶を介して液晶容量 13 を形成している。
- [0054] これにより、走査信号線 11 に供給されるゲート信号（走査信号）によってトランジスタ 10 のゲートをオンし、データ信号線 12 からのソース信号（データ信号）を画素電極 22 に書き込んで画素電極 22 を上記ソース信号に応じた電位に設定し、対向電極 14 との間に介在する液晶に対して上記ソース信号に応じた電圧を印加することによって、上記ソース信号に応じた階調表示を実現することができる。
- [0055] 蓄積容量線 16 は、行方向（横方向）に互いに平行となるように各行に 1

本ずつ形成されており、走査信号線 1 1 と対をなすように配置されている。
この各蓄積容量線 1 6 は、それぞれ各行に配置された画素電極 2 2 と容量結合されており、各画素電極 2 2 との間で蓄積容量（補助容量） 1 5 を形成している。

[0056] 上記構成の液晶パネル 7 0 は、データ信号線駆動回路 4 5 s、走査信号線駆動回路 4 5 g、蓄積容量線駆動回路 4 5 c、及びこれらを制御するコントロール回路 4 5 によって駆動される。

[0057] 本実施形態では、周期的に繰り返される垂直走査期間におけるアクティブ期間（有効走査期間）において、各行の水平走査期間を順次割り当て、各行を順次走査していく。

[0058] そのために、走査信号線駆動回路 4 5 g は、トランジスタ 1 0 をオンするためのゲート信号を各行の水平走査期間に同期して当該行の走査信号線 1 1 に対して順次出力する。

[0059] また、データ信号線駆動回路 4 5 s は、各データ信号線 1 2 に対してソース信号を出力する。このソース信号は、液晶表示装置 1 の外部からコントロール回路 4 5 を介してデータ信号線駆動回路 4 5 s に供給された映像信号を、データ信号線駆動回路 4 5 s において各列に割り当て、昇圧等を施した信号である。

[0060] 蓄積容量線駆動回路 4 5 c は、C S 信号を各蓄積容量線 1 6 に対して出力する。この C S 信号は、例えば電位が 2 値の間で切り替わる（立ち上がる、又は立ち下がる）ものであり、各行の水平走査期間（1 H）の終了時と同期して、つまり各行のトランジスタ 1 0 がオンからオフに切り替えられた時点において、当該行の蓄積容量線 1 6 の電位を一方の値から他方の値へ切り替える。

[0061] コントロール回路 4 5 は、上述した走査信号線駆動回路 4 5 g、データ信号線駆動回路 4 5 s、及び蓄積容量線駆動回路 4 5 c を制御することにより、これら各回路から、ゲート信号、ソース信号、及び C S 信号を出力させるものである。

[0062] 次に、上記した液晶パネル70の製造方法について、図3～図6を参照しながら説明する。ここでは特に、液晶パネル70に備えられたアクティブマトリクス基板71の製造方法について具体的に説明する。

[0063] (第1の工程：走査信号線と半導体層の形成工程)

本実施の形態1においては、まずガラス基板2の一主面上にSPT等の真空製膜装置を用いて膜厚0.1～0.3 μ m程度の第1の金属層（走査信号線用の金属層）を被着する。第1の金属層は、例えばTi, Ta, Cr, Mo等の単層金属でもよく、低抵抗化のためにはAlまたは耐熱Al合金を用い、透明導電層とのアルカリ液中における電池効果を回避するためTi/Al/Al/Ti、Mo/Al/Mo、またはAl(Nd)/Mo等の積層構成が望ましい。ここで、Al(Nd)は数%以下のNdを含む耐熱性の高いAl合金を意味し、Ndに代えてNi, Ta, Hf等を含むAl合金でも支障はない。なお、低抵抗のためAlに代えてCuまたはCu合金を用いることも可能である。

[0064] 次に、ガラス基板2の全面に、PCVD装置を用いて、ゲート絶縁層となる第1のSiNx層30、不純物をほとんど含まず絶縁ゲート型トランジスタのチャネルとなる第1の非晶質シリコン層（半導体層）31、及び不純物を含み絶縁ゲート型トランジスタのソース・ドレインとなる第2の非晶質シリコン層（半導体層）33、という3種類の薄膜層を、例えば0.3～0.2～0.05 μ m程度の各膜厚で順次被着し、さらにSPT等の真空製膜装置を用いて、膜厚0.1 μ m程度の耐熱金属層として例えばMo, Ti等の薄膜層34を被着する。

[0065] そして、図3の(a)及び図5の(a)に示すように、写真食刻技術（フォトリソグラフィ）により、走査信号線11に対応した感光性樹脂パターンPR（第1の感光性樹脂パターン）をフォトマスクとして用いて、耐熱金属層34、第2の非晶質シリコン層33、第1の非晶質シリコン層31及びゲート絶縁層30に加えて第1の金属層も選択的に除去してガラス基板2を露出する。

- [0066] この選択的除去にあたり、耐熱金属層 34 が Mo (Ti) の場合には弗素系 (塩素系) ガスを用いたドライエッチングによって除去され、第 2 の非晶質シリコン層 33、第 1 の非晶質シリコン層 31、ゲート絶縁層 30 は弗素系ガスを用いたドライエッチングにより除去される。第 1 の金属層が Mo, Ti, Ta の場合には、引き続きドライエッチによって除去される。また、第 1 の金属層が Cr の場合は、専用のエッチング液を用いて除去される。さらに、第 1 の金属層が Mo / Al / Mo または Al (Nd) / Mo 等の積層の場合は、燐酸に数%の硝酸を添加した混酸を用いて、ウェットエッチングによって除去される。
- [0067] 耐熱金属層 34 A、第 2 の非晶質シリコン層 33 A、第 1 の非晶質シリコン層 31 A、ゲート絶縁層 30 A 及び走査信号線 11 からなる多層膜パターン (積層構造のパターン) を得た後、ガラス基板 2 の全面にフロン系ガス、例えば CF_4 のプラズマ処理を行う。ガラス基板 2 は無機質でありその表面は殆ど弗素化されないが、感光性樹脂パターン PR は有機樹脂であるので、その表面は容易に弗素化されて感光性樹脂パターン PR1 となる (図 5 の (b) 参照)。弗素化は表面深さ 100 Å 以上あれば十分である。
- [0068] 次に、図 3 の (b) 及び図 5 の (b) に示すように、塗布型の透明性絶縁樹脂として酸化シリコン微粉末をバインダと共に溶剤に溶かした無機性の透明樹脂 (透明性無機絶縁樹脂)、または、耐熱性と透明性の高いアクリル樹脂等の透明樹脂をガラス基板 2 に塗布する。弗素化された感光性樹脂パターン PR1 は撥水性を有するので、透明性絶縁樹脂は感光性樹脂パターン PR1 上では弾かれ、感光性樹脂パターン PR1 上を除いた領域に自己整合的に塗布される。なお、もし撥水性を有しない感光性樹脂を用いると、透明性絶縁樹脂を選択的に埋めることはできない。ここでは、透明性絶縁樹脂は多層膜パターンと略同一の膜厚で塗布している。
- [0069] 多層膜パターン間を透明性絶縁樹脂 60 で埋めた後、レジスト剥離液による除去の支障にならないように、透明性絶縁樹脂 60 中に含まれる溶剤を加熱蒸発してから酸素プラズマ等の灰化手段により弗素化された表面のポリマ

ーを除去し、レジスト剥離液を用いて感光性樹脂パターンPR1を除去する。透明性絶縁樹脂60がアクリル樹脂の場合には、酸素プラズマ処理で100 Å以上膜減りするが、透明性絶縁樹脂60の膜厚が通常0.5 μmを超えるのでその影響はほとんどない。さらに、非晶質シリコン層31Aと33Aの膜質が劣化しない範囲で可能な限りの加熱処理（通常250℃程度）を行い、透明性絶縁層60の膜質を高めて薬品耐性を強化する。

[0070] （第2の工程：ソース・ドレイン配線の形成工程）

続いて、ソース・ドレイン配線の形成工程が行われる。この工程では、ガラス基板2の全面にSPT等の真空製膜装置を用いて膜厚0.1 μm程度の透明導電層91と第2の金属層（ソース・ドレイン配線用金属層）35を被着した後、感光性樹脂パターン（第2の感光性樹脂パターン）を用いた微細加工技術により、第2の金属層35と透明導電層91と耐熱金属層34Aと第2の非晶質シリコン層33Aを食刻して除去し、第1の非晶質シリコン層31Aは0.05～0.1 μm程度残して食刻する。これにより、図3の（c）及び図5の（c）に示すように、ゲート電極11と一部重なるように形成された透明導電層91Aと第2の金属層35Aとの積層よりなりソース配線も兼ねるデータ信号線12と、データ信号線12の一部よりなる擬似電極端子P6と、同じくゲート電極11と一部重なるように形成された透明導電層91Bと、第2の金属層35Bとの積層よりなり擬似画素電極P22も兼ねる絶縁ゲート型トランジスタのドレイン電極21とが、選択的に形成される。

[0071] データ信号線の低抵抗化のためには、第2の金属層35としては一般的にはAlが用いられる。しかし、Alと透明導電層との積層構成はアルカリ液性の現像液あるいはレジスト剥離液中での電池反応により透明導電層が消失するので、Alと透明導電層との間に緩衝金属層としてのMoを介在させる必要がある。データ信号線の抵抗値への制約が厳しくない場合には、第2の金属層としてはTi, Cr, Mo等の耐熱金属を用いてデータ信号線の構成を簡素にすることが望ましい。

- [0072] 大画面サイズの液晶表示装置で配線抵抗の増大を阻止することができる点からも、第2の金属層35にはAlを用いることが多い。従って、例えば膜厚0.1 μm 程度の緩衝金属層36として膜厚0.1 μm 程度のMoと、膜厚0.3 μm 程度の低抵抗金属層としてAl薄膜層35との積層構成が第2の金属層として選択される。ただし、最近のAl合金では、例えばNi, La等の添加により第2の金属層を単層化できる可能性が高まっている。
- [0073] エッチング断面形状のテーパと製造工程数を削減するという観点からは、混酸を用いて第2の金属層35（と緩衝金属層36）に続いて透明導電層91をエッチングすることが望ましい。しかしながら、この場合には、後述する画素電極露出工程で透明導電層91が消失しないように、透明導電層91は混酸に対してエッチングされない耐性を有している必要がある。なお、ソース・ドレイン配線形成工程に続くパシベーション絶縁層の被着工程における250℃程度の加熱処理によって膜質が変化する透明導電層であれば、上記の課題を回避することは可能となる。
- [0074] このような性質を持つ透明導電層91としては、結晶化温度が200℃と低いITZO（Indium-Tin-Zinc-Oxide）を挙げることができる。例えば、スパッタターゲットのITZ組成比が85：10：5のITZO膜は、パシベーション絶縁層であるSiNxの製膜温度である250℃の加熱処理を受けて膜質が非晶質から微結晶へと変化する。そのため、上記のITZO膜は、画素電極露出工程での混酸に対して耐性を有するという極めて特異な材料である。
- [0075] 従って、スパッタターゲットのITZ組成比が85：10：5のITZO膜を用いた場合、混酸を用いて第2の金属層35（と緩衝金属層36）をエッチングすると透明導電層91も同時にエッチングされて製造工程数を削減することができる。
- [0076] （第3の工程：パシベーション絶縁層への開口部形成工程）
ソース・ドレイン配線12, 21の形成後、ガラス基板2の全面に透明性の絶縁層としてPCVD装置を用いて0.3 μm 程度の膜厚の第2のSiN

x層を被着してパシベーション絶縁層37とする。その後、図4の(a)及び図6の(a)に示すように、感光性樹脂パターン(第3の感光性樹脂パターン)を用いて、擬似画素電極P22上と走査信号線の電極端子5及び擬似電極端子P6上に夫々開口部38(第1の開口部)、63(第2の開口部)及び64(第3の開口部)を形成する。次に、先ず各開口部内のパシベーション絶縁層37を除去して夫々擬似画素電極P22、第1の非晶質シリコン層31A及び擬似電極端子P6を露出する。引き続き開口部38、64内の第2の金属層35(と緩衝金属層36)を選択的に除去して透明導電性の画素電極22と透明導電性の電極端子6Aの大部分を露出する。

[0077] ITZ組成比が85:10:5のITZO膜は、パシベーション絶縁層製膜時に受ける加熱処理より結晶性を与えられるので、混酸を用いて第2の金属層35(と緩衝金属層36)を除去しても画素電極22および電極端子6Aが膜減りしたり消失したりすることはない。最後に、開口部63内の第1の非晶質シリコン層31Aとゲート絶縁層30Aを除去して走査信号線の電極端子5の大部分を露出する。第1の非晶質シリコン層31Aとゲート絶縁層30Aの除去は弗素系ガスのドライエッチによってなされるが、この時もITZO膜よりなる画素電極22および電極端子6Aは耐性を持ち、膜減りしたり消失したりすることはない。

[0078] このようにして得られたアクティブマトリクス基板71とカラーフィルタ基板9(対向基板)とを貼り合わせて液晶パネル化し、本実施の形態1の製造工程が完了する。蓄積容量15の構成に関しては、図4の(a)及び図6の(a)に示すように、擬似画素電極P22の一部72と前段の走査信号線11とが、耐熱金属層34Aと第2の非晶質シリコン層33Aと第1の非晶質シリコン層31Aとゲート絶縁層30Aとを介して平面的に重なっている領域51(右下がり斜線部)が蓄積容量15を構成するパターン設計を例示している。

[0079] 実施の形態1では、上記のように、走査信号線と半導体層の形成工程、ソース・ドレイン配線と擬似画素電極の形成工程、及びパシベーション絶縁層

への開口部形成工程、という各工程により、ハーフトーン露光技術を用いることなく、3枚のフォトマスクを用いてアクティブマトリクス基板71を得ている。但し、最終の写真食刻工程がパシベーション絶縁層への開口部形成工程であるため、走査信号線の電極端子5とデータ信号線の電極端子6Aとを適当な導電材で接続する術がなく、静電気対策を付与できない。そのため、アクティブマトリクス基板完成後のパネル組立工程・検査工程では慎重な取り扱いが必要となる。

[0080] また、パシベーション絶縁層への開口部形成にあたり、通常感光性樹脂に代えて黒色顔料分散型の感光性樹脂90を用いて、図4の(b)及び図6の(b)に示すように、開口部38、63及び64内に夫々画素電極P22、走査信号線の電極端子5及びデータ信号線の電極端子6Aを露出した後、感光性黒色顔料樹脂90を除去せずアクティブマトリクス基板71として完成させてもよい。これにより、感光性黒色顔料樹脂90をBM(ブラックマトリクス)として機能させることも可能であり、液晶パネルの製造原価を一段と低下させることができる。

[0081] (実施の形態1の変形例)

本実施の形態1に記載の合理化されたアクティブマトリクス基板は、液晶モードをTN型としていたが、画素電極の形状を設計変更することにより視野角の広い垂直配向型液晶にも本発明は有効である。以下に、実施の形態1の一部としてそれを説明する。

[0082] 垂直配向型液晶パネルを構成するアクティブマトリクス基板71に形成可能な配向制御手段としては、画素電極内にスリットまたは画素電極上に突起を設けることであり、この基本構成を実施の形態1のアクティブマトリクス基板71に適用すると、図7の(a)及び図8の(a)に示すように、複数本の帯状に形成された透明導電性の画素電極22-1~22-4は蓄積電極72を介してドレイン電極21に接続され、配向分割のために画素電極22-1は画素電極22-3と、また画素電極22-2は画素電極22-4と略直交して形成される。画素電極22-1と画素電極22-2間、及び、画素

電極 22-3 と画素電極 22-4 間の隙間 42 はスリット（切れ目）として機能する。

[0083] ここでも 72 は、ソース・ドレイン配線 12, 21 と同時に形成された蓄積電極であり、蓄積容量線 16 とゲート絶縁層 30B を含む絶縁層を介して蓄積容量 15 を構成している。多くの場合、帯状に分割された画素電極 22-1 ～ 22-4 の略中央部分に対応して、アクティブマトリクス基板 71 と対向するカラーフィルタ基板 9 の一主面上に形成された透明導電性の対向電極 14 上にその断面形状が蒲鉾型の感光性樹脂よりなる突起 40 が形成されている。この結果、液晶セルに電圧が印加されて液晶分子が傾斜する方向を 4 方向に配向分割して視野角の拡大を実現している。配向規制力は低下するが、突起 40 に変えて対向電極 14 を部分的に除去してスリット（切れ目）とすることも可能である。

[0084] 画素電極 22-1 と画素電極 22-2 間、及び、画素電極 22-3 と画素電極 22-4 間の隙間に形成されたスリット 42 では、画素電極 22-1 ～ 22-4 内と比べて電気力線に水平成分が発生するので、垂直配向型の液晶分子はこの水平成分によって配向方向が決められる。ただし、液晶に電圧が印加されていないと電気力線も生じないので、突起に比べると配向制御力は弱い。

[0085] 配向制御手段としてスリットに代えて突起を有する異なった構成の垂直配向型液晶パネルを得ることも可能である。その場合には、図 7 の（b）及び図 8 の（b）に示すように、二つの透明導電性の画素電極 22A 及び 22B は、蓄積電極 72 を介して略直交してドレイン電極 21 に接続され、画素電極 22A 及び画素電極 22B の略中央上にパシベーション絶縁層 37P と第 2 の金属層（緩衝金属層 36P 及び低抵抗金属層 35P）との積層よりなる積層パターンが形成されており、この積層パターンが突起 41 として機能する。

[0086] ここでも 72 はソース・ドレイン配線 12, 21 と同時に形成された蓄積電極で、蓄積容量線 16 とゲート絶縁層 30B を含む絶縁層を介して蓄積容

量 15 を構成している。多くの場合、アクティブマトリクス基板 71 と対向するカラーフィルタ基板 9 に形成された透明導電性の対向電極 14 上の、二つの画素電極 22 A 及び 22 B のほぼ中央部分に対応する領域に、その断面形状が蒲鉾型の感光性樹脂よりなる突起 40 が形成されている。そして、画素電極上の突起 41 によって分割された画素電極 22 A-1 と 22 B-1、および、画素電極 22 A-2 と 22 B-2 とは、配向分割のために夫々略直交している。この結果、液晶セルに電圧が印加されて液晶分子が傾斜する方向を 4 方向に配向分割して視野角の拡大を実現している。

[0087] パシベーション絶縁層 37 P と第 2 の金属層（緩衝金属層 36 P 及び低抵抗金属層 35 P）との積層よりなる突起 41 では、側面に沿って垂直配向型の液晶分子は垂直に配向するので、この側面が長い程、すなわち堤防状構造物の高さが高い程、あるいは堤防状構造物の傾斜が緩やかである程、液晶分子の規制力が強くなる。パシベーション絶縁層 37 P の膜厚は通常 $0.3 \mu\text{m}$ であり強い規制力は期待できないが、画素電極内にスリットを設けた垂直配向型液晶パネルと比較すると液晶の応答速度は若干改善されて速くなる。

[0088] [実施の形態 2]

上述した実施の形態 1 のアクティブマトリクス基板は、静電気対策を内蔵できないだけでなく、走査信号線 11 上にゲート絶縁層 30 A を介して膜厚を減ぜられた第 1 の非晶質シリコン層 31 A が存在するため、データ信号線間のクロストークを完全に抑制することができず、表示画像の高画質化には限界が存在する。そこで、ハーフトーン露光技術を導入してこれらの課題解決を図ったものを、以下に示す実施の形態 2 として説明する。

[0089] 実施の形態 2 にかかる液晶表示装置 100 の構成は、図 1 及び図 2 を参照して説明した実施の形態 1 の液晶表示装置 100 と同じであるため、その説明は省略する。

[0090] 以下には、実施の形態 2 にかかる液晶パネル 70 の製造方法について、図 9 ～図 12 を参照しながら説明する。ここでは特に、液晶パネル 70 に備えられたアクティブマトリクス基板 71 の製造方法について具体的に説明する

。

[0091] (第1の工程：走査信号線と半導体層の形成工程)

本実施の形態2においても実施の形態1と同様に、まずガラス基板2の主面上に膜厚0.1～0.3 μm 程度の第1の金属層（走査信号線用の金属層）を被着する。続いて、ゲート絶縁層となる第1のSiNx層30、不純物をほとんど含まず絶縁ゲート型トランジスタのチャネルとなる第1の非晶質シリコン層31、及び不純物を含み絶縁ゲート型トランジスタのソース・ドレインとなる第2の非晶質シリコン層33、という3種類の薄膜層を、例えば0.3～0.2～0.05 μm 程度の各膜厚で順次被着し、さらにSP T等の真空製膜装置を用いて、膜厚0.1 μm 程度の耐熱金属層として例えばMo、Ti等の薄膜層34を被着する。

[0092] そして、特許文献5に示されているように、ハーフトーン露光技術を用いて走査信号線11に対応したパターン83Aの膜厚が例えば2 μm で、画像表示部外の走査信号線の接続領域5（走査信号線において画像表示部外に設けられた他の配線との接続領域）に対応したパターン83Bの膜厚が例えば1 μm であるような感光性樹脂パターン83A、83B（第1の感光性樹脂パターン）を耐熱金属層34上に形成する。その後、図9の(a)及び図11の(a)に示すように、感光性樹脂パターン83A、83Bをフォトマスクとして、耐熱金属層34、第2の非晶質シリコン層33、第1の非晶質シリコン層31及びゲート絶縁層30に加えて第1の金属層も選択的に除去してガラス基板2を露出する。

[0093] 耐熱金属層34A、第2の非晶質シリコン層33A、第1の非晶質シリコン層31A、ゲート絶縁層30A及び走査信号線11からなる多層膜パターン（積層構造のパターン）を得た後、ガラス基板2の全面にフロン系ガス、例えばCF₄のプラズマ処理を行う。ガラス基板2は無機質でありその表面は殆ど弗素化されないが、感光性樹脂パターン83A、83Bは有機樹脂であるのでその表面は容易に弗素化されて感光性樹脂パターン83A1、83B1となる。弗素化は表面深さ100 Å以上あれば十分である。

[0094] 次に、塗布型の透明性絶縁樹脂として酸化シリコン微粉末をバインダと共に溶剤に溶かした無機性の透明樹脂（透明性無機絶縁樹脂）をガラス基板２に塗布する。弗素化された感光性樹脂パターン８３Ａ１，８３Ｂ１は撥水性を有するため、透明性絶縁樹脂は感光性樹脂パターン８３Ａ１，８３Ｂ１上では弾かれ、図９の（ｂ）及び図１１の（ｂ）に示すように、感光性樹脂パターン８３Ａ１，８３Ｂ１上を除いた領域に自己整合的に塗布される。ここでは、透明性絶縁樹脂は多層膜パターンと略同一の膜厚で塗布している。

[0095] 多層膜パターン間を透明性絶縁樹脂６０で埋めた後、レジスト剥離液による除去の支障にならぬよう透明性絶縁樹脂６０中に含まれる溶剤を加熱蒸発し、さらに酸素プラズマ等の灰化手段により弗素化された表面のポリマーを除去しつつ感光性樹脂パターン８３Ａ１，８３Ｂ１の膜厚を１μm以上膜減りさせる。すると、感光性樹脂パターン８３Ｂ１が消失して開口部６３Ａが形成され、開口部６３Ａ内には耐熱金属層３４Ａが露出すると共に走査信号線形成領域上にのみ感光性樹脂パターン８３Ｃを選択的に形成することができる。しかし、透明性絶縁樹脂６０がアクリル樹脂の場合には、この酸素プラズマ処理で膜減りして消失するので、実施の形態１とは異なり塗布型の透明性絶縁樹脂にアクリル樹脂を用いることはできない。

[0096] そこで、図９の（ｃ）及び図１１の（ｃ）に示すように、感光性樹脂パターン８３Ｃをマスクとして開口部６３Ａ内の耐熱金属層３４Ａ、第２の非晶質シリコン層３３Ａ、第１の非晶質シリコン層３１Ａ及びゲート絶縁層３０Ａを選択的に除去して走査信号線の接続領域５を露出する（図１１の（ｃ）のＢ－Ｂ’断面図）。

[0097] その後、レジスト剥離液を用いて感光性樹脂パターン８３Ｃを除去する。さらに、非晶質シリコン層３１Ａと３３Ａの膜質が劣化しない範囲で可能な限りの加熱処理（通常２５０℃程度）を行い透明性絶縁層６０の膜質を高める。

[0098] （第２の工程：ソース・ドレイン配線の形成工程）

続いて、ソース・ドレイン配線の形成工程が行われる。この工程では、ガ

ラス基板 2 の全面に S P T 等の真空製膜装置を用いて膜厚 0.1 μm 程度の透明導電層 91 と第 2 の金属層（ソース・ドレイン配線用金属層）35 を被着した後、感光性樹脂パターン（第 2 の感光性樹脂パターン）を用いた微細加工技術により、第 2 の金属層 35 と透明導電層 91 と耐熱金属層 34 A と第 2 の非晶質シリコン層 33 A を食刻して除去し、第 1 の非晶質シリコン層 31 A は 0.05 ~ 0.1 μm 程度残して食刻する。これにより、図 10 の（a）及び図 12 の（a）に示すように、ゲート電極 11 と一部重なるように形成された透明導電層 91 A と第 2 の金属層 35 A との積層よりなりソース配線も兼ねるデータ信号線 12 と、同じくゲート電極 11 と一部重なるように形成された透明導電層 91 B と第 2 の金属層 35 B との積層よりなり擬似画素電極 P22 も兼ねる絶縁ゲート型トランジスタのドレイン電極 21 とが、選択的に形成される。

[0099] ソース・ドレイン配線 12, 21 の形成と同時に、画像表示部外の領域で露出している走査信号線の接続領域 5 を含んで透明導電層 91 C と第 2 の金属層 35 C との積層よりなる走査信号線の擬似電極端子 P5 と、データ信号線 12 の一部よりなり同じく透明導電層 91 A と第 2 の金属層 35 A との積層よりなる擬似電極端子 P6 も同時に形成される。ここでも便宜上、緩衝金属層 36 と A1 薄膜層 35 との積層構成を、第 2 の金属層と呼称する。

[0100] （第 3 の工程：パシベーション絶縁層への開口部形成工程）

ソース・ドレイン配線 12, 21 の形成後、ガラス基板 2 の全面に透明性の絶縁層として P C V D 装置を用いて 0.3 μm 程度の膜厚の第 2 の S i N x 層を被着してパシベーション絶縁層 37 とする。そして、図 10 の（b）及び図 12 の（b）に示すように、走査信号線 11 上、擬似画素電極 P22 上、走査信号線の擬似電極端子 5 上及びデータ信号線の擬似電極端子 P6 上に、感光性樹脂パターン（第 3 の感光性樹脂パターン）を用いて、夫々開口部 75（第 4 の開口部）、38, 63 及び 64 を形成する。

[0101] ここで、まず開口部 75, 38, 63 及び 64 内のパシベーション絶縁層を弗素系ガスのドライエッチで除去する。次に、ガスを切り替えるか、オー

バーエッチの何れかにより、開口部 75 内の第 1 の非晶質シリコン層 31A を除去して、開口部 75, 38, 63 及び 64 内に、夫々ゲート絶縁層 30A と透明性絶縁層 60、擬似画素電極 22、擬似電極端子 5A 及び擬似電極端子 6A を露出する。そして、混酸を用いたウエットエッチで開口部 38, 63 及び 64 内の第 2 の金属層 35 を除去して、何れも透明導電層よりなる画素電極 22、走査信号線の電極端子 5A 及びデータ信号線の電極端子 6A の大部分を露出する。

[0102] このようにして得られたアクティブマトリクス基板 71 とカラーフィルタ基板 9 とを貼り合わせて液晶パネル化し、本実施の形態 2 の製造工程が完了する。蓄積容量 15 の構成に関しては実施の形態 1 と同一である。また、実施の形態 2 では、ソース・ドレイン配線 12, 21 の形成前に走査信号線の接続領域 5 が露出するので走査信号線の電極端子 5A とデータ信号線の電極端子 6A との間を透明導電層よりなる短絡線 44 で接続する静電気対策が可能である。

[0103] さらに、実施の形態 2 では、パシベーション絶縁層 37 への開口部形成工程で、走査信号線 11 上に開口部 75 を形成して開口部内の第 1 の非晶質シリコン層 31A を除去しているアレイ構成を採用しているため、寄生トランジスタの形成を阻止できてクロストークの発生するおそれも解消されている。

[0104] 本実施の形態 2 では、上記のように、ハーフトーン露光技術を用いた走査信号線及び半導体層の形成と走査信号線へのコンタクトの形成を行う工程、ソース・ドレイン配線と擬似画素電極の形成工程、及びパシベーション絶縁層への開口部形成工程、という工程により、3 枚のフォトマスクを用いてアクティブマトリクス基板 71 を得ている。

[0105] 本実施の形態では、最終の写真食刻工程がパシベーション絶縁層への開口部形成工程であるため、パシベーション絶縁層への開口部形成にあたり、通常の感光性樹脂に代えて黒色顔料分散型の感光性樹脂 90 を用いて、図 10 の (c) 及び図 12 の (c) に示すように、開口部 75, 38, 63 及び 6

4内に夫々ゲート絶縁層30Aと透明性絶縁層60、画素電極22、走査信号線の電極端子5A及びデータ信号線の電極端子6Aを露出した後、感光性黒色顔料樹脂90を除去せずアクティブマトリクス基板71として完成させることで、感光性黒色顔料樹脂90をBMとして機能させることも実施の形態1と同様に可能である。

[0106] (実施の形態2の変形例)

本実施の形態2に記載の合理化されたアクティブマトリクス基板は、液晶モードをTN型としていたが、画素電極の形状を設計変更することにより視野角の広いIPS型液晶と垂直配向型液晶にも本発明は有効である。以下に、実施の形態2の一部としてそれを説明する。

[0107] アクティブマトリクス基板71上に形成された対向電極と、前記対向電極とは所定の距離を隔てて形成された画素電極とを一对の電極として有する基本構成を実施の形態2のアクティブマトリクス基板71に適用すると、図13の(a)及び図14の(a)に示すように、走査信号線11と同時に形成された蓄積容量線16より画素内に分岐した複数本の帯状の対向電極16Aと、ドレイン電極21に接続された複数本の帯状の画素電極21Aとが、所定の距離を隔てて形成される。なお、画素の上半分と下半分とで、データ信号線12に対して対向電極16A及び画素電極21Aを数度傾斜させているのは、更なる広視野を得るための画素分割である。

[0108] ここで、対向電極16Aと画素電極21Aとが透明導電性である必要性はない。また、IPS型液晶パネルでは、カラーフィルタ基板9上に対向電極14は不要である。なお、72は、ソース・ドレイン配線12、21と同時に形成された蓄積電極で、ゲート絶縁層30B(図示せず)を含む絶縁層を介して蓄積容量線16との間で蓄積容量15を構成する。

[0109] 対向電極16Aがガラス基板2上に形成され、画素電極21Aが透明性絶縁層60上とは異なった層に形成されたIPS型液晶パネルでは、これらの電極のパターン合わせ精度が高くなければ表示画像に輝度斑が発生するおそれが高い。そこで、対向電極の配置場所を変えて異なった構成のIPS型液

晶パネルを得ることも可能である。

[0110] この場合には、図 13 の (b) 及び図 14 の (b) に示すように、番号は付与しないが第 2 の金属層よりなる対向電極 21B が、蓄積容量線 16 の一部上に形成された開口部を含んでソース・ドレイン配線 12・21 と同時に透明性絶縁層 60 上に形成される。この場合、対向電極 21B 及び画素電極 21A は、ともに透明性絶縁層 60 上に形成されるので、これらの電極が短絡する確率が高くなる。しかし、これらの電極間距離においてパターン合わせ精度の影響で表示画像に輝度斑が発生するおそれはない。また、表示電極である対向電極 21B 上及び画素電極 21A 上に絶縁層が存在しないので、旧来の IPS 型液晶パネルと比較すると表示画像の焼付きが発生しないという利点も有している。

[0111] 垂直配向型液晶パネルを構成するアクティブマトリクス基板 71 に形成可能な配向制御手段としては、画素電極内にスリットまたは画素電極上に突起を設けることが挙げられる。この基本構成を実施の形態 2 のアクティブマトリクス基板 71 に適用すると、図 13 の (c) 及び図 14 の (c) に示すように、複数本の帯状に形成された透明導電性の画素電極 22-1 ~ 22-4 は蓄積電極 72 を介してドレイン電極 21 に接続され、配向分割のために画素電極 22-1 は画素電極 22-3 と、また画素電極 22-2 は画素電極 22-4 と略直交して形成される。画素電極 22-1 と画素電極 22-2 間、及び、画素電極 22-3 と画素電極 22-4 間の隙間 42 は、スリット（切れ目）として機能する。

[0112] 上記とは異なる構成として、配向制御手段としてスリットに代えて突起を有する垂直配向型液晶パネルを得ることも可能である。その場合には、図 13 の (d) 及び図 14 の (d) に示すように、二つの透明導電性の画素電極 22A 及び 22B は、蓄積電極 72 を介して略直交してドレイン電極 21 に接続され、画素電極 22A と画素電極 22B の略中央上にパシベーション絶縁層 37P と第 2 の金属層（緩衝金属層 36P と低抵抗金属層 35P）との積層よりなる積層パターンが形成されており、この積層パターンが突起 41

として機能する。

[0113] 〔実施の形態 3〕

続いて、実施の形態 3 について以下に説明する。

[0114] 実施の形態 3 にかかる液晶表示装置 100 の構成は、図 1 及び図 2 を参照して説明した実施の形態 1 の液晶表示装置 100 と同じであるため、その説明は省略する。

[0115] 以下には、実施の形態 3 にかかる液晶パネル 70 の製造方法について、図 15～図 18 を参照しながら説明する。ここでは特に、液晶パネル 70 に備えられたアクティブマトリクス基板 71 の製造方法について具体的に説明する。

[0116] （第 1 の工程：走査信号線と半導体層の形成工程）

本実施の形態 3 においても実施の形態 1 と同様に、まずガラス基板 2 の一主面上に SPT 等の真空製膜装置を用いて膜厚 0.1～0.3 μm 程度の第 1 の金属層（走査信号線用の金属層）を被着する。続いて、ガラス基板 2 の全面に PCVD 装置を用いて、ゲート絶縁層となる第 1 の SiNx 層 30、不純物をほとんど含まず絶縁ゲート型トランジスタのチャネルとなる第 1 の非晶質シリコン層 31、及び不純物を含み絶縁ゲート型トランジスタのソース・ドレインとなる第 2 の非晶質シリコン層 33、という 3 種類の薄膜層を、例えば 0.3～0.2～0.05 μm 程度の各膜厚で順次被着する。

[0117] そして、図 15 の（a）及び図 17 の（a）に示すように、写真食刻技術により走査信号線 11 に対応した感光性樹脂パターン PR（第 1 の感光性樹脂パターン）を用いて感光性樹脂パターン PR をマスクとして第 2 の非晶質シリコン層 33、第 1 の非晶質シリコン層 31 及びゲート絶縁層 30 に加えて第 1 の金属層も選択的に除去してガラス基板 2 を露出する。

[0118] この選択的除去にあたり、第 2 の非晶質シリコン層 33、第 1 の非晶質シリコン層 31、ゲート絶縁層 30 は、弗素系ガスを用いたドライエッチングによって除去される。第 1 の金属層が Mo、Ti、Ta の場合には、引き続きドライエッチによって除去される。また、第 1 の金属層が Cr の場合は、

専用のエッチング液を用いて除去される。さらに、第1の金属層がMo／Al／MoまたはAl（Nd）／Mo等の積層の場合は、燐酸に数%の硝酸を添加した混酸を用いて、ウェットエッチングによって除去される。

[0119] 第2の非晶質シリコン層33A、第1の非晶質シリコン層31A、ゲート絶縁層30A及び走査信号線11からなる多層膜パターン（積層構造のパターン）を得た後、ガラス基板2の全面にフロン系ガス、例えばCF₄のプラズマ処理を行う。これにより、感光性樹脂パターンPRの表面を弗素化して感光性樹脂パターンPR1とする。

[0120] 次に、図15の（b）及び図17の（b）に示すように、塗布型の透明性絶縁樹脂として酸化シリコン微粉末をバインダと共に溶剤に溶かした無機性の透明樹脂（透明性無機絶縁樹脂）、または、耐熱性と透明性の高いアクリル樹脂等の透明樹脂をガラス基板2に塗布する。

[0121] 多層膜パターン間を透明性絶縁樹脂60で埋めた後、透明性絶縁樹脂60中に含まれる溶剤を加熱蒸発してから酸素プラズマ等の灰化手段により弗素化された表面のポリマーを除去し、レジスト剥離液を用いて感光性樹脂パターンPR1を除去する。さらに非晶質シリコン層31Aと33Aの膜質が劣化しない範囲で可能な限りの加熱処理（通常250℃程度）を行い透明性絶縁樹脂60の膜質を高める。

[0122] （第2の工程：ソース・ドレイン配線の形成工程）

続いて、ソース・ドレイン配線の形成工程が行われる。この工程では、ガラス基板2の全面に第2の金属層（ソース・ドレイン配線用金属層）を被着した後、図15の（c）及び図17の（c）に示すように、微細加工技術により感光性樹脂パターン（第2の感光性樹脂パターン）を用いて第2の金属層を食刻する。これにより、画像表示部外の領域にデータ信号線の接続領域6を有しかつゲート電極11Aと一部重なるように絶縁ゲート型トランジスタのソース配線も兼ねるデータ信号線12と、ゲート電極11Aと一部重なるように絶縁ゲート型トランジスタのドレイン電極21と、走査信号線11上に蓄積電極72とが、選択的に形成される。引き続き、第2の非晶質シリ

コン層 33A 及び第 1 の非晶質シリコン層 31A を順次食刻し、第 1 の非晶質シリコン層 31A は 0.05 ~ 0.1 μm 程度残して食刻する。なお、ソース・ドレイン配線 12, 21 の形成と同時に走査信号線の接続領域 5 と透明性絶縁層 60 との境界に跨って段差吸収電極 5S も形成する。

[0123] 第 2 の金属層としては、単層の場合は他の実施形態と同様に、Ti, Cr, Mo 等の耐熱金属が用いられる。データ信号線の低抵抗化のためには、走査信号線の場合と同様に、Al との積層が有効であり、膜厚 0.1 μm 程度の耐熱金属層として例えば Mo, Ti 等の薄膜層 34、膜厚 0.3 μm 程度の低抵抗金属層として Al 薄膜層 35、及び、膜厚 0.1 μm 程度の緩衝金属層として例えば Mo, Ti 等の薄膜層 36 が選択される。

[0124] 実施の形態 3 では、後述するように第 2 の金属層上に透明導電層よりなる画素電極が形成されるため、このように緩衝金属層 36 が必要となる。第 2 の金属層の構成が Mo/Al/Mo の場合には、既に述べたように混酸（硝酸を含む燐酸）を、また、第 2 の金属層の構成が Ti/Al/Ti の場合には、最近開発された三菱化学製の Ti エッチング液を用いれば薬液処理によるエッチングが可能である。なお、低抵抗金属層 35 として Cu または Cu 合金を用いることも可能である。

[0125] （第 3 の工程：パシベーション絶縁層への開口部形成工程）

ソース・ドレイン配線 12, 21 の形成後、ガラス基板 2 の全面に透明性の絶縁層として 0.3 μm 程度の膜厚の第 2 の SiNx 層を被着してパシベーション絶縁層 37 とする。その後、図 16 の (a) 及び図 18 の (a) に示すように、ドレイン電極 21 の一部と蓄積電極 72 の一部とを含む画素電極形成領域と、画像表示部外の領域で段差吸収電極 5S を含む走査信号線 11 の接続領域 5 と、データ信号線 12 の接続領域 6 とに、夫々開口部 38（第 1 の開口部）、63（第 2 の開口部）、及び 64（第 3 の開口部）を有する感光性樹脂パターン（第 3 の感光性樹脂パターン）88 を形成する。感光性樹脂パターン 88 は、各開口部の断面形状が逆テーパ状になっている。

[0126] 開口部の断面形状が逆テーパ状となるような感光性樹脂としては、例えば

東京応化社製の製品名TEL-R-N101PMを用いるとよい。その膜厚は、 $1\mu\text{m}$ 以上あれば十分である。この製品は、有機EL表示装置の製作にあたり有機EL発光層形成後の電極形成工程において、被着される電極用の導電性薄膜層を開口部内に分断して形成する用途で開発されたものである。また、この製品は、化学増幅型のネガ型感光性樹脂であって、通常のポジ型感光性樹脂との差異は、現像処理に先立ち、露光後に加熱処理（Post-Exposure-Bake）を行う必要があるという点である。

[0127] そして、図16の（a）及び図18の（a）に示すように、感光性樹脂パターン88をマスクとして、開口部38及び64内のパシベーション絶縁層37を除去して、透明性絶縁層60とド레인電極21のそれぞれ一部と、蓄積電極72の一部、及び、透明性絶縁層60とデータ信号線12の接続領域6を露出する。また、開口部63内のパシベーション絶縁層37、第1の非晶質シリコン層31A及びゲート絶縁層30Aを除去して、透明性絶縁層60、段差吸収電極5S、及び、走査信号線11の一部である接続領域5を露出する。

[0128] 引き続き、図16の（b）及び図18の（b）に示すように感光性樹脂パターン88を除去することなく、SPT等の真空製膜装置を用いてガラス基板2上に透明導電層91として膜厚 $0.1\mu\text{m}$ 程度のITO、IZOまたはこれらの混晶体を被着する。一般的に、透明導電層91の膜厚が上記のように薄いことに加えて、断面形状が逆テーパ状であるため、感光性樹脂パターン88の側面に被着される透明導電層91は極めて少ない。

[0129] したがって、レジスト剥離液あるいは特定の有機溶剤を用いて感光性樹脂パターン88の除去を行うと、感光性樹脂パターン88の側面から溶融が始まり、感光性樹脂パターン88上の透明導電層91は容易に剥離してしまう。所謂リフトオフである。その結果、図16の（c）及び図18の（c）に示すように、ド레인電極21の一部と蓄積電極72の一部を含む画素電極形成領域である開口部38内の透明性絶縁層60上には、画素電極22が自己整合的に形成される。また、走査信号線の一部（接続領域）5と段差吸収

電極 5 S を含む開口部 6 3 内には、走査信号線の電極端子 5 A が自己整合的に形成される。さらに、データ信号線 1 2 の接続領域 6 含む開口部 6 4 内には、データ信号線の電極端子 6 A が自己整合的に形成される。これに加え、ガラス基板 2 上のパシベーション絶縁層 3 7 が露出し、アクティブマトリクス基板 7 1 の製造工程が終了する。

[0130] なお、透明導電層 9 1 の被着時に膜質改善のため基板加熱を行う場合には、加熱温度が高過ぎると感光性樹脂パターン 8 8 が変質してリフトオフ工程でその除去が困難になるため、基板加熱温度は 150℃以下が望ましい。

[0131] このようにして得られたアクティブマトリクス基板 7 1 とカラーフィルタ基板 9 とを貼り合わせて液晶パネル化し、本実施の形態 3 の製造工程が完了する。蓄積容量 1 5 の構成に関しては、蓄積電極 7 2 と前段の走査信号線 1 1 とが、第 2 の非晶質シリコン層 3 3 A、第 1 の非晶質シリコン層 3 1 A、及びゲート絶縁層 3 0 A を介して平面的に重なることで構成している例（ここでは図示せず。図 4 の（a）に示す右下がり斜線部 5 1 を参照）を例示している。本実施の形態 3 では、従来例と同様にアクティブマトリクス基板 7 1 の外周部に開口部 6 6 を形成して透明導電性の短絡線 4 4 を得ており、透明導電性の電極端子 5 A、6 A と短絡線 4 4 との間を細長いストライプ状に形成することにより、高抵抗化して静電気対策用の高抵抗としている。

[0132] 実施の形態 3 では、上記のように、走査信号線と半導体層の形成工程、ソース・ドレイン配線の形成工程、及びパシベーション絶縁層への開口部と画素電極の形成工程、という各工程により、ハーフトーン露光技術を用いることなく 3 枚のフォトマスクを用いてアクティブマトリクス基板を作製している。従って、ハーフトーン露光の影響でパターン幅に変動が生じることがないため、各パターニング工程における寸法管理は通常のレベルでよいという副次的な効果も得られる。

[0133] （実施の形態 3 の変形例）

実施の形態 3 に記載の合理化されたアクティブマトリクス基板は液晶モードを TN 型としていたが、画素電極の形状を設計変更することにより視野角

の広いIPS型液晶と垂直配向型液晶にも本発明は有効であり、実施の形態3の一部としてそれを説明する。

[0134] IPS型液晶パネルの基本構成を実施の形態3のアクティブマトリクス基板71に適用すると、図19の(a)及び図20の(a)に示すように、透明性絶縁層60上のパシベーション絶縁層37に形成された開口部内に形成された透明導電層よりなる複数本の帯状の対向電極16Aと、ドレイン電極21に接続された第2の金属層よりなる複数本の帯状の画素電極21Aとが、所定の距離を隔てて形成される。

[0135] また、対向電極の配置場所を変えて異なった構成のIPS型液晶パネルを得ることも可能である。

[0136] この場合には、図19の(b)及び図20の(b)に示すように、透明性絶縁層60上のパシベーション絶縁層37に形成された開口部内に透明導電層で形成された複数本の帯状の対向電極16Aと、ドレイン電極21の一部を含んで透明性絶縁層60上のパシベーション絶縁層37に形成された開口部内に透明導電層で形成された画素電極16Cとが、所定の距離を隔てて形成される。この構成では、表示電極である画素電極16Cと対向電極16Aとが、ともに透明導電層であるので、表示電極周辺の漏れ電界を利用してIPS型液晶パネルの透過率を高める取組みに反映させることも容易となる。

[0137] 前者のIPS型液晶パネルでは、第2の金属層よりなる画素電極21Aと透明導電層よりなる対向電極16Aは何れも透明性絶縁層60上に形成されるが、画素電極21Aはパシベーション絶縁層37で覆われており、これらの電極が短絡する確率は低い。但し、これらの電極のパターン合わせ精度が高くないと表示画像に輝度斑が発生するおそれが高い。これとは逆に、後者のIPS型液晶パネルでは、何れも透明導電層よりなる対向電極16Aと画素電極16Cとは、ともに透明性絶縁層60上に形成されるので、これらの電極が短絡する確率は高いが、これらの電極間距離においてパターン合わせ精度の影響で表示画像に輝度斑が発生するおそれはない。また、表示電極である対向電極16A上と画素電極16C上に絶縁層が存在しないので、両者

を比較すると後者の方が表示画像の焼付きが少ないという利点を有する。

[0138] 垂直配向型液晶パネルを構成するアクティブマトリクス基板 71 に形成可能な配向制御手段としては、画素電極内にスリットまたは画素電極上に突起を設けることが挙げられる。本実施の形態 3 では、画素電極形成工程の特異性からスリットと突起とが同時に形成される。その結果、図 19 の (c) 及び図 20 の (c) に示すように、複数本の帯状に形成された透明導電性の画素電極 22-1 ~ 22-4 は蓄積電極 72 を介してドレイン電極 21 に接続され、配向分割のために画素電極 22-1 は画素電極 22-3 と、また画素電極 22-2 は画素電極 22-4 と略直交して形成される。画素電極 22-1 と画素電極 22-2 間、及び、画素電極 22-3 と画素電極 22-4 間の隙間には、パシベーション絶縁層 37P が形成されており、突起 41 として機能する。

[0139] 上記した実施の形態 3 のアクティブマトリクス基板は、実施の形態 1 と同様に、走査信号線 11 上にゲート絶縁層 30A を介して膜厚を減ぜられた第 1 の非晶質シリコン層 31A が存在するため、データ信号線間のクロストークを完全に抑制することができず、表示画像の高画質化には限界が存在する。そこで、ハーフトーン露光技術を導入してこれらの課題解決を図ったものを、以下に示す実施の形態 4 及び実施の形態 5 として説明する。

[0140] [実施の形態 4]

実施の形態 4 にかかる液晶表示装置 100 の構成は、図 1 及び図 2 を参照して説明した実施の形態 1 の液晶表示装置 100 と同じであるため、その説明は省略する。

[0141] 以下には、実施の形態 4 にかかる液晶パネル 70 の製造方法について、図 21 ~ 図 24 を参照しながら説明する。ここでは特に、液晶パネル 70 に備えられたアクティブマトリクス基板 71 の製造方法について具体的に説明する。

[0142] (第 1 の工程：走査信号線と半導体層の形成工程)

本実施の形態 4 においては、図 21 の (a) 及び図 23 の (a) から図 2

1の(b)及び図23の(b)に示すように、ソース・ドレイン配線材として第2の金属層をガラス基板2上に製膜するまでは実施の形態3と同一の製造工程で進行する。そのため、ここでは詳しい説明は省略する。

[0143] (第2の工程：ソース・ドレイン配線の形成工程)

続いて、ソース・ドレイン配線の形成工程が行われる。この工程では、ソース・ドレイン配線のパターン形成にあたり、従来例で説明したハーフトーン露光技術により、図21の(c)及び図23の(c)に示すように、データ信号線の接続領域6を有し、かつゲート電極11Aと一部重なり絶縁ゲート型トランジスタのソース配線も兼ねるデータ信号線12の形成領域80A(12)、蓄積容量線16と一部重なり蓄積容量15を構成する蓄積電極72を含みかつゲート電極11Aと一部重なる絶縁ゲート型トランジスタのドレイン電極21の形成領域80A(21)、及び走査信号線の接続領域5と透明性絶縁層60との境界に跨る段差吸収電極5Sの形成領域80A(5S)の膜厚が例えば $3\mu\text{m}$ で、ソース・ドレイン間のチャネル形成領域80B(斜線部)の膜厚が例えば $1.5\mu\text{m}$ であるような感光性樹脂パターン80A、80B(第2の感光性樹脂パターン)を形成する。

[0144] 感光性樹脂パターン80A、80Bをマスクとして、第2の金属層(緩衝金属層36、低抵抗金属層35及び耐熱金属層34よりなる積層)、第2の非晶質シリコン層33A及び第1の非晶質シリコン層31Aを順次食刻し、第1の非晶質シリコン層31Aは $0.05\sim 0.1\mu\text{m}$ 程度残して食刻する。第2の金属層の詳細な構成については実施の形態3で記載した通りである。その結果、ガラス基板2上の透明性絶縁層60、走査信号線11上のゲート絶縁層30A、及び、蓄積容量線16上のゲート絶縁層30Bが露出する。

[0145] そして、酸素プラズマ等の灰化手段により感光性樹脂パターン80A、80Bを $1.5\mu\text{m}$ 以上膜減りさせると、感光性樹脂パターン80Bが消失してチャネル形成領域の第2の金属層(緩衝金属層)が露出するとともに、ソース・ドレイン配線の形成領域と段差吸収電極の形成領域にのみ膜減りした

感光性樹脂パターン 80C (12), 80C (21), 80 (5S) を残すことができる。しかし、透明性絶縁樹脂 60 がアクリル樹脂の場合には、この酸素プラズマ処理で膜減りして消失するので、実施の形態 3 とは異なり塗布型の透明性絶縁樹脂にアクリル樹脂を用いることはできない。

[0146] そこで、膜減りした感光性樹脂パターン 80C (12), 80C (21) をマスクとして、図 21 の (d) 及び図 23 の (d) に示すように、再びソース・ドレイン配線間 (チャネル形成領域) の第 2 の金属層、第 2 の非晶質シリコン層 33A 及び第 1 の非晶質シリコン層 31A を順次食刻し、第 1 の非晶質シリコン層 31A は 0.05 ~ 0.1 μm 程度残して食刻する。

[0147] (第 3 の工程 : パシベーション絶縁層への開口部形成工程)

ソース・ドレイン配線 12, 21 の形成後は、実施の形態 3 と同様に、ガラス基板 2 の全面に透明性の絶縁層として 0.3 μm 程度の膜厚の第 2 の SiNx 層を被着してパシベーション絶縁層 37 とする。その後、図 22 の (a) 及び図 24 の (a) に示すように、ドレイン電極 21 の一部と蓄積電極 72 の一部とを含む画素電極形成領域と、画像表示部外の領域で段差吸収電極 5S を含む走査信号線 11 の接続領域 5 と、データ信号線 12 の接続領域 6 と、走査線 11 上とに、夫々開口部 38 (第 1 の開口部)、63 (第 2 の開口部)、64 (第 3 の開口部)、及び 75 (第 4 の開口部) を有する感光性樹脂パターン 88 (第 3 の感光性樹脂パターン) を形成する。感光性樹脂パターン 88 は、各開口部の断面形状が逆テーパ状になっている。

[0148] 感光性樹脂パターン 88 をマスクとして、開口部 38 及び 64 内のパシベーション絶縁層 37 を除去して、透明性絶縁層 60 とドレイン電極 21 のそれぞれ一部と、蓄積電極 72 の一部、及び、透明性絶縁層 60 とデータ信号線 12 の接続領域 6 を露出する。また、開口部 63 内のパシベーション絶縁層 37 及びゲート絶縁層 30A を除去して、段差吸収電極 5S と走査信号線 11 との接続領域 5 を露出する。なお、開口部 65 内のパシベーション絶縁層 37 及びゲート絶縁層 30B も除去して、段差吸収電極 16S と蓄積容量線 16 との接続領域も露出しておく。また、開口部 75 内の第 1 の非晶質シ

リコン層 31A を除去して、ゲート絶縁層 30A を露出する。

[0149] 引き続き、図 22 の (b) 及び図 24 の (b) に示すように、感光性樹脂パターン 88 を除去することなく、SPT 等の真空製膜装置を用いてガラス基板 2 上に透明導電層 91 として膜厚 0.1 μm 程度の ITO、IZO またはこれらの混晶体を被着する。さらに、レジスト剥離液あるいは特定の有機溶剤を用いて感光性樹脂パターン 88 の除去を行うと、リフトオフ作用により感光性樹脂パターン 88 の側面から溶融が始まり、感光性樹脂パターン 88 上の透明導電層 91 は容易に剥離してしまう。その結果、図 22 の (c) 及び図 24 の (c) に示すように、ドレイン電極 21 の一部と蓄積電極 72 の一部を含む画素電極形成領域である開口部 38 内の透明性絶縁層 60 上には、画素電極 22 が自己整合的に形成される。また、走査信号線の一部（接続領域）5 と段差吸収電極 5S を含んで開口部 63 内には走査信号線の電極端子 5A が自己整合的に形成される。さらに、データ信号線 12 の一部（接続領域）6 を含んで開口部 64 内には、データ信号線の電極端子 6A が自己整合的に形成される。これに加え、これに加え、ガラス基板 2 上のパシベーション絶縁層 37 が露出し、アクティブマトリクス基板 71 の製造工程が終了する。なお、開口部 65 内にも番号は付与しないが透明導電層よりなる蓄積容量線の電極端子が形成される。

[0150] このようにして得られたアクティブマトリクス基板 71 とカラーフィルタ基板 9 とを貼り合わせて液晶パネル化し、本実施の形態 4 の製造工程が完了する。蓄積容量 15 の構成に関しては、図 22 の (c) に示すように、ドレイン電極 21 を兼ねる蓄積電極 72 と蓄積容量線 16 とが、第 2 の非晶質シリコン層 33B、第 1 の非晶質シリコン層 31B、及びゲート絶縁層 30B を介して平面的に重なって蓄積容量 15 を構成している例（右下がり斜線部 50 の一部）を例示している。

[0151] 本実施の形態 4 では、上記のように、走査信号線と半導体層の形成工程、ハーフトーン露光技術を用いたソース・ドレイン配線の形成と半導体層の島化工程、及びパシベーション絶縁層への開口部と画素電極の形成工程、とい

う各工程により、３枚のフォトマスクを用いてアクティブマトリクス基板を作製している。

[0152] また、実施の形態４では、パシベーション絶縁層３７への開口部形成工程で、走査信号線１１上に開口部７５を形成して開口部内の第１の非晶質シリコン層３１Ａを除去しているアレイ構成を採用しているため、寄生トランジスタの形成を阻止できてクロストークの発生するおそれも解消されている。

[0153] （実施の形態４の変形例）

本実施の形態４に記載の合理化されたアクティブマトリクス基板は、液晶モードをＴＮ型としていたが、画素電極の形状を設計変更することにより視野角の広いＩＰＳ型液晶と垂直配向型液晶にも本発明は有効である。以下に、実施の形態４の一部としてそれを説明する。

[0154] ＩＰＳ型液晶パネルの基本構成を実施の形態４のアクティブマトリクス基板７１に適用すると、図２５の（ａ）及び図２６の（ａ）に示すように、透明性絶縁層６０上のパシベーション絶縁層３７に形成された開口部内に形成された透明導電層よりなる複数本の帯状の対向電極１６Ａと、ドレイン電極２１に接続された第２の金属層よりなる複数本の帯状の画素電極２１Ａとが所定の距離を隔てて形成される。

[0155] また、対向電極の配置場所を変えて異なった構成のＩＰＳ型液晶パネルを得ることも可能である。

[0156] この場合には、図２５の（ｂ）及び図２６の（ｂ）に示すように、透明性絶縁層６０上のパシベーション絶縁層３７に形成された開口部内に透明導電層で形成された複数本の帯状の対向電極１６Ａと、ドレイン電極２１の一部を含んで透明性絶縁層６０上のパシベーション絶縁層３７に形成された開口部内に透明導電層で形成された画素電極１６Ｃとが、所定の距離を隔てて形成される。この構成では、表示電極である画素電極１６Ｃと対向電極１６Ａが、ともに透明導電層であるので、表示電極周辺の漏れ電界を利用してＩＰＳ型液晶パネルの透過率を高める取組みに反映させることも容易となる。

[0157] 前者のＩＰＳ型液晶パネルでは、第２の金属層よりなる画素電極２１Ａと

透明導電層よりなる対向電極 16 Aは何れも透明性絶縁層 60上に形成されるが、画素電極 21 Aはパシベーション絶縁層 37で覆われており、これらの電極が短絡する確率は低い。但し、これらの電極のパターン合わせ精度が高くないと表示画像に輝度斑が発生するおそれが高い。これとは逆に、後者のIPS型液晶パネルでは、何れも透明導電層よりなる対向電極 16 Aと画素電極 16 Cとは、ともに透明性絶縁層 60上に形成されるので、これらの電極が短絡する確率は高いが、これらの電極間距離においてパターン合わせ精度の影響で表示画像に輝度斑が発生するおそれはない。また、表示電極である対向電極 16 A上と画素電極 16 C上に絶縁層が存在しないので、両者を比較すると後者の方が表示画像の焼付きが少ないという利点を有する。

[0158] 垂直配向型液晶パネルを構成するアクティブマトリクス基板 71に形成可能な配向制御手段としては、画素電極内にスリットまたは画素電極上に突起を設けることが挙げられる。本実施の形態4では、画素電極形成工程の特異性からスリットと突起とが同時に形成される。その結果、図25の(c)及び図26の(c)に示すように、複数本の帯状に形成された透明導電性の画素電極 22-1~22-4は蓄積電極 72を介してドレイン電極 21に接続され、配向分割のために画素電極 22-1は画素電極 22-3と、また画素電極 22-2は画素電極 22-4と略直交して形成される。画素電極 22-1と画素電極 22-2間、及び、画素電極 22-3と画素電極 22-4間の隙間にはパシベーション絶縁層 37Pが形成されており、突起 41として機能する。

[0159] 上述した実施の形態4においては、走査信号線 11上ではトランジスタ形成領域においてのみ、第1の非晶質シリコン層及び第2の非晶質シリコン層がソース・ドレイン配線と自己整合的に存在しているという点、また、蓄積容量線 16上では蓄積容量形成領域にのみ半導体層である第2の非晶質シリコン層と第1の非晶質シリコン層とが存在する点が実施の形態3との相違点であって、絶縁ゲート型トランジスタ(TFT)の性能は同一となっている。

[0160] 〔実施の形態５〕

続いて、実施の形態５について以下に説明する。

[0161] 実施の形態５にかかる液晶表示装置１００の構成は、図１及び図２を参照して説明した実施の形態１の液晶表示装置１００と同じであるため、その説明は省略する。

[0162] 以下には、実施の形態５にかかる液晶パネル７０の製造方法について、図２７～図３０を参照しながら説明する。ここでは特に、液晶パネル７０に備えられたアクティブマトリクス基板７１の製造方法について具体的に説明する。

[0163] （第１の工程：走査信号線と半導体層の形成工程）

本実施の形態５においても実施の形態１と同様に、まずガラス基板２の一主面上にＳＰＴ等の真空製膜装置を用いて膜厚０．１～０．３μｍ程度の第１の金属層（走査信号線用の金属層）を被着する。続いて、ガラス基板２の全面にＰＣＶＤ装置を用いて、第１のＳｉＮ_x層３０、第１の非晶質シリコン層３１、及び第２の非晶質シリコン層３３という、３種類の薄膜層を、例えば０．３～０．２～０．０５μｍ程度の各膜厚で順次被着する。

[0164] そして、特許文献６に示されているように、ハーフトーン露光技術を用いて走査信号線１１と蓄積容量線１６に対応したパターン８４Ａの膜厚が例えば２μｍで、ゲート電極１１Ａ上のトランジスタ形成領域に対応したパターン８４Ｂの膜厚が例えば１μｍであるような感光性樹脂パターン８４Ａ、８４Ｂ（第１の感光性樹脂パターン）を第２の非晶質シリコン層３３上に形成する。その後、図２７の（ａ）及び図２９の（ａ）に示すように、感光性樹脂パターン８４Ａ、８４Ｂをマスクとして、第２の非晶質シリコン層３３、第１の非晶質シリコン層３１及びゲート絶縁層３０に加えて第１の金属層も選択的に除去してガラス基板２を露出する。

[0165] 第２の非晶質シリコン層３３Ａ、第１の非晶質シリコン層３１Ａ、ゲート絶縁層３０Ａ及び走査信号線１１からなる多層膜パターン（積層構造のパターン）を得た後、ガラス基板２の全面にフロン系ガス、例えばＣＦ_４のプラ

ズマ処理を行う。ガラス基板 2 は無機質でありその表面は殆ど弗素化されないが、感光性樹脂パターン 8 4 A, 8 4 B は有機樹脂であるのでその表面は容易に弗素化されて感光性樹脂パターン 8 4 A 1, 8 4 B 1 となる。弗素化は表面深さ 1 0 0 Å 以上あれば十分である。

[0166] 次に、図 2 7 の (b) 及び図 2 9 の (b) に示すように、塗布型の透明性絶縁樹脂として酸化シリコン微粉末をバインダと共に溶剤に溶かした無機性の透明樹脂（透明性無機絶縁樹脂）をガラス基板 2 に塗布する。弗素化された感光性樹脂パターン 8 4 A 1, 8 4 B 1 は撥水性を有するため、透明性絶縁樹脂は感光性樹脂パターン 8 4 A 1, 8 4 B 1 上では弾かれ、感光性樹脂パターン 8 4 A 1, 8 4 B 1 上を除いた領域に自己整合的に塗布される。ここでは、透明性絶縁樹脂は、実施の形態 1 ～実施の形態 4 とは異なり、走査信号線 1 1 とゲート絶縁層 3 0 A との積層厚さと略同一の膜厚で塗布されるが、その理由は後述する。

[0167] 多層膜パターン間を透明性絶縁樹脂 6 0 で埋めた後、レジスト剥離液による除去の支障にならぬよう透明性絶縁樹脂 6 0 中に含まれる溶剤を加熱蒸発し、さらに酸素プラズマ等の灰化手段により弗素化された表面のポリマーを除去しつつ感光性樹脂パターン 8 4 A 1, 8 4 B 1 の膜厚を 1 μm 以上膜減りさせる。すると、感光性樹脂パターン 8 4 B 1 が消失して走査信号線 1 1 上の第 2 の非晶質シリコン層 3 3 A と、蓄積容量線 1 6 上の第 2 の非晶質シリコン層 3 3 B とが露出するとともに、ゲート電極 1 1 A 上のトランジスタ形成領域上にのみ感光性樹脂パターン 8 4 C を選択的に形成することができる。しかし、透明性絶縁樹脂 6 0 がアクリル樹脂の場合には、この酸素プラズマ処理で膜減りして消失するので、実施の形態 3 とは異なり塗布型の透明性絶縁樹脂にアクリル樹脂を用いることはできない。

[0168] そこで、図 2 7 の (c) 及び図 2 9 の (c) に示すように、感光性樹脂パターン 8 4 C をマスクとして走査信号線 1 1 上の第 2 の非晶質シリコン層 3 3 A と第 1 の非晶質シリコン層 3 1 A とを除去してゲート絶縁層 3 0 A を露出すると共に、蓄積容量線 1 6 上の第 2 の非晶質シリコン層 3 3 B と第 1 の

非晶質シリコン層 31B とを除去してゲート絶縁層 30B を露出する。その後、レジスト剥離液を用いて感光性樹脂パターン 84C を除去する。さらに、非晶質シリコン層 31A と 33A の膜質が劣化しない範囲で可能な限りの加熱処理（通常 250℃程度）を行い透明性絶縁層 60 の膜質を高める。

[0169] （第 2 の工程：ソース・ドレイン配線の形成工程）

続いて、ソース・ドレイン配線の形成工程が行われる。この工程では、ガラス基板 2 の全面に第 2 の金属層（ソース・ドレイン配線用金属層）を被着する。その後、図 27 の（d）及び図 29 の（d）に示すように、微細加工技術により感光性樹脂パターン（第 2 の感光性樹脂パターン）を用いて第 2 の金属層を食刻する。これにより、画像表示部外の領域にデータ信号線の接続領域 6 を有し、かつ、ゲート電極 11A と一部重なり絶縁ゲート型トランジスタのソース配線も兼ねるデータ信号線 12 と、蓄積容量線 16 と一部重なり蓄積容量 15 を構成する蓄積電極を含み、かつ、ゲート電極 11A と一部重なる絶縁ゲート型トランジスタのドレイン電極 21 選択的に形成する。

[0170] 引き続き、ソース・ドレイン配線 12, 21 間の第 2 の非晶質シリコン層 33A 及び第 1 の非晶質シリコン層 31A を順次食刻し、第 1 の非晶質シリコン層 31A は、0.05~0.1 μm 程度残して食刻する。なお、ソース・ドレイン配線 12, 21 の形成と同時に、走査信号線の接続領域 5 と透明性絶縁層 60 との境界に跨る段差吸収電極 5S、および、蓄積容量線 16 の接続領域と透明性絶縁層 60 との境界に跨る段差吸収電極 16S も形成する。第 2 の金属層の構成については既に述べた通りである。

[0171] （第 3 の工程：パシベーション絶縁層への開口部形成工程）

ソース・ドレイン配線 12, 21 の形成後は、実施の形態 4 と同様に、ガラス基板 2 の全面に透明性の絶縁層として、0.3 μm 程度の膜厚の第 2 の SiNx 層を被着してパシベーション絶縁層 37 とする。その後、図 28 の（a）及び図 30 の（a）に示すように、ドレイン電極 21 の一部と蓄積電極 72 の一部とを含む画素電極形成領域、画像表示部外の領域で段差吸収電極 5S を含む走査信号線 11 の接続領域 5 上、及び、データ信号線 12 の接

続領域 6 上に、夫々開口部 3 8（第 1 の開口部）、6 3（第 2 の開口部）及び 6 4（第 3 の開口部）を有する感光性樹脂パターン 8 8（第 3 の感光性樹脂パターン）を形成する。感光性樹脂パターン 8 8 は、各開口部の断面形状が逆テーパ状になっている。

[0172] この感光性樹脂パターン 8 8 をマスクとして、開口部 3 8 及び 6 4 内のパシベーション絶縁層 3 7 を除去し、透明性絶縁層 6 0 とド레인電極 2 1 の一部と蓄積電極 7 2 の一部、及び、透明性絶縁層 6 0 とデータ信号線 1 2 の接続領域 6 を露出する。また、開口部 6 3 内のパシベーション絶縁層 3 7 とゲート絶縁層 3 0 A とを除去して、段差吸収電極 5 S と走査信号線 1 1 の接続領域 5 とを露出する。なお、開口部 6 5 内のパシベーション絶縁層 3 7 及びゲート絶縁層 3 0 B も除去して、段差吸収電極 1 6 S と蓄積容量線 1 6 の接続領域も露出しておく。

[0173] 引き続き、図 2 8 の（b）及び図 3 0 の（b）に示すように、感光性樹脂パターン 8 8 を除去することなく、SPT 等の真空製膜装置を用いてガラス基板 2 上に透明導電層 9 1 として膜厚 0.1 μm 程度の ITO、IZO、またはこれらの混晶体を被着する。さらに、レジスト剥離液あるいは特定の有機溶剤を用いて感光性樹脂パターン 8 8 の除去を行うと、図 2 8 の（c）及び図 3 0 の（c）に示すように、ド레인電極 2 1 の一部と蓄積電極 7 2 の一部を含む画素電極形成領域である開口部 3 8 内の透明性絶縁層 6 0 上には、画素電極 2 2 が自己整合的に形成される。また、走査信号線の一部（接続領域）5 と段差吸収電極 5 S を含む開口部 6 3 内には、走査信号線の電極端子 5 A が自己整合的に形成される。さらに、データ信号線 1 2 の一部（接続領域）6 を含む開口部 6 4 内には、データ信号線の電極端子 6 A が自己整合的に形成される。これに加え、ガラス基板 2 上のパシベーション絶縁層 3 7 が露出し、アクティブマトリクス基板 7 1 の製造工程を終える。なお、開口部 6 5 内にも番号は付与しないが透明導電層よりなる蓄積容量線の電極端子が形成される。

[0174] このようにして得られたアクティブマトリクス基板 7 1 とカラーフィルタ

基板 9 とを貼り合わせて液晶パネル化し、本実施の形態 5 の製造工程が完了する。蓄積容量 15 の構成に関しては、図 27 の (d) に示すように、ドレイン電極 21 を兼ねる蓄積電極 72 と蓄積容量線 16 とが、ゲート絶縁層 30 B を介して平面的に重なって蓄積容量 15 を構成している例（右下がり斜線部 50 の一部）を例示している。この構成では、実施の形態 4 の構成と比較すると、蓄積電極 72 が同一面積であればより大きな蓄積容量 15 が得られる。

[0175] 実施の形態 5 では、上記のように、ハーフトーン露光技術を用いた走査信号線と半導体層の形成工程（半導体層の島化工程を含む）、ソース・ドレイン配線の形成工程、及びパシベーション絶縁層への開口部と画素電極の形成工程、という各工程により、3 枚のフォトマスクを用いてアクティブマトリクス基板を作製している。

[0176] （実施の形態 5 の変形例）

実施の形態 5 に記載の合理化されたアクティブマトリクス基板は、液晶モードを TN 型としていたが、画素電極の形状を設計変更することにより視野角の広い IPS 型液晶と垂直配向型液晶にも本発明は有効である。以下に、実施の形態 5 の一部としてそれを説明する。

[0177] IPS 型液晶パネルの基本構成を実施の形態 5 のアクティブマトリクス基板 71 に適用すると、図 31 の (a) 及び図 32 の (a) に示すように、透明性絶縁層 60 上のパシベーション絶縁層 37 に形成された開口部内に形成された透明導電層よりなる複数本の帯状の対向電極 16 A と、ドレイン電極 21 に接続された第 2 の金属層よりなる複数本の帯状の画素電極 21 A とが所定の距離を隔てて形成される。

[0178] 対向電極の配置場所を変えて異なった構成の IPS 型液晶パネルを得ることも可能である。

[0179] この場合には、図 31 の (b) 及び図 32 の (b) に示すように、透明性絶縁層 60 上のパシベーション絶縁層 37 に形成された開口部内に透明導電層で形成された複数本の帯状の対向電極 16 A と、ドレイン電極 21 の一部

を含んで透明性絶縁層 60 上のパシベーション絶縁層 37 に形成された開口部内に透明導電層で形成された画素電極 16 C とが、所定の距離を隔てて形成される。

[0180] 前者の IPS 型液晶パネルでは第 2 の金属層よりなる画素電極 21 A と透明導電層よりなる対向電極 16 A は何れも透明性絶縁層 60 上に形成されるが、画素電極 21 A はパシベーション絶縁層 37 で覆われており、これらの電極が短絡する確率は低い。但し、これらの電極のパターン合わせ精度が高くないと表示画像に輝度斑が発生するおそれが高い。これとは逆に、後者の IPS 型液晶パネルでは、何れも透明導電層よりなる対向電極 16 A と画素電極 16 C とは、ともに透明性絶縁層 60 上に形成されるので、これらの電極が短絡する確率は高いが、これらの電極間距離においてパターン合わせ精度の影響で表示画像に輝度斑が発生するおそれはない。また、表示電極である対向電極 16 A 上と画素電極 16 C 上に絶縁層が存在しないので、両者を比較すると後者の方が表示画像の焼付けが少ないという利点を有する。

[0181] 垂直配向型液晶パネルを構成するアクティブマトリクス基板 71 に形成可能な配向制御手段としては、画素電極内にスリットまたは画素電極上に突起を設けることが挙げられる。本実施の形態 5 では、画素電極形成工程の特異性からスリットと突起とが同時に形成される。その結果、図 31 の (c) 及び図 32 の (c) に示すように、複数本の帯状に形成された透明導電性の画素電極 22-1 ~ 22-4 は蓄積電極 72 を介してドレイン電極 21 に接続され、配向分割のために画素電極 22-1 は画素電極 22-3 と、また画素電極 22-2 は画素電極 22-4 と略直交して形成される。画素電極 22-1 と画素電極 22-2 間、及び、画素電極 22-3 と画素電極 22-4 間の隙間にはパシベーション絶縁層 37 P が形成されており、突起 41 として機能する。

[0182] 上述した実施の形態 5 においては、走査信号線 11 上ではトランジスタ形成領域においてのみ、第 1 の非晶質シリコン層及び第 2 の非晶質シリコン層が走査信号線 11 と自己整合的に存在する点、および、蓄積電極 72 の面積

が同一であれば蓄積容量 15 の値が大きくなる点が実施の形態 3 との相違点である。

[0183] 最後に、段差吸収電極 5 S と透明性絶縁層 6 O との膜厚の関係について記載する。段差吸収電極 5 S は、走査信号線の電極端子 5 A と連結した静電気対策線 4 4 を形成するにあたり、開口部 6 3 内に露出する透明性絶縁層 6 O と、走査信号線 1 1、ゲート絶縁層 3 O A 及び他の薄膜を含む多層膜パターンとの間に膜厚差があると、透明性絶縁層 6 O はその形成工程から断面形状が逆テーパとなるので、膜厚が $0.1 \mu\text{m}$ 程度と薄い透明導電層の部分では断切れが発生することがある。これにより、走査信号線の電極端子 5 A と、これに連結した静電気対策線 4 4 との間で断線が生じる。

[0184] そこで、例えば、実施の形態 3 及び実施の形態 4 の TN 型液晶パネルでは、透明性絶縁層 6 O は、走査信号線 1 1、ゲート絶縁層 3 O A、第 1 の非晶質シリコン層 3 1 A 及び第 2 の非晶質シリコン 3 3 A の積層よりなる多層膜パターンの側面を埋めるように形成し、透明性絶縁層 6 O と多層膜パターンとの境界における段差の発生を回避している。

[0185] しかしながら、実施の形態 3 及び実施の形態 4 の IPS 型液晶パネルと垂直配向液晶パネルでは、透明性絶縁層 6 O の膜厚を、走査信号線 1 1 とゲート絶縁層 3 O A とよりなる積層パターンと略同じ膜厚とすることで、透明性絶縁層 6 O と積層パターンとの境界における段差の発生を回避することも可能である。実施の形態 5 の TN 型液晶パネルでは、このような観点から透明性絶縁層 6 O の膜厚を、走査信号線 1 1 とゲート絶縁層 3 O A との積層と略同じ膜厚としている。

[0186] このように、開口部 6 3 内に露出した下地パターンの境界に逆テーパが生じないように透明性絶縁層 6 O の塗布厚を選定することが重要であり、実施の形態 3 ～実施の形態 5 においては、透明性絶縁層 6 O の塗布厚を最適化すれば段差吸収電極 5 S を配置することは必ずしも必須ではない。しかし、段差吸収電極 5 S の導入により、透明導電層よりなる走査信号線の電極端子 5 A と静電気対策線 4 4 との断線確率を低下させることができる。

[0187] 以上、本発明の実施形態を実施形態 1～5 として説明した。

[0188] 以上を要約すると、各実施形態における技術は、今回新たに発案された下記（a）の技術と、特許文献 2 に記載の下記（b）の技術または特許文献 3 に記載の下記（c）の技術とを組み合わせることによって、3 枚マスク・プロセスによるアクティブマトリクス基板の製造を実現するというものである。

（a）：感光性樹脂パターンを用いて走査信号線とゲート絶縁層と半導体層との積層よりなる多層膜パターンを形成し、弗素化された感光性樹脂パターンの撥水性を利用して多層膜パターン間を透明性絶縁樹脂で埋めて走査信号線の側面を絶縁化することで、走査信号線と半導体層の同時形成を行う工程削減技術

（b）：透明導電層を含む多層膜パターンよりなるデータ信号線と擬似画素電極（ドレイン電極）を形成し、パシベーション絶縁層への開口部形成時に擬似画素電極内に透明導電性の画素電極を露出することで画素電極形成の写真食刻工程を不要とする工程削減技術

（c）：パシベーション絶縁層への開口部形成工程において、その断面形状が逆テーパ形状の感光性樹脂パターンを用いて開口部形成を行った後に透明導電層を被着し、前記感光性樹脂パターンをリフトオフ材として透明導電層のリフトオフにより画素電極の形成を行うことで画素電極形成の写真食刻工程を不要とする工程削減技術

以上述べたように、本発明は、透明性絶縁基板の一主面上に感光性樹脂パターンを用いて導電層（金属層）、絶縁層及び半導体層よりなる積層パターンを選択的に形成する工程と、前記感光性樹脂パターンの表面を弗素系ガスのドライエッチングにより弗素化する工程と、塗布型の透明性絶縁樹脂を塗布する工程と、前記弗素化された感光性樹脂パターンを除去する工程とからアクティブマトリクス基板を製造するというものである。また、本発明の製造方法によれば、透明性絶縁基板の一主面上に導電層（金属層）、絶縁層及び半導体層よりなる積層パターンが形成され、前記導電層の側面に前記導電

層とゲート絶縁層との積層と同じ以上の膜厚を有する透明性絶縁層が形成されたアクティブマトリクス基板が得られる。

[0189] これにより、同一のフォトリソマスクを用いて金属層、ゲート絶縁層及び半導体層よりなる走査信号線パターン（及び蓄積容量線パターン）を形成しても、金属層の側面に絶縁層が形成されて金属層が絶縁化されるので、前記走査信号線パターン（及び蓄積容量線パターン）とデータ信号線パターンとを交差させてアクティブマトリクス基板を得ることができる。また、半導体層は走査信号線上にのみ形成されるので、裏面光源からの光照射で絶縁ゲート型トランジスタのOFF時のリーク電流が増加するおそれは無く、半導体層の島化工程は必ずしも必要とはならない。換言すると、半導体層の島化工程を削減でき、製造工程の合理化を実現することができる。

[0190] そして、透明導電層とソース・ドレイン配線用金属層との積層よりなるデータ信号線と擬似画素電極を形成し、パシベーション絶縁層への開口部形成時に擬似画素電極を構成するソース・ドレイン配線用金属層を除去することで、独立した画素電極の形成工程を不要とする合理化も適用可能となる。

[0191]あるいは、画素電極をドレイン電極に接続するための開口部形成工程において、画素電極形成領域のパシベーション絶縁層を除去して透明性絶縁層を露出し、露出したドレイン電極を含んで透明性絶縁層上に画素電極をリフトオフで形成することで画素電極の形成工程を合理化する技術を本発明に適用することも可能であり、走査信号線への接続を確実に行うためのパターン設計の観点から段差吸収電極を配置している。

[0192] さらに、ハーフトーン露光が必要とはなるが、走査信号線上の半導体層を選択的に除去する事も可能であり、寄生トランジスタの形成が阻止されて絶縁ゲート型トランジスタのリーク電流が極限にまで低減することにより表示画像の安定度が増加する。

[0193] 加えて、本発明の一部ではパシベーション絶縁層への開口部形成に当り、特許文献4に記載されている技術を適用し、通常の感光性樹脂ではなく感光性の黒色顔料分散型樹脂を用い、アクティブマトリクス基板上にそのまま残

すことにより、カラーフィルタ基板の製造工程においてBM形成工程を不要とし、液晶表示装置の低コスト化だけでなく開口率の向上も期待できる。

[0194] 透明導電層とソース・ドレイン配線用金属層との積層よりなる擬似画素電極のソース・ドレイン配線用金属層を除去せず、あるいは部分的に除去することで夫々反射型あるいは半透過型の液晶表示装置を得ることも可能である。ただし、図示はしないが反射型液晶表示装置の画素電極は鏡面反射を回避するため、その下地が平坦ではなく、深さが $0.5 \sim 1 \mu\text{m}$ 前後の凹凸面が必要となりアクティブマトリクス基板の製造工程数が増加するのは避けられない。リフトオフによる画素電極の合理化された製造方法においても凹凸面が必要であることは説明を要しない。

[0195] 本発明は、このように透過型だけでなく反射型や半透過型の液晶表示装置においても有効であり、さらに製造方法は同一であるが、透明導電性の画素電極のパターン形状を変えることによりTN型液晶モードに限らず、横電界で動作するIPS型の液晶モードや垂直配向型の液晶モードに対しても有効である。これによれば、工程削減と視野角改善の2つの課題を同時に克服できる。

[0196] また、本発明では、TN型液晶パネル、IPS型液晶パネル及び垂直配向型液晶パネルと液晶デバイスの差異によらずアクティブマトリクス基板の製造プロセスを同一とすることができるので、機種変更に伴う生産組換準備のロスが無く、量産規模の大きい生産ライン程、本発明のメリットを享受できる。

[0197] 本発明のポイントは、上記の説明からも明らかなように、走査信号線と半導体層を同時に形成し、走査信号線の側面に透明性絶縁層を形成する工程、ソース・ドレイン配線の形成工程、及びパシベーション絶縁層への開口部形成工程、という各工程により、3枚のフォトマスクを用いてアクティブマトリクス基板を作製するという点にある。そのため、製造工程数、とりわけ写真食刻工程の削減が図れることは明確である。この結果、アクティブマトリクス基板の製造コストは著しく低減し、液晶表示装置の低コスト化に大きく

貢献する。また、走査信号線やデータ信号線の配線材質に関しては、透明導電層との積層による電池効果を回避できるものであればよく、低抵抗化のためにAlや銅を採用することも本発明の範疇に属することは明白であり、ゲート絶縁層等の材質や膜厚等が異なった液晶表示装置あるいはその製造方法も当然本発明に含まれる。さらに、本発明は透過型だけでなく反射型や半透過型の液晶表示装置においても有効であり、絶縁ゲート型トランジスタの半導体層も非晶質シリコン層に限定されないことも明らかである。

[0198] また、本発明にかかるアクティブマトリクス基板（表示装置用基板）、液晶表示装置、および、これらの製造方法は、以下のように表現することもできる。

[0199] （１）表示装置用基板は、透明性絶縁基板の一主面上に導電層、絶縁層及び半導体層よりなる積層パターンが形成され、前記積層パターン間に前記絶縁層と同一以上の膜厚を有する透明性絶縁層が形成されている。

[0200] この構成により導電層の側面に絶縁層が形成されて導電層が絶縁化されているので、前記積層パターンと他の導電性パターンを交差させてアクティブマトリクス基板を得ることができる。

[0201] 上記（１）に記載の表示装置用基板を用いた液晶表示装置の具体的な構成は、以下の（２）～（６）で詳細に記載する。まず、透明導電層と信号線用金属層との積層よりなる擬似画素電極を採用して、画素電極形成工程を合理化して得られる液晶表示装置を、以下の（２）および（３）で説明する。

[0202] （２）液晶表示装置は、スイッチング素子である絶縁ゲート型トランジスタがチャネルエッチ型であり、

第１の透明性絶縁基板の一主面上に金属層よりなる走査線（ゲート配線）が形成され、

画像表示部外の走査線の電極端子を除く走査線上にゲート絶縁層と一対のソース・ドレイン領域の膜厚が厚く不純物を含まない第１の半導体層が積層され、前記ソース・ドレイン領域上にはソース・ドレインとなる不純物を含む第２の半導体層が積層され、さらに第２の半導体層上には耐熱金属層が形成

され、そして走査線と信号線との交差領域上にも第2の半導体層と耐熱金属層が積層され、

走査線を除く第1の透明性絶縁基板の一主面上には前記走査線とゲート絶縁層とよりなる積層と同じ以上の膜厚を有する透明性絶縁層が形成され、

何れも透明導電層と1層以上の緩衝金属層との積層よりなり、信号線（ソース配線）が前記ソース領域と前記交差領域の耐熱金属層上及び透明性絶縁層上に形成され、ドレイン配線も兼ねる擬似画素電極が前記ドレイン領域の耐熱金属層上と透明性絶縁層上に形成され、

前記走査線の電極端子上、画像表示部外の信号線の擬似電極端子上及び擬似画素電極上に夫々第1、第2及び第3の開口部を有するパシベーション絶縁層が前記第1の透明性絶縁基板上に形成され、前記第1の開口部内には金属層よりなる走査線の電極端子が露出し、前記第2と第3の開口部内の1層以上の緩衝金属層が除去されて何れも透明導電層よりなる信号線の電極端子及び画素電極が露出しているという構成である。

[0203] 上記（2）の液晶表示装置は、上記の構成により、金属層よりなる走査線の側面は透明性絶縁層で絶縁化され、信号線との多層配線が可能となる。また画素電極がソース・ドレイン配線と同時に形成されるので、アルカリ現像液を用いた現像処理工程とアルカリ剥離液を用いたレジスト剥離処理工程における透明導電層の還元防止のためアルミニウム系を採用するソース・ドレイン配線には緩衝金属層の介在が必要である。ただし、走査線の電極端子と信号線の電極端子との間を導電性の部材で接続することができないので、静電気対策には留意する必要がある。

[0204] （3）液晶表示装置は、上記と同じく、第1の透明性絶縁基板の一主面上に金属層よりなる走査線（ゲート配線）が形成され、画像表示部外の走査線の接続領域を除く走査線上にゲート絶縁層と一对のソース・ドレイン領域の膜厚が厚い不純物を含まない第1の半導体層が積層され、前記ソース・ドレイン領域上にはソース・ドレインとなる不純物を含む

第2の半導体層が積層され、さらに第2の半導体層上には耐熱金属層が形成され、そして走査線と信号線との交差領域上にも第2の半導体層と耐熱金属層が積層され、

走査線を除く第1の透明性絶縁基板の一主面上には前記走査線とゲート絶縁層よりなる積層と同じ以上の膜厚を有する透明性絶縁層が形成され、

何れも透明導電層と1層以上の緩衝金属層との積層よりなり、走査線の擬似電極端子が前記走査線の接続領域を含んで透明性絶縁層上と前記耐熱金属層上に形成され、信号線（ソース配線）が前記ソース領域と前記交差領域の耐熱金属層上及び透明性絶縁層上に形成され、そしてドレイン配線も兼ねる擬似画素電極が前記ドレイン領域の耐熱金属層上と透明性絶縁層上に形成され、

前記走査線の擬似電極端子上、画像表示部外の信号線の擬似電極端子上及び擬似画素電極上に開口部を有するパシベーション絶縁層が前記第1の透明性絶縁基板上に形成され、前記開口部内の1層以上の緩衝金属層が除去されて何れも透明導電層よりなる走査線の電極端子、信号線の電極端子及び画素電極が露出しているという構成である。

[0205] 上記（3）の液晶表示装置は、上記（2）の液晶表示装置と略類似の構成を有している。（2）の液晶表示装置との唯一の差異は、走査線の電極端子の構造であり、これにより、走査線の電極端子と信号線の電極端子との間を透明導電層で接続する従来の静電気対策が適用可能である。

[0206] 次に、リフトオフ技術の導入により、画素電極形成工程を合理化することによって得られる液晶表示装置を以下の（4）から（6）で説明する。

[0207] （4）液晶表示装置は、上記と同じく、
第1の透明性絶縁基板の一主面上に金属層よりなる走査線（ゲート配線）が形成され、
接続領域を除く走査線上にゲート絶縁層と一対のソース・ドレイン領域の膜厚が厚い不純物を含まない第1の半導体層が積層され、前記ソース・ドレイン領域上にはソース・ドレインとなる不純物を含む第2の半導体層が積層さ

れ、そして走査線と信号線との交差領域上にも第2の半導体層が積層され、走査線を除く第1の透明性絶縁基板の一主面上には前記走査線とゲート絶縁層とよりなる積層と同じ以上の膜厚を有する透明性絶縁層が形成され、前記ソース・ドレイン上、透明性絶縁層上及び前記交差領域上に少なくとも1層以上の緩衝金属層よりなるソース・ドレイン配線と、画像表示部外の走査線端部のゲート絶縁層、第1の半導体層及び第2の半導体層よりなる積層上及び透明性絶縁層上に同じく1層以上の緩衝金属層よりなる段差吸収電極が形成され、

画像表示部ではドレイン配線の一部を含む画素電極形成領域と、画像表示部外の信号線（ソース配線）の電極端子形成領域と、前記段差吸収電極を含む走査線の電極端子形成領域に開口部を有するパシベーション絶縁層が前記第1の透明性絶縁基板上に形成され、

前記走査線の電極端子形成領域、前記信号線の電極端子形成領域及び前記ドレイン配線の一部を含んで画素電極形成領域に何れも透明導電層よりなる走査線の電極端子、信号線の電極端子及び画素電極が形成されているという構成である。

[0208] 上記（4）の液晶表示装置は、上記の構成により、金属層よりなる走査線の側面は透明性絶縁層で絶縁化され、信号線との多層配線が可能となる。また、何れも透明導電層よりなる走査線の電極端子、信号線の電極端子及び画素電極は、パシベーション絶縁層への開口部形成に用いた感光性樹脂パターン（レジスト）のリフトオフによりなされるので、これらの電極は開口部内に自己整合的に形成される。そして、アルカリ剥離液を用いたレジスト剥離処理工程における透明導電層の還元防止のため、アルミニウム系を採用するソース・ドレイン配線には緩衝金属層の介在が必要である。また、走査線上に第1の半導体層が存在するのでクロストークの発生には留意が必要である。

[0209] （5）液晶表示装置は、上記と同じく、第1の透明性絶縁基板の一主面上に金属層よりなる走査線（ゲート配線）が

形成され、

走査線上にはゲート絶縁層が形成され、ゲート電極上にはゲート絶縁層と一对のソース・ドレイン領域の膜厚が厚い不純物を含まない第1の半導体層が積層され、前記ソース・ドレイン領域上にはソース・ドレインとなる不純物を含む第2の半導体層が積層され、

走査線を除く第1の透明性絶縁基板の一主面上には前記走査線とゲート絶縁層とよりなる積層と同じ以上の膜厚を有する透明性絶縁層が形成され、

前記ソース・ドレイン上、透明性絶縁層上及び走査線と信号線の交差領域のゲート絶縁層上に少なくとも1層以上の緩衝金属層よりなるソース・ドレイン配線と、画像表示部外の走査線端部のゲート絶縁層、第1の半導体層及び第2の半導体層よりなる積層上及び透明性絶縁層上に同じく1層以上の緩衝金属層よりなる段差吸収電極が形成され、

画像表示部ではドレイン配線の一部を含む画素電極形成領域と、画像表示部外の信号線（ソース配線）の電極端子形成領域と、前記段差吸収電極を含む走査線の電極端子形成領域とに開口部を有するパシベーション絶縁層が前記第1の透明性絶縁基板上に形成され、

前記走査線の電極端子形成領域、前記信号線の電極端子形成領域及び前記ドレイン配線の一部を含んで画素電極形成領域に、何れも透明導電層よりなる走査線の電極端子、信号線の電極端子及び画素電極が形成されているという構成である。

[0210] 上記（5）の液晶表示装置は、上記（4）の液晶表示装置と略類似の構成を有している。ただし、走査線上に第1の半導体層が存在しないのでクロストークの発生は皆無である。

[0211] （6）液晶表示装置は、上記と同じく、第1の透明性絶縁基板の一主面上に金属層よりなる走査線（ゲート配線）が形成され、

走査線上にはゲート絶縁層が形成され、ゲート電極上にはゲート絶縁層と一对のソース・ドレイン領域の膜厚が厚い不純物を含まない第1の半導体層が

積層され、前記ソース・ドレイン領域上にはソース・ドレインとなる不純物を含む第2の半導体層が積層され、
走査線を除く第1の透明性絶縁基板の一主面上には前記走査線とゲート絶縁層とよりなる積層と同じか、またはそれ以上の膜厚を有する透明性絶縁層が形成され、
前記ソース・ドレイン上、透明性絶縁層上及び走査線と信号線の交差領域のゲート絶縁層上に少なくとも1層以上の緩衝金属層よりなるソース・ドレイン配線と、画像表示部外の走査線端部のゲート絶縁層上及び透明性絶縁層上に同じく1層以上の緩衝金属層よりなる段差吸収電極が形成され、
画像表示部ではドレイン配線の一部を含む画素電極形成領域と、画像表示部外の信号線（ソース配線）の電極端子形成領域と、前記段差吸収電極を含む走査線の電極端子形成領域に開口部を有するパシベーション絶縁層が前記第1の透明性絶縁基板上に形成され、
前記走査線の電極端子形成領域、前記信号線の電極端子形成領域及び前記ドレイン配線の一部を含んで画素電極形成領域に何れも透明導電層よりなる走査線の電極端子、信号線の電極端子及び画素電極が形成されている構成である。

[0212] 上記（6）の液晶表示装置は、上記（5）の液晶表示装置と略類似の構成を有している。上記（5）の液晶表示装置との唯一の差異は、走査線の電極端子と蓄積容量部の構造であり、何れも半導体層が介在していない。これにより、蓄積容量を容易に大きくすることができる。

[0213] （7）また、液晶表示装置は、上記（3）の構成において、走査線の一部を含む開口部がパシベーション絶縁層に形成され、前記開口部内にゲート絶縁層及び透明性絶縁層が露出しているもよい。

[0214] 上記（7）の構成により、寄生トランジスタの形成を阻止することができ、優れたON/OFF性能を有する絶縁ゲート型トランジスタが得られる。その結果、クロストークも減少し、表示性能の高い液晶表示装置を実現することができる。

- [0215] (8) また、液晶表示装置は、上記(2)または(3)の構成において、少なくとも液晶が充填される領域のパシベーション絶縁層上に感光性黒色顔料樹脂が形成されていてもよい。
- [0216] 上記(8)の構成により、パシベーション絶縁層への開口部形成に通常の感光性樹脂を使う必要はなくなり、また、カラーフィルタ上にBMを形成する工程が不要となる。さらに、通常、アクティブマトリクス基板の作製にはマスク合わせ精度の高い露光機が使われるので、BMの配置精度も自動的に高くなり、開口率も向上する。この構成は、特許文献4において開示されている。
- [0217] (9) また、液晶表示装置は、上記(3)～(6)の何れかの構成において、走査線と同時に第1の透明性絶縁基板上に形成された対向電極と、前記対向電極とは所定の距離を隔てて形成された画素電極を一对の電極として横方向の電界を制御する構成であってもよい。
- [0218] 上記(9)の構成により、視野角特性の優れたIPS(In-Plane-Switching)方式の液晶表示装置を得ることができる。さらに、画素電極の上に絶縁層が存在しない場合には、表示画像の焼付けを低減することができる。
- [0219] (10) また、液晶表示装置は、上記(3)～(6)の何れかの構成において、走査線と同時に第1の透明性絶縁基板上に形成された共通電極の一部を含んで開口部が形成され、前記開口部内の絶縁層が除去されて共通電極の一部が露出し、前記共通電極の一部を含んで前記透明性絶縁層上に形成された対向電極と、前記対向電極と同時に前記対向電極とは所定の距離を隔てて形成された画素電極を一对の電極として横方向の電界を制御する構成であってもよい。
- [0220] 上記(10)の構成により、視野角特性の優れたIPS方式の液晶表示装置を得ることができる。画素電極と対向電極がともに透明性絶縁層上に存在する場合には、配向処理が容易となりコントラスト比が向上する。さらに、これら表示電極の上に絶縁層が存在しないので表示画像の焼付けが生じない

。

[0221] (11) また、液晶表示装置は、上記(2)または(3)の構成において

、
液晶が電圧無印加時に垂直配向する垂直配向型の液晶であり、

第1の透明性絶縁基板には、前記液晶に電圧を印加した時に液晶が配向する方向を規制する第1の配向制御手段として、透明性絶縁層上に形成された画素電極内で透明導電層が除去されて形成された複数のスリットが設けられており、

第2の透明性絶縁基板上またはカラーフィルタ上には、前記液晶に電圧を印加した時に液晶が配向する方向を規制する第2の配向制御手段が設けられていてもよい。

[0222] 上記(11)の構成により、画素電極のスリット(切れ目)が垂直配向型液晶の配向制御手段として機能して液晶セルが配向分割される。その結果、TN型液晶表示装置よりも視野角の優れたVA(Vertical Align: 垂直配向)方式の液晶表示装置を得ることができる。

[0223] (12) また、液晶表示装置は、上記(6)の構成において、

液晶が電圧無印加時に垂直配向する垂直配向型の液晶であり、

第1の透明性絶縁基板には、前記液晶に電圧を印加した時に液晶が配向する方向を規制する第1の配向制御手段として、透明性絶縁層上に形成された複数の透明導電層よりなる帯状の画素電極間または画素電極内に位置する、パシベーション絶縁層を含む突起が設けられており、

第2の透明性絶縁基板上またはカラーフィルタ上には、前記液晶に電圧を印加した時に液晶が配向する方向を規制する第2の配向制御手段が設けられていてもよい。

[0224] 上記(12)の構成により、帯状の画素電極間または画素電極内に存在するパシベーション絶縁層を含む突起が、垂直配向型液晶の配向制御手段として機能して液晶セルが配向分割される。その結果、TN型液晶表示装置よりも視野角の優れたVA方式の液晶表示装置を得ることができる。配向制御手

段としての突起は、スリットよりも配向制御能力が大きいいため、応答速度をより速くすることができる。

[0225] (13) 表示装置用基板の製造方法であって、透明性絶縁基板の一主面上に感光性樹脂パターンを用いて導電層、絶縁層及び半導体層よりなる積層パターンを選択的に形成する工程と、前記感光性樹脂パターンの表面を弗素系ガスのドライエッチングにより弗素化する工程と、前記絶縁層と同一以上の膜厚を有する塗布型の透明性絶縁樹脂を塗布する工程と、前記弗素化された感光性樹脂パターンを除去する工程を有することを特徴とする。

[0226] この方法により、同一のフォトリソマスクを用いて金属層、ゲート絶縁層及び半導体層よりなる積層パターンを形成しても、金属層の側面に絶縁層が形成されて金属層が絶縁化されるので、前記積層パターンと他の導電性パターンを交差させてアクティブマトリクス基板を得ることができる。

[0227] (14) 上記(2)の液晶表示装置の製造方法

第1の透明性絶縁基板の一主面上に走査線(ゲート配線)用金属層、ゲート絶縁層、不純物を含まない第1の非晶質シリコン層、不純物を含む第2の非晶質シリコン層及び耐熱金属層を順次被着する工程と、

感光性樹脂パターンを用いて前記耐熱金属層、第2の非晶質シリコン層、第1の非晶質シリコン層、ゲート絶縁層及び走査線用金属層を選択的に除去して走査線に対応した多層膜パターンを形成する工程と、

前記感光性樹脂パターンを弗素系ガスのドライエッチングにより弗素化する工程と、

前記第1の透明性絶縁基板の一主面上に塗布型の透明性絶縁樹脂を塗布・加熱して溶剤を蒸発させる工程と、

前記弗素化された感光性樹脂パターンを除去し、透明導電層と少なくとも1層以上の緩衝金属層を含むソース・ドレイン配線用金属層を被着後、前記ソース・ドレイン配線用金属層、透明導電層、耐熱金属層、第2の非晶質シリコン層及び第1の非晶質シリコン層の一部を選択的に除去して擬似画素電極を兼ねるドレイン配線と画像表示部外に擬似電極端子を有する信号線(ソー

ス配線）を形成する工程と、

画像表示部外の走査線の電極端子上、前記擬似画素電極上及び信号線の擬似電極端子上に第１、第２及び第３の開口部を有するパシベーション絶縁層を前記第１の透明性絶縁基板上に形成し、前記第１の開口部内の第１の非晶質シリコン層とゲート絶縁層を除去して走査線の電極端子を露出する工程と、前記第２と第３の開口部内の緩衝金属層を除去して何れも透明導電層よりなる画素電極と信号線の電極端子を露出する工程とからなる。

[0228] 上記（１４）の方法では、走査線と半導体層の形成工程、ソース・ドレイン配線の形成工程、及びパシベーション絶縁層への開口部形成工程、という各工程により、ハーフトーン露光技術を用いることなく、３枚のフォトリソマスクを用いてアクティブマトリクス基板を作製することができる。なお、この製造方法では、パシベーション絶縁層への開口部形成工程において開口部内に露出しているソース・ドレイン配線線用金属を除去することで透明導電性の画素電極を得ている。

[0229] （１５）上記（３）の液晶表示装置の製造方法

第１の透明性絶縁基板の一主面上に走査線（ゲート配線）用金属層、ゲート絶縁層、不純物を含まない第１の非晶質シリコン層、不純物を含む第２の非晶質シリコン層及び耐熱金属層を順次被着する工程と、

走査線と画像表示部外の走査線の接続領域に対応し、走査線に対応した領域の膜厚が接続領域に対応した領域の膜厚よりも厚い感光性樹脂パターンを前記耐熱金属層上に形成する工程と、

前記感光性樹脂パターンをマスクとして前記耐熱金属層、第２の非晶質シリコン層、第１の非晶質シリコン層、ゲート絶縁層及び走査線用金属層を選択的に除去する工程と、

前記感光性樹脂パターンを弗素系ガスのドライエッチングにより弗素化する工程と、

前記第１の透明性絶縁基板の一主面上に塗布型の透明性絶縁樹脂を塗布・加熱して溶剤を蒸発させる工程と、

前記前記感光性樹脂パターンの膜厚を減じて前記接続領域の耐熱金属層を露出する工程と、

前記膜厚を減ぜられた感光性樹脂パターンをマスクとして前記耐熱金属層、第2の非晶質シリコン層、第1の非晶質シリコン層及びゲート絶縁層を選択的に除去して、接続領域である走査線の一部を露出する工程と、

前記膜厚を減ぜられた感光性樹脂パターンを除去し、透明導電層と少なくとも1層以上の緩衝金属層を含むソース・ドレイン配線用金属層を被着後、前記ソース・ドレイン配線用金属層、透明導電層、耐熱金属層、第2の非晶質シリコン層及び第1の非晶質シリコン層の一部を選択的に除去して擬似画素電極を兼ねるドレイン配線と画像表示部外に擬似電極端子を有する信号線（ソース配線）を形成するとともに前記走査線の一部を含んで走査線の擬似電極端子を形成する工程と、

前記擬似画素電極上、走査線の擬似電極端子上及び信号線の擬似電極端子上に開口部を有するパシベーション絶縁層を前記第1の透明性絶縁基板上に形成し、前記開口部内の緩衝金属層を除去して何れも透明導電層よりなる画素電極、走査線の電極端子及び信号線の電極端子を露出する工程とからなる。

[0230] 上記（15）の方法では、ハーフトーン露光技術を用いた走査線及び半導体層の形成工程と走査線へのコンタクト形成工程、ソース・ドレイン配線の形成工程、及びパシベーション絶縁層への開口部形成工程、という各工程により、3枚のフォトマスクを用いてアクティブマトリクス基板を作製することができる。ここでも、透明導電層とソース・ドレイン配線用金属層との積層よりなる擬似画素電極は、パシベーション絶縁層の開口部形成工程でソース・ドレイン配線用金属層を除去されて透明導電性の画素電極となる。

[0231] （16）また、上記（15）の製造方法では、パシベーション絶縁層への開口部形成工程において走査線上にも別の開口部を形成し、前記別の開口部内の第1の非晶質シリコン層を除去して前記別の開口部内にゲート絶縁層と透明性絶縁層を露出する工程が付加されてもよい。

[0232] 上記（15）の方法により、寄生トランジスタの形成を阻止することがで

きる。そのため、優れたON/OFF性能を有する絶縁ゲート型トランジスタが得られ、高い表示性能を有する液晶表示装置を得ることができる。

[0233] (17) また、上記(14)または(15)の製造方法では、パシベーション絶縁層に開口部を形成するにあたり、感光性黒色顔料樹脂を用いてそのままアクティブマトリクス基板の形成工程を終えてもよい。

[0234] 上記(17)の方法により、パシベーション絶縁層への開口部形成に通常の感光性樹脂を使う必要は無くなり、感光性黒色顔料樹脂の剥離工程は不要となる。さらに、カラーフィルタ上にBMを形成する工程が不要となり、製造コストの低減が推進される。

[0235] (18) 上記(4)に記載の液晶表示装置の製造方法

第1の透明性絶縁基板の一主面上に走査線(ゲート配線)用金属層、ゲート絶縁層、不純物を含まない第1の非晶質シリコン層及び不純物を含む第2の非晶質シリコン層を順次被着する工程と、

感光性樹脂パターンを用いて第2の非晶質シリコン層、第1の非晶質シリコン層、ゲート絶縁層及び走査線用金属層を選択的に除去して走査線に対応した多層膜パターンを形成する工程と、

前記感光性樹脂パターンを弗素系ガスのドライエッチングにより弗素化する工程と、

前記第1の透明性絶縁基板の一主面上に塗布型の透明性絶縁樹脂を塗布・加熱して溶剤を蒸発させる工程と、

前記弗素化された感光性樹脂パターンを除去し、少なくとも1層以上の緩衝金属層を含むソース・ドレイン配線用金属層を被着後、前記ソース・ドレイン配線用金属層、第2の非晶質シリコン層及び第1の非晶質シリコン層の一部を選択的に除去してソース・ドレイン配線を形成し、さらに画像表示部外の走査線の端部と透明性絶縁層の境界上に段差吸収電極を形成する工程と、

前記第1の透明性絶縁基板上にパシベーション絶縁層を被着後、画像表示部ではドレイン配線の一部を含む画素電極形成領域に第1の開口部、画像表示部外の領域では前記段差吸収電極を含む走査線の電極端子形成領域に第2の

開口部、そして信号線（ソース配線）の電極端子形成領域に第 3 の開口部を有するとともに、その断面形状が逆テーパ形状の感光性樹脂パターンを前記第 1 の透明性絶縁基板上に形成する工程と、

前記感光性樹脂パターンをマスクとして第 1 と第 3 の開口部内のパシベーション絶縁層及び第 2 の開口部内のパシベーション絶縁層と第 1 の非晶質シリコン層とゲート絶縁層を除去し、第 1 ～第 3 の開口部内に夫々前記ドレイン配線の一部と前記透明性絶縁層、走査線の一部と段差吸収電極、及び信号線の一部を露出する工程と、

前記第 1 の透明性絶縁基板上に透明導電層を被着する工程と、

前記感光性樹脂パターンを除去し、何れも透明導電層よりなる、前記ドレイン配線の一部を含んで画素電極形成領域に画素電極、前記走査線の一部と段差吸収電極を含んで走査線の電極端子形成領域に走査線の電極端子、及び前記信号線の一部を含んで信号線の電極端子形成領域に信号線の電極端子を形成する工程とからなる。

[0236] 上記（18）の方法により、走査線と半導体層の形成工程、ソース・ドレイン配線の形成工程、及びパシベーション絶縁層への開口部形成工程、という各工程により、ハーフトーン露光技術を用いることなく 3 枚のフォトリソマスクを用いてアクティブマトリクス基板を作製することができる。なお、この製造方法では、パシベーション絶縁層への開口部形成工程において用いられる感光性樹脂パターンのリフトオフにより、透明導電性の画素電極を得ている。

[0237] （19）上記（5）に記載の液晶表示装置の製造方法

第 1 の透明性絶縁基板の一主面上に走査線（ゲート配線）用金属層、ゲート絶縁層、不純物を含まない第 1 の非晶質シリコン層及び不純物を含む第 2 の非晶質シリコン層を順次被着する工程と、

感光性樹脂パターンを用いて第 2 の非晶質シリコン層、第 1 の非晶質シリコン層、ゲート絶縁層及び走査線用金属層を選択的に除去して走査線に対応した多層膜パターンを形成する工程と、

前記感光性樹脂パターンを弗素系ガスのドライエッチングにより弗素化する工程と、

前記第 1 の透明性絶縁基板の一主面上に塗布型の透明性絶縁樹脂を塗布・加熱して溶剤を蒸発させる工程と、

前記弗素化された感光性樹脂パターンを除去し、少なくとも 1 層以上の緩衝金属層を含むソース・ドレイン配線用金属層を被着後、ソース・ドレイン配線及び画像表示部外の走査線の端部と透明性絶縁層の境界上の段差吸収電極に対応した領域の膜厚が、ソース・ドレイン配線間のチャンネル領域の膜厚よりも厚い感光性樹脂パターンを形成する工程と、

前記感光性樹脂パターンをマスクとして前記ソース・ドレイン配線用金属層、第 2 の非晶質シリコン層及び第 1 の非晶質シリコン層を選択的に除去する工程と、

前記感光性樹脂パターンの膜厚を減じてソース・ドレイン配線間のソース・ドレイン配線用金属層を露出し、膜厚を減ぜられた感光性樹脂パターンをマスクとして再び前記ソース・ドレイン配線用金属層、第 2 の非晶質シリコン層及び第 1 の非晶質シリコン層の一部を選択的に除去する工程と、

前記第 1 の透明性絶縁基板上にパシベーション絶縁層を被着後、画像表示部ではドレイン配線の一部を含む画素電極形成領域に第 1 の開口部、画像表示部外の領域では前記段差吸収電極を含む走査線の電極端子形成領域に第 2 の開口部、そして信号線（ソース配線）の電極端子形成領域に第 3 の開口部を有するとともに、その断面形状が逆テーパ形状の感光性樹脂パターンを前記第 1 の透明性絶縁基板上に形成する工程と、

前記感光性樹脂パターンをマスクとして第 1 と第 3 の開口部内のパシベーション絶縁層及び第 2 の開口部内のパシベーション絶縁層とゲート絶縁層を除去し、第 1 ～第 3 の開口部内に夫々前記ドレイン配線の一部と前記透明性絶縁層、走査線の一部と段差吸収電極、及び信号線の一部を露出する工程と、

前記第 1 の透明性絶縁基板上に透明導電層を被着する工程と、

前記感光性樹脂パターンを除去し、何れも透明導電層よりなる、前記ドレイ

ン配線の一部を含んで画素電極形成領域に画素電極、前記走査線の一部と段差吸収電極を含んで走査線の電極端子形成領域に走査線の電極端子、及び前記信号線の一部を含んで信号線の電極端子形成領域に信号線の電極端子を形成する工程とからなる。

[0238] 上記（１９）の方法により、走査線と半導体層の形成工程、ハーフトーン露光技術を用いてソース・ドレイン配線の形成工程と半導体層の島化工程、及びパシベーション絶縁層への開口部形成工程、という各工程により、３枚のフォトリソマスクを用いてアクティブマトリクス基板を作製することができる。ここでも、パシベーション絶縁層への開口部形成工程において用いられる感光性樹脂パターンのリフトオフにより、透明導電性の画素電極を得ている。

[0239] （２０）上記（６）に記載の液晶表示装置の製造方法

第１の透明性絶縁基板の一主面上に走査線（ゲート配線）用金属層、ゲート絶縁層、不純物を含まない第１の非晶質シリコン層及び不純物を含む第２の非晶質シリコン層を順次被着する工程と、

走査線に対応し、ゲート電極上の半導体層形成領域の膜厚が他の領域よりも厚い感光性樹脂パターンを前記第２の非晶質シリコン層上に形成する工程と、

前記感光性樹脂パターンをマスクとして前記第２の非晶質シリコン層、第１の非晶質シリコン層、ゲート絶縁層及び走査線用金属層を選択的に除去する工程と、

前記感光性樹脂パターンを弗素系ガスのドライエッチングにより弗素化する工程と、

前記第１の透明性絶縁基板の一主面上に塗布型の透明性絶縁樹脂を塗布・加熱して溶剤を蒸発させる工程と、

前記前記感光性樹脂パターンの膜厚を減じて走査線上の第２の非晶質シリコン層を露出する工程と、

前記膜厚を減ぜられた感光性樹脂パターンをマスクとして前記第２の非晶質

シリコン層と第 1 の非晶質シリコン層を選択的に除去して走査線上のゲート絶縁層を露出する工程と、

少なくとも 1 層以上の緩衝金属層を含むソース・ドレイン配線用金属層を被着後、前記ソース・ドレイン配線用金属層、ソース・ドレイン配線間の第 2 の非晶質シリコン層及び第 1 の非晶質シリコン層の一部を選択的に除去してソース・ドレイン配線を形成し、さらに画像表示部外の走査線の端部と透明性絶縁層との境界上に段差吸収電極を形成する工程と、

前記第 1 の透明性絶縁基板上にパシベーション絶縁層を被着後、画像表示部ではドレイン配線の一部を含む画素電極形成領域に第 1 の開口部、画像表示部外の領域では前記段差吸収電極を含む走査線の電極端子形成領域に第 2 の開口部、そして信号線（ソース配線）の電極端子形成領域に第 3 の開口部を有するとともに、その断面形状が逆テーパ形状の感光性樹脂パターンを前記第 1 の透明性絶縁基板上に形成する工程と、

前記感光性樹脂パターンをマスクとして第 1 と第 3 の開口部内のパシベーション絶縁層及び第 2 の開口部内のパシベーション絶縁層とゲート絶縁層を除去し、第 1 ～第 3 の開口部内に夫々前記ドレイン配線の一部と透明性絶縁層、走査線の一部と段差吸収電極及び信号線の一部を露出する工程と、

前記第 1 の透明性絶縁基板上に透明導電層を被着する工程と、

前記感光性樹脂パターンを除去し、何れも透明導電層よりなる、前記ドレイン配線の一部を含む画素電極形成領域に画素電極、前記走査線の一部と段差吸収電極を含む走査線の電極端子形成領域に走査線の電極端子、及び前記信号線の一部を含む信号線の電極端子形成領域に信号線の電極端子を形成する工程とからなる。

[0240] 上記（20）の方法により、ハーフトーン露光技術を用いた走査線及び半導体層の形成工程と半導体層の島化工程、ソース・ドレイン配線の形成工程、及びパシベーション絶縁層への開口部形成工程、という各工程により、3枚のフォトマスクを用いてアクティブマトリクス基板を作製することができる。ここでも、パシベーション絶縁層への開口部形成工程において用いられ

る感光性樹脂パターンのリフトオフにより、透明導電性の画素電極を得ている。

[0241] 本発明にかかるアクティブマトリクス基板の製造方法は、上記の課題を解決するために、データ信号線と、走査信号線と、上記データ信号線及び上記走査信号線に接続されたトランジスタと、該トランジスタを介して上記データ信号線に接続された画素電極とを備えたアクティブマトリクス基板の製造方法であって、基板上に、上記走査信号線の材料となる金属層、ゲート絶縁層、及び、上記トランジスタの材料となる半導体層よりなる積層構造を形成した後、該積層構造上に第1の感光性樹脂パターンを形成し、該第1の感光性樹脂パターンを用いて、上記積層構造のパターンを選択的に形成するパターン形成工程と、上記第1の感光性樹脂パターンの表面を弗素系ガスのドライエッチングにより弗素化する弗素化工程と、上記基板上に、塗布型の透明性絶縁樹脂を塗布することで、上記積層構造のパターン間を該透明性絶縁樹脂で埋める樹脂塗布工程と、上記弗素化された第1の感光性樹脂パターンを除去する樹脂除去工程と、を含むことを特徴としている。

[0242] 上記の方法では、第1の感光性樹脂パターンを用いて走査信号線用の金属層（第1の金属層）、ゲート絶縁層、及び半導体層よりなる積層構造のパターンを形成し、弗素化された第1の感光性樹脂パターンの撥水性を利用して、積層構造パターン間に選択的に透明性絶縁樹脂を形成し、積層構造パターン間を透明性絶縁樹脂で埋めることで、走査信号線の側面を絶縁化し、走査信号線と半導体層の同時形成（同時パターニング）を行っている。

[0243] このように、上記の方法によれば、走査信号線および半導体層の形成を1枚の感光性樹脂パターン（フォトリソマスク）のみを用いて行うことができる。したがって、半導体層を形成するまでに、少なくとも2枚のフォトリソマスクを必要としていた従来の製造工程と比較して、工程数を削減することができる。

[0244] また、上記の方法では、同一のフォトリソマスク（第1の感光性樹脂パターン）を用いて金属層、ゲート絶縁層及び半導体層よりなる積層構造のパターン

を形成しても、金属層の側面に絶縁層が形成されて金属層を絶縁化することができるため、上記積層構造のパターンと他の導電性パターンとを交差させてアクティブマトリクス基板を得ることができる。

[0245] 本発明のアクティブマトリクス基板の製造方法において、上記アクティブマトリクス基板は、上記トランジスタと上記画素電極とを接続するドレイン配線を有しており、上記パターン形成工程は、上記金属層及び上記ゲート絶縁層を順次被着した後、上記半導体層を構成する不純物を含まない第1の非晶質シリコン層、不純物を含む第2の非晶質シリコン層、及び、耐熱金属層を順次被着する工程と、上記第1の感光性樹脂パターンを用いて上記耐熱金属層、上記第2の非晶質シリコン層、上記第1の非晶質シリコン層、上記ゲート絶縁層、及び上記金属層を選択的に除去して上記走査信号線に対応した上記積層構造のパターンを形成する工程とからなり、上記樹脂除去工程の後に、透明導電層と、少なくとも1層以上の緩衝金属層を含み、上記データ信号線及び上記ドレイン配線の材料となる第2の金属層とを被着した後、上記第2の金属層、上記透明導電層、上記耐熱金属層、上記第2の非晶質シリコン層、及び上記第1の非晶質シリコン層を選択的に除去し、擬似画素電極を兼ねるドレイン配線と、画像表示部外に擬似電極端子を有する上記データ信号線とを形成するソース・ドレイン配線形成工程と、上記擬似画素電極上、上記画像表示部外の上記走査信号線の電極端子上、及び、上記データ信号線の上記擬似電極端子上に、第1、第2及び第3の開口部をそれぞれ有するパシベーション絶縁層を上記基板上に形成し、上記第2の開口部内の上記第1の非晶質シリコン層と上記ゲート絶縁層とを除去して上記走査信号線の電極端子を露出する工程と、上記第1及び第3の開口部内の上記緩衝金属層を除去して何れも上記透明導電層よりなる上記画素電極と上記データ信号線の電極端子をそれぞれ露出する工程と、をさらに含むことが好ましい。

[0246] ここで、上記ドレイン配線は、ドレイン電極と呼ばれることもある。また、上記擬似画素電極とは、後の工程で画素電極となる領域に形成された、透明導電層と第2の金属層との積層からなる仮想的な画素電極を意味し、上記

擬似電極端子とは、後の工程で電極端子となる領域に形成された、透明導電層と第2の金属層との積層からなる仮想的な電極端子を意味する。なお、電極端子とは、基板外部の駆動回路などと接続するために、画像表示領域の外側に設けられた各配線の端子である。

[0247] 上記の方法では、透明導電層と第2の金属層との積層パターンよりなるデータ信号線と擬似画素電極（ドレイン電極）を形成し、パシベーション絶縁層への開口部形成工程において開口部内に露出している上記第2の金属層を除去することで透明導電性の画素電極を得ている。これにより、画素電極形成の写真食刻工程を不要とし、工程数を削減することができる。

[0248] したがって、上記の方法によれば、走査信号線及び半導体層の形成工程、ソース・ドレイン配線形成工程、及びパシベーション絶縁層への開口部形成工程、という各工程においてそれぞれ1つの感光性樹脂パターン（フォトマスク）を使用し、計3枚のフォトマスクを用いてアクティブマトリクス基板を作製することができる。

[0249] 本発明のアクティブマトリクス基板の製造方法において、上記アクティブマトリクス基板は、上記トランジスタと上記画素電極とを接続するドレイン配線を有しており、上記パターン形成工程は、上記金属層及び上記ゲート絶縁層を順次被着した後、上記半導体層を構成する不純物を含まない第1の非晶質シリコン層、不純物を含む第2の非晶質シリコン層、及び、耐熱金属層を順次被着する工程と、上記走査信号線に対応した領域に上記第1の感光性樹脂パターンを形成する工程であって、上記画像表示部外の他の配線との接続領域上の上記第1の感光性樹脂パターンの膜厚が他の領域の膜厚よりも大きくなるように、上記耐熱金属層上に上記第1の感光性樹脂パターンを形成する工程と、上記第1の感光性樹脂パターンを用いて上記耐熱金属層、上記第2の非晶質シリコン層、上記第1の非晶質シリコン層、上記ゲート絶縁層、及び上記金属層を選択的に除去して上記走査信号線に対応した上記積層構造のパターンを形成する工程とからなり、上記樹脂除去工程は、上記第1の感光性樹脂パターンの膜厚を減じて上記接続領域の上記耐熱金属層を露出す

る工程と、膜厚を減ぜられた上記第 1 の感光性樹脂パターンをマスクとして、上記耐熱金属層、上記第 2 の非晶質シリコン層、上記第 1 の非晶質シリコン層、及び、上記ゲート絶縁層を選択的に除去して、上記接続領域において上記走査信号線を露出する工程と、膜厚を減ぜられた上記第 1 の感光性樹脂パターンを除去する工程と、からなり、上記樹脂除去工程の後に、透明導電層と、少なくとも 1 層以上の緩衝金属層を含み、上記データ信号線及び上記ドレイン配線の材料となる第 2 の金属層とを被着した後、上記第 2 の金属層、上記透明導電層、上記耐熱金属層、上記第 2 の非晶質シリコン層、及び上記第 1 の非晶質シリコン層を選択的に除去し、擬似画素電極を兼ねるドレイン配線と、画像表示部外に擬似電極端子を有する上記データ信号線とを形成するとともに、上記接続領域に上記走査信号線の擬似電極端子を形成するソース・ドレイン配線形成工程と、上記擬似画素電極上、上記走査信号線の擬似電極端子上、及び、上記データ信号線の擬似電極端子上に開口部をそれぞれ有するパシベーション絶縁層を、上記基板上に形成し、上記開口部内の上記緩衝金属層を除去して、何れも上記透明導電層よりなる上記画素電極、上記走査信号線の電極端子、及び、上記データ信号線の電極端子を露出する工程と、をさらに含むことが好ましい。

[0250] 上記の方法では、透明導電層と第 2 の金属層との積層パターンよりなるデータ信号線と擬似画素電極（ドレイン電極）を形成し、パシベーション絶縁層への開口部形成工程において開口部内に露出している上記第 2 の金属層を除去することで透明導電性の画素電極を得ている。これにより、画素電極形成の写真食刻工程を不要とし、工程数を削減することができる。

[0251] また、上記の方法では、走査信号線及び半導体層の形成工程において、いわゆるハーフトーン露光技術を用いて、画像表示部外に設けられた走査信号線の電極端子形成領域（他の配線との接続領域）露出させている。これにより、後の工程で、走査信号線の電極端子とデータ信号線の電極端子との間を透明導電層よりなる短絡線などで接続することができる。これにより、静電気対策を実現できる。

[0252] さらに、上記の方法によれば、ハーフトーン露光技術を用いた走査信号線及び半導体層の形成工程（走査信号線へのコンタクト形成工程を含む）、ソース・ドレイン配線の形成工程、及びパシベーション絶縁層への開口部形成工程、という各工程においてそれぞれ1つの感光性樹脂パターン（フォトマスク）を使用し、計3枚のフォトマスクを用いてアクティブマトリクス基板を作製することができる。

[0253] 本発明のアクティブマトリクス基板の製造方法において、上記アクティブマトリクス基板は、上記トランジスタと上記画素電極とを接続するドレイン配線を有しており、上記パターン形成工程は、上記金属層及び上記ゲート絶縁層を順次被着した後、上記半導体層を構成する不純物を含まない第1の非晶質シリコン層、及び不純物を含む第2の非晶質シリコン層を順次被着する工程と、上記第1の感光性樹脂パターンを用いて上記第2の非晶質シリコン層、上記第1の非晶質シリコン層、上記ゲート絶縁層、及び上記金属層を選択的に除去して上記走査信号線に対応した上記積層構造のパターンを形成する工程とからなり、上記樹脂除去工程の後に、少なくとも1層以上の緩衝金属層を含み、上記データ信号線及び上記ドレイン配線の材料となる第2の金属層を被着後、上記第2の金属層、上記第2の非晶質シリコン層、及び、上記第1の非晶質シリコン層を選択的に除去し、上記データ信号線及び上記ドレイン配線を形成するとともに、画像表示部外の上記走査信号線の端部と上記透明性絶縁樹脂との境界上に段差吸収電極を形成するソース・ドレイン配線形成工程と、上記基板上にパシベーション絶縁層を被着後、画像表示部では上記ドレイン配線の一部を含む画素電極形成領域に第1の開口部を有し、画像表示部外の領域では上記段差吸収電極を含む上記走査信号線の電極端子形成領域に第2の開口部を有し、さらに、上記データ信号線の電極端子形成領域に第3の開口部を有するとともに、その端部の断面形状が逆テーパ形状の第3の感光性樹脂パターンを上記基板上に形成する工程と、上記第3の感光性樹脂パターンをマスクとして、上記第1及び第3の開口部内の上記パシベーション絶縁層、並びに、上記第2の開口部内の上記パシベーション絶縁

層、上記第 1 の非晶質シリコン層、及び上記ゲート絶縁層を除去し、上記第 1 の開口部内に上記ドレイン配線の一部及び上記透明性絶縁樹脂を露出し、上記第 2 の開口部内に上記走査信号線の一部、上記段差吸収電極及び上記透明性絶縁樹脂を露出し、上記第 3 の開口部内に、上記データ信号線の一部及び上記透明性絶縁樹脂を露出する工程と、上記基板上に透明導電層を被着する工程と、上記第 3 の感光性樹脂パターンを除去し、上記ドレイン配線の一部を含む画素電極形成領域に画素電極を、上記走査信号線の一部と上記段差吸収電極を含む上記走査信号線の電極端子形成領域に上記走査信号線の電極端子を、さらに、上記データ信号線の一部を含む上記データ信号線の電極端子形成領域に上記データ信号線の電極端子を、何れも上記透明導電層によって形成する工程と、をさらに含むことが好ましい。

[0254] 上記の方法では、パシベーション層へ開口部を形成する工程において、その端部の断面形状が逆テーパ形状の第 3 の感光性樹脂パターンを用いて開口部形成を行い、その後に透明導電層を被着し、上記第 3 の感光性樹脂パターンをリフトオフ材として透明導電層のリフトオフにより画素電極の形成を行っている。これにより、画素電極形成の写真食刻工程を不要とし、工程数を削減することができる。

[0255] したがって、上記の方法によれば、走査信号線及び半導体層の形成工程、ソース・ドレイン配線の形成工程、及びパシベーション絶縁層への開口部形成工程、という各工程においてそれぞれ 1 つの感光性樹脂パターン（フォトマスク）を使用し、計 3 枚のフォトマスクを用いてアクティブマトリクス基板を作製することができる。

[0256] 本発明のアクティブマトリクス基板の製造方法において、上記アクティブマトリクス基板は、上記トランジスタと上記画素電極とを接続するドレイン配線を有しており、上記パターン形成工程は、上記金属層及び上記ゲート絶縁層を順次被着した後、上記半導体層を構成する不純物を含まない第 1 の非晶質シリコン層、及び、不純物を含む第 2 の非晶質シリコン層を順次被着する工程と、上記第 1 の感光性樹脂パターンを用いて上記第 2 の非晶質シリコ

ン層、上記第 1 の非晶質シリコン層、上記ゲート絶縁層、及び上記金属層を選択的に除去して上記走査信号線に対応した上記積層構造のパターンを形成する工程とからなり、上記樹脂除去工程の後に、少なくとも 1 層以上の緩衝金属層を含み、上記データ信号線及び上記ドレイン配線の材料となる第 2 の金属層を被着後、上記データ信号線、上記ドレイン配線、及び、画像表示部外の上記走査信号線の端部と上記透明性絶縁樹脂との境界上の段差吸収電極に対応した領域の膜厚が、上記データ信号線及び上記ドレイン配線間のチャンネル領域に対応した領域の膜厚よりも大きい第 2 の感光性樹脂パターンを形成する工程と、上記第 2 の感光性樹脂パターンをマスクとして、上記第 2 の金属層、上記第 2 の非晶質シリコン層、及び上記第 1 の非晶質シリコン層を選択的に除去する工程と、上記第 2 の感光性樹脂パターンの膜厚を減じて上記チャンネル領域の上記第 2 の金属層を露出し、膜厚を減ぜられた上記第 2 の感光性樹脂パターンをマスクとして、再び上記第 2 の金属層、上記第 2 の非晶質シリコン層、及び上記第 1 の非晶質シリコン層を選択的に除去する工程と、からなるソース・ドレイン配線形成工程と、上記基板上にパシベーション絶縁層を被着後、画像表示部では上記ドレイン配線の一部を含む画素電極形成領域に第 1 の開口部を有し、画像表示部外の領域では上記段差吸収電極を含む上記走査信号線の電極端子形成領域に第 2 の開口部を有し、さらに、上記データ信号線の電極端子形成領域に第 3 の開口部を有するとともに、その端部の断面形状が逆テーパ形状の第 3 の感光性樹脂パターンを上記基板上に形成する工程と、上記第 3 の感光性樹脂パターンをマスクとして、上記第 1 及び第 3 の開口部内の上記パシベーション絶縁層、並びに、上記第 2 の開口部内の上記パシベーション絶縁層、上記第 1 の非晶質シリコン層、及び上記ゲート絶縁層を除去し、上記第 1 の開口部内に、上記ドレイン配線の一部及び上記透明性絶縁樹脂を露出し、上記第 2 の開口部内に、上記走査信号線の一部、上記段差吸収電極及び上記透明性絶縁樹脂を露出し、上記第 3 の開口部内に、上記データ信号線の一部及び上記透明性絶縁樹脂を露出する工程と、上記基板上に透明導電層を被着する工程と、上記第 3 の感光性樹脂パタ

ーンを除去し、上記ドレイン配線の一部を含む画素電極形成領域に画素電極を、上記走査信号線の一部と上記段差吸収電極を含む上記走査信号線の電極端子形成領域に上記走査信号線の電極端子を、さらに、上記データ信号線の一部を含む上記データ信号線の電極端子形成領域に上記データ信号線の電極端子を、何れも上記透明導電層によって形成する工程と、をさらに含むことが好ましい。

[0257] 上記の方法では、パシベーション層へ開口部を形成する工程において、その端部の断面形状が逆テーパ形状の第3の感光性樹脂パターンを用いて開口部形成を行い、その後に透明導電層を被着し、上記第3の感光性樹脂パターンをリフトオフ材として透明導電層のリフトオフにより画素電極の形成を行っている。これにより、画素電極形成の写真食刻工程を不要とし、工程数を削減することができる。

[0258] したがって、上記の方法によれば、走査信号線及び半導体層の形成工程、ソース・ドレイン配線の形成工程（半導体の島化工程を含む）、及びパシベーション絶縁層への開口部形成工程、という各工程においてそれぞれ1つの感光性樹脂パターン（フォトマスク）を使用し、計3枚のフォトマスクを用いてアクティブマトリクス基板を作製することができる。

[0259] また、上記の方法では、走査信号線上のトランジスタのチャネル領域において第1の非晶質シリコン層を除去しているため、データ信号線間のクロストークを抑えることができる。

[0260] 本発明のアクティブマトリクス基板の製造方法において、上記アクティブマトリクス基板は、上記トランジスタと上記画素電極とを接続するドレイン配線を有しており、上記パターン形成工程は、上記金属層及び上記ゲート絶縁層を順次被着した後、上記半導体層を構成する不純物を含まない第1の非晶質シリコン層、及び、不純物を含む第2の非晶質シリコン層を順次被着する工程と、上記走査信号線に対応した領域に上記第1の感光性樹脂パターンを形成する工程であって、上記トランジスタを構成するゲート電極上の半導体層形成領域上の上記第1の感光性樹脂パターンの膜厚が他の領域の膜厚よ

りも大きくなるように、上記第2の非晶質シリコン層上に上記第1の感光性樹脂パターンを形成する工程と、上記第1の感光性樹脂パターンをマスクとして、上記第2の非晶質シリコン層、上記第1の非晶質シリコン層、上記ゲート絶縁層、及び上記金属層を選択的に除去して上記走査信号線に対応した上記積層構造のパターンを形成する工程とからなり、上記樹脂除去工程は、上記第1の感光性樹脂パターンの膜厚を減じて上記走査信号線上の上記第2の非晶質シリコン層を露出する工程と、膜厚を減ぜられた上記第1の感光性樹脂パターンをマスクとして、上記第2の非晶質シリコン層、及び、上記第1の非晶質シリコン層選択的に除去して、上記走査信号線上の上記ゲート絶縁層を露出する工程と、膜厚を減ぜられた上記第1の感光性樹脂パターンを除去する工程と、からなり、上記樹脂除去工程の後に、少なくとも1層以上の緩衝金属層を含み、上記データ信号線及び上記ドレイン配線の材料となる第2の金属層を被着後、上記第2の金属層、上記第2の非晶質シリコン層、及び、上記第1の非晶質シリコン層を選択的に除去し、上記データ信号線及び上記ドレイン配線を形成するとともに、画像表示部外の上記走査信号線の端部と上記透明性絶縁樹脂との境界上に段差吸収電極を形成するソース・ドレイン配線形成工程と、上記基板上にパシベーション絶縁層を被着後、画像表示部では上記ドレイン配線の一部を含む画素電極形成領域に第1の開口部を有し、画像表示部外の領域では上記段差吸収電極を含む上記走査信号線の電極端子形成領域に第2の開口部を有し、さらに、上記データ信号線の電極端子形成領域に第3の開口部を有するとともに、その端部の断面形状が逆テーパ形状の第3の感光性樹脂パターンを上記基板上に形成する工程と、上記第3の感光性樹脂パターンをマスクとして、上記第1及び第3の開口部内の上記パシベーション絶縁層、並びに、上記第2の開口部内の上記パシベーション絶縁層、上記第1の非晶質シリコン層、及び上記ゲート絶縁層を除去し、上記第1の開口部内に、上記ドレイン配線の一部及び上記透明性絶縁樹脂を露出し、上記第2の開口部内に、上記走査信号線の一部、上記段差吸収電極及び上記透明性絶縁樹脂を露出し、上記第3の開口部内に、上記データ信

号線の一部及び上記透明性絶縁樹脂を露出する工程と、上記基板上に透明導電層を被着する工程と、上記第3の感光性樹脂パターンを除去し、上記ドレイン配線の一部を含む画素電極形成領域に画素電極を、上記走査信号線の一部と上記段差吸収電極を含む上記走査信号線の電極端子形成領域に上記走査信号線の電極端子を、さらに、上記データ信号線の一部を含む上記データ信号線の電極端子形成領域に上記データ信号線の電極端子を、何れも上記透明導電層によって形成する工程と、をさらに含むことが好ましい。

[0261] 上記の方法では、パシベーション層へ開口部を形成する工程において、その端部の断面形状が逆テーパ形状の第3の感光性樹脂パターンを用いて開口部形成を行い、その後に透明導電層を被着し、上記第3の感光性樹脂パターンをリフトオフ材として透明導電層のリフトオフにより画素電極の形成を行っている。これにより、画素電極形成の写真食刻工程を不要とし、工程数を削減することができる。

[0262] したがって、上記の方法によれば、ハーフトーン露光技術を用いた走査線と半導体層の形成工程（半導体層の島化工程）を含む、ソース・ドレイン配線の形成工程、及びパシベーション絶縁層への開口部形成工程、という各工程においてそれぞれ1つの感光性樹脂パターン（フォトマスク）を使用し、計3枚のフォトマスクを用いてアクティブマトリクス基板を作製することができる。

[0263] また、上記の方法では、膜厚を減ぜられた上記第1の感光性樹脂パターンをマスクとして、上記第2の非晶質シリコン層、及び、上記第1の非晶質シリコン層選択的に除去して、上記走査信号線上の上記ゲート絶縁層を露出する工程（半導体の島化工程）を含むことにより、走査信号線上においてゲート絶縁層が露出した領域にその後に形成される走査信号線の電極端子および蓄積容量に、半導体層が介在しない構成とすることができる。これにより、蓄積容量を容易に大きくすることができる。

[0264] 本発明のアクティブマトリクス基板の製造方法は、上記基板上に形成される上記パシベーション絶縁層に各開口部を形成する工程において、上記走査

信号線上に第4の開口部を形成し、該第4の開口部内の上記第1の非晶質シリコン層を除去して、上記第4の開口部内に上記ゲート絶縁層及び上記透明性絶縁樹脂を露出する工程をさらに含むことが好ましい。

[0265] 上記の方法によれば、寄生トランジスタの形成を阻止することができる。そのため、優れたON/OFF性能を有する絶縁ゲート型トランジスタを有するアクティブマトリクス基板が得られるため、該アクティブマトリクス基板を用いて高い表示性能を有する液晶表示装置を得ることができる。

[0266] 本発明のアクティブマトリクス基板の製造方法において、上記基板上に形成される上記パシベーション絶縁層に各開口部を形成する工程では、感光性黒色顔料樹脂からなる第3の感光性樹脂パターンを用いて上記開口部を形成し、上記開口部を形成後、上記第3の感光性樹脂パターンを除去せずに残すことが好ましい。

[0267] 上記の方法によれば、パシベーション絶縁層への開口部形成工程において、感光性黒色顔料樹脂を第3の感光性樹脂パターンとして使用することで、当該感光性黒色顔料樹脂をBM（ブラックマトリクス）として機能させることができる。これにより、第3の感光性樹脂パターンの剥離工程は不要となるとともに、カラーフィルタ基板上にBMを形成する工程が不要となり、製造コストの低減がより推進される。

[0268] 本発明のアクティブマトリクス基板の製造方法は、上記樹脂塗布工程において、上記積層構造のパターン間を埋める上記透明性絶縁樹脂の膜厚が、上記金属層と上記ゲート絶縁層との積層の厚さ以上となるように、上記透明性絶縁樹脂を形成することが好ましい。

[0269] 上記の方法によれば、金属層の側端面が透明性絶縁樹脂によって確実に絶縁化されるため、積層構造のパターンと他の導電性パターンを交差させてアクティブマトリクス基板を得ることができる。

[0270] 本発明のアクティブマトリクス基板の製造方法は、上記樹脂塗布工程において、上記積層構造のパターン間を埋める上記透明性絶縁樹脂の膜厚が、上記金属層、上記ゲート絶縁層、及び、上記半導体層よりなる積層構造の膜厚

以上となるように、上記透明性絶縁樹脂を形成することが好ましい。

[0271] 上記の方法によれば、金属層の側端面が透明性絶縁樹脂によってより確実に絶縁化されるため、積層構造のパターンと他の導電性パターンを交差させてアクティブマトリクス基板を得ることができる。

[0272] また、本発明にかかる液晶表示装置の製造方法は、上記の何れかのアクティブマトリクス基板の製造方法によってアクティブマトリクス基板を作製し、上記アクティブマトリクス基板と対向基板との間に液晶を充填することを特徴としている。

[0273] 本発明の液晶表示装置の製造方法において、上記液晶表示装置は、TN方式の液晶表示装置であってもよい。

[0274] 本発明の液晶表示装置の製造方法において、上記液晶表示装置は、IPS方式の液晶表示装置であってもよい。

[0275] 上記の方法によれば、視野角特性の優れたIPS (In-Plane-Switching) 方式の液晶表示装置を得ることができる。さらに、画素電極の上に絶縁層が存在しない場合には、液晶表示装置の表示画像の焼付けを低減することができる。

[0276] 本発明の液晶表示装置の製造方法において、上記液晶表示装置は、垂直配向型の液晶表示装置であってもよい。

[0277] 上記の方法によれば、TN型液晶表示装置よりも視野角の優れたVA (Vertical-Align: 垂直配向) 方式の液晶表示装置を得ることができる。

[0278] 本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能である。すなわち、請求項に示した範囲で適宜変更した技術的手段を組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。

産業上の利用可能性

[0279] 本発明の製造方法で得られるアクティブマトリクス基板及び液晶表示装置は、液晶ディスプレイを用いる製品に用いることができ、特にテレビ、携帯

電話、車載インパネなどの液晶ディスプレイに好適に利用することができる。

符号の説明

- [0280]
- 1 液晶パネル
 - 2 ガラス基板（基板）
 - 3 半導体集積回路チップ
 - 4 TCPフィルム
 - 5 走査信号線（ゲート配線、走査線）の一部または電極端子（接続領域）
 - 5 A （走査信号線の）電極端子
 - 6 データ信号線（ソース配線、信号線）の一部または電極端子（接続領域）
 - 6 A （データ信号線の）電極端子
 - 9 カラーフィルタ基板（対向基板、第2の透明性絶縁基板）
 - 10 トランジスタ（絶縁ゲート型トランジスタ）
 - 11 走査信号線（ゲート配線、走査線、ゲート電極）
 - 11 A ゲート電極
 - 12 データ信号線（信号線、ソース配線、ソース電極）
 - 14 対向電極（共通電極）
 - 15 蓄積容量（補助容量）
 - 16 蓄積容量線
 - 17 液晶
 - 21 ドレイン電極（ドレイン配線、ドレイン電極）
 - 22 画素電極（擬似画素電極）
 - 30 ゲート絶縁層（第1のシリコン窒化層）
 - 31 第1の非晶質シリコン層（半導体層）
 - 33 第2の非晶質シリコン層（半導体層）
 - 34 耐熱金属層（Ti薄膜層）

- 3 5 低抵抗金属層（第 2 の金属層）
- 3 6 緩衝導電層
- 3 7 パシベーション絶縁層
- 3 8 （画素電極上の）開口部（第 1 の開口部）
- 4 0 突起
- 4 1 突起
- 4 2 スリット（隙間）
- 4 4 静電気対策線（短絡線）
- 4 5 コントロール回路
- 4 5 c 蓄積容量線駆動回路
- 4 5 g 走査信号線駆動回路
- 4 5 s データ信号線駆動回路
- 5 0 蓄積容量形成領域
- 6 0 透明性絶縁樹脂（透明性絶縁層）
- 6 2 （ドレイン電極上の）開口部
- 6 3 （走査信号線の一部上の）開口部（第 2 の開口部）
- 6 4 （データ信号線の一部上の）開口部（第 3 の開口部）
- 6 5 （蓄積容量線または共通電極線上の）開口部
- 7 0 液晶パネル
- 7 1 アクティブマトリクス基板（第 1 の透明性絶縁基板）
- 7 5 開口部（第 4 の開口部）
- 8 0 A 感光性樹脂パターン（第 2 の感光性樹脂パターン）
- 8 0 B 感光性樹脂パターン（第 2 の感光性樹脂パターン）
- 8 3 A 感光性樹脂パターン（第 1 の感光性樹脂パターン）
- 8 3 B 感光性樹脂パターン（第 1 の感光性樹脂パターン）
- 8 4 A 感光性樹脂パターン（第 1 の感光性樹脂パターン）
- 8 4 B 感光性樹脂パターン（第 1 の感光性樹脂パターン）
- 8 8 感光性樹脂パターン（第 3 の感光性樹脂パターン）

- 9 0 感光性黒色顔料樹脂
- 9 1 透明導電層
- 1 0 0 液晶表示装置
- P 2 2 擬似画素電極（画素電極）
- P 5 擬似電極端子
- P 6 擬似電極端子
- P R 感光性樹脂パターン（第 1 の感光性樹脂パターン）
- P R 1 表面が弗素化された感光性樹脂パターン

請求の範囲

[請求項1]

データ信号線と、走査信号線と、上記データ信号線及び上記走査信号線に接続されたトランジスタと、該トランジスタを介して上記データ信号線に接続された画素電極とを備えたアクティブマトリクス基板の製造方法であって、

基板上に、上記走査信号線の方法となる金属層、ゲート絶縁層、及び、上記トランジスタの方法となる半導体層よりなる積層構造を形成した後、該積層構造上に第1の感光性樹脂パターンを形成し、該第1の感光性樹脂パターンを用いて、上記積層構造のパターンを選択的に形成するパターン形成工程と、

上記第1の感光性樹脂パターンの表面を弗素系ガスのドライエッチングにより弗素化する弗素化工程と、

上記基板上に、塗布型の透明性絶縁樹脂を塗布することで、上記積層構造のパターン間を該透明性絶縁樹脂で埋める樹脂塗布工程と、

上記弗素化された第1の感光性樹脂パターンを除去する樹脂除去工程と、

を含むことを特徴とするアクティブマトリクス基板の製造方法。

[請求項2]

上記アクティブマトリクス基板は、上記トランジスタと上記画素電極とを接続するドレイン配線を有しており、

上記パターン形成工程は、上記金属層及び上記ゲート絶縁層を順次被着した後、上記半導体層を構成する不純物を含まない第1の非晶質シリコン層、不純物を含む第2の非晶質シリコン層、及び、耐熱金属層を順次被着する工程と、上記第1の感光性樹脂パターンを用いて上記耐熱金属層、上記第2の非晶質シリコン層、上記第1の非晶質シリコン層、上記ゲート絶縁層、及び上記金属層を選択的に除去して上記走査信号線に対応した上記積層構造のパターンを形成する工程とからなり、

上記樹脂除去工程の後に、

透明導電層と、少なくとも1層以上の緩衝金属層を含み、上記データ信号線及び上記ドレイン配線の材料となる第2の金属層とを被着した後、上記第2の金属層、上記透明導電層、上記耐熱金属層、上記第2の非晶質シリコン層、及び上記第1の非晶質シリコン層を選択的に除去し、擬似画素電極を兼ねるドレイン配線と、画像表示部外に擬似電極端子を有する上記データ信号線とを形成するソース・ドレイン配線形成工程と、

上記擬似画素電極上、上記画像表示部外の上記走査信号線の電極端子上、及び、上記データ信号線の上記擬似電極端子上に、第1、第2及び第3の開口部をそれぞれ有するパシベーション絶縁層を上記基板上に形成し、上記第2の開口部内の上記第1の非晶質シリコン層と上記ゲート絶縁層とを除去して上記走査信号線の電極端子を露出する工程と、

上記第1及び第3の開口部内の上記緩衝金属層を除去して何れも上記透明導電層よりなる上記画素電極と上記データ信号線の電極端子をそれぞれ露出する工程と、

をさらに含むことを特徴とする請求項1に記載の製造方法。

[請求項3]

上記アクティブマトリクス基板は、上記トランジスタと上記画素電極とを接続するドレイン配線を有しており、

上記パターン形成工程は、

上記金属層及び上記ゲート絶縁層を順次被着した後、上記半導体層を構成する不純物を含まない第1の非晶質シリコン層、不純物を含む第2の非晶質シリコン層、及び、耐熱金属層を順次被着する工程と、

上記走査信号線に対応した領域に上記第1の感光性樹脂パターンを形成する工程であって、上記画像表示部外への他の配線との接続領域上の上記第1の感光性樹脂パターンの膜厚が他の領域の膜厚よりも大きくなるように、上記耐熱金属層上に上記第1の感光性樹脂パターンを形成する工程と、

上記第 1 の感光性樹脂パターンを用いて上記耐熱金属層、上記第 2 の非晶質シリコン層、上記第 1 の非晶質シリコン層、上記ゲート絶縁層、及び上記金属層を選択的に除去して上記走査信号線に対応した上記積層構造のパターンを形成する工程と、からなり、

上記樹脂除去工程は、

上記第 1 の感光性樹脂パターンの膜厚を減じて上記接続領域の上記耐熱金属層を露出する工程と、

膜厚を減ぜられた上記第 1 の感光性樹脂パターンをマスクとして、上記耐熱金属層、上記第 2 の非晶質シリコン層、上記第 1 の非晶質シリコン層、及び、上記ゲート絶縁層を選択的に除去して、上記接続領域において上記走査信号線を露出する工程と、

膜厚を減ぜられた上記第 1 の感光性樹脂パターンを除去する工程と、からなり、

上記樹脂除去工程の後に、

透明導電層と、少なくとも 1 層以上の緩衝金属層を含み、上記データ信号線及び上記ドレイン配線の材料となる第 2 の金属層とを被着した後、上記第 2 の金属層、上記透明導電層、上記耐熱金属層、上記第 2 の非晶質シリコン層、及び上記第 1 の非晶質シリコン層を選択的に除去し、擬似画素電極を兼ねるドレイン配線と、画像表示部外に擬似電極端子を有する上記データ信号線とを形成するとともに、上記接続領域に上記走査信号線の擬似電極端子を形成するソース・ドレイン配線形成工程と、

上記擬似画素電極上、上記走査信号線の擬似電極端子上、及び、上記データ信号線の擬似電極端子上に開口部をそれぞれ有するパシベーション絶縁層を、上記基板上に形成し、上記開口部内の上記緩衝金属層を除去して、何れも上記透明導電層よりなる上記画素電極、上記走査信号線の電極端子、及び、上記データ信号線の電極端子を露出する工程と

をさらに含むことを特徴とする請求項 1 に記載の製造方法。

[請求項4]

上記アクティブマトリクス基板は、上記トランジスタと上記画素電極とを接続するドレイン配線を有しており、

上記パターン形成工程は、上記金属層及び上記ゲート絶縁層を順次被着した後、上記半導体層を構成する不純物を含まない第 1 の非晶質シリコン層、及び不純物を含む第 2 の非晶質シリコン層を順次被着する工程と、上記第 1 の感光性樹脂パターンを用いて上記第 2 の非晶質シリコン層、上記第 1 の非晶質シリコン層、上記ゲート絶縁層、及び上記金属層を選択的に除去して上記走査信号線に対応した上記積層構造のパターンを形成する工程とからなり、

上記樹脂除去工程の後に、

少なくとも 1 層以上の緩衝金属層を含み、上記データ信号線及び上記ドレイン配線の材料となる第 2 の金属層を被着後、上記第 2 の金属層、上記第 2 の非晶質シリコン層、及び、上記第 1 の非晶質シリコン層を選択的に除去し、上記データ信号線及び上記ドレイン配線を形成するとともに、画像表示部外の上記走査信号線の端部と上記透明性絶縁樹脂との境界上に段差吸収電極を形成するソース・ドレイン配線形成工程と、

上記基板上にパシベーション絶縁層を被着後、画像表示部では上記ドレイン配線の一部を含む画素電極形成領域に第 1 の開口部を有し、画像表示部外の領域では上記段差吸収電極を含む上記走査信号線の電極端子形成領域に第 2 の開口部を有し、さらに、上記データ信号線の電極端子形成領域に第 3 の開口部を有するとともに、その端部の断面形状が逆テーパ形状の第 3 の感光性樹脂パターンを上記基板上に形成する工程と、

上記第 3 の感光性樹脂パターンをマスクとして、上記第 1 及び第 3 の開口部内の上記パシベーション絶縁層、並びに、上記第 2 の開口部内の上記パシベーション絶縁層、上記第 1 の非晶質シリコン層、及び

上記ゲート絶縁層を除去し、上記第 1 の開口部内に上記ドレイン配線の一部及び上記透明性絶縁樹脂を露出し、上記第 2 の開口部内に上記走査信号線の一部、上記段差吸収電極及び上記透明性絶縁樹脂を露出し、上記第 3 の開口部内に、上記データ信号線の一部及び上記透明性絶縁樹脂を露出する工程と、

上記基板上に透明導電層を被着する工程と、

上記第 3 の感光性樹脂パターンを除去し、上記ドレイン配線の一部を含む画素電極形成領域に画素電極を、上記走査信号線の一部と上記段差吸収電極を含む上記走査信号線の電極端子形成領域に上記走査信号線の電極端子を、さらに、上記データ信号線の一部を含む上記データ信号線の電極端子形成領域に上記データ信号線の電極端子を、何れも上記透明導電層によって形成する工程と、

をさらに含むことを特徴とする請求項 1 に記載の製造方法。

[請求項5]

上記アクティブマトリクス基板は、上記トランジスタと上記画素電極とを接続するドレイン配線を有しており、

上記パターン形成工程は、上記金属層及び上記ゲート絶縁層を順次被着した後、上記半導体層を構成する不純物を含まない第 1 の非晶質シリコン層、及び、不純物を含む第 2 の非晶質シリコン層を順次被着する工程と、上記第 1 の感光性樹脂パターンを用いて上記第 2 の非晶質シリコン層、上記第 1 の非晶質シリコン層、上記ゲート絶縁層、及び上記金属層を選択的に除去して上記走査信号線に対応した上記積層構造のパターンを形成する工程とからなり、

上記樹脂除去工程の後に、

少なくとも 1 層以上の緩衝金属層を含み、上記データ信号線及び上記ドレイン配線の材料となる第 2 の金属層を被着後、上記データ信号線、上記ドレイン配線、及び、画像表示部外の上記走査信号線の端部と上記透明性絶縁樹脂との境界上の段差吸収電極に対応した領域の膜厚が、上記データ信号線及び上記ドレイン配線間のチャネル領域に対

応した領域の膜厚よりも大きい第2の感光性樹脂パターンを形成する工程と、

上記第2の感光性樹脂パターンをマスクとして、上記第2の金属層、上記第2の非晶質シリコン層、及び上記第1の非晶質シリコン層を選択的に除去する工程と、

上記第2の感光性樹脂パターンの膜厚を減じて上記チャネル領域の上記第2の金属層を露出し、膜厚を減ぜられた上記第2の感光性樹脂パターンをマスクとして、再び上記第2の金属層、上記第2の非晶質シリコン層、及び上記第1の非晶質シリコン層を選択的に除去する工程と、からなるソース・ドレイン配線形成工程と、

上記基板上にパシベーション絶縁層を被着後、画像表示部では上記ドレイン配線の一部を含む画素電極形成領域に第1の開口部を有し、画像表示部外の領域では上記段差吸収電極を含む上記走査信号線の電極端子形成領域に第2の開口部を有し、さらに、上記データ信号線の電極端子形成領域に第3の開口部を有するとともに、その端部の断面形状が逆テーパ形状の第3の感光性樹脂パターンを上記基板上に形成する工程と、

上記第3の感光性樹脂パターンをマスクとして、上記第1及び第3の開口部内の上記パシベーション絶縁層、並びに、上記第2の開口部内の上記パシベーション絶縁層、上記第1の非晶質シリコン層、及び上記ゲート絶縁層を除去し、上記第1の開口部内に、上記ドレイン配線の一部及び上記透明性絶縁樹脂を露出し、上記第2の開口部内に、上記走査信号線の一部、上記段差吸収電極及び上記透明性絶縁樹脂を露出し、上記第3の開口部内に、上記データ信号線の一部及び上記透明性絶縁樹脂を露出する工程と、

上記基板上に透明導電層を被着する工程と、

上記第3の感光性樹脂パターンを除去し、上記ドレイン配線の一部を含む画素電極形成領域に画素電極を、上記走査信号線の一部と上記

段差吸収電極を含む上記走査信号線の電極端子形成領域に上記走査信号線の電極端子を、さらに、上記データ信号線の一部を含む上記データ信号線の電極端子形成領域に上記データ信号線の電極端子を、何れも上記透明導電層によって形成する工程と、

をさらに含むことを特徴とする請求項 1 に記載の製造方法。

[請求項 6]

上記アクティブマトリクス基板は、上記トランジスタと上記画素電極とを接続するドレイン配線を有しており、

上記パターン形成工程は、

上記金属層及び上記ゲート絶縁層を順次被着した後、上記半導体層を構成する不純物を含まない第 1 の非晶質シリコン層、及び、不純物を含む第 2 の非晶質シリコン層を順次被着する工程と、

上記走査信号線に対応した領域に上記第 1 の感光性樹脂パターンを形成する工程であって、上記トランジスタを構成するゲート電極上の半導体層形成領域上の上記第 1 の感光性樹脂パターンの膜厚が他の領域の膜厚よりも大きくなるように、上記第 2 の非晶質シリコン層上に上記第 1 の感光性樹脂パターンを形成する工程と、

上記第 1 の感光性樹脂パターンをマスクとして、上記第 2 の非晶質シリコン層、上記第 1 の非晶質シリコン層、上記ゲート絶縁層、及び上記金属層を選択的に除去して上記走査信号線に対応した上記積層構造のパターンを形成する工程と、からなり、

上記樹脂除去工程は、

上記第 1 の感光性樹脂パターンの膜厚を減じて上記走査信号線上の上記第 2 の非晶質シリコン層を露出する工程と、

膜厚を減ぜられた上記第 1 の感光性樹脂パターンをマスクとして、上記第 2 の非晶質シリコン層、及び、上記第 1 の非晶質シリコン層選択的に除去して、上記走査信号線上の上記ゲート絶縁層を露出する工程と、

膜厚を減ぜられた上記第 1 の感光性樹脂パターンを除去する工程と

、からなり、

上記樹脂除去工程の後に、

少なくとも1層以上の緩衝金属層を含み、上記データ信号線及び上記ドレイン配線の材料となる第2の金属層を被着後、上記第2の金属層、上記第2の非晶質シリコン層、及び、上記第1の非晶質シリコン層を選択的に除去し、上記データ信号線及び上記ドレイン配線を形成するとともに、画像表示部外の上記走査信号線の端部と上記透明性絶縁樹脂との境界上に段差吸収電極を形成するソース・ドレイン配線形成工程と、

上記基板上にパシベーション絶縁層を被着後、画像表示部では上記ドレイン配線の一部を含む画素電極形成領域に第1の開口部を有し、画像表示部外の領域では上記段差吸収電極を含む上記走査信号線の電極端子形成領域に第2の開口部を有し、さらに、上記データ信号線の電極端子形成領域に第3の開口部を有するとともに、その端部の断面形状が逆テーパ形状の第3の感光性樹脂パターンを上記基板上に形成する工程と、

上記第3の感光性樹脂パターンをマスクとして、上記第1及び第3の開口部内の上記パシベーション絶縁層、並びに、上記第2の開口部内の上記パシベーション絶縁層、上記第1の非晶質シリコン層、及び上記ゲート絶縁層を除去し、上記第1の開口部内に、上記ドレイン配線の一部及び上記透明性絶縁樹脂を露出し、上記第2の開口部内に、上記走査信号線の一部、上記段差吸収電極及び上記透明性絶縁樹脂を露出し、上記第3の開口部内に、上記データ信号線の一部及び上記透明性絶縁樹脂を露出する工程と、

上記基板上に透明導電層を被着する工程と、

上記第3の感光性樹脂パターンを除去し、上記ドレイン配線の一部を含む画素電極形成領域に画素電極を、上記走査信号線の一部と上記段差吸収電極を含む上記走査信号線の電極端子形成領域に上記走査信

号線の電極端子を、さらに、上記データ信号線の一部を含む上記データ信号線の電極端子形成領域に上記データ信号線の電極端子を、何れも上記透明導電層によって形成する工程と、

をさらに含むことを特徴とする請求項 1 に記載の製造方法。

[請求項7] 上記基板上に形成される上記パシベーション絶縁層に各開口部を形成する工程において、上記走査信号線上に第 4 の開口部を形成し、該第 4 の開口部内の上記第 1 の非晶質シリコン層を除去して、上記第 4 の開口部内に上記ゲート絶縁層及び上記透明性絶縁樹脂を露出する工程をさらに含むことを特徴とする請求項 3 に記載の製造方法。

[請求項8] 上記基板上に形成される上記パシベーション絶縁層に各開口部を形成する工程では、感光性黒色顔料樹脂からなる第 3 の感光性樹脂パターンを用いて上記開口部を形成し、上記開口部を形成後、上記第 3 の感光性樹脂パターンを除去せずに残すことを特徴とする請求項 2 または 3 に記載の製造方法。

[請求項9] 上記樹脂塗布工程において、上記積層構造のパターン間を埋める上記透明性絶縁樹脂の膜厚が、上記金属層と上記ゲート絶縁層との積層の厚さ以上となるように、上記透明性絶縁樹脂を形成することを特徴とする請求項 1 に記載の製造方法。

[請求項10] 上記樹脂塗布工程において、上記積層構造のパターン間を埋める上記透明性絶縁樹脂の膜厚が、上記金属層、上記ゲート絶縁層、及び、上記半導体層よりなる積層構造の膜厚以上となるように、上記透明性絶縁樹脂を形成することを特徴とする請求項 1 に記載の製造方法。

[請求項11] 請求項 1 ～ 10 の何れか 1 項に記載のアクティブマトリクス基板の製造方法によってアクティブマトリクス基板を作製し、

上記アクティブマトリクス基板と対向基板との間に液晶を充填することを特徴とする液晶表示装置の製造方法。

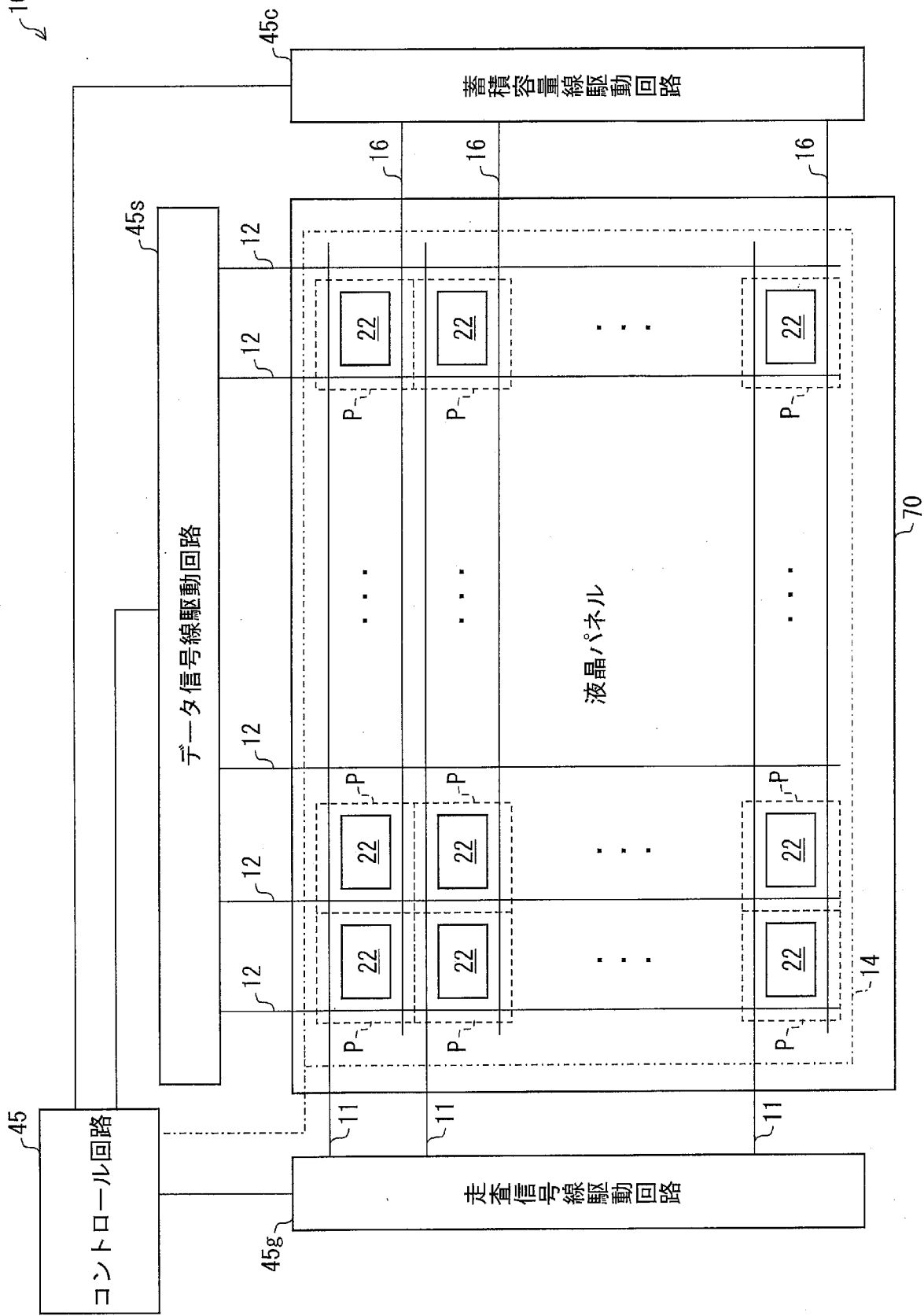
[請求項12] 上記液晶表示装置は、TN方式の液晶表示装置である請求項 11 に記載の液晶表示装置の製造方法。

[請求項13] 上記液晶表示装置は、IPS方式の液晶表示装置である請求項11に記載の液晶表示装置の製造方法。

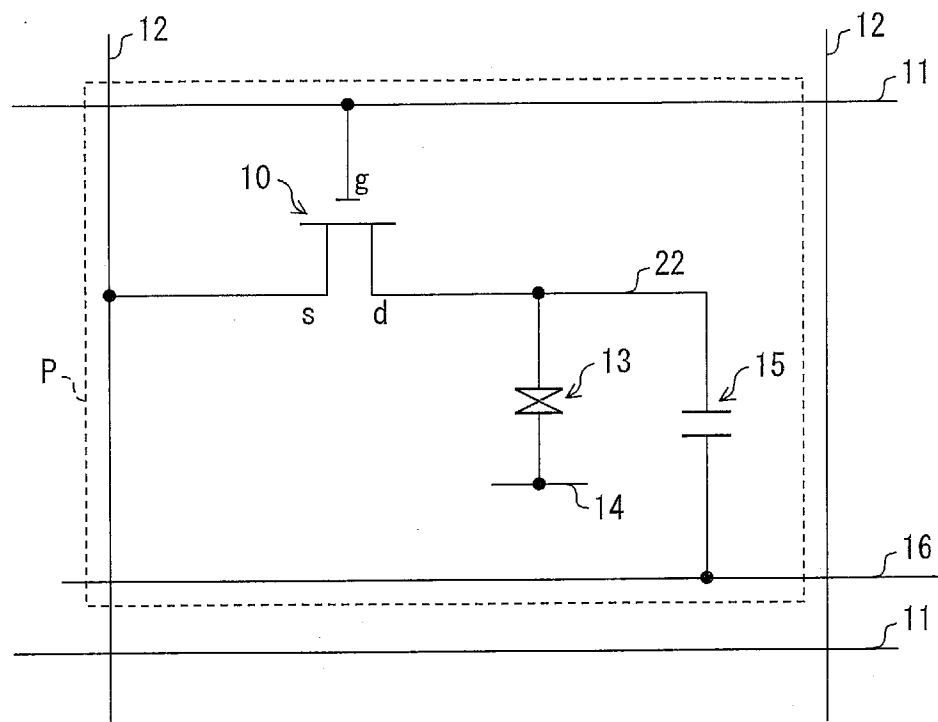
[請求項14] 上記液晶表示装置は、垂直配向型の液晶表示装置である請求項11に記載の液晶表示装置の製造方法。

[図1]

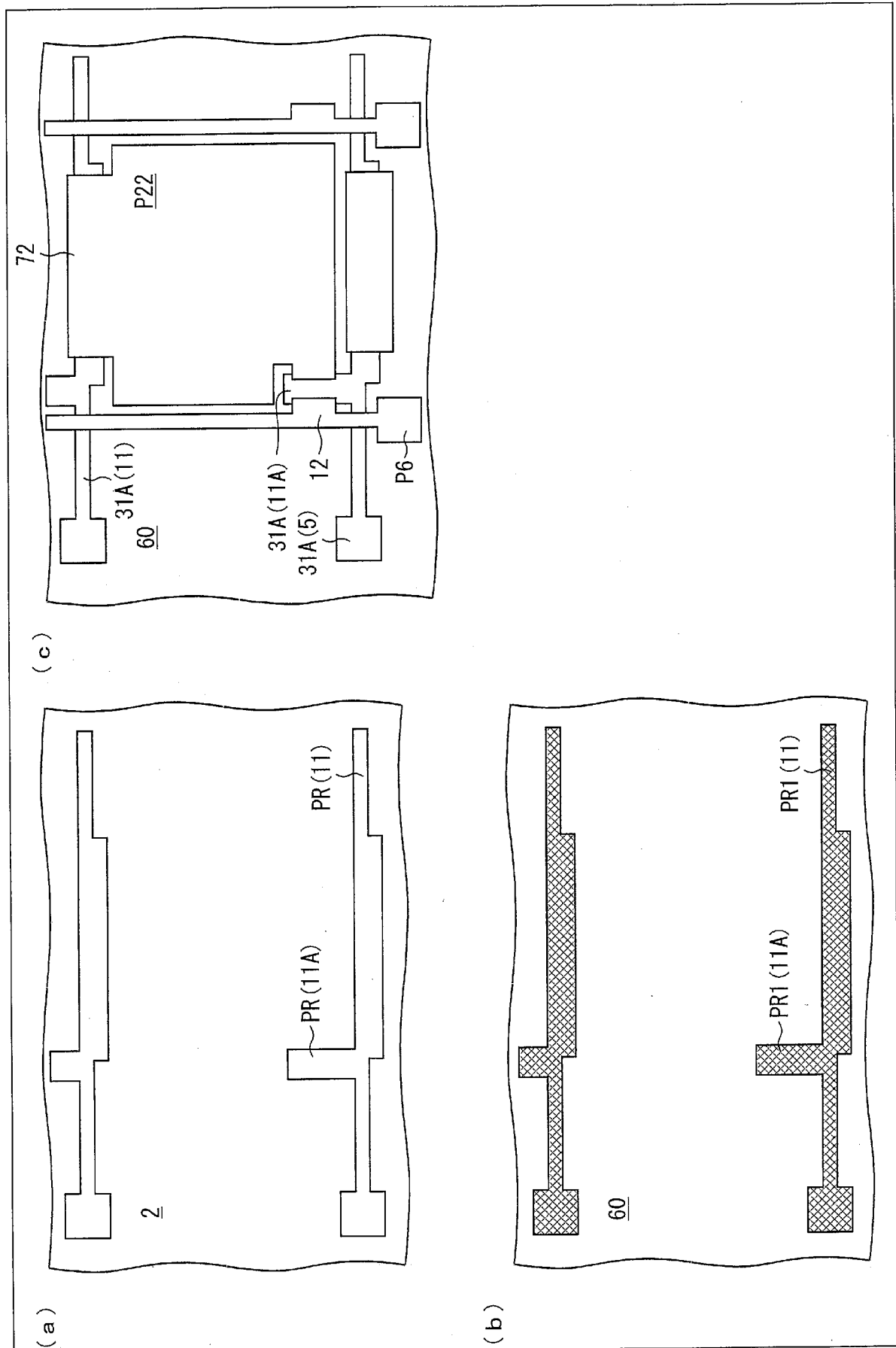
100



[図2]



[図3]



[図4]

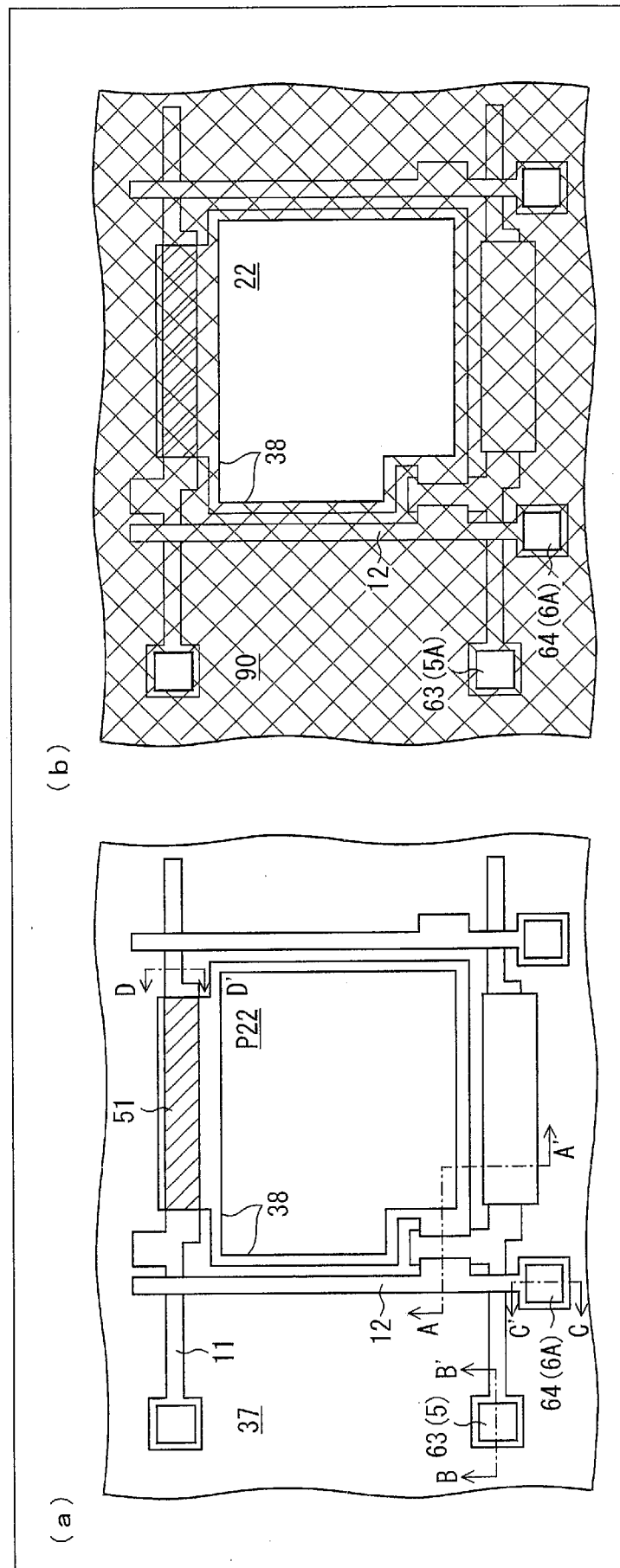
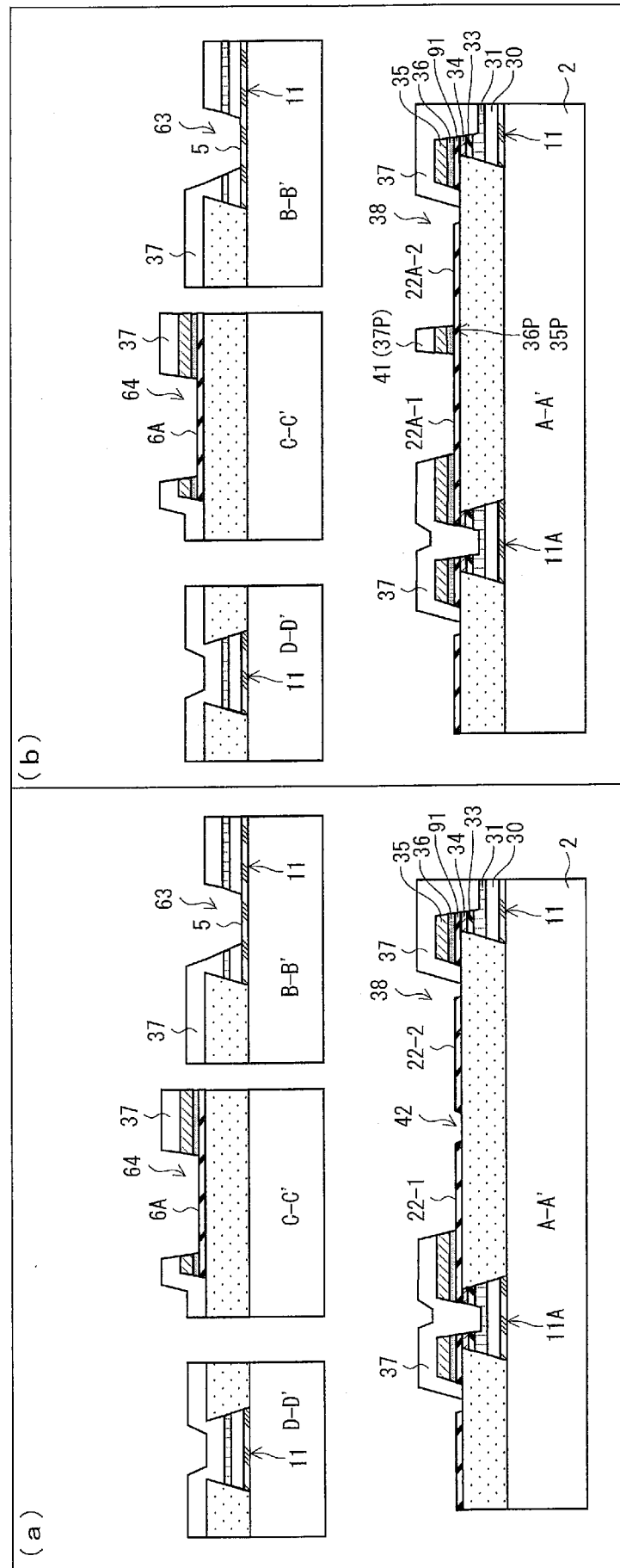


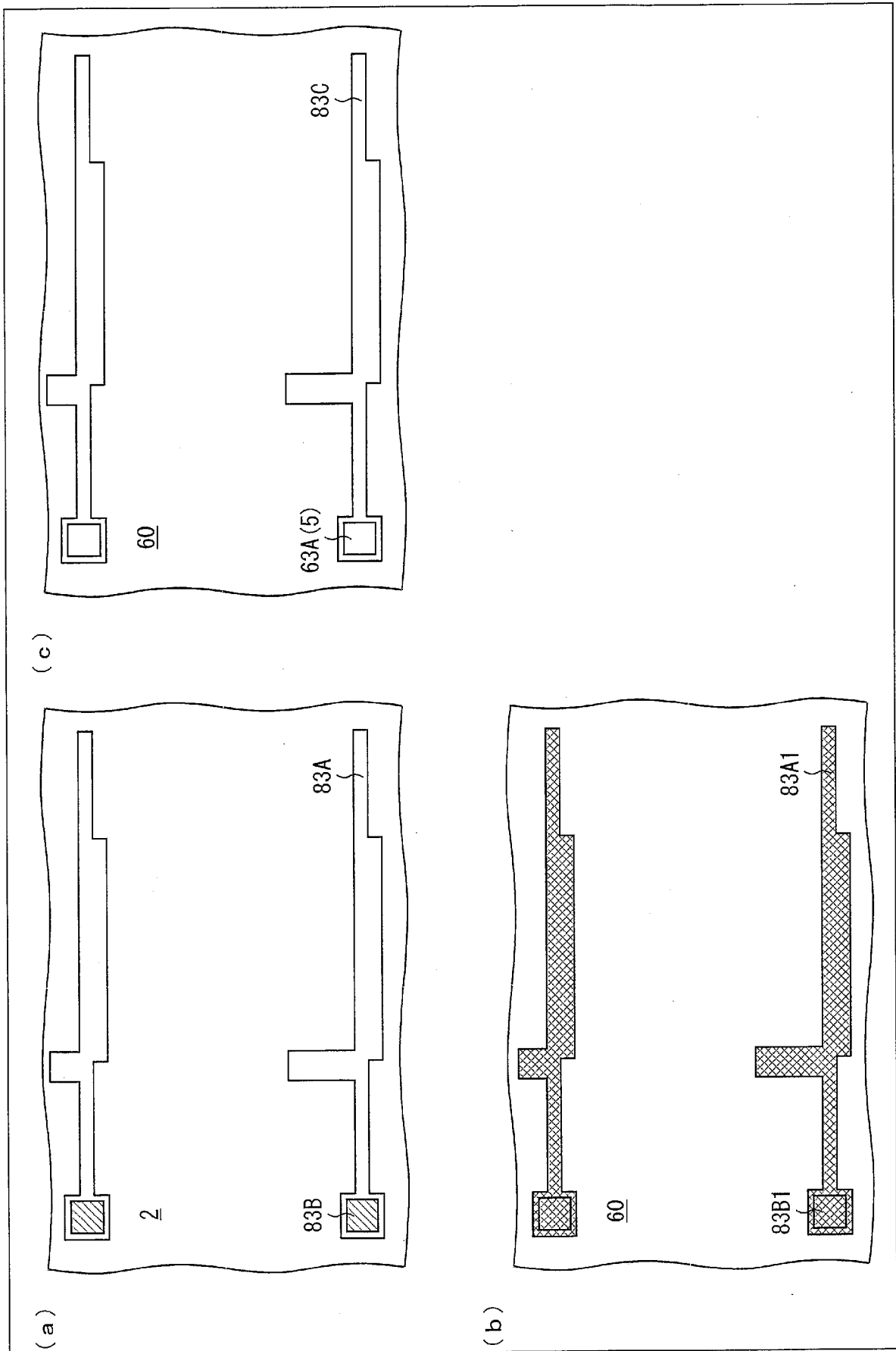
Figure 1 illustrates the manufacturing process of a semiconductor device in three stages:

- (a) Before etching:** A substrate 11 is shown with a patterned layer 30. A photoresist layer PR is applied over the patterned layer 30. The patterned layer 30 has a central region 34 and side regions 33 and 31. The substrate 11 has a central region 11A and side regions 11B and 11C.
- (b) After etching:** The photoresist layer PR is removed, leaving the patterned layer 30. The central region 34 is now exposed, and the side regions 33 and 31 are still covered by the patterned layer 30. The substrate 11 is shown with the central region 11A and side regions 11B and 11C.
- (c) After etching and deposition:** A new layer 60 is deposited over the patterned layer 30. The central region 34 is now covered by the new layer 60, and the side regions 33 and 31 are still covered by the patterned layer 30. The substrate 11 is shown with the central region 11A and side regions 11B and 11C.

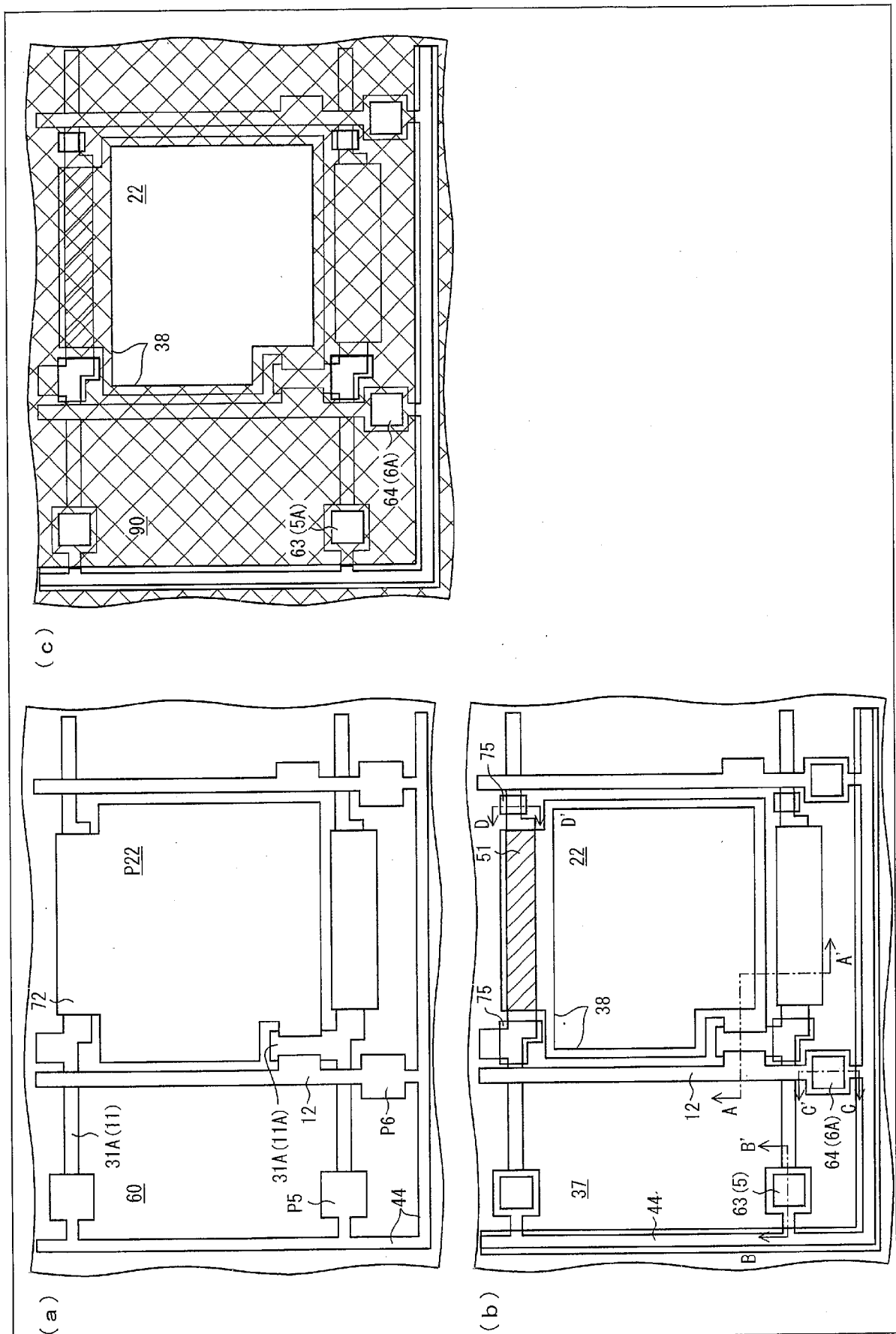
[図8]



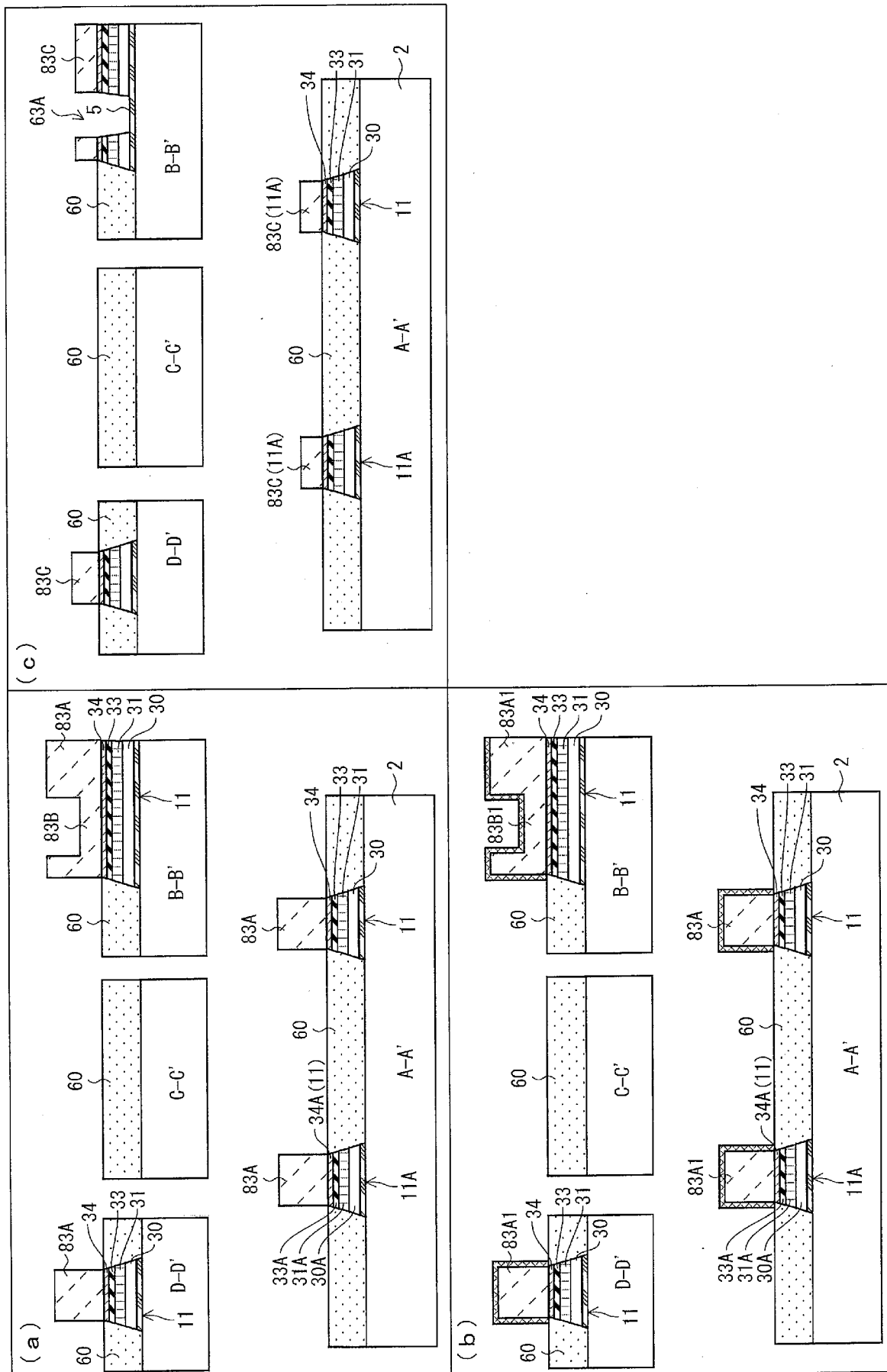
[図9]

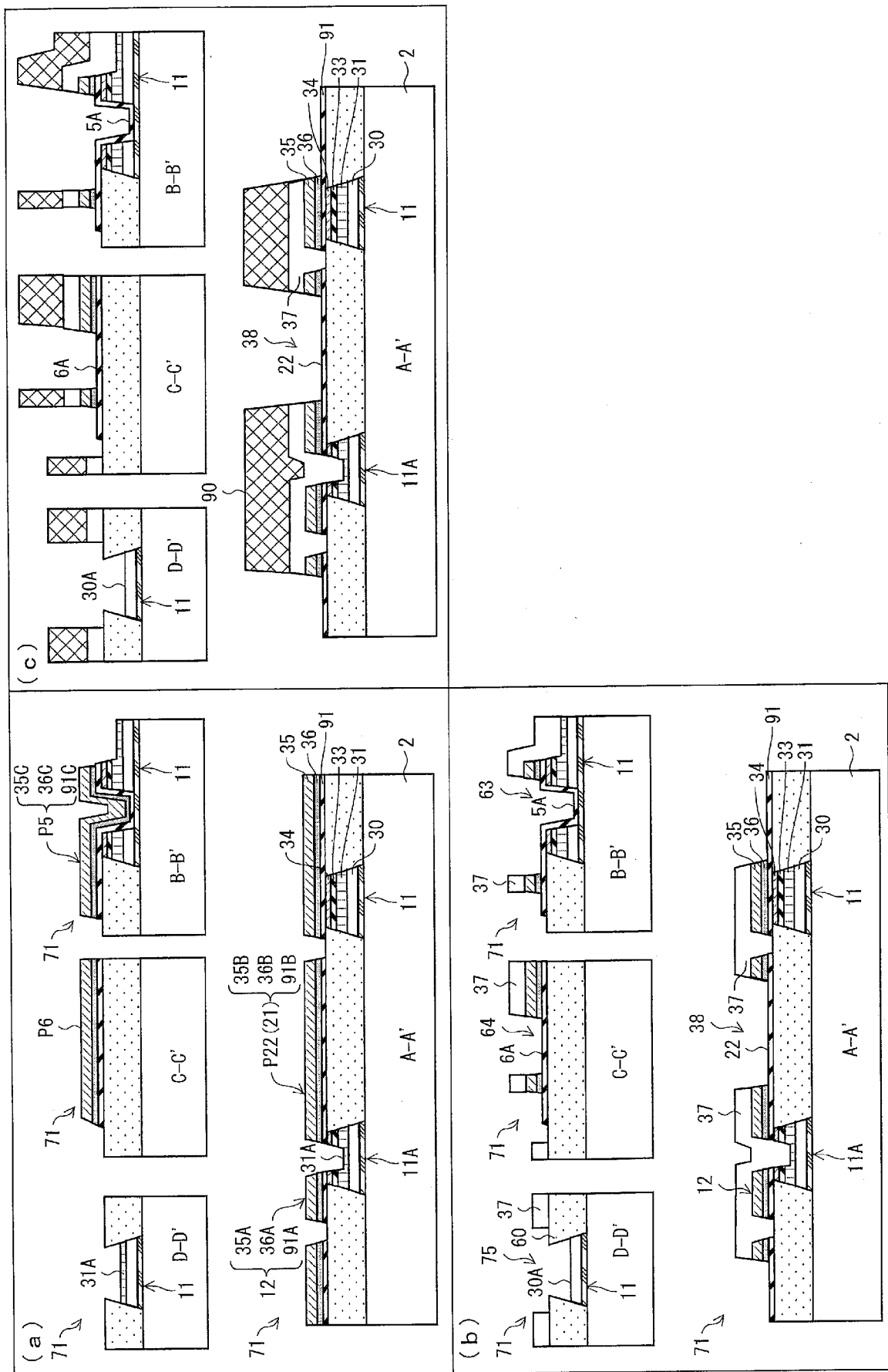


[図10]

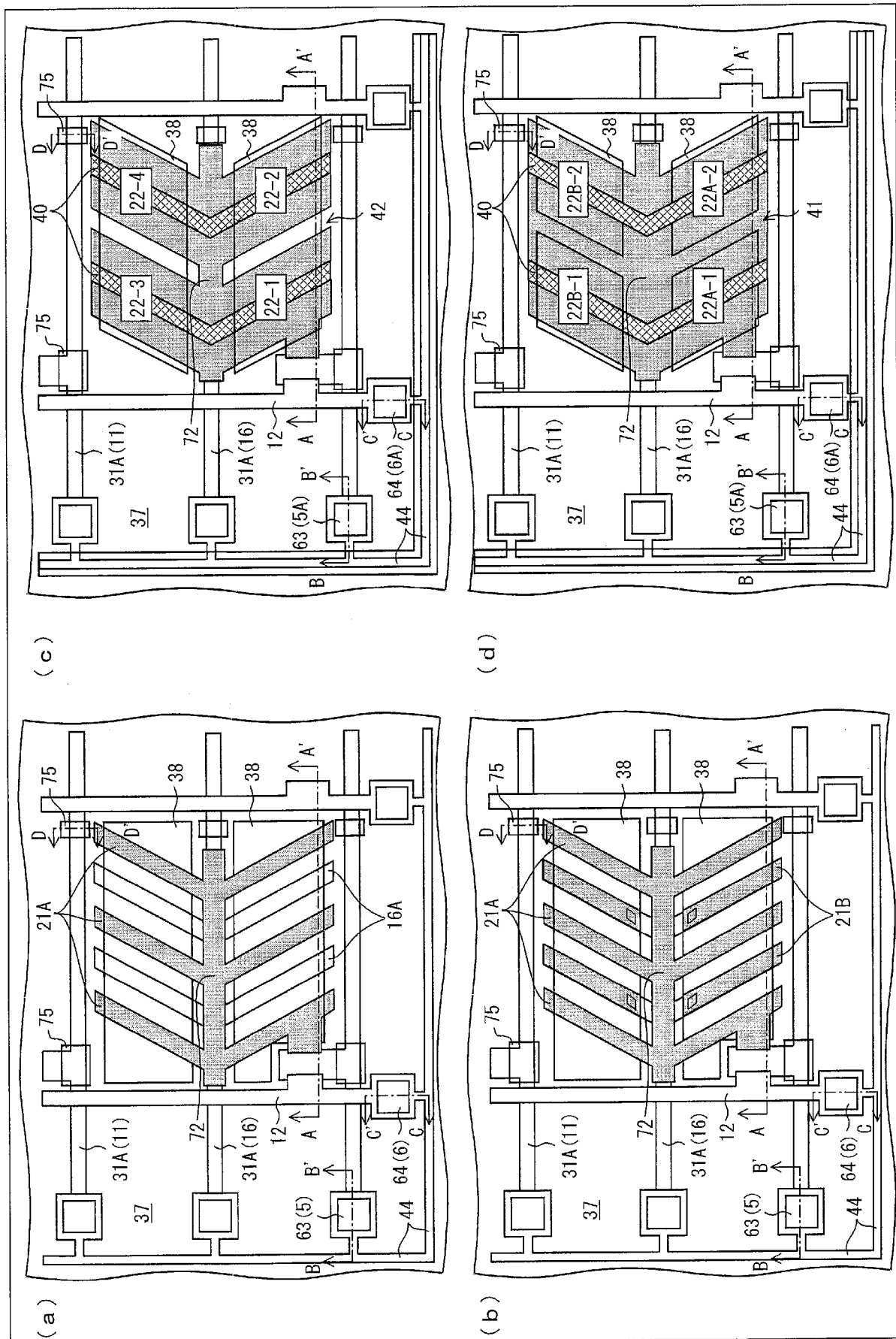


[図11]

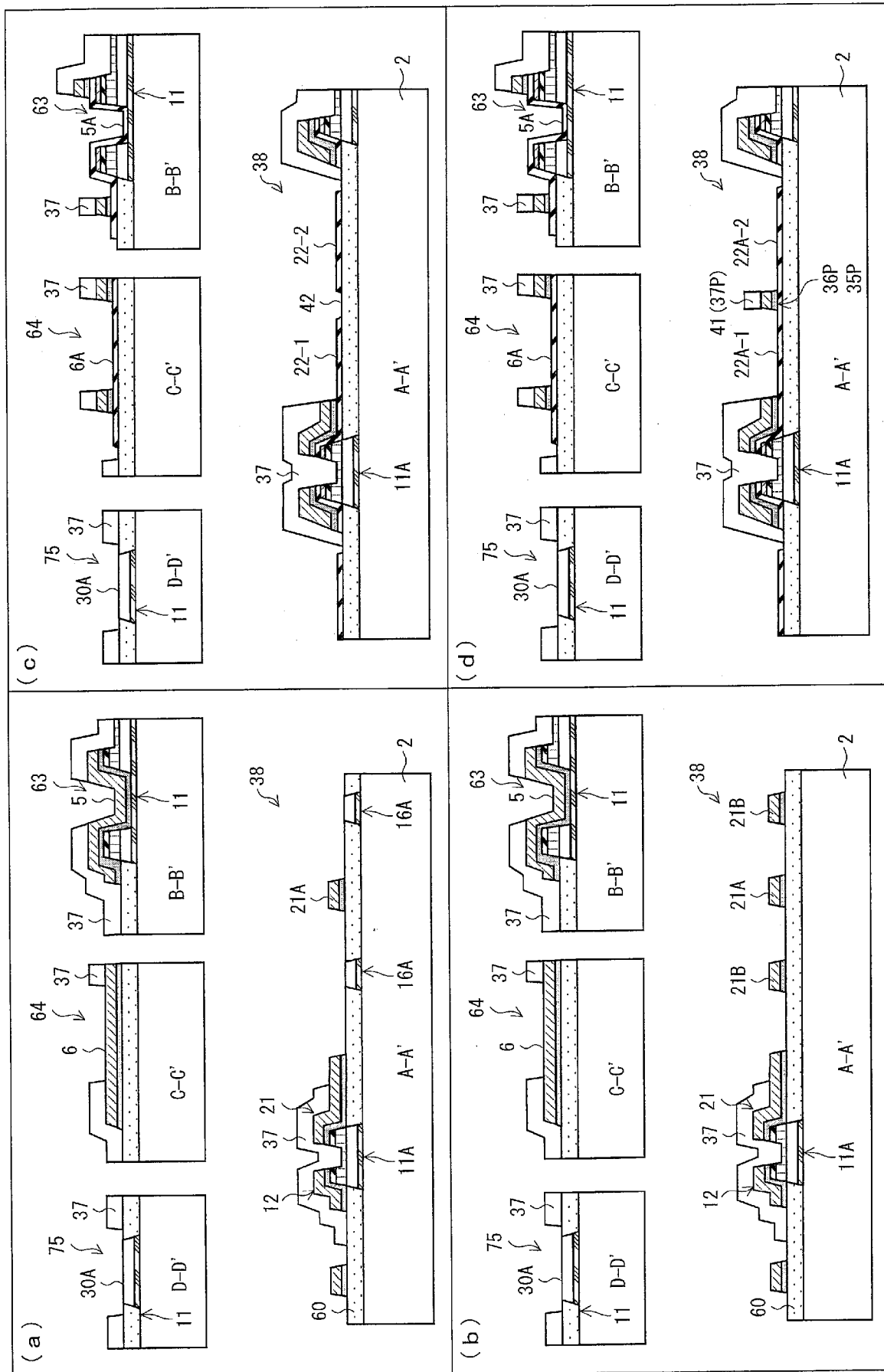




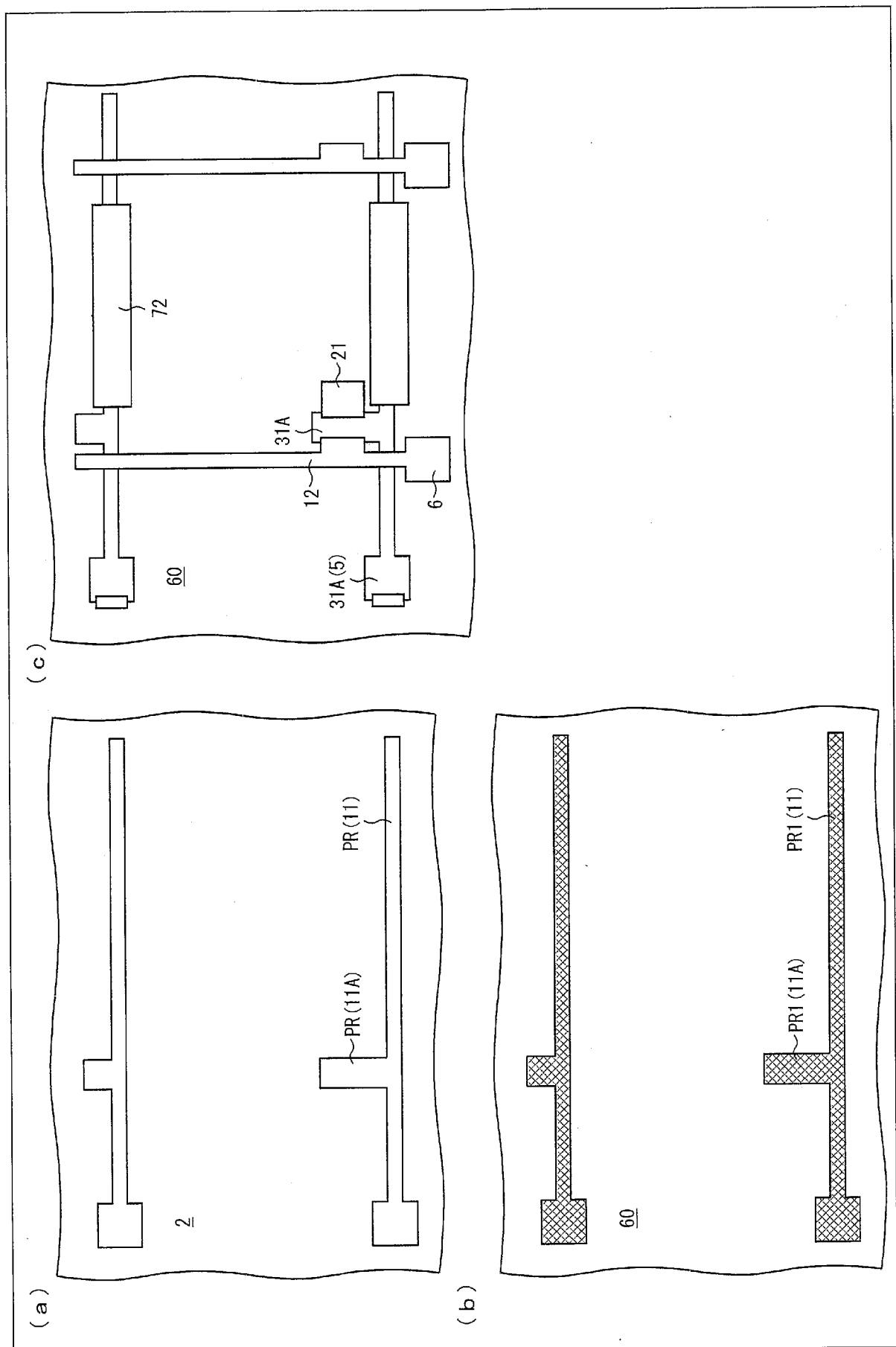
[図13]



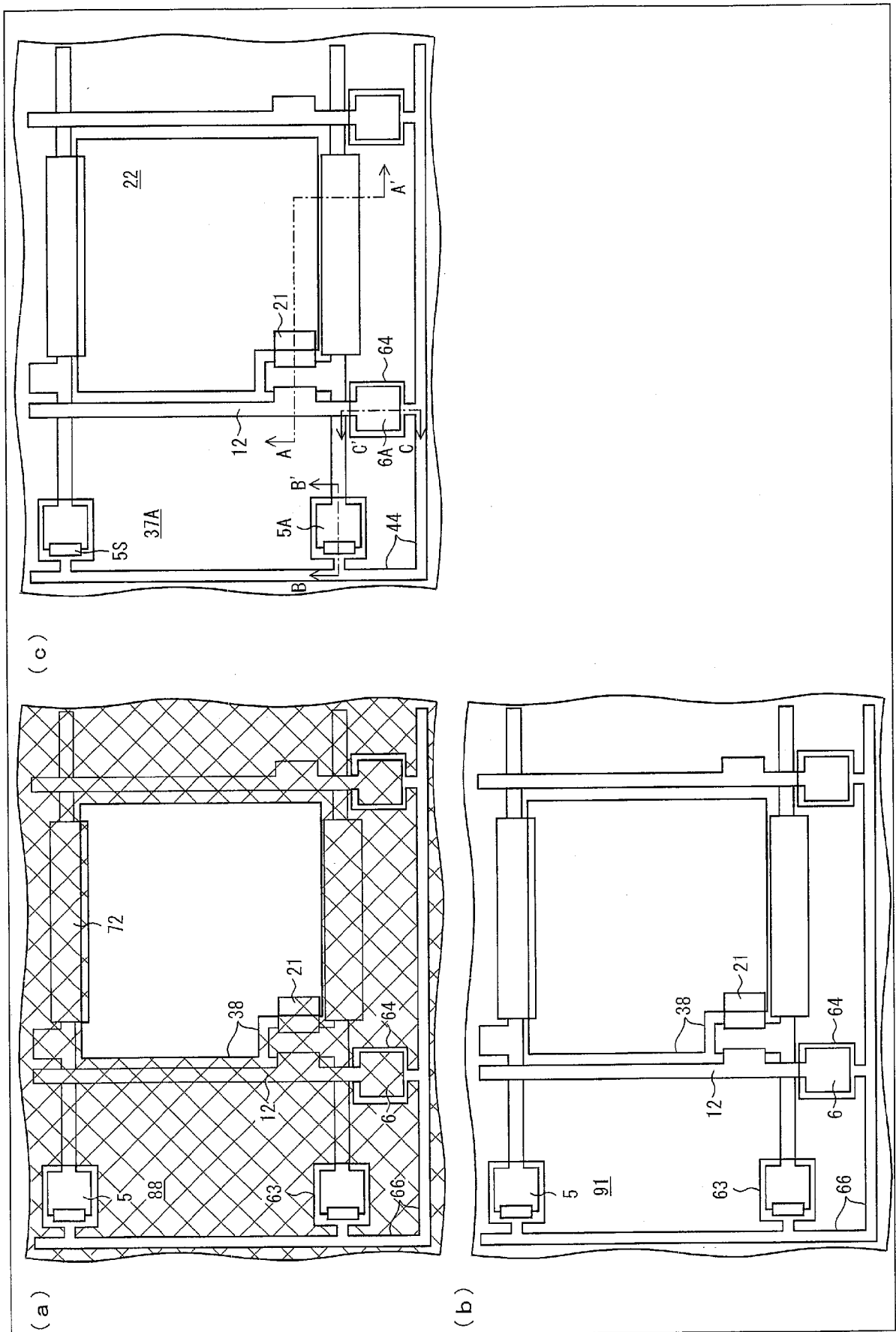
[図14]



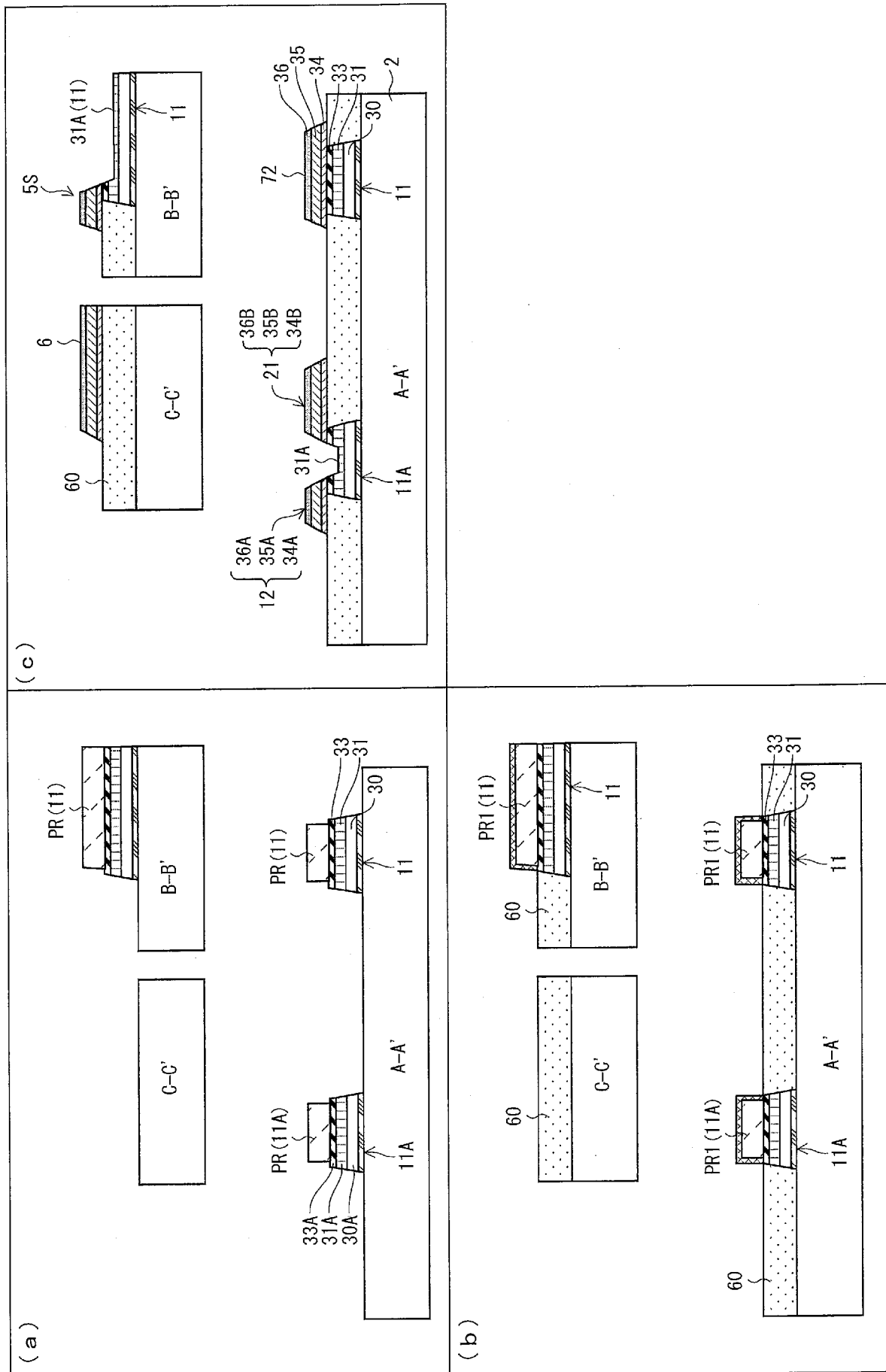
[図15]



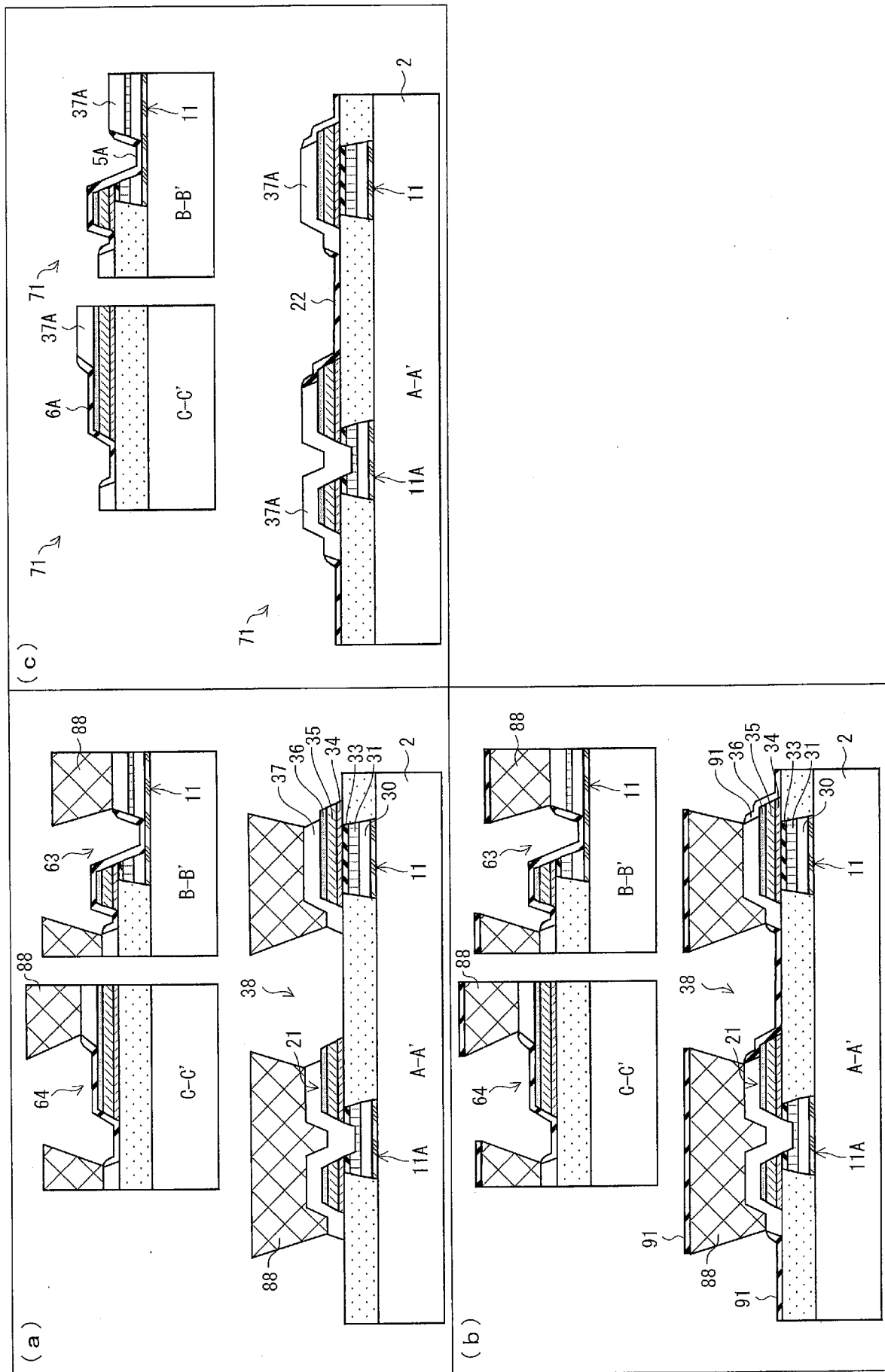
[図16]



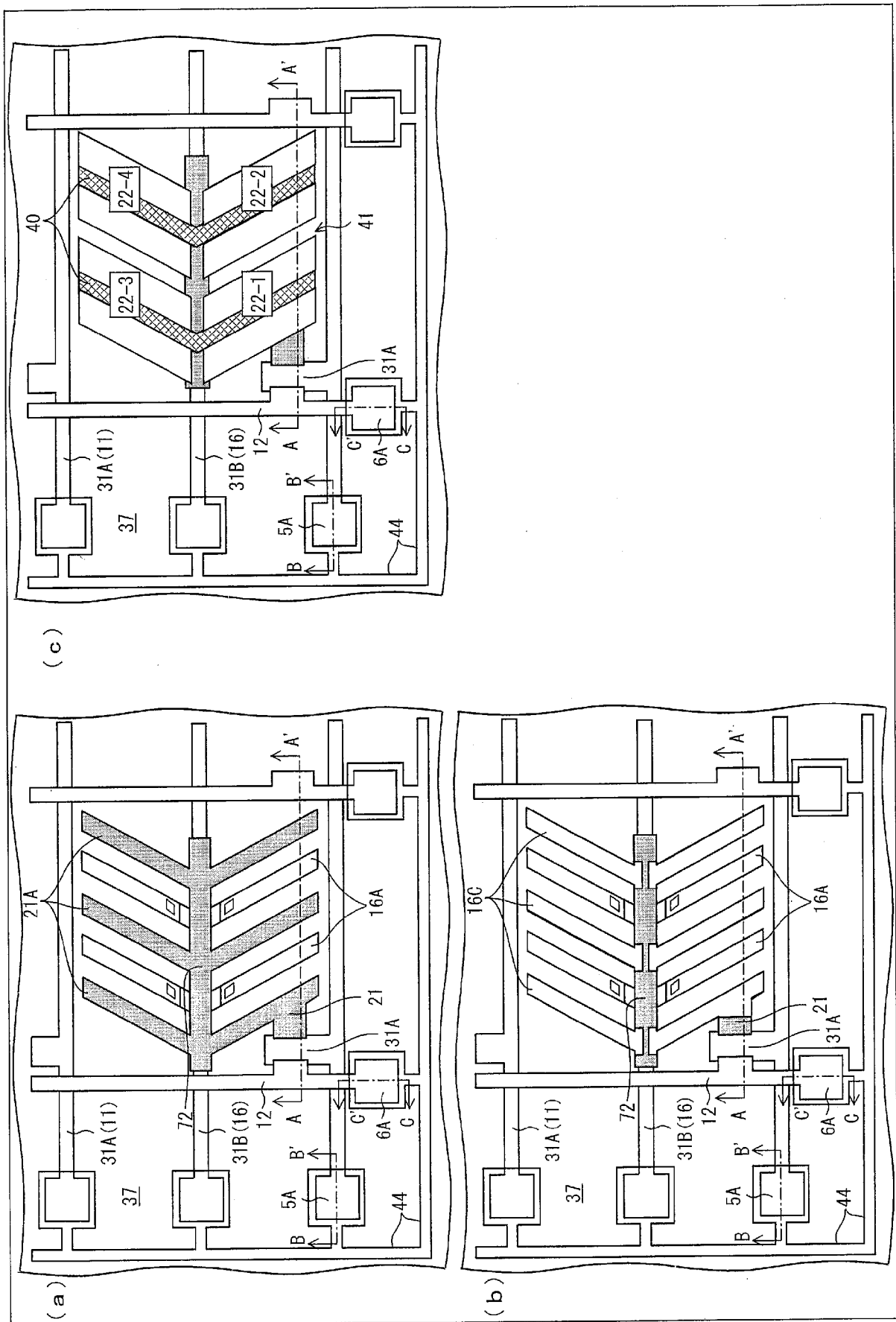
[図17]



[図18]



[図19]



[図21]

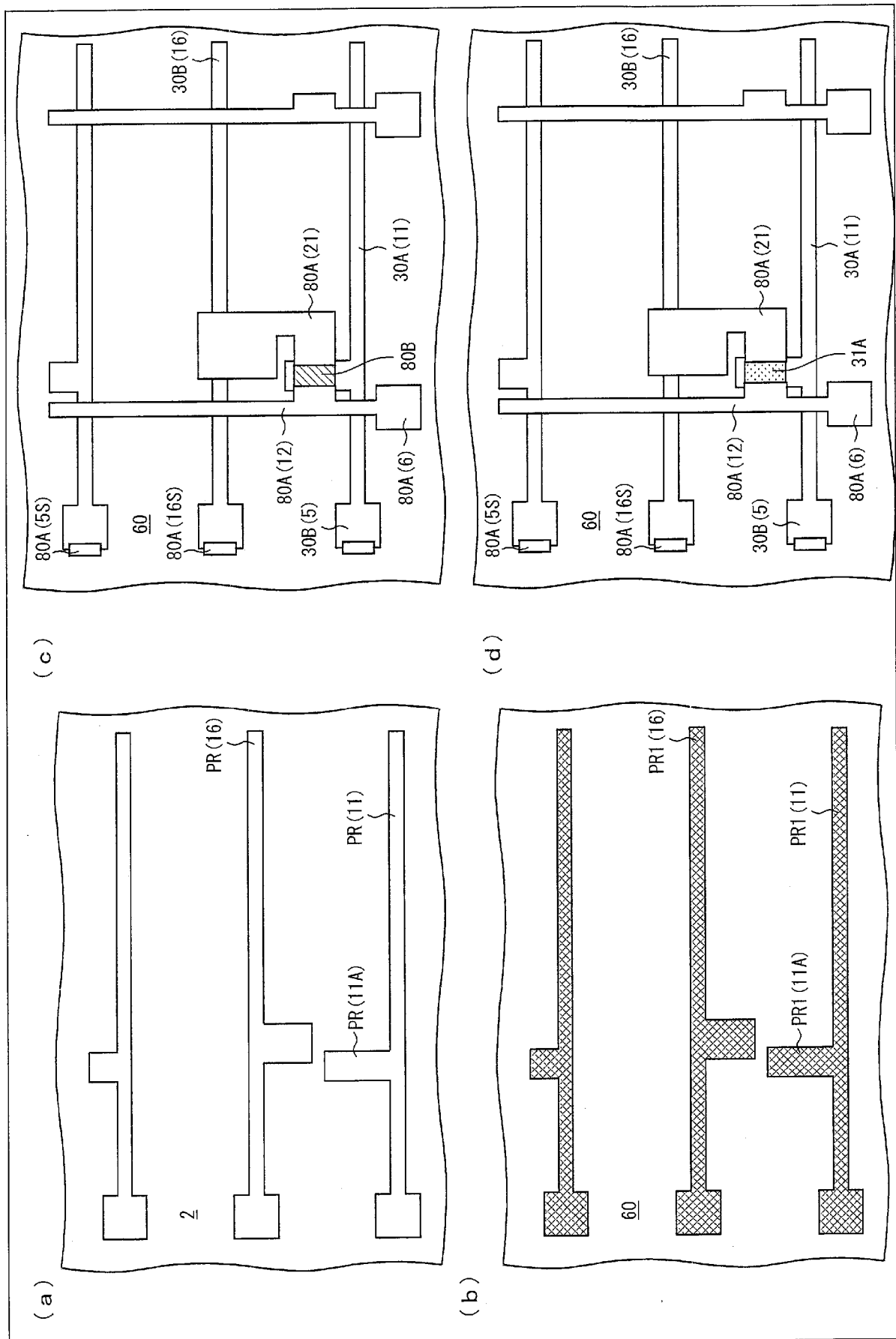


Figure 1 consists of three schematic diagrams, (a), (b), and (c), showing different cross-sectional views of a semiconductor device structure. The diagrams are oriented vertically, with the substrate 16 at the top and the device layers below.

Diagram (a) shows a device with a central region 38, a substrate 16, and various layers and contacts labeled 5, 6, 12, 36A, 36B, 63, 64, 65, 66, 75, 88, and 91. The central region 38 is surrounded by a layer 36B. A layer 36A(6) is shown on the right side. A layer 63 is shown on the left side. A layer 64 is shown on the right side. A layer 65 is shown on the left side. A layer 66 is shown on the right side. A layer 75 is shown on the left side. A layer 88 is shown on the left side. A layer 91 is shown on the left side.

Diagram (b) shows a similar structure with a central region 38, a substrate 16, and layers 5, 6, 12, 36A, 36B, 63, 64, 65, 66, 75, and 91. The central region 38 is surrounded by a layer 36B. A layer 36A(6) is shown on the right side. A layer 63 is shown on the left side. A layer 64 is shown on the right side. A layer 65 is shown on the left side. A layer 66 is shown on the right side. A layer 75 is shown on the left side. A layer 91 is shown on the left side.

Diagram (c) shows a device with a central region 38, a substrate 16, and layers 5, 6, 12, 36A, 36B, 63, 64, 65, 66, 75, and 91. The central region 38 is surrounded by a layer 36B. A layer 36A(6) is shown on the right side. A layer 63 is shown on the left side. A layer 64 is shown on the right side. A layer 65 is shown on the left side. A layer 66 is shown on the right side. A layer 75 is shown on the left side. A layer 91 is shown on the left side.

[図23]

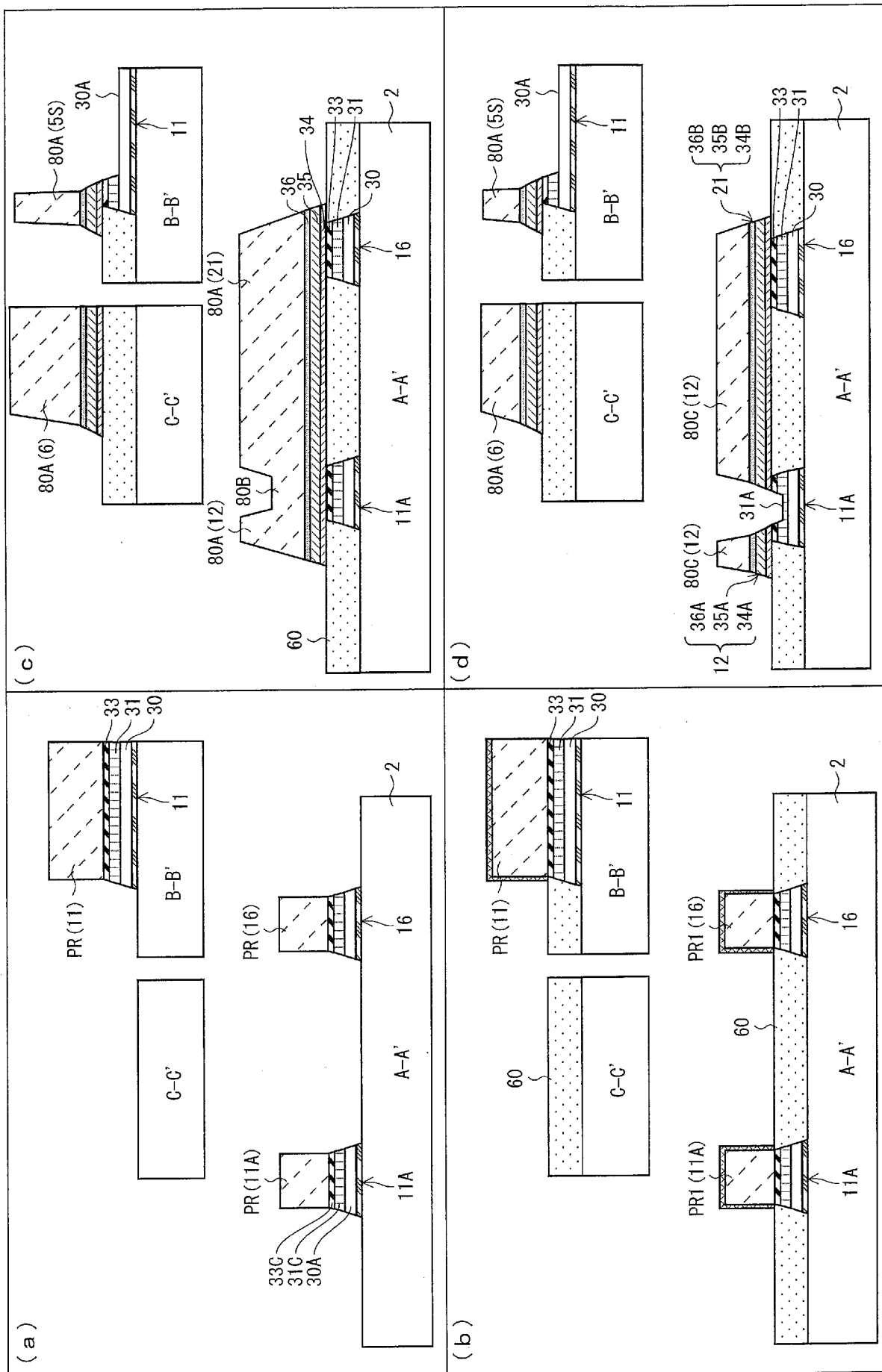
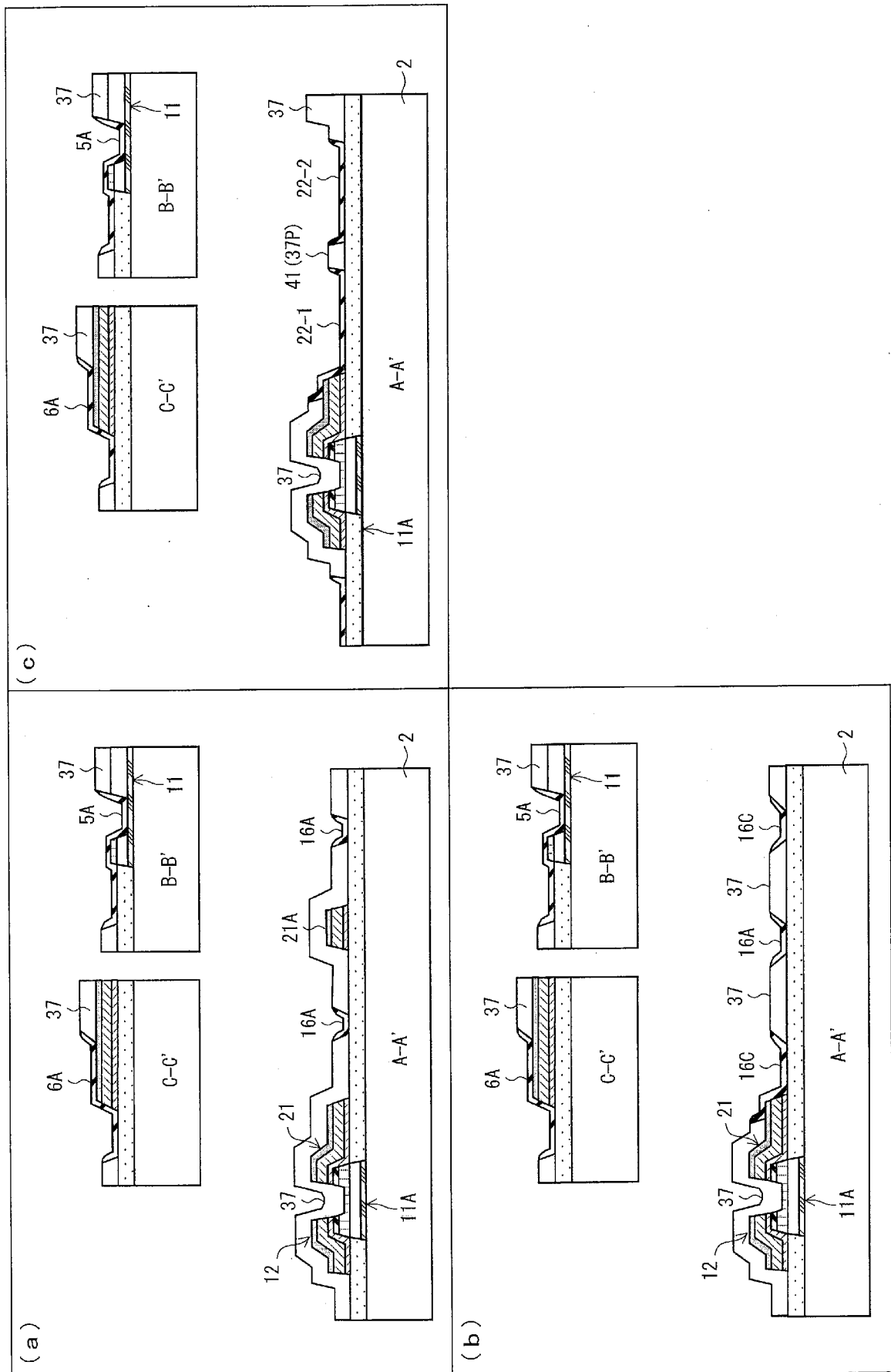


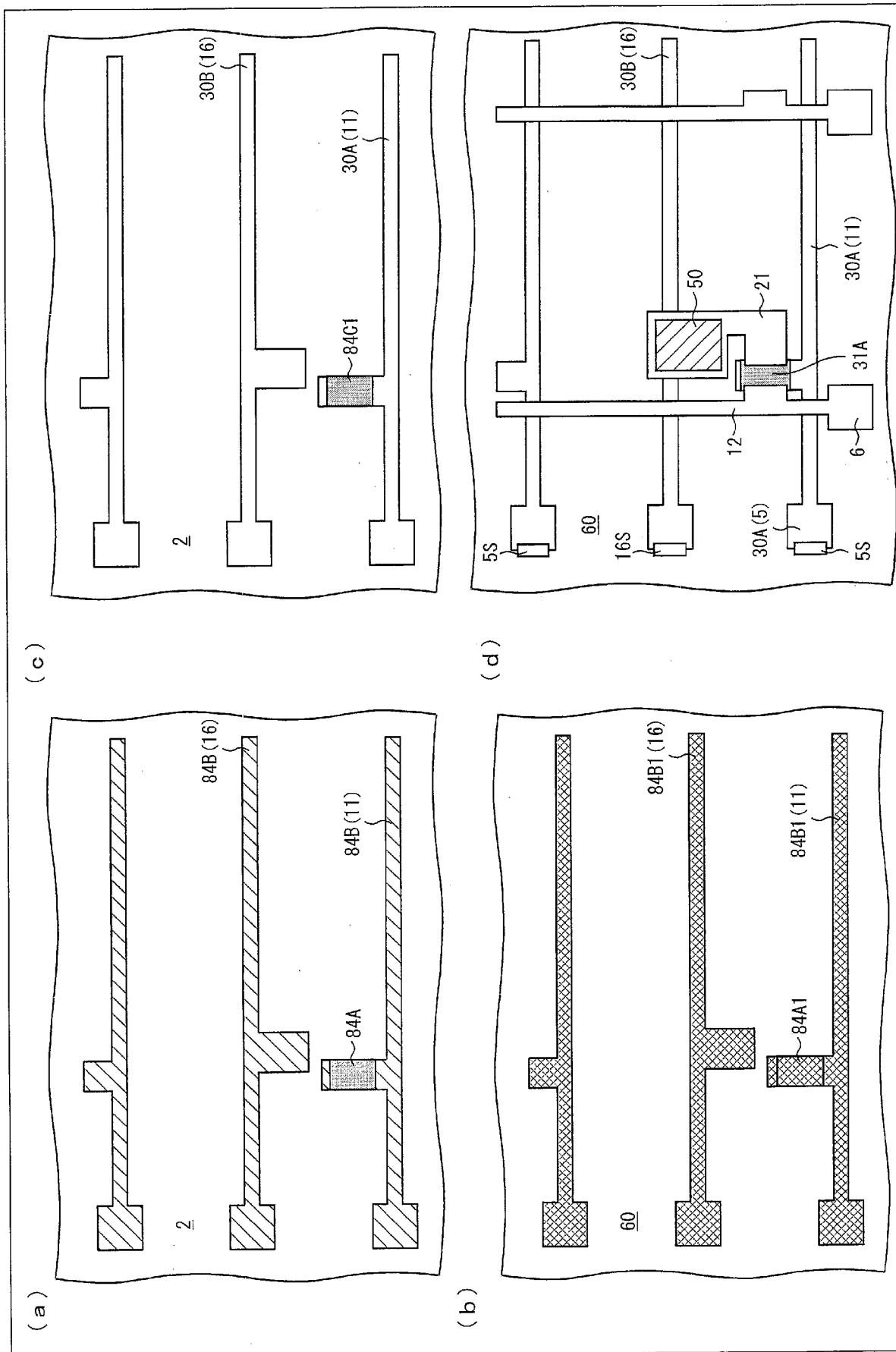
Figure 1 consists of three sets of cross-sectional views, labeled (a), (b), and (c), illustrating different embodiments of a semiconductor device. Each set includes a main cross-sectional view and two detailed insets labeled B-B' and C-C'.

- (a) First Embodiment:** The main cross-section shows a substrate 11 with a layer 16 on top. A layer 30 is formed on layer 16, with a layer 34 on top of 30. A layer 35 is formed on layer 34, with a layer 36 on top of 35. A layer 37 is formed on layer 36, with a layer 38 on top of 37. A layer 60 is formed on layer 38, with a layer 63 on top of 60. A layer 64 is formed on layer 63, with a layer 88 on top of 64. A layer 91 is formed on layer 88, with a layer 98 on top of 91. The insets B-B' and C-C' show detailed views of the device structure.
- (b) Second Embodiment:** The main cross-section shows a substrate 11 with a layer 16 on top. A layer 30 is formed on layer 16, with a layer 34 on top of 30. A layer 35 is formed on layer 34, with a layer 36 on top of 35. A layer 37 is formed on layer 36, with a layer 91 on top of 37. A layer 98 is formed on layer 91, with a layer 99 on top of 98. The insets B-B' and C-C' show detailed views of the device structure.
- (c) Third Embodiment:** The main cross-section shows a substrate 11 with a layer 16 on top. A layer 30 is formed on layer 16, with a layer 34 on top of 30. A layer 35 is formed on layer 34, with a layer 36 on top of 35. A layer 37 is formed on layer 36, with a layer 71 on top of 37. A layer 72 is formed on layer 71, with a layer 73 on top of 72. The insets B-B' and C-C' show detailed views of the device structure.

[図26]



[図27]



[図28]

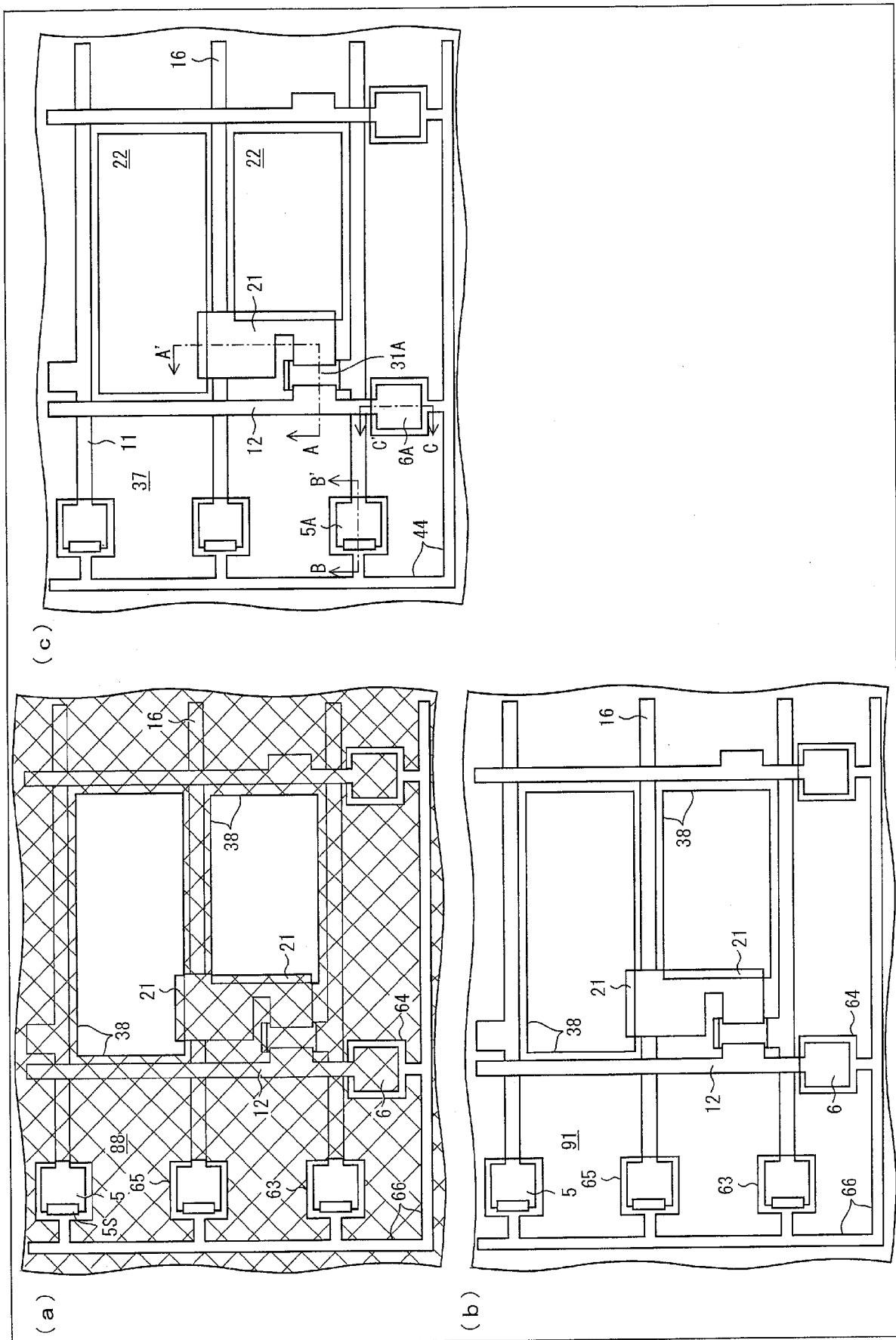


Figure 1 illustrates the cross-sectional views of a semiconductor device in four stages (a, b, c, d).

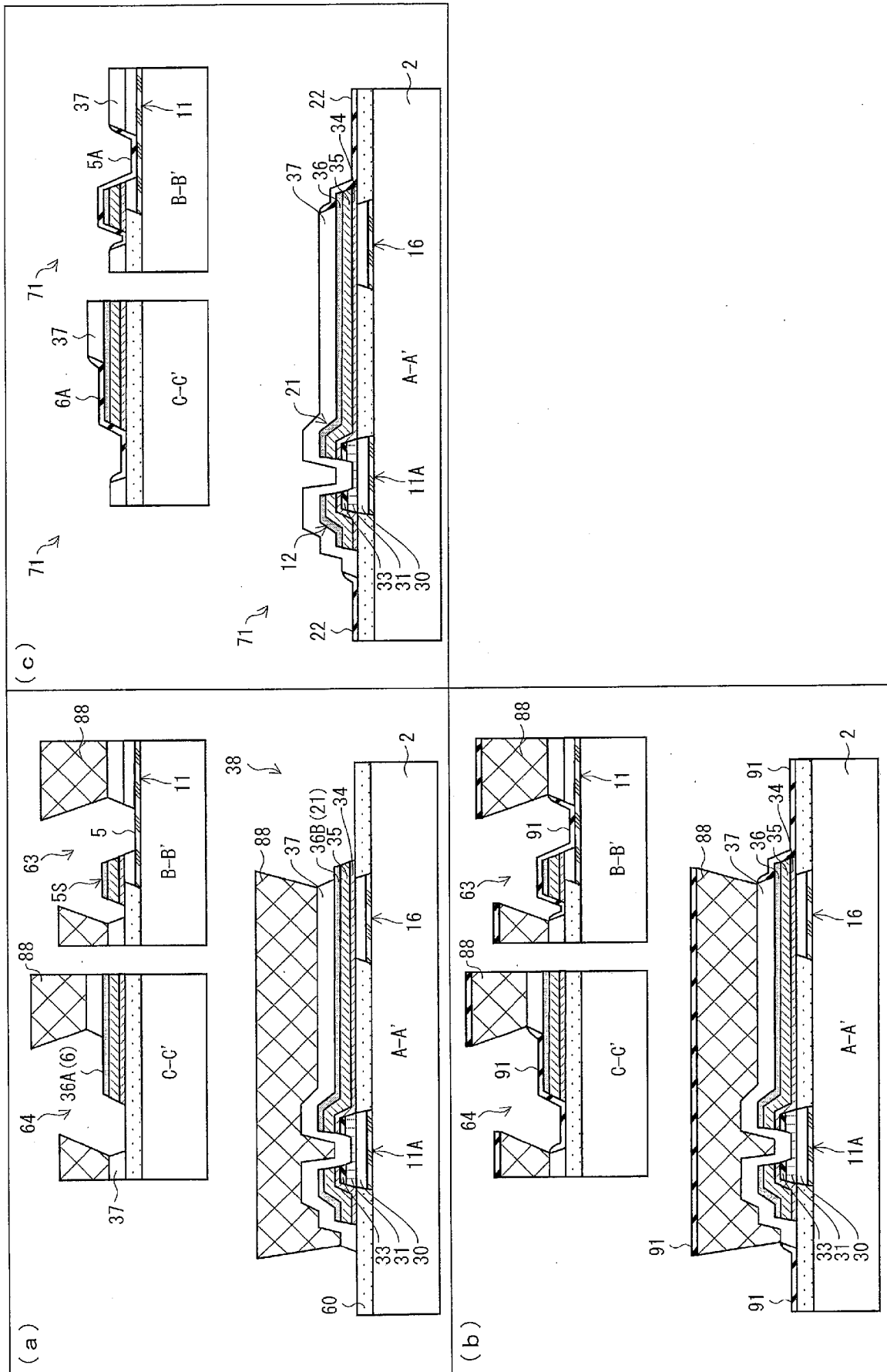
(a) Shows the initial structure with a substrate 2, a layer 11, and a patterned layer 30A. A cross-section A-A' shows a trench 16 with a bottom layer 30 and a top layer 31. A cross-section B-B' shows a layer 33A on top of 31A, which is on top of 30A.

(b) Shows the structure after a layer 60 is added. A cross-section A-A' shows a trench 16 with a bottom layer 30 and a top layer 31. A cross-section B-B' shows a layer 33A on top of 31A, which is on top of 30A.

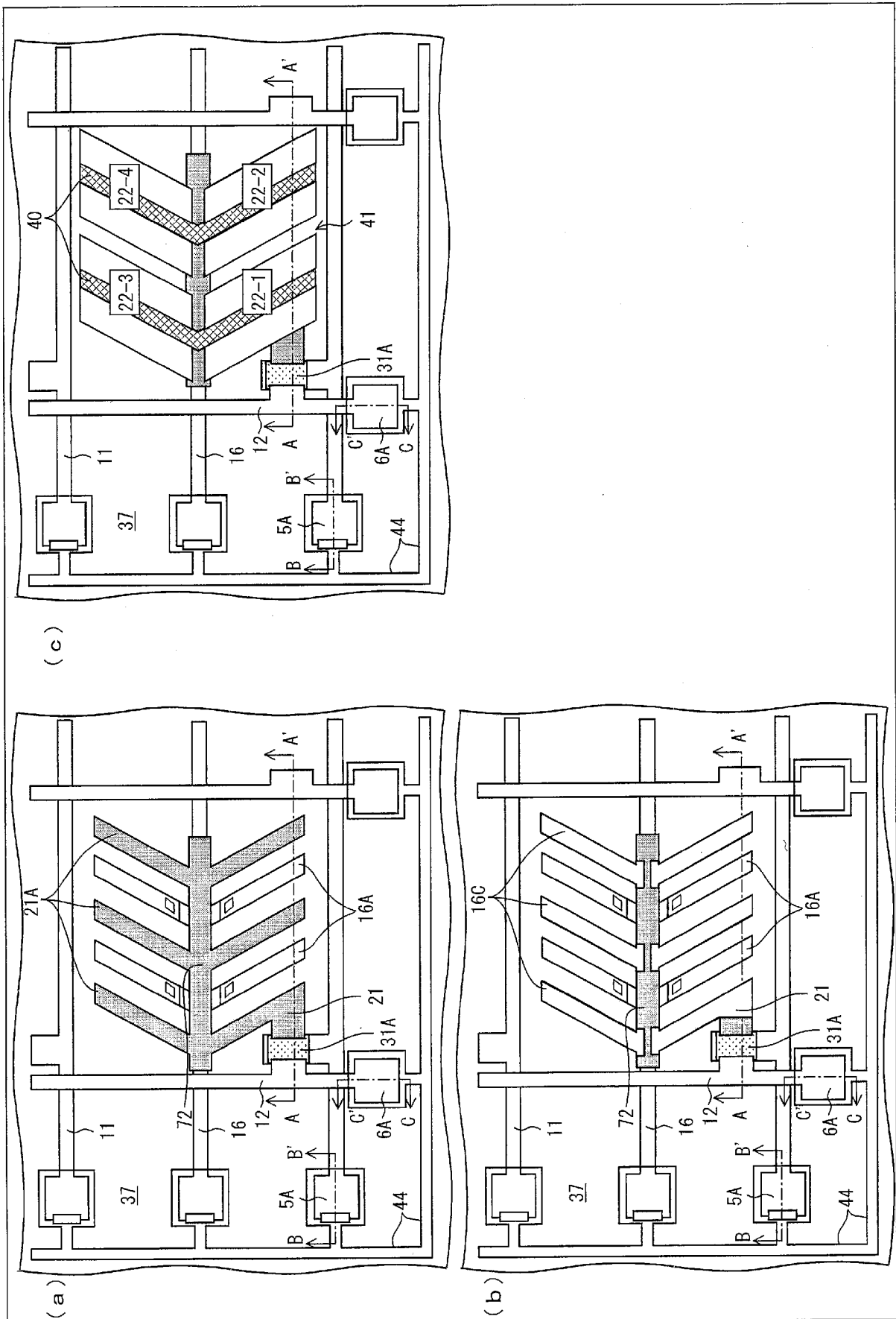
(c) Shows the structure after a layer 60 is added. A cross-section A-A' shows a trench 16 with a bottom layer 30 and a top layer 31. A cross-section B-B' shows a layer 33A on top of 31A, which is on top of 30A.

(d) Shows the structure after a layer 60 is added. A cross-section A-A' shows a trench 16 with a bottom layer 30 and a top layer 31. A cross-section B-B' shows a layer 33A on top of 31A, which is on top of 30A.

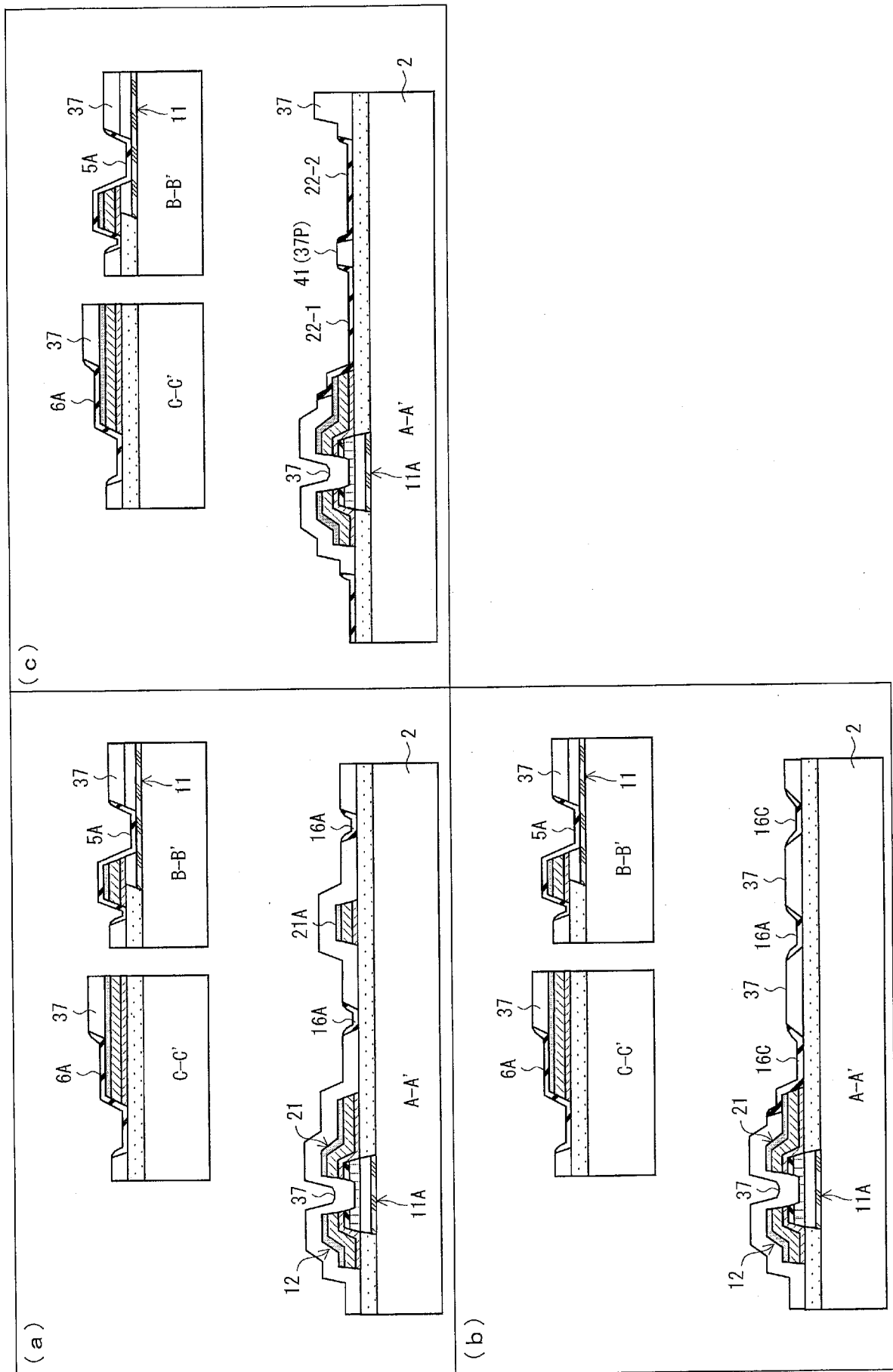
[図30]



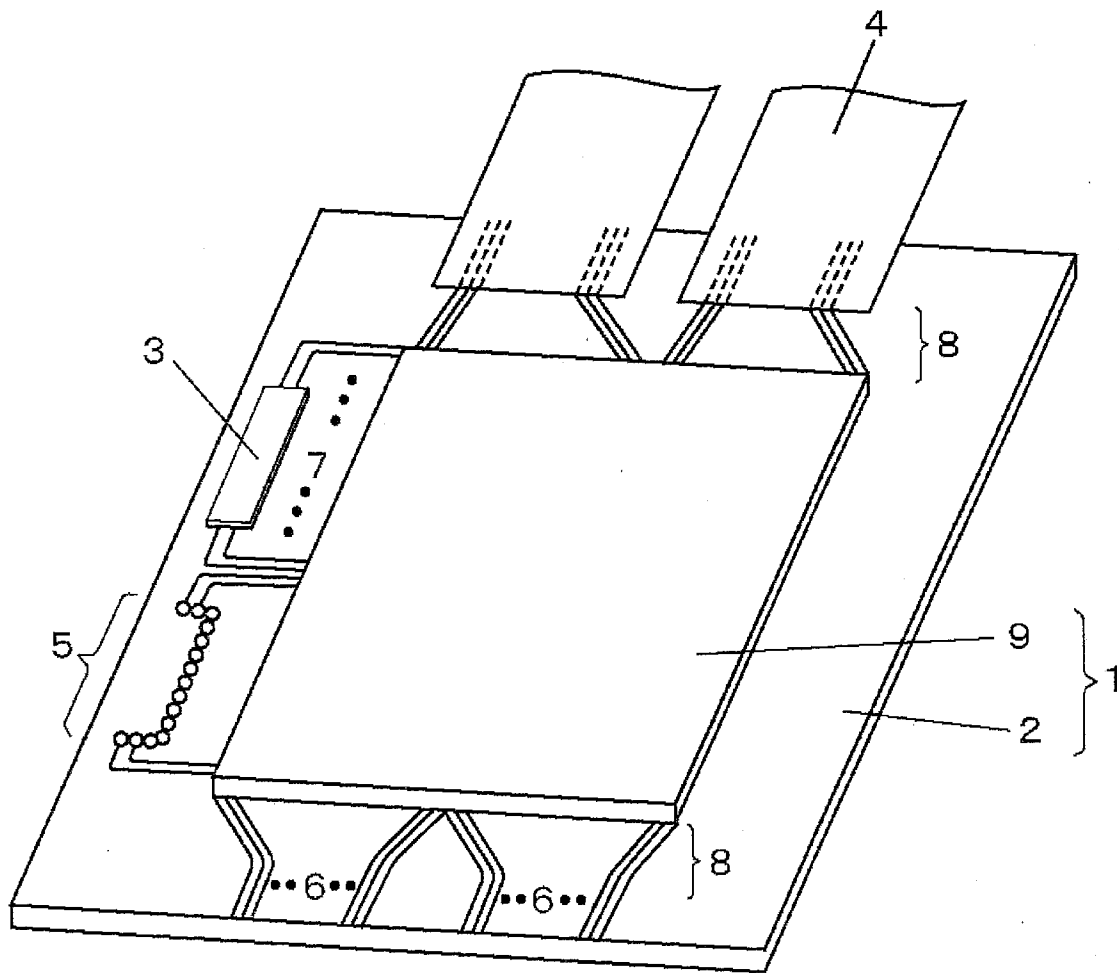
[図31]



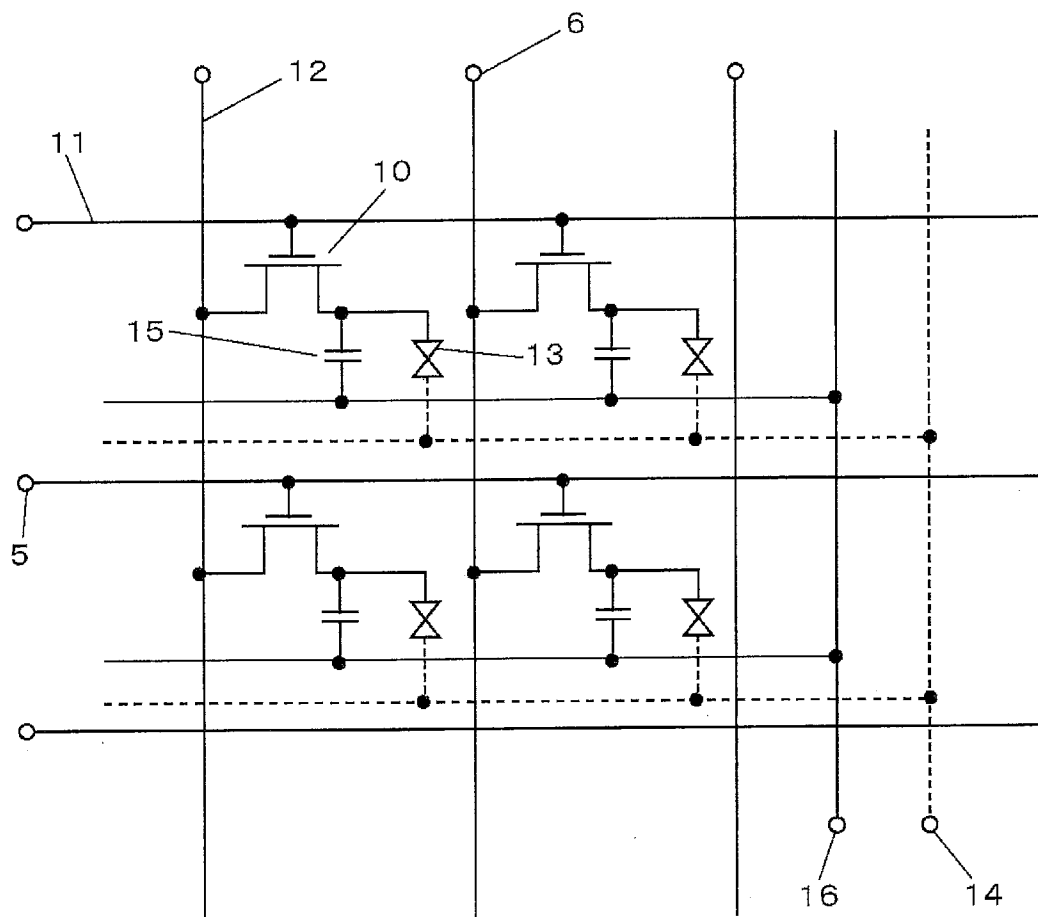
[図32]



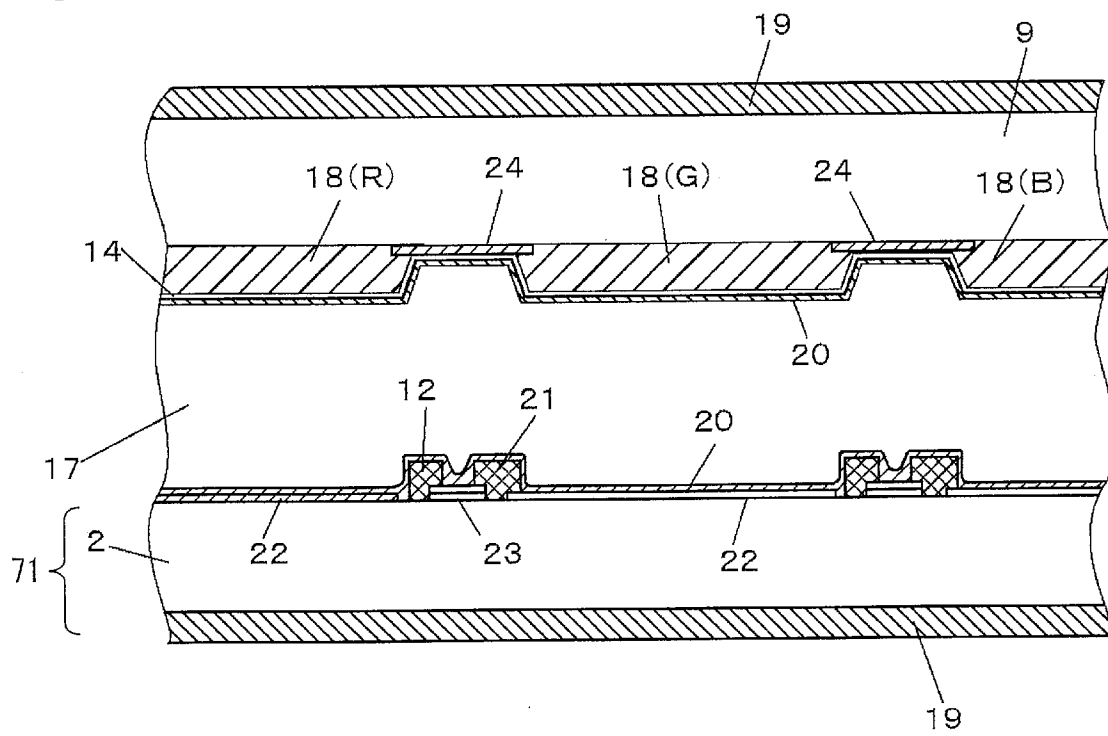
[図33]



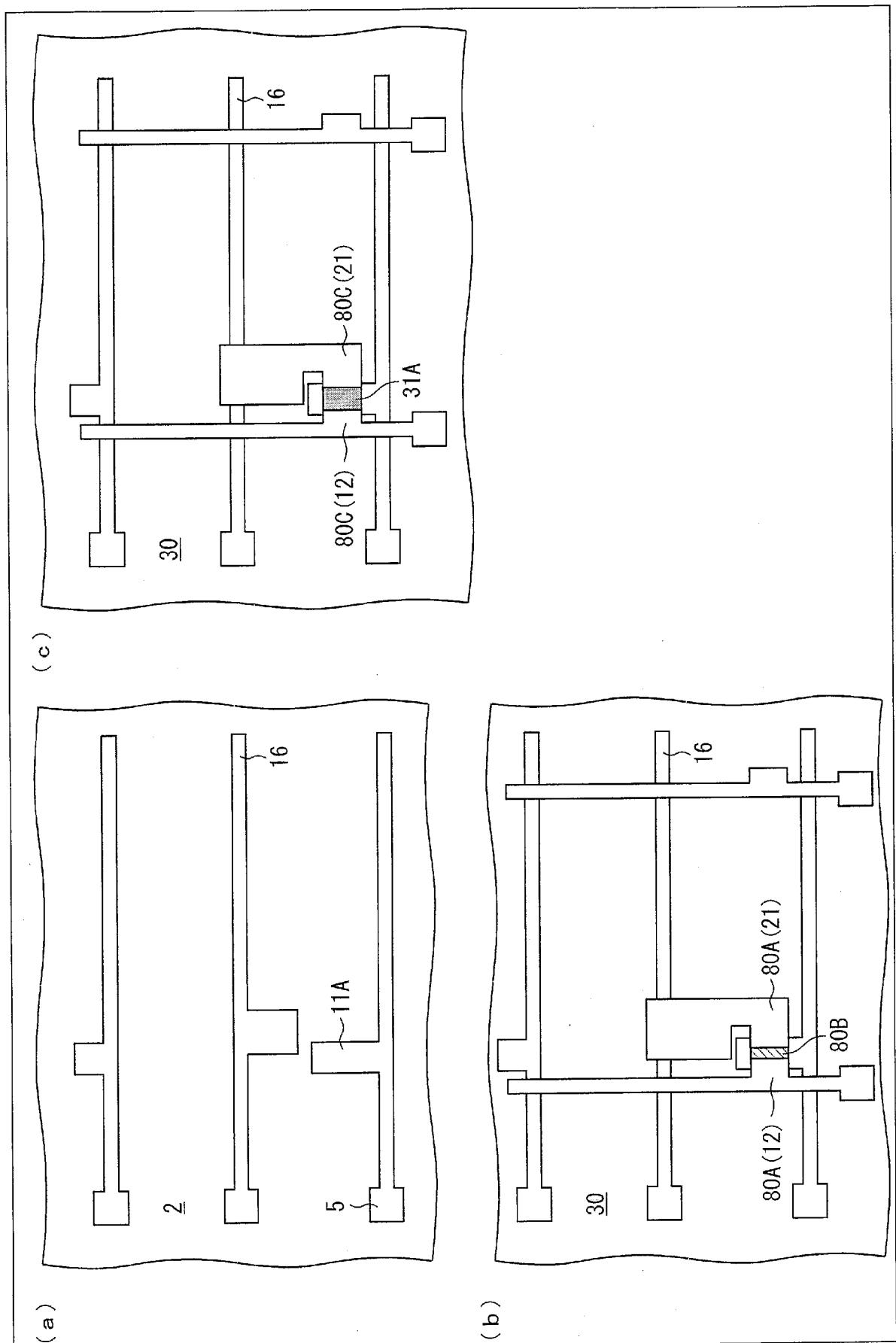
[図34]



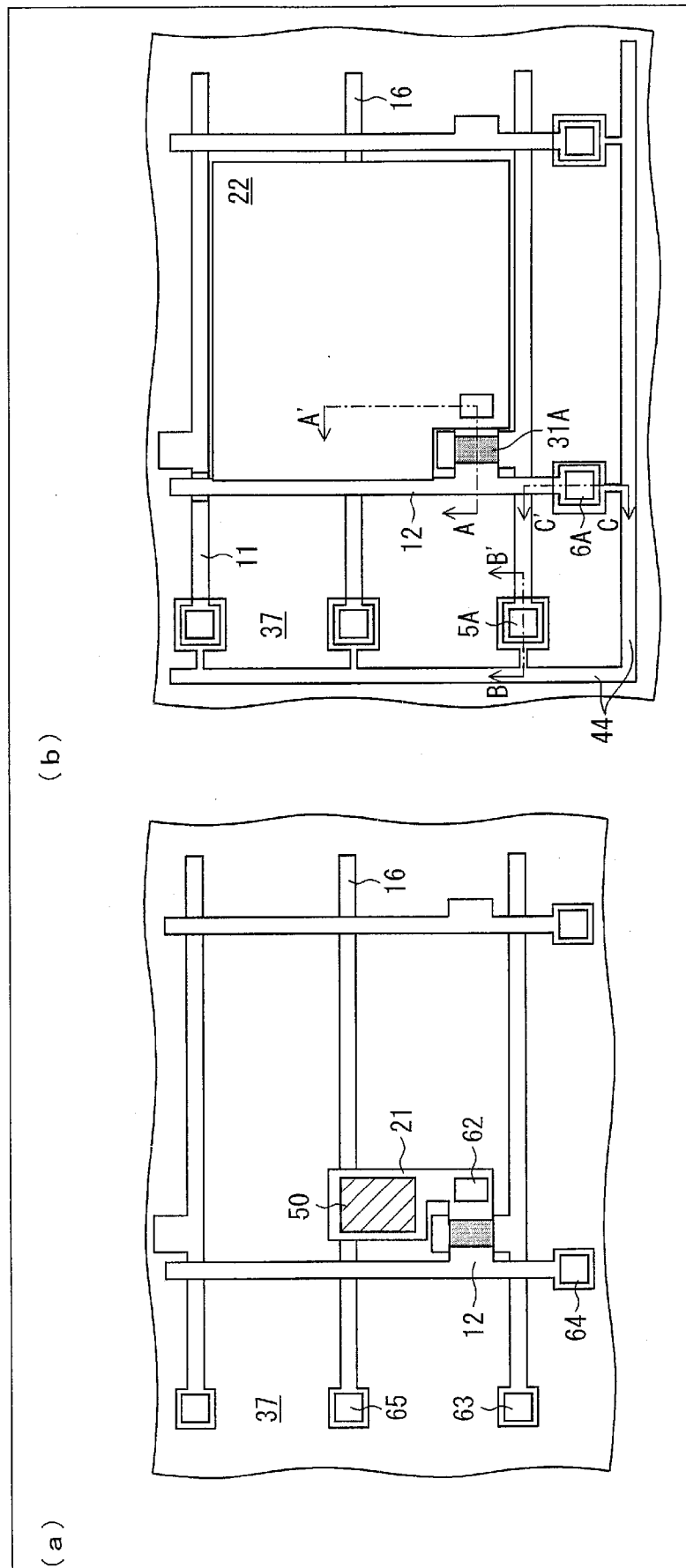
[図35]



[図36]

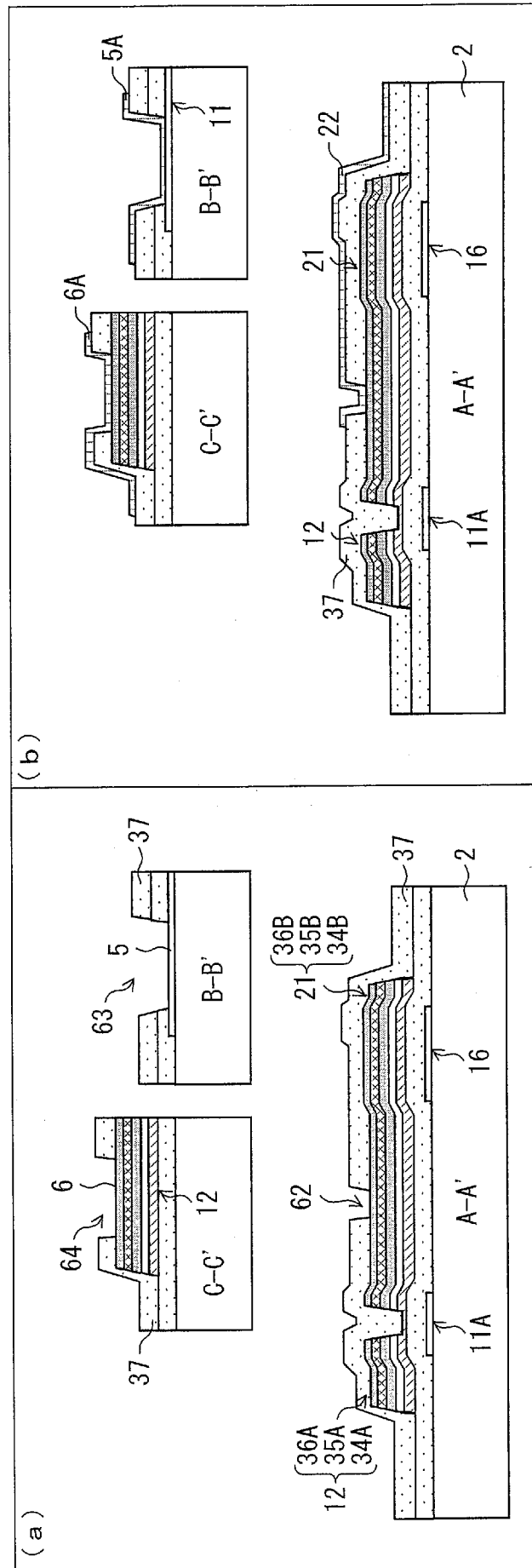


[図37]



[illegible]

[図39]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/070999

A. CLASSIFICATION OF SUBJECT MATTER

G02F1/1368(2006.01)i, G09F9/30(2006.01)i, H01L21/336(2006.01)i,
H01L29/786(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F1/1368, G09F9/30, H01L21/336, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-166765 A (Beijing Boe Optoelectronics Technology Co., Ltd.), 17 July 2008 (17.07.2008), paragraphs [0021] to [0036] & US 2008/0164470 A1	1-14
A	JP 2003-124213 A (Seiko Epson Corp.), 25 April 2003 (25.04.2003), paragraphs [0006] to [0079] (Family: none)	1-14
A	JP 2005-074367 A (Seiko Epson Corp.), 24 March 2005 (24.03.2005), paragraphs [0017] to [0113] (Family: none)	1-14



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
04 March, 2010 (04.03.10)

Date of mailing of the international search report
16 March, 2010 (16.03.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G02F1/1368 (2006.01)i, G09F9/30 (2006.01)i, H01L21/336 (2006.01)i, H01L29/786 (2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G02F1/1368, G09F9/30, H01L21/336, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 0 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 0 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 0 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-166765 A（北京京東方光電科技有限公司）2008.07.17, 0 0 2 1 段落ないし 0 0 3 6 段落 & US 2008/0164470 A1	1-14
A	JP 2003-124213 A（セイコーエプソン株式会社）2003.04.25, 0 0 0 6 段落ないし 0 0 7 9 段落（ファミリーなし）	1-14
A	JP 2005-074367 A（セイコーエプソン株式会社）2005.03.24, 0 0 1 7 段落ないし 0 1 1 3 段落（ファミリーなし）	1-14

C 欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 4 . 0 3 . 2 0 1 0

国際調査報告の発送日

1 6 . 0 3 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

棚田 一也

4 M

9 3 6 1

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 2