

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5340402号  
(P5340402)

(45) 発行日 平成25年11月13日(2013.11.13)

(24) 登録日 平成25年8月16日(2013.8.16)

(51) Int.Cl.		F I	
<b>G06F</b>	<b>1/32</b>	<b>(2006.01)</b>	G06F 1/00 332Z
<b>G06F</b>	<b>1/28</b>	<b>(2006.01)</b>	G06F 1/00 333Z
<b>G06F</b>	<b>1/04</b>	<b>(2006.01)</b>	G06F 1/04 301C

請求項の数 14 (全 12 頁)

(21) 出願番号	特願2011-536796 (P2011-536796)	(73) 特許権者	513111123
(86) (22) 出願日	平成21年5月29日 (2009.5.29)		エヌビディア・テクノロジー・ユーケー・リミテッド
(65) 公表番号	特表2012-510100 (P2012-510100A)		イギリス・EC4A・3AE・ロンドン・セイント・アンドリュー・ストリート・6・5階
(43) 公表日	平成24年4月26日 (2012.4.26)	(74) 代理人	100108453
(86) 国際出願番号	PCT/EP2009/056634		弁理士 村山 靖彦
(87) 国際公開番号	W02010/057686	(74) 代理人	100064908
(87) 国際公開日	平成22年5月27日 (2010.5.27)		弁理士 志賀 正武
審査請求日	平成24年3月14日 (2012.3.14)	(74) 代理人	100089037
(31) 優先権主張番号	0821459.5		弁理士 渡邊 隆
(32) 優先日	平成20年11月24日 (2008.11.24)	(74) 代理人	100110364
(33) 優先権主張国	英国 (GB)		弁理士 実広 信哉

最終頁に続く

(54) 【発明の名称】 アクティブ電力管理

(57) 【特許請求の範囲】

【請求項1】

複数のアクティブ周期中にソフトウェアを実行するプロセッサのクロック周波数を制御する方法であって、

前記方法は、各周期に対して、

高周波数動作インターバル及び低周波数動作インターバルを有する前記周期に対する実行プロファイルを定義する少なくとも1つのパラメータを電力管理アプリケーションに供給する段階と、

前記電力管理アプリケーションが、前記プロファイルに基づいて、高周波数動作インターバル及び低周波数動作インターバルに対して所定のクロック周波数を決定する段階と、

前記プロセッサが、前記周期に対する動作サイクル要求を、周期の開始時に、前記電力管理アプリケーションに供給する段階と、

前記電力管理アプリケーションが、前記低周波数インターバル長を、前記動作サイクル要求に基づいて、各周期に対して、決定する段階と、

前記電力管理アプリケーションによって決定した前記所定のクロック周波数に基づいて、各インターバル内で前記クロック周波数を制御する段階と

を有することを特徴とする方法。

【請求項2】

前記電力管理アプリケーションは、更に前記プロセッサに対する供給電圧を制御することを特徴とする請求項1に記載の方法。

## 【請求項 3】

前記電力管理アプリケーションは、前記高周波数動作インターバル及び低周波数動作インターバルの各々の中で、前記プロセッサに第一及び第二の所定の供給電圧のうちの1つを供給すること制御するように構成されることを特徴とする請求項 2 に記載の方法。

## 【請求項 4】

周期は、無線通信システム内で転送された情報に対するタイムスロットであることを特徴とする請求項 1 ~ 3 のいずれか 1 項に記載の方法。

## 【請求項 5】

実行プロファイルは、前記プロセッサの動作の各モードに固有であることを特徴とする請求項 1 ~ 4 のいずれか 1 項に記載の方法。

10

## 【請求項 6】

前記プロセッサの動作のモードは、無線通信システム内の通信モードに基づくことを特徴とする請求項 1 ~ 5 のいずれか 1 項に記載の方法。

## 【請求項 7】

前記実行プロファイルを定義するパラメータは、  
高周波数動作インターバルに対する高周波数クロック速度と；  
前記高周波数動作インターバルに対する最小の長さ；  
前記実行プロファイルに対する前記周期の長さ；  
前記周期に対する前記平均クロック周波数

のうちの少なくとも 1 であることを特徴とする請求項 1 ~ 6 のいずれか 1 項に記載の方法。

20

## 【請求項 8】

周期の開始時に前記プロセッサによって供給される前記動作サイクル要求は、MIPSで決定することを特徴とする請求項 1 ~ 7 のいずれか 1 項に記載の方法。

## 【請求項 9】

各インターバルに対して前記電力管理アプリケーションによって決定される前記所定のクロック周波数は、前記プロセッサにクロック信号を供給するクロックの精度に依存することを特徴とする請求項 1 ~ 8 のいずれか 1 項に記載の方法。

## 【請求項 10】

前記低周波数インターバルの長さ及び各インターバルに対する前記所定のクロック周波数を、各周期に対して決定するときに、前記電力管理アプリケーションによって考慮される、動作サイクル要求を前記電力管理アプリケーションに供給するように、更なるプロセッサを構成することを特徴とする請求項 1 ~ 9 のいずれか 1 項に記載の方法。

30

## 【請求項 11】

複数のアクティブ周期中にソフトウェアを実行するように構成されたプロセッサと、  
高周波数動作インターバル及び低周波数動作インターバルを有する各周期に対して、実行プロファイルを定義するパラメータを受信するように動作するとともに、各インターバルに対する前記所定のクロック周波数を決定するように動作可能な電力管理アプリケーションと、

前記電力管理アプリケーションによって決定した周波数において、前記プロセッサにクロック信号を供給するための手段と、

40

を具備し、

前記プロセッサは、前記周期に対する動作サイクル要求を、周期の開始時に前記電力管理アプリケーションに供給するように動作可能であり、

前記電力管理アプリケーションは、前記低周波数インターバルの長さを、前記パラメータ及び前記動作サイクル要求に基づいて各周期に対して決定するように動作可能であることを特徴とする電力管理システム。

## 【請求項 12】

前記プロセッサに電圧を供給するための手段を更に有し、

前記電圧は、前記電力管理アプリケーションによって制御される

50

ことを特徴とする請求項 1 1 に記載のシステム。

【請求項 1 3】

前記電圧を供給するための供給手段は、前記高周波数動作インターバル及び低周波数動作インターバルの各々に対して、第一及び第二の所定の電圧のうちの 1 つを印加するように動作可能である

ことを特徴とする請求項 1 2 に記載のシステム。

【請求項 1 4】

クロック手段からクロック信号を受信するとともに、前記所定のクロック周波数を決定するときに考慮される動作サイクル要求を、前記電力管理アプリケーションに供給するように更に動作可能なように構成されたプロセッサを有することを特徴とする請求項 1 1 ~ 1 3 のいずれか 1 項に記載のシステム。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アクティブ電力管理計画で、プロセッサのクロック周波数を制御するための方法及びシステムに関する。

【背景技術】

【0002】

本発明は、アクティブ・モードにおける電力消費を最小化するためのプロセッサ・クロック周波数及びコア供給電圧 (Vdd) の短期的制御を意味するアクティブ電力管理 (APM) の分野に属する。アクティブ電力管理は、一般に、クロック周波数及び電圧が数百マイクロ秒ごとに変更されなければならないこともある高速の電力管理構成要素である。判断は、短期的なアプリケーション要求に基づいている。

20

【発明の概要】

【発明が解決しようとする課題】

【0003】

多数のアクティブ電力管理計画が存在する。前記最適なVdd/クロック周波数の割合を見つけるために使用される多くのそのような計画は、両パラメータが連続的に変化できることを想定している。そのような電力モデルは、供給電圧及び/又はクロック周波数が、既定の精度 (granularity) を有するアーキテクチャ内では適用できない。

30

【課題を解決するための手段】

【0004】

本発明の目的は、クロック周波数が精度に対してのみ変化されるところに存在する制限を緩和できる、プロセッサの前記クロック周波数を制御するための方法及びシステムを提供することである。

【0005】

本発明の一態様によると、複数のアクティブ周期中にソフトウェアを実行するプロセッサのクロック周波数を制御する方法であって、前記方法は、各周期に対して、高周波数動作インターバル及び低周波数動作インターバルを有する前記周期に対する実行プロファイルを定義する少なくとも 1 つのパラメータを電力管理アプリケーションに供給する段階と、前記電力管理アプリケーションが、前記プロファイルに基づいて、高周波数動作インターバル及び低周波数動作インターバルに対して所定のクロック周波数を決定する段階と、前記プロセッサが、前記周期に対する動作サイクル要求を、周期の開始時に、前記電力管理アプリケーションに供給する段階と、前記電力管理アプリケーションが、前記低周波数インターバル長を、前記動作サイクル要求に基づいて、各周期に対して、決定する段階と、前記電力管理アプリケーションによって決定した前記所定のクロック周波数に基づいて、各インターバル内で前記クロック周波数を制御する段階とを有することを特徴とする方法を提供する。

40

【0006】

本発明の他の一態様によると、複数のアクティブ周期中にソフトウェアを実行するのに

50

適したプロセッサと、高周波数動作インターバル及び低周波数動作インターバルを有する各周期に対して、実行プロファイルを定義するパラメータを受信するように動作するとともに、各インターバルに対する前記所定のクロック周波数を決定するように動作可能な電力管理アプリケーションと、前記電力管理アプリケーションによって決定した周波数において、前記プロセッサにクロック信号を供給するための手段と、を具備し、前記プロセッサは、前記周期に対する動作サイクル要求を、周期の開始時に前記電力管理アプリケーションに供給するように動作可能であり、前記電力管理アプリケーションは、前記低周波数インターバルの長さを、前記パラメータ及び前記動作サイクル要求に基づいて各周期に対して決定するように動作可能であることを特徴とする電力管理システムを提供する。

【0007】

本明細書に記載の発明の具体例は、クロック周波数選択がその精度によって制限されているアーキテクチャ、特に、前記クロックが、デバイスによって分割された高周波數位相固定ループ(PLL)出力によって生成されるアーキテクチャにおいて、特に適している。その場合、前記デバイスは、クロック手段への前記電力管理アプリケーションからの出力である。

【0008】

本発明の好ましい具体例では、前記電力管理アプリケーションはまた、高周波数動作インターバルと低周波数動作インターバルのための供給電圧を決定する。特に好ましい具体例では、前記高周波数動作インターバルと前記低周波数動作インターバルの各々のために、第一及び第二の所定の供給電圧のうちで選択される。

【0009】

本発明の具体例は、ソフト・モデムを実行するために無線モデム・アプリケーションを動作しているプロセッサに特に適している。モデム・アプリケーションの百万命令毎秒(MIPS)の特性は、均一ではない(いくつかの集中的な活動を素早く完了する必要があるとき、平均要求MIPSは、最大要求MIPSより低い)。前記プロセッサの前記クロック周波数(及び、結果的には前記供給電圧)が、アプリケーション実行の間中、変化しない場合、非アクティブの長い周期が存在しうる。より素早いより高いクロック周波数でそれを実行するとともに、その後アイドル状態になることに比べて、より低いクロック周波数で同じジョブを実行することはより電力効率がよいため、本明細書に記載の前記電力管理アプリケーションは、非アクティブな周期を最小限にする狙いがある。

【0010】

本明細書に記載の発明の実施形態は、無線モデム・アプリケーションのような規則的な実行パターンを用いてリアルタイム・コードを実行するプロセッサと、より汎用目的のプロセッサに類似した別のプロセッサとの2つのプロセッサが存在するアーキテクチャを有する。

【0011】

本発明は、情報が無線通信システム内で転送されるとともに、スロットの基準に基づいて処理される必要があるとき、無線モデム内でのスロットベースの活動に特に適している。そのようなシステムは、GSM又はUMTSシステムを含む。そのような場合、周期はスロットと調整されうる。

【0012】

本発明の記載の実施形態は、自動電力管理(APM)の切り替えのスピードが、ミリセカンドより短く、非常に高速であることが可能という利点を提供する。

【0013】

以下の実施形態では、クロック周波数は、前記周波数を変更するための2段階の制御入力に従う。

【0014】

各「モード」は、APM周期の範囲内で、名目上の高/低速度のスプリットを定義するAPM(実行)プロファイル(単一周波数とは対照的に)を有する：このことは初期MIPSチューニングを提供する。

10

20

30

40

50

## 【 0 0 1 5 】

その後、前記名目上の高/低スプリットは、非常に細かく動的なMIPS制御を提供するために、スロットごとの基準に基づいて変更される。

## 【 0 0 1 6 】

並列だが、接続した電圧変化（すなわち、周波数変化に加えて、だが部分的に反応して）は、前記APM周期の高い部分及び低い部分の両方に、信頼できる電圧設定を提供するために、電圧追跡ソフトウェア（AVS）との密接な相互作用を提供する。

## 【 0 0 1 7 】

本発明をより理解するために、及び本発明をいかに実行に移すかを示すために、実施例として、添付図面を参照に用いる。

10

## 【図面の簡単な説明】

## 【 0 0 1 8 】

【図1】図1は、アクティブ電力管理を使用するプロセッサ・アーキテクチャの概略のブロック図である。

【図2】図2は、プロセッサ内でアクティブ電力管理のための一連のステップの概略のフロー図である。

【図3】図3は、プロセッサのための代表的な概略の実行プロファイルである。

## 【発明を実施するための形態】

## 【 0 0 1 9 】

図1を参照すると、アクティブ電力管理を使用するプロセッサ・アーキテクチャの概略のブロック図が示されている。わかりやすくするために、図1の一定の要素を、機能にしたがって表示した前記ブロック図内に分離ブロックとして表示する。これらの要素は、事実上、前記アーキテクチャ内で1又は複数のプロセッサ上で実行されるソフトウェア・アプリケーションであってもよいことが容易に認められる。

20

## 【 0 0 2 0 】

アクティブ電力管理アプリケーション（AMP）10は、第一プロセッサDXP012上で動作する。前記AMP10は、プロセッサDXP012からMIPSの形式で、動作サイクル情報を受信するように構成されている。APM10はまた、実行プロファイルを定義するパラメータを受信するように構成されている。本発明の特別な実施形態では、前記実行プロファイル・データを、プロセッサDXP012上で動作しているアプリケーションによってAPM10に供給する。また、更なるプロセッサDXP114を設置する。

30

## 【 0 0 2 1 】

前記プロセッサDXP114は、実行プロファイルを有さず（汎用目的のプロセッサとして動作することを想定する）、かつ要求に応じて必要な動作周波数（本明細書ではMHzで表す）を要求できる。しかしながら、前記プロセッサDXP012は、「周期的な」性質のリアルタイム・アプリケーションを扱う。前記プロセッサDXP012のクロック要求については、後述する。

## 【 0 0 2 2 】

APM10からのクロック周波数制御出力15は、プロセッサ・クロック（CLK）16を制御する。前記クロック16は、前記AMP10によって制御された周波数で、プロセッサDXP012及びDXP114のためにクロック信号を生成する。APM10からの電圧制御出力17は、第一及び第二のプリセット・レベルであるVdd1、Vdd2から供給電圧を選択する自動電圧供給（AVS）機能18の範囲内で、機能20を制御する。前記選択された設定であるVdd1又はVdd2は、プロセッサDXP012及びDXP114の前記供給電圧を設定する。

40

## 【 0 0 2 3 】

前記AVS18は、個々の設定の間で選択するための選択（高速経路）機能20に加えて、例えば温度を追跡するために、Vdd1及びVdd2のレベルを設定する機能22（全経路機能）を有する。

## 【 0 0 2 4 】

動作中、実行プロファイル・データを、APM10に供給する。前記実行プロファイル・

50

データは、プロセッサDXP012によってAPM10に供給してもよい。

【0025】

実行プロファイルは、プロセッサDXP012のクロック周波数(MHz)要求が、全プロファイル期間にわたって、どのように変化しているかを定義する。プロセッサDXP012の動作は、周期的であると想定される。本明細書では、周期は、著しく処理活動が要求され、その後に小康状態が続く間の時間である。一例は、無線通信システム内のデータのUMTSスロットであり、UMTSスロットは、666マイクロ秒の長さである。前記周期は、「ショート」であると想定され、そのことは、変更待ち時間、及びAPMのオーバーヘッドの理由で、一周期内で何度も供給電圧Vdd18を変更できないことを意味している。

【0026】

実行プロファイルは、モード固有である。結果として、例えば、UMTSモード及びGSMモードのための分割プロファイルがありうる。AMP10のソフトウェアは、前記無線モデム・モードが変化するとき(例えば、UMTS/GSM、またUMTS音声/UMTS高速データ)、前記活動プロファイルを変更させることができる。

【0027】

前述の実施形態によると、実行プロファイルは、2つの部分のみから構成されている：高速(高周波数)インターバルと低速(低周波数)インターバルである。APM10の要求は、そのような単純なモデルでは容易に表現できないことが認められ、その結果、追加の柔軟性が許容される。前記アプリケーションは、図3に示され、かつ後述されるように、各プロファイル周期内で、前記低周波数インターバルの短縮を求めることができる。

【0028】

実行プロファイルは、パラメータ形式でAPM10に提供してもよく、以下の情報を有する。

- ・前記高周波数インターバルのための要求されたクロック周波数
- ・マイクロ秒内で前記高周波数インターバルの最小の長さ
- ・前記全実行プロファイル周期の長さ
- ・前記アプリケーションが要求する平均クロック周波数

【0029】

前記AMP10は、その後、AMP10に供給される前記実行プロファイル・データに基づいて、各実行プロファイルに対して更なる情報を得ることができる。前記得られたデータは、以下を含んでもよい。

- ・前記高周波数インターバルに対する所定のクロック周波数；
- ・前記低周波数インターバルに対する所定のクロック周波数；
- ・前記名目上の高周波数インターバル長

【0030】

「所定の」周波数を選択する処理内で、前記プロセッサDXP114から要求されたMIPSは、要請されうる(前記プロファイルからの前記パラメータに加えて)ことが考慮される。このようにDXP1は、プロファイルに基づく「所定の処理」を変更できる。

【0031】

前記高周波数インターバルに対する前記所定のMHzは、通常、即ち名目上の動作状態の下では、前記要求されたMHzより高い。このことは、前記クロック16の精度によるものである。前述の実施形態では、前記クロック信号は、デバイサ(divisor)によって制御された周波数を有する位相固定ループ(PLL)によって生成される。

【0032】

前記低周波数インターバルと、前記実際の名目上の高周波数インターバル長とに対する前記所定のMHzは、平均MHz要求を満足するように選択されてよい。また、前記所定のMHzは、前記クロック16の精度を考慮してもよい。

【0033】

前記高周波数及び低周波数インターバルに対する所定のMHzは、所定のモードのために一定を維持する。前記AVS機能18は、ライン15上で前記所定のMHzを受信するとともに

10

20

30

40

50

、2つのVdd設定であるVdd1及びVdd2に適合させるために、基準MHzとして前記所定のMHzを使用する。このことは、以下でさらに説明する。

【0034】

前記低周波数インターバルに対する前記所定のMHzは、前記高周波数インターバルに対する前記所定のMHzより高くなることはできない。前記低周波数インターバルに対する前記所定のMHzと前記高周波数インターバルに対する前記所定のMHzとは、同じになることはできる。このことは、前記クロック周波数の所定の処理によって保証される。前記低周波数インターバルの長さは、前記プロセッサDXP012上で実行するアプリケーション（モデム・ソフトウェア）に応じて変更できる。

【0035】

すなわち、前記低周波数インターバルに対してプロセッサDXP012によって要求された前記MIPSは、周期の基準によって周期で異なるので、前記モデム・ソフトウェアは、各周期の開始時に（実際、高周波数から低周波数への遷移全てにおいて）、APM10にこの情報を渡すことができるように構成する。前記AMP10は、その後必要に応じて、前記モデム・ソフトウェアにより多くのMIPSを与えるために、高周波数への遷移にその後の低周波数を繰り上げることを決定するか、又は前記現在の周期に対する前記低インターバルを完全に抑制することを決定する。この特徴は、前記基本的な両インターバルの周期性を拡大するために、パルス幅変調（PWM）の一種としてみることができる。

【0036】

プロファイル・インターバル切替え（すなわち、高周波数インターバルから低周波数インターバル、及びその逆に切り替える）は、前記クロック周波数の変更と、Vdd1/Vdd2の間の前記供給電圧の選択を伴う。

【0037】

前記クロック周波数は、APM10からCLK16に送信された前記クロック・デバイサを変更することによって変更する。この構成は、CLK16の生成に使用される前記位相固定ループの再プログラミングを必要とせず、かつしたがって非常に高速である。

【0038】

電圧変更は、前記コア電圧（全経路）に対する二つのVddの設定をプログラミングするとともに、専用の入力信号17（高速経路）を使用して二つのVddの間を切り替えることによって、本明細書では実施される。APM10は専用のハードウェア信号の高速トグルを使用して両設定のうちの1つを選択している一方で、二つのVdd設定の実際のプログラミングは、プロセッサDXP114上で動作している前記AVSアプリケーションによって実行される。

【0039】

AVS18の出力を制御する選択機能20が切り替えられるときと、前記選択されたVddが所望の電圧水準に至るときとの間に待ち時間がある。

【0040】

前記Vdd待ち時間の理由で、前記Vddがより高い周波数に適することを保証するために、より高い周波数及び電圧に変更するとき、周波数変更前に、Vdd18の変更イベントをスケジュールする。

【0041】

実行周期中にインターバル間を遷移するとき、以下の2つの場合が考えられる。

- ・低周波数インターバル 高周波数インターバルの切り替え

第一Vdd18は、増加しなければならず、かつ十分な遅延の後にのみ、CLK16が増加してもよい。このことは、Vdd/周波数を減少させることとは違い、2ステップ動作として実行してもよい。前記高周波数インターバルに切り替える前に発生するように、電圧変更をスケジュールしてもよい。クロック周波数の切り替えは、要求されたときにちょうど発生するようにスケジュールされる。

- ・高周波数インターバル 低周波数インターバルの切り替え

第一CLK16は、減少するべきであり、かつその後Vdd18は、減少してもよい。このこ

10

20

30

40

50

とは、要求に応じて、すなわち、前記モデム・ソフトウェアが、前記高インターバルが完了したタイミング時に、実行してもよい。

【0042】

図2を参照して、プロセッサのアクティブ電力管理のための一連のステップを概説するために、概略のフローチャートを示す。実行プロファイルは、ステップ22でAPM10に提供される。前記実行プロファイルは、上述のようなパラメータを有するとともに、アクティブ周期に対する高周波数動作インターバル及び低周波数動作インターバルを定義する。

【0043】

供給された前記実行プロファイルに基づいて、AMP10は、DXP014のMHz要求とクロック精度とを考慮して、前記所定の高周波数クロックを決定する(ステップ24)とともに、前記所定の低周波数クロックを決定する(ステップ26)。

ステップ28で、APMは、AVSに所定のクロックを渡す。

【0044】

ステップ30で、前記モデム・ソフトウェアによって決定した、前記周期に対する動作サイクル要求が、周期の開始時にAPM10にも供給される。前記動作サイクル要求は、プロセッサDXP012によって提供してもよい。典型的な動作サイクル要求は、要求されるMIPSの形式であってもよい。前記低周波数インターバル長は、ステップ32でAPM10によって、前記動作サイクル要求に基づいて計算してもよい。

【0045】

前記低周波数インターバル長の計算は、前記高周波数インターバルが、「神経質な(jittery)」遷移をするかどうかの評価に従ってなされる。APM10は、該周期内で要求される前記MIPSと、前記「神経質な」高から低への遷移の実際的时间とに基づいて、前記低インターバルの全部の周期長を決定する。

【0046】

効果的な統合電力管理のために、本発明の前述の実施形態では、前記所定の高周波数クロック及び所定の低周波数クロックは、AVS機能18に供給される。前記AVSは、上述のようにVdd1及びVdd2の設定に適合させるために、該クロック情報を使用してもよい。

【0047】

ステップ34で、AMP10は、前記プロセッサ・クロック信号を生成する前記位相固定ループに提供される前記クロック信号を分割するためのデバイスを提供することによって、CLK16を制御する。Vddは、上に説明したように制御される。ステップ30・32・34は、ループ内で繰り返し実行される。

【0048】

以下は、本発明を実行するために使用可能なアルゴリズムである：

【0049】

10

20

30

## 【表 1】

## Inputs:

Requested high MHz (HighMhzReq)  
 Requested average MHz (AvgMhzReq)  
 Execution profile length (ProfileLen)  
 Minimum high interval length (MinHighLen)  
 Requested DXPO MHz (Dxp0DirectReq)  
 Requested DXPI MHz (DxplDirectReq)  
 Minimum settable MHz (MinMHz)  
 PLL out MHz (PllMhz)

10

## Outputs:

Granted high MHz (GrantedHighMhz)  
 Granted low MHz (GrantedLowMhz)  
 Nominal high interval length (NominalHighLen)  
 Nominal low interval length (NominalLowLen)  
 Granted MHz when APM inactive (GrantedDirectMhz)

## Functions:

FindLowerSettableMHz(mhz): PllMhz/CEILING(PllMhz/mhz)  
 FindHigherSettableMHz(mhz): PllMhz/FLOOR(PllMhz/mhz)  
 IsLowIntervalPwm(...): selects flat/PWM low interval

20

## Algorithm:

GrantedDirectMhz = MAX(Dxp0DirectReq, DxplDirectReq, MinMHz)  
 ModulatedHighMhzReq = MAX(HighMhzReq, DxplDirectReq, MinMHz)  
 GrantedHighMhz = FindHigherSettableMHz(ModulatedHighMhzReq)  
 MaxLowLen = ProfileLen - MinHighLen  
 Dxp1DirectReqRemaining = GrantedHighMhz -  
 (GrantedHighMhz - DxplDirectReq) \* ProfileLen / MaxLowLen  
 LowMhzReq = HighMhzReq -  
 (HighMhzReq - AvgMhzReq) \* ProfileLen / MaxLowLen  
 ModulatedLowMhzReq = MAX(LowMhzReq, Dxp1DirectReqRemaining)  
 LowSettableMhzHigher =  
 MAX(FindHigherSettableMHz(ModulatedLowMhzReq), MinMHz)  
 LowSettableMhzLower =  
 MAX(FindLowerSettableMHz(ModulatedLowMhzReq), MinMHz)  
 LowIntervalPwm = IsLowIntervalPwm (...)  
 GrantedLowMhz = LowIntervalPwm ?  
 LowSettableMhzLower : LowSettableMhzHigher  
 LowLen = MaxLowLen \* (GrantedHighMhz - ModulatedLowMhzReq) /  
 (GrantedHighMhz - GrantedLowMhz)  
 NominalLowLen = LowLen < MaxLowLen ? LowLen : MaxLowLen  
 NominalHighLen = ProfileLen - NominalLowLen

30

40

## 【 0 0 5 0 】

上記アルゴリズムは、前記低インターバル長を減少させることができるが、拡大することはできない。しかしながら、前記低インターバル長を拡大可能な別の方法がある。

## 【 0 0 5 1 】

前記アルゴリズムは、説明目的のためだけに含まれている。本発明の範囲は、添付の特許請求の範囲内に記載されているように、本発明を実行する別のアルゴリズムの使用をカバーすることを意味する。別のアルゴリズムは、追加要因を適応させる。

## 【 0 0 5 2 】

前記APM 10の使用者は、前記低周波数インターバル長を、その瞬間のクロック周波数要求の評価に依存するその名目上の値から、拡大又は縮小(可能な場合)することを、動

50

的に（周期の基準によって周期で）要求してもよい。

【 0 0 5 3 】

図 3 を参照すると、実行プロファイルに対する典型的な図面が示されている。横軸は時間を示す。前記高周波数インターバル 3 8 と、前記低周波数インターバル 4 0 とが、前記全プロファイル周期 4 2 を有するように明確に示されている。

【 0 0 5 4 】

図 3 はまた、前記高周波数インターバル及び前記低周波数インターバルに対する前記要求されたクロック周波数 4 4 と、前記高周波数インターバル及び前記低周波数インターバルに対する前記所定のクロック周波数 4 6 とを図示している。また前記Vddトレース 4 8 が示されるとともに、前記高周波数インターバルから前記低周波数インターバルへの遷移中の前記Vdd待ち時間 5 0 と、前記低周波数インターバルから前記高周波数インターバルへの遷移中の前記Vdd待ち時間 5 2 とを説明している。

10

【 0 0 5 5 】

前記プロファイル周期 4 2 の開始 5 4 と、前記プロファイル周期 4 2 の終了 5 6 とは、既に上述したように、固定されている。しかしながら、前記高周波数インターバルから前記低周波数インターバルへの遷移は、ジッタ（jitter）5 8 を受ける可能性がある。従って、前記低周波数インターバル 4 0 の長さは、これを適応させるために 6 0 ・ 6 2 に変更してもよく、かつ前記低インターバルを拡大することによって、電力効率を向上させてもよいことが、図 3 に示されている。

【 0 0 5 6 】

上述の前記アクティブ電力管理は、「周期的な」ソフトウェア、すなわち、例えば無線通信システム内か、又はデータ処理が「バースト的（bursty）」である他の状況におけるスロットベースのデータ処理に特に適する。その他の状況で、前記プロセッサDXP0 1 2 は、前記プロセッサDXP1 1 4 と同様に、通常動作内でMHzを要求可能である。該アーキテクチャは、設定可能であるため、実行プロファイルが選択される場合、MHzに対する前記プロセッサDXP0 1 2 からのどの直接要求も無視される。前記プロセッサDXP0 1 2 は、前記直接MHz要求が、有効になる場合において、前記実行プロファイルを「選択しない」ように命令される。どのプロファイルも選択されず、かつどのプロセッサ要求MHzも選択されない場合、最小MHzが選択される。

20

【 0 0 5 7 】

前記プロセッサDXP1 1 4 及びDXP0 1 2（直接か又はプロファイルベースかのどちらか）によるMHz要求は、前記AMP 1 0 内で組み合わせられるとともに、前記組み合わせられたMHz要求に対する前記供給電圧Vddを追跡する前記AVS機能 1 8 に渡される。

30

【 0 0 5 8 】

上述の実施形態では、前記低周波数インターバルの長さのみを周期の開始時に、受信した前記MIPS要求に基づいて変更する一方で、その点において、前記所定のクロック周波数を調整することも可能である。

【 符号の説明 】

【 0 0 5 9 】

1 0 APM  
1 2 DXPO  
1 4 DXP1  
1 6 CLK

40

【 図 1 】

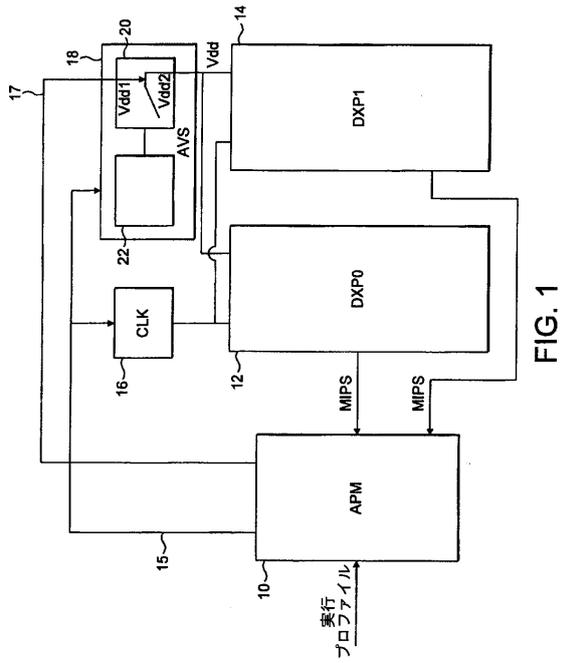


FIG. 1

【 図 2 】

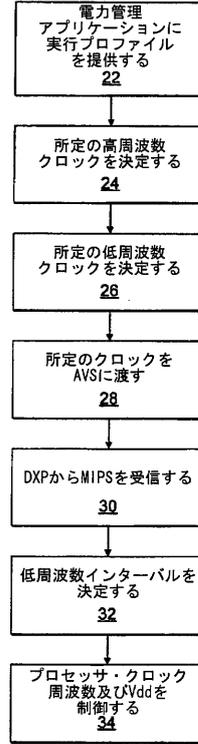


FIG. 2

【 図 3 】

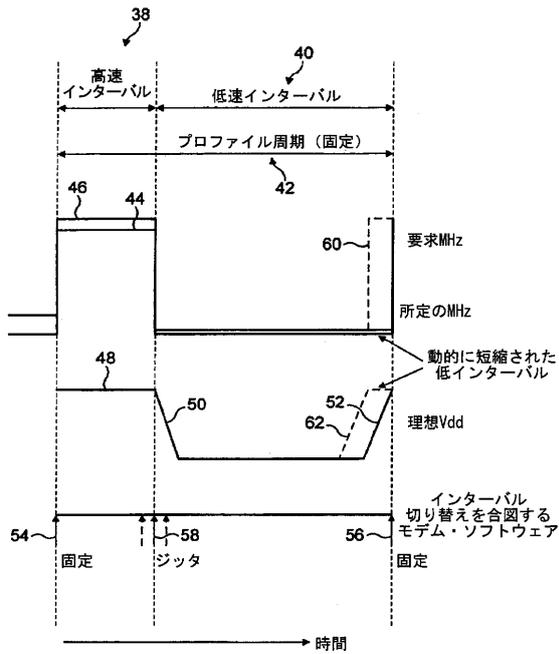


FIG. 3

---

フロントページの続き

(72)発明者 ピーター・カミング  
イギリス・GL12・8ND・ウォットン・アンダー・エッジ・ウィックワー・ターンパイク・ゲート・34

(72)発明者 マルチン・フロンド  
イギリス・BS32・9BJ・ブリストル・ブラッドレー・ストーク・チャンプス・サー・マーン・82

審査官 山口 大志

(56)参考文献 特開2000-137539(JP,A)  
特開2004-310756(JP,A)

(58)調査した分野(Int.Cl., DB名)  
G06F 1/32  
G06F 1/04  
G06F 1/28