(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0077506
(43) 공개일자 2008년08월25일

(51) Int. Cl.
H01L 29/786 (2006.01)
(21) 출원번호 10-2007-0017139
(22) 출원일자 2007년02월20일
심사청구일자 2007년02월20일

(71) 출원인
고려대학교 산학협력단
서울 성북구 안암동5가1 고려대학교 내
(72) 발명자
최종호
서울 성북구 돈암동 609-1 한신아파트 110동 1505호
서훈석
충남 논산시 연산면 연산리 480
(뒷면에 계속)
(74) 대리인
현종철

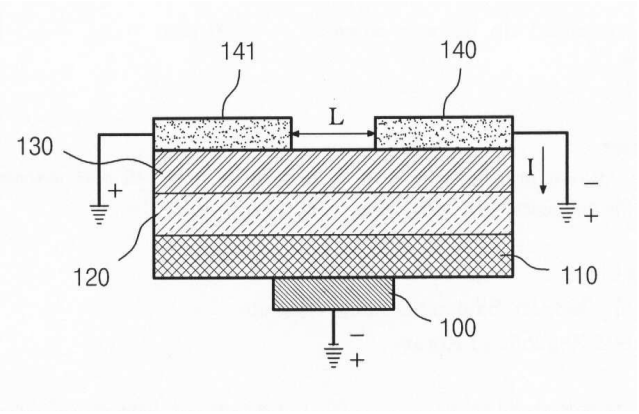
전체 청구항 수 : 총 9 항

(54) 유기박막 트랜지스터의 제조방법 및 그 방법에 의하여제조된 유기박막 트랜지스터

(57) 요 약

유기박막 트랜지스터의 제조방법을 개시한다. 본 발명에 따르는 유기박막 트랜지스터의 제조방법은 평평한 유전체층의 표면에 계면활성제를 도포하여 자기조립 단분자막(Self-Assembled Monolayers, SAM)을 형성하는 단계; 노즐을 구비한 도가니 내부에 펜타센 화합물을 배치하고, 상기 도가니에 2 내지 15V의 전압을 인가하여 상기 자기조립 단분자막이 형성된 유전체층을 타겟으로 하여 상기 펜타센 화합물을 증기화하는 단계; 상기 펜타센 화합물의 증기가 상기 도가니의 노즐을 통과하며 클러스터를 형성하는 단계; 상기 유전체층의 상부에 상기 펜타센 화합물의 증기를 20 내지 30℃의 실온에서 증착하여 유기막을 형성하는 단계; 및 상기 유기막의 상부에 소스전극과 드레인전극을 형성하는 단계;를 포함하는 것을 특징으로 하는데, 클러스터 빔 증착법을 이용하여 유기박막의 결정도를 높이는 한편, 계면활성제를 이용하여 유기박막이 성장될 게이트 절연층의 표면에 유기물이 균일하게 증착될 수 있다.

대표도 - 도1



(72) 발명자

장영세

서울 노원구 공릉3동 시영아파트 204동 301호

장영

서울 성북구 안암동 5가 고려대학교 자연계캠퍼스 아산이학관324호

특허청구의 범위

청구항 1

평평한 유전체층의 표면에 계면활성제를 도포하여 자기조립 단분자막(Self-Assembled Monolayers, SAM)을 형성하는 단계;

노즐을 구비한 도가니 내부에 펜타센 화합물을 배치하고, 상기 도가니에 2 내지 15V의 전압을 인가하여 상기 자기조립 단분자막이 형성된 유전체층을 타겟으로 하여 상기 펜타센 화합물을 증기화하는 단계;

상기 펜타센 화합물의 증기가 상기 도가니의 노즐을 통과하며 클러스터를 형성하는 단계;

상기 유전체층의 상부에 상기 펜타센 화합물의 증기를 20 내지 30℃의 실온에서 증착하여 유기막을 형성하는 단계; 및

상기 유기막의 상부에 소스전극과 드레인전극을 형성하는 단계;를 포함하는 것을 특징으로 하는 유기박막 트랜지스터의 제조방법.

청구항 2

제 1 항에 있어서,

상기 도가니의 재질이 스테인레스 또는 흑연인 것을 특징으로 하는 유기박막 트랜지스터의 제조방법.

청구항 3

제 1 항에 있어서,

상기 도가니의 노즐 직경은 0.5 내지 1.5㎜인 것을 특징으로 하는 유기박막 트랜지스터의 제조방법.

청구항 4

제 1 항에 있어서,

상기 도가니의 온도가 220 내지 250℃인 것을 특징으로 하는 유기박막 트랜지스터의 제조방법.

청구항 5

제 1 항에 있어서,

상기 유기막의 두께는 400 내지 600Å인 것을 특징으로 하는 유기박막 트랜지스터의 제조방법.

청구항 6

제 1 항에 있어서,

상기 펜타센의 증착속도는 0.8 내지 1.2 Å/sec인 것을 특징으로 하는 유기박막 트랜지스터의 제조방법.

청구항 7

제 1 항에 있어서,

상기 계면활성제는 헥사메틸디실라잔(Hexamethyldisilazane, HMDS) 또는 옥타데실트리클로로실란(octadecyltrichlorosilane: OTS), 부틸트리클로로실란, 3-클로로프로필트리클로로실란, 3-브로모프로필트리클로로실란, 트리클로로(3,3,3-트리플루오로프로필)실란, 펜에틸트리클로로실란, 4-(클로로메틸)페닐트리클로로실란, 및 2-(4-클로로술포닐페닐)에틸트리클로로실란으로 이루어진 군에서 선택된 하나 이상인 것을 특징으로 하는 유기박막 트랜지스터의 제조방법.

청구항 8

제 7 항에 있어서,

상기 계면활성제가 헥사메틸디실라잔(HMDS) 또는 옥타데실트리클로로실란(OTS)인 것을 특징으로 하는 유기박막

트랜지스터.

청구항 9

제 1 항 내지 제 8 항 중 어느 한 항에 따른 제조방법에 의하여 제조된 것을 특징으로 하는 유기박막 트랜지스터.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<15> 본 발명은 유기박막 트랜지스터의 제조방법 및 그 방법에 의하여 제조된 유기박막 트랜지스터에 관한 것으로서, 더욱 상세하게는 클러스터 빔 증착법을 이용하여 유기박막의 결정도를 높이는 한편, 계면활성제를 이용하여 유기박막이 성장될 유전체층의 표면에 유기물이 균일하게 증착될 수 있는 유기박막 트랜지스터의 제조방법 및 이에 의하여 제조된 유기박막 트랜지스터에 관한 것이다.

<16> 일반적으로 평판 표시 패널이라 함은 가시광선을 내는 특성을 이용한 전면이 평판으로 된 장치로서 두 전극 사이에 강한 전압을 걸면 전극 사이에 기체(Gas) 방전이 생기고, 이때 발생하는 자외선이 형광체에 부딪혀 빛을 내는 현상을 이용한 PDP(플라즈마 디스플레이 패널), 평면으로 형성된 캐소드(Cathode)에서 방출된 전자가 형광체에 부딪혀 발광하는 FED(전계 발광 디스플레이), 필라멘트(Filament)에 전압을 인가하여 열전자를 발생시키고, 그리드(Grid)에서 전자가 가속되어 애노드(Anode)에 도달하도록 하여, 이미 패턴(Patterning)된 형광체에 부딪혀 발광함으로서 정보를 표시하는 VFD(배큐엄 플루오레슨트 디스플레이), 형광 또는 인광 유기물 박막에 전류를 흘려주면 전자와 정공이 유기물층에서 결합하면서 빛이 발생되는 자발광형인 OLED 등이 있고, 액체와 고체의 중간상태인 액정의 전기적 성질을 표시장치에 응용한 디스플레이(Display)로서 액정이 셔터(Shutter)의 역할을 하여 전압의 스위칭에 따라 빛을 투과 또는 차단하는 원리를 이용하여 정보를 표시하는 LCD(액정 디스플레이)가 있다.

<17> 액정 디스플레이 소자나 유기 전계 발광 디스플레이 소자 또는 무기 전계 발광 디스플레이 소자 등 평판 표시장치에 사용되는 박막 트랜지스터(Thin Film Transistor: 이하, TFT라 함)는 각 픽셀의 동작을 제어하는 스위칭 소자 및 픽셀을 구동시키는 구동 소자로 사용된다.

<18> 이러한 TFT는 반도체층은 소스/드레인 영역과, 이 소스/드레인 영역의 사이에 형성된 채널 영역을 갖는 반도체층을 가지며, 이 반도체층과 절연되어 상기 채널 영역에 대응되는 영역에 위치하는 게이트 전극과, 상기 소스/드레인 영역에 각각 접촉되는 소스/드레인 전극을 갖는다.

<19> 최근의 평판 디스플레이 장치는 박형화와 아울러 플렉서블(flexible)한 특성이 요구되고 있다. 이러한 플렉서블한 특성을 위해 디스플레이 장치의 기판을 종래의 글라스 기판과 달리 플라스틱 기판을 사용하려는 시도가 있는데, 이렇게 플라스틱 기판을 사용할 경우에는 플라스틱 고유의 유리전이온도가 낮아서 고온 공정을 사용하지 않고, 저온 공정을 사용해야 한다. 종래의 폴리 실리콘계 박막 트랜지스터를 사용하거나 화학기상증착법(CVD)이나 물리기상증착법(PVD)을 이용하기에는 어려운 문제가 있었다.

<20> 이를 해결하기 위해, 최근에 유기 반도체가 대두되고 있다. 유기 반도체는 저온 공정에서 형성할 수 있어 저가격형 박막 트랜지스터를 실현할 수 있는 장점을 갖는다.

<21> 또한, 일반적으로 상기 유기막은 그 하부에 양극을 형성하고 그 상부에 음극을 형성하여 외부의 인가된 전압에 의하여 구동이 가능한데, 상기 유기막의 물리적 특성 즉, 표면의 형태, 결정도 및 표면 입자들의 조밀도(Packing Density)에 의하여 유기 발광 표시 패널의 발광효율이 영향을 받는다. 특히, 유기박막 트랜지스터(Organic Thin Film Transistor: OTFT)는 기존의 고체 실리콘 트랜지스터로써 실현할 수 없는 플렉서블(flexible) 디스플레이, 스마트카드, RF 태그 등 응용분야의 핵심소자로 활용될 수 있기 때문에 활발한 연구가 수행되고 있다. 상기 유기박막 트랜지스터(OTFT)의 성능은 주로 유기 활성박막의 결정도에 좌우됨에도 불구하고 종래에는 결정도가 낮고, 유기 박막이 성장되는 게이트 절연층의 표면에 유기물이 균일하게 증착되지 못한다는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

<22> 따라서, 본 발명은 클러스터 빔 증착법을 이용하여 유기박막의 결정도를 높이고, 계면활성제를 이용하여 유기박막이 성장될 게이트 절연층의 표면에 유기물이 균일하게 증착될 수 있는 유기박막 트랜지스터의 제조방법 및 상기 제조방법을 이용하여 제조된 유기박막 트랜지스터를 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

<23> 상기 목적을 달성하기 위하여, 본 발명은

<24> 평평한 유전체층의 표면에 계면활성제를 도포하여 자기조립 단분자막(Self-Assembled Monolayers, SAM)을 형성하는 단계;

<25> 노즐을 구비한 도가니 내부에 펜타센 화합물을 배치하고, 상기 도가니에 2 내지 15V의 전압을 인가하여 상기 자기조립 단분자막이 형성된 유전체층을 타겟으로 하여 상기 펜타센 화합물을 증기화하는 단계;

<26> 상기 펜타센 화합물의 증기가 상기 도가니의 노즐을 통과하며 클러스터를 형성하는 단계;

<27> 상기 유전체층의 상부에 상기 펜타센 화합물의 증기를 20 내지 30℃의 실온에서 증착하여 유기막을 형성하는 단계; 및

<28> 상기 유기막의 상부에 소스전극과 드레인전극을 형성하는 단계;를 포함하는 것을 특징으로 하는 유기박막 트랜지스터의 제조방법을 제공한다.

<29> 상기 다른 목적을 달성하기 위하여, 본 발명은

<30> 상기 제조방법에 의하여 제조된 유기박막 트랜지스터를 제공한다.

<31> 이하, 본 발명의 바람직한 실시예를 첨부도면에 의거하여 상세히 설명하기로 한다.

<32> 도 1은 본 발명의 바람직한 일실시예에 따른 유기박막 트랜지스터의 단면을 개략적으로 보이는 도면이다. 도 1을 참조하면, 본 발명의 바람직한 일 실시예에 따른 유기박막 트랜지스터는 평평한 기판(110)의 상부에 형성된 유전체층(120)과, 상기 유전체층의 상부에 형성되는 펜타센 화합물층(130)을 포함한다. 또한, 통상적으로 사용되는 전극으로서 게이트(100) 전극이 상기 기판의 하부에 구비되고, 소스(141) 및 드레인 전극(140)이 상기 펜타센 화합물층의 상부에 적층된 구조이다. 상기 기판(110)은 n형으로 도핑된(doped) 실리콘 기판일 수 있다. 상기 유전체층(120)은 별도의 수단으로 구비될 수 있으나, 바람직하게는 상기 실리콘 기판의 표면은 열산화법에 의하여 형성된 이산화실리콘(SiO_2)으로 이루어질 수 있다.

<33> 본 발명의 일구현예에 따르는 유기박막 트랜지스터의 제조방법은 평평한 유전체층의 표면에 계면활성제를 도포하여 자기조립 단분자막(Self-Assembled Monolayers, SAM)을 형성하는 단계; 노즐을 구비한 도가니 내부에 펜타센 화합물을 배치하고, 상기 도가니에 2 내지 15V의 전압을 인가하여 상기 자기조립 단분자막이 형성된 유전체층을 타겟으로 하여 상기 펜타센 화합물을 증기화하는 단계; 상기 펜타센 화합물의 증기가 상기 도가니의 노즐을 통과하며 클러스터를 형성하는 단계; 상기 유전체층의 상부에 상기 펜타센 화합물의 증기를 20 내지 30℃의 실온에서 증착하여 유기막을 형성하는 단계; 및 상기 유기막의 상부에 소스전극과 드레인전극을 형성하는 단계;를 포함한다.

<34> 상기 펜타센 화합물을 증기화하기 전에 타겟(Target)으로 마련되는 평평한 실리콘 기판(도 1, 120)의 상부에 계면활성제를 도포하여 자기조립 단분자막(Self-Assembled Monolayers, SAM)을 형성할 수 있다. 상기 펜타센 화합물은 소수성이고, 유전체층으로 사용되는 이산화규소는 친수성이므로 증착단계에서 펜타센 화합물의 유기층과 유전체층 사이에 밀착이 균일해지도록 양쪽성 물질인 상기 계면활성제를 사용하여 자기조립 단분자막을 형성할 수 있다.

<35> 계면활성제는 특별히 제한할 것은 아니나, 헥사메틸디실라잔(Hexamethyldisilazane, HMDS), 옥타데실트리클로로실란, 부틸트리클로로실란, 3-클로로프로필트리클로로실란, 3-브로모프로필트리클로로실란, 트리클로로(3,3,3-트리플루오로프로필)실란, 펜에틸트리클로로실란, 4-(클로로메틸)페닐트리클로로실란, 및 2-(4-클로로술포닐페닐)에틸트리클로로실란으로 이루어진 군에서 선택된 하나 이상인 것이 바람직하고, 옥타데실트리클로로실란이 특히 바람직하다.

<36> 옥타데실트리클로로실란(octadecyltrichlorosilane: OTS)은 하기와 같은 화학식 구조를 가진다:

화학식 1



<37>

<38> 예를 들어, 상기 화학식 1의 OTS에서 메틸렌기 부분은 소수성이고, Si부분은 친수성이라 전형적인 양쪽성 성질을 갖는 계면활성제라 할 수 있다. 따라서 OTS를 이용하여 유전체층을 표면처리함으로써 증착단계에서 메틸렌기는 펜타센 화합물층과 더욱 잘 결합하고, Si 부분은 유전체층인 이산화규소와 더욱 결합한다. 따라서 OTS는 유기층과 무기층 사이에 밀착이 균일해지도록 하는 역할을 할 수 있다.

<39> 도 2는 본 발명에서 사용되는 증기화 장치의 작동원리를 개략적으로 도시한 것이다. 도 2를 참조하면, 진공 챔버의 내부에는 펜타센 화합물(210)들을 담은 도가니(211)가 구비되어 있으며, 도가니(211)에 전압을 가해 주어 기판(215)과의 전위차를 형성시키기 위해 가변 전압 회로가 연결되어 있고 그 말단은 접지되어 있다. 상기 도가니(211)에 소정의 전압을 인가함으로써 펜타센 화합물(210)은 도가니(211) 덮개에 위치한 직경 약 0.5 내지 1.5㎜의 노즐(212)을 통과하게 되므로 분자간의 충돌에 의해 클러스터(213)를 형성하게 된다. 상기 클러스터(213)는 일정한 방향성을 가진 빔의 형태를 띠게 된다. 챔버의 상부에는 평평한 기판(215)을 위치시키고, 증착되는 유기막(216)의 두께를 측정하기 위하여 설치된 모니터(217)는 증착물의 증착 속도와 두께를 각각 Å/s와 kÅ단위로 나타내며 상기 유기막(216)의 두께를 모니터링하며 적절한 두께를 조절할 수 있도록 한다. 중성 클러스터 빔 증착(Neutral Cluster Beam Depositon)법은 약한 분산력으로 결합된 클러스터가 기판(215)에 충돌시 부수어져서 기판(215) 위에 균일하게 분포되기 때문에 표면이 고른 박막이 형성될 수 있다.

<40> 상기 기판(215)에는 전류계를 연결하고 접지시키기 때문에 기판의 전압은 0V이다. 한편, 상기 전류계에 의해 클러스터 이온화 정도를 정량적으로 알 수 있다. 셔터(218)는 외부에서 열고 닫을 수 있도록 구비되어 있으며 처음에는 닫힌 상태로서, 정제되지 않은 불순물이 증착되는 것을 막기 위해 일정한 증착 속도에 도달했을 때 외부에서 회전시켜서 열 수 있도록 구비되어 있다.

<41> 이처럼 클러스터 빔을 이용함으로써 기체 분자들은 고진공 상태로 단열 팽창할 때 빔의 높은 방향성과 병진 운동에너지를 얻을 수 있다. 도 2의 A는 유전체층에 정렬된 펜타센의 형상을 확대한 것이고, B는 펜타센 입자가 기판에 부딪혀 고르게 분포되는 모습을 확대하여 나타낸 것이다.

<42> 펜타센 화합물을 증기화하기 위한 챔버의 온도는 220 내지 250℃인 것이 바람직하다. 온도가 220℃ 미만인 경우에는 고분자가 증기화되기 어려울 뿐만 아니라 전술한 평평한 기판에서 열중합이 일어나기 위해 필요한 충분한 에너지를 공급할 수 없기 때문에 상기 펜타센 화합물로 이루어진 박막이 형성되기 어렵다. 250℃를 초과하는 경우에는 불안정한 상태의 프리폴리머 라디칼이 형성되기 때문에 박막을 형성한 물질의 화학적 조성이 변성된 형태일 수 있고 표면의 거침도도 열악해지기 때문에 바람직하지 않다.

<43> 펜타센 화합물의 증기는 도가니의 노즐을 통과하며 클러스터를 형성한다. 도가니는 직경이 0.5 내지 1.5㎜인 노즐을 구비하고 있다. 따라서 펜타센 화합물은 직경 0.5 내지 1.5㎜의 노즐을 통과하면서 증착과정에서 이동에너지로 전환될 수 있는 운동에너지를 갖는 클러스터를 형성할 수 있다. 만일 도가니에 구비된 노즐의 직경이 0.5㎜ 미만인 경우에는 클러스터화된 증기 입자가 노즐을 통과하기 어려우므로 바람직하지 못하고, 1.5㎜를 초과하는 경우에는 클러스터 분자가 너무 커져서 이동할 때의 고른 박층이 형성되기 어렵기 때문에 바람직하지 못하다. 따라서 직경이 0.5 내지 1.5㎜인 노즐을 통과하면서 발생된 운동에너지는 고른 박막을 형성하기 위하여 이동(migration)에 필요한 에너지를 공급할 수 있는 것이다. 그러므로 상기 이동 에너지에 의하여 증착 단계에서 가온하지 않고 실온에서 증착시킬 수 있다는 장점이 있다.

<44> 본 발명의 일 구현예에 따르면, 증기화된 클러스터는 20 내지 30℃의 실온에서 증착되어 유기막을 형성할 수 있다. 클러스터 빔 증착시에 유기물이 증착될 기판을 가열하지 않는 것이 특징이다. 이는 증기화된 프리 폴리머가 응축되면서 열중합이 일어나는데, 상기 기판을 가열하게 되면 프리 폴리머의 응축이 어렵게 되고 박막형성에 바람직하지 않기 때문이다.

<45> 유전체층에 증착된 펜타센 화합물의 두께는 400 내지 600Å일 수 있다. 만일, 두께가 400Å 미만이면, 실제 사용시에 외기에 의하여 균열 등의 물리적 손상의 우려가 있고, 두께가 600Å을 초과하면, 전기적 특성을 열화시킬 수 있다.

<46> 펜타센의 증착속도는 0.8 내지 1.2Å/S인 것이 바람직하다. 증착속도가 0.8Å 미만인 때에는 박막의 증착속도가

너무 느리기 때문에 펜타센 박막이 제대로 형성되기 어렵고, 1.2Å을 초과하는 경우에는 제조된 펜타센 박막의 거칠기가 열악해질 수 있다.

<47> 이하 본 발명의 바람직한 실시예를 들어 본 발명을 더욱 상세하게 설명하나 본 발명이 이에 의해 제한되는 것은 아니다.

<48> 실시예

<49> 실시예 1

<50> 이산화규소(SiO_2) 산화막이 형성된 실리콘웨이퍼를 증착챔버에 투입하기 전에 옥타데실트리클로로실란(Aldrich사 제조)으로 도포하였다. 배플이 달린 10인치 디퓨젼펌프를 이용하여 증착챔버 내의 진공도를 1×10^{-6} Torr를 유지하였다. 증착챔버 내부는 흑연 소재의 도가니와 드리프트 영역 그리고 기판을 최상부에 위치시켰는데, 상기 도가니와 기판과의 거리는 190㎜였다. 상기 기판은 열산화방법에 의하여 이산화규소(SiO_2) 산화막이 형성된 실리콘웨이퍼를 사용하였다. 상기 도가니와 기판의 거리는 190㎜을 설정하였다. 다음으로, 상기 도가니 내부에 펜타센을 넣고 전기저항방식에 의해 237℃로 유지하였다. 상기 도가니안에 약 1㎜의 구멍을 가진 노즐을 통하여 증기화된 펜타센이 유출되는데, 유출속도는 1Å/S이었고, 이때 펜타센이 증발되며 단열팽창이 되어, 펜타센의 중성 클러스터가 생성되었다. 다음으로, 물리전기적 특성의 평가를 위하여 도 1에서 볼 수 있는 바와 같이, 약 500Å 두께로 금(Au)을 소스 및 드레인전극(도 1, 141 및 140)을 증착하여 유기박막 트랜지스터를 제조하였다.

<51> 비교예 1

<52> 이산화규소(SiO_2) 산화막이 형성된 실리콘웨이퍼를 증착챔버에 투입하기 전에 옥타데실트리클로로실란로 도포하지 않은 점을 제외하고는 실시예 1과 동일하게 유기박막 트랜지스터를 제조하였다.

<53> 시험예 1

<54> 원자힘현미경 (Atomic Force Microscopy, AFM)

<55> 표면의 거침도는 AFM(Atomic Force Microscopy)를 통해서 알 수 있다. AFM은 실리콘 탐침이 박막의 표면을 주사하면서 표면의 영상을 나타낼 수 있고 기준선으로부터 거친 정도를 수치로 나타내어 준다. 실시예 1과 비교예 1에 의해 제조된 유기박막 트랜지스터의 펜타센에 대하여 AFM을 측정하여 그 결과를 도 3a 및 도 3b에 나타내었다. 구체적으로 도 3a는 실시예 1을 나타내고, 도 3b는 비교예 1을 나타낸다. 도 3a 및 도 3b를 참조하면, 결정화된 그레인(grain)의 크기와 R_{rms} 값을 알 수 있다.

<56> 그레인의 크기와 관련하여, 실시예 1은 0.16 내지 0.26 ㎛이고, 비교예 1은 0.25 내지 0.30 ㎛이었다. R_{rms}와 관련하여, 실시예 1은 약 30Å이고, 비교예 1은 약 55Å이었다. 여기서, 실시예 1을 참조하면, 펜타센을 증착하기 전에 계면활성제로서 옥타데실트리클로로실란(OTS)을 처리했던 박막은 그렇지 않은 것보다 더욱 밀집된 알갱이의 결정들로 구성되어 있음을 보여준다. 상기 OTS는 SiO_2 표면과 펜타센이 증착되는 사이의 표면에서 친수성기와 소수성기를 동시에 가짐으로써 양쪽성 물질의 역할을 하여 소수성 펜타센과 친수성의 SiO_2의 구조적인 배치를 원활하게 해줌으로써 박막의 결정성을 증가시키고 있다는 것을 나타낸다.

<57> 시험예 2

<58> X선회절분석(XRD)

<59> 실시예 1 및 비교예 1에 의해 제조된 유기박막 트랜지스터의 펜타센의 표면에 대하여 XRD를 측정하여 그 결과를 도 4에 나타내었다. 구체적으로 (a)는 실시예 1을 나타내고, (b)는 비교예 1을 나타낸다. 도 4의 (a) 및 (b)를 참조하면, 실시예 1 및 비교예 1은 모두 높은 결정성을 나타내고 있으며, 두 개의 패턴 모두 펜타센의 고유한 피크를 보여준다.

<60> 시험예 3

<61> 전기적 특성 측정

<62> 실시예 1에 의해 제조된 유기박막 트랜지스터에 대한 전기적 특성에 대한 그래프를 도 5a와 도 5b에 나타내었고, 비교예 1에 의해 제조된 유기박막 트랜지스터에 대한 전기적 특성에 대한 그래프를 도 6a와 도 6b에 나타내었다.

<63> 도 5a와 도 5b, 도 6a와 도 6b을 참조하여 전기적 특성 즉, 전계이동도(μ_{FET}, cm^2/Vs), 전류점멸비($I_{ON/OFF}$), 문턱전압(V_T, V), subthreshold slope(SS, V/dec) 의 값은 하기 수학식 1에 의해서 유도할 수 있다.

수학식 1

$$\mu = \frac{2L(I_{DS})}{WC_i(V_{GS} - V_T)^2}$$

<64>

<65> 이렇게 유도된 값들을 하기 표 1에 나타낼 수 있다:

표 1

<66>

	R_{rms} (Å)	이동도 μ ($cm^2/V \cdot s$)	문턱 전압 V_T(V)	Subthreshold 슬로프 S (V/decade)	On/off 비
실시예 1	~30Å	0.68	0.3	1.1	10^4
비교예 1	~55Å	0.26	-6.4	1.5	10^5

<67> 표 1을 참조하면, OTS를 처리한 실시예 1이 유기박막 트랜지스터 내부에서 전류의 전송 즉, 이동도(mobility)가 크게 나타났음을 알 수 있고, R_{rms}가 낮게 나타나 표면의 거칠기가 비교예 1에 비하여 평평하다는 것을 확인할 수 있다. 이것은 앞에서 이미 언급한 바와 같이 AFM을 측정하였을 때 소자 표면 상태와 XRD를 측정하였을 때 결정성의 증가로 인해 이동도가 증가된 결과임을 확인할 수 있다.

발명의 효과

<68> 본 발명에 따르면, 클러스터 빔 증착법을 이용하여 유기박막의 결정도를 높이는 한편, 계면활성제를 이용하여 유기박막이 성장될 게이트 절연층의 표면에 유기물이 균일하게 증착될 수 있는 유기박막 트랜지스터를 제조할 수 있다.

도면의 간단한 설명

<1> 도 1은 본 발명의 바람직한 일실시예에 따른 유기박막 트랜지스터의 단면을 개략적으로 보이는 도면이다.

<2> 도 2는 본 발명에 따른 증기화 장치의 작동원리를 개략적으로 도시한 도면이다.

<3> 도 3a 및 도 3b는 각각 실시예 1과 비교예 1에 의해 제조된 유기박막 트랜지스터의 펜타센 표면에 대한 AFM 측정결과 그래프를 도시한다.

<4> 도 4는 실시예 1 및 비교예 1에 의해 제조된 유기박막 트랜지스터의 펜타센에 대한 XRD 측정결과 그래프를 도시한다.

<5> 도 5a 및 도 5b는 실시예 1에 의해 제조된 유기박막 트랜지스터에 대한 전기적 특성을 나타내는 그래프를 도시한다.

<6> 도 6a 및 도 6b는 비교예 1에 의해 제조된 유기박막 트랜지스터에 대한 전기적 특성을 나타내는 그래프를 도시한다.

<7> <도면의 주요부분에 대한 부호의 설명>

<8> 100...게이트전극 110...기판

<9> 120...유전체층 130...펜타센 유기막

<10> 141...소스전극 140...드레인전극

<11> 211...도가니 212...노즐

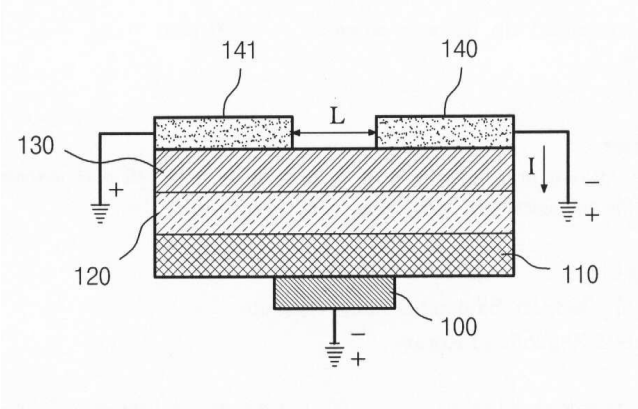
<12> 213...클러스터 215...기판

<13> 216...유기막 217...두께 모니터

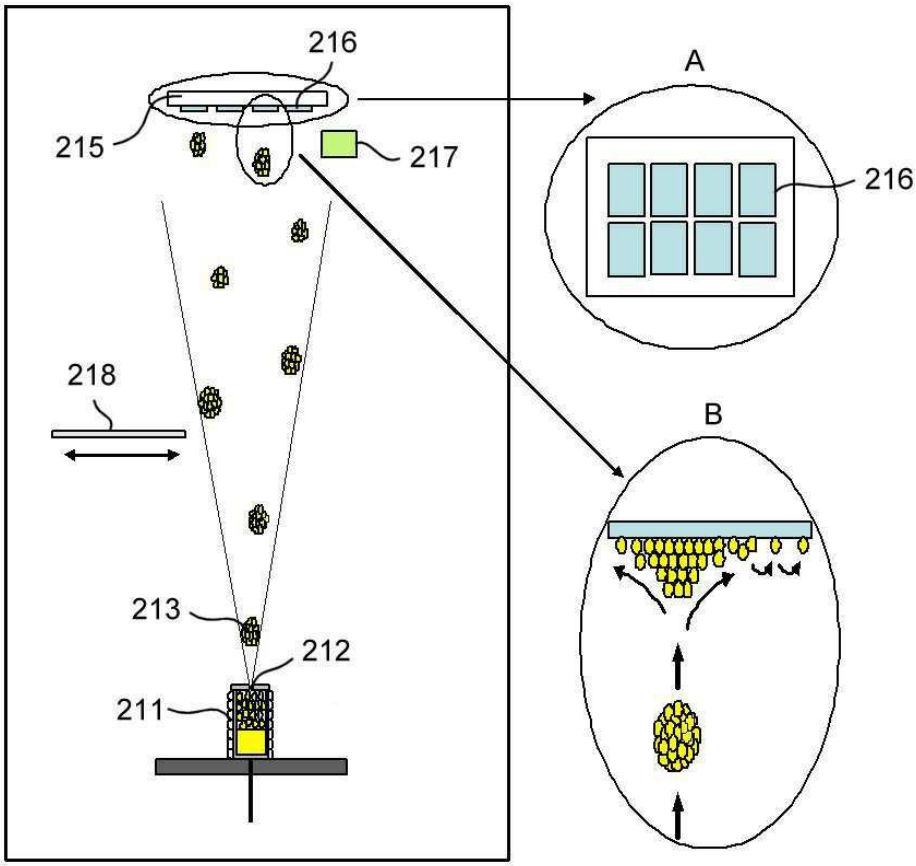
<14> 218...셔터

도면

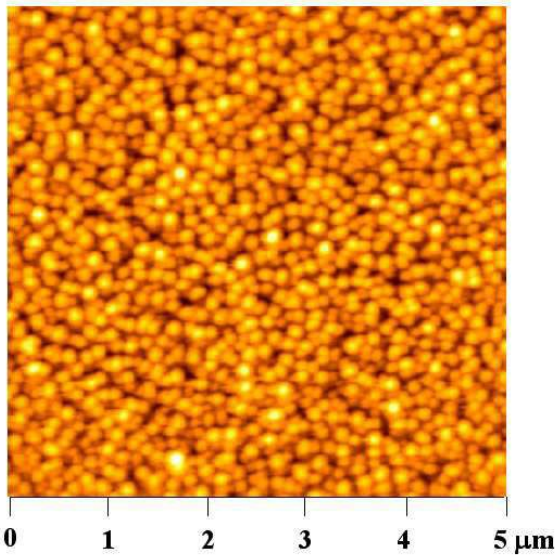
도면1



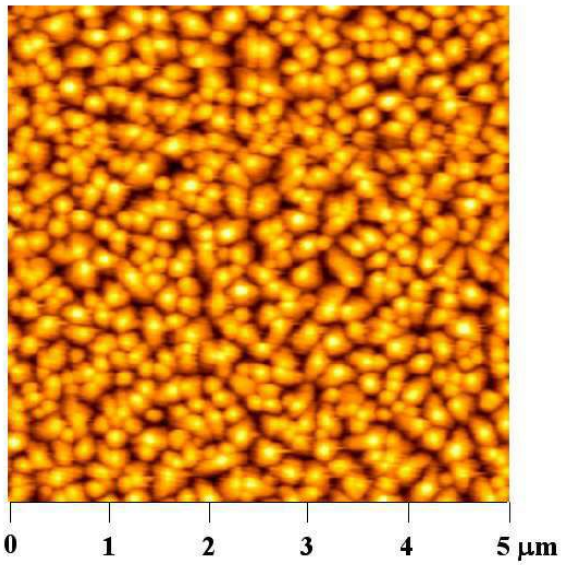
도면2



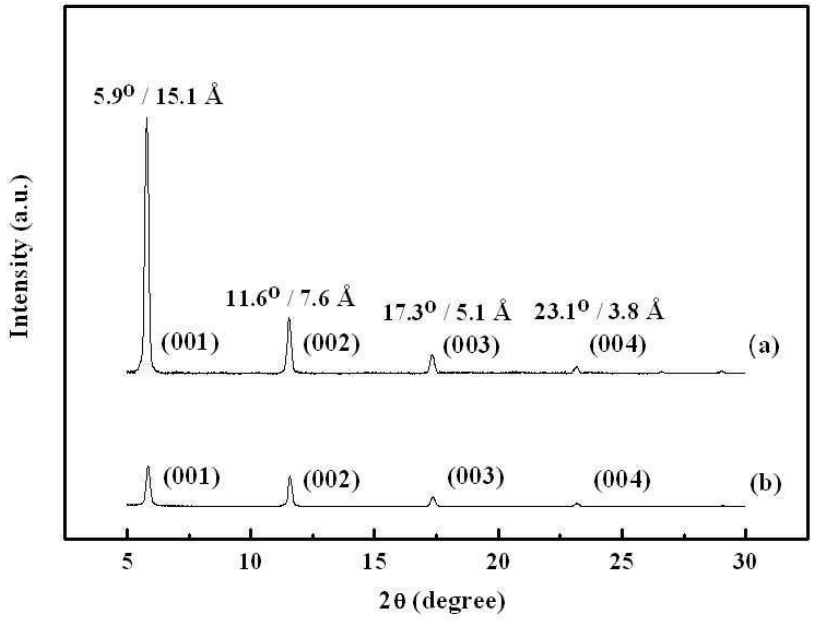
도면3a



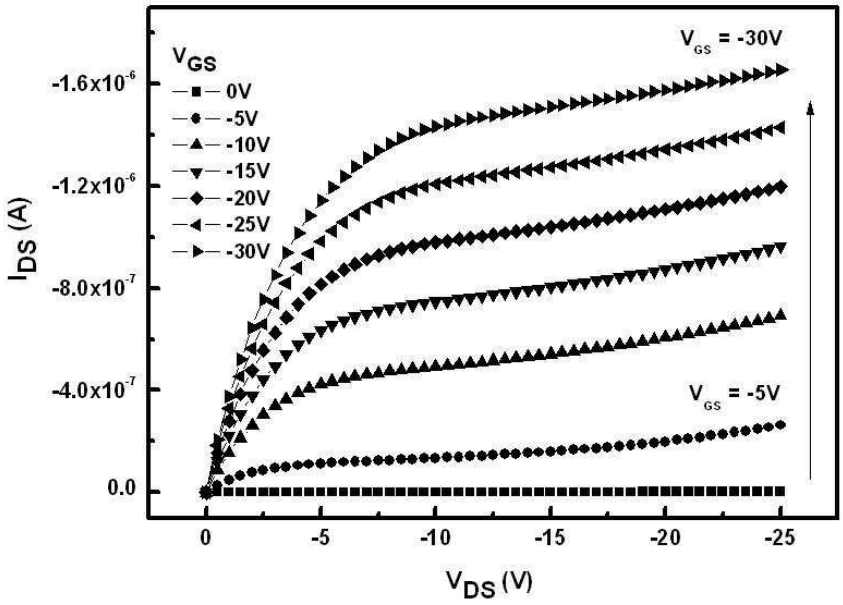
도면3b



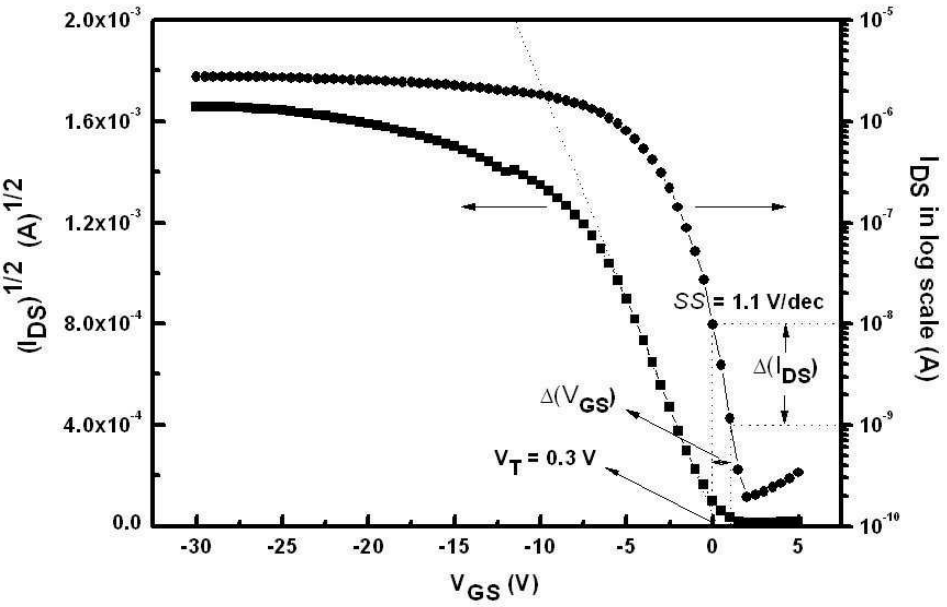
도면4


5.9° / 15.1 Å
11.6° / 7.6 Å
17.3° / 5.1 Å
23.1° / 3.8 Å
(001)
(002)
(003)
(004)
(a)
(001)
(002)
(003)
(004)
(b)
Intensity (a.u.)
5
10
15
20
25
30
2θ (degree)

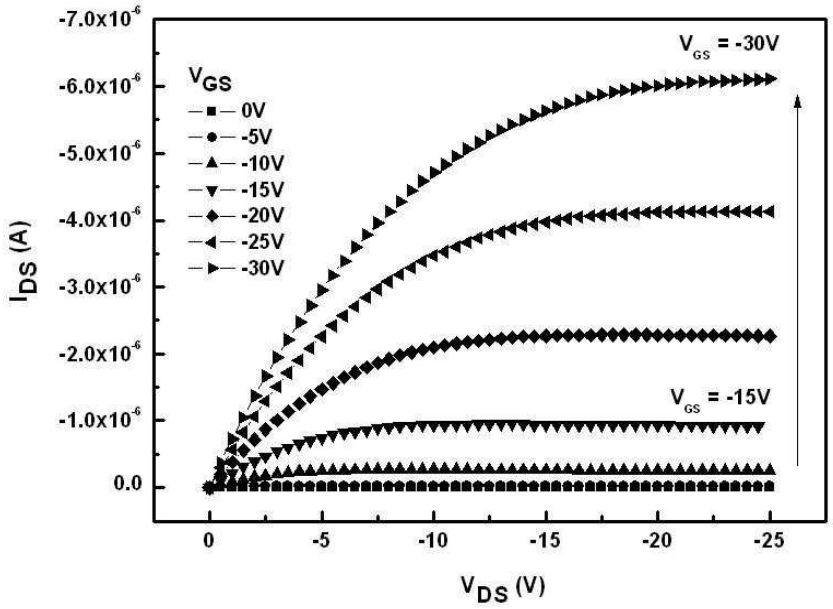
도면5a


V_GS
0V
-5V
-10V
-15V
-20V
-25V
-30V
V_GS = -30V
V_GS = -5V
-1.6x10^-6
-1.2x10^-6
-8.0x10^-7
-4.0x10^-7
0.0
I_DS (A)
0
-5
-10
-15
-20
-25
V_DS (V)

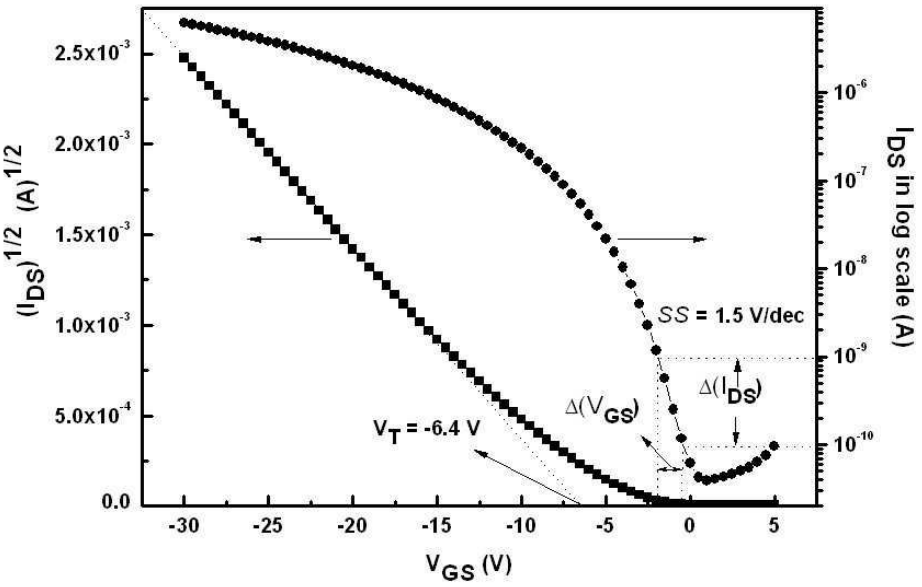
도면5b


2.0x10-3
1.6x10-3
1.2x10-3
8.0x10-4
4.0x10-4
0.0
(IDS)1/2 (A)1/2
10-5
10-6
10-7
10-8
10-9
10-10
IDS in log scale (A)
SS = 1.1 V/dec
Δ(IDS)
Δ(VGS)
VT = 0.3 V
-30
-25
-20
-15
-10
-5
0
5
VGS (V)

도면6a


-7.0x10-6
-6.0x10-6
-5.0x10-6
-4.0x10-6
-3.0x10-6
-2.0x10-6
-1.0x10-6
0.0
IDS (A)
VGS
0V
-5V
-10V
-15V
-20V
-25V
-30V
VGS = -30V
VGS = -15V
0
-5
-10
-15
-20
-25
VDS (V)

도면6b


2.5x10-3
2.0x10-3
1.5x10-3
1.0x10-3
5.0x10-4
0.0
(IDS)1/2 (A)1/2
10-6
10-7
10-8
10-9
10-10
IDS in log scale (A)
SS = 1.5 V/dec
Δ(IDS)
Δ(VGS)
VT = -6.4 V
-30
-25
-20
-15
-10
-5
0
5
VGS (V)