

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 9 月 13 日(13.09.2012)



(10) 国際公開番号
WO 2012/120813 A1

- (51) 国際特許分類:
G06F 12/00 (2006.01) **G06F 12/04** (2006.01)
- (21) 国際出願番号: PCT/JP2012/001279
- (22) 国際出願日: 2012 年 2 月 24 日(24.02.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-050113 2011 年 3 月 8 日(08.03.2011) JP
- (71) 出願人 (米国を除く全ての指定国について): ルネサスエレクトロニクス株式会社(Renesas Electronics Corporation) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部 1 7 5 3 番地 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 田中 克典 (TANAKA, Katsunori) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内 Kanagawa (JP).
- (74) 代理人: 家入 健(IEIRI, Takeshi); 〒2210835 神奈川県横浜市神奈川区鶴屋町三丁目 3 3 番 8 アサヒビルディング 10 階 響国際特許事務所 Kanagawa (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

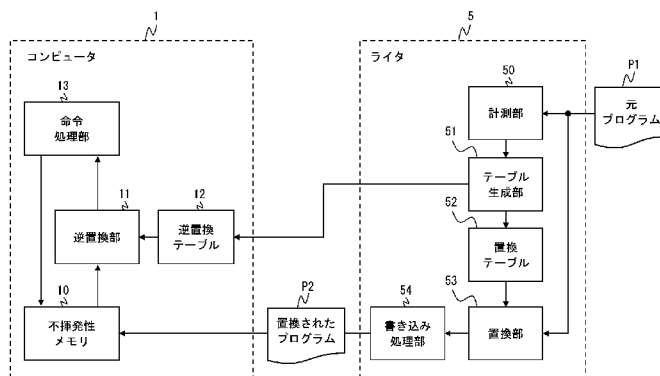
添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: BIT PATTERN REVERSE-REPLACEMENT DEVICE, COMPUTER DEVICE, BIT PATTERN REPLACEMENT DEVICE, WRITER DEVICE, BIT PATTERN CONVERSION METHOD, AND PROGRAM

(54) 発明の名称: ビットパターン逆置換装置、コンピュータ装置、ビットパターン置換装置、ライター装置、ビットパターン変換方法、及びプログラム

[図1]



- 1 Computer
5 Writer
10 Non-volatile memory
11 Reverse-replacement unit
12 Reverse-replacement table
13 Command processing unit
50 Measurement unit
51 Table generation unit
52 Replacement table
53 Replacement unit
54 Write processing unit
P1 Original program
P2 Replaced program

(57) Abstract: In the present invention, on the basis of a predetermined corresponding relationship, a reverse-replacement unit (11) generates first data (P1) by means of performing bit pattern reverse-replacement processing on second data (P2) read from non-volatile memory (10). Here, each of a plurality of first bit sequences contained in the first data (P1) corresponds to one of a plurality of second bit sequences contained in the second data (P2), and has the same bit length as the corresponding second bit sequence. Furthermore, the corresponding relationship of the first bit sequence and the second bit sequence is determined in a manner so that second bit sequences having bit patterns with a relatively low electrical power necessary during reading from non-volatile memory (10) are preferentially allocated to first bit sequences having bit patterns with a relatively high frequency of appearance among the plurality of first bit sequences.

(57) 要約:

[続葉有]

WO 2012/120813 A1



逆置換部（１１）は、予め定められた対応関係に基づいて、不揮発性メモリ（１０）から読み出された第２のデータ（Ｐ２）に対してビットパターンの逆置換処理を行うことによって第１のデータ（Ｐ１）を生成する。ここで、第１のデータ（Ｐ１）に含まれる複数の第１のビット列の各々は、第２のデータ（Ｐ２）に含まれる複数の第２のビット列のいずれかに対応し、対応するいずれかの第２のビット列と同じビット長である。さらに、第１のビット列と第２のビット列の対応関係は、複数の第１のビット列中での出現頻度が相対的に高いビットパターンを持つ第１のビット列に対して、不揮発性メモリ（１０）からの読み出し時に必要な電力が相対的に小さいビットパターンを持つ第２のビット列を優先的に割り当てるように決定されている。

明 細 書

発明の名称：

ビットパターン逆置換装置、コンピュータ装置、ビットパターン置換装置、ライタ装置、ビットパターン変換方法、及びプログラム

技術分野

[0001] 本発明は、不揮発性メモリへのデータ書き込み、及び不揮発性メモリからのデータ読み出し、並びに、不揮発性メモリと結合されるコンピュータ装置に関する。

背景技術

[0002] マイクロコントローラの低消費電力化が望まれている。例えば、マイクロコントローラの消費電力を極めて小さくできれば、極小電池や環境からの回収電力によってマイクロコントローラを駆動することが可能になるため、医療分野を含む広い分野において新たな用途への適用が期待される。

[0003] 一般的なマイクロコントローラは、プログラムを実行する命令処理ユニット（i.e. CPU (Central Processing Unit)、キャッシュメモリ、及びメインメモリ等）とともに、命令処理ユニットに供給されるプログラムを格納する不揮発メモリ（i.e. プログラムメモリ）を含む。なお、マイクロコントローラ自体はプログラムメモリを持たない場合もある。プログラムメモリを持たないマイクロコントローラは、外部のプログラムメモリに接続して使用される。マイクロコントローラの動作に要する消費電力を低減するには、命令処理ユニットの消費電力を低減するだけでなく、不揮発メモリの動作に要する消費電力、例えば、不揮発メモリからのプログラムの読み出しに必要な消費電力を低減することも重要である。

[0004] マイクロコントローラに搭載される不揮発メモリとしては、PROM (Programmable Read Only Memory)、フラッシュメモリ、MRAM (Magnetic Random Access Memory又はMagnetoresistive Random Access Memory) 等が使用される。これらの不揮発性メモリのうち、例えば、フラッシュメモリ及びM

R A Mは、記録されているデータの値によってデータ読み出しに要する消費電力が異なるという特徴がある。

[0005] 一例として、フラッシュメモリについて説明する。フラッシュメモリのメモリセルは、MOS構造のトランジスタと同様にソース電極、ドレイン電極、及び制御ゲート電極を有し、さらに制御ゲート電極の下に位置する絶縁体中に設けられた浮遊ゲートを有する。最も基本的なメモリセルは、浮遊ゲートに蓄積された電子の有無、すなわち浮遊ゲートが帯電しているか否かによって1ビット値（0又は1）の記憶を行う。フラッシュメモリのメモリセルに記録されたデータを読み出すとき、ビット値が0であるか1であるかは、当該メモリセルのソース端子とドレイン端子の間に流れる電流の大きさを指標として判定される。

[0006] フラッシュメモリの構成の一例では、メモリセルのソース端子とドレイン端子の間に電源電圧が印加される。そして、フラッシュメモリに与えられるアドレス信号によって指定されたメモリセルの制御ゲート端子にはゼロバイアスが印加される。このとき、メモリセルは、浮遊ゲートが帯電しているときはエンハンスメント型のMOSトランジスタとして動作する。つまり、メモリセルのソース端子とドレイン端子の間に電流は実質的に流れない。一方、浮遊ゲートが帯電していないとき、メモリセルは閾値電圧が負であるデプレッション型のMOSトランジスタとして動作するため、メモリセルのソース端子とドレイン端子の間に電流が流れる。したがって、浮遊ゲートが帯電した状態に対応付けられた値（例えば1）がメモリセルに記録されているときは、浮遊ゲートが帯電していない状態に対応付けられた値（例えば0）が記録されている場合に比べて、メモリセルからのデータ読み出し時の消費電流（消費電力）が大きくなる。

[0007] ところで、マイクロコンピュータ及びマイクロプロセッサ等のコンピュータ装置に関しては、プログラムを格納するために必要な不揮発性メモリの記憶領域を低減するために、プログラム圧縮を行うことが知られている（例えば特許文献1～3）。プログラム圧縮の方法は大きく分けて2つ提案されて

いる。一つは短ビット数で表現した命令セットを追加することによって、プログラムサイズを低減する方法であり、特許文献1に開示された方法がこれに該当する。他の一つはハフマン符号などの符号理論に基づくコンパクト符号を用いてプログラムを圧縮する方法であり、特許文献2及び3に開示された手法がこれに該当する。

[0008] また、特許文献4は、コンピュータ装置（マイクロコントローラ、マイクロプロセッサ等）の消費電力を低減するように、命令とマイクロプログラム（マイクロコード）との対応関係を決定することを開示している。具体的に述べると、特許文献4に開示された手法では、アプリケーションプログラムにおける使用頻度の高い命令を抽出する。そして、使用頻度の高い命令に対応づけられるマイクロコードのビット間におけるトグル率（各ビットの信号が0から1、又は1から0の遷移を行う確率）が小さくなるように、マイクロコードのビットアサインが決定される。これにより、特許文献4に開示された手法は、コンピュータ装置が有する命令デコーダが命令デコードを行う際の消費電力を低減する。

先行技術文献

特許文献

[0009] 特許文献1：特開平06-348490号公報

特許文献2：特開2003-22180号公報

特許文献3：特開平07-121352号公報

特許文献4：特開2001-290643号公報

発明の概要

発明が解決しようとする課題

[0010] 上述したように、フラッシュメモリ及びMRAMなどの不揮発性メモリは、記録しているデータビット値によってデータ読み出し時の消費電力が異なる。したがって、不揮発性メモリの記録データによっては、特に、不揮発性メモリからの読み出し時に要する消費電力の高いデータビット値が記録デー

タに多く含まれる場合には、データ読み出しに要する消費電力が大きくなるという問題がある。例えば、マイクロコントローラのプログラムメモリについて考えると、プログラムメモリに記録されたプログラム（又は圧縮プログラム）が読み出し時の消費電力の高いデータビット値を多く含む場合、プログラムメモリからのプログラム（又は圧縮プログラム）の読み出しに要する消費電力が大きくなるという問題がある。

[0011] 特許文献1～3に開示されているようなプログラム圧縮の手法は、プログラムメモリに記録すべきデータ量を削減できる。このため、プログラム圧縮の手法は、元のプログラムをそのままプログラムメモリに記録する場合に比べて、プログラム（具体的には圧縮プログラム）の読み出しに必要な消費電力を低減できることが期待される。しかしながら、圧縮プログラムが不揮発性メモリ（プログラムメモリ）からの読み出し時の消費電力の高いデータビット値を多く含む場合には、圧縮プログラムの読み出しに要する消費電力が大きくなってしまう。このため、特許文献1～3に開示されているようなプログラム圧縮の手法とは別に、不揮発性メモリへの圧縮プログラムの記録方法を工夫することで、不揮発性メモリからの圧縮プログラムの読み出しに要する消費電力を低減できることが望ましい。

[0012] また、特許文献4に開示されている手法を用いることで、出現頻度の高い命令を示すマイクロコード中のビットのトグル率が低減される。しかしながら、例えば、出現頻度の高い命令を示すマイクロコードが不揮発性メモリ（プログラムメモリ）からの読み出し時の消費電力の高いデータビット値を多く含む場合には、プログラムの読み出しに要する消費電力が大きくなってしまう。このため、特許文献4に開示されている手法とは別に、不揮発性メモリへのプログラムの記録方法を工夫することで、不揮発性メモリからのプログラムの読み出しに要する消費電力を低減できることが望ましい。

[0013] なお、上述した不揮発性メモリの消費電力に関する問題が発生する状況は、不揮発性メモリをマイクロコントローラ用のプログラムメモリとして利用する場合に限られない。つまり、上述した問題は、記録しているデータビッ

ト値によってデータ読み出し時の消費電力が異なる不揮発性メモリを利用する他のシステムにおいても発生し得る問題である。

課題を解決するための手段

[0014] 本発明の第1の態様に係るビットパターン逆置換装置は、不揮発性メモリから読み出された第2のデータに対してビットパターンの逆置換処理を行うことによって第1のデータを生成する逆置換部を含む。ここで、前記第1のデータは複数の第1のビット列を含み、前記第2のデータは複数の第2のビット列を含む。前記複数の第1のビット列の各々は、前記複数の第2のビット列のいずれかに対応するとともに、対応する前記いずれかの第2のビット列と同じビット長である。さらに、前記第1のビット列と前記第2のビット列の対応関係は、前記複数の第1のビット列中での出現頻度が相対的に高いビットパターンを持つ第1のビット列に対して、前記不揮発性メモリからの読み出し時に必要な電力が相対的に小さいビットパターンを持つ第2のビット列を優先的に割り当てるように決定されている。そして、前記逆置換部により行われる前記逆置換処理は、前記対応関係に基づいて、前記複数の第2のビット列を前記複数の第1のビット列に変換する処理を含む。

[0015] つまり、上述した本発明の第1の態様は、命令処理部などによって使用される第1のデータを、第2のデータとして不揮発性メモリに記録しておくことができる。第2のデータでは、第1のデータ中での出現頻度が相対的に高いビットパターンが、不揮発性メモリからの読み出しに要する消費電力が相対的に小さいビットパターンに置換されている。したがって、不揮発性メモリに記録される第2のデータは、第1のデータに比べて、不揮発性メモリからの読み出しに要する消費電力が小さいビット値を多く含む。このため、上述した本発明の第1の態様は、不揮発性メモリ（具体的には、記録しているデータビット値によってデータ読み出し時の消費電力が異なる不揮発性メモリ）からのデータ読み出しに要する消費電力を低減することができる。

[0016] 本発明の第2の態様に係るコンピュータ装置は、上述した第1の態様に係るビットパターン逆置換装置と、命令処理部を含む。本態様における前記第

1 のデータは、前記命令処理部によって実行されるプログラムの少なくとも一部、又は前記プログラムの少なくとも一部が圧縮された圧縮データである。そして、前記命令処理部は、前記逆置換によって生成された少なくとも1つの第1のビット列によって表わされる命令、又は前記少なくとも1つの第1のビット列に対する伸張処理を行って得られる命令を解読して実行するように構成されている。

[0017] つまり、本発明の第2の態様は、上述した本発明の第1の態様をプログラムメモリからのプログラム（又は圧縮プログラム）の読み出しに適用したものである。本発明の第2の態様によれば、プログラムメモリからの読み出しに要する消費電力が小さいビット値を多く含むようにビットパターン変換が行われた状態で、プログラム（又は圧縮プログラム）をプログラムメモリに記録できる。したがって、本発明の第2の態様は、プログラムメモリからのプログラム（又は圧縮プログラム）の読み出しに要する消費電力を低減することができる。なお、コンピュータ装置の動作中はプログラム（又は圧縮プログラム）の書き換えは行われない。また、命令の使用頻度の偏りに起因して、プログラムにはビットパターンの出現頻度に偏り（一様からのずれ）が生じやすいことが想定される。したがって、プログラムメモリからのプログラム（又は圧縮プログラム）読み出しは、本発明の第1の態様を適用することによる効果が大きいアプリケーションの1つである。

[0018] 本発明の第3の態様に係るビットパターン置換装置は、上述した第1の態様に係るビットパターン逆置換装置と反対の処理を行う。すなわち、当該ビットパターン置換装置は、不揮発性メモリに記録される前の第1のデータに対してビットパターンの置換処理を行うことによって第2のデータを生成する置換部を含む。ここで、前記第1のデータは複数の第1のビット列を含み、前記第2のデータは複数の第2のビット列を含む。前記第1及び第2のビット列のビット長、これらの対応関係は、上述した第1の態様と同様である。そして、前記置換部により行われる前記置換処理は、前記対応関係に基づいて、前記複数の第1のビット列を前記複数の第2のビット列に変換する処

理を含む。

[0019] つまり、本発明の第3の態様は、命令処理部（i.e. CPU、プロセッサコア）等によって使用される第1のデータを、第2のデータとして不揮発性メモリに記録しておくことができる。第2のデータは、第1のデータに比べて、不揮発性メモリからの読み出しに要する消費電力が小さいビット値を多く含む。このため、上述した本発明の第3の態様は、不揮発性メモリ（具体的には、記録しているデータビット値によってデータ読み出し時の消費電力が異なる不揮発性メモリ）からのデータ読み出しに要する消費電力の低減に寄与することができる。

[0020] 本発明の第4の態様に係るライタ装置は、上述した第3の態様に係るビットパターン置換装置と、書き込み処理部を含む。前記書き込み処理部は、前記ビットパターン置換装置によって生成された前記第2のデータを前記不揮発性メモリに書き込むことができるよう構成されている。

[0021] 本発明の第5の態様に係るプログラムは、上述した第3の態様に係るビットパターン置換装置による置換処理をコンピュータに行わせるためのプログラムである。

発明の効果

[0022] 上述した本発明の各態様は、記録しているデータビット値によってデータ読み出し時の消費電力が異なる不揮発性メモリからのデータ読み出しに要する消費電力の低減に寄与することができる。

図面の簡単な説明

[0023] [図1]本発明の実施の形態1に係るコンピュータ及びライタの構成例を示すブロック図である。

[図2]図1に示したライタの動作例を示すフローチャートである。

[図3]図1に示したコンピュータの動作例を示すフローチャートである。

[図4]本発明の実施の形態1に係るコンピュータ及びライタの他の構成例を示すブロック図である。

[図5]置換テーブル及び逆置換テーブルの生成動作を説明するための概念図で

ある。

[図6]元プログラムに対するビットパターン置換処理を説明するための概念図である。

[図7]置換されたプログラムに対するビットパターン逆置換処理を説明するための概念図である。

[図8A]元プログラムP 1の読み出しに要する消費電力の見積もり結果を示すテーブルである。

[図8B]置換されたプログラムP 2の読み出しに要する消費電力の見積もり結果を示すテーブルである。

[図9]本発明の実施の形態2に係るコンピュータ及びライタの構成例を示すブロック図である。

[図10]本発明の実施の形態3に係るコンピュータ及びライタの構成例を示すブロック図である。

発明を実施するための形態

[0024] 以下では、本発明を適用した具体的な実施の形態について、図面を参照しながら詳細に説明する。各図面において、同一又は対応する要素には同一の符号が付されており、説明の明確化のため、必要に応じて重複説明は省略される。

[0025] <発明の実施の形態1>

本実施の形態では、コンピュータに実行される命令シーケンスを含むプログラムを不揮発性メモリに記録する場合について説明する。図1は、本実施の形態に係るコンピュータ1及びライタ5の構成例を示している。コンピュータ1は、例えば、マイクロコントローラ、マイクロプロセッサ、DSP (Digital Signal Processor) 等である。図1に示されたコンピュータ1は、不揮発性メモリ10、逆置換部11、逆置換テーブル12、及び命令処理部13を含む。

[0026] 不揮発性メモリ10は、例えばフラッシュメモリ又はMRAMであり、記録しているデータビット値によってデータ読み出し時の消費電力が異なる特

徴を持つ。不揮発性メモリ 10 は、ビットパターン置換されたプログラム P2 を記録している。プログラム P2 は、ライタ 5 によって元プログラム P1 に対してビットパターン置換処理を行うことによって生成され、不揮発性メモリ 10 に格納される。ここで、ライタ 5 によるビットパターン置換処理は、元プログラム P1 中での出現頻度が相対的に高いビットパターンを持つ第 1 のビット列を、同一ビット長であって、かつ不揮発性メモリ 10 からの読み出し時に必要な電力が相対的に小さいビットパターンを持つ第 2 のビット列に置換するように行われている。このようにビットパターンが置換されたプログラム P2 を不揮発性メモリ 10 に記録することで、元プログラム P1 をそのまま記録する場合に比べて、不揮発性メモリ 10 からの読み出しに必要な消費電力を低減できる。

[0027] 逆置換部 11 は、逆置換テーブル 12 を参照することで、不揮発性メモリ 10 から読み出されたプログラム P2 に対してビットパターン逆置換処理を行う。これにより、逆置換部 11 は、元プログラム P1 を復元する。つまり、ビットパターン逆置換処理は、上述したライタ 5 によるビットパターン置換処理の逆の処理である。逆置換テーブル 12 は、不揮発性メモリ 10 への書き込み前に行われるビットパターン置換処理における元プログラム P1 と置換後のプログラムの間のビット列（ビットパターン）の対応関係を規定する。逆置換テーブル 12 は、不揮発性メモリに保持されてもよいし、揮発性メモリに保持されてもよい。例えば、逆置換テーブル 12 は、逆置換前のビット列をアドレスとして入力すると逆置換後のビット列を出力できるように、SRAM（Static Random Access Memory）を用いたルックアップテーブルとして構成されてもよい。逆置換テーブル 12 を揮発性メモリに保持する場合、コンピュータ 1 の動作時に、不揮発性メモリ 10 又は他の不揮発性メモリ（不図示）から揮発性メモリに逆置換テーブル 12 をロードすればよい。逆置換部 11 によるビットパターン逆置換処理の具体例、及び逆置換テーブル 12 の具体例については後述する。

[0028] 命令処理部 13 は、逆置換部 11 によって復元されたプログラム P1 に含

まれる命令群を取得し、これらの命令を解読して実行する。具体的には、命令処理部13は、CPU、キャッシュメモリ、メインメモリ等を含む。CPUは、命令をフェッチ及び解読（デコード）し、デコードされた命令に応じた処理（演算、ロード／ストア）を行う。

[0029] なお、図1の例では、不揮発性メモリ10がコンピュータ1の内部に含まれているが、不揮発性メモリ10は、コンピュータ1の外部に配置されてもよい。例えば、コンピュータ1がマイクロコントローラである場合、不揮発性メモリ10は、命令処理部13とは別のIC（Integrated Circuit）チップに配置されてもよい。

[0030] 次に、図1に示されたライタ5の構成について説明する。ライタ5は、元プログラムP1に含まれる出現頻度の高いビットパターンを不揮発性メモリ10からの読み出しに要する消費電力が小さいビットパターンに対応付けるとともに、ビットパターン置換処理を行ってプログラムP2を生成する。ライタ5は、計測部50、テーブル生成部51、置換テーブル52、置換部53、書き込み処理部54を含む。

[0031] 計測部50は、元プログラムP1におけるビットパターン毎の出現頻度を計測する。一例として4ビット単位でビットパターン置換が行われる場合を考える。この場合、計測部50は、元プログラムP1を各々が4ビット長の複数のビット列（第1のビット列）に分割し、各ビット列のビットパターンを判別し、ビットパターン毎の出現頻度を計測すればよい。具体的には、4ビット長のビット列が取り得るビットパターンは全部で16通りであるから、計測部50は、各ビット列が16通りのいずれであるかを判別し、16通りのパターン毎の出現数を数えればよい。

[0032] テーブル生成部51は、計測部50によるビットパターン出現頻度の計測結果に基づいて、置換前の元プログラムP1に含まれるビットパターン（第1のビット列）と置換後のプログラムP2に含まれるビットパターン（第2のビット列）との対応関係を決定する。例えば、4ビット単位でビットパターン置換が行われる場合、テーブル生成部51は、置換前の16通りのビッ

トパターンと置換後の16通りのビットパターンの対応関係を決定すればよい。

[0033] より、具体的に述べると、テーブル生成部51は、元プログラムP1中での出現頻度が相対的に高いビットパターンに対して、不揮発性メモリ10からの読み出し時に必要な電力が相対的に小さいビットパターンを優先的に割り当てるように、置換前後のビットパターンの対応関係を決定する。言い換えると、元プログラムP1中での出現頻度が相対的に高いビットパターンを持つ第1のビット列は、データビット値1及び0のうち不揮発性メモリ10からの読み出しに要する電力が低い一方のビット値を相対的に多く含むビットパターンを持つ第2のビット列に対応付けられる。

[0034] 置換前後でのビットパターンの対応関係の決定には、様々なバリエーションが考えられる。第1の例として、元プログラムP1中で最も出現頻度が高いビットパターンは、不揮発性メモリ10からの読み出しに要する電力が最も低いビットパターンに対応付けてもよい。不揮発性メモリ10からの読み出しに要する電力が最も低いビットパターンは、データビット値1及び0のうち不揮発性メモリ10からの読み出しに要する電力が低い一方のビット値を最も多く含むビットパターンである。例えば、値1より値0のほうが不揮発性メモリ10からの読み出しに要する電力が小さい場合、元プログラムP1中で最も出現頻度が高いビットパターンを、値0のみを含むビットパターン（i.e. 0000）に対応付ければよい。

[0035] 第2の例として、元プログラムP1中での出現頻度の高いビットパターンから順に、不揮発性メモリ10からの読み出しに要する電力が相対的に低いビットパターンと対応付けてもよい。言い換えると、元プログラムP1中での出現頻度の高いビットパターンから順に、データビット値1及び0のうち不揮発性メモリ10からの読み出しに要する電力が低い一方のビット値を相対的に多く含むビットパターンと対応付けてもよい。この場合、テーブル生成部51は、元プログラムP1中での出現頻度が高い順にビットパターンを整理したリストと、不揮発性メモリ10からの読み出しに要する電力が低い

順にビットパターンを整列したリストとを照合し、2つのリストにおける同一順位のビットパターンどうしを対応付けばよい。

[0036] 不揮発性メモリ10からの読み出しに要する電力が低い順にビットパターンを整列したリストは、例えば、外部からライタ5に供給すればよい。また、テーブル生成部51は、各ビットパターンに関して不揮発性メモリ10からの読み出し電力の実測値又は推定値を取得し、これに基づいて各ビットパターンの順位を決定してもよい。また、テーブル生成部51は、不揮発性メモリ10からの読み出し電力の推定値を各ビットパターンについて計算してもよい。この場合、値1及び0それぞれの1ビット読み出しに要する電力値を基準値としてテーブル生成部51に与えればよい。

[0037] 第3の例として、ビットパターンの置換は、全てのビットパターンに対してではなく、一部のビットパターンに対してのみ行ってもよい。置換対象とされないビットパターンに関しては、ビットパターン置換前後で同一のビットパターンを対応付けばよい。例えば、出現頻度が基準レベル以上であったビットパターンと、これらを置換するために必要なその他のビットパターンを置換対象としてもよい。また、例えば、出現頻度の順位が基準値以上であったビットパターンと、これらを置換するために必要なその他のビットパターンを置換対象としてもよい。

[0038] さらに、置換前後でのビットパターンの対応関係は、上述したいくつかの例に限定されない。つまり、ビットパターン置換後のプログラムP2は、元プログラムP1と比べて、データビット値1及び0のうち不揮発性メモリ10からの読み出しに要する電力が低い一方のビット値を多く含む状態となっていればよい。したがって、置換前後の対応関係の決定は、置換後のプログラムP2がこのような状態となるように決定されていけばよい。

[0039] さらに、テーブル生成部51は、置換前後でのビットパターンの対応関係を示す置換テーブル52及び逆置換テーブル12を生成する。置換テーブル52は、後述する置換部53によって使用される。逆置換テーブル12は、ビットパターン逆置換処理のためにコンピュータ1に供給される。逆置換テ

ーブル 1 2 については既に説明したのでここでは説明を省略する。

- [0040] 置換テーブル 5 2 は、不揮発性メモリ 1 0 への書き込み前に行われるビットパターン置換処理における元プログラム P 1 と置換後のプログラム P 2 の間のビット列（ビットパターン）の対応関係を規定する。置換テーブル 5 2 は、不揮発性メモリに保持されてもよいし、揮発性メモリに保持されてもよい。例えば、置換テーブル 5 2 は、置換前のビット列をアドレスとして入力すると置換後のビット列を出力できるように、S R A M を用いたルックアップテーブルとして構成されてもよい。
- [0041] 置換部 5 3 は、元プログラム P 1 を分割単位と同じビット長で分割し、置換テーブル 5 2 で定められた対応関係に従って元プログラム P 1 に含まれる各ビット列（第 1 のビット列）のビットパターンを置換する。そして、置換部 5 3 は、ビットパターン置換によって得られたビット列（第 2 のビット列）を順番に連結することで、置換後のプログラム P 2 を生成する。
- [0042] 書き込み処理部 5 4 は、置換部 5 3 によって生成されたプログラ P 2 を不揮発性メモリ 1 0 に書き込む。
- [0043] 図 1 に示したライタ 5 は、コンピュータ 1 用の専用デバイスであってもよい。また、ライタ 5 は、基板に実装されたコンピュータ 1 に書き込みを行うデバイス（書き込み処理部 5 4 に相当）と、プログラム P 2 を生成して当該デバイスに供給する P C （Personal Computer）及びアプリケーションプログラム（計測部 5 0、テーブル生成部 5 1、置換部 5 3 に相当）の組合せであってもよい。
- [0044] 図 2 及び 3 は、ライタ 5 及びコンピュータ 1 の動作フローを示すフローチャートである。まず、図 2 を用いてライタ 5 の動作フローを説明する。ステップ S 1 1 では、計測部 5 0 は、元プログラム P 1 におけるビットパターン毎の出現頻度を計測する。ステップ S 1 2 では、テーブル生成部 5 1 は、ビットパターン毎の出現頻度に基づいて、元プログラム P 1 のビットパターン（元ビットパターン）と置換後のプログラム P 2 のビットパターン（書き込みビットパターン）との対応関係を示す置換テーブル 5 2 及び逆置換テーブ

ル 1 2 を生成する。ステップ S 1 3 では、置換部 5 3 は、置換テーブル 5 2 に従って、元プログラム P 1 に対するビットパターン置換処理を行う。ステップ S 1 4 では、書き込み処理部 5 4 は、ビットパターンを置換されたプログラム P 2 を不揮発性メモリ 1 0 に書き込む。

[0045] 次に、図 3 を用いてコンピュータ 1 の動作フローを説明する。ステップ S 2 1 では、命令処理部 1 3 は、ビットパターンを置換されたプログラム P 2 を不揮発性メモリ 1 0 から読み出す。例えば、命令処理部 1 3 は、読み出すべき命令に対応するメモリアドレスを不揮発性メモリ 1 0 へ送ればよい。不揮発性メモリ 1 0 は、与えられたメモリアドレスに応答して、当該アドレスに配置されている命令（ビットパターンが置換された命令）を逆置換部 1 1 に出力する。ステップ S 2 2 では、逆置換部 1 1 は、逆置換テーブル 1 2 に従って、プログラム P 2 に対するビットパターン置換処理を行う。具体的には、不揮発性メモリ 1 0 から読み出された命令（ビットパターンが置換された命令）をライタ 5 での元プログラム P 1 の分割単位と同じビット長で分割し、逆置換テーブル 1 2 で定められた対応関係に従って各ビット列（第 2 のビット列）のビットパターンを逆置換する。これにより、逆置換部 1 1 は、元プログラム P 1 に含まれる命令を復元する。ステップ S 2 3 では、命令処理部 1 3 は、復元された元プログラム P 1 （つまり復元された命令）を解読して実行する。

[0046] 以上に述べたことから理解されるように、本実施の形態は、命令処理部 1 3 によって使用される元プログラム P 1 を、ビットパターンが置換されたプログラム P 2 として不揮発性メモリ 1 0 に記録しておくことができる。プログラム P 2 では、元プログラム P 1 中での出現頻度が相対的に高いビットパターンが、不揮発性メモリ 1 0 からの読み出しに要する消費電力が相対的に小さいビットパターンに置換されている。したがって、不揮発性メモリ 1 0 に記録されるプログラム P 2 は、元プログラム P 1 に比べて、不揮発性メモリ 1 0 からの読み出しに要する消費電力が小さいビット値を多く含む。このため、本実施の形態は、不揮発性メモリ 1 0 からのプログラム読み出しに要

する消費電力を低減することができる。

[0047] また、コンピュータ 1 に逆置換部 11 を配置することによって、不揮発性メモリ 10 へのプログラムの格納時にビットパターン置換が行われた場合であっても、命令処理部 13 には復元された元プログラム P1 が供給される。したがって、本実施の形態は、命令処理部 13 の設計変更および機能追加を必須としない。このため、本実施の形態は、命令処理部 13 の消費電力を増加させることなく、不揮発性メモリ 10 からのプログラム読み出しに要する電力を低減することができる。

[0048] さらに、本実施の形態では、元プログラム P1 と置換されたプログラム P2 の間のビットパターン置換を、置換前後のビット列が同一ビット長となるように行っている。つまり、ビット長の圧縮及び伸張を行っていない。このため、プログラム P2 に含まれる命令（ビットパターンが置換された命令）の不揮発性メモリ 10 上でのアドレスを元プログラム P1 の対応する命令のアドレスと同一とすることができる。したがって、本実施の形態は、命令処理部 13 から不揮発性メモリ 10 へのメモリアドレス転送経路にアドレス変換機構を追加する必要がないという利点がある。

[0049] 以上に述べた効果を集約することによって、本実施の形態は、簡潔で電力消費の小さい逆置換部 11 を用いることで、命令処理部 13 の消費電力を増加させることなく、不揮発性メモリ 10 からのプログラム読み出しに要する電力を低減することができるため、コンピュータ 1 の消費電力を低減することができる。

[0050] 続いて以下では、置換テーブル 52 及び逆置換テーブル 12 の生成、ビットパターンの置換処理及び逆置換処理の具体例について説明する。図 4 は、本実施の形態に係るコンピュータ 1 のより具体的な構成例を示すブロック図である。図 4 の例では、元プログラム P1 に含まれる命令は固定長の 8 ビット命令であると仮定している。また、ビットパターンの置換及び逆置換は、4 ビット長のビット列を単位として行われる。さらに、不揮発性メモリ 10 は、記録されたビット値が 1 である場合の方が 0 である場合に比べて読み出

し時の消費電力が大きいと仮定する。

[0051] 図4の例では、逆置換テーブル12は、SRAMを用いたルックアップテーブル(LUT)121に配置される。4ビット単位でビット置換を行う場合、ビットパターンは全部で16通りである。このため、LUT121は、16個の4ビットデータを記憶できる容量を有していればよい。

[0052] さらに、図4の例では、逆置換部11は、2つのマルチプレクサ111及び112を含む。各マルチプレクサは、LUT121に接続された16個のデータ入力端子(4ビット幅)と、不揮発性メモリ10の出力端子に接続された1個のデータ選択端子(4ビット幅)と、命令処理部13に接続された1個のデータ出力端子(4ビット幅)を有する。マルチプレクサ111のデータ選択端子は、不揮発性メモリ10の8ビット出力のうち上位4ビットを選択信号として受信する。マルチプレクサ111は、データ選択端子に与えられた選択信号に対応する1つのビット列を、LUT121からの16通りのビット列の中から選択する。選択されたビット列は、マルチプレクサ111のデータ出力端子から出力され、命令処理部13に供給される。マルチプレクサ112は、不揮発性メモリ10の8ビット出力のうち下位4ビットを選択信号として受信し、マルチプレクサ111と同様に動作する。

[0053] 次に、図5を用いて、ビットパターンの出現頻度の計測と、置換テーブル52及び逆置換テーブル12の生成の具体例について説明する。図5に示された計測結果の一例は、8ビット固定長命令を含む元プログラムP1を4ビット単位で分割し、4ビット列が取り得る16通りのパターンの出現頻度を計測して得られる。図5の例では、元プログラムP1において出現頻度の多いビットパターンから順に、不揮発性メモリ10からの読み出し電力が小さいビットパターンと対応付けられている。例えば、出現数が最も多い元のビットパターン"1111"は、読み出し電力が最も小さい書き込みビットパターン"0000"に対応付けられている。また、出現数が2番目に多い元のビットパターン"1101"は、値1を1つだけ含む書き込みビットパターン"0001"に対応付けられている。そして、出現数が最も少ない元のビットパタ

ーン”0000”は、読み出し電力が最も大きい書き込みビットパターン”1111”に対応付けられている。

[0054] 図5に示す測定結果に基づいて、テーブル生成部51は、置換テーブル52及び逆置換テーブル12を生成する。図5に示された置換テーブル52は、置換すべき元のビット列をアドレスとして与えられることによって、置換後のビット列を出力するルックアップテーブル（LUT）として動作する。同様に、図5に示された逆置換テーブル12は、逆置換すべき置換されたビット列をアドレスとして与えられることによって、逆置換後の元のビット列を出力するLUTとして動作する。

[0055] 図6は、ライタ5が有する置換部53によるビットパターン置換処理の具体例を示している。例えば、元プログラムP1のアドレス0000H番地に記録されている元の8ビット命令の上位4ビットは”1111”である。この4ビット値”1111”を16進数のアドレス（FH）として図6に示された置換テーブル52に与えると、FH番地に記録されている4ビット値”0000”が置換後のビット列として得られる。したがって、元プログラムP1の4ビット値”1111”は、”0000”に置換される。同様にして、元プログラムP1のアドレス0000H番地に記録されている元の8ビット命令の下位4ビット”0001”は、置換テーブル52の1H番地に記憶されている”0111”に置換される。これらのビット操作によって、元の8ビット命令”1111__0001”は、”0000__0111”に置換される。

[0056] 図7は、コンピュータ1が有する逆置換部11によるビットパターン逆置換処理の具体例を示している。逆置換部11は、不揮発性メモリ10から読み出された置換された8ビット命令を受信し、この命令の上位4ビットをマルチプレクサ111によって逆置換し、下位4ビットをマルチプレクサ112によって逆置換する。これにより、逆置換部11は、元の8ビット命令を復元して命令処理部13に供給する。例えば、図6の置換されたプログラムP2のアドレス0000H番地に記録されている置換された8ビット命令の上位4ビットは”0000”である。この4ビット値”0000”を16進数の

アドレス（０Ｈ）として図７に示された逆置換テーブル１２（ＬＵＴ１２１）に与えると、０Ｈ番地に記録されている４ビット値”１１１１”が元のビット列として得られる。したがって、置換されたプログラムＰ２の４ビット値”００００”は、”１１１１”に逆置換される。同様にして、置換されたプログラムＰ２のアドレス００００Ｈ番地に記録されている置換された８ビット命令の下位４ビット”０１１１”は、逆置換テーブル１２（ＬＵＴ１２１）の７Ｈ番地に記憶されている”０００１”に逆置換される。これらのビット操作によって、置換された８ビット命令”００００__０１１１”は、元の８ビット命令”１１１１__０００１”に復元される。

[0057] 次に、図８Ａ及び８Ｂを参照して、本実施の形態によって得られる省電力効果について説明する。図４に示した逆置換部１１（つまりマルチプレクサ１１１及び１１２）及び小容量なＳＲＡＭで構成されたＬＵＴ１２１によるビットパターン逆置換動作に要する電力を１と仮定する。さらに、小容量なＳＲＡＭよりも一般的に読み出し電力の大きい不揮発性メモリ１０からの１ビット値０の読み出し電力を５と仮定し、不揮発性メモリ１０からの１ビット値１の読み出し電力を１５と仮定する。これらの仮定を適用すると、ある元プログラムＰ１を不揮発性メモリ１０に記録した場合に想定される読み出し電力は図８Ａに示すように計算される。そして、置換されたプログラムＰ２を不揮発性メモリ１０に記録した場合に想定される読み出し電力は図８Ｂに示すように計算される。つまり、本実施の形態を採用せずに、元プログラムＰ１を不揮発性メモリ１０から読み出して実行する場合は、５４，８８０の電力を消費する。これに対して、本実施の形態を採用する場合、逆置換部１１及びＬＵＴ１２１の動作電力として命令の総数に相当する１，０８４の電力を消費するが、不揮発性メモリ１０からの読み出し電力が３１，８４０に低減される。このため、本実施の形態を採用し、置換されたプログラムＰ２を不揮発性メモリ１０から読み出して実行する場合は、３２，９２４の消費電力で済む。

[0058] なお、図４～８を用いて説明した具体例では、８ビット固定長命令の場合

について説明したが、本実施の形態が対象とする元プログラム P 1 に含まれる命令は、他の任意の長さの固定長命令であってもよいし、可変長命令であってもよい。また、本実施の形態の説明では、8ビット命令の上位4ビットと下位4ビットのように単純な区分を用いたが、命令を演算子（オペコード）と非演算子（オペランド）のような役割によって区分してもよい。さらに、これらの区分に応じて別々に出現頻度を計測し、別々の置換テーブル及び逆置換テーブルを用いてもよい。また、命令の一部（例えばオペコード）についてのみビットパターンの置換・逆置換処理の対象とし、他の一部は置換・逆置換処理の対象外としてもよい。これらの変形については、後述する本発明の実施の形態2及び3において説明する。

[0059] また、本実施の形態によって得られる消費電力の低減効果は、元プログラム P 1 に含まれるビット値の偏り具合に依存する。例えば、元プログラム P 1 に含まれるビット値1とビット0の割合が同じであれば、本実施の形態で述べたビットパターン置換による消費電力の低減効果を得ることは困難である。従って、元プログラム P 1 中でのビットパターンの出現頻度の偏り具合に基づいて、ビットパターンの逆置換処理を行うことによるコンピュータ1の省電力効果が得られないと判定される場合には、不揮発性メモリ10に置換されたプログラム P 2 ではなく元プログラム P 1 を記録し、逆置換部11及び逆置換テーブル12の動作を停止してもよい。具体的には、コンピュータ1に外部から制御可能な制御端子を設け、この制御端子を介して逆置換部11及び逆置換テーブル12の動作を停止できるようにしてもよい。例えば、逆置換部11及び逆置換テーブル12（LUT121として用いるSRAM）への電源供給を遮断する遮断回路と、逆置換部11を迂回する信号経路とセレクトを設け、遮断回路及びセレクトの動作をコンピュータ1の外部から制御できるようにコンピュータ1を構成すればよい。

[0060] また、既に述べた通り、本実施の形態に係るライタ5が有する計測部50、テーブル生成部51、及び置換部53の機能は、PC等のコンピュータシステムに1又は複数のプログラムを実行させることによって実現してもよい。

。具体的には、元プログラムP 1におけるビットパターン出現頻度の計測するための第1の命令群と、置換前後のビットパターンの対応関係を生成するための第2の命令群と、ビットパターン置換処理を行うための第3の命令群とをプロセッサがアクセス可能なメモリに記憶しておけばよい。これら第1～第3の命令群は、1のプログラムとして提供されてもよいし、複数のプログラムに分割されて提供されてもよい。コンピュータシステムは、第1～第3の命令群を実行することによって、計測部50、テーブル生成部51、及び置換部53として動作する。

[0061] これらのプログラムは、様々なタイプの非一時的なコンピュータ可読媒体 (non-transitory computer readable medium) を用いて格納され、コンピュータに供給することができる。非一時的なコンピュータ可読媒体は、様々なタイプの実体のある記録媒体 (tangible storage medium) を含む。非一時的なコンピュータ可読媒体の例は、磁気記録媒体 (例えばフレキシブルディスク、磁気テープ、ハードディスクドライブ)、光磁気記録媒体 (例えば光磁気ディスク)、CD-ROM (Read Only Memory)、CD-R、CD-R/W、半導体メモリ (例えば、マスクROM、PROM (Programmable ROM)、EPROM (Erasable PROM)、フラッシュROM、RAM (random access memory)) を含む。また、プログラムは、様々なタイプの一時的なコンピュータ可読媒体 (transitory computer readable medium) によってコンピュータに供給されてもよい。一時的なコンピュータ可読媒体の例は、電気信号、光信号、及び電磁波を含む。一時的なコンピュータ可読媒体は、電線及び光ファイバ等の有線通信路、又は無線通信路を介して、プログラムをコンピュータに供給できる。

[0062] <発明の実施の形態2>

上述した発明の実施の形態1では、元プログラムP 1の全体を対象としてビットパターン毎の出現頻度を計測し、プログラムP 1の全体に対して1つのビットパターン対応関係 (1組の置換テーブル及び逆置換テーブル) を生成する例を示した。本実施の形態では、元プログラムP 1を複数の領域に区

分し、ビットパターン毎の出現頻度を各領域について別々に計測し、各領域に対して個別にビットパターン対応関係を生成する例について説明する。

[0063] 本実施の形態に係るコンピュータ 2 及びライタ 6 の構成例を図 9 に示す。ライタ 6 が有する計測部 60 は、元プログラム P 1 を 2 つの領域に分割し、2 つの領域について別々にビットパターンの出現頻度を計測する。例えば、元プログラム P 1 が $(m+n)$ ビット命令を含む場合、上位の m ビットを第 1 の領域とし、下位の n ビットを第 2 の領域としてもよい。この場合、計測部 60 は、第 1 の領域（上位 m ビット）におけるビットパターンの出現頻度と、第 2 の領域（下位 n ビット）におけるビットパターン出現頻度を別々に計測する。また、命令中のオペコードを第 1 の領域とし、オペランドを第 2 の領域としてもよい。

[0064] テーブル生成部 61 は、2 つの領域に関するビットパターンの出現頻度の計測結果に基づいて、2 つのビットパターン対応関係（2 組の置換テーブル及び逆置換テーブル）を生成する。テーブル生成部 61 による対応関係の決定手法は、上述した実施の形態 1 のテーブル生成部 51 と同様とすればよい。

[0065] 置換部 63 は、テーブル生成部 61 によって生成された 2 つの置換テーブル 621 及び 622 を適用して、ビットパターン置換されたプログラム P 2 を生成する。

[0066] 図 9 に示されたコンピュータ 2 は、SRAM を用いた 2 つの LUT 121 及び 122 を有する。LUT 121 及び 122 は、テーブル生成部 61 によって生成された 2 つの逆置換テーブルを保持する。図 9 の例では、LUT 121 は、8 ビット命令の上位 4 ビットに対する逆置換テーブルを保持する。また、LUT 122 は、8 ビット固定長命令の下位 4 ビットに対する逆置換テーブルを保持する。

[0067] 逆置換部 11 に配置されたマルチプレクサ 111 は、LUT 121 と結合され、不揮発性メモリ 10 から読み出された置換されたプログラム P 2 に含まれる 8 ビット命令の上位 4 ビットに対する逆置換を行う。また、マルチプ

レクサ 1 1 2 は、L U T 1 2 2 と結合され、置換されたプログラム P 2 に含まれる 8 ビット命令の下位 4 ビットに対する逆置換を行う。これにより、元プログラム P 1 の 8 ビット命令が復元される。

[0068] 元プログラム P 1 に含まれる複数の領域（例えば 8 ビット命令の上位 4 ビットと下位 4 ビット）の間でビットパターンの出現頻度の偏り方に大きな違いが存在する場合が考えられる。本実施の形態は、このような場合に特に有効である。すなわち、本実施の形態は、元プログラムに含まれる各領域に対して適切なビットパターン置換を行うことができるため、不揮発性メモリ 1 0 からのプログラム P 2 の読み出しに要する電力をより一層低減できる。

[0069] <発明の実施の形態 3>

本実施の形態では、元プログラム P 1 を複数の領域に区分し、このうち一部の領域に対してビットパターン置換処理を行い、他の領域に対してビットパターン置換処理を行わない例を説明する。

[0070] 本実施の形態に係るコンピュータ 3 及びライタ 7 の構成例を図 1 0 に示す。図 1 0 の例では、元プログラム P 1 及び置換されたプログラム P 2 に含まれる 8 ビット命令の上位 4 ビットがビットパターン置換・逆置換の対象とされる。これに対して、8 ビット命令の下位 4 ビットに対しては、ビットパターン置換・逆置換が行われない。

[0071] 計測部 7 0 は、発明の実施の形態 2 で述べた計測部 6 0 と同様に、元プログラム P 1 を 2 つの領域に分割し、2 つの領域について別々にビットパターンの出現頻度を計測する。ここでは、元プログラム P 1 に含まれる 8 ビット命令の上位 4 ビットを第 1 の領域とし、下位 4 ビットを第 2 の領域とする場合を考える。

[0072] ここで、ビットパターンの出現頻度の計測を行った結果、第 1 の領域（上位 4 ビット）におけるビットパターンの出現頻度は図 5 の具体例に示したようなビットパターンによる顕著な偏りがあるが、第 2 の領域（下位 4 ビット）におけるビットパターンの出現頻度は各ビットパターンの出現数がほぼ同数であったと仮定する。この場合、第 2 の領域（下位 4 ビット）については

ビットパターンの置換・逆置換を行うことによる不揮発性メモリ 10 の読み出し電力の低減効果を得ることができない。このため、テーブル生成部 71 は、第 1 の領域（上位 4 ビット）に対してのみ置換テーブル及び逆置換テーブルを生成する。置換部 73 は、置換テーブル 72 を適用して第 1 の領域（上位 4 ビット）に対してのみビットパターン置換を行うとともに、第 2 の領域（下位 4 ビット）に対しては元プログラム P 1 のビット列をそのまま用いて、置換されたプログラム P 2 を生成する。

[0073] 図 10 に示されたコンピュータ 3 は、SRAM を用いた 1 つの LUT 121 を有する。UT 121 は、テーブル生成部 61 によって生成された第 1 の領域（上位 4 ビット）に対する逆置換テーブルを保持する。逆置換部 31 に配置されたマルチプレクサ 111 は、LUT 121 と結合され、不揮発性メモリ 10 から読み出された置換されたプログラム P 2 に含まれる 8 ビット命令の上位 4 ビットに対する逆置換を行う。一方、プログラム P 2 に含まれる 8 ビット命令の下位 4 ビットは、逆置換部 31 においてビットパターン逆置換処理を施されることなくそのまま命令処理部 13 に供給される。これにより、元プログラム P 1 の 8 ビット命令が復元される。

[0074] 上述したように、元プログラム P 1 に含まれる複数の領域（例えば 8 ビット命令の上位 4 ビットと下位 4 ビット）の間でビットパターンの出現頻度の偏り方に大きな違いが存在する場合が考えられる。本実施の形態は、一部の領域に関してビットパターンの出現頻度の偏りが小さいためにビットパターン置換・逆置換による消費電力の低減効果が得られない場合に、この一部の領域をビットパターン置換・逆置換を除外できる。これにより、逆置換部 31 の消費電力を抑制でき、コンピュータ 3 の消費電力をより一層低減することができる。

[0075] なお、図 10 に示したコンピュータ 3 は、図 4 に示したコンピュータ 1 からマルチプレクサ 112 を取り除いた構成、又は図 9 に示したコンピュータ 2 からマルチプレクサ 112 及び LUT 122 を取り除いた構成となっている。しかしながら、コンピュータ 3 は、プログラム P 2 の一部の領域に対す

るビットパターン逆置換を選択的に停止できる構成を有してもよい。具体的には、コンピュータ 3 に外部から制御可能な制御端子を設け、この制御端子を介して逆置換部 31 に含まれる少なくとも一部のマルチプレクサ、及び少なくとも一部の逆置換テーブルの動作を停止できるようにしてもよい。例えば、少なくとも一部のマルチプレクサ及び LUT (SRAM) への電源供給を遮断する遮断回路と、少なくとも一部のマルチプレクサを迂回する信号経路とセレクトアを設け、遮断回路及びセレクトアの動作をコンピュータ 3 の外部から制御できるようにすればよい。

[0076] <その他の実施の形態>

上述した発明の実施の形態 1～3 では、元プログラム P1 が圧縮されていないプログラムであるとして説明した。このような元プログラム P1 は、プログラマにより直接生成されるか、プログラマが生成したソースプログラムをコンパイラで変換することによって生成される。元プログラム P1 は、CD-ROM 又は USB メモリ等の外部記憶媒体を介してライタ 5 (6 又は 7) に入力されてもよいし、通信ネットワークを介してライタ 5 (6 又は 7) に入力されてもよい。また、ライタ 5 (6 又は 7) として PC を用いる場合、この PC 上でコンパイラを実行することによって、ソースプログラムから元プログラム P1 を生成してもよい。

[0077] しかしながら、元プログラム P1 は、圧縮されたプログラムであってもよい。この場合、ライタ 5 (6 又は 7) は、圧縮されたプログラム P1 に対するビットパターン置換を行ってプログラム P2 を生成すればよい。また、コンピュータ 1 (2 又は 3) には、圧縮プログラムから元プログラムを復元するための伸張回路を設ければよい。伸張回路は、逆置換部 11 (31) によって逆置換を施された後の 1 又は複数のビット列 (第 1 のビット列) を単位として伸張処理を実行し、元の命令を復元する。復元された命令は、命令処理部 13 に供給される。圧縮プログラムに対してビットパターン置換を行って得られるプログラム P2 を不揮発性メモリ 10 に格納することによって、圧縮プログラム自体を不揮発性メモリ 10 に格納する場合に比べて、不揮発

性メモリ 10からのプログラム読み出しに要する消費電力の低減が期待できる。つまり、上述した本発明の実施の形態 1～3 は、特許文献 1～3 に記載されているようなプログラム圧縮の手法と組み合わせることができる。

[0078] 発明の実施の形態 2 及び 3 では、元プログラム P 1 を 2 つの領域に分ける場合について説明した。しかしながら、元プログラム P 1 を 3 つ以上の領域に分割し、置換テーブル及び逆置換テーブルの組合せを 3 組以上生成してもよい。

[0079] 発明の実施の形態 1～3 では、不揮発性メモリ 10 にプログラムを格納する場合、言い換えると不揮発性メモリ 10 をマイクロコントローラ等のコンピュータと結合されるプログラムメモリとして使用する場合について説明した。コンピュータ装置の動作中はプログラム（又は圧縮プログラム）の書き換えは行われない。また、命令の使用頻度の偏りに起因して、プログラムにはビットパターンの出現頻度に偏り（一様からのずれ）が生じやすいことが想定される。したがって、不揮発性メモリ 10 をプログラムメモリとして利用する場合は、ビットパターンの置換・逆置換処理を行うことによって消費電力を大きく低減することが期待できる。しかしながら、発明の実施の形態 1～3 で述べたビットパターンの置換・逆置換処理は、不揮発性メモリ 10 を他の用途で利用するシステムに適用してもよい。

[0080] さらに、本発明は上述した実施の形態のみに限定されるものではなく、既に述べた本発明の要旨を逸脱しない範囲において種々の変更が可能であることは勿論である。

[0081] この出願は、2011年3月8日に出願された日本出願特願2011-050113を基礎とする優先権を主張し、その開示の全てをここに取り込む。

符号の説明

[0082] 1、2、3 コンピュータ
5、6、7 ライタ
10 不揮発性メモリ

- 1 1、3 1 逆置換部
- 1 2 逆置換テーブル
- 1 3 命令処理部
- 5 0、6 0、7 0 計測部
- 5 1、6 1、7 1 テーブル生成部
- 5 2、6 2、7 2 置換テーブル
- 5 3、6 3、7 3 置換部
- 5 4 書き込み処理部
- 1 2 1、1 2 2 マルチプレクサ
- 1 3 1、1 3 2 ルックアップテーブル (S R A M)
- P 1 元プログラム
- P 2 置換されたプログラム

請求の範囲

- [請求項1] 不揮発性メモリから読み出された第2のデータに対してビットパターン
の逆置換処理を行うことによって第1のデータを生成する逆置換
部を備え、
- 前記第1のデータは、複数の第1のビット列を含み、
- 前記第2のデータは、複数の第2のビット列を含み、
- 前記複数の第1のビット列の各々は、前記複数の第2のビット列の
いずれかに対応するとともに、対応する前記いずれかの第2のビット
列と同じビット長であり、
- 前記第1のビット列と前記第2のビット列の対応関係は、前記複数の
第1のビット列中での出現頻度が相対的に高いビットパターンを持
つ第1のビット列に対して、前記不揮発性メモリからの読み出し時に
必要な電力が相対的に小さいビットパターンを持つ第2のビット列を
優先的に割り当てるように決定されており、
- 前記逆置換処理は、前記対応関係に基づいて、前記複数の第2のビ
ット列を前記複数の第1のビット列に変換する処理を含む、
ビットパターン逆置換装置。
- [請求項2] 前記第2のデータは、前記第1のデータと比べて、データビット値
1及び0のうち前記不揮発性メモリからの読み出しに要する電力が低
い一方のビット値を多く含む、請求項1に記載のビットパターン逆置
換装置。
- [請求項3] 前記対応関係では、前記複数の第1のビット列中での出現頻度が相
対的に高いビットパターンを持つ第1のビット列は、データビット値
1及び0のうち前記不揮発性メモリからの読み出しに要する電力が低
い一方のビット値を相対的に多く含むビットパターンを持つ第2のビ
ット列に対応付けられている、請求項1又は2に記載のビットパター
ン逆置換装置。
- [請求項4] 前記対応関係では、前記複数の第1のビット列中での出現頻度が最

も高いビットパターンを持つ第1のビット列は、前記一方のビット値を最も多く含むビットパターンを持つ第2のビット列に対応付けられている、請求項3に記載のビットパターン逆置換装置。

[請求項5] 前記対応関係では、前記複数の第1のビット列中での出現頻度の高いビットパターンを持つ第1のビット列から順に、前記一方のビット値を相対的に多く含む第2のビット列と対応付けられている、請求項3又は4に記載のビットパターン逆置換装置。

[請求項6] 前記対応関係を規定した変換テーブルをさらに備える、請求項1～5のいずれか1項に記載のビットパターン逆置換装置。

[請求項7] 前記第1のデータは、複数の第3のビット列をさらに含み、
前記第2のデータは、複数の第4のビット列をさらに含み、
前記複数の第3のビット列の各々は、前記複数の第4のビット列のいずれかに対応するとともに、対応する前記いずれかの第4のビット列と同じビット長である、
請求項1～6のいずれか1項に記載のビットパターン逆置換装置。

[請求項8] 前記第3のビット列と前記第4のビット列の対応関係は、前記第3のビット列中での出現頻度が相対的に高いビットパターンを持つ第3のビット列に対して、前記不揮発性メモリからの読み出し時に必要な電力が相対的に小さいビットパターンを持つ第4のビット列を優先的に割り当てるように決定されており、

前記逆置換処理は、前記対応関係に基づいて、前記複数の第4のビット列を前記複数の第3のビット列に変換する処理をさらに含む、
請求項7に記載のビットパターン逆置換装置。

[請求項9] 前記複数の第4のビット列から前記複数の第3のビット列への変換は行われず、前記複数の第3のビット列は前記複数の第4のビット列と同一である、請求項7に記載のビットパターン逆置換装置。

[請求項10] 前記第1のデータは、プログラム又はこれを圧縮した圧縮データであり、

前記複数の第1のビット列の各々は、前記プログラムに含まれるnビット命令（nは正の整数）の一部に対応し、

前記複数の第3のビット列の各々は、前記nビット命令の他の一部に対応する、

請求項7～9のいずれか1項に記載のビットパターン逆置換装置。

[請求項11] 前記第1のデータは、プログラム又はこれを圧縮した圧縮データであり、

前記複数の第1のビット列の各々は、前記プログラムに含まれる命令のオペコードの少なくとも一部に対応し、

前記複数の第3のビット列の各々は、前記命令のオペランドの少なくとも一部に対応する、

請求項7～9のいずれか1項に記載のビットパターン逆置換装置。

[請求項12] 請求項1～11のいずれか1項に記載のビットパターン逆置換装置と、

命令実行部と、

を備え、

前記第1のデータは、前記命令実行部によって実行されるプログラムの少なくとも一部、又は前記プログラムの少なくとも一部が圧縮された圧縮データであり、

前記命令実行部は、前記逆置換によって生成された少なくとも1つの第1のビット列によって表わされる命令、又は前記少なくとも1つの第1のビット列に対する伸張処理を行って得られる命令を解読して実行するよう構成されている、

コンピュータ装置。

[請求項13] 前記逆置換部は、前記逆置換を行うか否かを前記コンピュータ装置の外部から設定できるよう構成されている、請求項12に記載のコンピュータ装置。

[請求項14] 不揮発性メモリに記録される前の第1のデータに対してビットパタ

ーンの置換処理を行うことによって第2のデータを生成する置換部を備え、

前記第1のデータは、複数の第1のビット列を含み、

前記第2のデータは、複数の第2のビット列を含み、

前記複数の第1のビット列の各々は、前記複数の第2のビット列のいずれかに対応するとともに、対応する前記いずれかの第2のビット列と同じビット長であり、

前記第1のビット列と前記第2のビット列の対応関係は、前記複数の第1のビット列中での出現頻度が相対的に高いビットパターンを持つ第1のビット列に対して、前記不揮発性メモリからの読み出し時に必要な電力が相対的に小さいビットパターンを持つ第2のビット列を優先的に割り当てるように決定されており、

前記置換処理は、前記対応関係に基づいて、前記複数の第1のビット列を前記複数の第2のビット列に変換する処理を含む、ビットパターン置換装置。

[請求項15] 前記複数の第1のビット列におけるビットパターン毎の出現頻度を計測する計測部と、

前記計測の結果に基づいて、前記対応関係を生成する対応関係生成部と、

をさらに備える請求項14に記載のビットパターン置換装置。

[請求項16] 前記第2のデータは、前記第1のデータと比べて、データビット値1及び0のうち前記不揮発性メモリからの読み出しに要する電力が低い一方のビット値を多く含む、請求項14又は15に記載のビットパターン置換装置。

[請求項17] 前記対応関係では、前記複数の第1のビット列中での出現頻度が相対的に高いビットパターンを持つ第1のビット列は、データビット値1及び0のうち前記不揮発性メモリからの読み出しに要する電力が低い一方のビット値を相対的に多く含むビットパターンを持つ第2のビ

ット列に対応付けられている、請求項 14～16 のいずれか 1 項に記載のビットパターン置換装置。

[請求項18] 請求項 14～17 のいずれか 1 項に記載のビットパターン置換装置と、

前記ビットパターン置換装置によって生成された前記第 2 のデータを前記不揮発性メモリに書き込む書き込み処理部と、
を備えるライタ装置。

[請求項19] 不揮発性メモリから読み出された第 2 のデータに対してビットパターンの逆置換処理を行うことによって第 1 のデータを生成することを備え、

前記第 1 のデータは、複数の第 1 のビット列を含み、

前記第 2 のデータは、複数の第 2 のビット列を含み、

前記複数の第 1 のビット列の各々は、前記複数の第 2 のビット列のいずれかに対応するとともに、対応する前記いずれかの第 2 のビット列と同じビット長であり、

前記第 1 のビット列と前記第 2 のビット列の対応関係は、前記複数の第 1 のビット列中での出現頻度が相対的に高いビットパターンを持つ第 1 のビット列に対して、前記不揮発性メモリからの読み出し時に必要な電力が相対的に小さいビットパターンを持つ第 2 のビット列を優先的に割り当てるように決定されており、

前記逆置換処理は、前記対応関係に基づいて、前記複数の第 2 のビット列を前記複数の第 1 のビット列に変換する処理を含む、
ビットパターン変換方法。

[請求項20] ビットパターン変換方法をコンピュータに実行させるためのプログラムであって、

前記方法は、

不揮発性メモリに記録される前の第 1 のデータに対してビットパターンの置換処理を行うことによって第 2 のデータを生成することを備

え、

前記第 1 のデータは、複数の第 1 のビット列を含み、

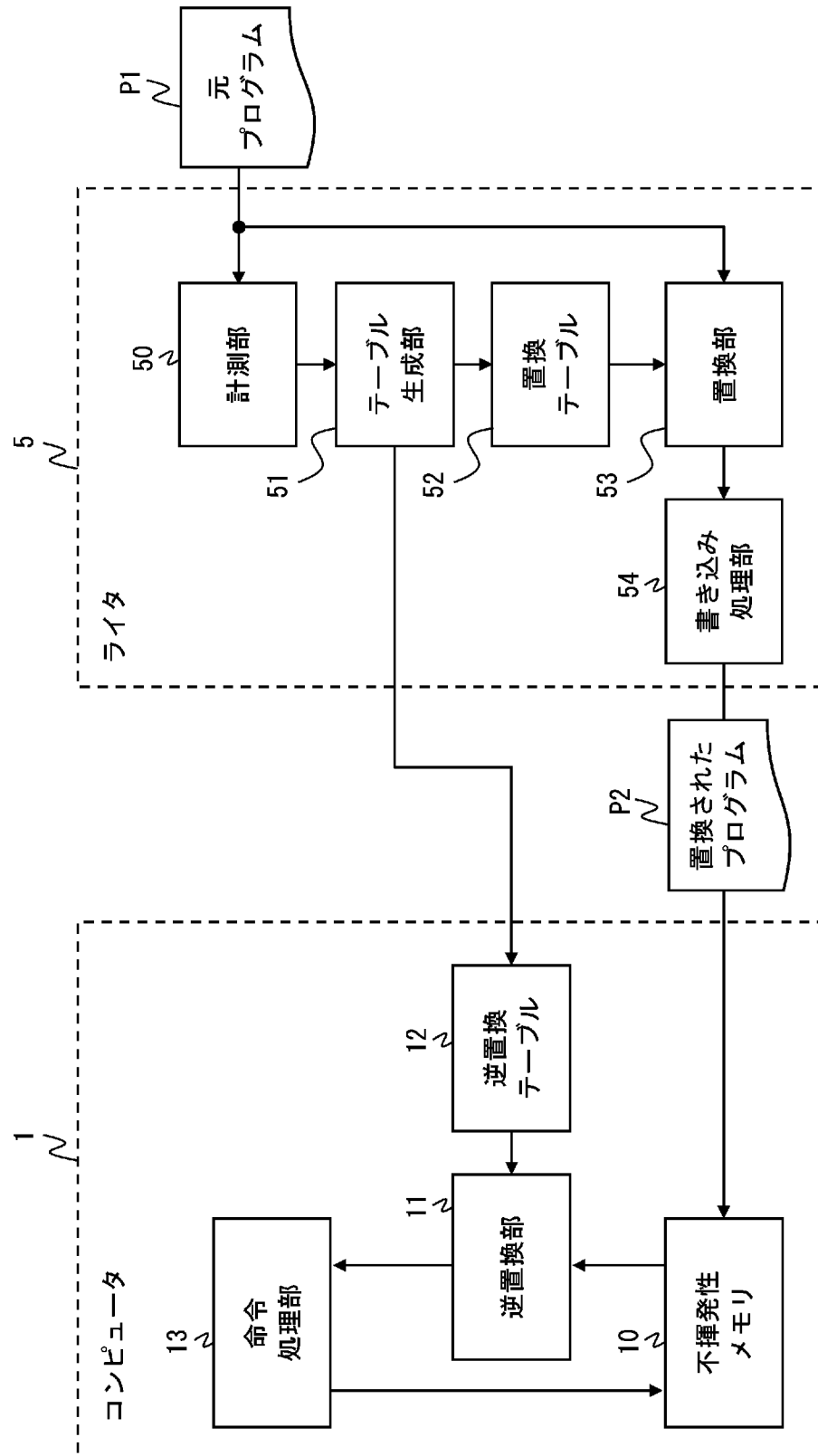
前記第 2 のデータは、複数の第 2 のビット列を含み、

前記複数の第 1 のビット列の各々は、前記複数の第 2 のビット列のいずれかに対応するとともに、対応する前記いずれかの第 2 のビット列と同じビット長であり、

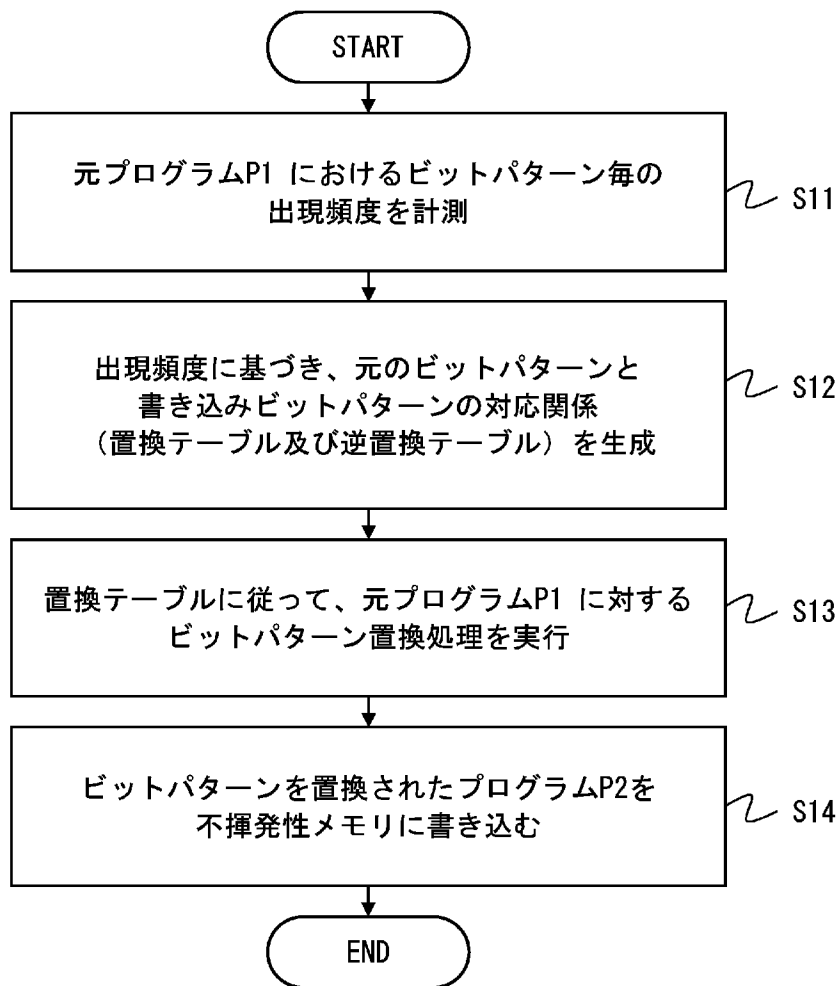
前記第 1 のビット列と前記第 2 のビット列の対応関係は、前記複数の第 1 のビット列中での出現頻度が相対的に高いビットパターンを持つ第 1 のビット列に対して、前記不揮発性メモリからの読み出し時に必要な電力が相対的に小さいビットパターンを持つ第 2 のビット列を優先的に割り当てるように決定されており、

前記置換処理は、前記対応関係に基づいて、前記複数の第 1 のビット列を前記複数の第 2 のビット列に変換する処理を含む、プログラム。

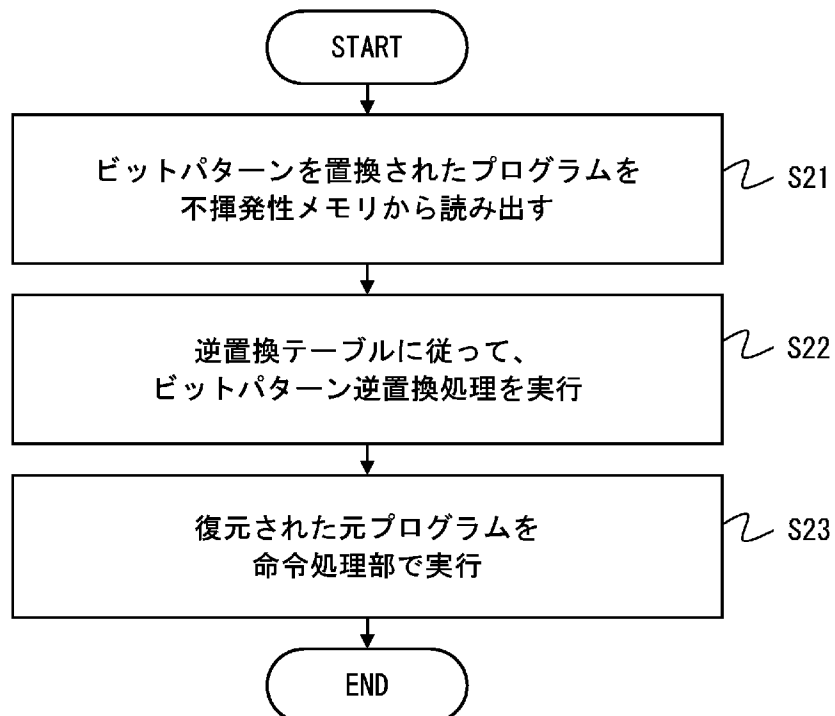
[図1]



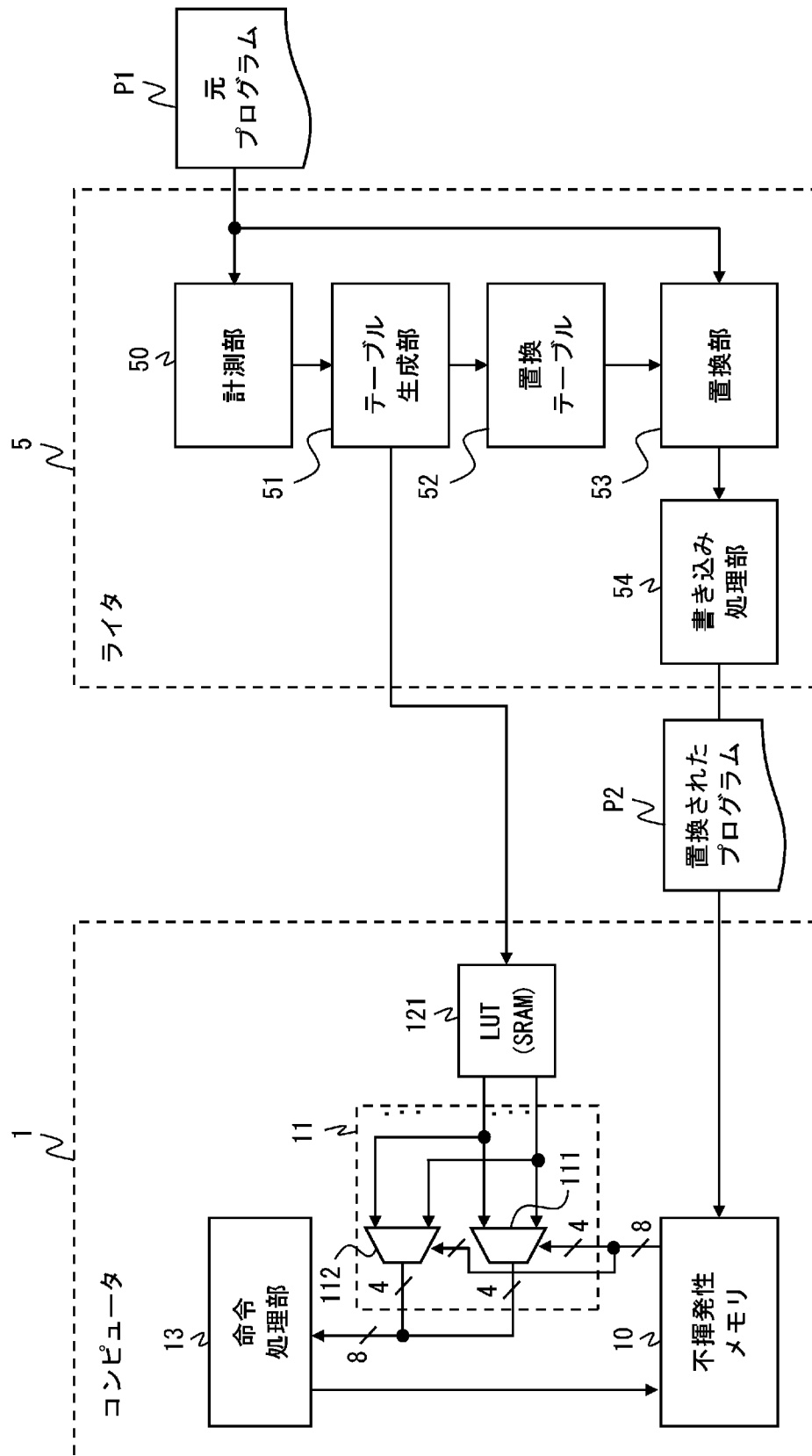
[図2]



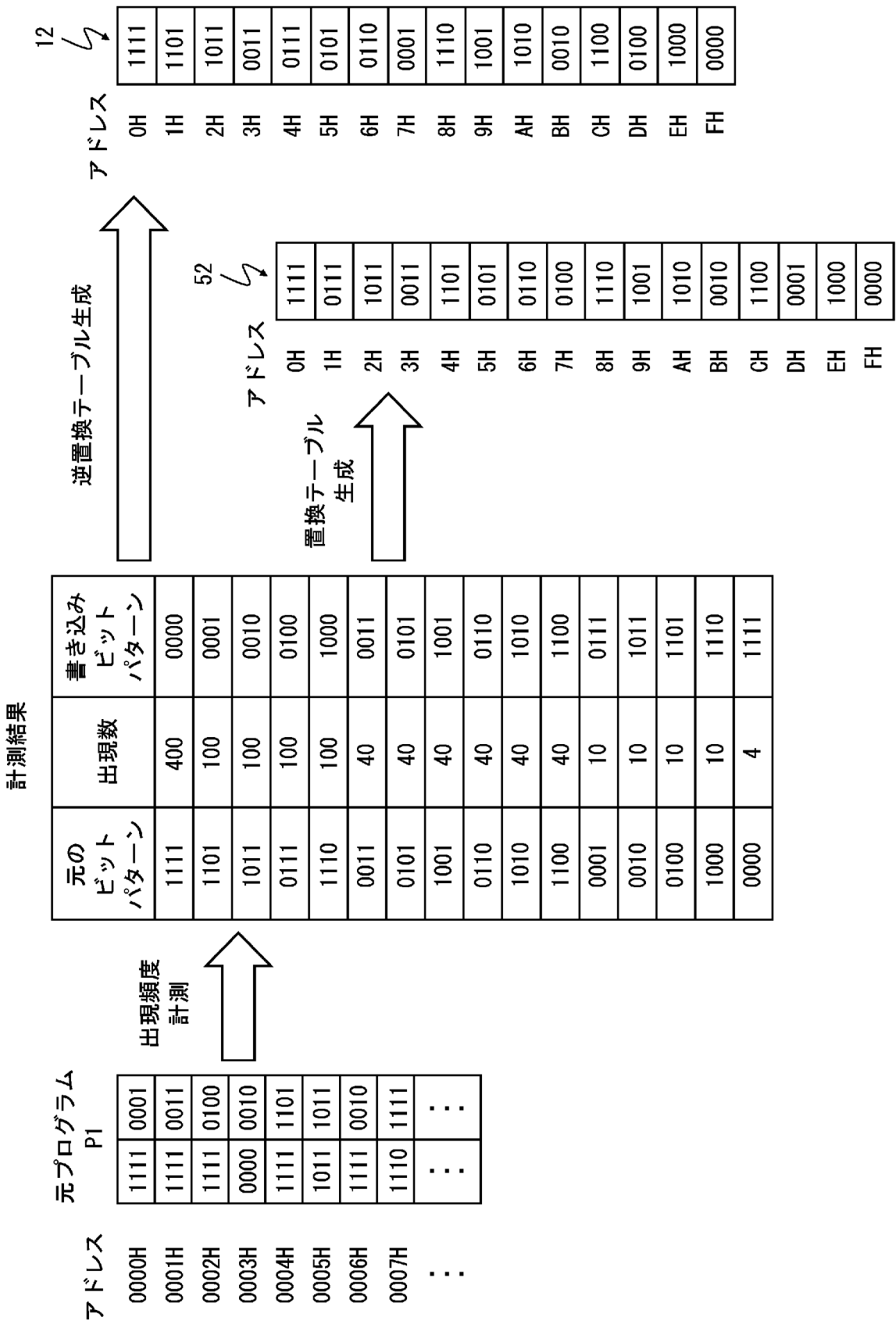
[図3]



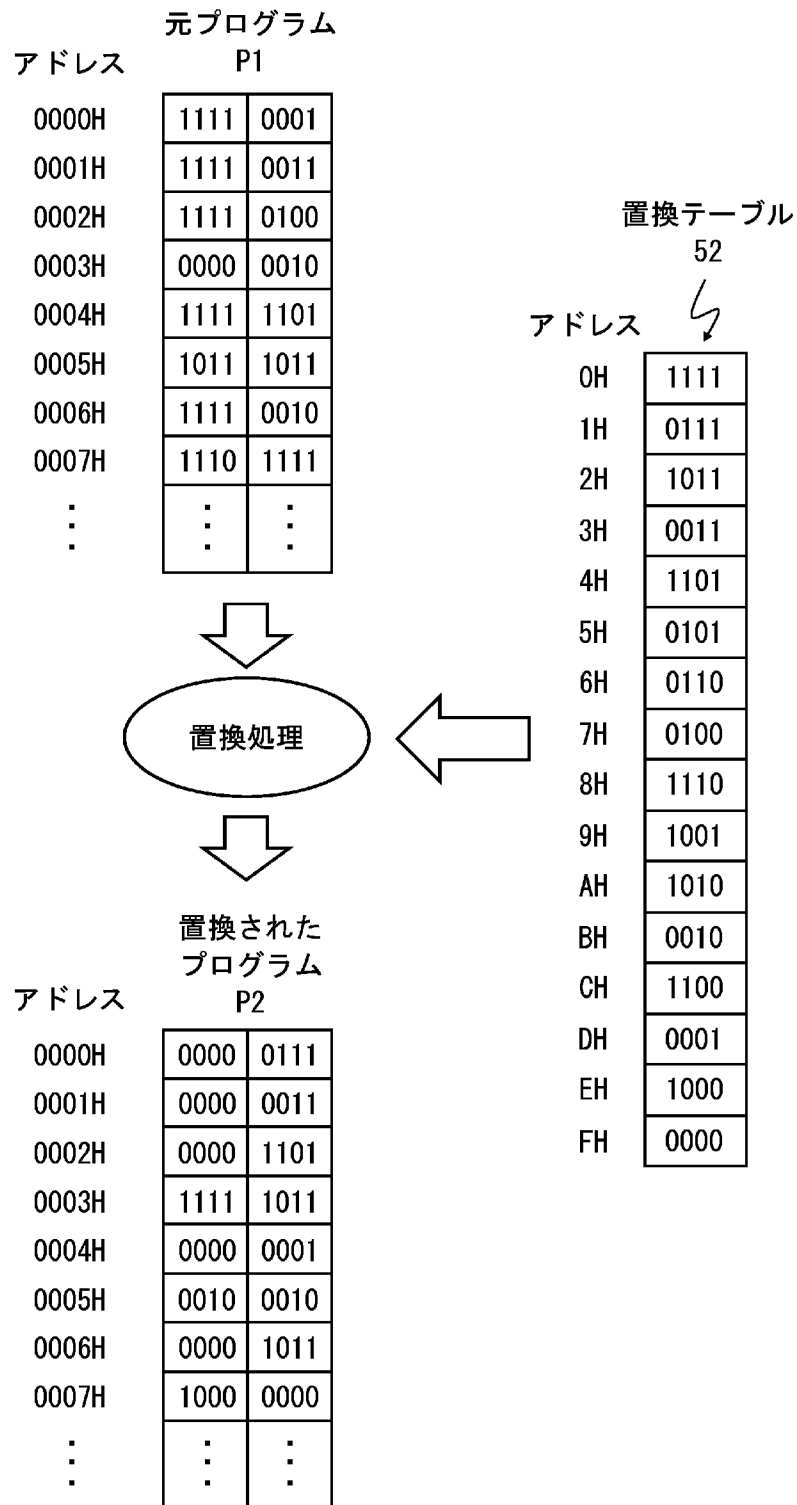
[図4]



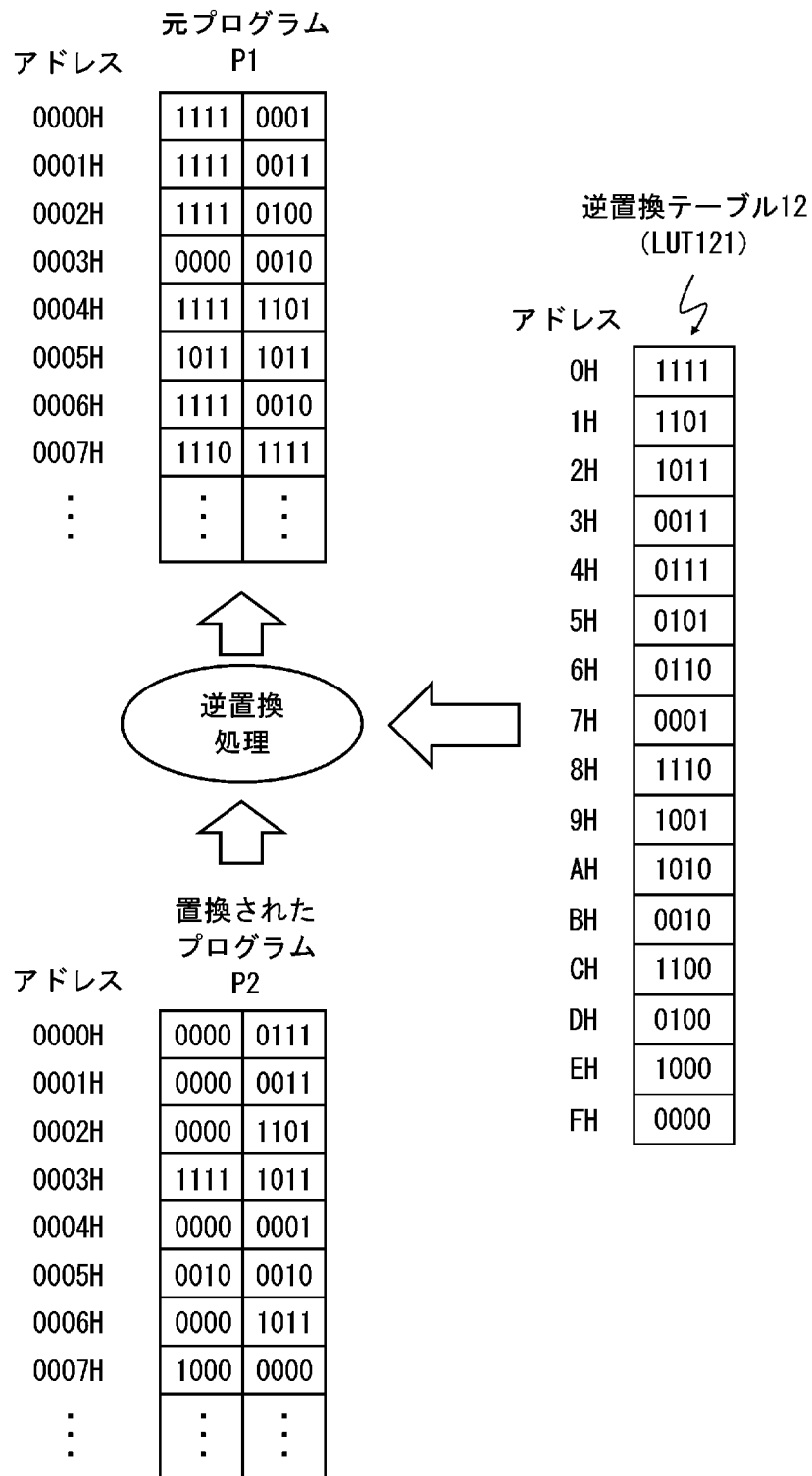
[図5]



[図6]



[図7]



[図8A]

元の ビット パターン	消費電力	出現数	消費電力 小計
1111	60	400	24,000
1101	50	100	5,000
1011	50	100	5,000
0111	50	100	5,000
1110	50	100	5,000
0011	40	40	1,600
0101	40	40	1,600
1001	40	40	1,600
0110	40	40	1,600
1010	40	40	1,600
1100	40	40	1,600
0001	30	10	300
0010	30	10	300
0100	30	10	300
1000	30	10	300
0000	20	4	80
合計		1,084	54,880

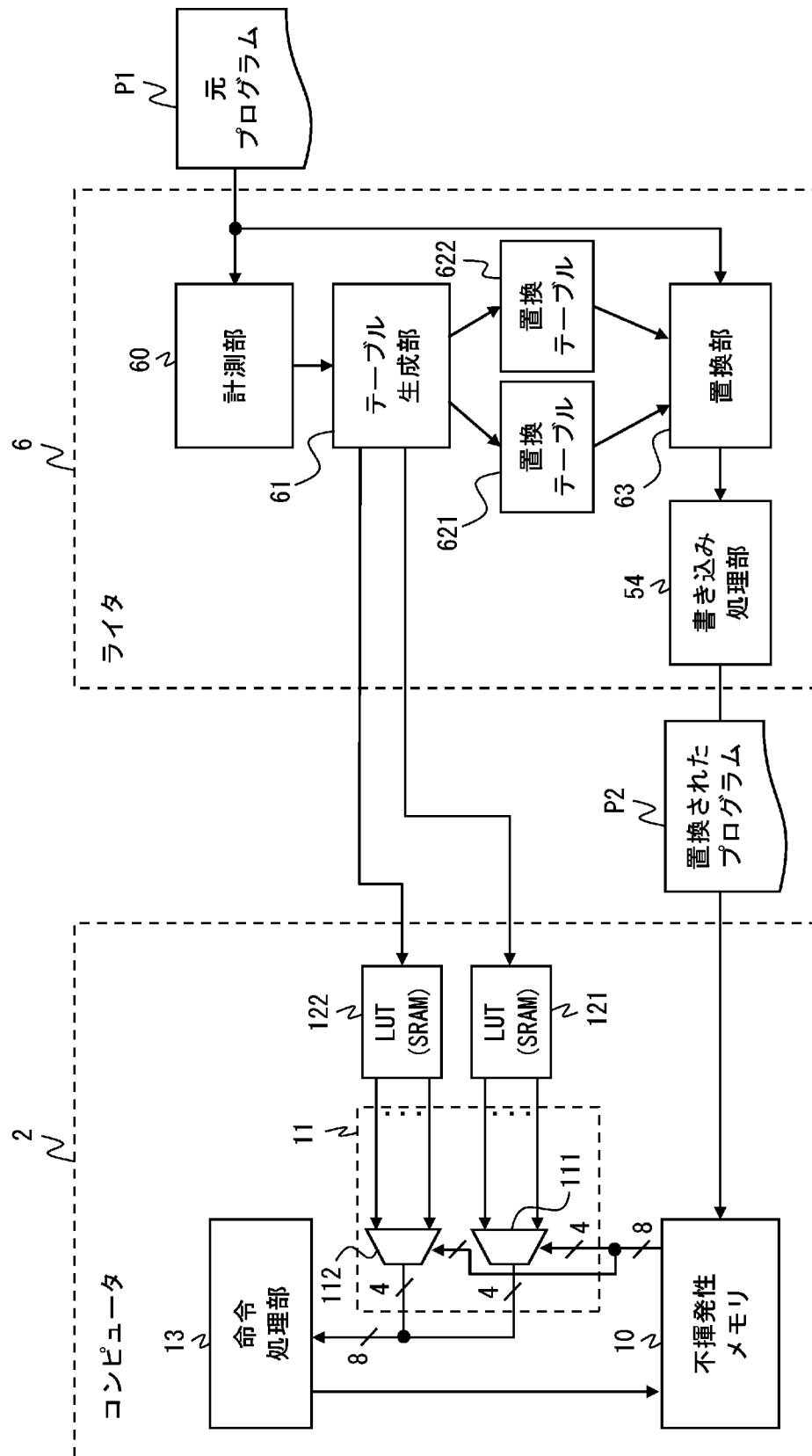
消費電力合計	54,880
--------	--------

[図8B]

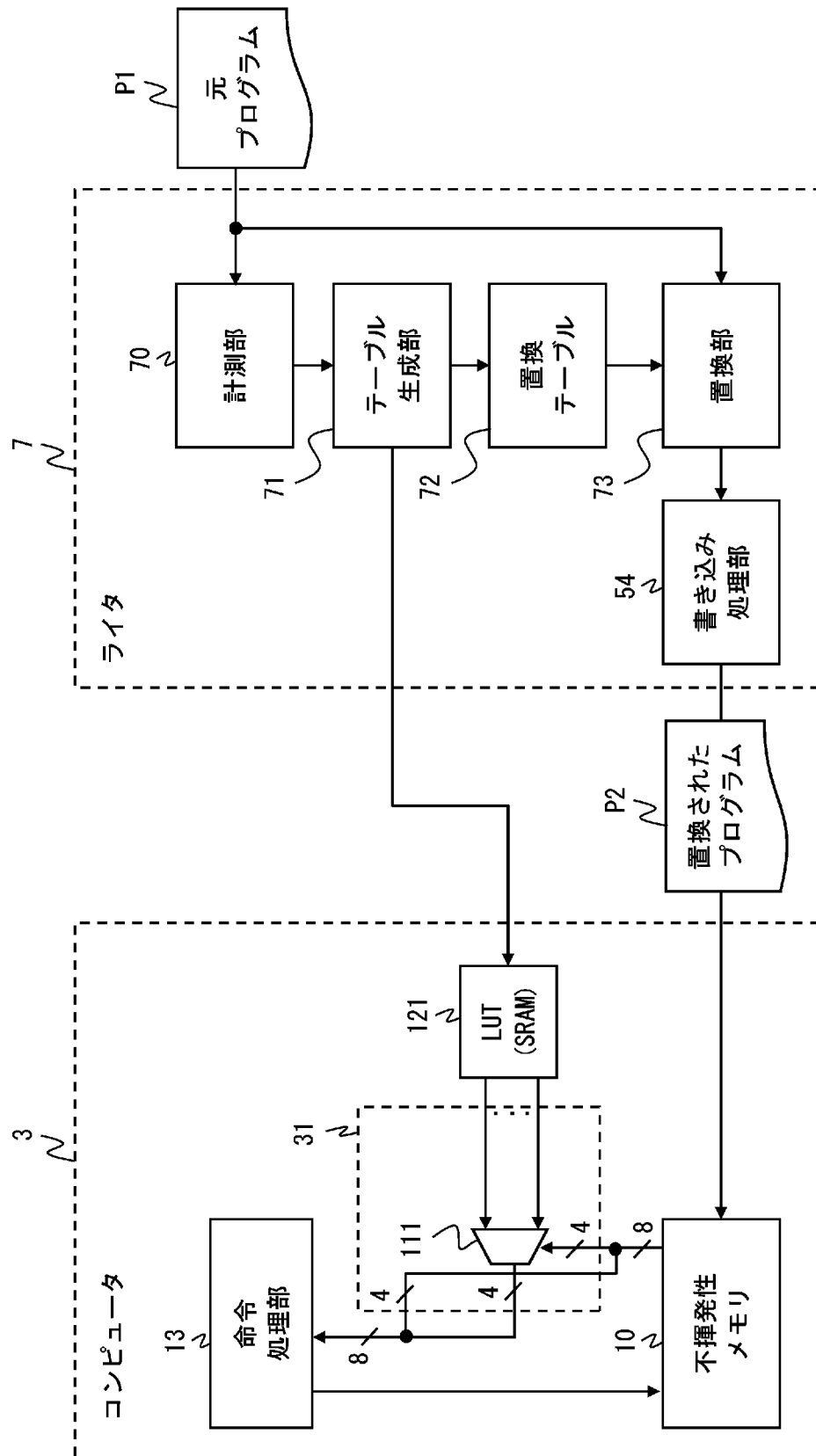
書き込み ビット パターン	消費電力	出現数	消費電力 小計
0000	20	400	8,000
0001	30	100	3,000
0010	30	100	3,000
0100	30	100	3,000
1000	30	100	3,000
0011	40	40	1,600
0101	40	40	1,600
1001	40	40	1,600
0110	40	40	1,600
1010	40	40	1,600
1100	40	40	1,600
0111	50	10	500
1011	50	10	500
1101	50	10	500
1110	50	10	500
1111	60	4	240
合計		1,084	31,840

消費電力合計	31,840
--------	--------

[図9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/001279

A. CLASSIFICATION OF SUBJECT MATTER

G06F12/00 (2006.01) i, G06F12/04 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F12/00-12/06, G11C16/02-16/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 10-302490 A (Mitsubishi Electric Corp.), 13 November 1998 (13.11.1998), paragraphs [0052] to [0108]; fig. 5 to 12 & US 6021085 A & DE 19755405 A1 & CN 1197985 A	1-4, 7-20 5-6
Y	WO 2001/080249 A1 (Fujitsu Ltd.), 25 October 2001 (25.10.2001), entire text; fig. 2 to 5 & US 2003/0086302 A1	5-6

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
11 April, 2012 (11.04.12)

Date of mailing of the international search report
24 April, 2012 (24.04.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））
Int.Cl. G06F12/00(2006.01)i, G06F12/04(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G06F12/00-12/06, G11C16/02-16/06

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 10-302490 A（三菱電機株式会社）1998. 11. 13, 段落【0052】 - 【0108】、第 5-12 図 & US 6021085 A & DE 19755405 A1 & CN 1197985 A	1-4, 7-20 5-6
Y	WO 2001/080249 A1（富士通株式会社）2001. 10. 25, 全文, 第 2-5 図 & US 2003/0086302 A1	5-6

☐ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 1 . 0 4 . 2 0 1 2

国際調査報告の発送日

2 4 . 0 4 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

野田 佳邦

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 6 5

5 U

3 4 5 0