

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 20 年 3 月 27 日 (2008.3.27)

【公表番号】特表 2007-524252 (P2007-524252A)
 【公表日】平成 19 年 8 月 23 日 (2007.8.23)
 【年通号数】公開・登録公報 2007-032
 【出願番号】特願 2007-500919 (P2007-500919)
 【国際特許分類】

H 0 1 L 21/8238 (2006.01)
 H 0 1 L 27/092 (2006.01)
 H 0 1 L 29/423 (2006.01)
 H 0 1 L 29/49 (2006.01)
 H 0 1 L 21/28 (2006.01)

【F I】

H 0 1 L 27/08 3 2 1 D
 H 0 1 L 27/08 3 2 1 F
 H 0 1 L 29/58 G
 H 0 1 L 21/28 3 0 1 S

【手続補正書】
 【提出日】平成 20 年 2 月 5 日 (2008.2.5)
 【手続補正 1】
 【補正対象書類名】特許請求の範囲
 【補正対象項目名】全文
 【補正方法】変更
 【補正の内容】
 【特許請求の範囲】
 【請求項 1】

相補型金属酸化物半導体 (C M O S) 構造物を作製するための方法であって、
 半導体基板の上に配置される複数のポリ S i ゲートを準備する工程であって、各ポリ S i ゲートは、その上部表面上に配置される誘電体キャップを備える工程、
 前記半導体基板中にシリサイド化ソース/ドレイン領域を形成する工程、
 前記半導体基板上に平坦化誘電体スタックを形成する工程、
エッチングプロセスを実行して前記誘電体キャップをポリ S i に対して選択除去し、それによって、各ポリ S i ゲートの上部表面を露出させる工程であって、前記エッチングプロセスは前記ポリ S i ゲートをエッチングせず、これによって、前記エッチングプロセスによって形成される前記露出されるポリ S i ゲートは実質的に同じ高さを有する工程、および

各ポリ S i ゲートを金属シリサイドゲートに変換するシリサイドプロセスを実行する工程
 を含み、同じポリ S i イオン注入条件の場合に、各金属シリサイドゲートは、実質的に同じ高さを有し、同じシリサイド相で構成され、実質的に同じ仕事関数を有する方法。

【請求項 2】
 前記複数のポリ S i ゲートは、ゲート誘電体の上に形成される、請求項 1 に記載の方法。

【請求項 3】
 前記複数のポリ S i ゲートは、堆積法、リソグラフィー法およびエッチング法によって形成される、請求項 1 に記載の方法。

【請求項 4】

前記誘電体キャップは Si_3N_4 を含む、請求項 1 に記載の方法。

【請求項 5】

前記複数のポリ Si ゲートを準備する工程は、前記ポリ Si ゲートの各露出側壁上の少なくとも一つのスペーサの形成を含む、請求項 1 に記載の方法。

【請求項 6】

前記少なくとも一つのスペーサは、第一のスペーサおよび第二のスペーサを含み、前記第一のスペーサは、前記第二のスペーサより狭い厚さを有する、請求項 5 に記載の方法。

【請求項 7】

シリサイド化ソース/ドレイン領域を形成する工程は、前記半導体基板の上に金属を堆積すること、およびシリサイドプロセスを実行することを含む、請求項 1 に記載の方法。

【請求項 8】

前記金属は、 Ti 、 Ta 、 W 、 Co 、 Ni 、 Pt 、 Pd またはそれらの合金を含む、請求項 7 に記載の方法。

【請求項 9】

前記金属は、 Co 、 Ni または Pt である、請求項 8 に記載の方法。

【請求項 10】

前記シリサイドプロセスは、第一のアニール、選択エッチング工程、およびオブションとして第二のアニールを含む、請求項 7 に記載の方法。

【請求項 11】

金属堆積の前に、前記半導体基板の上にシリコンの層を形成することをさらに含む、請求項 7 に記載の方法。

【請求項 12】

平坦化誘電体スタックを形成する前記工程は、堆積および平坦化を含む、請求項 1 に記載の方法。

【請求項 13】

平坦化誘電体スタックを形成する前記工程は、エッチング停止層を形成すること、中間層誘電体を形成すること、および前記中間層誘電体を平坦化することを含む、請求項 1 に記載の方法。

【請求項 14】

前記エッチングプロセスは、反応性イオンエッチング工程を含む、請求項 1 に記載の方法。

【請求項 15】

前記シリサイドプロセスは、各ポリ Si ゲートの前記少なくとも露出された上部表面上にブランケットシリサイド金属層を堆積すること、第一のアニールを実行して前記ポリ Si ゲートの全部または一部を消費させること、未反応シリサイド金属を選択エッチングすること、およびオブションとして第二のアニールを実行することを含む、請求項 1 に記載の方法。

【請求項 16】

前記シリサイド金属は、 Ti 、 Ta 、 W 、 Co 、 Ni 、 Pt 、 Pd またはそれらの合金を含む、請求項 15 に記載の方法。

【請求項 17】

前記シリサイド金属は、 Co 、 Ni または Pt である、請求項 16 に記載の方法。

【請求項 18】

前記第一のアニールは、350 から 550 の温度で実行される、請求項 15 に記載の方法。

【請求項 19】

前記オブションの第二のアニールは、600 から 800 の温度で実行される、請求項 15 に記載の方法。

【請求項 20】

シリサイド接点を有する CMOS 構造物を形成する方法であって、

半導体基板の上に配置される複数のポリシリゲートを備える構造物を準備する工程、
前記ポリシリゲートおよび前記半導体基板を備える前記構造物の上にシリサイド金属を堆積する工程、

各ポリシリゲートの間に凹形のリフロー材料を形成する工程、

エッチングプロセスを用いて前記ポリシリゲートのそれぞれの上からシリサイド金属を選択除去して前記ポリシリゲートのそれぞれの上部表面を露出させる工程であって、前記エッチングプロセスは前記ポリシリゲートをエッチングせず、これによって、前記エッチングプロセスによって形成される前記露出されるポリシリゲートは実質的に同じ高さを有する工程、

前記凹形のリフロー材料を除去する工程、および

前記構造物をアニールし、これによって、前記ポリシリゲートのそれぞれの間にシリサイド接点領域を形成する工程を含む方法。

【請求項 21】

前記凹形のリフロー材料は、反射防止コーティングまたはスピノン誘電体を含む、請求項 20 に記載の方法。

【請求項 22】

前記凹形のリフロー材料を形成する工程は、堆積およびオプションのエッチングを含む、請求項 20 に記載の方法。

【請求項 23】

前記シリサイド金属を除去する工程は、硫酸 / 過酸化水素溶液を用いるウェットエッチングプロセスを含む、請求項 20 に記載の方法。

【請求項 24】

SiO_2 および Si_3N_4 を含むキャッピング二層を堆積し、平坦化させることによって金属シリサイドゲートを形成する工程、オプションのウェットエッチングプロセスを実行して SiO_2 を除去する工程、選択 RIE プロセスを実行して前記ゲートの上の Si_3N_4 を除去する工程、前記ゲート上にシリサイド金属を形成する工程、およびシリサイドプロセスを実行する工程をさらに含む、請求項 20 に記載の方法。

【請求項 25】

シリサイド接点を有する CMOS 構造物を形成する方法であって、

半導体基板の上に配置される複数のポリシリゲートを備える構造物を準備する工程、

前記ポリシリゲートおよび前記半導体基板を備える前記構造物の上に金属層およびキャッピング層を備える二層を形成する工程、

前記半導体基板上に平坦化材料を形成する工程、

各ポリシリゲートの上で前記金属層を露出させる工程、

エッチングプロセスを利用することによって、各ポリシリゲートの上から前記金属層を選択除去して前記ポリシリゲートのそれぞれの上部表面を露出させる工程であって、前記エッチングプロセスは前記ポリシリゲートをエッチングせず、これによって、前記エッチングプロセスによって形成される前記ポリシリゲートは実質的に同じ高さを有する工程、

前記平坦化材料を除去する工程、および

前記構造物をアニールし、これによって、前記ポリシリゲートのそれぞれの間にシリサイド接点領域を形成する工程を含む方法。