

# (12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织  
国际局

(43) 国际公布日  
2021年11月4日 (04.11.2021)



(10) 国际公布号  
**WO 2021/218112 A1**

- (51) 国际专利分类号:  
**H01L 27/088** (2006.01)
- (21) 国际申请号: PCT/CN2020/128131
- (22) 国际申请日: 2020年11月11日 (11.11.2020)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:  
202010343497.2 2020年4月27日 (27.04.2020) CN
- (71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。
- (72) 发明人: 朱一明 (ZHU, Yiming); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。 平尔萱 (PING, Erxuan); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。
- (74) 代理人: 上海盈盛知识产权代理事务所 (普通合伙) (SHANGHAI WINSUN INTELLECTUAL PROPERTY AGENCY); 中国上海市静安区俞泾港路11号金座1102室, Shanghai 200070 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

(54) Title: SEMICONDUCTOR STRUCTURE AND FORMATION METHOD THEREFOR, MEMORY AND FORMATION METHOD THEREFOR

(54) 发明名称: 半导体结构及其形成方法、存储器及其形成方法

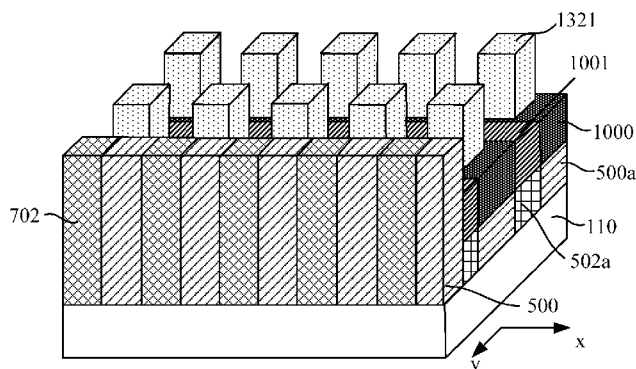


图 12

(57) Abstract: The present invention relates to a semiconductor structure and a formation method therefor, and a memory and a formation method therefor. The semiconductor structure comprises: a substrate; a vertical transistor located on the substrate; and a bit line connected to the bottom of the vertical transistor and located between the bottom of the vertical transistor and the substrate. The vertical transistor in the semiconductor structure has a relatively small plane size.

(57) 摘要: 本发明涉及一种半导体结构及其形成方法, 一种存储器及其形成方法, 所述半导体结构包括: 衬底; 位于所述衬底上的垂直型晶体管; 与所述垂直型晶体管底部连接, 且位于所述垂直型晶体管底部与所述衬底之间的位线。所述半导体结构内的垂直晶体管的平面尺寸较小。

WO 2021/218112 A1

根据细则4.17的声明:

- 关于发明人身份(细则4.17(i))
- 关于申请人有权申请并被授予专利(细则4.17(ii))
- 关于申请人有权要求在先申请的优先权(细则4.17(iii))

本国际公布:

- 包括国际检索报告(条约第21条(3))。

## 半导体结构及其形成方法、存储器及其形成方法

### 相关申请引用说明

本申请要求于 2020 年 04 月 27 日递交的中国专利申请号 202010343497.2, 申请名为“半导体结构及其形成方法、存储器及其形成方法”的优先权, 其全部内容以引用的形式附录于此。

### 技术领域

本发明涉及半导体技术领域, 尤其涉及一种半导体结构及其形成方法、存储器及其形成方法。

### 背景技术

现有的存储器通常包括数据存储单元以及控制所述数据存储单元的控制晶体管。晶体管的集成度制约了存储器的存储密度。对于平面晶体管, 现有技术通过缩小晶体管的沟道尺寸来减小晶体管的尺寸, 从而提高存储器的存储密度。

但是随着晶体管沟道尺寸的减小, 窄沟道效应以及短沟道效应所导致晶体管性能下降, 使得存储器的性能受到影响, 制约了晶体管尺寸以及存储器存储密度的进一步提高。

如何在不降低晶体管性能的前提下, 减小晶体管的平面尺寸, 提高存储器的存储密度是目前亟待解决的问题。

### 发明内容

本发明所要解决的技术问题是, 提供一种半导体结构及其形成方法、存储器及其形成方法, 进一步提高存储器的存储密度。

为了解决上述问题, 本发明提供了一种半导体结构, 包括: 衬底;

位于所述衬底上的竖直型晶体管; 与所述竖直型晶体管底部连接, 且位于所述竖直型晶体管底部与所述衬底之间的位线。

可选的, 所述竖直型晶体管包括: 自衬底向上的方向上依次设置的第一掺杂区、沟道区、第二掺杂区以及环绕所述沟道区设置的栅极结构。

可选的, 所述衬底上形成有多个所述竖直型晶体管, 沿第一方向和第二方向阵列分布, 沿第一方向排列的同一直线上的竖直型晶体管底部的第一掺杂区连接至同一位线; 沿第二方向排列的同一直线上的竖直型晶体管的栅极结构相连接。

可选的, 还包括: 位于所述衬底上形成于各竖直型晶体管之间的隔离层, 所述隔离层包括至少一层绝缘介质层。

可选的, 还包括: 位线连接线, 所述位线连接线底部连接至所述位线。

可选的, 所述竖直型晶体管的第一掺杂区、沟道区、第二掺杂区位于同一有源柱内; 或者, 所述竖直型晶体管的沟道区和第二掺杂区形成于所述第一掺杂区上的外延半导体柱内。

可选的, 所述第一掺杂区和/或所述第二掺杂区内的掺杂离子通过扩散或离子注入方式形成。

可选的, 所述位线连接线与所述位线在同一工艺步骤中形成。

可选的, 多个所述位线连接线分别一一对应的位于多个所述位线的端部上, 并且所述

位线连接线在所述位线的端部间隔分布。

本发明的技术方案还提供一种半导体结构的形成方法，包括：提供衬底，所述衬底上形成有牺牲层和位于所述牺牲层上的有源层；

对所述有源层进行图形化，形成暴露出所述牺牲层的开口；利用所述开口去除所述牺牲层；在所述牺牲层的部分位置处形成位线。

可选的，对所述有源层进行图形化，形成所述有源柱；在所述有源柱的底部与所述衬底之间形成所述位线。

可选的，还包括：形成位于所述有源柱底部向上依次设置的第一掺杂区、沟道区、第二掺杂区，以及形成环绕所述沟道区的栅极结构。

可选的，所述第一掺杂区、沟道区、第二掺杂区的形成方法包括：采用原位掺杂工艺，在采用外延生长工艺形成所述有源层的过程中，对所述有源层进行掺杂，依次形成第一掺杂层、沟道掺杂层以及第二掺杂层；在图形化所述有源层形成所述有源柱后，所述第一掺杂层、沟道掺杂层以及第二掺杂层分别被图形化为自有源柱底部向上依次设置的所述第一掺杂区、所述沟道区以及所述第二掺杂区。

可选的，所述第一掺杂区的形成方法包括：在形成所述有源柱之后，在相邻有源柱之间的衬底上形成具有掺杂元素的过渡层；通过扩散处理，将过渡层内的至少部分掺杂元素扩散进入有源柱内，形成所述第一掺杂区。

可选的，所述第一掺杂区和所述第二掺杂区的形成方法包括：对所述有源柱的底部区域进行离子注入，形成位于所述有源柱底部的所述第一掺杂区；对所述有源柱的顶部区域进行离子注入，形成位于所述有源柱顶部的所述第二掺杂区。

可选的，对所述有源层进行图形化，形成有源柱；在所述有源柱的底部与所述衬底之间形成所述位线的方法进一步包括：刻蚀所述有源层和所述牺牲层，形成沿第一方向延伸的有源线；形成填充各有源线之间间距的第一隔离层；对所述有源线进行图形化，形成若干有源柱及若干开口，所述开口暴露出所述牺牲层；利用所述开口去除所述牺牲层，在所述有源柱底部与所述衬底之间形成间隙；在所述间隙内填充导电材料，形成沿第一方向延伸的所述位线。

可选的，对所述有源层进行图形化，形成有源柱；在所述有源柱的底部与所述衬底之间形成所述位线的方法进一步包括：刻蚀所述有源层和所述牺牲层，形成沿第一方向延伸的有源线；形成填充各有源线之间间距的第一隔离层；对所述第一隔离层进行图形化，在所述第一隔离层内形成若干开口，所述开口暴露出所述牺牲层；利用所述开口去除所述牺牲层，在所述有源线底部与所述衬底之间形成间隙；在所述间隙内填充导电材料，形成沿第一方向延伸的所述位线；对所述有源线进行图形化，形成沿第一方向和第二方向阵列排布的有源柱。

可选的，还包括：在所述有源线端部形成开口；在所述开口内填充导电材料，形成位线连接线，所述位线连接线底部与所述位线连接。

可选的，在同一工艺步骤中形成所述位线连接线和所述位线。

可选的，还包括：回刻蚀所述第一隔离层，暴露出部分高度的有源柱；在回刻蚀后的暴露的有源柱上依次形成栅介质层以及栅电极层；对所述栅介质层和所述栅电极层进行图形化，形成环绕所述有源柱的沟道区的栅极结构，并暴露出所述有源柱的顶部区域。

本发明的技术方案还提供一种存储器，包括：如上述任一项所述的半导体结构；位于所述垂直型晶体管上方的存储单元，所述存储单元电连接至所述垂直型晶体管的顶部。

可选的，所述存储单元包括电容存储单元、磁性存储单元、铁电存储单元、相变存储单元或者电阻存储单元中的任一种。

本发明的技术方案还提供存储器的形成方法，包括：提供如上述任一项所述的半导体结构；在所述垂直型晶体管上方形成存储单元，所述存储单元电连接至所述垂直型晶体管的顶部。

可选的，所述存储单元包括电容存储单元、磁性存储单元、铁电存储单元、相变存储单元或者电阻存储单元。

本发明的半导体结构的形成方法，在衬底上形成牺牲层以及位于牺牲层上的有源层，利用位线替代牺牲层的位置，从而形成埋入式的位线，从而便于后续形成垂直型的晶体管，通过位线将垂直型的晶体管底部的源/漏极引出。

进一步的，垂直型的晶体管占据的版图尺寸较小，且沟道长度由有源层的厚度来决定，可以在不减小沟道长度等情况下，减小晶体管的面积，从而提高半导体结构的集成度。

进一步的，通过形成多个开口，利用多个开口去除牺牲层，可以提高去除牺牲层的效率，避免牺牲层的残留，从而提高形成的位线的质量。

本发明的存储器包括具有垂直型晶体管阵列的半导体结构，在晶体管尺寸较小的情况下，能够提高存储器的存储密度。

## 附图说明

图 1 至图 13C 为本发明一具体实施方式的半导体形成过程的结构示意图；

图 14 至图 15 为本发明一具体实施方式的半导体形成过程的结构示意图；

图 16 为本发明一具体实施方式的存储器的结构示意图；

图 17 为本发明一具体实施方式的存储器的结构示意图。

## 具体实施方式

下面结合附图对本发明提供的半导体结构及其形成方法、存储器及其形成方法的具体实施方式做详细说明。

请参考图 1 至图 13C，为本发明一具体实施方式的半导体形成过程的结构示意图。

请参考图 1，提供衬底 110，所述衬底 110 上形成有牺牲层 120 和位于所述牺牲层 120 上的有源层 130。

所述衬底 110 可以为 Si、Ge、SiC 等，各种半导体材料，可以为单层结构也可以为复合结构，在此不作限定。

可以通过沉积或其他工艺在所述衬底 110 上依次形成所述牺牲层 120 和所述有源层 130。所述有源层 130 采用半导体材料，例如 Si、Ge 或 SiC 等，可以是其中的一种或多种

半导体材料。所述牺牲层 120 的材料与所述衬底 110、有源层 130 的材料不同，使得后续在去除所述牺牲层 120 的过程中，减少对所述衬底 110、有源层 130 的影响。

该具体实施方式中，所述衬底 110 为硅衬底，所述牺牲层 120 为 SiGe 层，所述有源层为硅层。采用外延生长工艺，在所述衬底 110 上外延形成所述牺牲层 120 之后，再通过外延工艺，在所述牺牲层 120 上形成有源层 130。

实际上，所述牺牲层 120 只要与所述衬底 110 以及有源层 130 采用不同的材料，在去除牺牲层 120 的过程中，牺牲层 120 与所述衬底 110 以及有源层 130 之间有刻蚀选择比即可。

在一些具体实施方式中，所述衬底 110、牺牲层 120 以及有源层 130 可以为 SOI 结构，其中 SOI 结构中的埋氧层作为牺牲层 120。

在其他具体实施方式中，可以通过对体硅衬底进行离子注入，在所述体硅衬底内部形成掺杂层作为所述牺牲层 120。例如对体硅进行 Ge 注入，通过控制 Ge 的注入深度，在体硅内部形成 SiGe 层作为牺牲层 120，掺杂层下方的硅层为衬底 110，掺杂层上方的硅层作为有源层。在其他具体实施方式中，也可以通过注入其他元素形成所述掺杂层，例如 C、O、N 等，使得所述掺杂层的刻蚀速率与其上方及下方的材料层均不同，从而形成所述牺牲层 120。较佳的，所述牺牲层 120 的材料可以为氧化硅、氮化硅、氮氧化硅、碳氧化硅等。

所述有源层 130 用于形成垂直晶体管，所述牺牲层 120 用于后续被替代形成位线。根据待形成的垂直晶体管的尺寸以及位线的尺寸，合理设置所述牺牲层 120 和所述有源层 130 的厚度。在一个具体实施方式中，所述牺牲层 120 的厚度可以为 35nm~50nm，所述有源层 130 的厚度可以为 100nm~1000nm。

请参考图 2，刻蚀所述有源层 130 和所述牺牲层 120 至所述衬底 110，形成若干平行排列的沿第一方向延伸的有源线 131。

该具体实施方式中，形成所述有源线 131 的方法进一步包括：在所述有源层 130 上形成图形化掩膜层（图中未示出），所述图形化掩膜层内具有沿第一方向延伸的开口图形；以所述图形化掩膜层为掩膜，刻蚀所述有源层 130 和所述牺牲层 120，形成长条状的有源线 131 以及长条状的牺牲层 120a。

该具体实施方式中，所述第一方向为 y 方向。采用干法刻蚀工艺刻蚀所述有源层 130 和所述牺牲层 120，在相应的刻蚀阶段，选择对应的刻蚀气体，对所述有源层 130 和所述牺牲层 120 进行刻蚀。

请参考图 3，在相邻有源线 131 之间的衬底 110 上形成具有掺杂元素的过渡层 310。

可以通过在衬底 100 上沉积过渡层材料后，进行回刻蚀，形成一定厚度的过渡层 310。所述过渡层 310 的厚度可以根据待形成的晶体管的源/漏区的尺寸要求调整。

所述过渡层 310 的材料与所述有源线 131 的材料不同，可以为利于杂质扩散的材料，例如多晶硅，还可以为其他材料例如氧化硅、氮化硅、氮氧化硅等介质材料。

形成具有掺杂元素的所述过渡层 310 的形成方法包括：在衬底 110 上形成一定厚度未被掺杂的过渡层 310 之后，通过离子注入，对所述过渡层 310 进行掺杂。此时，在所述有

源线 131 顶部覆盖有图形化掩膜层，通过控制所述离子注入的能量，使得所述离子注入仅能对所述过渡层 310 进行掺杂。根据待形成的晶体管的类型，向所述过渡层 310 内注入 N 型或 P 型离子，或者具有 N 型或 P 型离子的原子团簇。所述过渡层 310 内的掺杂元素可以以离子、原子、化合物分子或者团簇形式存在。

在其他具体实施方式中，也可以在形成所述过渡层 310 的过程中，通过原位掺杂工艺，通过在沉积工艺气体中加入具有掺杂元素的掺杂气体，直接形成具有掺杂元素的过渡层 310。

请参考图 4，通过扩散处理，将具有掺杂原子的过渡层 310 内的至少部分掺杂元素扩散进入有源线 131 内，形成所述第一掺杂区 1311。

所述扩散处理可以为热退火工艺，根据掺杂原子的扩散效率，选择合适参数的退火工艺，使得所述过渡层 310 内的掺杂元素扩散进入所述有源线 131 内，形成与所述过渡层 310 厚度相当的第一掺杂区 1311。

可以通过调整所述过渡层 310 内的掺杂元素的浓度，扩散处理时间、温度等参数，调整扩散处理后形成的第一掺杂区 1311 内的掺杂浓度。

在其他具体实施方式中，也可以在去除有源线 131 顶部的图形化掩膜层之后，直接通过对所述有源线 131 进行掺杂离子注入，形成所述第一掺杂区 1311，具体的，通过控制离子注入过程的注入离子的能量和方向，调整注入深度，在所述有源线 131 的底部形成所述第一掺杂区 1311。

在其他具体实施方式中，也可以在后续其他步骤中，例如后续对有源线进行图形化，进一步形成有源柱后或其他步骤中，通过离子注入方式在有源线或有源柱底部形成第一掺杂区。

在其他具体实施方式中，还可以采用原位掺杂工艺，在通过外延工艺沉积形成所述有源层的过程中，对所述有源层进行掺杂，形成位于有源层底部的第一掺杂层；在对有源层进行图形化后，形成位于有源线或有源柱底部的第一掺杂区。

请参考图 5，在所述衬底 110 上形成填充各有源线 131 之间间距的第一隔离层 500；对所述第一隔离层 500 进行图形化，在相邻的有源线 131 之间的第一隔离层 500 内形成若干开口 501，所述开口 501 暴露出所述牺牲层 120a。

所述第一隔离层 500 的材料与所述牺牲层 120a 不同，且所述第一隔离层 500 的材料为绝缘材料，用于在各有源线 131 之间提供电学隔离。该具体实施方式中，所述第一隔离层 500 的材料为氧化硅。该具体实施方式中，形成所述第一隔离层 500 的方法为化学气相沉积工艺，在所述衬底 100 上形成填充相邻有源线 131 之间的间距以及覆盖所述有源线 131 顶部的隔离材料层之后，对隔离材料层进行平坦化，形成所述第一隔离层 500。该具体实施方式中，所述第一隔离层 500 的顶部与所述有源线 131 的顶部齐平；在其他具体实施方式中，所述有源线 131 顶部还保留有用于对由于对有源层进行图形化形成有源线的图形化掩膜层，所述第一隔离层 500 与所述图形化掩膜层齐平；在其他具体实施方式中，在形成所述第一隔离层 500 之前，所述图形化掩膜层已被去除，所述第一隔离层 500 还覆盖所述有源线的

顶部，在后续工艺中，可以对所述有源线 131 顶部进行保护。

在形成所述隔离层 500 之后，对所述隔离层 500 进行刻蚀，形成开口 501。所述开口 501 的侧壁暴露出所述有源线 131 以及牺牲层 120a 的侧壁。每两个相邻的有源线 131 之间，均形成有两个以上的所述开口 501。具体的，所述开口 501 的底部可以暴露所述衬底 100，也可以位于所述牺牲层 120a 中，只要所述开口 501 的底部至少暴露所述牺牲层 120a 的部分侧壁即可。

在其他实施例中，所述开口 501 不暴露所述有源线 131 的侧壁，例如开口 501 在沿着有源线 131 之间间距方向上的尺寸小于有源线 131 之间间距的长度，以起到对有源线的保护。优选的，所述隔离层 500 为多层介质层。例如氧化硅和氮化硅的组合层，所述氧化硅形成于所述有源线 131 的表面，所述氮化硅填充剩余的有源线 131 之间的间距，开口 501 形成在所述氮化硅中。所述氧化硅起到保护有源线 131 的作用。

在其他实施例中，所述开口还形成在各所述有源线的同一边的端部，或者所述开口形成在各所述有源线两边的端部上，并且，每个所述有源线只有一个端部上形成所述开口，同一边的所述端部上的开口间隔分布，以减少局部区域上的所述开口的密度，以增大工艺窗口。在后续填充导电材料形成位线时，可同时在所述端部的开口中形成位线连接线，所述位线连接线与所述位线在同一工艺步骤中形成，以节约工艺成本。

请参考图 6，沿所述开口 501 去除所述牺牲层 120a，在所述有源线 131 底部与所述衬底 110 之间形成间隙 600。

采用湿法刻蚀工艺去除所述牺牲层 120a，本领域技术人员可以根据所述牺牲层 120a 的材料选择合适的刻蚀溶液，使得所述湿法刻蚀过程中，所述牺牲层 120a 和所述有源线 131、第一隔离层 500 有较高的刻蚀选择比，以在去除所述牺牲层 120a 的过程中，减少对所述有源线 131 和所述第一隔离层 500 的影响。

在去除所述牺牲层 120a 之后，所述有源线 131 由所述第一隔离层 500 支撑，悬空于所述衬底 110 上方，与衬底 110 之间形成间隙 600。

请参考图 7A~7C，在所述间隙 600 内填充导电材料，形成沿第一方向延伸的位线 701，图 7B 为沿图 7A 中割线 A-A' 的剖面示意图，图 7C 为沿图 7A 中割线 B-B' 的剖面示意图。

可以通过原子层沉积工艺或化学气相沉积或物理气相沉积工艺等方法在所述间隙 600 内沉积导电材料，例如多晶硅或者 W、Co、Ag 或 Al 等金属材料。所述导电材料也可以为多层材料，例如 TiN 和 W 的组合等。

所述导电材料填充所述间隙 600，形成位于所述有源线 131 底部的位线 701；所述导电材料还填充所述开口 501，并覆盖所述第一隔离层 500 以及有源线 131 顶部，后续通过回刻蚀或者平坦化处理，去除所述第一隔离层 500 顶部以及有源线 131 顶部的导电材料以及通过刻蚀处理去除所述开口 501 的导电材料，避免相邻有源线 131 底部的位线 701 之间相互连接。也可以通过选择性生长技术在所述间隙 600 中形成所述位线 701。

请参考图 8A 至图 8C，在所述有源线 131 端部形成位线连接线 702，所述位线连接线 702 底部与所述位线 701 连接。其中图 8B 为沿图 8A 中割线 A-A' 的剖面示意图；图 8C 为

沿图 8A 中割线 B-B' 的剖面示意图。

具体的，在所述有源线 131 端部形成暴露出所述位线 701 的开口；在所述开口内填充导电材料形成位线连接线 702。在刻蚀形成所述开口之前，还包括在所述开口 501（请参考图 7A）内填充绝缘介质材料，并进行平坦化，形成所述隔离介质层 502。所述隔离介质层 502 的表面与所述第一隔离层 500 的表面齐平或者覆盖整个所述第一隔离层 500 以及有源线 131 顶部。所述隔离介质层 502 用于提供相邻有源线 131 之间的电学隔离，并用于提供平坦表面，以形成用于刻蚀有源线 131 形成开口的掩膜层。

在其他具体实施方式中，也可以不形成所述隔离介质层 502，在刻蚀有源线 131 的过程中，通过掩膜层的材料，例如底部抗反射层等将所述开口 501 填满，以形成平坦表面。

该具体实施方式中，在所述有源线 131 的端部形成所述开口；在其他具体实施方式中，也可以在所述有源线 131 的其他位置处形成所述开口。

在其他具体实施方式中，所述有源线 131 的端部也形成有开口 501，在位线 704 的形成过程中，导电材料填充开口 501 之后，在所述端部的开口 501 上形成掩膜层，利用所述掩膜层阻止在刻蚀去除所述开口 501 中的导电材料时对所述有源线 131 端部的开口 501 中导电材料的去除，利用所述有源线 131 端部开口 501 中保留的导电材料形成位线连接线 702。

位线连接线 702 的底部与所述位线 701 连接，用于将埋入所述有源线 131 下方的位线 701 引出，便于向所述位线 701 施加控制信号。所述位线 701 位于所述有源线 131 下方，与所述有源线 131 底部的第一掺杂区 1311 之间形成电连接，沿所述有源线 131 的延伸方向延伸。

请参考图 9，对所述有源线 131（请参考图 8A）进行图形化，形成若干分立的有源柱 132。

通过选择性刻蚀工艺，对所述有源线 131 进行图形化，形成有源柱 132。所述有源柱 132 沿第一方向（y 方向）和第二方向（x 方向）阵列排布。该具体实施方式中，所述第一方向和第二方向之间成  $90^\circ$ ；在其他具体实施方式中，所述第一方向和第二方向之间的夹角为  $60^\circ \sim 90^\circ$ 。

在其他具体实施方式中，可以在形成所述有源柱 132 之后，对所述有源柱进行离子注入形成沟道区以及位于所述沟道区上方的第二掺杂区。

该具体实施方式中，在形成所述有源柱 132 之后，仅通过离子注入，在所述有源柱 132 底部的第一掺杂区 1311 上方，形成沟道区，通过离子注入调整沟道区内的掺杂浓度，以调整形成的晶体管的阈值电压，所述沟道区内可以为 P 型或 N 型掺杂，根据阈值电压的要求，选择合适的掺杂类型以及掺杂浓度。在其他具体实施方式中，也可以不用对沟道区进行掺杂。

在其他具体实施方式中，在前述形成有源层 130（请参考图 1）的过程中，也可以通过原位掺杂，在所述有源层 130 内形成有掺杂沟道层，在对有源层 130 进行图形化形成有源柱 132 后，所述掺杂沟道层被图形化为沟道区。

本发明的具体实施方式中，还可以通过离子注入，在所述沟道区上方形成第二掺杂区；

或者在形成有源层 130 的过程中, 通过原位掺杂在对应位置处形成第二掺杂层, 从而在对所述有源层 130 进行图形化形成有源柱 132 后, 所述第二掺杂层被图形化为第二掺杂区。

在其他具体方式中, 也可以在前述步骤中不对有源线进行掺杂形成第一掺杂区 1311, 而是在这一步骤形成有源柱 132 之后, 通过掺杂过渡层的扩散处理或离子注入等方式形成有源柱 132 底部的第一掺杂区。

请参考图 10, 回刻蚀所述第一隔离层 500 和隔离介质层 502, 暴露出部分高度的有源柱 132。

在回刻蚀所述第一隔离层 500 和隔离介质层 502 之前, 还包括在相邻的有源柱 132 之间的开口内填充隔离介质材料, 同时对所述第一隔离层 500、隔离介质层 502 以及所述隔离介质材料进行回刻蚀, 分别形成回刻蚀后的第一隔离层 500a、隔离介质层 502a 以及隔离介质层 503, 高度与所述第一掺杂区 1311 相当。该具体实施方式中, 回刻蚀后的第一隔离层 500a、隔离介质层 502a、隔离介质层 503 的表面与所述第一掺杂区 1311 的顶部齐平。在其他具体实施方式中, 所述第一隔离层 500a、隔离介质层 502a、隔离介质层 503 的表面可以略低于或略高于所述第一掺杂区 1311 的顶部边界, 暴露出所述有源柱 132 位于所述第一掺杂区 1311 上方的区域。

在对所述第一隔离层 500 进行回刻蚀的过程中, 可以通过掩膜覆盖所述位线连接线 702 以及相邻位线连接线 702 之间的部分第一隔离层 500, 使其不被刻蚀, 避免对所述位线连接线 701 造成损伤。

在其他具体实施方式中, 也可以对各位置处的第一隔离层 500 均进行回刻蚀。

请参考图 11, 在回刻蚀后的第一隔离层 500a、隔离介质层 502a、隔离介质层 503 以及暴露的有源柱 132 上依次形成栅介质层以及栅电极层; 对所述栅介质层和所述栅电极层进行图形化, 形成环绕所述有源柱的沟道区的栅极结构 1000。

所述栅介质层可以为氧化硅、氮氧化硅、氧化钪、氧化铝等栅介质材料; 所述栅电极层的材料可以为多晶硅、钨或铝等导电材料。可以通过沉积工艺, 依次形成覆盖所述图 10 结构上的栅介质层以及栅电极层; 然后通过刻蚀工艺, 随所述栅介质层和栅电极层进行图形化, 形成所述栅极结构 1000。所述栅极结构 1000 环绕有源柱 132 的沟道区。所述栅极结构 1000 包括栅介质层以及覆盖所述栅介质层的栅电极, 图 11 中仅示出了所述栅极结构 1000 内的栅电极。

该具体实施方式中, 沿第二方向 (x 方向) 排列的同一直线上的有源柱 132 上的栅极结构 1000 的栅电极相连接, 构成字线。

在其他具体实施方式中, 各个有源柱 132 上的栅极结构 1000 之间也可以是相互独立的。

为了使得各栅极结构 1000 之间进行电学隔离, 在形成所述栅极结构 1000 之后, 还包括在相邻栅极结构 1000 之间填充隔离介质层 1001。在其他具体实施方式中, 所述隔离介质层 1001 还覆盖所述栅极结构 1000 和所述第二掺杂区 1321。

请参考图 12, 形成所述栅极结构 1000 之后, 对所述有源柱 132 的顶部区域进行离子注入, 形成所述第二掺杂区 1321。

所述第二掺杂区 1321 的掺杂类型与所述第一掺杂区 1311 的掺杂类型一致，所述第二掺杂区 1321 和所述第一掺杂区 1311 分别作为竖直型晶体管的源极或漏极。在其他具体实施方式中，所述第二掺杂区 1321 还可以在前述的步骤中，采用合适的原位掺杂、扩散或者注入方式形成，在此不再赘述。

请参考图 13A 至图 13C，形成覆盖所述栅极结构 1000、第二掺杂区 1321 的第二隔离层 1200，所述第二隔离层 1200 暴露出所述位线连接线 702 和所述第二掺杂区 1321 的顶部表面。图 13B 为沿图 13A 中割线 A-A' 的剖面示意图，图 13C 为沿图 13A 中割线 C-C' 的剖面示意图。

所述第二隔离层 1200 的材料可以为氧化硅、氮氧化硅等绝缘介质材料，所述第二隔离层 1200 与所述第一隔离层 500、500a 以及隔离介质层 502a、1001 形成各竖直型晶体管之间的隔离层，并且为在所述竖直型晶体管上方形成其他半导体结构或材料层提供平坦表面。

上述形成方法在衬底上形成竖直型晶体管，且在所述竖直型晶体管底部的第一掺杂区下方与衬底之间形成埋入式的位线，从而可以减少晶体管的面积，并同时解决了如何对竖直晶体管的施加位线信号的问题。

在其他具体实施方式中，还可以通过图 4 中有源线 131 进行图形化，形成有源柱之后，再去除所述牺牲层，形成位线。

请参考图 14，为另一具体实施方式中，在图 4 基础上，对所述有源线 131 进行图形化，以形成开口 501' 的结构示意图。在所述衬底上形成填充各有源线 131 之间间距的第一隔离层 500 之后，对所述有源线 131 进行图形化，形成若干有源柱 132' 及若干开口 501'，所述开口 501' 侧壁暴露出所述牺牲层 210a。

请参考图 15，沿所述开口 501' 去除所述牺牲层 210a，在所述有源柱 132' 底部与所述衬底 110 之间形成间隙；在所述间隙内填充导电材料，形成沿第一方向延伸的所述位线 701'。在形成所述位线 701' 的过程中，导电材料会填充于所述开口 501' 中，可以通过刻蚀工艺去除所述开口 501' 内部分厚度的导电材料，保留开口 501' 底部部分厚度的导电材料，以形成沿第一方向排列的同一直线上的有源柱 132' 底部的连续的位线 701'。

在其他实施例中，所述开口 501' 还形成在各所述有源线 131 的同一边的端部，或者所述开口形成在各所述有源线 131 两边的端部上，并且，每个所述有源线 131 只有一个端部上形成所述开口 501'，同一边的所述端部上的开口间隔分布，以减少局部区域上的所述开口的密度，以增大工艺窗口。在后续填充导电材料形成位线时，可同时在所述端部的开口中形成位线连接线，所述位线连接线与所述位线在同一工艺步骤中形成，以节约工艺成本。

后续可以采用上述具体实施方式中，如图 8A 以及后续的步骤，形成如图 13A 所示的半导体结构。与图 8A 相比，由于开口的位置发生变化，因此填充所述开口的隔离介质层的位置也发生变化，本领域技术人员可以根据需要对上述具体实施方式中部分步骤进行适应性的调整，均在本申请的保护范围内。

本发明的具体实施方式还提供一种半导体结构。

请参考图 13A 至图 13C，为本发明一具体实施方式的半导体结构的结构示意图。

所述半导体结构包括：衬底 110；位于所述衬底 110 上的竖直型晶体管；与所述竖直型晶体管底部连接，且位于所述竖直型晶体管底部与所述衬底 110 之间的位线 701。该具体实施方式中，所述半导体结构如图 13A 至 13C 所示。

在本发明的其他具体实施方式中，所述半导体结构可以采用上述具体实施方式中的方法形成，也可以采用其他方法。所有具有竖直晶体管，以及位于竖直晶体管底部的埋入式位线的半导体结构，均可以作为本申请所要求保护的半导体结构。

该具体实施方式中，所述竖直型晶体管包括自衬底 110 向上的方向上依次设置的第一掺杂区 1311、沟道区 1322、第二掺杂区 1321 以及环绕所述沟道区 1322 设置的栅极结构 1000。

所述半导体结构上形成有多个所述竖直型晶体管，沿第一方向（y 方向）和第二方向（x 方向）阵列分布，沿第一方向排列的同一直线上的竖直型晶体管底部的第一掺杂区 1311 连接至同一位线 701；沿第二方向排列的同一直线上的竖直型晶体管的栅极结构 1000 相连接。

所述半导体结构还包括：位于所述衬底 110 上形成于各竖直型晶体管之间的隔离层，所述隔离层包括位于不同直线上的位线 701、第一掺杂区 1311 之间的第一隔离层 500a，以及位于同一直线上的相邻第一掺杂区 1311 之间的隔离介质层 503、栅极结构 1000 之间且位于所述第一隔离层 500a、隔离介质层 503 上的隔离介质层 1001，以及位于所述隔离介质层 1001 上，相邻第二掺杂区 1321 之间的第二隔离层 1200、与所述第一隔离层 500a 位于同一层内的隔离介质层 502a。

所述半导体结构还包括：贯穿所述有源层的开口，所述开口内形成有位线连接线 702，所述位线连接线 702 底部连接至所述位线 701。该具体实施方式中，所述位线连接线 702 位于晶体管阵列的两侧边缘，沿 y 方向排列的每一行晶体管的每一侧，均间隔形成有位线连接线 702 与该行晶体管下方的位线 701 连接，相邻位线连接线 702 之间具有第一隔离层 500。具体的，多个所述位线连接线分别一一对应的位于多个所述位线的端部上，并且所述位线连接线在所述位线的端部间隔分布。所述位线连接线与所述位线在同一工艺步骤中形成。

在一些具体实施方式中，所述竖直晶体管的第一掺杂区 1311、沟道区 1322、第二掺杂区 1321 位于同一有源柱内，所述有源柱为一体结构。通过掺杂形成了所述第一掺杂区 1311、沟道区 1322、第二掺杂区 1321。在其他具体实施方式中，在形成有源层 130（请参考图 1）的过程中，也可以通过原位掺杂，在所述有源层 130 内形成有第一掺杂层、掺杂沟道层和第二掺杂层，在对所述有源层 130 进行图形化形成有源柱后，所述第一掺杂层被图形化为第一掺杂区，所述掺杂沟道层被图形化为沟道区，所述第二掺杂层被图形化为第二掺杂区。在其他具体实施方式中，所述竖直晶体管的沟道区 1322 和第二掺杂区 1321 形成于所述第一掺杂区 1311 上的外延半导体柱内，所述沟道区 1322 和第二掺杂区 1321 所在的半导体层和所述外延半导体柱非一体结构，而是分开形成的。

所述第一掺杂区 1311 和/或所述第二掺杂区 1321 内的掺杂离子通过扩散或离子注入方式形成。

本发明的具体实施方式还提供一种存储器及其形成方法。

首先提供半导体结构，所述半导体结构包括：衬底；位于所述衬底上的竖直型晶体管；

与上述垂直型晶体管底部连接，且位于所述垂直型晶体管底部与上述衬底之间的位线。该具体实施方式中，所述半导体结构如图 13A 至 13C 所示。所述半导体结构可以采用上述具体实施方式中的方法形成，也可以采用其他方法。所有具有垂直晶体管，以及位于垂直晶体管底部的埋入式位线的半导体结构，均可以作为本申请所要求保护的半导体结构。

请参考图 16，在上述垂直型晶体管上方形成存储单元 1300，所述存储单元 1300 电连接至上述垂直型晶体管的第二掺杂区 1321。

在一个具体实施方式中，所述存储器为 DRAM 存储器，所述存储单元 1300 为电容器，包括上电极、下电极以及位于上、下电极之间的电容介质层。所述电容器的结构可以为平面电容器、柱形电容器等，本领域技术人员可以根据需求，选择合适结构的电容器作为存储单元。图 16 中，所述存储单元 1300 仅为示例，并不代表电容器的实际结构。该具体实施方式中，每个晶体管的第二掺杂区 1321 连接至一个存储单元，构成 1T1C 的存储结构。所述存储单元可以包括一个电容器，或两个以上并联的电容器。

在其他具体实施方式中，为了降低上述第二掺杂区 1321 与上述存储单元 1300 之间的连接电阻，还可以在所述第二掺杂区 1321 上形成金属接触层，然后再在上述金属接触层上形成所述存储单元。

所述存储单元 1300 形成于介质层（图中未示出）内，还可以在所述介质层内形成连接所述位线连接线 701 以及栅极结构 1000 的互连结构，用于将所述位线以及字线连接至外部电路。

在本发明的其他具体实施方式中，所述存储单元还可以为磁性存储单元、铁电存储单元、相变存储单元或者电阻存储单元等各种存储单元中的任一种。

请参考图 17，为本发明一具体实施方式的存储器的结构示意图。

所述存储器为 FeRAM 存储器，在图 13A 所示的半导体结构的垂直型晶体管的第二掺杂区 1321 上方形成电连接的铁电存储单元 1400。

所述铁电存储单元包括与上述第二掺杂区 1321 连接的下电极、位于所述下电极上方的上电极、以及位于所述上、下电极之间的铁电材料层所构成的铁电电容。所述铁电材料层的材料可以为 PZT（锆钛酸铅）或 SBT（钛酸钡锶）。图 17 中的铁电存储单元 1400 仅为示意，并不代表实际的铁电存储单元的结构。本领域技术人员，应当能够根据需要结合，形成相应结构的铁电存储单元 1400，在此不作限制。

对于铁电存储单元 1400，还需要在上述铁电存储单元 1400 上方，形成与上电极连接的板线 1401。该具体实施方式中，沿第二方向（x 方向）上排列的位于同一直线上的铁电存储单元电连接至同一根板线 1401，通过所述板线 1401 和下方的垂直晶体管，可以实现对上述铁电存储单元 1400 的双向加压，从而利用铁电材料层的性质进行数据存储。

在其他具体实施方式中，还可以在所述垂直晶体管的第二掺杂区 1321 上形成磁性存储单元，所述磁性存储单元包括磁性隧道结，所述磁性隧道结包括固定层、自由层以及位于所述固定层和自由层之间的介质层。所述固定层连接至上述第二掺杂区 1321。

在其他具体实施方式中，还可以形成其他结构或类型的存储单元，以形成对应的存储

器。

上述存储器及其形成方法，采用竖直型晶体管作为与存储单元连接的控制晶体管，以及与所述控制晶体管连接的埋入型的位线，可以提高存储器的存储密度。

以上所述仅是本发明的优选实施方式，应当指出，对于本技术领域的普通技术人员，在不脱离本发明原理的前提下，还可以做出若干改进和润饰，这些改进和润饰也应视为本发明的保护范围。

1. 一种半导体结构，其特征在于，包括：  
衬底；  
位于所述衬底上的竖直型晶体管；  
与所述竖直型晶体管底部连接，且位于所述竖直型晶体管底部与所述衬底之间的位线。
2. 根据权利要求 1 所述的半导体结构，其特征在于，所述竖直型晶体管包括：自衬底向上的方向上依次设置的第一掺杂区、沟道区、第二掺杂区以及环绕所述沟道区设置的栅极结构。
3. 根据权利要求 1 所述的半导体结构，其特征在于，所述衬底上形成有多个所述竖直型晶体管，沿第一方向和第二方向阵列分布，沿第一方向排列的同一直线上的竖直型晶体管底部的第一掺杂区连接至同一位线；沿第二方向排列的同一直线上的竖直型晶体管的栅极结构相连接。
4. 根据权利要求 1 所述的半导体结构，其特征在于，还包括：位于所述衬底上形成于各竖直型晶体管之间的隔离层，所述隔离层包括至少一层绝缘介质层。
5. 根据权利要求 1 所述的半导体结构，其特征在于，还包括：位线连接线，所述位线连接线底部连接至所述位线。
6. 根据权利要求 2 所述的半导体结构，其特征在于，所述竖直晶体管的第一掺杂区、沟道区、第二掺杂区位于同一有源柱内；或者，所述竖直晶体管的沟道区和第二掺杂区形成于所述第一掺杂区上的外延半导体柱内。
7. 根据权利要求 2 所述的半导体结构，其特征在于，所述第一掺杂区和/或所述第二掺杂区内的掺杂离子通过扩散或离子注入方式形成。
8. 根据权利要求 5 所述的半导体结构，其特征在于，所述位线连接线与所述位线在同一工艺步骤中形成。
9. 根据权利要求 5 所述的半导体结构，其特征在于，多个所述位线连接线分别一一对应的位于多个所述位线的端部上，并且所述位线连接线在所述位线的端部间隔分布。
10. 一种半导体结构的形成方法，其特征在于，包括：  
提供衬底，所述衬底上形成有牺牲层和位于所述牺牲层上的有源层；  
对所述有源层进行图形化，形成暴露出所述牺牲层的开口；  
利用所述开口去除所述牺牲层；  
在所述牺牲层的部分位置处形成位线。
11. 根据权利要求 10 所述的半导体结构的形成方法，其特征在于，对所述有源层进行图形化，形成有源柱；在所述有源柱的底部与所述衬底之间形成所述位线。
12. 根据权利要求 11 所述的半导体结构的形成方法，其特征在于，还包括：形成位于所述有源柱底部向上依次设置的第一掺杂区、沟道区、第二掺杂区，以及形成环绕所述沟道区的栅极结构。
13. 根据权利要求 12 所述的半导体结构的形成方法，其特征在于，所述第一掺杂区、沟道区、第二掺杂区的形成方法包括：采用原位掺杂工艺，在采用外延生长工艺形成所述有

源层的过程中,对所述有源层进行掺杂,依次形成第一掺杂层、沟道掺杂层以及第二掺杂层;在图形化所述有源层形成所述有源柱后,所述第一掺杂层、沟道掺杂层以及第二掺杂层分别被图形化为自有源柱底部向上依次设置的所述第一掺杂区、所述沟道区以及所述第二掺杂区。

14. 根据权利要求 12 所述的半导体结构的形成方法,其特征在于,所述第一掺杂区的形成方法包括:在形成所述有源柱之后,在相邻有源柱之间的衬底上形成具有掺杂元素的过渡层;通过扩散处理,将过渡层内的至少部分掺杂元素扩散进入有源柱内,形成所述第一掺杂区。
15. 根据权利要求 12 所述的半导体结构的形成方法,其特征在于,所述第一掺杂区和所述第二掺杂区的形成方法包括:对所述有源柱的底部区域进行离子注入,形成位于所述有源柱底部的所述第一掺杂区;对所述有源柱的顶部区域进行离子注入,形成位于所述有源柱顶部的所述第二掺杂区。
16. 根据权利要求 11 所述的半导体结构的形成方法,其特征在于,所述对所述有源层进行图形化,形成有源柱;在所述有源柱的底部与所述衬底之间形成所述位线的方法进一步包括:刻蚀所述有源层和所述牺牲层,形成沿第一方向延伸的有源线;形成填充各有源线之间间距的第一隔离层;对所述有源线进行图形化,形成若干有源柱及若干开口,所述开口暴露出所述牺牲层;利用所述开口去除所述牺牲层,在所述有源柱底部与所述衬底之间形成间隙;在所述间隙内填充导电材料,形成沿第一方向延伸的所述位线。
17. 根据权利要求 11 所述的半导体结构的形成方法,其特征在于,所述对所述有源层进行图形化,形成有源柱;在所述有源柱的底部与所述衬底之间形成所述位线的方法进一步包括:刻蚀所述有源层和所述牺牲层,形成沿第一方向延伸的有源线;形成填充各有源线之间间距的第一隔离层;对所述第一隔离层进行图形化,在所述第一隔离层内形成若干开口,所述开口暴露出所述牺牲层;利用所述开口去除所述牺牲层,在所述有源线底部与所述衬底之间形成间隙;在所述间隙内填充导电材料,形成沿第一方向延伸的所述位线;对所述有源线进行图形化,形成沿第一方向和第二方向阵列排布的有源柱。
18. 根据权利要求 16 或 17 所述的半导体结构的形成方法,其特征在于,还包括:在所述有源线端部形成开口;在所述开口内填充导电材料,形成位线连接线,所述位线连接线底部与所述位线连接。
19. 根据权利要求 18 所述的半导体结构的形成方法,其特征在于,在同一工艺步骤中形成所述位线连接线和所述位线。
20. 根据权利要求 16 或 17 所述的半导体结构的形成方法,其特征在于,还包括:回刻蚀所述第一隔离层,暴露出部分高度的有源柱;在回刻蚀后的暴露的有源柱上依次形成栅介质层以及栅电极层;对所述栅介质层和所述栅电极层进行图形化,形成环绕所述有源柱的沟道区的栅极结构,并暴露出所述有源柱的顶部区域。
21. 一种存储器,其特征在于,包括:  
如权利要求 1 至 9 中任一项所述的半导体结构;

位于所述垂直型晶体管上方的存储单元,所述存储单元电连接至所述垂直型晶体管的顶部。

22. 根据权利要求 21 所述的存储器,其特征在于,所述存储单元包括电容存储单元、磁性存储单元、铁电存储单元、相变存储单元或者电阻存储单元中的任一种。
23. 一种存储器的形成方法,其特征在于,包括:  
提供如权利要求 1 至 9 中任一项所述的半导体结构;  
在所述垂直型晶体管上方形成存储单元,所述存储单元电连接至所述垂直型晶体管的顶部。
24. 根据权利要求 23 所述的存储器的形成方法,其特征在于,所述存储单元包括电容存储单元、磁性存储单元、铁电存储单元、相变存储单元或者电阻存储单元中的任一种。

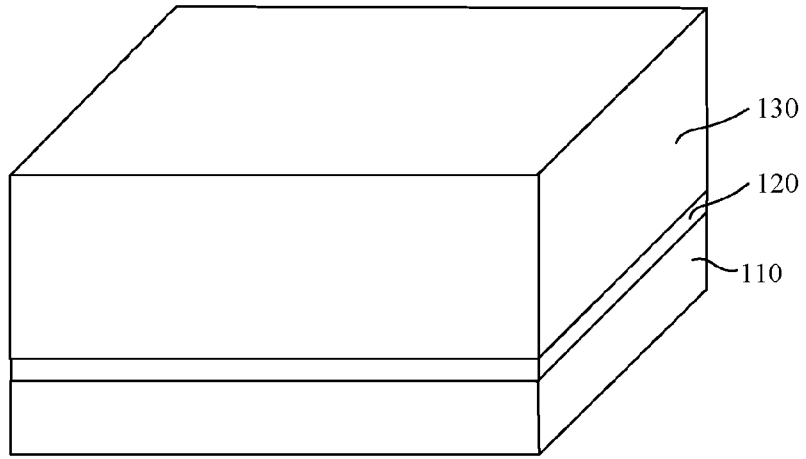


图 1

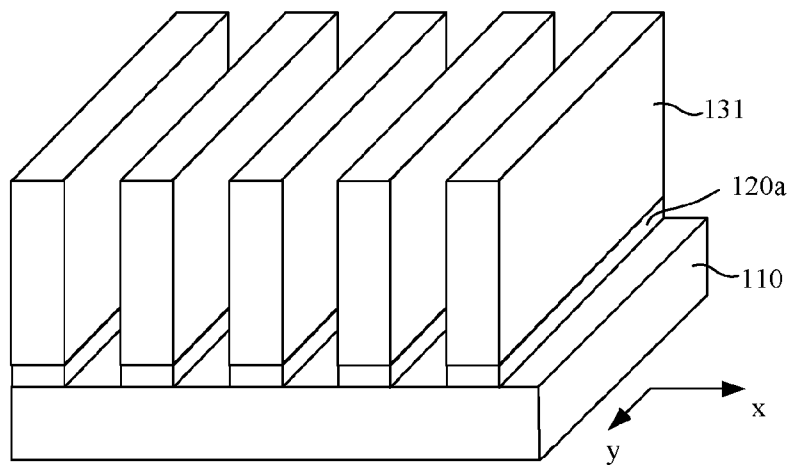


图 2

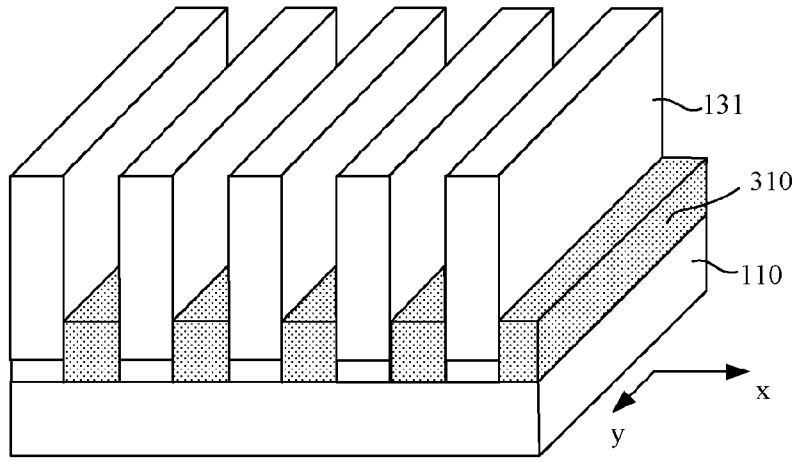


图 3

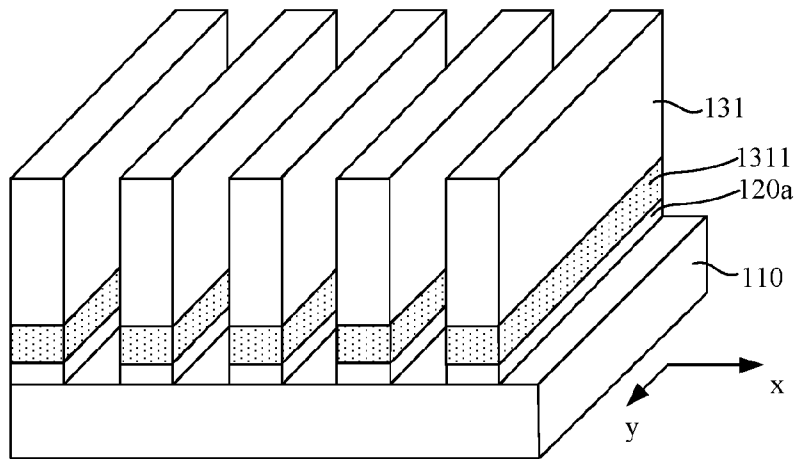


图 4

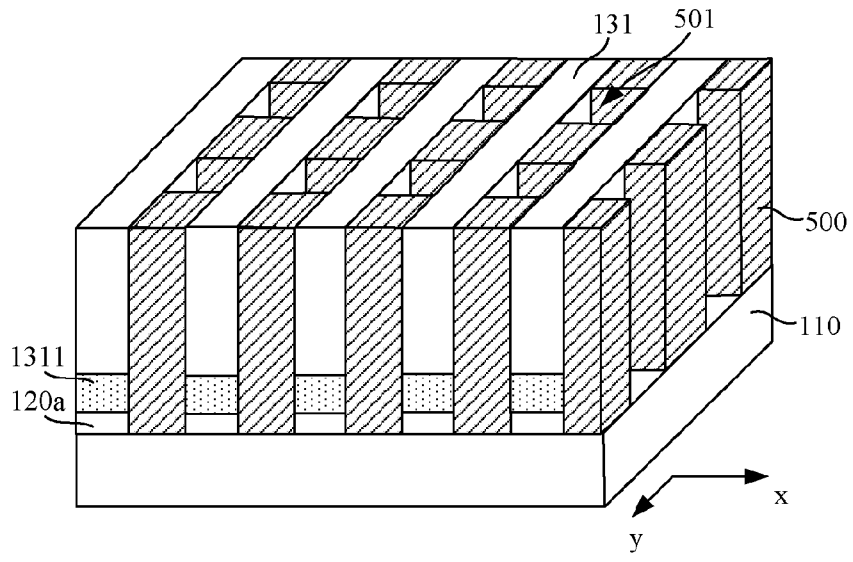


图 5

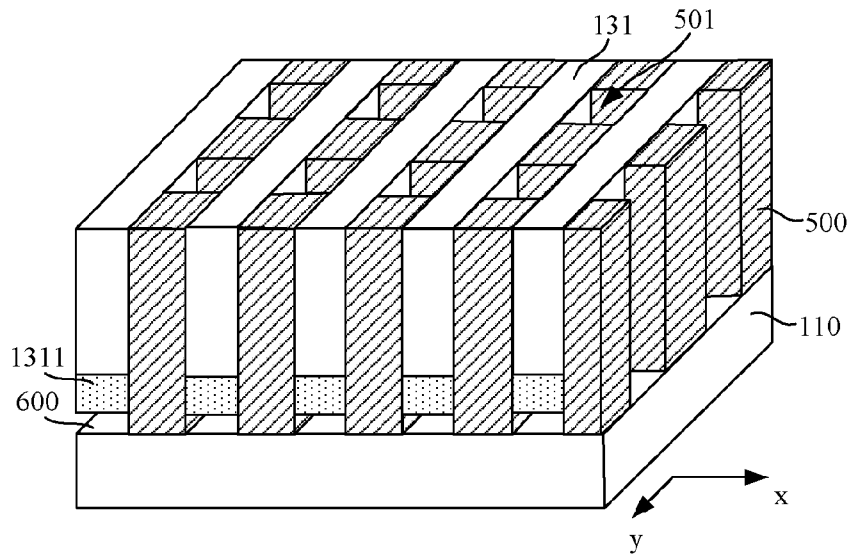


图 6

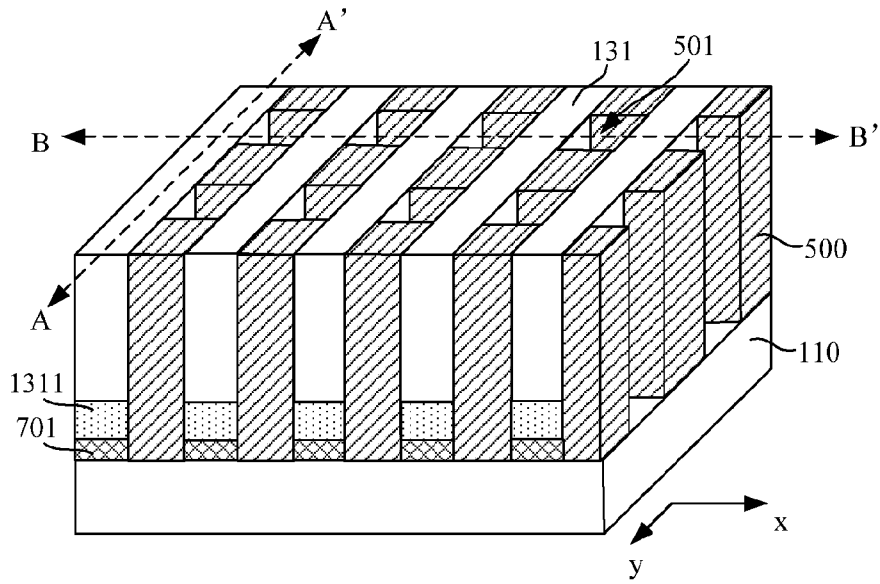


图 7A

A-A'

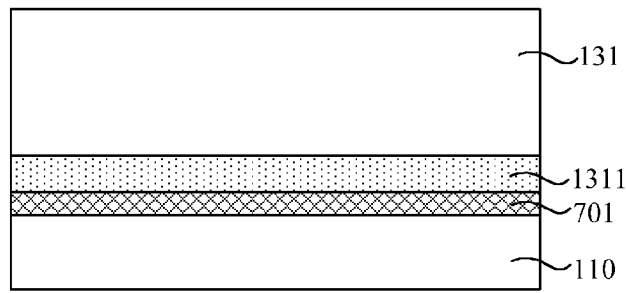


图 7B

B-B'

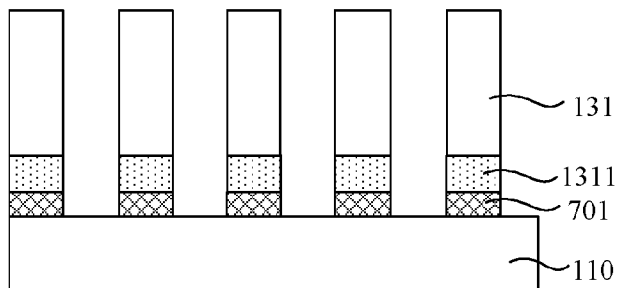


图 7C

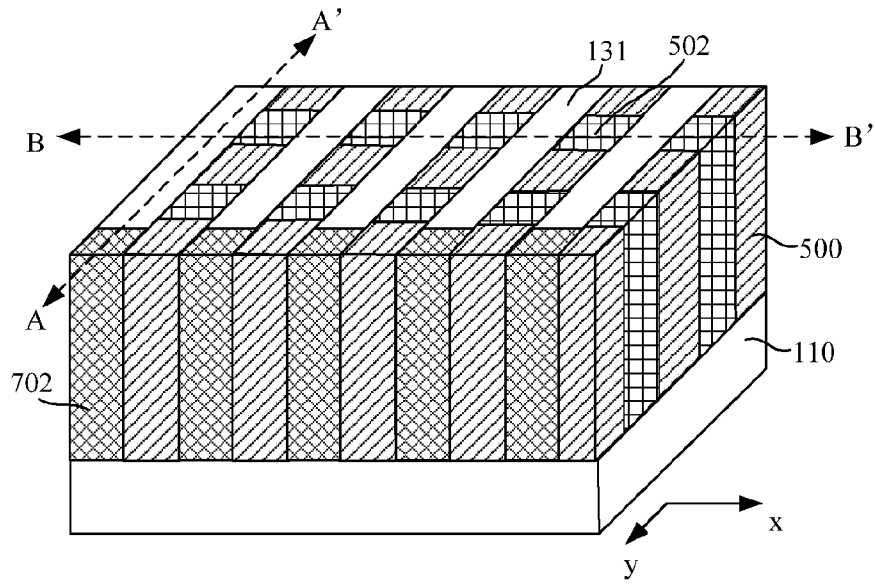


图 8A

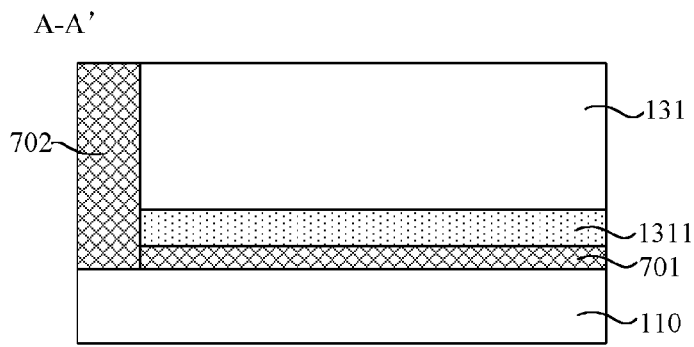


图 8B

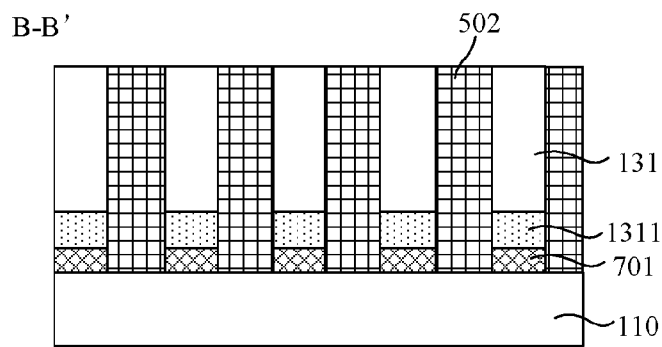


图 8C

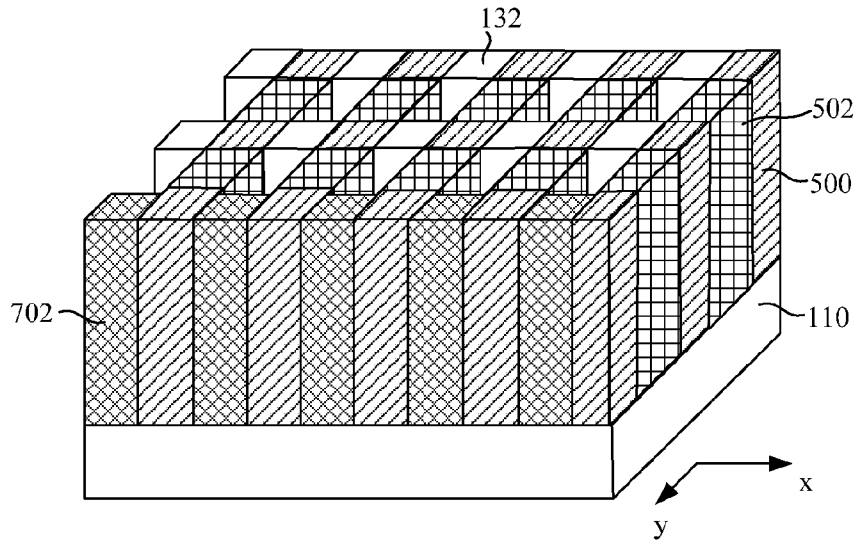


图 9

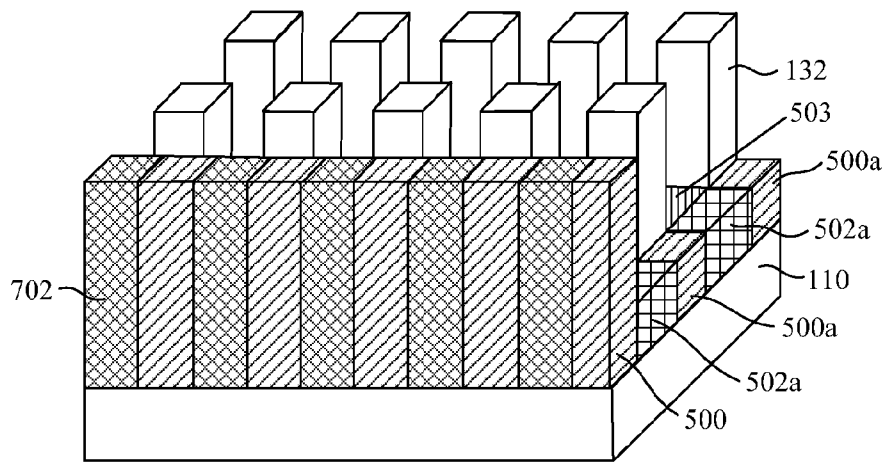


图 10

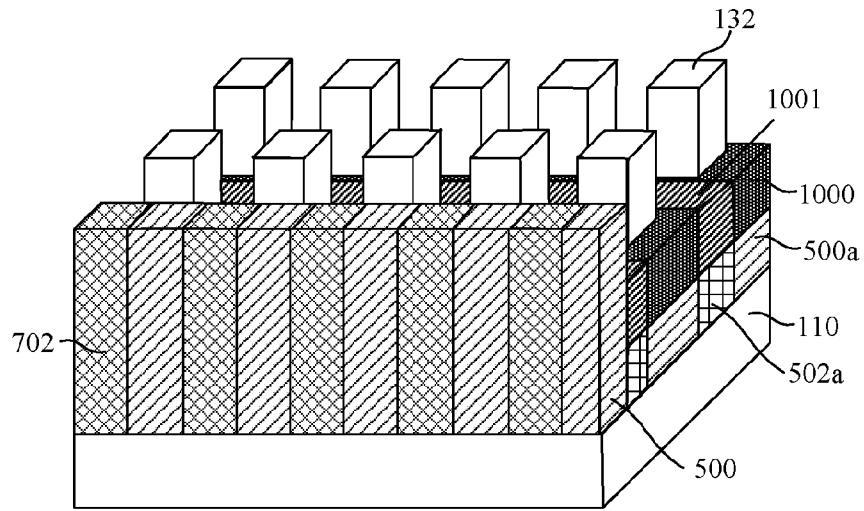


图 11

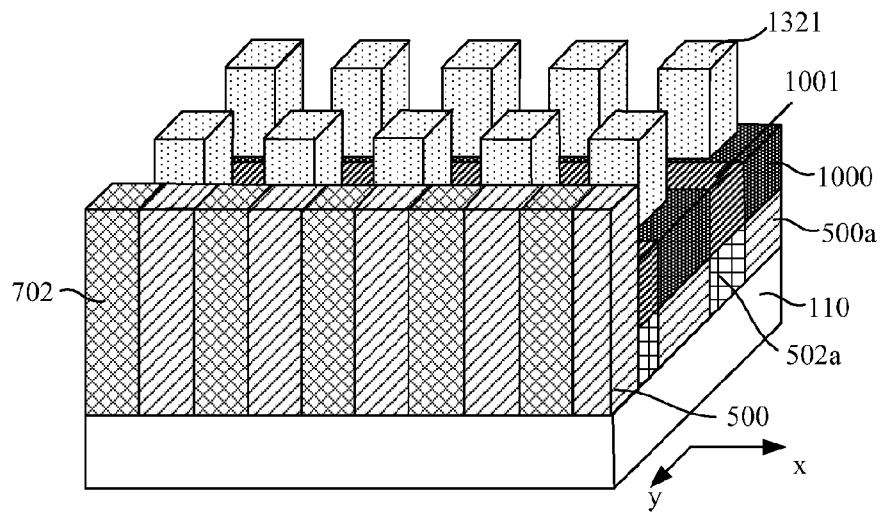


图 12

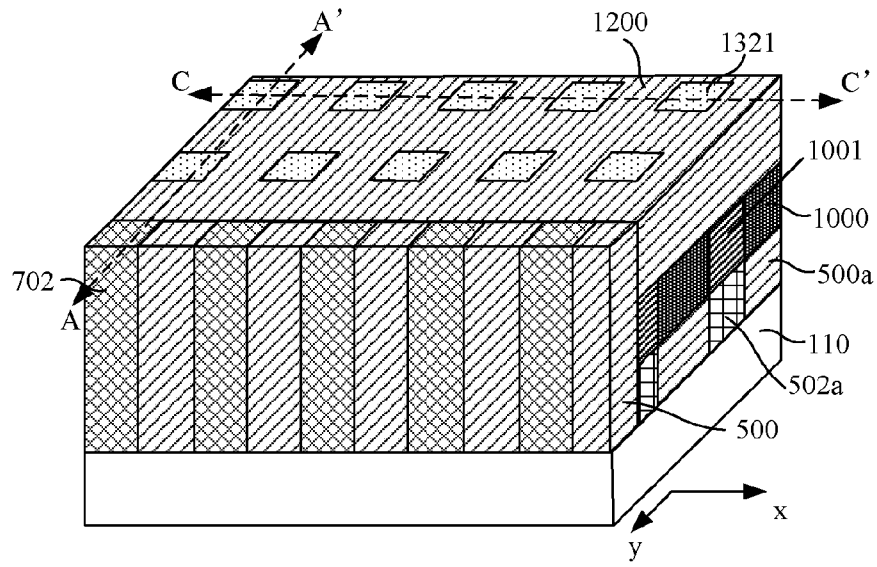


图 13A

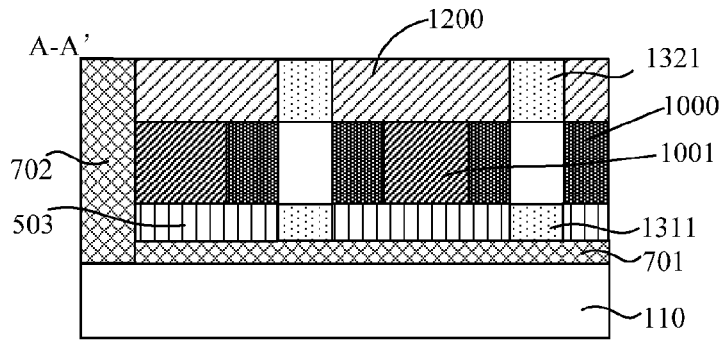


图 13B

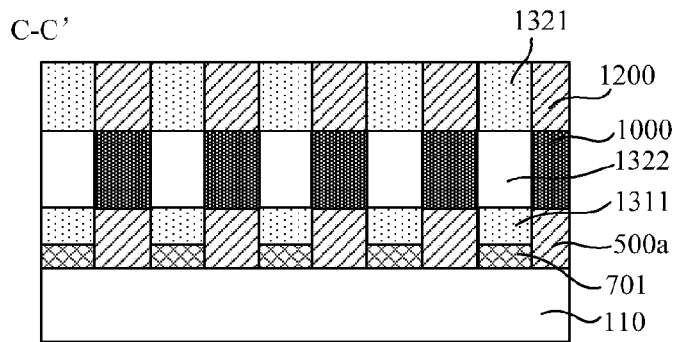


图 13C

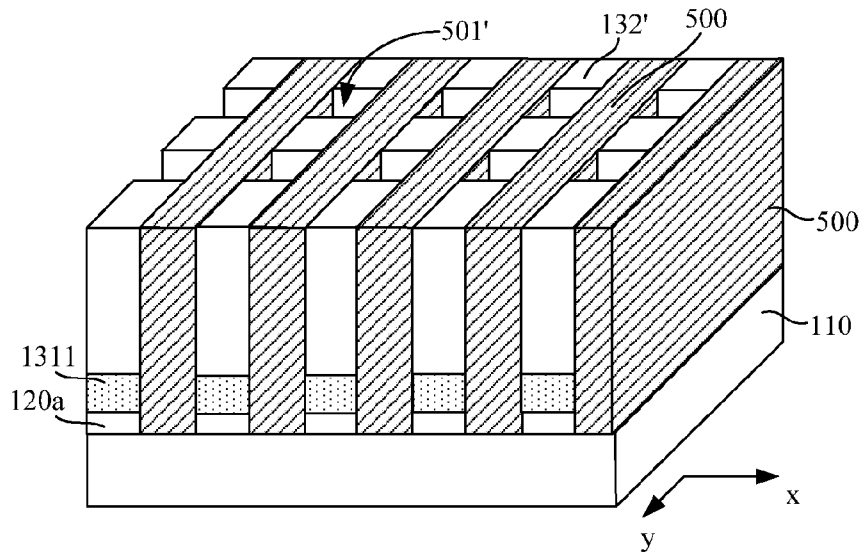


图 14

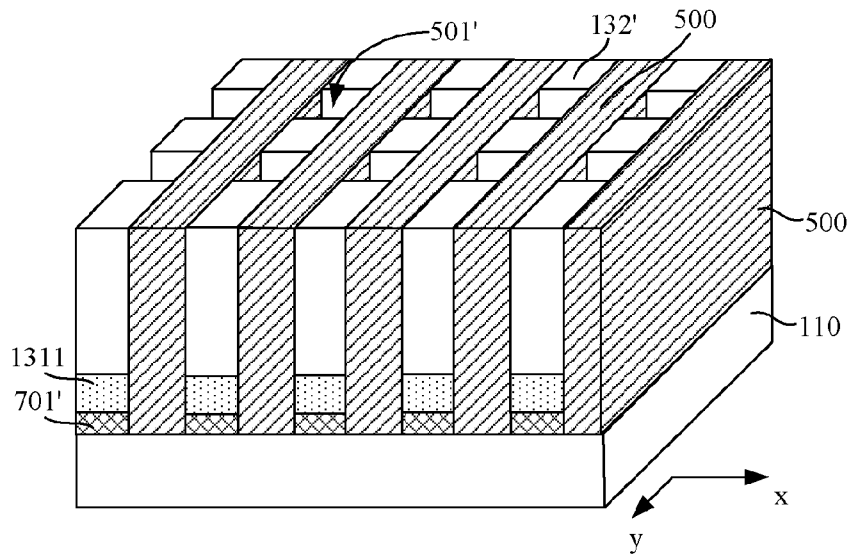


图 15

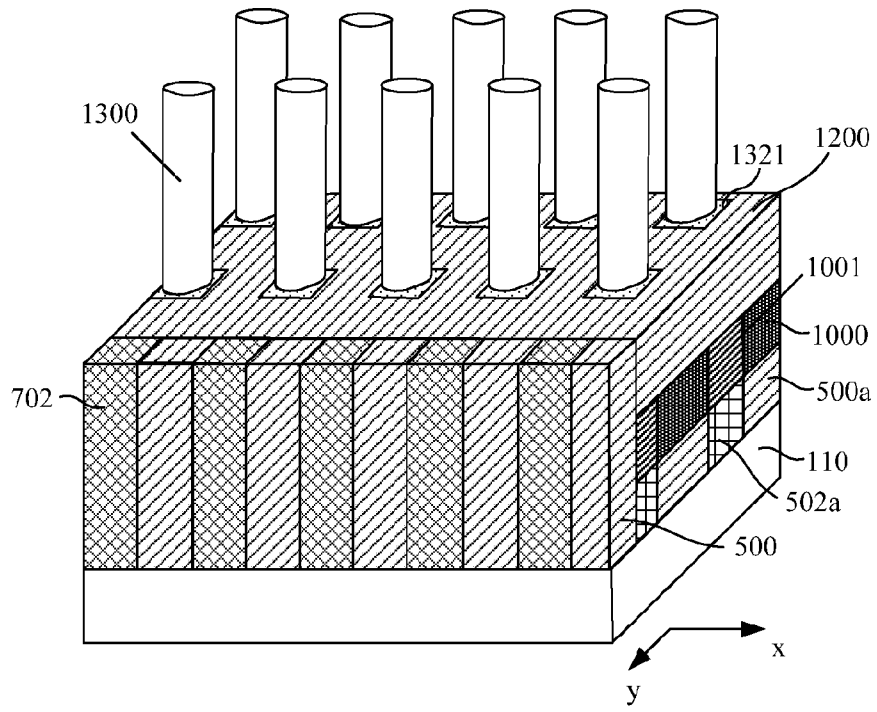


图 16

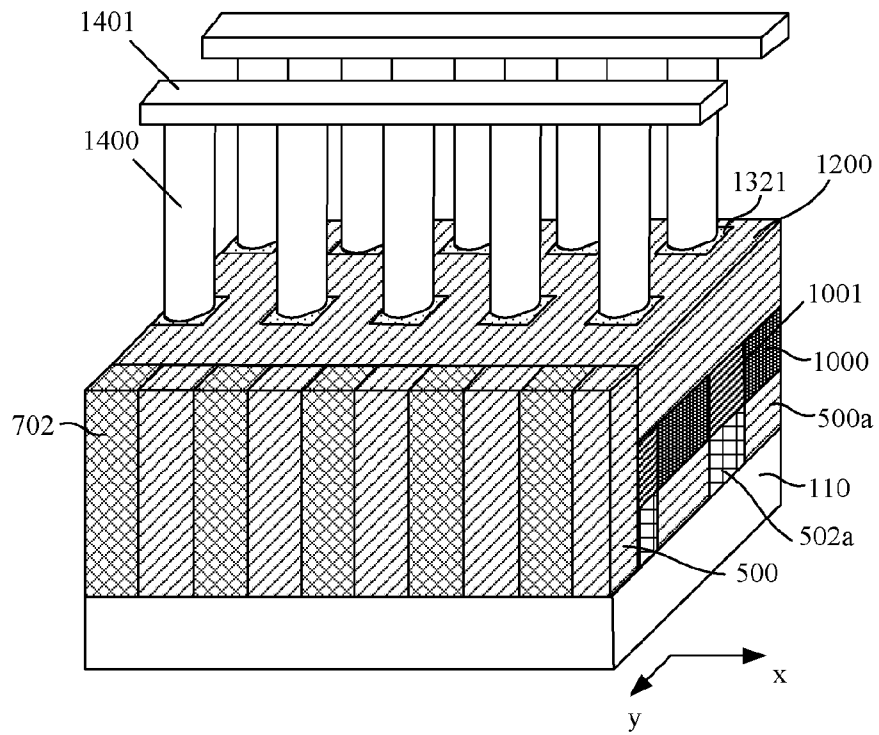


图 17

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2020/128131

<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
H01L 27/088(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols) H01L27/-;H01L21/-		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) CNTXT; CNABS; VEN; WOTXT; USTXT; EPTXT; CNKI: 半导体, 存储, 晶体管, 竖直, 垂直, 位线, 掩埋, 埋入, 嵌入, 牺牲, 去除, 刻蚀, 蚀刻, 填充, 金属, 导电, 衬底, semiconductor, memory, transistor, vertical, bit line, bury, embed, sacrifice, remove, etch, fill, metal, conduct, substrate		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 211719592 U (CHANGXIN MEMORY TECHNOLOGIES, INC.) 20 October 2020 (2020-10-20) claims 1-11, description paragraphs 27-116, figures 1-17	1-24
X	CN 109285838 A (INSTITUTE OF MICROELECTRONICS OF CHINESE ACADEMY OF SCIENCES) 29 January 2019 (2019-01-29) claim 28, description paragraphs 25-129, figures 1-34	1-24
X	CN 109461756 A (INSTITUTE OF MICROELECTRONICS OF CHINESE ACADEMY OF SCIENCES) 12 March 2019 (2019-03-12) claims 18-20, description, paragraphs 22-91, figure 1- figure 23(c)	1-24
X	CN 109461738 A (INSTITUTE OF MICROELECTRONICS OF CHINESE ACADEMY OF SCIENCES) 12 March 2019 (2019-03-12) claim 22, description, paragraphs 21-91, figure 1 - figure 23(c)	1-24
X	CN 110896074 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 20 March 2020 (2020-03-20) description paragraphs 48-118, figure 1 - figure 8B	1-9, 21-24
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search <b>08 January 2021</b>		Date of mailing of the international search report <b>26 January 2021</b>
Name and mailing address of the ISA/CN <b>China National Intellectual Property Administration (ISA/CN) No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088 China</b> Facsimile No. (86-10)62019451		Authorized officer   Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

**PCT/CN2020/128131**

<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2010096691 A1 (SHIN, Jong Han et al.) 22 April 2010 (2010-04-22) entire document	1-24
.....		

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No.

**PCT/CN2020/128131**

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	211719592	U	20 October 2020	None			
CN	109285838	A	29 January 2019	WO	2020042253	A1	05 March 2020
				KR	20200085851	A	15 July 2020
CN	109461756	A	12 March 2019	US	2019157345	A1	23 May 2019
CN	109461738	A	12 March 2019	US	2019074363	A1	07 March 2019
CN	110896074	A	20 March 2020	CN	208819879	U	03 May 2019
US	2010096691	A1	22 April 2010	KR	101026486	B1	01 April 2011
				KR	20100044555	A	30 April 2010
				US	8039347	B2	18 October 2011

<b>A. 主题的分类</b> H01L 27/088(2006.01)i  按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
<b>B. 检索领域</b> 检索的最低限度文献(标明分类系统和分类号) H01L27/-;H01L21/-  包含在检索领域中的除最低限度文献以外的检索文献  在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNTXT;CNABS;VEN;WOTXT;USTXT;EPTXT;CNKI:半导体, 存储, 晶体管, 竖直, 垂直, 位线, 掩埋, 埋入, 嵌入, 牺牲, 去除, 刻蚀, 蚀刻, 填充, 金属, 导电, 衬底, semiconductor, memory, transistor, vertical, bit line, bury, embed, sacrifice, remove, etch, fill, metal, conduct, substrate		
<b>C. 相关文件</b>		
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 211719592 U (长鑫存储技术有限公司) 2020年 10月 20日 (2020 - 10 - 20) 权利要求1-11、说明书第27-116段、图1-17	1-24
X	CN 109285838 A (中国科学院微电子研究所) 2019年 1月 29日 (2019 - 01 - 29) 权利要求28、说明书第25-129段、图1-34	1-24
X	CN 109461756 A (中国科学院微电子研究所) 2019年 3月 12日 (2019 - 03 - 12) 权利要求18-20、说明书第22-91段、图1-图23 (c)	1-24
X	CN 109461738 A (中国科学院微电子研究所) 2019年 3月 12日 (2019 - 03 - 12) 权利要求22、说明书第21-91段、图1-图23 (c)	1-24
X	CN 110896074 A (长鑫存储技术有限公司) 2020年 3月 20日 (2020 - 03 - 20) 说明书第48-118段、图1-图8B	1-9, 21-24
A	US 2010096691 A1 (SHIN, Jong Han 等) 2010年 4月 22日 (2010 - 04 - 22) 全文	1-24
<input type="checkbox"/> 其余文件在C栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2021年 1月 8日		国际检索报告邮寄日期 2021年 1月 26日
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		授权官员 廖艳闰 电话号码 86-(20)-28958731

国际检索报告  
关于同族专利的信息

国际申请号

PCT/CN2020/128131

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	211719592	U	2020年 10月 20日	无			
CN	109285838	A	2019年 1月 29日	WO	2020042253	A1	2020年 3月 5日
				KR	20200085851	A	2020年 7月 15日
CN	109461756	A	2019年 3月 12日	US	2019157345	A1	2019年 5月 23日
CN	109461738	A	2019年 3月 12日	US	2019074363	A1	2019年 3月 7日
CN	110896074	A	2020年 3月 20日	CN	208819879	U	2019年 5月 3日
US	2010096691	A1	2010年 4月 22日	KR	101026486	B1	2011年 4月 1日
				KR	20100044555	A	2010年 4月 30日
				US	8039347	B2	2011年 10月 18日