



(12) 发明专利

(10) 授权公告号 CN 101035141 B

(45) 授权公告日 2014. 03. 05

(21) 申请号 200710087760. 0

(22) 申请日 2007. 03. 08

(30) 优先权数据

11/372, 866 2006. 03. 09 US

(73) 专利权人 晶像股份有限公司

地址 美国加利福尼亚州

(72) 发明人 B·K·舒米特 L·L·布彻

(74) 专利代理机构 上海专利商标事务所有限公司
31100

代理人 钱慰民

(51) Int. Cl.

H04L 29/08 (2006. 01)

H04L 29/10 (2006. 01)

H04L 1/00 (2006. 01)

(56) 对比文件

WO 03092207 A1, 2003. 11. 06,

CN 1437807 A, 2003. 08. 20,

CN 2662571 Y, 2004. 12. 08,

审查员 徐刚

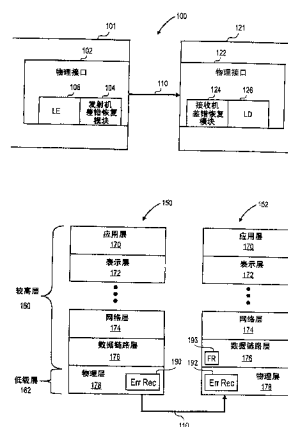
权利要求书3页 说明书11页 附图9页

(54) 发明名称

用于集成电路之间的点对点通信的物理接口
内的检错的装置、方法及系统

(57) 摘要

本发明公开了一种用于在集成电路 (“IC”) 之间的数据通信的发送和 / 或接收期间在物理接口内检测差错的装置、系统和方法。在一个实施例中, 一种装置被配置成作为接收物理接口来操作, 或者在接收物理接口内操作。该装置包括被配置成对已编码数据比特的一子集解码以产生已解码数据比特的解码器。它还包括被配置成从已解码数据比特中提取物理接口 (“PI”) 检错比特的物理接口检错比特提取器。由此, 该装置使用该物理接口检错比特来确定已编码数据比特是否包括至少一个错误的数据比特作为差错。在某些实施例中, 该装置包括被配置成在物理层内操作的检错器。在至少一个实施例中, 该装置在例如 NB/ (N+1)B 线编码器内有效地发送检错码。



1. 一种用于在促进集成电路(“IC”)之间的数据通信的串行物理接口内检测差错的装置,所述装置包括:

解码器,被配置成对外部 IC 所发送的 $N+2$ 个已编码数据比特进行解码以产生 $N+1$ 个已解码数据比特,其中, N 表示任何整数的数据比特数;

物理接口检错比特提取器,被配置成从所述 $N+1$ 个已解码数据比特中提取物理接口检错比特,第一物理接口检错比特被用于确定所述已编码数据比特是否包括至少一个错误的比特作为一差错;

检错码重构器,用于从多个所提取的物理接口检错比特中重构所述检错码,多个所提取的物理接口检错比特包括第一物理接口检错比特;

检错器,所述检错器在所述装置的物理层内以检测差错,所述检错器包括比较器,所述比较器用于将重构的检错码与从接收的码字中所产生的检错码进行比较;以及

纠错器,所述纠错器在所述装置的物理层内,在收到来自所述检错器的指示时所述纠错器提供差错恢复消息;

检错码生成器,被配置成基于一组应用数据比特来生成检错码,所述检错码包括多个检错比特;以及

物理层编码器,被配置成:

(1) 将物理接口检错比特插入所述一组应用数据比特的一组 N 个应用数据比特以形成 $N+1$ 个未编码数据比特,并且

(2) 对所述 $N+1$ 个未编码数据比特进行编码以产生 $N+2$ 个已编码数据比特;

其中,所述物理接口被耦合到一核心 IC,所述物理接口被形成用作在第一衬底上的 IC,所述核心 IC 则形成于第二衬底上,所述物理接口包括多个输入端口和输出端口,所述物理接口检测与所述核心 IC 交换的数据内的传输差错。

2. 如权利要求 1 所述的装置,其特征在于,所述检错器在数据链路层或开放系统互连(“OSI”)七层参考模型中所述物理层之上的任何一较高层之前执行检错。

3. 如权利要求 1 所述的装置,其特征在于,所述物理接口检错比特是循环冗余校验(“CRC”)校验和的一部分。

4. 如权利要求 1 所述的装置,其特征在于,

所述多个输入端口和输出端口包括被配置成接收入站的已编码数据比特的第一输入端口子集以及被配置成将入站的已解码数据比特发送至所述核心 IC 的第一输出端口子集;

所述物理接口包括被耦合在所述多个输入端口和输出端口之间的一个或多个差错恢复模块;以及

所述一个或多个差错恢复模块的第一差错恢复模块被耦合在所述第一输入端口子集的至少一个端口和所述第一输出端口子集的至少一个端口之间。

5. 如权利要求 4 所述的装置,其特征在于,所述第一差错恢复模块包括所述解码器。

6. 如权利要求 5 所述的装置,其特征在于,所述多个输入端口和输出端口包括被配置成接收来自所述核心 IC 的出站的未编码数据比特的第二输入端口子集以及被配置成向所述外部 IC 发送出站的已编码数据比特的第二输出端口子集,其中所述一个或多个差错恢复模块的第二差错恢复模块被耦合在所述第二输入端口子集的至少一个端口和所述第二

输出端口子集的至少一个端口之间,所述第二差错恢复模块包括所述物理层编码器。

7. 一种用于在串行物理接口处对数据比特解码以至少检测差错的方法,所述方法包括在物理层中执行下列操作:

对来自外部 IC 的已编码比特流的 $N+2$ 个比特进行解码以产生 $N+1$ 个已解码数据比特,所述已编码比特流具有嵌入的异步时钟,已解码数据比特包括第一物理接口检错比特,第一物理接口检错比特是基于应用数据比特而生成的检错码的多个比特中的一个比特;

从所述 $N+1$ 个已解码数据比特中提取第一物理接口检错比特,从而提供 N 个应用数据比特;

从接收到的比特子集中提取的多个所提取的物理接口检错比特中重构所述检错码,所述多个所提取的物理接口检错比特包括第一物理接口检错比特;

基于所述应用数据比特来产生检错码;

将所产生的检错码与重构的检错码进行比较;

如果所产生的检错码并不与重构的检错码相匹配,则确定所述已编码比特流包括不正确的比特;以及

执行差错恢复措施;

其中,所述物理接口被耦合到一核心 IC,所述物理接口被形成用作在第一衬底上的 IC,所述核心 IC 则形成于第二衬底上,所述物理接口包括多个输入端口和输出端口,所述物理接口检测与所述核心 IC 交换的数据内的传输差错。

8. 一种用于在至少两个集成电路(“IC”)之间提供高速串行通信的系统,所述系统包括:

用于传送通信数据的物理介质;

耦合至所述物理介质的第一端的外部 IC 中的发射机设备,所述发射机设备包括检错码生成器和 N 比特/ $N+2$ 比特编码器,所述检错码生成器被配置成生成多个物理接口检错比特,多个检错比特构成检错码,所述 N 比特/ $N+2$ 比特编码器用于生成 $N+2$ 个已编码数据比特,且所述 $N+2$ 个已编码数据比特具有编码于其中的物理接口检错比特;

在核心 IC 中的接收机设备;以及

耦合至所述物理介质的第二端的串行物理接口,所述物理接口包括:

将所述 $N+2$ 个已编码数据比特解码成 $N+1$ 个已解码数据比特的 $N+2$ 比特/ N 比特解码器,

检错器,被配置成从已解码数据比特中提取物理接口检错比特,这包括从所述 $N+1$ 个已解码数据比特中提取第一物理接口检错比特,并且所述检错器还被配置成使用所提取的物理接口检错比特来确定差错;

检错码重构器,用于从所提取的物理接口检错比特中重构所述检错码,所述物理接口包括比较器,所述比较器用于将重构的检错码与从接收的码字中所产生的检错码进行比较;以及

纠错器,在收到来自所述检错器的指示时所述纠错器提供差错恢复措施;

其中,所述物理接口被耦合到所述核心 IC,所述物理接口被形成用作在第一衬底上的 IC,所述核心 IC 则形成于第二衬底上,所述物理接口包括多个输入端口和输出端口,所述

物理接口检测与所述核心 IC 交换的数据内的传输差错。

用于集成电路之间的点对点通信的物理接口内的检错的装置、方法及系统

技术领域

[0001] 本发明一般涉及用于在电子设备之间提供可靠数据通信的装置和方法,尤其涉及被配置成在电子设备之间经由物理介质的数据比特点对点传输期间在物理接口处有效地检错的物理接口。在一个实施例中,数据比特的点对点传输采用沿着串行数据链路的低幅、信号传输。

背景技术

[0002] 诸如集成电路(“IC”)等电子设备之间的点对点通信一般被认为是可靠的,尤其是在使用专用同步时钟线来同步数据传输的情况下。更具体地,许多系统设计人员期望 IC 之间的通信遵守在 IC 之间交换的数据比特是相同的数据比特的这一普遍假设。例如,最为常规的处理器 IC 被设计为不论发送至存储器 IC 的地址比特是否被正确接收,也不论由处理器 IC 接收到数据是否与存储器 IC 发送的数据相同,都对从存储器 IC 中取出的数据执行动作。但是对于以更快的数据速率和下降的幅度(即,下降的传输功率)发送数据比特的传统物理接口而言,背景噪声对于数据信号的强度的影响会导致信噪比下降,而这表明会阻碍可靠点对点通信的差错的增加。此外,许多系统设计人员使用其中时钟被嵌入在已编码的串行化数据的异步定时技术来实现经由串行数据链路而串行地传送数据的物理接口。具有串行数据链路的高速串行通信技术的示例包括串行 ATA(“SATA”)®、转换最小化的差分信号传输(“TMDS”)、PCI Express、**InfiniBand®**等等。虽然提供串行数据通信的常规物理接口同时降低了噪声和功率,但是至少一个缺点是常规的串行数据链路易于在传输期间发生数据讹误。

[0003] 在计算机网络领域,开放系统互连(“OSI”)模型描述了在两个站(或计算设备)之间进行检错和纠错的常用方法。根据该方法,数据链路层基于所发送比特的一帧计算检错码(例如,循环冗余码,“CRC”)。随后,它将检错码作为邻接比特追加至该帧,再将检错码和应用数据比特一并送至物理接口用于线编码(或译码)。线编码的一个示例将 8 个应用数据比特翻译成 10 个已编码比特。这种线编码技术通常被称为 8B/10B。在执行该线编码之后,串行物理接口将已编码比特经由通信介质驱动至恢复时钟并将比特解码的另一串行物理接口。接收机处的数据链路层随后使用检错码的邻接比特来应用检错和纠错技术。

[0004] 虽然起作用,但是数据链路层在物理接口之外执行这些检错和纠错过程,由此就会延迟差错的检测和/或解决。同样地,常规的物理接口一般无法很好地适应标准化的检错和纠错。例如,传统的物理接口被优化成提供集成电路之间的同步和并行数据通信。同样地,它们无法容易地适用于提供经由诸如串行数据链路的用于异步和串行数据通信的及时且可靠的数据传送。此外,常规物理接口一般无法有助于以下的至少一种:(1) 不要求应用参与专用差错处理技术的透明差错检测和恢复技术,以及(2) 用于提高经由串行数据链路传送检错码的速率的检错码的有效传输。

[0005] 考虑到上述情况,期望提供一种能够将上述缺点降至最小并且至少提供检错以及

可任选的差错恢复的物理接口、装置和方法。

[0006] 发明概述

[0007] 公开了一种用于在集成电路 (“IC”) 的数据通信的发送和 / 或接收期间在物理接口中进行检错的装置、系统和方法。根据本发明的各个实施例,一种物理接口能够促进经由串行或并行链路的通信,或者它可被配置成使用嵌入式异步时钟或外部同步时钟。

[0008] 在一个实施例中,一种装置被配置作为接收物理接口来操作,或在接收物理接口内操作。该装置包括被配置成将已编码数据比特的子集解码以产生已解码数据比特的解码器。它还包括被配置成从已解码数据比特中提取物理接口 (“PI”) 检错比特的物理接口检错比特提取器。由此,该装置使用该物理接口检错比特来确定已编码数据比特是否包括作为差错的至少一个有错误的比特。在某些实施例中,该装置包括被配置成在物理层内操作的检错器。在至少一个实施例中,该装置在例如 NB/(N+1)B 线编码器内有效地发送检错码。已编码数据比特可以基本被直流 (“DC”) 平衡。此外,已编码数据比特可以被配置为形成发射辐射的频谱特性。同样,这些已编码数据比特还可以包括可用于在接收设备处恢复时钟的嵌入式异步时钟。在某些情况中,该装置包括被配置成在物理层内操作以检测错误的检错器。该检错器在数据链路层或者在开放系统互连 (“OSI”) 七层参考模型中任何一较高层之前执行检错。在某些情况下,物理接口检错比特是奇偶校验码,而在其它情况下,物理接口检错比特是检错码的一部分。例如,检错码可以是循环冗余校验 (“CRC”) 校验和。在此情况下的检错器被配置成累积该物理接口检错比特以及来自已编码数据比特的其它子集 (即,其它码字) 的其它物理接口检错比特以重构检错码。注意,检错器能够被配置成从该物理接口检错比特以及其它的物理接口检错比特中生成 CRC 校验和。随后,检错器能够将该 CRC 校验和与检错码进行比较以确定是否发生差错。

[0009] 在各个实施例中,该物理接口检错比特与已编码数据比特的子集同时在该装置处被接收,并且其它物理接口检错比特中的每一比特也与已编码数据比特的其它子集中的每一子集同时在该装置处被接收,由此减少了装置接收否则会被追加以跟随该已编码数据比特的检错码的时间。在至少一个实施例中,该装置还包括被配置成纠正错误的纠错器。纠错器可以被配置成请求重发该已编码数据比特的子集,或者用信号通知应用专用模块已有差错被检测到以使得该应用专用模块能够解决这一差错。或者,纠错器可以采取默认措施,诸如重新初始化一个或多个 IC。注意,已编码数据比特的子集之一可以包括 N+m 个数据比特,这些数据比特可以被解码以获取 N 个应用数据比特作为已解码数据比特。同样注意,该装置可以被配置成接收已编码数据比特作为 N+2 个数据比特并提供 N 个应用数据比特作为输出。例如,当 N 为 8 时,该装置被配置为 8B/10B 解码器,它提供 9 个已解码数据比特:即 8 个应用数据比特和一个用于检错的物理接口检错比特。

[0010] 在本发明的另一实施例中,公开了一种在用于集成电路 (“IC”) 之间传输数据的物理接口内生成检错码的装置。在一个实施例中,该装置被配置成作为发送物理接口来操作,或在发送物理接口内操作。该装置可包括 N 比特到 N+2 (“N 比特 /N+2”) 比特物理层 (“PHY”) 编码器。该编码器被配置成将物理接口检错比特插入到 N 个应用数据比特以形成 N+1 个未编码数据比特,并且将该未编码数据比特编码以产生 N+2 个已编码数据比特。该装置还包括被配置成生成构成包括该物理接口检错比特在内的检错码的多个比特的检错码生成器。该装置在某些情况下可包括被配置成串行化 N+2 个已编码数据比特以形成串行

的 $N+2$ 个已编码数据比特,由此将单个检错数据比特与串行的 $N+2$ 个已编码数据比特交错的串行化器。在至少一个实施例中,该装置包括用于存储包括 N 个数据比特在内的一组数据比特的存储。检错码生成器被配置成检查该组数据比特以生成检错码。在一具体实施例中,该装置包括发射机 (“TX”) 纠错器,它被配置成在该发射机纠错器接收到重发请求时重发该组数据比特中到一个或多个子集。

[0011] 在本发明的又一实施例中,一种物理接口作为集成电路 (“IC”) 形成于第一衬底上,以检测与形成于第二衬底上的核心 IC 交换的数据内的传输差错。核心 IC 是含有用于实现诸如存储器芯片的存储功能之类的应用专用功能的逻辑的另一 IC。物理接口包括多个输入端口和输出端口,包括被配置成接收入站 (in-bound) 的已编码数据比特的第一输入端口子集以及被配置成将入站的已解码数据比特发送至核心 IC 的第一输出端口子集。该物理接口还包括被耦合在多个输入端口和输出端口之间的一个或多个差错恢复模块。至少一个差错恢复模块被耦合在至少一个第一输入端口子集和至少一个第一输出端口子集之间。该差错恢复模块可任选地包括被配置成检测入站的已编码数据比特内的差错并启动纠正该差错的动作的物理层 (“PHY”) 解码器。

[0012] 在本发明的再一实施例中,公开了一种在至少两个集成电路 (“IC”) 之间的高速串行通信链路。该链路包括用于传送数据的物理介质、耦合至该物理介质的第一端的发射机设备、以及耦合至该物理介质的第二端的接收机设备。它还包括被配置成使用物理接口检错比特来确定差错的检错器。注意,发射机设备包括生成其中编码了物理接口检错比特中的已编码数据比特的 N 比特 / $N+2$ 比特编码器,而接收机设备包括将该已编码数据比特解码的 $N+2$ 比特 / N 比特解码器、以及使用该物理接口检错比特来确定差错的检错器。注意,发射机和接收机设备可以是以下任何设备中的一种或多种: 转换最小化的差分信号传输 (“TMDS”) 设备、高清多媒体接口 (“HDMI”) 设备、多千兆比特以太网设备 (例如, 10Gbps 以太网, 或 “10GbE” 设备) 和 / 或串行高级技术附件 (“SATA”) 设备。还注意,发射机和接收机设备可以实现数字可视化接口 (“DVI”) 和 / 或低压差分信号传输 (“LVDS”) 以及任何其它等效的技术方案。

[0013] 附图简述

[0014] 参考附图连同以下详细描述就能更完整地理解本发明,在附图中:

[0015] 图 1A 是示出根据本发明至少一个具体实施例的包括差错恢复模块以检测差错的物理接口的框图;

[0016] 图 1B 示出了根据本发明一个或多个实施例的被实现来提供物理层而非数据链路层处的检错的差错恢复模块。

[0017] 图 2A 是根据本发明一个实施例的使用嵌入式时钟和时钟恢复来实现提供物理接口处的可靠数据传送的差错恢复模块的电路的框图;

[0018] 图 2B 是根据本发明一个实施例的使用外部时钟来实现提供物理接口处的可靠数据传送的差错恢复模块的图 2A 所示电路的另一框图;

[0019] 图 3 是示出根据本发明一个具体实施例的被配置成检测并可任选地用于纠正差错的物理接口的框图;

[0020] 图 4 是示出根据本发明一个实施例的带有错误检测比特插入和提取的线编码和线解码的功能性框图;

[0021] 图 5 描绘了根据本发明一个实施例的用于将一组数据比特作为一单元来线编码的示例性流程；

[0022] 图 6 是示出根据本发明至少一个具体实施例的通过至少重发数据比特来提供检错和纠错的物理接口的框图；

[0023] 图 7 示出根据本发明至少一个具体实施例的用于实现检错和纠错且不带线编码的替换接收机。

[0024] 图 8 描绘了根据本发明一个实施例的纠错器的框图。

[0025] 相同的标号在附图的各图中指代相应的部分。注意，大多数标号包括一般标识首先引入该标号的附图的最左一位或两位。

[0026] 示例性实施例的详细描述

[0027] 图 1A 是示出根据本发明至少一个具体实施例的包括差错恢复模块以检测与线编码 / 解码相关联的差错的物理接口的框图 100。物理接口 102 和 122 提供设备 101 和 121 之间的物理连接，设备 101 和 121 中的每一个都可以是诸如存储器芯片等集成电路或者诸如以太网网卡或网络计算机等电子设备。物理接口 102 和 122 分别包括便于数据比特经由物理介质 110 的发送和接收的线编码器 (“LE”) 106 和线解码器 (“LD”) 126。在一个实施例中，线编码器 (“LE”) 106 执行线编码 (也可称之为“线译码”)，它将以二进制表示的数字信息 (即，数据比特) 翻译成特定码 (或码字) 以优化该已编码数据比特经由诸如铜导线、光纤、无线电波等特定类型的介质的传输。线解码是从特定码翻译成数据比特的反向过程。线编码器和线解码器都可以被调谐以最优地用特定类型的介质来操作。正如在某些实施例中所使用的，术语编码指的是从数据比特到代码字的翻译以及数据比特对代码字的插入。

[0028] 物理接口 102 还包括发射机 (“TX”) 差错恢复模块 104，而物理接口 122 则还包括接收机 (“RX”) 差错恢复模块 124。这两个差错恢复模块 104 和 124 都可用于检测与线编码或解码相关联或一起发生的差错，并能可任选地纠正这些差错。虽然图 1A 示出了单向通信，但是本领域普通技术人员应该理解，TX 差错恢复模块 104 和 RX 差错恢复模块 124 的结构和 / 或功能可以被组合以形成收发机 (“TX/RX”) 差错恢复模块 (未示出) 以支持经由物理介质 110 的双向通信期间的检错和纠错。在至少一个实施例中，物理介质 110 提供串行数据链路。无论数据链路是串行数据链路还是并行数据链路，线编码器 106 和线解码器 126 都实现线编码 / 解码以进行以下的一种或多种：(1) 确保数据流内有适当数目的转换以恢复在数据流中嵌入的时钟；(2) 维持 d-c 平衡；以及 (3) 提供数据链路的频谱成形以降低电磁辐射。

[0029] 在一个具体实施例中，差错恢复模块 104 和 124 便于在数据比特到达接收机 (例如，IC 或电子设备) 之后立即进行早期的检错，从而能够在例如线解码之前、期间和之后的任意时刻执行检错。由此，物理接口 124 内的检错能防止设备 121 对不正确或被破坏的数据比特执行不必要的下游处理直到能够应用检错和纠错技术。有利的是，根据本发明的各个实施例，差错恢复模块 104 和 124 能够保存否则将处理破坏的数据比特的计算资源，并且还能够通过减少检测和 / 或纠正差错所需的时间来加快设备 101 和 121 之间的通信。本发明的各个特征还能减少检测差错所需的时间。例如，检错比特能够以与应用数据比特交错的方式而不是像惯例那样在发送的一组数据比特的末端来传送。在至少一个实施例中，线

编码器 106 使用 $NB/(N+2)B$ 线编码来对用于串行数据链路的数据流编码。此外,线编码器 106 能够用于在该已编码数据流内嵌入物理接口 (“PI”) 纠错比特而不影响经由物理介质 110 传递应用数据比特的速率。有利的是,物理接口 102 和 122 能够在物理层 (或 “PHY”) 处完整地或部分地实现低级检错和 / 或纠错而无需设备 101 和 121 解决这些差错。由此,PI 纠错信息可以连同应用数据比特一并发送以便对设备 101 和 121 的操作是透明的。当然,用于设备 101 和 121 的检错和 / 或纠错可以由其他差错恢复技术在物理接口 102 和 122 之外的电路和 / 或层处补充。由此,应用数据比特可以包括用于较高层 (“UL”) 差错恢复机制的较高层检错比特。因为检错和 / 或纠错是在物理层处执行的,所以检错能够有利地以比在物理接口 102 和 122 之外执行的情况下更快的速度来执行。

[0030] 图 1B 示出根据本发明一个或多个实施例的被实现来提供物理层而非数据链路层处的检错的图 1A 所示的差错恢复模块 104 和 124。国际标准化组织 (“ISO”) 的开放系统互连参考模型 (“OSI 模型”) 描述了以下的功能:物理层 (例如,低级层 162) 以及包括数据链路层 176 在内的其它较高层 160。图 1B 示出了用于设备 101 的 OSI 模型 150 和用于设备 121 的 OSI 模型 152。更具体地,OSI 模型 150 和 152 中的每一个都包括应用层 170、表示层 172、网络层 174、数据链路层 176 和物理层 178 中的一层或多层,所有这些层都有公知的功能,因而无需在此详细讨论。根据 OSI 模型 150,发送 IC 或设备 101 (即,“发射机”) 的数据链路层 176 一般在由低级层 162 中的线编码器编码之前生成高级检错码,而接收 IC 或设备 121 (即,“接收机”) 的数据链路层 176 通常在由低级层 162 中的线解码器解码了经线编码的比特之后检测并纠正差错。更具体地,接收数据链路层 176 通常将已解码数据比特的比特流组装成帧并在随后基于该帧的内容计算高级检错码,诸如 CRC 校验和。在一个示例中,成帧器 (“FR”) 193 将邻接的各组比特组装成帧。更具体地,成帧器 193 在该帧的一字段中建立帧校验序列 (“FCS”) 码。FCS 用于使用例如循环冗余校验 (“CRC”) 校验和来检测差错。FCS 通常与 CRC 进行比较以确定是否有差错存在。为了说明,考虑以太网帧包括首部比特以及多达 1500 字节的有效负载,并将 CRC 校验和作为 32 个邻接的比特追加到该有效负载的末尾。通常,CRC 校验和在物理层 178 之上的一个或多个较高层 160 中追加。如图所示,物理层 178 包括在至少某些实施例中允许低级层能够在不考虑较高层 160 中所采用的任何高级差错恢复机制的情况下完整地执行低级检错和 / 或纠错 (“差错恢复”) 的低级差错恢复功能 (“Err Rec”) 190 和 192。在至少一个实施例中,低级差错恢复功能 (“Err Rec”) 190 和 192 在应用数据比特被临时存入缓冲器 (例如,FIFO 缓冲器) 之前或同时操作以完整地或部分地确定是否有差错出现。如果没有差错存在,则应用数据比特可以被释放至较高层以组装成比特子集。比特子集能够表示以太网帧、用于存储器设备的地址等等。在一具体实施例中,物理层 178 和数据链路层 176 之间的分界是应用数据比特退出缓冲器至较高层以便组装的点。

[0031] 无论是哪一层实现了常规的检错和纠错,传统的高级检错码通常以类似于有效负载的方式来发送。但是根据本发明的各个实施例,低级检错码和有效负载可以被不同地,诸如并行地线解码。如在此使用的,术语有效负载指的是表示由应用层使用的程序指令和 / 或程序数据的比特 (即,应用数据比特) 的集合。应用数据比特组成应用数据,并且因此不含有用于控制数据比特传送的控制码。相反,检错码是控制码,因为它们用于控制数据比特传输的可靠性。所以,根据各个实施例,应用数据比特和检错比特两者的部分被同时或几乎

同时线解码（和线编码）（尤其是在应用数据比特和检错比特两者的部分被一起编码以形成码字的情况下）。在一个实施例中，线解码器用于翻译码字以形成能够同时包括应用数据比特和物理接口（“PI”）检错比特两者的已解码数据比特。注意，传统的高级检错码按邻接比特组（例如，用于以太网帧的 CRC 校验和比特）发送并且通常以类似应用数据比特的方式通过线解码器至较高层。因此，常规的高级检错技术通常消耗计算资源以对用于较高层处的差错恢复的控制码进行线解码，而根据本发明的至少一个具体实施例，低级检错码无需同物理层外的其他地方进行通信。

[0032] 图 2A 是根据本发明一个实施例的使用嵌入的时钟和时钟恢复来实现提供物理接口处的可靠数据传送的差错恢复模块的电路的框图。在所示的示例中，电子设备 200 包括分别由 RX 差错恢复模块（“ERM”）212 和 RX 差错恢复模块（“ERM”）232 组成的物理接口 210 和 230。注意，虽然图 2A 省略了包括 TX 差错恢复模块的物理接口，但是本领域普通技术人员应该认识到，也能够实现这一 TX 差错恢复模块，但带有相反的功能。在某些情况下，物理接口 210 和 230 在例如输入 / 输出（“I/O”）环 202 中形成为电路。I/O 环 202 包括用于将诸如接合线等导线耦合至诸如将信号发送给核心电路 204 的集成电路之类的外部信号源（未示出）的输入和输出端 201。RX 差错恢复模块 212 和 RX 差错恢复模块 232 各自耦合至核心电路 204 以向其传递信号。如某些实施例中所使用的，术语核心电路指的是执行一种或多种核心功能并能被配置成经由物理接口 210 和 230 接收输入或发送输出的任何种类的电路。在某些实施例中，核心电路 204 可由知识产权（“IP”）核心形成，该知识产权（“IP”）核心用硬件描述语言（“HDL”）码（例如，VHDL 或 Verilog）来表示，或者被表示为网表（netlist）文件。因此，核心电路 204 是便携的，并且能被容易地插入到大多数从由物理接口 210 和 230 提供的低级层检错和纠错中获益的设计中。作为一个示例，考虑核心电路 204 是任何电路，诸如动态随机存取存储器（“DRAM”）、微控制器或处理器电路、或者可以从物理接口处的检错和纠错的实现中获益的任何种类的电路。有利的是，低级检错和纠错以对核心电路 204 透明的方式操作（即，物理接口差错恢复无需核心电路 204 的资源来执行检错和 / 或纠错）。

[0033] 物理接口 210 是被配置成串行地将 $N+m$ 个已编码比特接收到线解码器检错器（“LD/ED”）214 的串行物理接口，该线解码器检错器被配置成对 $N+m$ 个已编码比特的部分或全部进行解码以形成 N 个已解码应用数据比特。值“ m ”表示已编码数据比特的位数与应用数据比特的位数之间的位数差。例如，8B/10B 线编码器的 m 是作为差值的 2。线解码器检错器 214 用于对已编码比特进行线解码，并在有 差错可测的情况下检测差错。如果线解码器检错器 214 检测到差错，则它指示纠错器（“EC”）216 采取恰当的差错恢复措施。在一个实施例中，纠错器 218 被配置成将差错指示信号 218 发送至一外部 IC 或设备以警告该外部 IC 或设备使其能够诸如通过向物理接口 210 重发该 $N+m$ 个已编码比特来解决该差错。有利的是，物理接口 210 和 230 提供用于核心电路 204 的检错和纠错而无需修改核心电路 204，由此保存了将检错或纠错集成到核心 204 中所需的工程资源。在另一个实施例中，纠错器 218 被配置成将差错指示信号 220 发送到核心电路 204 中以使其能够纠正该差错。在此情况下，核心电路 204 包括用于纠正任何所检测到差错的应用专用逻辑 244。有利的是，核心电路 204 中（或其他地方）的应用专用逻辑 244 的差错处理因而能够启用检错和纠错而无需发送 IC 或设备（未示出）帮助纠正差错。这就使电子设备 200 需要的信号导线和

/ 或管脚数最小,尤其是在它被密封在半导体封装中的情况下。在又一实施例中,物理接口 210 的纠错器 216 能够纠正差错而无需发送差错指示信号 218 或 220。例如,纠错器能够实现自动纠正差错的前向纠错技术。

[0034] 接着,考虑外部 IC 例如是 DRAM 控制器(未示出)而核心电路 204 是 DRAM 存储器的情况。随后,物理接口 230 可以提供一芯片对芯片接口,该接口在 DRAM 控制器和 DRAM 存储器(即,核心电路 204)之间交换经纠错的地址和数据而无需(在功能上或结构上)对其进行修改以实现检错和纠错。在某些实施例中,物理接口 210 和 230 形成于含有输入-输出(“I/O”)环 202 的第一衬底上。核心电路 204 形成于第二衬底上。如果第一和第二衬底是分开的,则物理接口 210 和 230 可与核心电路 204 分开封装。但如果它们形成于同一衬底上,则它们就能作为片上系统(“SOC”)的一部分形成并且能够用单个封装密封在一起。在另一实施例中,物理接口 230 是被配置成将 $N+m$ 个已编码比特接收到 RX 差错恢复模块 232 中并在随后将该 $N+m$ 个已编码比特的部分或全部解码以形成 N 个已解码应用数据比特的并行物理接口。图 2A 省略了用于 RX 差错恢复模块 232 的线解码器检错器和纠错器的细节以简化讨论。注意,虽然图 2A 描绘了在入站方向 287 上提供入站数据比特(即,朝向核心 204 的入站)的物理接口 210 和 230,但是这些相同的物理接口也能够出站方向 289 上提供来自核心 204 的出站数据比特传输(未示出)。注意,在图 2A 内示出的串行物理接口 210 和并行物理接口 230 都被配置成对入站数据比特进行以恢复嵌入其中的时钟等等。在其它实施例中,串行物理接口 210 或并行物理接口 230 或这两个接口都能被配置成接收外部时钟而不是嵌入的时钟。

[0035] 图 2B 是根据本发明一个实施例的使用外部时钟来实现提供物理接口处的可靠数据传送的差错恢复模块的图 2A 所示电路的另一框图。不同于图 2A 中的串行物理接口 210 或并行物理接口 230,图 2B 的电子设备 200 包括被配置成接收外部时钟(“Ext. CLK”)274 的串行物理接口 250。电子设备 200 还包括被配置成接收外部时钟(“Ext. CLK”)254 的并行物理接口 270。因为物理接口 250 和 270 都能够接收外部时钟信号,所以这些接口由于无需使用嵌入的计时技术而不需要包括时钟恢复电路。由此,在线解码器或线解码过程之后无需布置差错恢复模块 252 和 272。注意,图 2B 中的元件都能够具有与图 2A 中类似标号的元件等效的功能和/或结构。

[0036] 图 3 是示出根据本发明一个具体实施例的配置成检测并可任选地纠正差错的物理接口的框图。物理接口 300 包括物理层(“PHY”)线解码器 302 以及差错恢复模块 310,后者由检错比特提取器 312、检错器 314 和纠错器 316 组成。检错比特提取器 312 至少在功能上与 PHY 线解码器 302 的线解码过程协作,并且由此它在图 3 中被示为位于 PHY 线解码器 302 内。在此示例中,PHY 线解码器 302 至少被配置成接收比特流的 $N+m$ 个已编码比特(即,码元或码字)并对这些比特的全部或部分进行解码以形成 N 个已解码应用数据比特。例如,PHY 线解码器 302 能够用于接收 10、14、20、66 或 130 个已编码应用数据比特(或“ $N+2$ ”个比特),随后能够分别对这些比特解码以形成 8、12、18、64 或 128 个已解码应用数据比特(或“ N ”个比特)。这两个比特传统上用于至少时钟恢复和 DC 平衡。在各个实施例中,PHY 线解码器 302 能够用于接收任何数目的已编码数据比特并在随后将这些比特解码成任何其他数目的应用数据比特。例如,PHY 线解码器 302 能够将已编码数据的 80 个比特解码以形成 64 个已解码应用数据比特。

[0037] 在一具体实施例中, PHY 线解码器 302 将作为 $N+m$ 个比特的一个子集的 $N+m-1$ 个已编码比特解码, 以产生 N 个已解码应用数据比特和 E 个检错比特。随后, 检错比特提取器 312 出于低级检错的目的提取一个或多个物理接口检错比特。例如, 检错比特提取器 312 能够从 $N+m$ 的数量 (例如, 10 比特) 中提取单个比特以产生 $N+m-1$ 比特 (例如, 9 比特) 的已解码比特, 该已解码比特包括 N 个已解码应用数据比特和 E 个已解码检错比特。由此, PHY 线解码器 302 被配置成接收 $N+m$ 个比特并执行产生 N 个应用数据比特和至少一个检错比特的线解码。有利的是, PHY 线解码器 302 能够被实现为补充或代替常规的 10B/8B 解码器, 该解码器对已解码比特使用常用的 10 比特码元大小, 并且已解码应用比特具有 8 比特的比特大小。在本发明的各个实施例中, PHY 线解码器 302 检查第九个比特 (即, 在 10 个已编码比特和 8 个已解码应用数据比特之间的两个差值比特之一) 来检测差错。合适的 PHY 线解码器 302 可以是如在题为 “Method and Apparatus for Encoding or Decoding Data in accordance with an $NB/(N+1)B$ Block Code and Method for Determining such a Block Code” 的美国专利第 6,747,580 号中描述的 $N+1$ 比特/ N 比特解码器, 该专利全文出于全部目的合并在此作为参考。注意, 虽然图 3 描绘了 PHY 线解码器 302, 但是本领域普通技术人员应该理解, 可以构造将 N 个应用数据比特和 E 个检错比特编码成 $N+m$ 个已编码比特的 PHY 线编码器 (即, N 比特/ $N+m$ 比特编码器) 来以与图 3 和别处所述的相反的方式操作。

[0038] 在提取之后, 检错比特提取器 312 随后将物理接口 (“PI”) 检错比特 (“EDB”) 发送给检错器 314, 后者使用该比特来确定此 $N+m$ 个已编码数据比特是否包括一个或多个错误的比特。检错器 314 被配置成根据任何数量的检错技术和代码来检测差错。在一个实施例中, 检错器 314 被配置为偶数或奇数奇偶校验器, 其中物理接口检错比特是奇偶校验比特 (即, 偶数或奇数奇偶校验比特)。有利的是, 物理接口检错比特在 PHY 线解码器 302 处与正被解码的各应用数据比特的子集同时接收。这与将检错码追加至一组已编码数据比特的末端 (其中该组可具有远大于 $N+m$ 个比特的比特大小) 的常规检错技术相比, 减小了 PHY 线解码器 302 接收检错码所需的时间量。在另一个实施例中, 物理接口检错比特是 CRC 校验和的一部分 (例如, 1 比特)。在此情况下, 在发送物理接口 (未示出) 内的检错码生成器被配置成生成物理接口检错比特作为 CRC 校验和的一部分。如下在图 6 中讨论的那样, 检错码生成器 (或其等效方案) 能够将 CRC 校验和的比特提供给 PHY 线编码器 (未示出), 该 PHY 线编码器将物理接口检错比特插入到 N 个未编码应用数据比特中以产生 $N+2$ 个已编码数据比特。因此, 检错器 314 用于累积或收集来自已解码的 $N+m$ 个数据比特的每一子集的物理接口检错比特以重构 CRC 校验和作为检错码。例如, 考虑对于由 PHY 线解码器 302 解码的每组 10 个已编码比特而言, 提供 CRC 校验和的一个比特作为用于每组 8 个已解码应用数据比特的物理接口检错比特。如果实现了 16 比特的 CRC 校验和, 则对于每 16 组的 8 个已解码应用数据比特 (即, 对于每 128 个比特), 检错器 314 能够重构该 16 比特 CRC 校验和。随后, 检错器 314 从该 128 个比特中生成 CRC 校验和并将该 CRC 校验和与重构的检错码进行比较以确定是否已出现差错。检错器 314 能够实现其他检错技术, 诸如前向纠错。前向纠错技术的示例包括 Reed-Solomon 码、汉明码和 Bose-Chaudhuri-Hocquenghem (“BCH”) 码。

[0039] 一旦检错器 314 确定在数据比特传输期间已有差错出现, 它就用信号通知纠错器 316 这一差错已出现。在某些情况下, 纠错器 316 用于请求重发已对其检测到差错的已解码

应用数据比特。继续前一示例,如果 16 比特的 CRC 校验和比较指示在 128 个已解码应用数据比特中有差错存在,则纠错器 316 就请求发送物理接口重发这 128 个比特。在其它情况下,纠错器 316 能够激活应用专用电路来执行用户定义的差错处理。在至少一个情况中,纠错器 316 能够进行某种类别的默认纠错动作,诸如重新初始化相关联的 IC,诸如上述的核心电路。

[0040] 图 4 是示出根据本发明一个实施例的带有检错比特插入和提取的发射机中的线编码和接收机中的线解码的功能性框图。如图 400 所示,发射机物理接口 (“TX”) 410 包括 PHY 线编码器 412、检错码生成器 416、差错比特插入器 418、以及用于在例如检错码生成期间维持应用数据比特的可任选缓冲器 421。在此示例中,检错码生成器 416 基于缓冲器 421 中诸如 16 比特 CRC 校验和等应用数据比特来生成检错码。接着,差错比特插入器 418 从该 16 比特 CRC 校验和中选择至少一个检错比特 (“EDB”) 414 并随后将其插入来自缓冲器 421 的传出的 N 个应用数据比特的组以形成 9 个比特。随后,PHY 线编码器 412 将这 9 个比特编码成 10 个已编码比特 (或码元)。在某些实施例中,PHY 线编码器 412 以将异步时钟嵌入到 10 个已编码比特中并对这些相同的已编码比特维持零 DC 偏移和 / 或最优频谱特性的方式来对检错比特 414 编码。在一具体实施例中,PHY 线编码器 412 根据在美国专利 6,747,580 中阐明的编码技术来操作,由此 PHY 线编码器 412 把 N 比特的应用数据编码成 N+1 个已编码比特。例如,考虑 N 是数字 9。由此,PHY 线编码器 412 能够将 8 个应用数据比特和 1 个差错比特 (即,9 个比特) 编码成 10 个已编码比特而不会影响与 8B/10B 编码方案相关联的数据速率。注意,在图 4 中,N 可以表示任何非负整数。

[0041] 发射机物理接口 410 随后经由物理介质 420 将已编码比特发送至接收物理接口 (“RX”) 440 的差错比特提取器 422。接收物理接口 (“RX”) 440 包括 PHY 线解码器 428、差错比特提取器 422、检错码重构器 426、检错器 430、比较器 434 以及能够维持已解码应用数据比特对未检测到差错的待决确认的缓冲器 431。PHY 线解码器 428 将 10 个已编码数据比特解码成包括 8 个已解码应用数据比特和 1 个已解码检错比特 (“EDB”) 424 在内的 9 个已解码比特。在各实施例中,PHY 线解码器 428 包括用已编码应用数据比特来恢复经由物理介质 420 发送的嵌入的时钟的时钟数据恢复电路 (未示出)。差错比特提取器 422 从 9 个已解码比特中提取检错比特 424 并将其提供给累积检错比特以及其他物理接口检错比特的检错码重构器 426。接着,检错码重构器 426 重构最初由检错码生成器 416 生成的检错码。接着,检错器 430 基于缓冲器 431 内的一组 N 个已解码应用数据比特来生成 CRC 校验和 432。随后,比较器 434 可用于比较 CRC 校验和 432 是否与检错码 426 匹配。如果匹配,就没有差错;如果不匹配,就有差错存在。

[0042] 图 5 描绘了根据本发明一个实施例的用于将一组数据比特作为一单元来线编码的流程的一个示例。在某些实现中,发送物理接口能够如流程 550 所示发送数据,由此数据比特组 560 就能够被称为一单元 (或者一帧等等)。单元 560 例如可以包括任何数目的控制比特 561 (例如,x 个比特) 以及各自为 64 比特的两个应用数据字 563。位于物理层 PHY 中线编码器之上的较高层设备 (未示出) 能够被配置成将单元 560 分为离散的未编码 (即,预编码或未编码) 比特组 562 以供 PHY 线编码器使用。每组 562 都具有 N 个比特 (例如,8 个比特)。检错码生成器 (未示出) 基于单元 560 生成检错码 570 以形成检错码作为例如 12 比特 CRC。PHY 线编码器随后能够将物理接口检错比特 (“EDB”) 572 插入到位于组

562 内或附近的未编码比特流中以形成 $N+E$ 个比特的组 574 (例如, N 可以是 8 个比特, 而 E 可以是 1 个比特)。PHY 线编码器随后能够将每个 $N+E$ 个比特的组 574 翻译成 10 比特码字 580 (例如, 已编码数据比特) 用于经由诸如串行数据链路等数据链路传输。虽然未示出, 但是在接收物理接口处的 PHY 线解码器能够以类似但相反的方式操作。

[0043] 图 6 是示出根据本发明至少一个具体实施例的通过至少重发数据比特来提供检错和纠错的物理接口的框图 600。物理接口 602 和 652 通过高速串行通信链路 650 来提供物理连接。物理接口 602 包括诸如先进先出缓冲器 (“FIFO”) 604 之类的用于存储待发送数据比特的存储。FIFO 604 维持所存储的数据以便例如经由一组数据比特来计算检错码。在某些情况下, FIFO 604 存储用于在差错出现时重发的数据比特。物理接口 602 还包括 PHY 线编码器 (“PHY 编码器”) 610、用于串行化并行数据比特的串行化器 (“SER”) 612、检错码生成器 616、以及发射机 (“TX”) 纠错器 618。基于特定时刻 FIFO 604 内的数据比特组的内容, 检错码生成器 616 生成检错码, 诸如 CRC 校验和。检错码插入器 614 分解该 CRC 校验和并将至少一个比特 (例如, 一个 E 比特) 作为物理接口检错比特 (“EDB”) 插入到 N 个未编码比特 606。在操作中, PHY 线编码器 610 对 $N+E$ 个比特进行编码以形成 $N+2$ 个已编码数据比特 608。串行化器 612 随后在经由链路 650 传输 $N+2$ 个数据比特 608 之前对其进行串行化。接收物理接口 652 包括将 $N+2$ 个数据比特 608 转换成并行数据比特的解串行化器 654。PHY 线解码器 (“PHY 解码器”) 656 对该已编码比特流进行解码并将已解码数据比特存储储在 FIFO 658 内。检错比特 (“EDB”) 提取器 660 提取至少一个比特作为物理接口检错比特 (“EDB”) 662 并将其发送至检错器 666。当差错码重构完成时, 检错器 666 就用于确定是否已有差错发生。如果检错器 666 没有检测到差错, 则它指示 FIFO 658 释放已解码数据比特以供进一步处理。但如果检错器 666 检测到差错, 则它向接收机 (“RX”) 纠错器 668 指示差错的存在。在一实例中, RX 纠错器 668 发送请求 669 以指示 TX 纠错器 618 经由链路 650 重发该内容或其一部分。在另一实例中, RX 纠错器 668 发送请求 671 给应用专用电路 (未示出) 来处理该差错。在又一实例中, 接收机纠错器 668 可以使用前向纠错技术或类似的技术来纠正错误。

[0044] 图 7 示出根据本发明至少一个具体实施例的用于在没有线解码的情况下实现检错和差错的另一接收机。在接收机 (“RX”) 700 中, 发送物理接口 (未示出) 经由链路 702 发送数据比特。差错比特提取器 704 从该数据比特中提取检错数据比特 (“EDB”) 并收集它们来重构检错码 708。与图 4 中框图 400 不同, 接收机 700 不像接收机 440 那样使用 PHY 线解码器。由此, 接收机 700 无需从嵌入的时钟中恢复时钟信号。如图所示, 接收机 700 被配置成从例如发送设备 (未示出) 接收外部时钟 701。发送设备在经由链路 702 发送应用数据比特之前将检错比特追加至该应用数据比特。接收机 700 包括用于基于 FIFO 720 内的一组应用数据比特来计算检错码, 或在此情况下的 CRC 校验和 722 的检错器 780。(例如, 检错器 720 中的) 比较器 724 随后确定是否已出现传输差错。如果存在差错, 则纠错器 780 就能通过例如请求发送设备重发该数据比特或用信号通知应用专用逻辑它要纠正该错误来采取纠正性动作。

[0045] 图 8 描绘了根据本发明一个实施例的纠错器的框图。纠错器 800 在此示例中包括纠错器控制器 822, 它控制能够解决差错的一种或多种功能, 其中特定功能由用户为特定应用编程。例如, 视频存储器应用内像素数据的丢失不像其他应用中的数据丢失那样关键。由

此,纠错器控制器 822 可以选择以下模块中的任一个来实现纠错。重发请求模块 824 生成送至发送物理接口的请求,以在检测到差错时重发数据比特。应用专用恢复模块 814 用信号通知应用专用电路发信号启动其由设计人员规定的自定义差错处理例程。但是纠错器控制器 822 能够选择一默认的差错恢复方案,诸如在检测到差错时重新初始化一 IC。这会引引起两个物理接口都重新初始化到已知的状态。在各个另选实施例中,纠错器 800 能够包括频率选择器 830、幅度选择器 840 和编码选择器 850。如果物理接口之间的通信链路上的信号摇晃(falter),则频率选择器 830 能够调整经由链路的数据传输速率以减低差错率。或者,幅度选择器 840 能够调整信号幅度直到差错率被削减。编码选择器 850 可用于改变线编码,例如从 18B/20B 变为 8B/10B 来减少检测差错的时间。例如,考虑为差错恢复实现 32 比特的 CRC 且一次发送 CRC 的一个比特。则对于 18B/20B 而言,需要 576 个应用数据比特(8 比特)来形成 32 比特的 CRC(即, $8 \times 32 = 576$ 比特),而对于 8B/10B 则需要 256 个应用数据比特。由此,编码选择器 850 能够提高经由通信信道发送差错码(例如,CRC)的速率。纠错器控制器 822 能够独立地或组合地选择这些选择器。

[0046] 以上描述出于解释的目的使用了专门的术语来提供对本发明的全面理解。然而本领域普通技术人员显而易见的是,无需这些具体细节也能实践本发明。实际上,这一描述不应被理解为将本发明的任何特征或方面限于任何实施例;而是一个实施例中的特征和方面可被容易地与其他实施例互换。例如,虽然各实施例的以上描述涉及物理层线解码器,但是该讨论也适用于物理层线编码器以及所有类型的通信链路,以及诸如千兆比特以太网、HDMI、TMDS、DVI 和 SATA 之类的许多类型的通信协议。同样,各实施例也适用于电子电子设备之间的点对点通信以及一对多广播。虽然上述讨论中的一部分涉及串行数据通信,但是本发明的各实施例也能够应用于并行数据通信。

[0047] 于是,本发明的具体实施例的以上描述仅出于说明和描述的目的。不应该将本发明穷尽或限制在公开的精确形式上;显然,根据以上教示,许多修改和变化都是可能的。对各实施例的选择和描述是为了最好地解释本发明的原理及其实际应用;并且由此使得本领域普通技术人员能够如对所构想的特定用途合适地来最好地利用带各种修改的本发明和各实施例。值得注意的是,并非在此描述的每一益处都必须由本发明的每一个实施例来实现;而是任何具体实施例能够提供上述的一个或多个优点。所附权利要求书及其等效技术方案旨在定义本发明的范围。

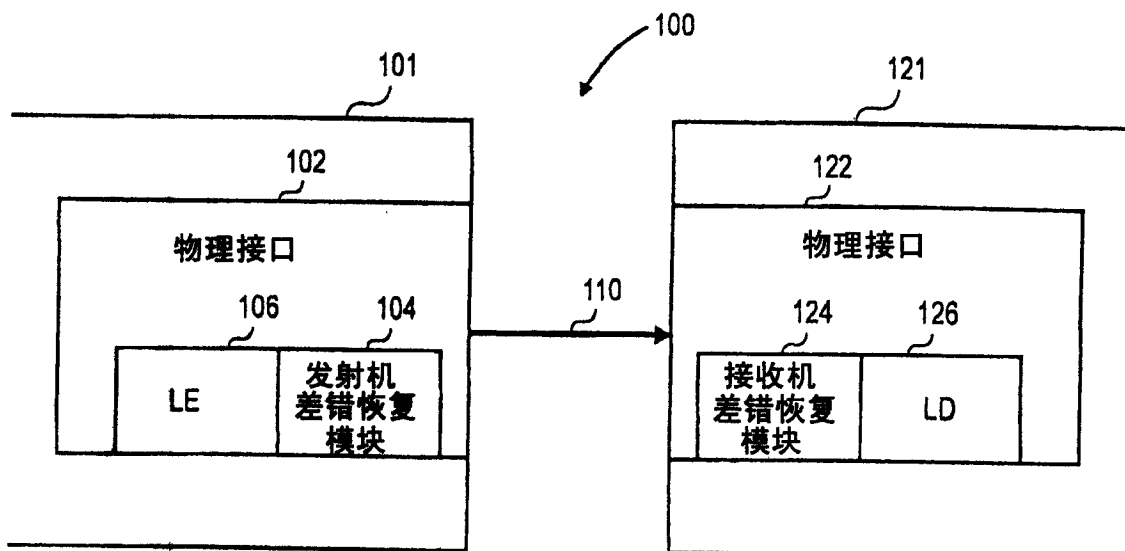


图 1A

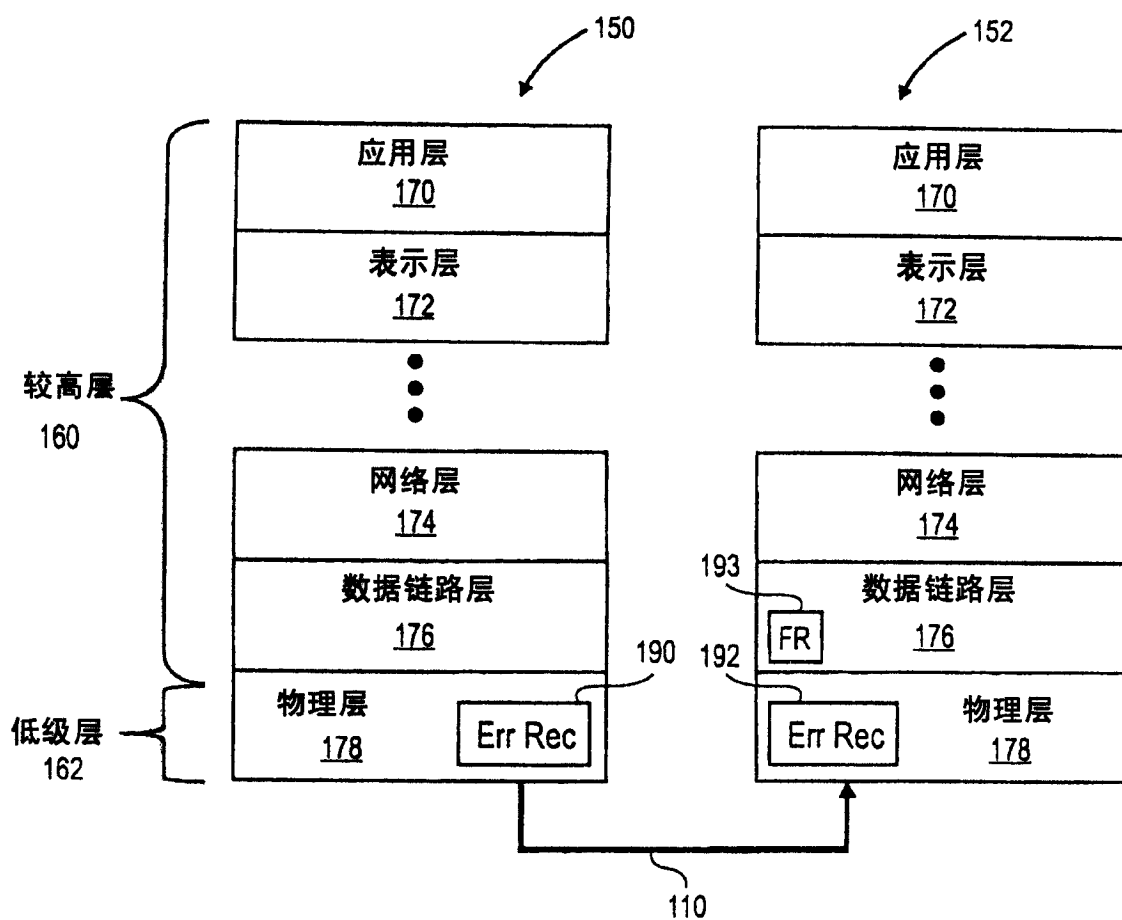


图 1B

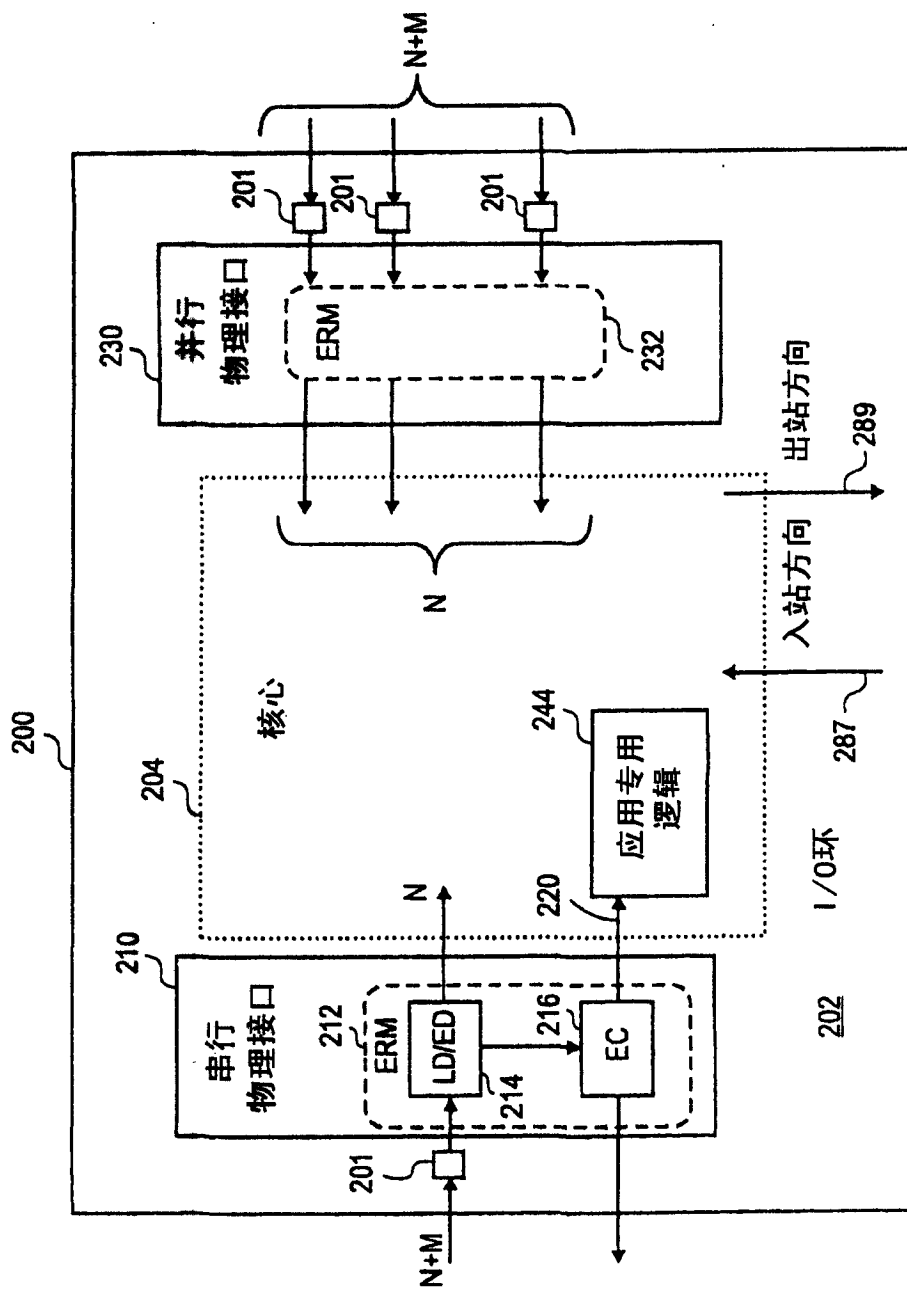


图 2A

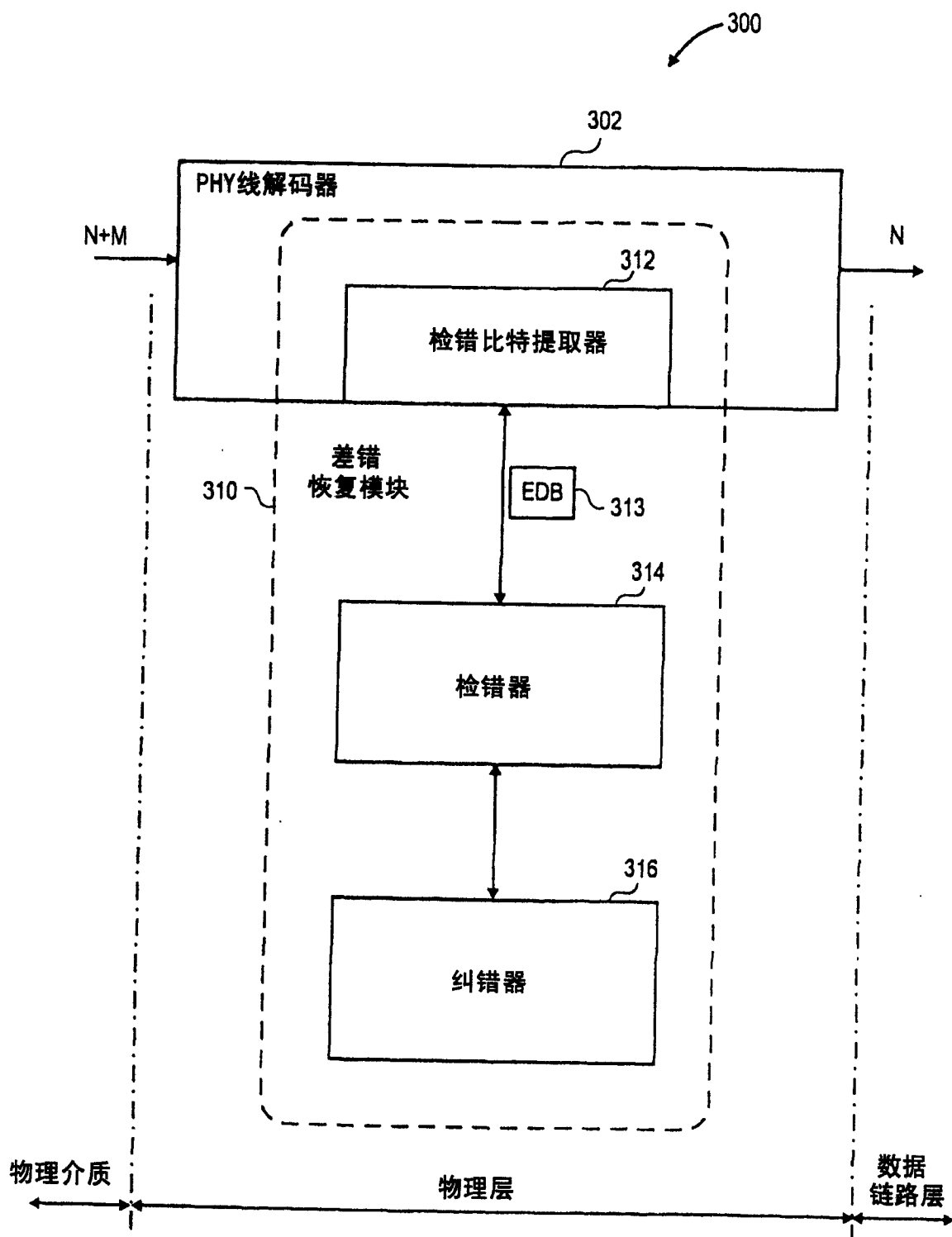


图 3

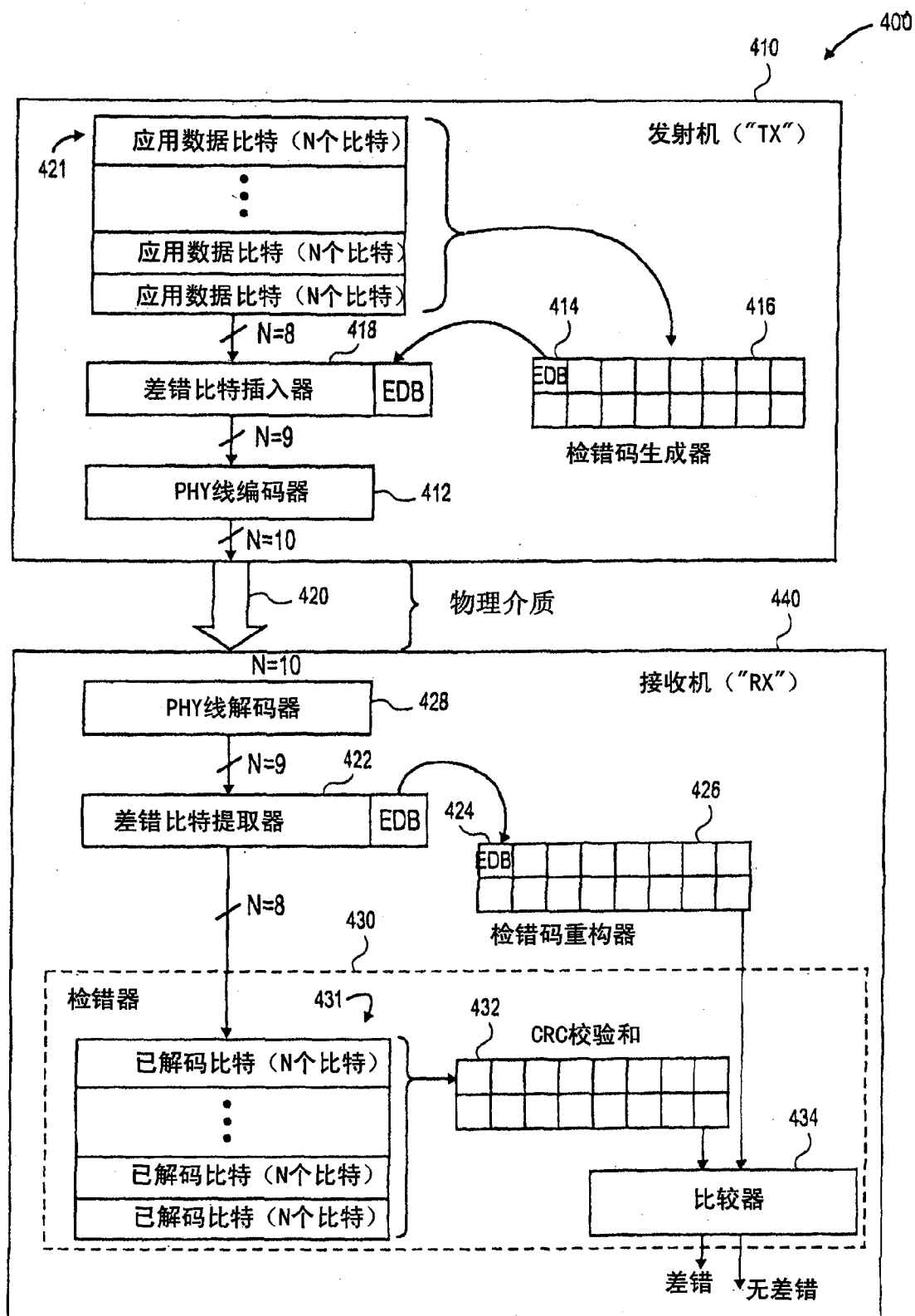


图 4

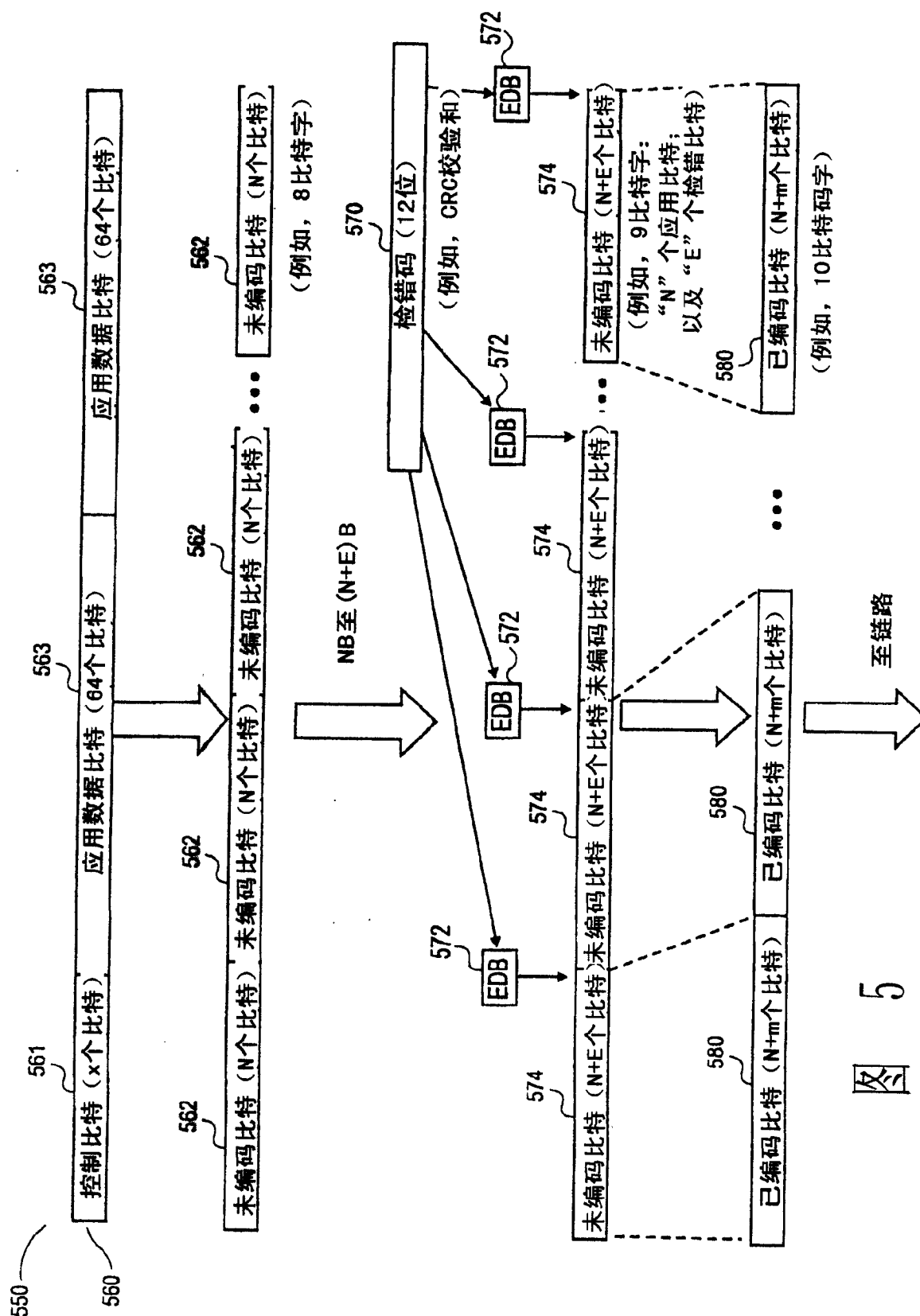


图 5

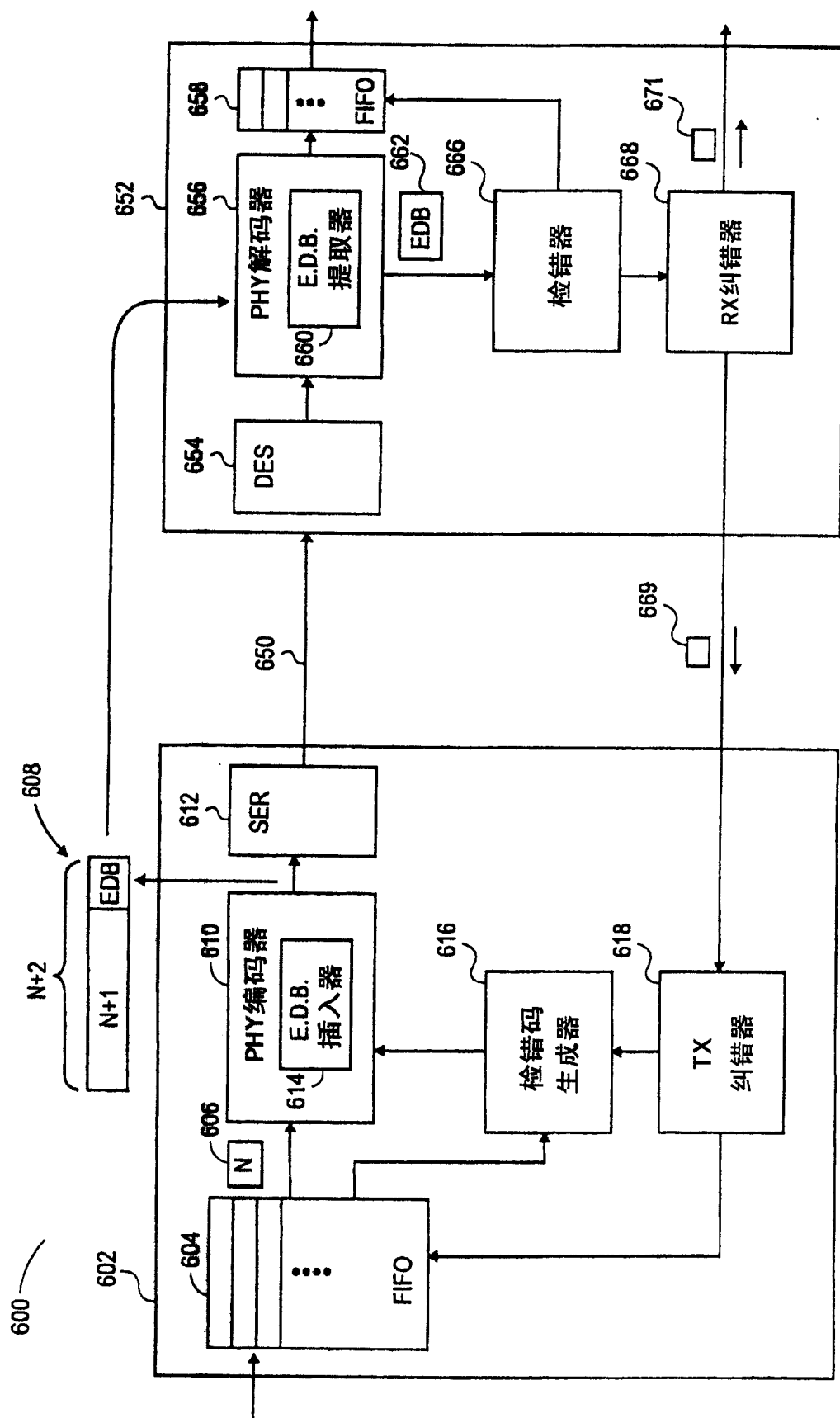


图 6

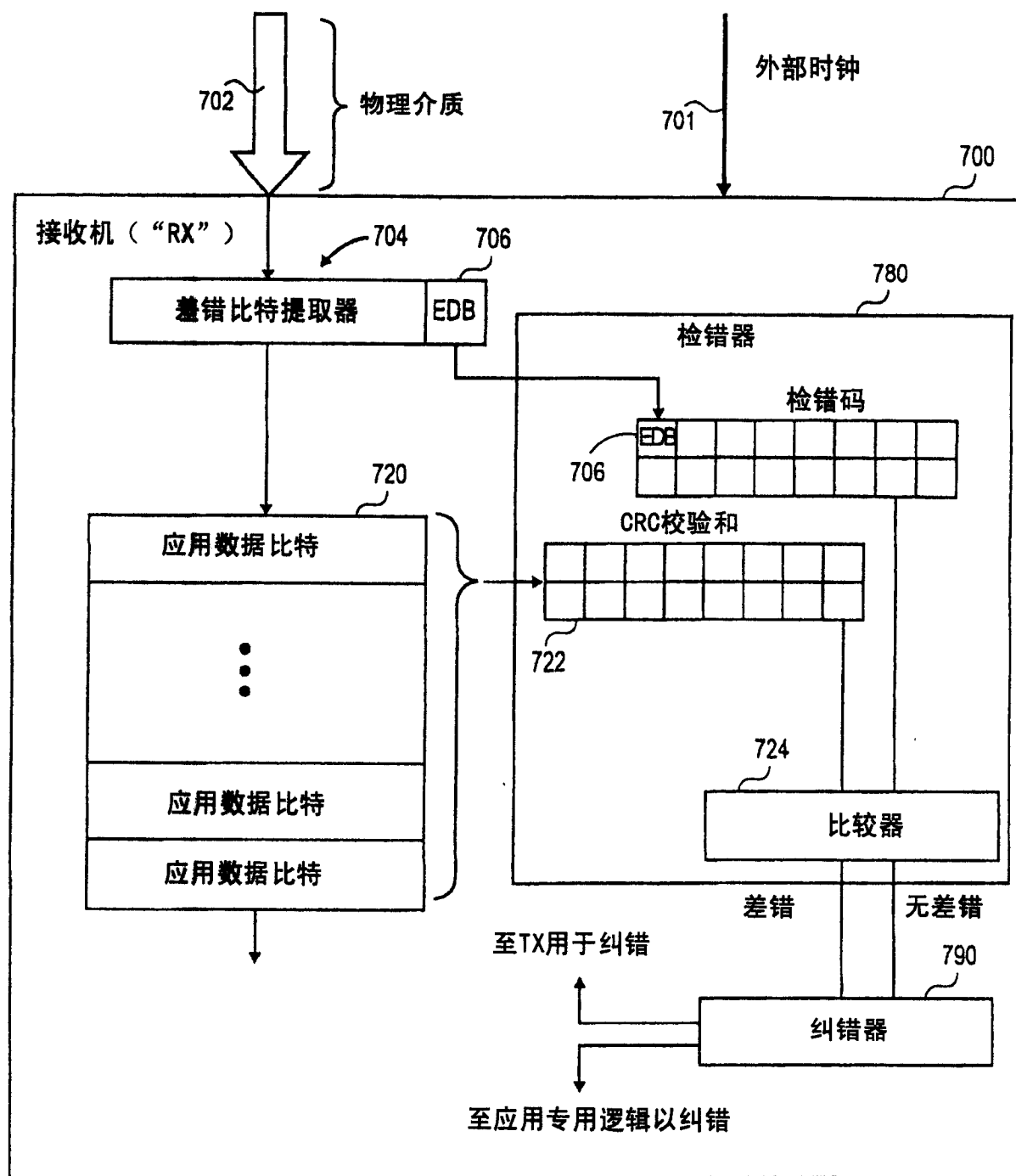


图 7

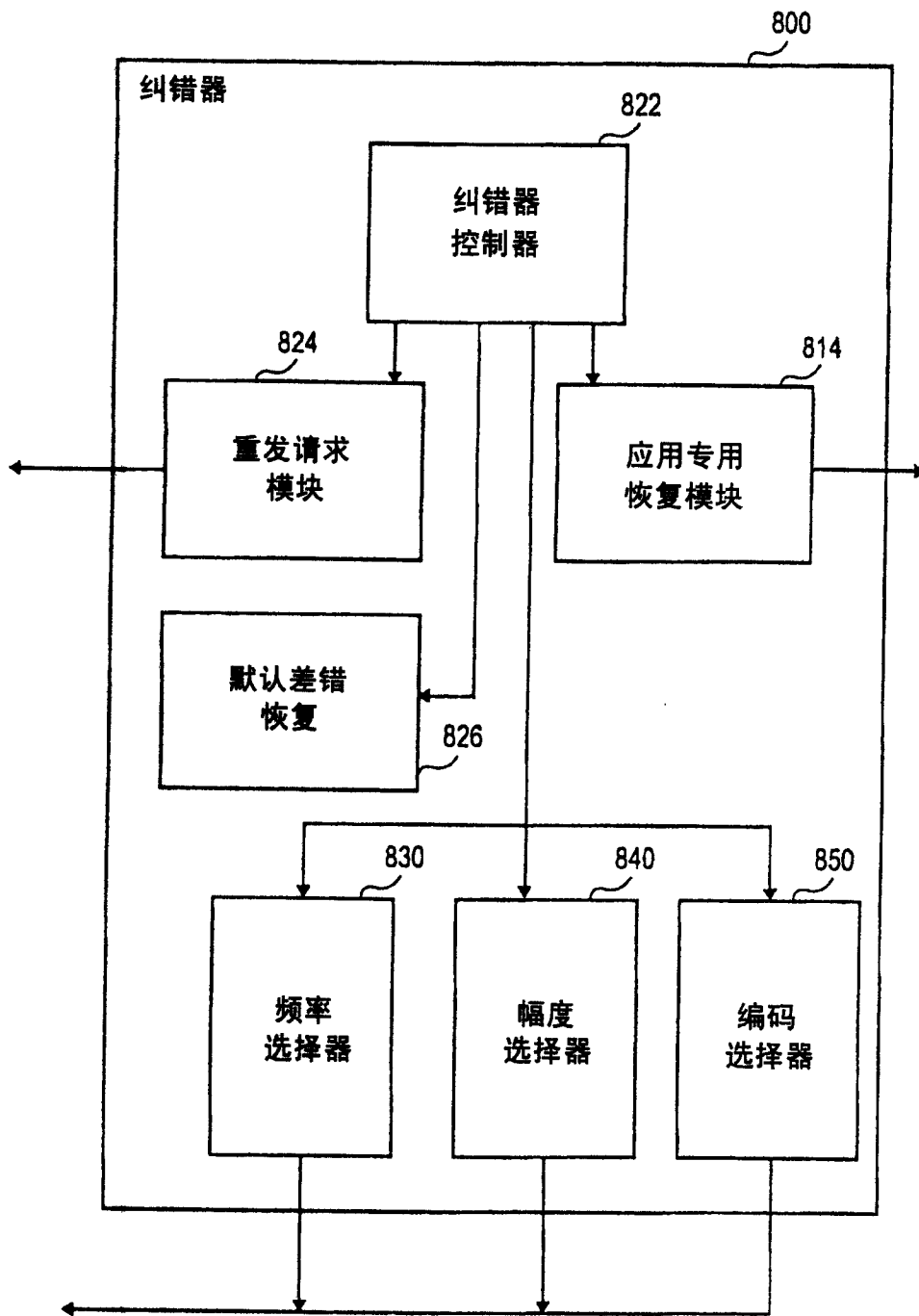


图 8