

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl.<sup>6</sup>  
H01L 21/31

(45) 공고일자 1999년06월 15일  
(11) 등록번호 10-0199348  
(24) 등록일자 1999년03월04일

(21) 출원번호 10-1995-0055136 (65) 공개번호 특1997-0052830  
(22) 출원일자 1995년12월23일 (43) 공개일자 1997년07월29일

(73) 특허권자 현대전자산업주식회사 김영환  
경기도 이천시 부발읍 아미리 산 136-1  
(72) 발명자 신동선  
경기도 이천군 부발읍 아미리 산 136-1  
(74) 대리인 신영무, 최승민

심사관 : 신창우

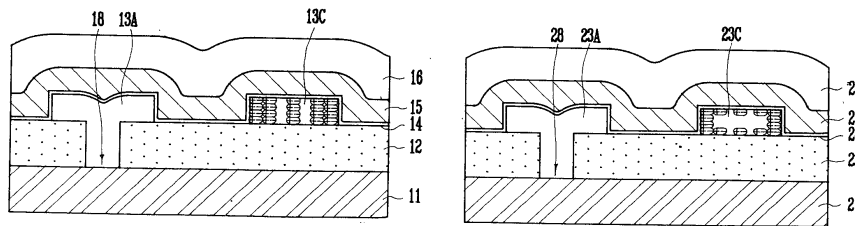
(54) 반도체 소자의 제조방법

요약

본 발명은 다중 금속배선을 사용하는 고집적 반도체 소자에서 하층 금속배선을 형성한 후, 금속층간 절연막의 표면 피탄화를 실현하기 위해 사용되는  $O_3$ -TEOS 실리콘 산화막을 증착하기 전에 실리콘 기판과 접촉되지 않은 하층 금속배선의 양전하 상태를 전기적으로 중성화시킨다.

따라서, 본 발명은 양전하가 대전된 하층 금속배선을 전기적으로 중성화시키므로 균일한 두께의  $O_3$ -TEOS 실리콘 산화막상에 형성되는 상층 금속배선이 균일한 두께로 형성되어 상층 금속배선의 단선 또는 선이 가늘게 되는 현상을 방지할 수 있어 소자의 신뢰성을 향상시킬 뿐만 아니라, 보다 가는 선폭이 요구되는 초고집적 소자의 실현을 가능하게 한다.

대표도



명세서

[발명의 명칭]

반도체 소자의 제조방법

[도면의 간단한 설명]

제1a 내지 1c도는 종래 반도체 소자의 제조방법을 설명하기 위해 도시한 소자의 단면도.

제2a 내지 2c도는 본 발명의 제1 실시예에 의한 반도체 소자의 제조방법을 설명하기 위해 도시한 소자의 단면도.

제3a 내지 3c도는 본 발명의 제2 실시예에 의한 반도체 소자의 제조방법을 설명하기 위해 도시한 소자의 단면도.

\* 도면의 주요부분에 대한 부호의 설명

1, 11, 21 : 실리콘 기판  
3A, 13A, 23A : 제1 하층 금속배선  
13C, 23C : 제3 하층 금속배선  
5, 15, 25 :  $O_3$ -TEOS 실리콘 산화막  
8, 18, 28 : 콘택홀

2, 12, 22 : 층간 절연막  
3B, 13B, 23B : 제2 하층 금속배선  
4, 14, 24 : 제1 금속층간 절연막  
6, 16, 26 : 상층 금속배선  
19, 29 : 전자빔

## [발명의 상세한 설명]

본 발명은 반도체 소자의 제조방법에 관한 것으로, 특히 다중(multi-level) 금속배선을 사용하는 고집적 반도체 소자에서, 금속층간 절연막의 표면 평탄화를 실현하기 위해 사용되는  $O_3$ -TEOS 실리콘 산화막( $O_3$ 가스와 TEOS(Tetra-Ethyl-Ortho-Silicate or Tetra-Ethyl-Oxy-Silane)액화가스를 이용하여 형성됨)의 스텝커버리지(step-coverage)를 향상시킬 수 있는 반도체 소자의 제조방법에 관한 것이다.

다중 금속배선을 사용하는 고집적 반도체 소자에서, 금속층간 절연막의 평탄화를 실현하기 위해 SOG(Spin On Glass)막이나  $O_3$ -TEOS 실리콘 산화막이 주로 사용되고 있다. SOG막은 용액을 도포하는 방식으로 형성되기 때문에 갭 필링(gap filling)특성과 표면 평탄화 특성이 우수하다. 그러나 SOG막은 막자체내에 함유된 다량의 수분과 강한 친수성으로 인하여 반도체 소자의 신뢰성을 저하시키는 문제가 있다. 즉, SOG막내에 함유된 수분은 공정이 진행되는 동안 외부확산 되면서 소자의 전기적 특성을 저하시키거나 보호막의 깨짐 질 현상을 유발시키는 문제로 인하여 반도체 소자의 신뢰성을 저하시킨다. 한편,  $O_3$ -TEOS 실리콘 산화막은 막자체내에 수분의 함유량이 현저히 적고, 친수성이 약하기 때문에 수분으로 인한 문제점을 극복할 수 있으나, 스텝커버리지가 나쁜 단점이 있다.

제1a 내지 1c도는 다중 금속배선을 사용하는 반도체 소자에서 금속층간 절연막의 평탄화를 실현하기 위해 종래의 방법으로  $O_3$ -TEOS 실리콘 산화막을 형성할 경우에 발생하는 문제점을 설명하기 위해 도시한 소자의 단면도이다.

제2a도를 참조하면, 층간 절연막(2)은 실리콘 기판(1)상에 형성된다. 실리콘 기판(1)의 표면 일부가 노출될 때까지 층간 절연막(2)의 일부분을 식각함에 의해 콘택홀(8)이 형성된다. 콘택홀(8)을 포함한 층간 절연막(2)상에 금속층을 형성한 후, 금속배선 마스크를 사용한 플라즈마 식각방법으로 금속층의 일부분을 식각함에 의해 제1 및 2 하층(bottom level) 금속배선(3A 및 3B)이 형성된다. 제1 하층 금속배선(3A)은 콘택홀(8)을 통해 실리콘 기판(1)과 접속된 경우를 나타내고, 제2 하층 금속배선(3B)은 실리콘 기판(1)과 접속되지 않은 경우를 나타내고 있다. 그런데, 제1 및 2 하층 금속배선(3A 및 3B) 형성을 위한 플라즈마 식각방법은 실리콘 기판(1)을 접지한 상태로 실시되기 때문에, 실리콘 기판(1)에 접속된 제1 하층 금속배선(3A)은 플라즈마 이온에 의해 양전하의 대전이 이루어지지 않으며, 실리콘 기판(1)에 접속되지 않은 제2 하층 금속배선(3B)은 플라즈마 이온에 의해 양전하의 대전이 이루어지며, 이 대전된 양전하는 동전위면 분포를 이루기 위해 제2 하층 금속배선(3B)의 모서리 부분에 집중하게 된다.

제1b도는 참조하면, 제1 금속층간 절연막(4)은 제1 및 2 하층금속배선(3A 및 3B)를 포함한 층간 절연막(2)상에 형성된다.  $O_3$ -TEOS 실리콘 산화막(5)은 오존( $O_3$ )가스와 TEOS액화가스를 반응시켜 생성되는  $O_3$ -TEOS 실리콘 산화물이 증착됨에 의해 형성되는데,  $O_3$ -TEOS 실리콘 산화물의 분자들은 음전하를 띄게 되므로 양전하가 대전된 제2 하층 금속배선(3B)의 모서리 부분으로 보다 많이 끌리게 되어 제2 하층 금속배선(3B)의 모서리 부분이 중심 부분보다 더 두껍게 증착되는 현상이 나타나게 된다. 이러한 현상으로 인하여 제2 하층 금속배선(3B)상에 형성되는  $O_3$ -TEOS 실리콘 산화막(5)은 중착 두께의 불균일로 인하여 표면 평탄성이 저하되고 네가티브 기울기(negative slope)가 생기게 된다.

제1c도를 참조하면, 상층(top level) 금속배선(6)은  $O_3$ -TEOS 실리콘 산화막(5)상에 형성된다.  $O_3$ -TEOS 실리콘 산화막(5)이 제2 하층 금속배선(3B)의 모서리 부분에서 다른 부분보다 더 두껍게 형성되므로, 이로 인하여 상층 금속배선(6)은 불균일하게 증착되어 단선부분(7A)이나 선이 가늘어지는 부분(7B) 생기게 된다.

상술한 바와같이 종래의 방법으로  $O_3$ -TEOS 실리콘 산화막을 형성할 경우 양전하가 대전된 하층 금속배선의 모서리 부분에서  $O_3$ -TEOS 실리콘 산화막이 두껍게 형성되는 스텝커버리지 불량으로 인하여 상층 금속배선의 단선이나 선이 가늘어지는 현상이 발생되어 소자의 신뢰성을 저하시키게 된다.

따라서, 본 발명은 금속층간 절연막의 표면 평탄화를 실현하기 위해 사용되는  $O_3$ -TEOS 실리콘 산화막의 스텝커버리지를 향상시킬 수 있는 반도체 소자의 제조방법을 제공함에 그 목적이 있다.

이러한 목적을 달성하기 위한 본 발명은 금속배선을 형성한 후, 금속층간 절연막의 평탄화막으로  $O_3$ -TEOS 실리콘 산화막을 형성하기 전에 전자빔을 조사하여 상기 금속배선 내의 전하 분포를 전기적으로 중성화시키는 것을 특징으로 한다.

이하, 본 발명을 첨부된 도면을 참조하여 상세히 설명하기로 한다.

제2a 내지 2c도는 본 발명의 제1 실시예에 의한 반도체 소자의 제조방법을 설명하기 위해 도시한 소자의 단면도이다.

제2a도를 참조하면, 층간 절연막(12)은 실리콘 기판(11)상에 형성된다. 실리콘 기판(11)의 표면 일부가 노출될 때까지 층간 절연막(12)의 일부분을 식각함에 의해 콘택홀(18)이 형성된다. 콘택홀(18)을 포함한 층간 절연막(12)상에 금속층을 형성한 후, 금속배선 마스크를 사용한 플라즈마 식각방법으로 금속층의 일부분을 식각함에 의해 제1 및 2 하층(bottom level) 금속배선(13A 및 13B)이 형성된다.

상기에서, 제1 하층 금속배선(13A)은 콘택홀(18)을 통해 실리콘 기판(11)과 접속되지 않은 경우를 나타내고, 제2하층 금속배선(13B)은 실리콘 기판(11)과 접속되지 않은 경우를 나타내고 있다. 그런데, 제1 및 2 하층 금속배선(13A 및 13B) 형성을 위한 플라즈마 식각방법은 실리콘 기판(11)을 접지한 상태로 실시되기 때문에, 실리콘 기판(11)에 접속된 제1 하층 금속배선(13A)은 플라즈마 이온에 의해 양전하의 대전이 이루어지지 않으며, 실리콘 기판(11)에 접속되지 않은 제2 하층 금속배선(13B)은 플라즈마 이온에 의해 양전하의 대전이 이루어지며, 이 대전된 양전하는 등전위면 분포를 이루기 위해 제2 하층 금속배선(13B)의 모서리 부분에 집중하게 된다.

제2b도를 참조하면, 제1 및 2 하층 금속배선(13A 및 13B)이 형성된 상태에서 전자빔(19)을 조사하므로,

이로 인하여 양전하가 대전된 제2 하층 금속배선(13B)이 전자빔(19)에 의해 전기적으로 중성화된 제3 하층 금속배선(13C)으로 변하게 된다.

상기에서, 전자빔(19)은 원료가스를 방전 이온화 시키고 양의 고전압으로 추출하여 조사하게 되며, 조사 시 실리콘 기판(11)은 접지 시킨다. 실리콘 기판(11)의 접지로 실리콘 기판(11)과 접속된 제1 하층 금속배선(13A)에 침투되는 전자는 실리콘 기판(11)을 통해 접지로 방출된다. 한편, 실리콘 기판(11)과 접속되지 않아서 양이온이 대전된 제2 하층 금속배선(13B)에는 전자가 대전되게 된다.

전자빔(19)은 플라즈마 식각방법으로 제1 및 하층 금속배선(13A) 및 13B)을 형성한 후 곧바로 조사하거나, 또는 세척공정후 조사할 수 있다.

제2c도를 참조하면, 제1 금속층간 절연막(14)은 제1 및 3 하층 금속배선(3A 및 3C)을 포함한 층간 절연막(12)상에 형성된다.  $O_3$ -TEOS 실리콘 산화막(15)은 제1 금속층간 절연막(14)상에 형성된다. 상층(top level) 금속배선(16)은  $O_3$ -TEOS 실리콘 산화막(15)상에 형성된다.

상기에서,  $O_3$ -TEOS 실리콘 산화막(15)은 오존( $O_3$ )가스와 TEOS액화가스를 반응시켜 생성되는  $O_3$ -TEOS 실리콘 산화물이 증착됨에 의해 형성된다.  $O_3$ -TEOS 실리콘 산화물의 분자들은 음전하를 띄게 되는데, 양전하가 대전된 제2 하층 금속배선(13B)을 전기적으로 중성화된 제3 하층 금속배선(13C)으로 변화시키므로 인하여  $O_3$ -TEOS 실리콘 산화물의 증착은 균일하게 이루어진다. 따라서,  $O_3$ -TEOS 실리콘 산화막(15)이 제1 금속층간 절연막(14)상에 전체적으로 균일한 두께로 형성되기 때문에 상층 금속배선(16)은  $O_3$ -TEOS 실리콘 산화막(15)상에 균일한 두께로 형성된다.

제3a 내지 3c도는 본 발명의 제2 실시예에 의한 반도체 소자의 제조방법을 설명하기 위해 도시한 소자의 단면도이다.

제3a도를 참조하면, 층간 절연막(22)은 실리콘 기판(21)상에 형성된다. 실리콘 기판(21)의 표면 일부가 노출될 때까지 층간 절연막(22)의 일부분을 식각함에 의해 콘택홀(28)이 형성된다. 콘택홀(28)을 포함한 층간 절연막(22)상에 금속층을 형성한 후, 금속배선 마스크를 사용한 플라즈마 식각방법으로 금속층의 일부분을 식각함에 의해 제1 및 2 하층(bottom level) 금속배선(23A 및 23B)을 포함한 층간 절연막(22)상에 형성된다.

상기에서, 제1 하층 금속배선(23A)은 콘택홀(28)을 통해 실리콘 기판(21)과 접속된 경우를 나타내고, 제2 하층 금속배선(23B)은 실리콘 기판(21)과 접속되지 않은 경우를 나타내고 있다. 그런데, 제1 및 2 하층 금속배선(23A 및 23B)형성을 위한 플라즈마 식각방법은 실리콘 기판(21)을 접지한 상태로 실시되기 때문에, 실리콘 기판(21)에 접속된 제1 하층 금속배선(23A)은 플라즈마 이온에 의해 양전하의 대전이 이루어지지 않으며, 실리콘 기판(21)에 접속되지 않은 제2 하층 금속배선(23B)은 플라즈마 이온에 의해 양전하의 대전이 이루어지며, 이 대전된 양전하는 등전위면 분포를 이루기 위해 제2 하층 금속배선(23B)의 모서리 부분에 집중하게 된다.

제3b도를 참조하면, 제1 금속층간 절연막(24)이 형성된 상태에서 전자빔(29)을 조사하므로, 이로 인하여 양전하가 대전된 제2 하층 금속배선(23B)이 전자빔(29)에 의해 전기적으로 중성화된 제3 하층 금속배선(23C)으로 변하게 된다.

상기에서, 전자빔(29)은 원료가스를 방전 이온화 시키고 양의 고전압으로 추출하여 조사하게 되며, 조사 시 실리콘 기판(21)은 접지 시킨다. 실리콘 기판(21)의 접지로 실리콘 기판(21)과 접속된 제1 하층 금속배선(23A)에 침투되는 전자는 실리콘 기판(21)을 통해 접지로 방출된다. 한편, 실리콘 기판(21)과 접속되지 않아서 양이온이 대전된 제2 하층 금속배선(23B)에는 전자가 대전되게 된다.

제3c도를 참조하면,  $O_3$ -TEOS 실리콘 산화막(25)은 제1 금속층간 절연막(24)상에 형성된다. 상층(top level) 금속배선(26)은  $O_3$ -TEOS 실리콘 산화막(25)상에 형성된다.

상기에서,  $O_3$ -TEOS 실리콘 산화막(25)은 오존( $O_3$ )가스와 TEOS액화가스를 반응시켜 생성되는  $O_3$ -TEOS 실리콘 산화물이 증착됨에 의해 형성된다.  $O_3$ -TEOS 실리콘 산화물의 분자들은 음전하를 띄게 되는데, 양전하가 대전된 제2 하층 금속배선(23B)을 전기적으로 중성화된 제3 하층 금속배선(23C)으로 변화시키므로 인하여  $O_3$ -TEOS 실리콘 산화물의 증착은 균일하게 이루어진다. 따라서,  $O_3$ -TEOS 실리콘 산화막(25)이 제1 금속층간 절연막(24)상에 전체적으로 균일한 두께로 형성되기 때문에 상층 금속배선(26)은  $O_3$ -TEOS 실리콘 산화막(25)상에 균일한 두께로 형성된다.

상술한 바와같이 본 발명은 반도체 소자에서 금속배선을 형성한 후, 금속층간 절연막의 표면 평탄화막으로  $O_3$ -TEOS 실리콘 산화막을 증착하기 전에 금속배선의 양전하 상태를 전기적으로 중성화시킨다.

따라서, 본 발명은 양전하가 대전된 금속배선을 전기적으로 중성화시키므로 균일한 두께의  $O_3$ -TEOS 실리콘 산화막을 형성할 수 있으며, 이로 인하여  $O_3$ -TEOS 실리콘 산화막상에 형성되는 다른 금속배선이 균일한 두께로 형성되어 단선 또는 선이 가늘게 되는 현상을 방지할 수 있어 소자의 신뢰성을 향상시킬 뿐만 아니라, 보다 가는 선폭이 요구되는 초고집적 소자의 실현을 가능하게 한다.

## (57) 청구의 범위

### 청구항 1

반도체 소자의 제조방법에 있어서, 층간 절연막상에 금속배선이 형성된 실리콘 기판이 제공되는 단계; 상기 금속배선 내의 전하 분포를 전기적으로 중성화하는 단계; 및 상기 금속배선을 포함한 상기 층간 절연막상에  $O_3$ -TEOS 실리콘 산화막을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의

제조방법.

**청구항 2**

반도체 소자의 제조방법에 있어서, 층간 절연막상에 금속배선이 형성된 실리콘 기판이 제공되는 단계; 전자빔을 조사하여 상기 금속배선 내의 전하 분포를 전기적으로 중성화시키는 단계; 및 상기 금속배선을 포함한 상기 층간 절연막상에 제1 금속층간 절연막을 형성한 후, 상기 제1 금속층간 절연막상에 O<sub>3</sub>-TEOS 실리콘 산화막을 형성하는 단계로 이루어지는 것을 특징으로 하는 반도체 소자의 제조방법.

**청구항 3**

제2항에 있어서, 상기 전자빔은 상기 실리콘 기판이 접지된 상태에서 조사되는 것을 특징으로 하는 반도체 소자의 제조방법.

**청구항 4**

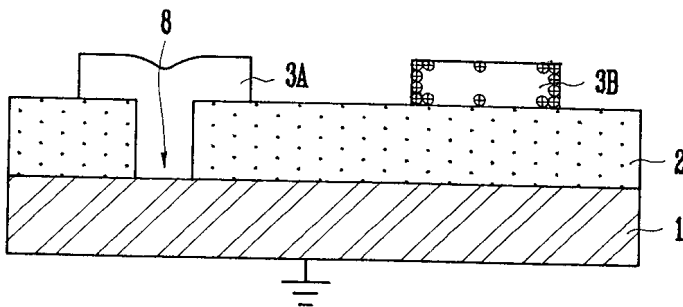
반도체 소자의 제조방법에 있어서, 층간 절연막상에 금속배선이 형성된 실리콘 기판이 제공되는 단계; 상기 금속배선을 포함한 상기 층간 절연막상에 제1 금속층간 절연막을 형성하는 단계; 전자빔을 조사하여 상기 금속배선 내의 전하 분포를 전기적으로 중성화시키는 단계; 및 상기 제1 금속층간 절연막상에 O<sub>3</sub>-TEOS 실리콘 산화막을 형성하는 단계로 이루어지는 것을 특징으로 하는 반도체 소자의 제조방법.

**청구항 5**

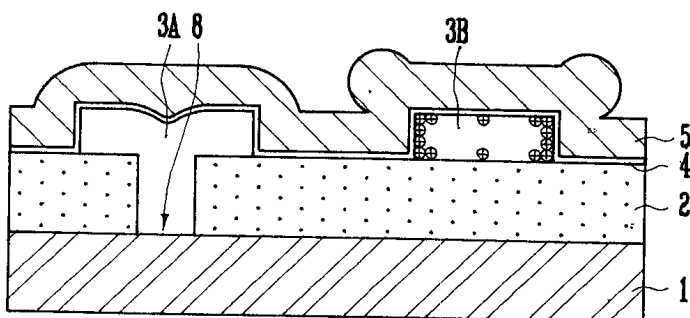
제4항에 있어서, 상기 전자빔은 상기 실리콘 기판이 접지된 상태에서 조사되는 것을 특징으로 하는 반도체 소자의 제조방법.

**도면**

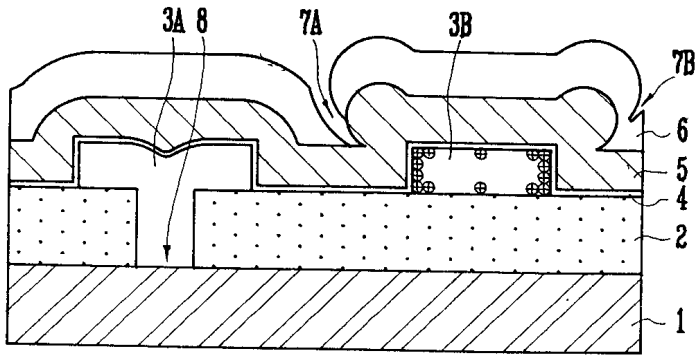
도면 1a



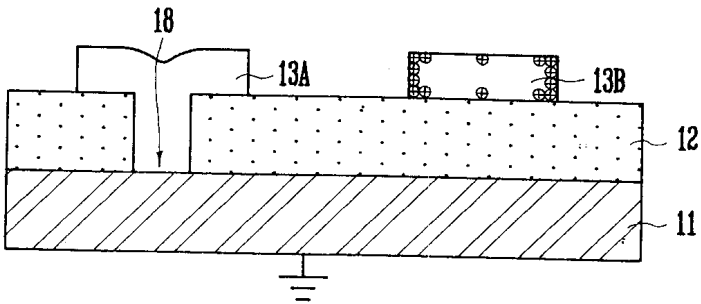
도면 1b



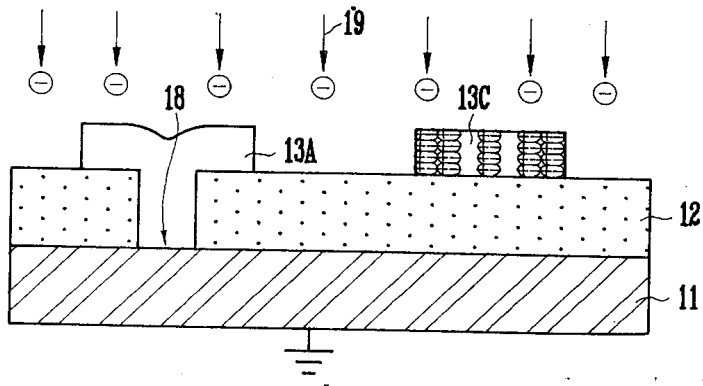
도면1c



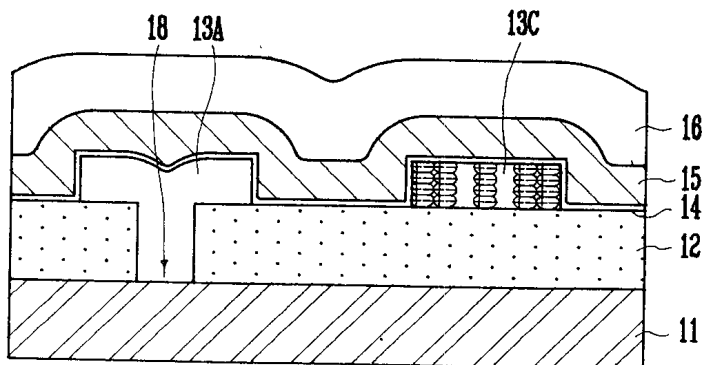
도면2a



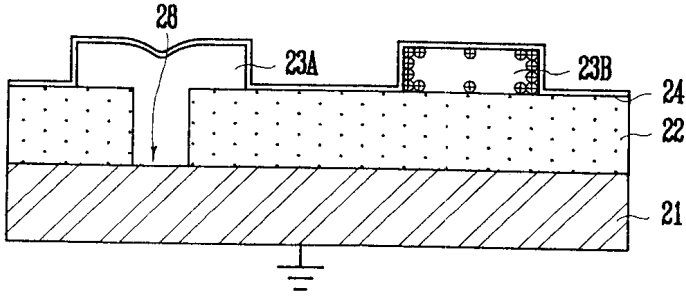
도면2b



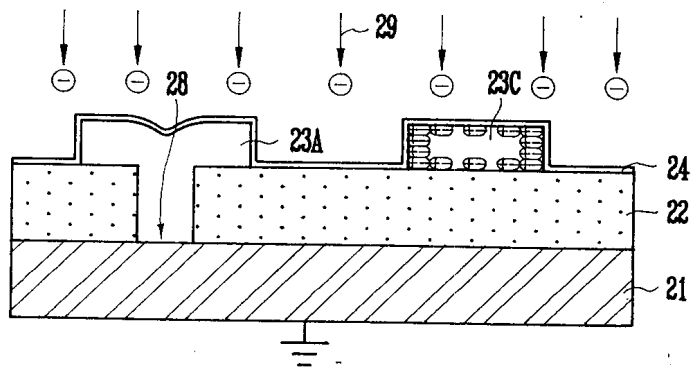
도면2c



도면3a



도면3b



도면3c

