



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2017년10월16일

(11) 등록번호 10-1785727

(24) 등록일자 2017년09월29일

(51) 국제특허분류(Int. Cl.)

H01L 27/115 (2017.01) H01L 21/8247 (2006.01)

(21) 출원번호 10-2011-0005337

(22) 출원일자 2011년01월19일

심사청구일자 2015년01월27일

(65) 공개번호 10-2011-0093620

(43) 공개일자 2011년08월18일

(30) 우선권주장

JP-P-2010-026573 2010년02월09일 일본(JP)

JP-P-2010-261517 2010년11월24일 일본(JP)

(56) 선행기술조사문현

JP2009043873 A*

JP2009043905 A*

JP2009164467 A

US20100265750 A1

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

소니 세미컨덕터 솔루션즈 가부시키가이샤

일본국 가나가와Ken 아초기시 아사히쵸 4-14-1

(72) 발명자

오바 카즈히로

일본국 도쿄도 미나토구 코난 1-7-1 소니 주식회사 내

야스다 슈이치로

일본국 도쿄도 미나토구 코난 1-7-1 소니 주식회사 내

(뒷면에 계속)

(74) 대리인

최달용

전체 청구항 수 : 총 19 항

심사관 : 노영철

(54) 발명의 명칭 기억 소자 및 기억 장치, 및 기억 장치의 동작 방법

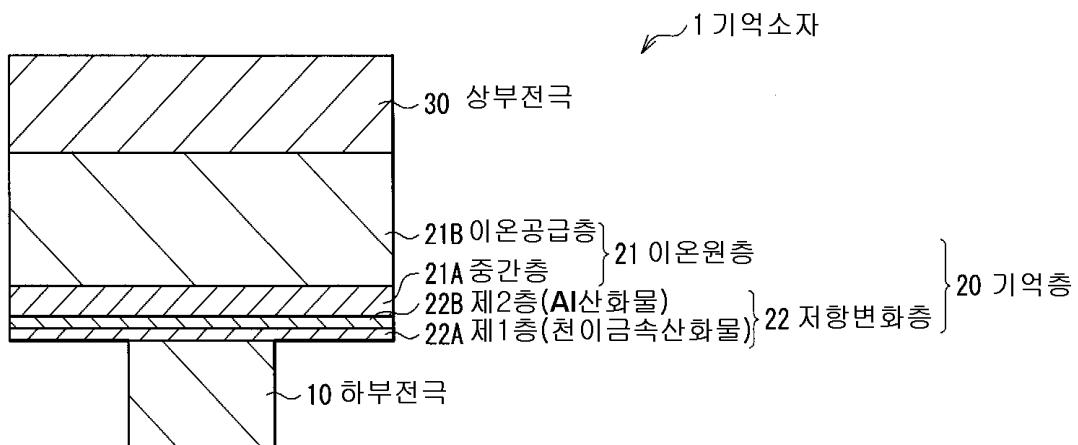
(57) 요 약

[과제]

반복 내구성을 향상시키는 것이 가능한 기억 소자 및 기억 장치를 제공한다.

[해결 수단]

(뒷면에 계속)

대 표 도 - 도1

저항 변화층(22)은, 알루미늄 산화물(A10x) 및 알루미늄 산화물보다 저항이 낮은 천이금속 산화물을 함유하고 있다. 구체적으로는, 저항 변화층(22)은, 하부 전극(10)측부터 차례로, 천이금속 산화물로 이루어지는 제 1층(22A)과, 알루미늄 산화물을 주성분으로 하는 제 2층(22B)이 적층된 구성을 갖고 있다. 소자에 대해 정전압이 인가된 경우에도, 제 1층(22A)에는 전압 바이어스가 걸리기 어려워진다. 그 때문에, 소자가 기록 상태(저저항 상태)가 되어도, 제 1층(22A)은 활원되지 않고 하부 전극(10)상에서 산화막을 형성한 채로 된다. 따라서, 기록 및 소거의 반복에 수반하여 이온원층(21)에 포함되는 칼코겐 원소와 하부 전극(10)과의 불필요한 산화 반응이 생기는 것이 억제된다.

(72) 발명자

미즈구치 테츠야

일본국 도쿄도 미나토구 코난 1-7-1 소니 주식회사
내

아라타니 카츠히사

일본국 도쿄도 미나토구 코난 1-7-1 소니 주식회사
내

시무타 마사유키

일본국 도쿄도 미나토구 코난 1-7-1 소니 주식회사
내

코우치야마 아키라

일본국 도쿄도 미나토구 코난 1-7-1 소니 주식회사
내

오가사와라 마유미

일본국 도쿄도 미나토구 코난 1-7-1 소니 주식회사
내

명세서

청구범위

청구항 1

제1 전극, 기억층 및 제2 전극을 이 순서로 가지며,

상기 기억층은,

텔루르(Te), 유황(S) 및 셀렌(Se) 중 적어도 1종의 칼코겐 원소와 함께 알루미늄(Al)을 포함하는 이온원층과,

상기 이온원층과 상기 제1 전극과의 사이에 마련됨과 함께, 상기 제1 전극 층부터 차례로 제1층과 제2층이 적층된 구성을 가지며, 상기 제2층은 알루미늄 산화물을 포함하고, 상기 제1층은 상기 알루미늄 산화물보다도 저항이 낮은 천이금속 산화물 및 천이금속 산질화물 중 적어도 한쪽으로 이루어지는 저항 변화층을 구비한 것을 특징으로 하는 기억 소자.

청구항 2

제1항에 있어서,

상기 제1층은, 1nm 이상이면서 상기 제2층의 저저항이 되는 두께를 갖는 것을 특징으로 하는 기억 소자.

청구항 3

제1항에 있어서,

상기 저항 변화층은, 상기 알루미늄 산화물과, 상기 천이금속 산화물 및 천이금속 산질화물 중 적어도 한쪽을 혼재한 상태로 함유하는 것을 특징으로 하는 기억 소자.

청구항 4

제1항에 있어서,

상기 천이금속 산화물 또는 천이금속 산질화물은, 티탄(Ti), 지르코늄(Zr), 하프늄(Hf), 바나듐(V), 니오브(Nb), 탄탈(Ta), 크롬(Cr), 몰리브덴(Mo) 및 텉스텐(W)으로 이루어지는 천이금속의 군 중 적어도 1종의 산화물 또는 산질화물인 것을 특징으로 하는 기억 소자.

청구항 5

제1항에 있어서,

상기 이온원층은,

알루미늄(Al)과 함께, 텔루르(Te), 유황(S) 및 셀렌(Se) 중 적어도 1종의 칼코겐 원소를 포함하는 중간층과,

알루미늄(Al) 및 상기 칼코겐 원소와 함께, 구리(Cu), 아연(Zn), 은(Ag), 니켈(Ni), 코발트(Co), 망간(Mn), 철(Fe), 티탄(Ti), 지르코늄(Zr), 하프늄(Hf), 바나듐(V), 니오브(Nb), 탄탈(Ta), 크롬(Cr), 몰리브덴(Mo) 및 텉스텐(W)으로 이루어지는 금속 원소의 군 중 적어도 1종을 포함하는 이온 공급층을 갖는 것을 특징으로 하는 기억 소자.

청구항 6

제5항에 있어서,

상기 중간층에서의 칼코겐 원소 함유량에 대한 알루미늄 함유량의 비는, 상기 이온 공급층에서의 칼코겐 원소 함유량에 대한 알루미늄 함유량의 비보다도 작은 것을 특징으로 하는 기억 소자.

청구항 7

제5항 또는 제6항에 있어서,

상기 중간층은, 상기 이온 공급층보다도 높은 저항을 갖는 것을 특징으로 하는 기억 소자.

청구항 8

제7항에 있어서,

상기 중간층은, 지르코늄(Zr), 구리(Cu), 크롬(Cr), 망간(Mn), 티탄(Ti) 및 하프늄(Hf)으로 이루어지는 천이금 속의 군 중 적어도 1종을 포함하는 것을 특징으로 하는 기억 소자.

청구항 9

제7항에 있어서,

상기 중간층 및 상기 이온 공급층 중 적어도 한쪽이, 산소(0)를 포함하는 것을 특징으로 하는 기억 소자.

청구항 10

제7항에 있어서,

상기 중간층은, 산소(0)와, 구리(Cu), 티탄(Ti), 지르코늄(Zr), 하프늄(Hf), Cr(크롬) 및 Mn(망간)으로 이루어지는 천이금속의 군 중 적어도 1종을 포함하는 것을 특징으로 하는 기억 소자.

청구항 11

제10항에 있어서,

상기 제1 전극 및 상기 제2 전극에의 전압 인가에 의한 상기 알루미늄 산화물의 산화 환원과 상기 이온원층에 포함되는 금속 원소의 이온의 이동 중 적어도 한쪽에 의한 상기 기억층의 전기 특성의 변화에 의해 정보를 기억하는 것을 특징으로 하는 기억 소자.

청구항 12

제11항에 있어서,

상기 이온원층에 포함되는 금속 원소는, 구리(Cu), 아연(Zn), 은(Ag), 니켈(Ni), 코발트(Co), 망간(Mn), 철(Fe), 티탄(Ti), 지르코늄(Zr), 하프늄(Hf), 바나듐(V), 니오브(Nb), 탄탈(Ta), 크롬(Cr), 몰리브덴(Mo) 및 텉스텐(W)으로 이루어지는 군 중의 적어도 1종인 것을 특징으로 하는 기억 소자.

청구항 13

제12항에 있어서,

상기 알루미늄 산화물은, 상기 이온원층에 포함되는 알루미늄(Al) 이온의 이동 또는 확산, 또는 상기 제1 전극 및 상기 제2 전극에의 전압 인가에 의한, 상기 제1 전극측에서의 산화 반응에 의해 형성된 것을 특징으로 하는 기억 소자.

청구항 14

제13항에 있어서,

상기 제1 전극은, 티탄(Ti), 지르코늄(Zr), 하프늄(Hf), 바나듐(V), 니오브(Nb), 탄탈(Ta), 크롬(Cr), 몰리브덴(Mo) 및 텉스텐(W)으로 이루어지는 천이금속의 군 중의 적어도 1종의 단체 또는 질화물에 의해 구성되고,

상기 천이금속 산화물 및 천이금속 산질화물 중 적어도 한쪽은, 상기 제1 전극의 표면을 산화함에 의해 형성된 것인 것을 특징으로 하는 기억 소자.

청구항 15

제13항에 있어서,

상기 천이금속 산화물 및 천이금속 산질화물 중 적어도 한쪽은, 상기 제1 전극의 상면에 티탄(Ti), 지르코늄

(Zr), 하프늄(Hf), 바나듐(V), 니오브(Nb), 탄탈(Ta), 크롬(Cr), 몰리브덴(Mo) 및 텉스텐(W)으로 이루어지는 천이금속의 군 중의 적어도 1종의 단체 또는 질화물로 된 천이금속재료막을 형성하고, 상기 천이금속재료막과 상기 제1 전극의 표면 중 적어도 상기 천이금속재료막을 산화함에 의해 형성된 것인 것을 특징으로 하는 기억 소자.

청구항 16

제1 전극, 기억층 및 제2 전극을 이 순서로 갖는 복수의 기억 소자와, 상기 복수의 기억 소자에 대해 선택적으로 전압 또는 전류의 펠스를 인가하는 펠스 인가 수단을 구비하고,

상기 기억층은,

텔루르(Te), 유황(S) 및 셀렌(Se) 중 적어도 1종의 칼코겐 원소와 함께 알루미늄(Al)을 포함하는 이온원층과,

상기 이온원층과 상기 제1 전극과의 사이에 마련됨과 함께, 상기 제1 전극측부터 차례로 제1층과 제2층이 적층된 구성을 가지며, 상기 제2층은 알루미늄 산화물을 포함하고, 상기 제1층은 상기 알루미늄 산화물보다도 저항이 낮은 천이금속 산화물 및 천이금속 산질화물 중 적어도 한쪽으로 이루어지는 저항 변화층을 구비한 것을 특징으로 하는 기억 장치.

청구항 17

제16항에 있어서,

인접하는 상기 복수의 기억 소자에 있어서, 상기 기억 소자를 구성하는 적어도 일부의 층이 동일층에 의해 공통에 마련되어 있는 것을 특징으로 하는 기억 장치.

청구항 18

제17항에 있어서,

상기 복수의 기억 소자에서의 공통의 층은, 상기 저항 변화층, 상기 이온원층 및 상기 제2 전극이고, 상기 제1 전극은 소자마다 개별적으로 마련되어 있는 것을 특징으로 하는 기억 장치.

청구항 19

제1 전극, 기억층 및 제2 전극을 이 순서로 갖는 복수의 기억 소자와, 상기 복수의 기억 소자에 대해 선택적으로 전압 또는 전류의 펠스를 인가하는 펠스 인가 수단을 구비하고, 상기 기억층은, 텔루르(Te), 유황(S) 및 셀렌(Se) 중 적어도 1종의 칼코겐 원소와 함께 알루미늄(Al) 및 알루미늄(Al)과는 다른 금속 원소를 포함하는 이온원층과, 상기 이온원층과 상기 제1 전극과의 사이에 마련됨과 함께, 상기 제1 전극측부터 차례로 제1층과 제2층이 적층된 구성을 가지며, 상기 제2층은 알루미늄 산화물을 포함하고, 상기 제1층은 상기 알루미늄 산화물보다도 저항이 낮은 천이금속 산화물 및 천이금속 산질화물 중 적어도 한쪽으로 이루어지는 저항 변화층을 구비한 기억 장치의 동작 방법으로서,

상기 제1 전극 및 상기 제2 전극의 사이에 전압을 인가함에 의해, 상기 이온원층 중에서는 알루미늄(Al) 이온 및 상기 이온원층에 포함되는 금속 원소의 이온이 상기 제1 전극측으로 이동함과 함께, 상기 저항 변화층에서는 알루미늄 산화물 또는 상기 금속 원소의 이온의 환원 반응에 의해 도전 패스가 생겨서 저저항화하고,

상기 제1 전극 및 상기 제2 전극의 사이에 역극성의 전압을 인가함에 의해, 상기 이온원층 중에서는 알루미늄(Al) 이온 및 상기 이온원층에 포함되는 금속 원소의 이온이 상기 제2 전극측으로 이동함과 함께, 상기 저항 변화층에서는 알루미늄(Al) 이온이 산화 반응에 의해 알루미늄 산화물을 형성하여 고저항화하든지, 또는 상기 환원된 금속 원소가 이온화하여 상기 이온원층으로 이동함에 의해 상기 도전 패스가 소실하여 고저항화하는 것을 특징으로 하는 기억 장치의 동작 방법.

청구항 20

삭제

청구항 21

삭제

발명의 설명

기술 분야

[0001] 본 발명은, 이온원층(源層) 및 저항 변화층을 포함하는 기억층의 전기적 특성의 변화에 의해 정보를 기억 가능한 기억 소자 및 기억 장치, 및 기억 장치의 동작 방법에 관한 것이다.

배경 기술

[0002] 컴퓨터 등의 정보 기기에서는, 랜덤·액세스·메모리로서, 동작이 고속이고, 고밀도의 DRAM(Dynamic Random Access Memory)이 널리 사용되고 있다. 그러나, DRAM은, 전자 기기에 사용되는 일반적인 논리 회로(LSI)나 신호 처리와 비교하여, 제조 프로세스가 복잡하기 때문, 제조 비용이 높아져 있다. 또한, DRAM은, 전원을 끊으면 정보가 사라져 버리는 휘발성 메모리이고, 빈번하게 리프레시 동작, 즉 기록한 정보(데이터)를 관리하고, 다시 증폭하고, 재차 다시 기록하는 동작을 행할 필요가 있다.

[0003] 그래서, 종래, 전원을 끊어도 정보가 사라지지 않는 불휘발성의 메모리로서, 예를 들면, 플래시 메모리, FeRAM(Ferroelectric Random Access Memory)(강유전체 메모리)나 MRAM(Magnetoresistive Random Access Memory)(자기 기억 소자) 등이 제안되어 있다. 이들 메모리의 경우, 전원을 공급하지 않아도 기록한 정보를 장시간 계속 보존하는 것이 가능해진다. 그러나, 이들의 메모리는 각각 일장일단이 있다. 즉, 플래시 메모리는, 접근도가 높지만 동작 속도의 점에서 불리하다. FeRAM은 고집적도화를 위한 미세 가공에 한계 있고, 또 제작 프로세스에서 문제가 있다. MRAM은 소비 전력의 문제가 있다.

[0004] 그래서, 특히 메모리 소자의 미세 가공의 한계에 대해 유리한, 새로운 타입의 기억 소자가 제안되어 있다. 이 기억 소자는, 2개의 전극 사이에, 어느 금속을 포함하는 이온 도전체를 끼우는 구조로 한 것이다. 이 기억 소자에서는, 2개의 전극의 어느 한쪽에 이온 도전체중에 포함되는 금속을 포함시키고 있다. 이에 의해, 2개의 전극 사이에 전압을 인가한 경우에, 전극중에 포함되는 금속이 이온 도전체중에 이온으로서 확산하고, 이온 도전체의 저항치 또는 커패시턴스 등의 전기 특성이 변화한다. 예를 들면, 특히 문헌 1에서는, 이 특성을 이용한 메모리 디바이스로서, 이온 도전체가 칼코게나이트와 금속과의 고용체로 이루어지는 구성이 제안되어 있다. 구체적으로는, AsS, GeS, GeSe에 Ag, Cu 또는 Zn가 고용된 재료로 이루어지고, 2개의 전극의 어느 한쪽의 전극에는, Ag, Cu 또는 Zn가 포함되어 있다.

[0005] 이 특히 문헌 1의 구성에서는, 제조 프로세스중의 온도 상승이나 데이터의 장기 보존시의 장기간의 열부하 등에 의해 이온 도전체의 결정화가 촉진되고, 저항치 등의 본래의 전기적 특성이 변화하여 버리고 있다. 그래서, 특히 문헌 2에서는, 이온 도전체와 전극 사이에, 가돌리늄 산화막으로 이루어지는 기억용 박막을 마련한 것이 기재되어 있다.

선행기술문헌

[0006] [특허 문헌]

[0007] 특허 문헌 1 : 특표2002-536840호 공보

[0008] 특허 문헌 2 : 특개2005-197634호 공보

발명의 내용

해결하려는 과제

[0009] 그러나, 특히 문헌 2에 기재된 구성에서는 소거측(消去側)의 성능이 부족하고, 다수 비트를 재기록한 경우에는, 소거 상태의 저항치가 낮은측으로 흐트러지는 경향이여서, 기록 상태의 저항치와 소거 상태의 저항치의 저항 분리 폭이 불충분하고, 반복 내구성이 개선의 여지가 있다.

[0010] 본 발명은 이러한 문제점을 감안하여 이루어진 것으로, 그 목적은, 반복 내구성이 향상한 기억 소자 및 기억 장치, 및 기억 장치의 동작 방법을 제공하는 것에 있다.

과제의 해결 수단

[0011] 본 발명의 기억 소자는, 제 1 전극, 기억층 및 제 2 전극을 이 순으로 가지며, 기억층은, 이하의 (A), (B)의 구

성 요소를 구비한 것이다.

[0012] (A) 텔루르(Te), 유황(S) 및 셀렌(Se)중 적어도 1종의 칼코겐 원소와 함께 알루미늄(Al)을 포함하는 이온원층

[0013] (B) 이온원층과 제 1 전극 사이에 마련되고, 알루미늄 산화물과, 알루미늄 산화물보다 저항이 낮은 천이금속 산화물 및 천이금속 산질화물(酸窒化物)중 적어도 한쪽을 함유하는 저항 변화층

[0014] 본 발명의 기억 장치는, 제 1 전극, 기억층 및 제 2 전극을 이 순으로 갖는 복수의 기억 소자와, 복수의 기억 소자에 대해 선택적으로 전압 또는 전류의 펄스를 인가하는 펄스 인가 수단을 구비하고, 복수의 기억 소자가 상기 본 발명의 기억 소자에 의해 구성되어 있는 것이다.

[0015] 본 발명의 기억 장치의 동작 방법은, 제 1 전극 및 제 2 전극 사이에 전압을 인가함에 의해, 이온원층중에서는 알루미늄(Al) 이온 및 이온원층에 포함되는 금속 원소의 이온이 제 1 전극측으로 이동함과 함께, 저항 변화층에서는 알루미늄 산화물 또는 금속 원소 이온의 환원 반응에 의해 도전 패스가 생겨서 저저항화하고, 제 1 전극 및 제 2 전극 사이에 역극성의 전압을 인가함에 의해, 이온원층중에서는 알루미늄(Al) 이온 및 이온원층에 포함되는 금속 원소의 이온이 제 2 전극측으로 이동함과 함께, 저항 변화층에서는 알루미늄(Al) 이온이 산화 반응에 의해 알루미늄 산화물을 형성하여 고저항화하던지, 또는 환원된 금속 원소가 이온화하여 이온원층으로 이동함에 의해 도전 패스가 소실하여 고저항화하는 것이다.

[0016] 본 발명의 기억 소자 또는 본 발명의 기억 장치, 또는 본 발명의 기억 장치의 동작 방법에서는, 초기 상태(고저항 상태)의 소자에 대해 「정방향」(예를 들면 제 1 전극측을 부전위, 제 2 전극측을 정전위)의 전압 또는 전류 펄스가 인가되면, 이온원층중에서는 알루미늄(Al) 이온 및 이온원층에 포함되는 금속 원소의 이온이 제 1 전극 측으로 이동함과 함께, 저抵抗 변화층에서는 알루미늄 산화물 또는 금속 원소 이온의 환원 반응에 의해 도전 패스가 생겨서 저저抵抗화한다(기록 상태). 이 저저抵抗의 상태의 소자에 대해 「부방향」(예를 들면 제 1 전극측을 정전위, 제 2 전극측을 부전위)으로 전압 펄스가 인가되면, 이온원층중에서는 알루미늄(Al) 이온 및 이온원층에 포함되는 금속 원소의 이온이 제 2 전극측으로 이동함과 함께, 제 1 전극에서는 알루미늄(Al) 이온이 산화 반응에 의해 알루미늄 산화물을 형성하고, 또는 환원 상태의 금속 원소가 산화 반응에 의해 이온화하여 이온원층에 용해하고, 도전 패스가 소실하여 고저抵抗 상태가 된다(초기 상태 또는 소거 상태).

[0017] 또한, 기록 동작 및 소거 동작을 저저抵抗 및 고저抵抗의 어느 쪽에 대응시키는지는 정의(定義)의 문제이지만, 본 명세서에서는 저저抵抗 상태를 기록 상태, 고저抵抗 상태를 소거 상태로 정의한다.

[0018] 여기서는, 저抵抗 변화층이, 알루미늄 산화물과, 그보다 저抵抗이 낮은 천이금속 산화물 및 천이금속 산질화물중 적어도 한쪽을 함유하고 있기 때문에, 소자에 대해 상술한 정방향의 전압 또는 전류 펄스가 인가된 경우에도, 천이금속 산화물 또는 천이금속 산질화물에는 전압 바이어스가 걸리기 어려워진다. 그 때문에, 소자가 기록 상태(저저抵抗 상태)가 되어도, 천이금속 산화물 또는 천이금속 산질화물은 환원되지 않고 제 1 전극상에서 산화막 또는 산질화막을 형성한 채로 된다. 따라서, 기록 및 소거의 반복에 수반하여 이온원층에 포함되는 칼코겐 원소와 제 1 전극의 불필요한 산화 반응이 생기는 것이 억제된다.

발명의 효과

[0019] 본 발명의 기억 소자 또는 본 발명의 기억 장치에 의하면, 저抵抗 변화층이, 알루미늄 산화물과, 그보다 저抵抗이 낮은 천이금속 산화물 및 천이금속 산질화물중 적어도 한쪽을 함유하고 있도록 하였기 때문에, 반복 내구성을 향상시키는 것이 가능해진다.

[0020] 본 발명의 기억 장치의 동작 방법에 의하면, 제 1 전극 및 제 2 전극 사이에 전압을 인가함에 의해, 이온원층중에서는 알루미늄(Al) 이온 및 이온원층에 포함되는 금속 원소의 이온이 제 1 전극측으로 이동함과 함께, 저抵抗 변화층에서는 알루미늄 산화물 또는 금속 원소 이온의 환원 반응에 의해 도전 패스가 생겨서 저저抵抗화하고, 제 1 전극 및 제 2 전극 사이에 역극성의 전압을 인가함에 의해, 이온원층중에서는 알루미늄(Al) 이온 및 이온원층에 포함되는 금속 원소의 이온이 제 2 전극측으로 이동함과 함께, 저抵抗 변화층에서는 알루미늄(Al) 이온이 산화 반응에 의해 알루미늄 산화물을 형성하여 고저抵抗화하던지, 또는 환원된 금속 원소가 이온화하여 이온원층으로 이동함에 의해 도전 패스가 소실하여 고저抵抗화하도록 하였기 때문에, 반복 내구성을 향상시키는 것이 가능해진다.

도면의 간단한 설명

[0021] 도 1은 본 발명의 제 1의 실시의 형태에 관한 기억 소자의 구성을 도시하는 단면도.

- 도 2는 도 1에 도시한 제 1층의 변형례를 도시하는 단면도.
- 도 3은 변형례 1에 관한 기억 소자의 구성을 도시하는 단면도.
- 도 4는 변형례 2에 관한 기억 소자의 구성을 도시하는 단면도.
- 도 5는 변형례 3에 관한 기억 소자의 구성을 도시하는 단면도.
- 도 6은 본 발명의 제 2의 실시의 형태에 관한 기억 소자의 구성을 도시하는 단면도.
- 도 7은 변형례 4에 관한 기억 소자의 구성을 도시하는 단면도.
- 도 8은 도 7에 도시한 제 1층의 변형례를 도시하는 단면도.
- 도 9는 본 발명의 제 3의 실시의 형태에 관한 기억 소자의 구성을 도시하는 단면도.
- 도 10은 Te-Zr막의 체적 저항률의 Zr 첨가량 의존성을 도시하는 도면.
- 도 11은 본 발명의 제 4의 실시의 형태에 관한 기억 소자의 구성을 도시하는 단면도.
- 도 12는 Te-Zr막의 체적 저항률의 성막시 산소 유량 의존성을 도시하는 도면.
- 도 13은 도 1의 기억 소자를 이용한 메모리 셀 어레이의 개략 구성을 도시하는 단면도.
- 도 14는 마찬가지로 메모리 셀 어레이의 평면도.
- 도 15는 실시예 1의 결과를 도시하는 도면.
- 도 16은 실시예 2의 결과를 도시하는 도면.
- 도 17은 실시예 3의 결과를 도시하는 도면.
- 도 18은 비교예 1의 결과를 도시하는 도면.
- 도 19는 비교예 2의 결과를 도시하는 도면.
- 도 20은 비교예 3의 결과를 도시하는 도면.
- 도 21은 천이금속 산화물로 이루어지는 제 1층의 작용을 조사한 실험 결과를 도시하는 도면.
- 도 22는 실시예 2의 기억 소자의 TEM-EDX 사진.
- 도 23은 도 24에 도시한 각 원소의 EDX 프로파일 결과를 정리하여 도시하는 도면.
- 도 24는 실시예 2의 기억 소자의 각 원소의 EDX 프로파일 결과를 도시하는 도면.
- 도 25는 실시예 4-1의 결과를 도시하는 도면.
- 도 26은 실시예 4-2의 결과를 도시하는 도면.
- 도 27은 실시예 5-1의 결과를 도시하는 도면.
- 도 28은 실시예 6-1의 결과를 도시하는 도면.
- 도 29는 실시예 6-2의 결과를 도시하는 도면.
- 도 30은 실시예 6-3의 결과를 도시하는 도면.
- 도 31은 실시예 6-4의 결과를 도시하는 도면.
- 도 32는 실시예 6-5의 결과를 도시하는 도면.
- 도 33은 실시예 7-1의 결과를 도시하는 도면.
- 도 34는 실시예 7-2의 결과를 도시하는 도면.
- 도 35는 실시예 7-3의 결과를 도시하는 도면.
- 도 36는 실시예 8-1, 8-2의 결과를 도시하는 도면.
- 도 37은 실시예 8-3, 8-4의 결과를 도시하는 도면.

도 38은 실시예 9-1, 9-2의 결과를 도시하는 도면.

도 39는 실시예 10의 결과를 도시하는 도면.

도 40은 실시예 11의 결과를 도시하는 도면.

도 41은 실시예 10, 11의 소거 특성을 조사한 결과를 도시하는 도면.

도 42는 실시예 12의 결과를 도시하는 도면.

도 43은 실시예 13-1의 결과를 도시하는 도면.

도 44는 실시예 13-2의 결과를 도시하는 도면.

도 45는 실시예 13-3의 결과를 도시하는 도면.

도 46은 실시예 14의 결과를 도시하는 도면.

도 47은 실시예 15의 결과를 도시하는 도면.

도 48은 실시예 16의 결과를 도시하는 도면.

도 49는 실시예 17의 결과를 도시하는 도면.

도 50은 실시예 18의 결과를 도시하는 도면.

도 51은 비교예 4의 결과를 도시하는 도면.

도 52는 실시예 19의 결과를 도시하는 도면.

도 53은 실시예 20의 결과를 도시하는 도면.

발명을 실시하기 위한 구체적인 내용

- [0022] 이하, 본 발명의 실시의 형태에 관해, 도면을 참조하여 상세히 설명한다. 또한, 설명은 이하의 순서로 행한다.
- [0023] 1. 제 1의 실시의 형태(기억 소자 ; 저항 변화층으로서 천이금속 산화물로 이루어지는 제 1층 및 알루미늄 산화물을 주성분으로 하는 제 2층이 차례로 적층되어 있고, 이온원층이 중간층과 이온 공급층을 갖는 예)
- [0024] 2. 변형례 1(기억 소자 ; 저항 변화층이 알루미늄 산화물 및 천이금속 산화물을 혼재한 상태로 함유하고 있고, 이온원층이 중간층과 이온 공급층을 갖는 예)
- [0025] 3. 변형례 2(기억 소자 ; 저항 변화층으로서 천이금속 산화물로 이루어지는 제 1층 및 알루미늄 산화물을 주성분으로 하는 제 2층이 차례로 적층되어 있고, 이온원층이 단층인 예)
- [0026] 4. 변형례 3(기억 소자 ; 저항 변화층이 알루미늄 산화물 및 천이금속 산화물을 혼재한 상태로 함유하고 있고, 이온원층이 단층인 예)
- [0027] 5. 제 2의 실시의 형태(기억 소자 ; 저항 변화층으로서 천이금속 산질화물로 이루어지는 제 1층 및 알루미늄 산화물을 주성분으로 하는 제 2층이 차례로 적층되어 있고, 이온원층이 중간층과 이온 공급층을 갖는 예)
- [0028] 6. 변형례 4(기억 소자 ; 제 1층이, 천이금속 산화물층과 천이금속 산질화물층을 포함하는 예)
- [0029] 7. 제 3의 실시의 형태(기억 소자 ; 중간층에 천이금속을 첨가하는 예)
- [0030] 8. 제 4의 실시의 형태(기억 소자 ; 중간층 및 이온 공급층중 적어도 한쪽에 산소를 첨가하는 예)
- [0031] 9. 기억 장치
- [0032] 10. 실시예
- [0033] (제 1의 실시의 형태)
- [0034] 도 1은, 본 발명의 제 1의 실시의 형태에 관한 기억 소자(1)의 단면 구성도이다. 이 기억 소자(1)는, 하부 전극(10)(제 1 전극), 기억층(20) 및 상부 전극(30)(제 2 전극)을 차례로 갖는 것이다. 기억층(20)은, 상부 전극(30)측부터 차례로, 이온원층(21)과, 저항 변화층(22)을 갖고 있다.
- [0035] 하부 전극(10)은, 예를 들면, 후술(도 13)하는 바와 같이 CMOS(Complementary Metal Oxide Semiconductor) 회

로가 형성된 실리콘 기판(41)상에 마련되고, CMOS 회로부분과의 접속부가 되어 있다. 이 하부 전극(10)은, 반도체 프로세스에 사용되는 배선 재료, 예를 들면, 텉스텐(W), 질화 텉스텐(WN), 구리(Cu), 알루미늄(Al), 몰리브덴(Mo), 탄탈(Ta) 및 실리사이드 등에 의해 구성되어 있다. 하부 전극(10)이 Cu 등의 전계(電界)에서 이온 전도(傳導)가 생길 가능성이 있는 재료에 의해 구성되어 있는 경우에는, Cu 등으로 이루어지는 하부 전극(10)의 표면을, W, WN, TiN, TaN 등의 이온 전도나 열확산하기 어려운 재료로 피복하도록 하여도 좋다.

[0036] 하부 전극(10)은, 티탄(Ti), 지르코늄(Zr), 하프늄(Hf), 바나듐(V), 니오브(Nb), Ta, 크롬(Cr), Mo 및 W로 이루어지는 천이금속의 군중 적어도 1종의 단체 또는 질화물에 의해 구성되어 있는 것이 바람직하다. 후술하는 저항 변화층(22)중의 천이금속 산화물(또는 천이금속 산화물로 이루어지는 제 1 산화층(22A))을, 하부 전극(10)의 표면을 산화함에 의해 용이하게 형성하는 것이 가능해지기 때문이다.

[0037] 이온원층(21)은, 이온 공급원으로서의 역할을 갖는 것이고, 주로 비정질 구조를 갖고 있다. 이온원층(21)은, 음이온화하는 이온 전도 재료로서, 텔루르(Te), 유황(S) 및 셀렌(Se)중 적어도 1종의 칼코겐 원소를 포함하고 있다. 또한, 이온원층(21)은, 소거시에 산화물을 형성한 원소로서, Al를 함유하고 있다.

[0038] 또한, 이온원층(21)은, 적어도 1종의 금속 원소를 포함하고 있다. 이온원층(21)에 포함되는 금속 원소로서는, 예를 들면, Cu, 아연(Zn), 은(Ag), 니켈(Ni), 코발트(Co), 망간(Mn), 철(Fe), Ti, Zr, Hf, V, Nb, Ta, Cr, Mo 및 W로 이루어지는 금속 원소의 군중 적어도 1종이 바람직하다. Al 및 이들의 금속 원소의 몇개는, 양이온화하는 이온 전도 재료로서의 기능을 갖는 것이다.

[0039] 이온원층(21)은, 비정질화를 위해 금속 원소로서 Zr을 포함하는 것이 바람직하다. 저저항 상태(기록 상태) 또는 고저항 상태(초기 상태 또는 소거 상태)의 저항치 유지 특성을 향상시키는 것이 가능해지기 때문이다. 여기서는, 저저항 상태를 기록 상태, 고저항 상태를 소거 상태라고 정의한다. 또한, Cu는, Zr과의 조합에 의해, 비정질을 형성하기 쉽고, 이온원층(21)의 미세 구조를 균일하게 유지하는 것임과 함께, 양이온화하는 금속 원소로서의 기능도 갖고 있다.

[0040] 이온원층(21)에는, 필요에 응하여 그 밖의 원소가 첨가되어 있어도 좋다. 첨가 원소의 예로서는, 마그네슘(Mg), 게르마늄(Ge), 실리콘(Si) 등을 들 수 있다. Mg는, 양이온화하기 쉬워 함께 소거 바이어스로 산화막을 형성하여 고저항화하기 쉬워 하기 위한 것이다. Ge는, Al과 마찬가지로, 소거시에 산화물을 형성함에 의해 고저항 상태(소거 상태)를 안정화시킴과 함께, 반복 회수의 증가에도 기여하는 것이다. Si는, 기억층(20)의 고온 열처리 시의 막 벗겨짐을 억제함과 함께, 보존 특성의 향상도 동시에 기대할 수 있는 첨가 원소이고, 이온원층(21)에 Zr과 함께 첨가하여도 좋다.

[0041] 이와 같은 이온원층(21)의 구체적인 재료로서는, 예를 들면, ZrTeAl, ZrTeAlGe, CuZrTeAl, CuZrTeAlGe, CuHfTeAl, CuTiTeAl, AgZrTeAl, NiZrTeAl, CoZrTeAl, MnZrTeAl, FeZrTeAl의 조성의 이온원층 재료를 들 수 있다.

[0042] 이온원층(21)중의 Al의 함유량은, 예를 들면 30 내지 50원자%이다. 이온원층(21)중의 Zr의 함유량은, 7.5 내지 26원자%인 것이 바람직하고, 나아가서는, 이온원층(21)에 포함되는 칼코겐 원소의 합계에 대한 Zr의 조성 비율($=\text{Zr(원자\%)} / \text{칼코겐 원소의 합계(원자\%)}$)는, 0.2 내지 0.74의 범위인 것이 바람직하다. 이온원층(21)중의 Ge의 함유량은 15원자% 이하인 것이 바람직하다. 이온원층(21)중의 Si의 함유량은 10 내지 45원자% 정도의 범위 내인 것이 바람직하다. 이와 같이 구성함에 의해 각 구성 원소의 역할을 최대한으로 발휘할 수 있다. 그 상세에 관해서는 후술한다.

[0043] 저항 변화층(22)은, 이온원층(21)과 하부 전극(10) 사이에 마련되고, 전기 전도상의 배리어로서의 기능을 갖는 것이다. 저항 변화층(22)은, 알루미늄 산화물(Al₂O_x) 및 알루미늄 산화물보다 저항이 낮은 천이금속 산화물을 함유하고 있다. 구체적으로는, 저항 변화층(22)은, 하부 전극(10)측부터 차례로, 천이금속 산화물로 이루어지는 제 1층(22A)과, 알루미늄 산화물을 주성분으로 하는 고저항의 제 2층(22B)이 적층된 구성을 갖고 있다. 이에 의해, 이 기억 소자(1)에서는 반복 내구성을 높이는 것이 가능하게 되어 있다.

[0044] 저항 변화층(22)중의 천이금속 산화물(또는 제 1층(22A))은, 도전성을 갖는 산화물임과 함께 절연성이 높지 않은 것이 바람직하다. 구체적으로는, Ti, Zr, Hf, V, Nb, Ta, Cr, Mo 및 W로 이루어지는 천이금속의 군중 적어도 1종의 산화물인 것이 바람직하다.

[0045] 저항 변화층(22)중의 알루미늄 산화물(또는 제 2층(22B))은, 이온원층(21)에 포함되는 Al 이온의 이동 또는 확산, 또는 하부 전극(10) 및 상부 전극(30)에의 전압 인가에 의해, 하부 전극(10)측에서의 산화 반응에 의해 형성된 것이다. 또한, 저항 변화층(22)중의 알루미늄 산화물(또는 제 2층(22B))은, 기억 소자(1)의 제조시에 이미

형성되어 있는 것이지만, 후술하는 고저항 상태(소거 상태)에서 보다 증대하는(또는, 보다 두께가 두꺼워지는) 경향이 있다.

[0046] 제 1층(22A)의 두께는, 1nm 이상인 것이 바람직하다. 양호한 저항 분리 특성을 얻는 것이 가능해지기 때문이다. 또한, 제 1층(22A)은, 제 2층(22B)의 저항치보다도 저저항이 되는 두께를 갖고 있는 것이 바람직하다. 제 1층(22A)의 두께가 너무 지나치게 두꺼우면, 제 2층(22B)보다도 고저항이 되어 버려, 동작 특성이 저하되기 때문이다. 제 1층(22A)을 구성하는 천이금속 산화물의 밀도는, 예를 들면 산화 티탄(TiO_x)의 경우, 4g/cm³ 이하인 것이 바람직하다.

[0047] 또한, 이온원층(21)은, 하부 전극(10)측부터 차례로, 중간층(21A)과, 이온 공급층(21B)을 적층한 2층 구조를 갖고 있는 것이 바람직하다. 중간층(21A)은, Al과 함께, Te, S 및 Se중 적어도 1종의 칼코겐 원소를 포함하고 있다. 이온 공급층(21B)은, 상술한 이온원층(21)과 같은 구성, 즉, Al 및 칼코겐 원소와 함께, Cu, Zn, Ag, Ni, Co, Mn, Fe, Ti, Zr, Hf, V, Nb, Ta, Cr, Mo 및 W로 이루어지는 금속 원소의 군중 적어도 1종을 포함하고 있다. 이와 같이 함에 의해, 양호한 반복 내구성을 유지한 채로 보존 특성을 향상시키는 것이 가능해지고, 저전류에서의 불휘발 메모리 동작이 가능해진다. 또한, 이온 공급층(21B)은, 상기한 금속 원소를 포함하고 있고, 필요 이상의 원소 확산이나 층의 혼합을 억제하는 구성인 것이 바람직하다.

[0048] 특히, 이온 공급층(21B)은, Al 및 칼코겐 원소와 함께, Cu, Ti, Zr 및 Hf중의 적어도 1종을 포함하는 것이 바람직하다. 이들의 원소에 의해, 비정질 구조를 안정화하여 매트릭스 구조를 유지하기 쉬워지기 때문에, 결과로서 기록·소거 동작의 신뢰성 향상에 이어진다. 그 중에서도 Cu는, Zr과의 조합에 의해, 비정질을 형성하기 쉽고, 이온 공급층(21B)의 미세 구조를 균일하게 유지하는 기능을 갖는 것이다.

[0049] 또한, 이온 공급층(21B)은, 필요에 응하여, Ge, Si, Mg 등의 다른 첨가 원소를 포함하고 있어도 좋다.

[0050] 중간층(21A)에서의 칼코겐 원소 함유량에 대한 Al 함유량의 비(Al 농도)는, 이온 공급층(21B)에서의 칼코겐 원소 함유량에 대한 Al 함유량의 비(Al 농도)보다도 작은 것이 바람직하다. 중간층(21A)중의 Al은 이온 공급층(21B)과의 농도 구배에 의한 확산에 의해 초래된다고 생각되기 때문에, 예를 들면 Al₂Te₃의 화학량론적 조성보다도 적어진다고 생각된다. 그 때문에, 중간층(21A)중의 Al의 대부분은 이온 상태로 존재하고 있다고 생각되고, 인가한 전위가 효과적으로 이온 구동에 이용됨에 의해, 상술한 보존 특성의 향상이나 저전류에서의 불휘발 메모리 동작에 결부되는 것이 가능해진다.

[0051] 상부 전극(30)은, 하부 전극(10)과 마찬가지로 공지의 반도체 프로세스에 사용되는 배선 재료에 의해 구성되어 있다.

[0052] 본 실시의 형태의 기억 소자(1)에서는, 상기 하부 전극(10) 및 상부 전극(30)을 통하여 도시하지 않은 전원(펄스 인가 수단)으로부터 전압 펄스 또는 전류 펄스를 인가하면, 알루미늄 산화물을, 또는 이온원층(21)(구체적으로는 이온 공급층(21B))에 포함되는 금속 원소 이온의 산화 환원에 의해 기억층(20)의 전기적 특성, 예를 들면 저항치가 변화하는 것이고, 이에 의해 정보의 기억(기록, 소거, 판독)이 행하여진다. 이하, 그 동작을 구체적으로 설명한다.

[0053] 우선, 상부 전극(30)이 예를 들면 정전위, 하부 전극(10)측이 부전위가 되도록 하여 기억 소자(1)에 대해 정전압을 인가한다. 이에 의해 이온원층(21)중에서는 Al 이온이 하부 전극(10)측으로 이동함과 함께, 천이금속 산화층(22A)상에서는 알루미늄 산화물을 주성분으로 하는 제 2층(22B)의 환원 반응이 생겨서 저저항화한다(기록 상태).

[0054] 또한, 이온원층(21)에 포함되는 금속 원소는, 이온화하여 저항 변화층(22)중에 이동·화산하고, 하부 전극(10)측에서 환원된다. 그 결과, 하부 전극(10)과 기억층(20)의 계면에 제 2층(22B)보다는 저항이 낮은 상태나 또는 금속 상태로 환원된 도전 패스가 형성된다. 또는, 이온화한 금속 원소는, 저항 변화층(22)중에 머물러서 불순물 준위를 형성하고, 저항 변화층(22)중에 도전 패스가 형성된다. 따라서, 기억층(20)의 저항치가 낮아지고, 초기 상태의 고저항 상태로부터 저저항 상태로 변화한다.

[0055] 그 후, 정전압을 제거하여 기억 소자(1)에 걸리는 전압을 없애여도, 저저항 상태가 유지된다. 이에 의해 정보가 기록된 것이 된다. 한번만 기록이 가능한 기억 장치, 이를바, PROM(Programmable Read Only Memory)에 이용하는 경우에는, 상기한 기록 과정만으로 기록은 완결된다.

[0056] 한편, 소거가 가능한 기억 장치, 즉, RAM(Random Access Memory) 또는 EEPROM(Electronically Erasable and Programmable Read Only Memory) 등에의 응용에는 소거 과정이 필요하다. 소거 과정에서는, 상부 전극(30)이

예를 들면 부전위, 하부 전극(10)측이 정전위가 되도록, 기억 소자(1)에 대해 부전압을 인가한다. 이에 의해, 이온원층(21)중에서는 Al 이온이 상부 전극(30)측으로 이동함과 함께, 제 1층(22A)상에서는 Al 이온이 산화 반응에 의해 알루미늄 산화물을 주로 하는 제 2층(22B)을 형성하고, 고저항 상태가 된다(소거 상태).

[0057] 또한, 기억층(20) 내에 도전 패스를 형성하고 있던 환원 상태의 금속 원소는 산화 반응에 의해 이온화하고, 이온원층(21)에 용해, 또는 Te 등과 결합하여, 보다 고저항의 상태로 변화한다. 이에 의해, 금속 원소에 의한 도전 패스가 소멸, 또는 감소하여 저항치가 높아진다. 또는, 또한 이온원층(21)중에 존재하는 Ge 등의 첨가 원소가 하부 전극(10)상에 산화막을 형성하여, 고저항의 상태로 변화한다.

[0058] 그 후, 부전압을 제거하여 기억 소자(1)에 걸리는 전압을 없애여도, 저항치가 높아진 상태로 유지된다. 이에 의해, 기록된 정보를 소거하는 것이 가능해진다. 이와 같은 과정을 반복함에 의해, 기억 소자(1)에 정보의 기록과 기록된 정보의 소거를 반복하여 행할 수 있다.

[0059] 예를 들면, 저항치가 높은 상태를 「0」의 정보에, 저항치가 낮은 상태를 「1」의 정보에, 각각 대응시키면, 정전압의 인가에 의한 정보의 기록 과정에서 「0」부터 「1」로 바꾸고, 부전압의 인가에 의한 정보의 소거 과정에서 「1」부터 「0」으로 바꿀 수 있다.

[0060] 기록 데이터를 복조하기 위해서는, 초기의 저항치와 기록 후의 저항치의 비는 클수록 바람직하다. 단, 고저항층의 저항치가 너무 큰 경우에는, 기록, 즉 저저항화하는 것이 곤란해지고, 기록 임계치 전압이 너무 커지기 때문에, 초기 저항치는 1GΩ 이하로 조정된다. 고저항층(22)의 저항치는, 예를 들면, 그 두께나 포함되는 산소의 양 등에 의해 제어하는 것이 가능하다.

[0061] 상기는, 기록 동작을 저저항 상태「1」로 변화시키는 동작이라고 정의하고, 소거 동작을 고저항 상태「0」로 변화시키는 동작이라고 정의한 경우에 관한 기술이다. 그 역으로, 예를 들면, 고저항 상태「1」로부터 저저항 상태「0」로 변화시키는 동작을 소거 동작으로 할 수도 있고, 그 경우에는, 상기한 기술(記述)에서 기록과 소거 동작을 교체하면 좋다.

[0062] 여기서는, 저항 변화층(22)이, 하부 전극(10)측부터 차례로, 천이금속 산화물로 이루어지는 제 1층(22A)과, 알루미늄 산화물을 주성분으로 하는 제 2층(22B)을 적층한 구성을 갖고 있기 때문에, 소자에 대해 상술한 정전압이 인가된 경우에도, 제 1층(22A)에는 전압 바이어스가 걸리기 어려워진다. 그 때문에, 소자가 기록 상태(저저항 상태)가 되어도, 제 1층(22A)은 환원되지 않고 하부 전극(10)상에서 산화막을 형성한 채로 된다. 따라서, 기록 및 소거의 반복에 수반하여 이온원층(21)에 포함되는 칼코겐 원소와 하부 전극(10)과의 불필요한 산화 반응이 생기는 것이 억제된다.

[0063] 즉, W 또는 Ti 등의 금속 재료로 이루어지는 하부 전극(10)상에, 제 1층(22A)을 마련하지 않고 이온원층(21) 또는 중간층(21A)을 하부 전극(10)에 접하여 형성한 경우에는, 반복 회수가 10 내지 100회까지는 명확하게 고저항화 및 저저항화하는 양호한 동작 특성 및 양호한 데이터 보존 특성을 나타낸다. 그러나, 반복 회수를 더욱 증가시켜 가면, 주로 소거 에러가 발생하여 고저항 상태로 되돌아오지 않게 되고, 소자 특성이 열화한다. 이것은 아마는 상술한 산화 · 환원 반응 외에, 하부 전극(10)과 중간층(21A) 또는 이온원층(21)에 포함되어 있는 칼코겐 원소가 반응하는 산화 반응이 일어나고 있기 때문이라고 생각된다. 본 실시의 형태에서는, 하부 전극(10)상에 천이금속 산화물로 이루어지는 제 1층(22A)이 마련되어 있기 때문에, 하부 전극(10)이 칼코겐화하는 불필요한 산화 반응이 억제되고, 반복 신뢰성이 개선되고, 메모리의 수명이 향상한다.

[0064] 또한, 저항 변화층(22)이 제 1층(22A)과 제 2층(22B)의 2층 구조를 갖음과 함께, 이온원층(21)이 중간층(21A)과 이온 공급층(21B)의 2층 구조를 갖는 경우에는, 양호한 반복 내구성을 유지한 채로 보존 특성이 향상한다. 이것은, 반드시 분명하지는 않지만, 다음과 같이 생각된다.

[0065] 기록 동작에서 저저항화할 때에는, 하부 전극(10) 계면 부근에서는 환원 반응이 일어난다. 구체적으로는, 알루미늄 산화물을 주성분으로 하는 제 2층(22B)이 환원됨과 함께, 이온원층(21)중을 Al 이온이 이동하여 하부 전극(10) 계면 부근에서 환원되어 메탈에 가까운 Al이 형성된다. 이 상태에서 기록 전압 바이어스를 멈추고, 데이터 보존 상태로 하고 있을 때에는, Al 메탈은 산화하기 쉬워 산소와 결합하면 고저항이 된다. 이것이 저저항 상태의 데이터 보존 불량이라고 생각된다. 한편으로 중간층(21A)중에 많이 포함되는 칼코겐 원소는 Al 메탈과 매우 반응하기 쉽고, Al 메탈이 생성하였다고 하여도 순서대로 칼코겐 원소라고 반응하기 때문에 고저항화한다. 따라서, 보존 불량이 되는 일이 적어지고, 데이터 보존 성능이 향상한다.

[0066] 즉, 중간층(21A)에서의 칼코겐 원소 함유량에 대한 Al 함유량의 비(Al 농도)는, 상술한 바와 같이, 이온 공급층(21B)에서의 칼코겐 원소 함유량에 대한 Al 함유량의 비(Al 농도)보다도 작다. 그 때문에, 기록 동작시의 Al 이

온의 환원 반응에 의해 생성한 Al 메탈은, 기록 전압 바이어스를 없앤 때에 재차 알루미늄 산화물이 되어 소자 저항을 상승시키는 것은 아니고, Al을 용해할 여력이 있는 중간층(21A)에 용해한다. 따라서, 저항 상승이 생기는 일이 없고, 양호한 데이터 보존 특성이 얻어졌다.

[0067] 또한, 소거 동작에서는, 중간층(21A)이 이온화한 Al을 포함하고 있지만, 칼코겐 원소를 많이 포함하는 중간층(21A)에서는 Al 이온의 이동은 용이하다. 그 때문에, 소거 바이어스로 Al 이온이 공급되기 쉽고, 소거 성능이 향상된다. 그 결과, 저저항 상태와 고저항 상태의 저항 분리폭이 확대한다고 생각된다.

[0068] 이에 더하여, 이온원층(21)이 중간층(21A)과 이온 공급층(21B)의 2층 구조를 갖음에 의해, 저전류 · 고속으로의 데이터 보존 특성의 향상이 가능해진다.

[0069] 즉, 기억 소자(1)를 트랜지스터와 조합시켜서 불휘발성의 메모리 셀을 구성하는 경우, 선단의 반도체 프로세스에서 메모리 셀을 대용량화하기 위해서는, 기억 소자(1)의 미세화와 함께 트랜지스터의 미세화가 필요하다. 트랜지스터는 사이즈를 미세화할수록 구동 전류가 저하되어 가기 때문에, 고용량이며 소비 전력이 낮은 불휘발 메모리를 실현하기 위해서는, 저전류로 재기록한 상태에서의 데이터 보존 특성의 향상이 필요하다. 나아가서는, 고속으로 재기록 동작이 가능한 대용량의 불휘발 메모리를 실현하는데는, 미세 트랜지스터에 의한 낮은 전류로 게다가 나노초(秒) 오더의 단(短)펄스로 고속으로 재기록한 저항 상태를 데이터 보존할 것이 필요하다.

[0070] 그러나, 종래에는, 보다 작은 재기록 에너지에 의한 저저항 및 고저항의 기록 상태는 열요란(熱擾亂)에 의한 영향을 받기 쉽기 때문에, 보다 저전류이고, 보다 고속일수록, 데이터 보존가 곤란해진다는 문제가 있다.

[0071] 전류 구동력이 낮은 트랜지스터에 의해 저전류로 기록한 경우에는, 저저항 상태의 저항치는 높게 되기 때문에, 저항치의 유지 특성이 저전류 동작의 키를 쥐고 있다. 본 실시의 형태의 기억 소자(1)에서는, 상술한 바와 같이 데이터 보존 성능이 개선되고, 보다 높은 저항치라도 데이터 보존이 가능하게 되어 있다. 따라서, 저전류에서의 불휘발 메모리 동작이 가능해진다.

[0072] 또한, 본 실시의 형태에서는, 상술한 바와 같이, 이온원층(21)이, Al 외에, Zr, Cu, Ge 등을 함유하는 것이 바람직하다. 이하, 그 이유에 관해 설명한다.

[0073] 이온원층(21)중에 Zr이 포함되어 있는 경우, 특히 Al 및 Cu와 함께 존재하고 있는 경우는, 비정질 구조가 안정화되기 쉽다. 기록 동작시에, 예를 들면 이온원층(21)으로부터 Al이나 Cu의 이온이 이동한 경우에도, 비정질 구조를 유지하기 쉬워 이온원층(21)의 매트릭스 구조가 유지된다. 예를 들면, 기록하고 바이어스에 의해, Al이나 Cu의 이온은 이동하고, 이온원층(21)의 조성이 변화하고, 이들의 원소의 조성비가 감소하지만, Zr이 존재하고 있음에 의해, 조성비가 변동하여도 비정질 구조는 안정하게 유지되기 때문에, 필요 이상의 이온 이동이나 확산을 억제할 수 있기 때문에, 기록 상태의 유지 성능이 향상한다고 생각된다.

[0074] 또한, 소거시의 고저항 상태의 유지에 관해서도, Al 또는 Cu가 금속 상태 또는 그것에 가까운 상태인 도전 패스가 산화되어, 산화물이나 또는 S, Se 및 Te의 칼코겐 원소와의 화합물이 되는 상태에서, Zr을 포함하고 있는 경우는 이온원층(21)이 안정한 비정질 구조인 경우에는 필요 이상의 이온의 확산이 억제되기 때문에, 소거 전압 바이어스가 걸리지 않은 유자 상태에서, 열 등의 원인으로 이온원층(21)으로부터 불필요한 이온이 재차 확산하여, 상기한 고저항 상태의 산화물이나 칼코게나이드가 재차 환원되어 저저항이 되기 어렵고, 실온보다도 고온 상태나 장시간에 걸쳐서 보존한 경우에도 고저항 상태를 유지한다.

[0075] 또한, 이온원층(21)은 Al를 포함하기 때문에, 소거 동작에서, 상부 전극(30)이 예를 들면 부전위, 하부 전극(10)측이 정전위가 되도록, 기억 소자(1)에 대해 부전압이 인가된 경우에, 제 1층(22A)상에서는 Al 이온이 산화 반응에 의해 알루미늄 산화물을 주로 하는 제 2층(22B)을 형성하고, 고저항 상태(소거 상태)를 안정화한다. 더하여, 제 2층(22B)의 자기(自己) 재생의 관점에서 반복 회수의 증가에도 기여한다. 또한, Al 외에 같은 작용을 나타내는 Ge 등을 포함하여도 좋다.

[0076] 이처럼, 이온원층(21)에 Zr, Al, Cu, Ge 등이 포함되어 있는 경우에는, 종래의 기억 소자에 비하여 광범위한 저항치 유지 성능, 기록 · 소거의 고속 동작 성능이 향상함과 함께 반복 회수가 증가한다. 또한, 예를 들면 저저항으로부터 고저항으로 변화시킬 때의 소거 전압을 조정하여 고저항 상태와 저저항 상태 사이의 중간적인 상태를 만들어 내면, 그 상태를 안정하게 유지할 수 있다. 따라서, 2치뿐만 아니라 다치(多值)의 메모리를 실현하는 것이 가능해진다.

[0077] 그런데, 이와 같은 전압을 인가하는 기록 · 소거 동작 특성과, 저항치의 유지 특성과, 반복 동작 회수라는 메모리 동작상의 중요한 여러 특성은, Zr, Cu 및 Al, 나아가서는 Ge의 조성비에 따라 다르다.

- [0078] 예를 들면, Zr은 그 함유량이 과다하면, 이온원층(21)의 저항치가 너무 내려가 이온원층(21)에 유효한 전압을 인가할 수가 없기 때문에, 특히 소거가 하기 어렵게 되고, Zr 조성비에 응하여 소거의 임계치 전압이 상승하여 가고, 더욱 과다한 경우에는 기록, 즉 저저항화도 곤란하게 된다. 한편, Zr 조성비가 과소하면, 전술한 바와 같은 광범위한 저항치의 유지 특성을 향상시키는 효과가 적어진다. 따라서, 이온원층(21)중의 Zr의 조성비는 7.5 이상인 것이 바람직하고, 더욱 바람직하게는 26원자% 이하이다.
- [0079] 또한, Cu는 적량을 이온원층(21)에 첨가한 경우, 비정질화를 촉진하는 것이지만, 과다하면 금속 상태의 Cu는 칼코겐 원소를 포함하는 이온원층(21)중에서의 안정성이 충분하지 않기 때문에 기록 보존 특성이 악화하거나, 기록 동작의 고속성에 악영향이 보여진다. 그 한편으로, Zr과 Cu의 조합은, 비정질을 형성하기 쉽고, 이온원층(21)의 미세 구조를 균일하게 유지한다는 효과를 갖는다. 이에 의해, 반복 동작에 의한 이온원층(21)중의 재료 성분의 불균일화를 막기 때문에, 반복 회수가 증가함과 함께 보존 특성도 향상한다. 상술한 범위 내에서 충분히 Zr을 함유하고 있는 경우는, 비정질 구조가 안정하기 때문에, 기록 보존 특성에의 영향은 보여지지 않는다.
- [0080] 또한, Al의 함유량이 과다하면, Al 이온의 이동이 생기기 쉬워지고, Al 이온의 환원에 의해 기록 상태가 만들어져 버린다. Al은 칼코게나이드의 고체 전해질중에서 금속 상태의 안정성이 낮기 때문에, 저저항의 기록 상태의 유지 성능이 저하된다. 한편, Al 조성비가 과소하면, 소거 동작 그 자체나 고저항 영역의 유지 특성을 향상시키는 효과가 낮아지고, 반복 회수가 감소한다. 따라서, Al의 조성비는 30원자% 이상인 것이 바람직하고, 더욱 바람직하게는 50원자% 이하이다.
- [0081] Ge는 반드시 포함되어 있지 않아도 좋은데, Ge 함유량이 과다한 경우에는 기록 보존 특성이 열화되기 때문에, Ge를 포함하는 경우의 조성비는 15원자% 이하인 것이 바람직하다.
- [0082] 또한, Si도 반드시 포함되어 있지 않아도 좋은데, 조성비가 과소하면 기억층(20)의 막 벗겨짐 방지 효과를 기대할 수가 없게 되고, 과다하면 양호한 메모리 동작 특성을 얻을 수가 없다. 따라서, 이온원층(21)중의 Si의 조성비는 10 내지 45원자% 정도의 범위 내인 것이 바람직하다.
- [0083] 이하, 본 실시의 형태의 기억 소자(1)의 제조 방법에 관해 설명한다.
- [0084] 우선, 선택 트랜지스터 등의 CMOS 회로가 형성된 기판상에, 예를 들면 질화 티탄(TiN)으로 이루어지는 하부 전극(10)의 플러그를 형성한다.
- [0085] 뛰어어, 하부 전극(10)의 윗면에 Ti, Zr, Hf, V, Nb, Ta, Cr, Mo 및 W로 이루어지는 천이금속의 군중 적어도 1종의 단체 또는 질화물로 이루어지는 천이금속 재료막을 형성하고, 이 천이금속 재료막과 하부 전극(10)의 표면 중 적어도 천이금속 재료막을 산화함에 의해, 제 1층(22A)을 형성한다.
- [0086] 구체적으로는, 예를 들면 TiN으로 이루어지는 하부 전극(10)의 윗면에, 예를 들면 스퍼터법에 의해, 천이금속 재료막으로서 Ti막을 1.0nm의 두께로 형성한다. 계속해서, 이 Ti막을 산소 플라즈마에 의해 산화함에 의해, Ti_{0x}로 이루어지는 제 1층(22A)을 형성한다. 또한, 이 때, Ti막의 두께는 극히 얇기 때문에, Ti막의 산화에 계속해서 하부 전극(10)의 표면에서도 산화가 진행하고 있을 가능성이 있다.
- [0087] 또는, 예를 들면 TiN으로 이루어지는 하부 전극(10)의 윗면에, 천이금속 재료막으로서 질화 지르코늄(ZrN)막을 형성하고, 이 ZrN막을 산화하도록 하여도 좋다. 이 때, ZrN막의 두께는 극히 얇기 때문에, ZrN 막이 산화되어 산화 지르코늄(ZrO_x)이 생성할 뿐만 아니라, 하부 전극(10)의 표면도 산화되어 Ti_{0x}가 형성된다. 따라서, 예를 들면 도 2에 도시한 바와 같이, ZrO_x층(22A1)과 Ti_{0x}층(22A2)으로 이루어지는 제 1층(22A)이 형성된다. 이 경우, ZrN이 충분히 산화되어 있을 것이 중요하고, 결과로서 Ti_{0x}가 형성되게 된다.
- [0088] 그 후, 예를 들면 스퍼터법에 의해, Te로 이루어지는 중간층(21A)을 4nm의 두께로 형성한다. 계속해서, CuZrTeAlGe(Cu11at%-Zr11%-Te30%-Al40%-Ge8%)로 이루어지는 이온 공급층(21B)을 60nm의 두께로 형성한다. 이에 의해, 중간층(21A) 및 이온 공급층(21B)의 2층 구조를 갖는 이온원층(21)이 형성된다. 그 때, 기억층(20)중에서는, 이온 공급층(21B)중의 Al이 중간층(21A)중에 확산하여, Ti_{0x}로 이루어지는 제 1층(22A)중의 잉여의 산소, 또는 그 밖의 막 내에 진입한 산소와 결합하여, 제 1층(22A)상에 Al_{0x}로 이루어지는 제 2층(22B)이 형성된다.
- [0089] Al_{0x}로 이루어지는 제 2층(22B)은, 제 1층(22A)을 형성한 후, 원료가 되는 Al막을 성막하고, 산화시킴으로써 형성하여도 좋다. 그러나, 상술한 바와 같이 이온 공급층(21B)중에, 제 2층(22B)의 원료가 되는 Al 원소를 함유시킴으로써, 제 2층(22B)의 성막 프로세스를 도입하는 일 없이, 간편하게 제 2층(22B)을 포함하는 기억층(20)을 형성하는 것이 가능해진다. 제 2층(22B)의 두께는, 제 1층(22A)을 구성하는 Ti_{0x}의 플라즈마 산화 조건(O₂ 분위기 압력, 투입 전력)의 강도로 제어하는 것이 가능하다.

- [0090] 이온원층(21) 및 저항 변화층(22)을 형성한 후, 이온원층(21)의 위에, 예를 들면 W로 이루어지는 상부 전극(30)을 성막한다. 이와 같이 하여, 하부 전극(10), 기억층(20) 및 상부 전극(30)의 적층막을 형성한다.
- [0091] 적층막을 형성한 후, 이 적층막중 저항 변화층(22), 이온원층(21) 및 상부 전극(30)을, 플라즈마 에칭 등에 의해 패터닝한다. 플라즈마 에칭 외에는, 이온 밀링, RIE(Reactive Ion Etching ; 반응성 이온 에칭) 등의 에칭 방법을 이용하여 패터닝을 행할 수도 있다. 또한, 상부 전극(30)의 표면에 대해 에칭을 행하여, 중간 전위(Vdd/2)를 주는 외부 회로에 접속하기 위한 상부 전극(30)의 콘택트 부분을 노출시킨다.
- [0092] 적층막을 패터닝한 후, 예를 들면 Al로 이루어지는 배선층(도시 생략)을 200nm의 두께로 형성하고, 이 배선층과 상부 전극(30)의 콘택트 부분을 접속한다. 그 후, 적층막에 대해, 예를 들면 진공 열처리로에서 300°C, 2시간의 열처리를 시행한다. 이상에 의해, 도 1에 도시한 기억 소자(1)가 완성된다.
- [0093] 또한, 상술한 제조 방법에서는, 제 1층(22A)을 형성하는 공정에서, Ti막을 형성한 후, 이 Ti막을 산소 플라즈마에 의해 산화함에 의해, TiOx로 이루어지는 제 1층(22A)을 형성하는 경우에 관해 설명하였다. 그러나, 제 1층(22A)은, 예를 들면, TiN으로 이루어지는 하부 전극(10)의 표면에 형성되어 있는 자연산화 피막이나 하부 전극(10) 형성 공정의 세척 유래의 피막을 역(逆)스퍼터나 밀링 등에 의해 제거한 후에, 하부 전극(10)의 표면을 직접 플라즈마 산화함에 의해 형성하는 것도 가능하다.
- [0094] 이와 같이 본 실시의 형태에서는, 저항 변화층(21)을, 하부 전극(10)측부터 차례로, 천이금속 산화물로 이루어지는 제 1층(22A)과, 알루미늄 산화물을 주성분으로 하는 제 2층(22B)을 적층한 구조으로 하였기 때문에, 기록 및 소거의 반복에 수반하여 이온원층(21)에 포함되는 칼코겐 원소와 하부 전극(10)과의 불필요한 산화 반응이 생기는 것을 억제하고, 반복 내구성을 높임과 함께 메모리의 수명을 향상시키는 것이 가능해진다. 따라서, 소거 상태의 저항치의 편차를 적게 하고, 다(多)비트의 어레이에도 저항 분리폭이 충분히 큰 양호한 특성을 얻는 것이 가능해진다.
- [0095] 또한, 이온원층(21)이 중간층(21A)과 이온 공급층(21B)의 2층 구조를 갖고 있기 때문에, 양호한 반복 내구성을 유지한 채로 보존 특성이 향상하고, 보다 저전류에서의 불휘발 메모리 동작이 가능해진다. 따라서, 미세화에 의해 트랜지스터의 전류 구동력이 작아진 경우에도, 정보의 보존이 가능해지고, 기억 장치의 고밀도화 및 소형화를 도모하는 것이 가능해진다.
- [0096] 또한, 이온원층(21)에 Zr, Al, Cu, Ge 등이 포함되어 있기 때문에, 데이터 보존 특성이 우수하다. 더하여, 하부 전극(10), 저항 변화층(22), 이온원층(21) 및 상부 전극(30)의 어느것이나 스퍼터링이 가능한 재료로 구성하는 것이 가능하고, 제조 프로세스도 간소화된다. 즉, 각 층의 재료에 적응한 조성으로 이루어지는 타겟을 이용하여, 순차적으로 스퍼터링을 행하면 좋다. 또한, 동일한 스퍼터링 장치 내에서, 타겟을 교환함에 의해, 연속하여 성막하는 것도 가능하다.
- [0097] (변형례 1)
- [0098] 또한, 상기 실시의 형태에서는, 저항 변화층(22)이, 하부 전극(10)측부터 차례로, 천이금속 산화물로 이루어지는 제 1층(22A)과, 알루미늄 산화물을 주성분으로 하는 제 2층(22B)을 적층한 구조를 갖고 있는 경우에 관해 설명하였지만, 저항 변화층(22)은, 도 3에 도시한 바와 같이, 알루미늄 산화물 및 천이금속 산화물을 혼재한 상태로 함유하는 단층 구조라도 좋다.
- [0099] 이 경우에는, 상부 전극(30)이 예를 들면 정전위, 하부 전극(10)이 예를 들면 부전위가 되도록 하여 기억 소자(1)에 대해 정전압을 인가하면, 이온원층(21)중에서는 Al 이온 및 이온원층(21)에 포함되는 금속 원소의 이온이 하부 전극(10)측으로 이동함과 함께, 하부 전극(10)상에서는 알루미늄 산화물 또는 금속 원소 이온의 환원 반응에 의해 도전 패스가 생겨서 저저항화한다(기록 상태). 이 저저항의 상태의 소자에 대해 상부 전극(30)이 예를 들면 부전위, 하부 전극(10)이 예를 들면 정전위가 되도록 기억 소자(1)에 대해 부전압을 인가하면, 이온원층(21)중에서는 Al 이온 및 이온원층(21)에 포함되는 금속 원소의 이온이 상부 전극(30)측으로 이동함과 함께, 하부 전극(10)상에서는 Al 이온이 산화 반응에 의해 알루미늄 산화물을 형성하고, 또는 환원 상태의 금속 원소가 산화 반응에 의해 이온화하여 이온원층(21)에 용해하여 도전 패스가 소실하여 고저항 상태가 된다(소거 상태).
- [0100] 여기서는, 저항 변화층(22)이, 알루미늄 산화물 및 그보다 저항이 낮은 천이금속 산화물을 혼재한 상태로 함유하고 있기 때문에, 소자에 대해 상술한 정전압이 인가된 경우에도, 천이금속 산화물에는 전압 바이어스가 걸리기 어려워지고, 소자가 기록 상태(저저항 상태)가 되어도, 천이금속 산화물은 환원되지 않고 하부 전극(10)상에서 산화물을 형성한 채로 된다. 따라서, 기록 및 소거의 반복에 수반하여 이온원층(21)에 포함되는 칼코겐 원소

와 하부 전극(10)과의 불필요한 산화 반응이 생기는 것이 억제된다.

[0101] (변형례 2)

또한, 상기 실시의 형태에서는, 이온원층(21)이 중간층(21A)과 이온 공급층(21B)의 2층 구조를 갖는 경우에 관해 설명하였지만, 이온원층(21)은 반드시 중간층(21)을 갖을 필요는 없고, 도 4에 도시한 바와 같이, 이온 공급층(21B)만의 단층 구조를 갖고 있어도 좋다.

[0103] (변형례 3)

또한, 도 5에 도시한 바와 같이, 저항 변화층(22)이 알루미늄 산화물 및 천이금속 산화물을 혼재한 상태로 함유하는 단층임과 함께, 이온원층(21)이 이온 공급층(21B)만의 단층이라도 좋다.

[0105] (제 2의 실시의 형태)

도 6은, 본 발명의 제 2의 실시의 형태에 관한 기억 소자(1)의 단면 구성을 도시한 것이다. 이 기억 소자(1)는, 저항 변화층(22)의 제 1층(22A)이 천이금속 산질화물로 이루어지는 것을 제외하고는, 상기 제 1의 실시의 형태와 같은 구성·작용 및 효과를 가지며, 제 1의 실시의 형태와 마찬가지로 하여 제조할 수 있다. 따라서, 대응하는 구성 요소에는 동일한 부호를 붙여서 설명한다.

[0107] 제 1층(22A)을 구성하는 천이금속 산화물은, 도전성을 갖는 산질화물임과 함께 절연성이 높지 않은 것이 바람직하다. 구체적으로는, Ti, Zr, Hf, V, Nb, Ta, Cr, Mo 및 W로 이루어지는 천이금속의 군중 적어도 1종의 산화물인 것이 바람직하다.

[0108] 천이금속 산질화물로 이루어지는 제 1층(22A)은, 질소(N)를 포함함에 의해 과잉한 산소(O)를 포함하지 않게 되기 때문에, 저항이 낮아진다. 또한, 산화 알루미늄으로 이루어지는 제 2층(22B)은, 제 1의 실시의 형태에서 설명한 바와 같이, 이온 공급층(21B)중의 Al이 중간층(21A)중에 확산하고, 제 1층(22A)중의 잉여의 산소, 또는 그밖의 기록 막 내에 진입한 산소와 결합하여 형성되는 것이다. 그 때문에, 제 1층(22A)에 과잉한 산소가 포함되지 않음에 의해, 산화 알루미늄의 생성이 억제되고, 제 2층(22B)의 두께가 얇아진다. 이러하기 때문에, 제 1층(22A) 및 제 2층(22B)에 걸리는 분압이 작아지고, 이온 공급층(21B) 및 중간층(21A)에 걸리는 전압이 커져서, 이온이 이동·확산하기 쉬워진다. 따라서, 임계치의 저하가 가능해짐과 함께 저전류 동작에 알맞다. 제 1층(22A)에 포함되는 질소량에 의해 동작 전류의 제어가 가능하다.

[0109] 또한, 변형례 1 내지 변형례 3은, 제 2의 실시의 형태에도 적용 가능하다. 즉, 저항 변화층(22)은, 도 3에 도시한 바와 같이, 알루미늄 산화물 및 천이금속 산질화물을 혼재한 상태로 함유하는 단층 구조라도 좋다. 또한, 이온원층(21)은 반드시 중간층(21)을 갖을 필요는 없고, 도 4에 도시한 바와 같이, 이온 공급층(21B)만의 단층 구조를 갖고 있어도 좋다. 또한, 도 5에 도시한 바와 같이, 저항 변화층(22)이 알루미늄 산화물 및 천이금속 산질화물을 혼재한 상태로 함유하는 단층임과 함께, 이온원층(21)이 이온 공급층(21B)만의 단층이라도 좋다.

[0110] (변형례 4)

[0111] 상기 제 1의 실시의 형태에서는 제 1층(22A)이 천이금속 산화물로 이루어지는 경우, 제 2의 실시의 형태에서는 제 1층(22A)이 천이금속 산질화물로 이루어지는 경우에 관해 설명하였다. 그러나, 제 1층(22A)은, 도 7에 도시한 바와 같이, 천이금속 산화물층(22A3)과 천이금속 산질화물층(22A4)을 양쪽 포함하고 있어도 좋다.

[0112] 즉, 예를 들면 제 1의 실시의 형태와 같이, 예를 들면 TiN으로 이루어지는 하부 전극(10)의 윗면에, 천이금속 재료막으로서 Ti막을 형성하고, 이 Ti막을 산소 플라즈마에 의해 산화하는 경우에는, Ti막 및 또는 하부 전극(10)의 표면의 산화에 의해, Ti_{0x}로 이루어지는 천이금속 산화물층(22A3)이 형성된다. 이 천이금속 산화물층(22A3)의 아래에는, TiN의 산화가 완전히 완료하지 않음에 의해, 티탄의 산질화물(TiON)로 이루어지는 천이금속 산질화물층(22A4)이 형성될 가능성이 있다. 이것은, TiN으로 이루어지는 하부 전극(10)의 표면을 직접 플라즈마 산화하는 경우도 마찬가지이다.

[0113] 또한, 예를 들면 TiN으로 이루어지는 하부 전극(10)의 윗면에, 천이금속 재료막으로서 ZrN막을 형성하고, 이 ZrN막을 산화하는 경우에는, 도 8에 도시한 바와 같이, ZrN막의 산화에 의해 형성된 Zr_{0x}로 이루어지는 천이금속 산화물층(22A3), ZrN의 산화가 완전히 완료하지 않은 지르코늄의 산질화물(ZrON)로 이루어지는 천이금속 산질화물층(22A4), 하부 전극(10)의 표면의 산화에 의해 형성된 Ti_{0x}로 이루어지는 천이금속 산질화물층(22A3), TiN의 산화가 완전히 완료하지 않음에 의해 TiON으로 이루어지는 천이금속 산질화물층(22A4)이 차례로 형성될 가능성이 있다. 또한, ZrN막의 두께는 극히 얕기 때문에, ZrON으로 이루어지는 천이금속 산질화물층(22A4)은 형

성되지 않을 가능성도 있다.

[0114] 또한, 변형례 1 내지 변형례 3은, 본 변형례 4에도 적용 가능하다. 즉, 저항 변화층(22)은, 도 3에 도시한 바와 같이, 알루미늄 산화물, 천이금속 산화물 및 천이금속 산질화물을 혼재한 상태로 함유하는 단층 구조라도 좋다. 또한, 이온원층(21)은 반드시 중간층(21)을 갖을 필요는 없고, 도 4에 도시한 바와 같이, 이온 공급층(21B)만의 단층 구조를 갖고 있어도 좋다. 또한, 도 5에 도시한 바와 같이, 저항 변화층(22)이 알루미늄 산화물, 천이금속 산화물 및 천이금속 산질화물을 혼재한 상태로 함유하는 단층임과 함께, 이온원층(21)이 이온 공급층(21B)만의 단층이라도 좋다.

[0115] (제 3의 실시의 형태)

[0116] 도 9는, 본 발명의 제 3의 실시의 형태에 관한 기억 소자(1)의 단면 구성을 도시한 것이다. 이 기억 소자(1)는, 이온원층(21)의 중간층(21A)에 Zr 등의 천이금속이 첨가되어 있는 것을 제외하고는, 상기 제 1 또는 제 2의 실시의 형태와 같은 구성·작용 및 효과를 가지며, 제 1 또는 제 2의 실시의 형태와 마찬가지로 하여 제조할 수 있다. 따라서, 대응하는 구성 요소에는 동일한 부호를 붙여서 설명한다.

[0117] 중간층(21A)은, 예를 들면 Zr을 첨가 원소로서 포함함에 의해, 이온 공급층(21B)보다도 고저항이 되어 있다. 이에 의해, 중간층(21A)에 전압을 인가되기 쉬워지고, 저전류로도 동작하기 쉬워진다. 또한, 기억 소자(1)에 전압을 인가한 때에, 보다 효율적으로 이온이 이동하고, 확실하게 기록·소거 동작이 가능해진다. 따라서, 동작 불량이 저감되고, 저항 편차가 개선된다.

[0118] 도 10은, Te 단체에 Zr을 도프한 막의 시트 저항을 측정하고 체적 저항률을 구한 결과를 도시한 것이다. 도 10 으로부터 알 수 있는 바와 같이, Te-Zr막의 저항률은, Zr 함유률이 0%(순수 Te)부터 커짐에 따라 상승하고, 약 7% 정도에서 극대치가 되고, 그 이상에서는 저하된다. 이것으로부터, 중간층(21A)에 Zr을 수% 첨가함에 의해 중간층(21A)의 저항률을 높게 하는 것이 가능함을 알 수 있다.

[0119] 또한, Zr 외에, Cu, Cr, Mn, Ti 또는 Hf 등의 다른 천이금속도, Zr과 마찬가지로 중간층(21A)을 고저항화하는 효과를 갖고 있다. 즉, 중간층(21A)은, Al과 칼코겐 원소를 포함하고, 또한, Zr, Cu, Cr, Mn, Ti 및 Hf로 이루어지는 천이금속의 군중 적어도 1종을 포함하고 있는 것이 바람직하다.

[0120] 이와 같이 본 실시의 형태에서는, 중간층(21A)이, Zr, Cu, Cr, Mn, Ti 및 Hf로 이루어지는 천이금속의 군중 적어도 1종을 포함함에 의해, 중간층(21A)의 저항률은 이온 공급층(21B)보다도 높게 하도록 하였기 때문에, 기록·소거 동작시의 이온 이동을 촉진하여, 메모리 동작을 안정화하고, 기록·소거 상태의 저항 분포를 개선하는 것이 가능해진다.

[0121] 또한, 변형례 1, 제 2의 실시의 형태 및 변형례 4는, 본 실시의 형태에도 적용 가능하다. 즉, 저항 변화층(22)은, 알루미늄 산화물, 천이금속 산화물 및 천이금속 산질화물을 혼재한 상태로 함유하는 단층 구조라도 좋다.

[0122] (제 4의 실시의 형태)

[0123] 도 11은, 본 발명의 제 4의 실시의 형태에 관한 기억 소자(1)의 단면 구성을 도시한 것이다. 이 기억 소자(1)는, 이온원층(21)의 중간층(21A) 및 이온 공급층(21B)중 적어도 한쪽에 산소(0)가 첨가되어 있는 것을 제외하고는, 상기 제 1 내지 제 3의 실시의 형태와 같은 구성·작용 및 효과를 가지며, 제 1 내지 제 3의 실시의 형태와 마찬가지로 하여 제조할 수 있다. 따라서, 대응하는 구성 요소에는 동일한 부호를 붙여서 설명한다.

[0124] 이온 공급층(21B)이 산소(0)를 첨가 원소로서 포함함에 의해, 이온 공급층(21B)의 저항률이 커진다. 그 때문에, 기록 동작시에, 이온 공급층(21B)중의 금속 이온에 걸리는 분압이 커지고, 금속 이온이 보다 움직이기 쉬워지고, 도전 패스의 형성이 보다 안정하다. 따라서, 기록 보존 특성이 향상된다. 또한, 이온 공급층(21B)의 저항률은, 성막시의 산소(02) 유량(流量)에 의해 제어 가능하고, 산소(02) 도입량이 커짐에 따라 이온 공급층(21B)의 저항률도 커진다.

[0125] 한편, 중간층(21A)이 산소(0)를 첨가 원소로서 포함함에 의해, 중간층(21A)의 저항률이 높아진다. 따라서, 소거 동작시에 중간층(21A)에 걸리는 전압이 커지고, 금속 이온이 이온 공급층(21A)으로 되돌아오기 쉬워진다. 그와 함께, 도전 패스의 금속 원소는 이온화하고, 이온원층(21)에 용해, 또는 텔루르(Te) 등과 결합하여, 보다 고저항의 상태로 변화하는 반응이 진행되기 쉬워진다. 따라서, 소거 특성이 향상된다.

[0126] 이상의 것으로부터, 중간층(21A) 및 이온 공급층(21B)의 양쪽이 산소(0)를 첨가 원소로서 포함함에 의해, 상술한 기록 보존 특성 및 소거 특성의 양쪽이 향상하고, 종래의 기록/소거의 트레이드 오프의 관계로부터

진보하고, 다수 비트에서의 저항 분리폭을 더욱 개선하는 것이 가능해진다.

[0127] 도 12는, 성막시의 산소(02) 유량을 0cc 및 5cc로 한 경우에 관해, Te 단체에 Zr을 도프한 막의 시트 저항을 측정하고 체적 저항률을 구한 결과를 도시한 것이다. 또한, 도 12에서는 파워, 성막 시간 등의 성막 조건은 고정하였다. 도 12로부터 알 수 있는 바와 같이, Te-Zr막의 저항률은, 성막시의 산소(02) 유량을 5cc로 한 경우의 쪽이, 0cc로 한 경우보다도 높아져 있다. 이것으로부터, 중간층(21A)에 Zr과 산소(0)를 양쪽 첨가함에 의해 중간층(21A)의 저항률을 높게 하여, 알맞은 값으로 하는 것이 가능함을 알 수 있다.

[0128] 또한, Zr 외에, Cu, Ti 또는 Hf 등의 다른 천이금속을 산소(0)와 함께 첨가한 경우에도, Zr과 마찬가지로 중간층(21A)을 알맞게 고저항화하는 효과를 얻을 수 있다. 즉, 중간층(21A)은, Al과 칼코겐 원소를 포함하고, 또한, 산소(0)와, Cu, Ti, Zr 및 Hf로 이루어지는 천이금속의 군중 적어도 1종을 첨가 원소로서 포함하는 것이 바람직하다.

[0129] 또한, 도 12에서는, Zr 함유률이 0%(순수 Te)인 경우에도, 성막시의 산소(02) 유량을 5cc로 한 경우쪽이, 0cc로 한 경우보다도 고저항이 되어 있다. 따라서, 중간층(21A)에 천이 원소를 첨가하지 않고, 산소(0)만을 첨가함에 의해서도 중간층(21A)의 고저항화가 가능해짐을 알 수 있다. 그 경우에는, 중간층(21A)은, Al과 칼코겐 원소를 포함함과 함께, 또한, 산소(0)를 첨가 원소로서 포함하는 것이 바람직하다.

[0130] 이상의 어느 경우에도, 중간층(21A)은, 이온 공급층(21B)보다도 고저항이 되어 있는 것이 바람직하다. 이에 의해, 중간층(21A)에 전압리 인가되기 쉬워지고, 저전류로도 동작하기 쉬워진다. 또한, 기억 소자(1)에 전압을 인가한 때에, 보다 효율적으로 이온이 이동하고, 확실하게 기록·소거 동작이 가능해진다. 따라서, 동작 불량이 저감되고, 저항 편차가 개선된다.

[0131] 이와 같이 본 실시의 형태에서는, 이온원층(21)의 중간층(21A) 및 이온 공급층(21B)중 적어도 한쪽에 산소(0)를 첨가하여 저항률을 높이도록 하였기 때문에, 이온 공급층(21B)에의 산소 첨가에 의한 기록 보존 특성의 향상, 또는 중간층(21A)에의 산소 첨가에 의한 소거 특성의 향상이 가능해지고, 다수 비트에서의 저항 분리폭의 개선이 가능해진다.

[0132] 또한, 변형례 1, 제 2의 실시의 형태 및 변형례 4는, 본 실시의 형태에도 적용 가능하다. 즉, 저항 변화층(22)은, 알루미늄 산화물, 천이금속 산화물 및 천이금속 산질화물을 혼재한 상태로 함유하는 단층 구조라도 좋다.

[0133] (기억 장치)

[0134] 상기 기억 소자(1)를 다수, 예를 들면 열형상(列狀)이나 매트릭스형상으로 배열함에 의해, 기억 장치(메모리)를 구성할 수 있다. 이 때, 각 기억 소자(1)에, 필요에 응하여, 소자 선택용의 MOS 트랜지스터, 또는 다이오드를 접속하여 메모리 셀을 구성하고, 또한, 배선을 통하여, 센스 앰프, 어드레스 디코더, 기록·소거·판독 회로 등에 접속하면 좋다.

[0135] 도 13 및 도 14는 다수의 기억 소자(1)를 매트릭스형상으로 배치한 기억 장치(메모리 셀 어레이 2)의 한 예를 도시한 것이고, 도 13은 단면 구조, 도 14는 평면 구성을 각각 나타내고 있다. 이 메모리 셀 어레이(2)에서는, 각 기억 소자(1)에 대해, 그 하부 전극(10)측에 접속되는 배선과, 그 상부 전극(30)측에 접속되는 배선을 교차하도록 마련하고, 예를 들면 이를 배선의 교차점 부근에 각 기억 소자(1)가 배치되어 있다.

[0136] 각 기억 소자(1)는, 저항 변화층(22), 이온원층(21) 및 상부 전극(30)의 각 층을 공유하고 있다. 즉, 저항 변화층(22), 이온원층(21) 및 상부 전극(30) 각각은 각 기억 소자(1)에 공통의 층(동일층)에 의해 구성되어 있다. 상부 전극(30)은, 인접 셀에 대해 공통의 전극이 되어 있다.

[0137] 한편, 하부 전극(10)은, 메모리 셀마다 개별적으로 마련됨에 의해, 인접 셀 사이에서 전기적으로 분리되어 있고, 각 하부 전극(10)에 대응한 위치에 각 메모리 셀의 기억 소자(1)가 규정된다. 하부 전극(10)은 각각 대응하는 셀 선택용의 MOS 트랜지스터(Tr)에 접속되어 있고, 각 기억 소자(1)는 이 MOS 트랜지스터(Tr)의 상방에 마련되어 있다.

[0138] MOS 트랜지스터(Tr)는, 반도체 기판(41) 내의 소자 분리층(42)에 의해 분리된 영역에 형성된 소스/드레인 영역(43)과 게이트 전극(44)에 의해 구성되어 있다. 게이트 전극(44)의 벽면에는 사이드 월 절연층이 형성되어 있다. 게이트 전극(44)은, 기억 소자(1)의 한쪽의 어드레스 배선인 워드선(WL)을 겹하고 있다. MOS 트랜지스터(Tr)의 소스/드레인 영역(43)의 한쪽과, 기억 소자(1)의 하부 전극(10)이, 플러그층(45), 금속 배선층(46) 및 플러그층(47)을 통하여 전기적으로 접속되어 있다. MOS 트랜지스터(Tr)의 소스/드레인 영역(43)의 다른쪽은, 플러그층(45)을 통하여 금속 배선층(46)에 접속되어 있다. 금속 배선층(46)은, 기억 소자(1)의 다른쪽의 어드레스

배선인 비트선(BL)(도 14 참조)에 접속되어 있다. 또한, 도 14에서는, MOS 트랜지스터(Tr)의 액티브 영역(48)을 쇄선으로 도시하고 있고, 콘택트부(51)는 기억 소자(1)의 하부 전극(10), 콘택트부(52)는 비트선(BL)에 각각 접속되어 있다.

[0139] 이 메모리 셀 어레이(2)에서는, 워드선(WL)에 의해 MOS 트랜지스터(Tr)의 게이트를 온 상태로 하여, 비트선(BL)에 전압을 인가하면, MOS 트랜지스터(Tr)의 소스/드레인을 통하여, 선택된 메모리 셀의 하부 전극(10)에 전압이 인가된다. 여기서, 하부 전극(10)에 인가된 전압의 극성이, 상부 전극(30)(공통 전극)의 전위에 비하여 부전위인 경우에는, 상술한 바와 같이 기억 소자(1)의 저항치가 저저항 상태로 천이한다. 이에 의해 선택된 메모리 셀에 정보가 기록된다. 다음에, 하부 전극(10)에, 상부 전극(30)(공통 전극)의 전위에 비하여 정전위의 전압을 인가하면, 기억 소자(1)의 저항치가 재차 고저항 상태로 천이한다. 이에 의해 선택된 메모리 셀에 기록된 정보가 소거된다. 기록된 정보의 판독을 행하는데는, 예를 들면, MOS 트랜지스터(Tr)에 의해 메모리 셀을 선택하고, 그 셀에 대해 소정의 전압 또는 전류를 인가한다. 이 때의 기억 소자(1)의 저항 상태에 의해 다른 전류 또는 전압을, 비트선(BL) 또는 상부 전극(30)(공통 전극)의 앞에 접속된 센스 앤프 등을 통하여 검출한다. 또한, 선택한 메모리 셀에 대해 인가하는 전압 또는 전류는, 기억 소자(1)의 저항치의 상태가 천이하는 전압 등의 임계치보다도 작게 한다.

[0140] 본 실시의 형태의 기억 장치는, 상술한 바와 같이 각종의 메모리 장치에 적용할 수 있다. 예를 들면, 한번만 기록이 가능한 PROM(Programmable Read Only Memory), 전기적으로 소거가 가능한 EEPROM(Erasable Programmable Read Only Memory), 또는, 고속으로 기록·소거·재생이 가능한, 이른바 RAM 등, 어느 메모리 형태라도 적용하는 것이 가능하다.

[0141] [실시예]

[0142] 이하, 본 발명의 구체적인 실시예에 관해 설명한다.

[0143] (실시예 1)

[0144] 상기 제 1의 실시의 형태와 마찬가지로 하여 기억 소자(1)를 구비한 메모리 셀 어레이를 제작하였다. 우선, TiN으로 이루어지는 하부 전극(10)의 플리그가 형성되어 있는 CMOS 회로상에, 스퍼터링에 의해 Ti막을 1nm의 두께로 형성하였다. 뒤이어, 이 Ti막을 산화 플라즈마로 산화하여 Ti₀X로 이루어지는 제 1층(22A)을 형성하였다.

[0145] 계속해서, Te로 이루어지는 중간층(21A)을 4nm의 두께로 형성하고, 계속해서 CuZrTeAlGe(Cu11at%-Zr11%-Te30%-Al40%-Ge8%)로 이루어지는 이온 공급층(21B)을 60nm의 두께로 형성하였다. 그 후, W로 이루어지는 상부 전극(30)을 50nm의 두께로 형성하였다. 본 실시예의 공정을 간략적으로 나타내면 이하와 같이 된다.

[0146] TiN/Ti(1nm)/플라즈마 산화/Te(4nm)/CuZrTeAlGe(60nm)/W(50nm)

[0147] 하부 전극(10), 기억층(20) 및 상부 전극(30)의 적층막을 형성한 후, 이 적층막중 저항 변화층(22), 이온원층(21) 및 상부 전극(30)을, 메모리 셀 어레이의 부분에 남도록 패터닝 하였다. 또한, 상부 전극(30)의 표면에 대해 에칭을 행하고, 중간 전위(Vdd/2)를 주는 외부 회로에 접속하기 위한 상부 전극(30)의 콘택트 부분을 노출시켰다.

[0148] 적층막을 패터닝한 후, Al로 이루어지는 배선층(도시 생략)을 200nm의 두께로 형성하고, 이 배선층과 상부 전극(30)의 콘택트 부분을 접속하였다. 그 후, 적층막에 대해, 진공 열처리로에서 300°C, 2시간의 열처리를 행하였다. 이상에 의해, 도 1에 도시한 기억 소자(1)를 갖는 메모리 셀 어레이를 제작하였다.

[0149] 얻어진 실시예 1의 메모리 셀 어레이에 대해, 반복 재기록 특성을 조사하였다. 그 때, 기록 펄스로서 전압(Vw) 3V, 전류 약 100μA, 펄스 폭 10ns, 소거 펄스로서 전압(Ve) 2V, 전류 약 100μA, 펄스 폭 10nm로 105 이상 반복하였다. 그 결과를 도 15(B)에 도시한다. 또한, 전류 약 50μA로 하여, 마찬가지로 반복 재기록 특성을 조사하였다. 그 결과를 도 15(C)에 도시한다.

[0150] 도 15(B) 및 도 15(C)로부터 알 수 있는 바와 같이, 저저항 상태와 고저항 상태의 저항치가 1자릿수 이상 다른 양호한 메모리 동작을 나타냈다.

[0151] 다음에, 4kbit의 메모리 셀 어레이로 1000회 반복 후의, 누적도수분포(累積度數分布)와, 130°C 2시간의 데이터 보존 가속 시험 후의 누적도수분포를 조사하였다. 그 결과를 도 15(A)에 도시한다.

[0152] 도 15(A)로부터 알 수 있는 바와 같이, 기록 상태(저저항)와 소거 상태(고저항)가 분리하여 있음과 함께 양호한 분산 특성을 나타내고 있고, 데이터 보존 가속 시험 후에도 저항 분리가 얻어져 있다.

[0153] (실시예 2)

[0154] TiN으로 이루어지는 하부 전극(10)의 플러그가 형성되어 있는 CMOS 회로상에서, 하부 전극(10)상에 형성되어 있는 자연산화 피막을 역스퍼터로 충분히 제거하였다. 그 후, 하부 전극(10)을 직접 플라즈마 산화함에 의해 TiO_x로 이루어지는 제 1층(22A)을 형성하였다. 이것을 제외하고는, 실시예 1과 마찬가지로 하여 기록 소자(1)를 갖는 메모리 셀 어레이를 제작하였다. 실시예 2의 공정을 간략적으로 나타내면 이하와 같이 된다.

[0155] TiN/플라즈마 산화/Te(4nm)/CuZrTeAlGe(60nm)/W(50nm)

[0156] (실시예 3)

[0157] W로 이루어지는 하부 전극(10)의 플러그가 형성되어 있는 CMOS 회로상에서, 하부 전극(10)상에 형성되어 있는 자연산화 피막을 역스퍼터로 충분히 제거하였다. 그 후, 하부 전극(10)을 직접 플라즈마 산화함에 의해 산화 텅스텐(WO_x)으로 이루어지는 제 1층(22A)을 형성하였다. 이것을 제외하고는, 실시예 1과 마찬가지로 하여 기록 소자(1)를 갖는 메모리 셀 어레이를 제작하였다. 실시예 3의 공정을 간략적으로 나타내면 이하와 같이 된다.

[0158] W/플라즈마 산화/Te(4nm)/CuZrTeAlGe(60nm)/W(50nm)

[0159] (비교예 1)

[0160] TiN으로 이루어지는 하부 전극의 플러그가 형성되어 있는 CMOS 회로상에, 스퍼터링에 의해 가돌리늄(Gd)막을 1nm의 두께로 형성하였다. 이 Gd막을 산화 플라즈마로 산화함에 의해, 산화 가돌리늄(GdO_x)막을 형성하였다. 그 후, CuZrTeAlGe(Cu11at%-Zr11%-Te30%-Al40%-Ge8%)로 이루어지는 이온원층을 60nm의 두께로 형성하고, W로 이루어지는 상부 전극을 50nm의 두께로 형성하였다. 이것을 제외하고는, 실시예 1과 마찬가지로 하여 기록 소자를 갖는 메모리 셀 어레이를 제작하였다. 비교예 1의 공정을 간략적으로 나타내면 이하와 같이 된다.

[0161] TiN/Gd(1nm)/플라즈마 산화/CuZrTeAlGe(60nm)/W(50nm)

[0162] (비교예 2)

[0163] TiN으로 이루어지는 하부 전극의 플러그가 형성되어 있는 CMOS 회로상에, 스퍼터링에 의해 Gd막을 1nm의 두께로 형성하였다. 이 Gd막을 산화 플라즈마로 산화함에 의해, GdO_x막을 형성하였다. 계속해서, Te로 이루어지는 중간층을 4nm의 두께로 성막하고, CuZrTeAlGe(Cu11at%-Zr11%-Te30%-Al40%-Ge8%)로 이루어지는 이온 공급층을 60nm의 두께로 형성하였다. 그 후, W로 이루어지는 상부 전극을 50nm의 두께로 형성하였다. 이것을 제외하고는, 실시예 1과 마찬가지로 하여 기록 소자를 갖는 메모리 셀 어레이를 제작하였다. 비교예 2의 공정을 간략적으로 나타내면 이하와 같이 된다.

[0164] TiN/Gd(1nm)/플라즈마 산화/Te(4nm)/CuZrTeAlGe(60nm)/W(50nm)

[0165] (비교예 3)

[0166] TiN으로 이루어지는 하부 전극의 플러그가 형성되어 있는 CMOS 회로상에, 스퍼터링에 의해 Te로 이루어지는 중간층을 4nm의 두께로 형성하였다. 계속해서, CuZrTeAlGe(Cu11at%-Zr11%-Te30%-Al40%-Ge8%)로 이루어지는 이온 공급층을 60nm의 두께로 형성하고, W로 이루어지는 상부 전극을 50nm의 두께로 형성하였다. 이것을 제외하고는, 실시예 1과 마찬가지로 하여 기록 소자(1)를 갖는 메모리 셀 어레이를 제작하였다. 비교예 3의 공정을 간략적으로 나타내면 이하와 같이 된다.

[0167] TiN/Te(4nm)/CuZrTeAlGe(60nm)/W(50nm)

[0168] 얻어진 실시예 2, 3 및 비교예 1, 2, 3의 메모리 셀 어레이에 대해서도, 실시예 1과 마찬가지로 하여, 1000회 반복 후의 4kbit의 누적도수분포, 및/또는 100μA와 50μA의 반복 특성을 조사하였다. 실시예 2의 누적도수분포를 도 16(A), 실시예 2의 반복 특성을 도 16(B) 및 도 16(C)에 도시한다. 실시예 3의 반복 특성을 도 17(A) 및 도 17(B)에 도시한다. 비교예 1의 누적도수분포를 도 18(A), 비교예 1의 반복 특성을 도 18(B) 및 도 18(C)에 도시한다. 비교예 2의 반복 특성을 도 19(A) 및 도 19(B)에 도시한다. 비교예 3의 누적도수분포를 도 20(A), 비교예 3의 반복 특성을 도 20(B) 및 도 20(C)에 도시한다.

[0169] (실시예 1, 2 및 비교예 3 : 천이금속 산화물로 이루어지는 제 1층의 유무)

[0170] 도 15(A) 내지 (C), 도 16(A) 내지 (C) 및 도 20(A) 내지 (C)로부터 알 수 있는 바와 같이, 하부 전극(10)상에 TiO_x로 이루어지는 제 1층(22A)을 형성한 실시예 1, 2에서는 어느것이나 양호한 저항 분리 및 반복 특성이 얻어

졌다. 이에 대해, 천이금속 산화물로 이루어지는 제 1층을 마련하지 않고, 하부 전극의 위에 직접 중간층 및 이온 공급층을 형성한 비교예 3에서는, 고저항 상태 및 저저항 상태의 분리가 얻어져 있지 않고, 반복 특성이 떨어져 있다.

[0171] 이 원인은 반드시 분명하지는 않지만, 원인을 추정하는 측정의 예로서 기록 동작을 행한 저저항 상태의 60개의 소자에, 소거 방향으로 0 내지 3V까지 전압을 가하여 간 때의 저항 변화를 도 21(A) 및 도 21(B)에 도시한다. 도 21(B)에 도시한 바와 같이, 천이금속 산화물로 이루어지는 제 1층을 형성하지 않은 경우는, 소거 전압에 의해 저저항화하는 소자가 많이 존재한다. 이에 대해, 도 21(A)에 도시한 바와 같이, 천이금속 산화물로 이루어지는 제 1층을 형성하고 있는 소자에서는, 측정의 범위 내의 소거 전압에서는 저저항화하지 않는다. 이것은, 하부 전극의 위에 천이금속 산화물로 이루어지는 제 1층이 존재함에 의해, 소거 전압이 걸린 때에 Al 산화막이 형성되는 등의 고저항화하는 이외의 불필요한 변화를 억제하고 있기 때문이라고 생각되고, 아마도 본 실시예에서 전해질의 음이온인 Te와 하부 전극과의 반응을 억제하고 있기 때문이라고 생각된다.

[0172] 또한, 실시예 2의 기억 소자(1)에 관해, 전자현미경(TEM ; Transmission Electron Microscope)에 의한 구조 해석 및 EDX 측정을 행하였다. TEM-EDX상(像)을 도 22에 도시함과 함께, 단면의 EDX 라인 프로파일 결과를 도 23 및 도 24에 도시한다. EDX 측정에서는, 단면 샘플상에서 약 1nm 지름에 수광한 전자선을 1nm 간격으로 라인 스캔하면서, 각 포인트에서의 EDX 스펙트럼을 취득하였다. EDX 라인 프로파일 결과는, Te-L α 1 피크, Cu-K α 1 피크, O-K α 1 피크, Al-K α 1 피크, Zr-K α 1 피크, Ti-K α 1 피크의 적분 강도를 플롯한 결과이다. 각 피크의 적분 강도는, 백그라운드의 노이즈 성분을 포함한 값이다.

[0173] 도 23 및 도 24로부터 알 수 있는 바와 같이, 실시예 2에서는, TiO_x로 이루어지는 제 1층(22A)과 Te를 포함하는 중간층(21A)과의 계면에, Al 및 산소(O)의 피크가 관찰되어 있고, 산화 알루미늄(Al-O)으로 이루어지는 제 2층(22B)이 형성되어 있는 것을 확인할 수 있었다. 제 2층(22B)의 존재는, 도 22의 TEM상에서도 인정되었다. 또한, 여기서는 나타내고 있지 않지만, 하부 전극상에 천이금속 산화물로 이루어지는 제 1층을 형성하지 않은 비교예 3의 TEM상에서도, 하부 전극상에 Al 산화층이 형성되는 것을 알고 있다. 그러나, 실시예 2 및 비교예 3의 반복 특성은 크게 다르고, 실시예 2에서는 100만회 이상의 재기록 반복을 행하여도 특성 열화가 적고 또한 재기록이 가능하지만, 천이금속 산화물로 이루어지는 제 1층을 형성하지 않은 비교예 3에서는 10회 반복 후에는 특성이 크게 열화하고 있다.

[0174] 즉, 저항 변화층(22)이, 하부 전극(10)측부터 차례로, 천이금속 산화물로 이루어지는 제 1층(22A)과, 알루미늄 산화물을 주성분으로 하는 제 2층(22B)을 적층한 구성을 갖고 있도록 하면, 양호한 저항 분리 및 반복 특성을 얻을 수 있음을 알 수 있었다.

[0175] (실시예 3 및 비교예 2 : 천이금속 산화물로 이루어지는 제 1층의 다른 재료)

[0176] 도 17(A) 및 도 17(B)로부터 알 수 있는 바와 같이, WO_x로 이루어지는 제 1층(22A)을 마련한 실시예 3에서는, 실시예 1, 2와 마찬가지로 양호한 저항 분리 및 반복 특성이 얻어졌다.

[0177] 이에 대해, 도 19(A) 및 도 19(B)로부터 알 수 있는 바와 같이, 저항 변화층으로서 GdO_x막을 형성한 비교예 2에서는, 초기 저항치가 너무 높아져서 기록(저저항화) 동작하기 어렵게 되기 때문에, 반복이 곤란해졌다.

[0178] 즉, 제 1층(22A)이, TiO_x 외에, WO_x에 의해 구성되어 있는 경우에도, 양호한 저항 분리 및 반복 특성을 얻을 수 있음을 알 수 있었다.

[0179] (실시예 1 내지 3 및 비교예 1 : 중간층의 유무에 의한 저전류에서의 반복 특성의 차이)

[0180] 도 18(B) 및 도 18(C)로부터 알 수 있는 바와 같이, 하부 전극상에 GdO_x로 이루어지는 저항 변화층을 형성하고, 중간층을 마련하지 않은 비교예 1에서는, 100 μ A의 반복 후의 저항 분리는 비교적 양호하였지만, 50 μ A의 반복 특성은, 중간층(21A)을 마련한 실시예 1 내지 3에 비하여 뒤떨어지고 있다.

[0181] 즉, 이온원층(21)을 중간층(21A)과 이온 공급층(21B)의 2층 구조로 하면, 보다 저전류에서의 반복 특성이 항상함을 알 수 있었다.

[0182] (실시예 2 : 중간층 및 이온 공급층의 알루미늄 농도 분포)

[0183] 상술한 실시예 2에서는, 천이금속 산화물로 이루어지는 제 1층(22A)을 형성한 후 Te로 이루어지는 중간층(21A) 및 CuZrTeAlGe로 이루어지는 이온 공급층(21B)을 차례로 형성하였다. 그러나, 실제로는 성막 후에, 도 22의 TEM상, 및 도 23 및 도 24의 EDX 라인 프로파일 결과로부터 알 수 있는 바와 같이, 이온 공급층(21B)으로부터 중간

층(21A)에 Al이 확산하고, 중간층(21A)에도 Al이 존재하고 있는 상태로 되어 있다. 단, TEM상으로부터는 중간층(21A)에서는 이온 공급층(21B)보다도 칼코겐 원소 함유량에 대한 Al 함유량의 비(Al 농도)가 낮은 것을 알 수 있고, 이것이 본 실시예의 효과를 발휘시키고 있는 것이라고 생각된다. 결국은, 중간층(21A)에 Te가 음이온으로서 풍부하게 존재하고, 기록·소거, 특히 소거 동작시의 Al 이온의 이동을 방해하지 않을 것이 필요하다. 또한, 중간층(21A)중의 Al은, 이온 공급층(21B)과의 농도 구배에 의한 확산에 의해 초래된다고 생각되기 때문에, 예를 들면 Al₂Te₃의 화학량논 조성보다도 적어진다고 생각되고, 중간층(21A)에 존재하고 있는 Al의 대부분은 이온 상태로 존재하고 있다고 생각되고, 인가한 전위가 효과적으로 이온 이동의 구동에 사용되는 것이 이와 같은 특성 향상에 결부되어 있다고 생각된다.

[0184] 즉, 중간층(21A)에서의 Al 농도가 이온 공급층(21B)에서의 Al 농도보다도 작아지도록 하면, 저전류에서의 반복 특성을 향상시킬 수 있음을 알 수 있다.

[0185] (실시예 2 및 비교예 1 : 중간층의 유무에 의한 데이터 보존 특성의 차이)

[0186] 도 16(A) 및 도 18(A)로부터 알 수 있는 바와 같이, 중간층을 마련하지 않은 비교예 1에서는, 반복 후의 보존 가속 시험 후에 있어서 저저항 상태의 비트가 고저항화하고, 분포가 변화하고 있는 양상이 보여졌다. 이에 대해, 중간층을 갖는 실시예 2에서는, 저저항 상태의 분포에 변화는 보여지지 않고 양호한 데이터 보존 특성을 나타냈다. 이 원인은 반드시 분명하지는 않지만, 실시예 2에서는 이온 공급층(21B)보다도 Al 농도가 낮은 중간층(21A)이 존재함으로써, 기록 동작시의 환원 반응에 의해, Al 이온이 환원되어 Al 메탈이 생성하고, 기록 전압 바이어스를 없앤 때에 재차 Al 산화물이 되어 소자 저항을 상승시키는 것이 아니라, Al를 용해할 여력이 있는 중간층(21A)에 메탈 Al이 용해함에 의해 저항 상승이 생기지 않기 때문이라고 생각된다.

[0187] 즉, 이온원층(21)을 중간층(21A)과 이온 공급층(21B)의 2층 구조로 하면, 데이터 보존 특성을 향상할 수 있음을 알 수 있다.

[0188] (실시예 4-1)

[0189] 제 1층(22A)을, Ta막을 플라즈마 산화함에 의해 형성한 것을 제외하고는, 실시예 1과 마찬가지로 하여 메모리 셀 어레이를 제작하였다. 얻어진 메모리 셀 어레이에 대해 반복 재기록 특성 및 저항 분리를 조사하여 본 바, 도 25(A) 및 도 25(B)에 도시한 바와 같이, 실시예 1과 동등한 결과가 얻어졌다.

[0190] (실시예 4-2)

[0191] 제 1층(22A)을, Zr막을 플라즈마 산화함에 의해 형성한 것을 제외하고는, 실시예 1과 마찬가지로 하여 메모리 셀 어레이를 제작하였다. 얻어진 메모리 셀 어레이에 대해 반복 재기록 특성 및 저항 분리를 조사하여 본 바, 도 26(A) 및 도 26(B)에 도시한 바와 같이, 실시예 1과 동등한 결과가 얻어졌다.

[0192] (실시예 5-1)

[0193] 중간층(21A)을 GeS, 이온 공급층(21B)을 CuZrTeAlGe에 의해 구성한 것을 제외하고는, 실시예 1과 마찬가지로 하여 메모리 셀 어레이를 제작하였다. 얻어진 메모리 셀 어레이에 대해, 반복 재기록 특성 및 저항 분리를 조사하여 본 바, 도 27(A) 및 도 27(B)에 도시한 바와 같이, 실시예 1과 동등한 결과가 얻어졌다.

[0194] (실시예 5-2)

[0195] 중간층(21A)을 Te, 이온 공급층(21B)을 CuTiTeAl에 의해 구성한 것을 제외하고는, 실시예 1과 마찬가지로 하여 메모리 셀 어레이를 제작하였다. 얻어진 메모리 셀 어레이에 대해, 반복 재기록 특성 및 저항 분리를 조사하여 본 바, 실시예 1과 동등한 결과가 얻어졌다.

[0196] (실시예 6-1)

[0197] 중간층(21A)을 Te(두께 5nm), 이온 공급층(21B)을 Ag₇Zr₁₄Te₃₆Al₁₄₃(두께 45nm), 상부 전극(30)을 Zr(두께 50nm)에 의해 구성한 것을 제외하고는, 실시예 2와 마찬가지로 하여 메모리 셀 어레이를 제작하였다. 얻어진 메모리 셀 어레이에 대해, 반복 재기록 특성 및 저항 분리를 조사하여 본 바, 도 28(A) 및 도 28(B)에 도시한 바와 같이, 실시예 2와 동등한 결과가 얻어졌다.

[0198] (실시예 6-2)

[0199] 중간층(21A)을 Te(두께 5nm), 이온 공급층(21B)을 Ni₁₃Zr₁₃Te₃₃Al₁₄₀(두께 45nm), 상부 전극(30)을 Zr(두께 50 nm)에 의해 구성한 것을 제외하고는, 실시예 2와 마찬가지로 하여 메모리 셀 어레이를 제작하였다. 얻어진 메모

리 셀 어레이에 대해, 반복 재기록 특성 및 저항 분리를 조사하여 본 바, 도 29(A) 및 도 29(B)에 도시한 바와 같이, 실시예 2와 동등한 결과가 얻어졌다.

[0200] (실시예 6-3)

중간층(21A)을 Te(두께 5nm), 이온 공급층(21B)을 Co₇Zr₁₄Te₃₆Al₄₃(두께 45nm), 상부 전극(30)을 Zr(두께 50nm)에 의해 구성한 것을 제외하고는, 실시예 2와 마찬가지로 하여 메모리 셀 어레이를 제작하였다. 얻어진 메모리 셀 어레이에 대해, 반복 재기록 특성 및 저항 분리를 조사하여 본 바, 도 30(A) 및 도 30(B)에 도시한 바와 같이, 실시예 2와 동등한 결과가 얻어졌다.

[0202] (실시예 6-4)

중간층(21A)을 Te(두께 5nm), 이온 공급층(21B)을 Mn₁₃Zr₁₃Te₃₃Al₄₀(두께 45nm), 상부 전극(30)을 Zr(두께 50nm)에 의해 구성한 것을 제외하고는, 실시예 2와 마찬가지로 하여 메모리 셀 어레이를 제작하였다. 얻어진 메모리 셀 어레이에 대해, 반복 재기록 특성 및 저항 분리를 조사하여 본 바, 도 31(A) 및 도 31(B)에 도시한 바와 같이, 실시예 2와 동등한 결과가 얻어졌다.

[0204] (실시예 6-5)

중간층(21A)을 Te(두께 5nm), 이온 공급층(21B)을 Fe₁₀Zr₁₆Te₃₉Al₃₅(두께 45nm), 상부 전극(30)을 Zr(두께 50nm)에 의해 구성한 것을 제외하고는, 실시예 2와 마찬가지로 하여 메모리 셀 어레이를 제작하였다. 얻어진 메모리 셀 어레이에 대해, 반복 재기록 특성 및 저항 분리를 조사하여 본 바, 도 32(A) 및 도 32(B)에 도시한 바와 같이, 실시예 2와 동등한 결과가 얻어졌다.

[0206] (실시예 7-1)

이온 공급층(21B)을 Cu₁₀Hf₁₄Te₃₇Al₃₈에 의해 구성한 것을 제외하고는, 실시예 2와 마찬가지로 하여 메모리 셀 어레이를 제작하였다. 얻어진 메모리 셀 어레이에 대해, 누적도수분포, 반복 재기록 특성 및 저항 분리를 조사하여 본 바, 도 33(A) 내지 도 33(C)에 도시한 바와 같이, 실시예 2와 동등한 결과가 얻어졌다.

[0208] (실시예 7-2)

이온 공급층(21B)을 Cu₁₀Ti₁₄Te₃₇Al₃₈에 의해 구성한 것을 제외하고는, 실시예 2와 마찬가지로 하여 메모리 셀 어레이를 제작하였다. 얻어진 메모리 셀 어레이에 대해, 누적도수분포, 반복 재기록 특성 및 저항 분리를 조사하여 본 바, 도 34(A) 내지 도 34(C)에 도시한 바와 같이, 실시예 2와 동등한 결과가 얻어졌다.

[0210] (실시예 7-3)

중간층(21A)을 Al₁₁Te₉(두께 3.2nm), 이온 공급층(21B)을 Cu_{12.5}Hf_{7.5}Te_{35.4}Al₁₃₈Ge_{6.6}(두께 60nm), 상부 전극(30)을 텉스텐(W)(두께 30nm)에 의해 구성한 것을 제외하고는, 실시예 2와 마찬가지로 하여 메모리 셀 어레이를 제작하였다. 얻어진 메모리 셀 어레이에 대해, 누적도수분포, 반복 재기록 특성 및 저항 분리를 조사하여 본 바, 도 35(A) 내지 도 35(C)에 도시한 바와 같이, 실시예 2와 동등한 결과가 얻어졌다.

[0212] (실시예 8-1 내지 8-4)

실시예 2와 마찬가지로 하여 4kbit의 메모리 셀 어레이를 제작하였다. 그 때, 질화 티탄(TiN)으로 이루어지는 하부 전극(10)의 표면을 직접 플라즈마 산화함에 의해 산화 티탄(TiO_x)으로 이루어지는 제 1층(22A)을 형성하였다. 얻어진 4개의 샘플(실시예 8-1 내지 8-4)에 관해, 제 1층(22A)의 두께 및 밀도를, X선 반사율법을 이용하여 조사하였다. 그 결과를 표 1에 표시한다.

표 1

	두께 (nm)	밀도 (g/cm ³)
실시예 8-1	1. 15	3. 314
실시예 8-2	1. 563	3. 871
실시예 8-3	2. 954	3. 998
실시예 8-4	4. 762	3. 046

[0214]

얻어진 실시예 8-1 내지 8-4의 메모리 셀 어레이에 대해, 1000회의 기록·소거 동작을 반복하고, 계속해서 온도 가속 시험을 행한 후에, 누적도수분포를 조사하였다. 그 결과를 도 36(A), 도 36(B), 도 37(A) 및 도 37(B)에 도시한다.

[0215]

표1 및 도 36(A) 내지 도 37(B)로부터 알 수 있는 바와 같이, 실시예 8-1 내지 8-4는 모두 제 1층(22A)의 두께가 1nm 이상이고, 기록(저저항) 상태와 소거(고저항) 상태가 분리되어 있다. 즉, 제 1층(22A)의 두께를 1nm 이상으로 하면, 양호한 저항 분리 특성이 얻어지는 것이 확인되었다.

[0216]

(실시예 9-1, 9-2)

[0217]

실시예 1과 마찬가지로 하여 4kbit의 메모리 셀 어레이를 제작하였다. 그 때, TiN으로 이루어지는 하부 전극(10)의 윗면에, 천이금속 재료막으로서 Zr막을 형성하고, 이 Zr막을 산화함에 의해, ZrO_x층(22A1)을 형성하였다. 그 때, 결과로서 TiO_x층(22A2)도 형성되고, 도 2에서의 제 1층(22A)이 형성되었다. 또한, 본 실시 예에서는 Zr을 이용하여 ZrO_x층(22A1)을 형성하였지만, ZrN을 산화함에 의해, ZrO_x층(22A1)을 형성하여도 좋다. (도 2 참조.).

[0218]

얻어진 2개의 샘플(실시예 9-1, 9-2)에 관해, 제 1층(22A)의 두께 및 밀도를 조사하여 본 바, 실시예 9-1에서는, TiO_x층(22A2)의 두께는 1.49nm, 밀도는 3.86g/cm³, ZrO_x층(22A1)의 두께는 1.48nm, 밀도는 5.23g/cm³이다. 실시예 9-2에서는, TiO_x층(22A2)의 두께는 2.39nm, 밀도는 3.70g/cm³, ZrO_x층(22A1)의 두께는 1.07nm, 밀도는 5.17g/cm³이였다.

[0219]

또한, 실시예 9-1, 9-2의 메모리 셀 어레이에 대해, 1000회의 기록·소거 동작을 반복하고, 계속해서 온도 가속 시험을 행한 후에, 누적도수분포를 조사하였다. 그 결과를 도 38(A) 및 도 38(B)에 도시한다.

[0220]

도 38(A) 및 도 38(B)로부터 알 수 있는 바와 같이, 실시예 9-1, 9-2는 어느것이나 제 1층(22A)의 두께가 1nm 이상이고, 기록(저저항) 상태와 소거(고저항) 상태가 분리되어 있다. 즉, 제 1층(22A)의 두께를 1nm 이상으로 하면, 양호한 저항 분리 특성을 얻어지는 것이 확인되었다.

[0221]

(실시예 10 : 제 1층(22A)을 산질화물에 의해 구성한 예)

[0222]

상기 제 2의 실시의 형태와 마찬가지로 하여 기억 소자(1)를 구비한 메모리 셀 어레이를 제작하였다. 우선, TiN으로 이루어지는 하부 전극(10)의 플러그가 형성되어 있는 CMOS 회로상에, 리액티브 스퍼터에 의해 ZrN막을 0.5nm의 두께로 형성하였다. 성막 조건으로서는, Zr 타겟에 인가하는 전압은 3.5kW, 챔버 내에 흘리는 아르곤(Argon), 질소(N₂)의 유량은 각각 25sccm, 300sccm로 하고, 전체의 압력은 2.1E-3(Torr)로 하였다. 이 때의 Ar 분위기의 분압은 2.0E-4(Torr), 질소 분위기의 분압은 1.9E-3(Torr)로 추측하고 있다. 뒤이어, 이 ZrN막을 산화 플라즈마로 산화하여 ZrON으로 이루어지는 제 1층(22A)을 형성하였다.

[0223]

계속해서, Te로 이루어지는 중간층(21A)을 5nm의 두께로 형성하고, 계속해서 CuZrTeAlGe(Cu11at%-Zr11%-Te30%-Al40%-Ge8%)로 이루어지는 이온 공급층(21B)을 60nm의 두께로 형성하였다. 그 후, W로 이루어지는 상부 전극(30)을 50nm의 두께로 형성하였다. 본 실시예의 공정을 간략적으로 나타내면 이하와 같이 된다.

- [0225] TiN/ZrN(0.5nm)/플라즈마 산화/Te(5nm)/CuZrTeAlGe(60nm)/W(50nm)
- [0226] 하부 전극(10), 기억층(20) 및 상부 전극(30)의 적층막을 형성한 후, 실시예 1과 마찬가지로 하여 적층막의 패터닝 및 열처리를 행하였다. 이상에 의해, 도 6에 도시한 기억 소자(1)를 갖는 메모리 셀 어레이를 제작하였다.
- [0227] 얻어진 실시예 10의 메모리 셀 어레이에 대해, 누적도수분포, 반복 재기록 특성 및 저항 분리를 조사하여 본 바, 도 39(A) 내지 도 39(C)에 도시한 바와 같이, 누적도수분포, 반복 특성 및 저항 분리의 모두, 상기 실시의 형태의 천이금속 산화물 또는 천이금속 산질화물을 이용하지 않은 비교예 1에 비하여 양호한 특성이 얻어졌다.
- [0228] 즉, 저항 변화층(22)이, 하부 전극(10)측부터 차례로, 천이금속 산질화물로 이루어지는 제 1층(22A)과, 알루미늄 산화물을 주성분으로 하는 제 2층(22B)을 적층한 구성을 갖고 있도록 하면, 양호한 저항 분리 및 반복 특성을 얻을 수 있음을 알 수 있었다.
- [0229] (실시예 11 : 중간층(21A)에 천이금속을 첨가한 예)
- [0230] 상기 제 3의 실시의 형태와 마찬가지로 하여 기억 소자(1)를 구비한 메모리 셀 어레이를 제작하였다. 우선, TiN으로 이루어지는 하부 전극(10)의 플러그가 형성되어 있는 CMOS 회로상에, 실시예 10과 마찬가지로 하여 리액티브 스퍼터에 의해 ZrN막을 0.5nm의 두께로 형성하였다. 뒤이어, 이 ZrN막을 산화 플라즈마로 산화하여 ZrON으로 이루어지는 제 1층(22A)을 형성하였다.
- [0231] 계속해서, Te95Zr5로 이루어지는 중간층(21A)을 5nm의 두께로 형성하고, 계속해서 CuZrTeAlGe(Cu11at%-Zr11%-Te30%-Al40%-Ge8%)로 이루어지는 이온 공급층(21B)을 60nm의 두께로 형성하였다. 그 후, 텅스텐(W)으로 이루어지는 상부 전극(30)을 50nm의 두께로 형성하였다. 본 실시예의 공정을 간략적으로 나타내면 이하와 같이 된다.
- [0232] TiN/ZrN(0.5nm)/플라즈마 산화/Te95Zr5(5nm)/CuZrTeAlGe(60nm)/W(50nm)
- [0233] 하부 전극(10), 기억층(20) 및 상부 전극(30)의 적층막을 형성한 후, 실시예 1과 마찬가지로 하여 적층막의 패터닝 및 열처리를 행하였다. 이상에 의해, 도 9에 도시한 기억 소자(1)를 갖는 메모리 셀 어레이를 제작하였다.
- [0234] 얻어진 실시예 11의 메모리 셀 어레이에 대해, 누적도수분포, 반복 재기록 특성 및 저항 분리를 조사하여 본 바, 도 40(A) 내지 도 40(C)에 도시한 바와 같이, 누적도수분포, 반복 특성 및 저항 분리의 모두, 상기 실시의 형태의 천이금속 산화물 또는 천이금속 산질화물을 이용하지 않은 비교예 1에 비하여 양호한 특성이 얻어졌다.
- [0235] 또한, 실시예 10, 11의 메모리 셀 어레이에 대해, 기록 동작을 행한 저저항 상태의 60개의 소자에, 소거 방향으로 0 내지 3V까지 전압을 가하여 간 때의 저항 변화를 조사하였다. 그 결과를 도 41(A) 및 도 41(B)에 도시한다. 도 41(A) 및 도 41(B)로부터 알 수 있는 바와 같이, 측정의 범위 내의 소거 전압에서는 저저항화하고 있지 않고, 실시예 1과 동등 이상의 소거 특성을 갖고 있는 것이 확인되었다.
- [0236] 즉, 저항 변화층(22)이, 하부 전극(10)측부터 차례로, 천이금속 산질화물로 이루어지는 제 1층(22A)과, 알루미늄 산화물을 주성분으로 하는 제 2층(22B)을 적층한 구성을 갖음과 함께, 이온원층(21)을 중간층(21A)과 이온 공급층(21B)의 2층 구조로 하고, 중간층(21A)에 천이금속으로서 Zr을 첨가하도록 하면, 양호한 저항 분리 및 반복 특성을 얻을 수 있음을 알 수 있었다.
- [0237] (실시예 12 : 중간층(21A)에 천이금속을 첨가한 예)
- [0238] 하부 전극(10)에 WN을 이용한 이외는, 실시예 11과 마찬가지로 하여 메모리 셀 어레이를 제작하였다. 본 실시예의 공정을 간략적으로 나타내면 이하와 같이 된다.
- [0239] WN/ZrN(0.5nm)/플라즈마 산화/Te95Zr5(5nm)/CuZrTeAlGe(60nm)/W(50nm)
- [0240] 얻어진 실시예 12의 메모리 셀 어레이에 대해, 누적도수분포, 반복 재기록 특성 및 저항 분리를 조사하여 본 바, 도 42(A) 내지 도 42(C)에 도시한 바와 같이, 누적도수분포, 반복 특성 및 저항 분리의 모두, 상기 실시의 형태의 천이금속 산화물 또는 천이금속 산질화물을 이용하지 않은 비교예 1에 비하여 양호한 특성이 얻어졌다.
- [0241] 즉, 저항 변화층(22)이, 하부 전극(10)측부터 차례로, 천이금속 산질화물로 이루어지는 제 1층(22A)과, 알루미늄 산화물을 주성분으로 하는 제 2층(22B)을 적층한 구성을 갖음과 함께, 이온원층(21)을 중간층(21A)과 이온 공급층(21B)의 2층 구조로 하고, 중간층(21A)에 천이금속으로서 Zr을 첨가하도록 하면, 하부 전극(10)이 TiN 외에, WN에 의해 구성되어 있는 경우에도, 양호한 저항 분리 및 반복 특성을 얻을 수 있음을 알 수 있었다.
- [0242] (실시예 13-1 내지 13-3 : 제 1층의 산질화물의 다른 재료)

- [0243] 실시예 10과 마찬가지로 하여 기억 소자(1)를 구비한 메모리 셀 어레이를 제작하였다. 그 때, TiN으로 이루어지는 하부 전극(10)의 플러그가 형성되어 있는 CMOS 회로상에, 실시예 13-1에서는 TiN막, 실시예 13-2에서는 질화 탄탈(TaN)막, 실시예 13-3에서는 질화하프늄(HfN)막을 각각 형성하였다. 각각의 막을 산화 플라즈마로 산화하고, 실시예 13-1에서는 TiON, 실시예 13-2에서는 탄탈의 산질화물(TaON), 실시예 13-3에서는 하프늄의 산 질화물(HfON)로 이루어지는 제 1층(22A)을 형성하였다.
- [0244] 얻어진 실시예 13-1 내지 13-3의 메모리 셀 어레이에 대해, 반복 재기록 특성 및 저항 분리를 조사하여 본 바, 도 43 내지 도 45에 도시한 바와 같이, 상기 실시의 형태의 천이금속 산화물 또는 천이금속 산질화물을 이용하지 않은 비교예 1에 비하여 양호한 특성이 얻어졌다.
- [0245] 즉, 제 1층(22A)이 TiON, TaON, 또는 HfON에 의해 구성되어 있는 경우에도, 양호한 저항 분리 및 반복 특성을 얻을 수 있음을 알 수 있었다.
- [0246] (실시예 14 : 이온 공급층(21B)에 산소를 첨가한 예)
- [0247] 상기 제 4의 실시의 형태와 마찬가지로 하여 기억 소자(1)를 구비한 메모리 셀 어레이를 제작하였다. 우선, TiN으로 이루어지는 하부 전극(10)의 플러그가 형성되어 있는 CMOS 회로상에, 실시예 10과 마찬가지로 하여 리액티브 스퍼터에 의해 ZrN막을 0.5nm의 두께로 형성하였다. 뒤이어, 이 ZrN막을 산화 플라즈마로 산화하여 ZrON으로 이루어지는 제 1층(22A)을 형성하였다.
- [0248] 계속해서, Te95Zr5로 이루어지는 중간층(21A)을 5nm의 두께로 형성하고, 계속해서 CuZrTeAlGeO로 이루어지는 이온 공급층(21B)을 60nm의 두께로 형성하였다. 이온 공급층(21B)에 산소를 도프하는 방법으로서는 리액티브 스퍼터를 이용하고, 성막 조건으로서는, 실시예 1에서 CuZrTeAlGe로 이루어지는 이온 공급층을 성막한 것과 같은 크기의 전압을 각 타겟에 인가하였다. 챔버 내에 흘리는 Ar, 산소(02)의 유량은 각각 25sccm, 5sccm로 하고, 전체의 압력은 2.4E-4(Torr)로 하였다. 이 때의 Ar 분위기의 분압은 2.0E-4(Torr), 산소 분위기의 분압은 4.0E-5(Torr)로 추측하고 있다.
- [0249] 그 후, W로 이루어지는 상부 전극(30)을 50nm의 두께로 형성하였다. 본 실시예의 공정을 간략적으로 나타내면 이하와 같이 된다.
- [0250] TiN/ZrN(0.5nm)/플라즈마 산화/Te95Zr5(5nm)/CuZrTeAlGeO(60nm)/W(50nm)
- [0251] 하부 전극(10), 기억층(20) 및 상부 전극(30)의 적층막을 형성한 후, 실시예 1과 마찬가지로 하여 적층막의 패터닝 및 열처리를 행하였다. 이상에 의해, 도 11에 도시한 기억 소자(1)를 갖는 메모리 셀 어레이를 제작하였다.
- [0252] 얻어진 실시예 14의 메모리 셀 어레이에 대해, 누적도수분포, 반복 재기록 특성 및 저항 분리를 조사하여 본 바, 도 46(A) 내지 도 46(C)에 도시한 바와 같이, 누적도수분포, 반복 특성 및 저항 분리의 모두, 상기 실시의 형태의 천이금속 산화물 또는 천이금속 산질화물을 이용하지 않은 비교예 1에 비하여 양호한 특성이 얻어졌다.
- [0253] 즉, 저항 변화층(22)이, 하부 전극(10)측부터 차례로, 천이금속 산질화물로 이루어지는 제 1층(22A)과, 알루미늄 산화물을 주성분으로 하는 제 2층(22B)을 적층한 구성을 갖음과 함께, 이온원층(21)을 중간층(21A)과 이온 공급층(21B)의 2층 구조로 하고, 이온 공급층(21B)에 산소를 첨가하도록 하면, 양호한 저항 분리 및 반복 특성을 얻을 수 있음을 알 수 있었다.
- [0254] (실시예 15 : 중간층(21A)에 산소 및 천이금속을 첨가한 예)
- [0255] 상기 제 4의 실시의 형태와 마찬가지로 하여 기억 소자(1)를 구비한 메모리 셀 어레이를 제작하였다. 우선, TiN으로 이루어지는 하부 전극(10)의 플러그가 형성되어 있는 CMOS 회로상에, 실시예 10과 마찬가지로 하여 리액티브 스퍼터에 의해 ZrN막을 0.5nm의 두께로 형성하였다. 뒤이어, 이 ZrN막을 산화 플라즈마로 산화하여 ZrON으로 이루어지는 제 1층(22A)을 형성하였다.
- [0256] 계속해서, TeZrO로 이루어지는 중간층(21A)을 5nm의 두께로 형성하였다. 중간층(21A)에 산소를 도프하는 방법으로서는 리액티브 스퍼터를 이용하고, 성막 조건으로서는, 실시예 11과 마찬가지로, 챔버 내에 흘리는 Ar, 산소(02)의 유량은 각각 25sccm, 5sccm로 하였다. 이 때의 Ar 분위기의 분압은 2.0E-4(Torr), 산소 분위기의 분압은 4.0E-5(Torr)로 추측하고 있다.
- [0257] 그 후, CuZrTeAlGe(Cu11at%-Zr11%-Te30%-Al40%-Ge8%)로 이루어지는 이온 공급층(21B)을 60nm의 두께로 형성하고, 최후로, W로 이루어지는 상부 전극(30)을 50nm의 두께로 형성하였다. 본 실시예의 공정을 간략적으로 나타

내면 이하와 같이 된다.

[0258] TiN/ZrN(0.5nm)/플라즈마 산화/TeZrO(5nm)/CuZrTeAlGe(60nm)/W(50nm)

[0259] 하부 전극(10), 기억층(20) 및 상부 전극(30)의 적층막을 형성한 후, 실시예 1과 마찬가지로 하여 적층막의 패터닝 및 열처리를 행하였다. 이상에 의해, 도 11에 도시한 기억 소자(1)를 갖는 메모리 셀 어레이를 제작하였다.

[0260] 얻어진 실시예 15의 메모리 셀 어레이에 대해, 누적도수분포, 반복 재기록 특성 및 저항 분리를 조사하여 본 바, 도 47(A) 내지 도 47(C)에 도시한 바와 같이, 누적도수분포, 반복 특성 및 저항 분리의 모두, 상기 실시의 형태의 천이금속 산화물 또는 천이금속 산질화물을 이용하지 않은 비교예 1에 비하여 양호한 특성이 얻어졌다.

[0261] 즉, 저항 변화층(22)이, 하부 전극(10)측부터 차례로, 천이금속 산질화물로 이루어지는 제 1층(22A)과, 알루미늄 산화물을 주성분으로 하는 제 2층(22B)을 적층한 구성을 갖음과 함께, 이온원층(21)을 중간층(21A)과 이온 공급층(21B)의 2층 구조로 하고, 중간층(21A)에 천이금속으로서 Zr 및 산소를 첨가하도록 하면, 양호한 저항 분리 및 반복 특성을 얻을 수 있음을 알 수 있었다.

[0262] 또한, 실시예 10과 실시예 15를 비교하면, 실시예 15에서는 실시예 10에 비하여, 소거층의 저항 분포는, 보다 고저항층에 분포를 취한 것을 알 수 있다. 이것은, 중간층(21A)에 산소를 도프함으로써, 중간층(21A)의 저항률이 커지고, 소거시에 중간층(21A)에 걸리는 전압이 커지고, 금속 이온이 이온 공급층(21B)으로 되돌아오기 쉬워지고, 또한, 도전 패스의 금속 원소가 이온화하고, 이온원층(21)에 용해, 또는 Te 등과 결합하여, 보다 고저항의 상태로 변화하는 반응이 진행되기 쉬워지기 때문이라고 생각된다.

[0263] (실시예 16 ; 중간층(21A)에는 천이금속을 첨가하지 않고 산소만을 첨가하고, 이온 공급층(21B)에 산소를 첨가한 예)

[0264] 상기 제 4의 실시의 형태와 마찬가지로 하여 기억 소자(1)를 구비한 메모리 셀 어레이를 제작하였다. 우선, TiN으로 이루어지는 하부 전극(10)의 플러그가 형성되어 있는 CMOS 회로상에, 실시예 1과 마찬가지로 하여 리액티브 스퍼터에 의해 ZrN막을 0.5nm의 두께로 형성하였다. 뒤이어, 이 ZrN막을 산화 플라즈마로 산화하여 ZrON으로 이루어지는 제 1층(22A)을 형성하였다.

[0265] 계속해서, 실시예 15와 마찬가지로 하여 TeO로 이루어지는 중간층(21A)을 5nm의 두께로 형성하였다. 그 후, 실시예 14와 마찬가지로 하여 산소(O)를 첨가한 CuZrTeAlGe(Cu11at%-Zr11%-Te30%-Al40%-Ge8%)로 이루어지는 이온 공급층(21B)을 60nm의 두께로 형성하였다. 최후로, W로 이루어지는 상부 전극(30)을 50nm의 두께로 형성하였다. 본 실시예의 공정을 간략적으로 나타내면 이하와 같이 된다.

[0266] TiN/ZrN(0.5nm)/플라즈마 산화/TeO(5nm)/CuZrTeAlGeO(60nm)/W(50nm)

[0267] 하부 전극(10), 기억층(20) 및 상부 전극(30)의 적층막을 형성한 후, 실시예 1과 마찬가지로 하여 적층막의 패터닝 및 열처리를 행하였다. 이상에 의해, 도 11에 도시한 기억 소자(1)를 갖는 메모리 셀 어레이를 제작하였다.

[0268] 얻어진 실시예 16의 메모리 셀 어레이에 대해, 누적도수분포, 반복 재기록 특성 및 저항 분리를 조사하여 본 바, 도 48(A) 내지 도 48(C)에 도시한 바와 같이, 누적도수분포, 반복 특성 및 저항 분리의 모두, 상기 실시의 형태의 천이금속 산화물 또는 천이금속 산질화물을 이용하지 않은 비교예 1에 비하여 양호한 특성이 얻어졌다.

[0269] 즉, 저항 변화층(22)이, 하부 전극(10)측부터 차례로, 천이금속 산질화물로 이루어지는 제 1층(22A)과, 알루미늄 산화물을 주성분으로 하는 제 2층(22B)을 적층한 구성을 갖음과 함께, 이온원층(21)을 중간층(21A)과 이온 공급층(21B)의 2층 구조로 하고, 중간층(21A) 및 이온 공급층(21B)의 양쪽에 산소를 첨가하도록 하면, 양호한 저항 분리 및 반복 특성을 얻을 수 있음을 알 수 있었다.

[0270] (실시예 17 : 중간층(21A)에 천이금속 및 산소를 첨가하고, 이온 공급층(21B)에 산소를 첨가한 예)

[0271] 상기 제 4의 실시의 형태와 마찬가지로 하여 기억 소자(1)를 구비한 메모리 셀 어레이를 제작하였다. 우선, TiN으로 이루어지는 하부 전극(10)의 플러그가 형성되어 있는 CMOS 회로상에, 실시예 1과 마찬가지로 하여 리액티브 스퍼터에 의해 ZrN막을 0.5nm의 두께로 형성하였다. 뒤이어, 이 ZrN막을 산화 플라즈마로 산화하여 ZrON으로 이루어지는 제 1층(22A)을 형성하였다.

[0272] 계속해서, 실시예 15와 마찬가지로 하여 TeZrO로 이루어지는 중간층(21A)을 5nm의 두께로 형성하였다. 그 후,

실시예 14와 마찬가지로 하여 산소(0)를 첨가한 CuZrTeAlGe(Cu11at%-Zr11%-Te30%-Al40%-Ge8%)로 이루어지는 이온 공급층(21B)을 60nm의 두께로 형성하였다. 최후로, W로 이루어지는 상부 전극(30)을 50nm의 두께로 형성하였다. 본 실시예의 공정을 간략적으로 나타내면 이하와 같이 된다.

[0273] TiN/ZrN(0.5nm)/플라즈마 산화/TeZrO(5nm)/CuZrTeAlGeO(60nm)/W(50nm)

[0274] 하부 전극(10), 기억층(20) 및 상부 전극(30)의 적층막을 형성한 후, 실시예 1과 마찬가지로 하여 적층막의 패터닝 및 열처리를 행하였다. 이상에 의해, 도 11에 도시한 기억 소자(1)를 갖는 메모리 셀 어레이를 제작하였다.

[0275] 얻어진 실시예 17의 메모리 셀 어레이에 대해, 누적도수분포, 반복 재기록 특성 및 저항 분리를 조사하여 본 바, 도 49(A) 내지 도 49(C)에 도시한 바와 같이, 누적도수분포, 반복 특성 및 저항 분리의 모두, 상기 실시의 형태의 천이금속 산화물 또는 천이금속 산질화물을 이용하지 않은 비교예 1에 비하여 양호한 특성이 얻어졌다.

[0276] 즉, 저항 변화층(22)이, 하부 전극(10)측부터 차례로, 천이금속 산질화물로 이루어지는 제 1층(22A)과, 알루미늄 산화물을 주성분으로 하는 제 2층(22B)을 적층한 구성을 갖음과 함께, 이온원층(21)을 중간층(21A)과 이온 공급층(21B)의 2층 구조로 하고, 중간층(21A)에 천이금속으로서 Zr 및 산소를 첨가하고, 이온 공급층(21B)에 산소를 첨가하도록 하면, 양호한 저항 분리 및 반복 특성을 얻을 수 있음을 알 수 있었다.

[0277] (실시예 18 : 중간층(21A)에 천이금속 및 산소를 첨가한 예)

[0278] 상기 제 4의 실시의 형태와 마찬가지로 하여 기억 소자(1)를 구비한 메모리 셀 어레이를 제작하였다. 우선, CMOS 회로상에 폭로하고 있는 TiN으로 이루어지는 하부 전극(10)을 산화 플라즈마로 산화함에 의해, TiO_x로 이루어지는 제 1층(22A)을 약 1nm의 두께로 형성하였다.

[0279] 계속해서, CuZrTe막을 5nm의 두께로 형성하고, 10Torr의 압력의 산소에 폭로함에 의해, CuZrTeO_x로 이루어지는 중간층(21A)을 형성하였다.

[0280] 그 후, CuZrTeAlGe(Cu11at%-Zr11%-Te30%-Al40%-Ge8%)로 이루어지는 이온 공급층(21B)을 60nm의 두께로 형성하고, 최후로, W로 이루어지는 상부 전극(30)을 50nm의 두께로 형성하였다. 본 실시예의 공정을 간략적으로 나타내면 이하와 같이 된다.

[0281] TiN/플라즈마 산화/CuZrTeO_x(5nm)/CuZrTeAlGe(60nm)/W(50nm)

[0282] 여기서, 중간층(21A)인 CuZrTeO_x는, 성막시의 조성은 표기한 바와 같이 CuZrTeO_x이지만, 실제로는 이온 공급층(21B)인 CuZrTeAlGe층부터 Al이 상온에서도 확산하기 때문에, CuZrTeAlO_x가 된다.

[0283] 하부 전극(10), 기억층(20) 및 상부 전극(30)의 적층막을 형성한 후, 이 적층막중 저항 변화층(22), 이온원층(21) 및 상부 전극(30)을, 메모리 셀 어레이의 부분에 남도록 패터닝 하였다. 또한, 상부 전극(30)의 표면에 대해 에칭을 행하여, 중간 전위(Vdd/2)를 주는 외부 회로에 접속하기 위한 상부 전극(30)의 콘택트 부분을 노출시켰다.

[0284] 적층막을 패터닝한 후, Al로 이루어지는 배선층(도시 생략)을 200nm의 두께로 형성하고, 이 배선층과 상부 전극(30)의 콘택트 부분을 접속하였다. 그 후, 적층막에 대해, 진공 열처리로에서 300°C, 2시간의 열처리를 행하였다. 이상에 의해, 도 11에 도시한 기억 소자(1)를 갖는 메모리 셀 어레이를 제작하였다.

[0285] 얻어진 실시예 18의 메모리 셀 어레이에 대해, 반복 재기록 특성을 조사하였다. 그 때, 기록 펄스로서 전압(Vw) 3V, 전류 약 100μA, 펄스 폭 10ns, 소거 펄스로서 전압(Ve) 2V, 전류 약 100μA, 펄스 폭 10nm로 105 이상 반복하였다. 그 결과를 도 50(A)에 도시한다.

[0286] 도 50(A)로부터 알 수 있는 바와 같이, 저저항 상태와 고저항 상태의 저항치가 1자릿수 이상 다른 양호한 메모리 동작을 나타냈다.

[0287] 다음에, 4kbit의 메모리 셀 어레이로 1000회 반복 후의, 누적도수분포(파선)와, 130°C 2시간의 데이터 보존 가속 시험 후의 누적도수분포(실선)를 조사하였다. 그 결과를 도 50(B)에 도시한다.

[0288] 도 50(B)로부터 알 수 있는 바와 같이, 기록 상태(저저항)와 소거 상태(고저항)가 분리하여 있음과 함께 양호한 분산 특성을 나타내고 있고, 데이터 보존 가속 시험 후에도 저항 분리가 얻어져 있다. 따라서, 이 때에 참조 저항을 마련하면, 기록(저저항 상태)과 소거(고저항 상태)의 판독이 가능한 상태에 있고, 양호한 분산 특성이 얻어져 있음을 알 수 있었다.

- [0289] 즉, 저항 변화층(22)이, 하부 전극(10)측부터 차례로, 천이금속 산화물로 이루어지는 제 1층(22A)과, 알루미늄 산화물을 주성분으로 하는 제 2층(22B)을 적층한 구성을 갖음과 함께, 이온원층(21)을 중간층(21A)과 이온 공급 층(21B)의 2층 구조로 하고, 중간층(21A)에 천이금속으로서 Cu 및 Zr과 산소를 첨가하도록 하면, 양호한 저항 분리 및 반복 특성을 얻을 수 있음을 알 수 있었다.
- [0290] (실시예 19 ; 중간층(21A)에 천이금속을 첨가한 예)
- [0291] 중간층(21A)을 CrTe에 의해 구성한 것을 제외하고는, 실시예 18과 마찬가지로 하여 기록 소자(1)를 갖는 메모리 셀 어레이를 제작하였다. 본 실시예의 공정을 간략적으로 나타내면 이하와 같이 된다.
- [0292] TiN/플라즈마 산화/CrTe(5nm)/CuZrTeAlGe(60nm)/W(50nm)
- [0293] 또한, 이 경우도 실시예 18과 마찬가지로, 중간층(21A)인 CrTe층은 이온 공급층(21B)으로부터의 Al의 확산에 의해 CrAlTe가 된다.
- [0294] (비교예 4)
- [0295] 중간층을 Te에 의해 구성한 것을 제외하고는, 실시예 18과 마찬가지로 하여 기록 소자를 갖는 메모리 셀 어레이를 제작하였다. 비교예 4의 공정을 간략적으로 나타내면 이하와 같이 된다.
- [0296] TiN/플라즈마 산화/Te(5nm)/CuZrTeAlGe(60nm)/W(50nm)
- [0297] 또한, 이 경우도 실시예 18과 마찬가지로, 중간층인 Te층은 이온 공급층으로부터의 Al의 확산에 의해 AlTe가 된다.
- [0298] 비교예 4에서 얻어진 메모리 셀 어레이에 대해, 1000회 반복 후의 저항 분리를 조사하였다. 그 때, 전류를, 실시예 18과 같은 조건인 $110\mu\text{A}$ 와, 보다 저전류인 $80\mu\text{A}$ 로 하였다. 그 결과를 도 51(A) 및 도 51(B)에 도시한다.
- [0299] 도 50 및 도 51으로부터 알 수 있는 바와 같이, 전류 $110\mu\text{A}$ 의 기록 조건에서는, 실시예 18 및 비교예 4의 모두, 4kbit의 테일 부분에서 겹쳐짐이 없고, 저항 분리가 가능하였다. 그러나, 비교예 4에서는, $80\mu\text{A}$ 로 저전류화하면, 기록의 저저항측, 소거의 고저항측, 함께 저항 분포가 악화하여 저항 분리를 얻을 수가 없게 되었다. 따라서, 비교예 4의 구성에서는, 실시예 18에 비교하여, 재기록하고 전류를 저전류화하는 것이 곤란함을 알 수 있다.
- [0300] 또한, 실시예 19에서 얻어진 메모리 셀 어레이에 대해서도, 전류 $80\mu\text{A}$ 에서의 1000회 반복 후의 저항 분리를 조사하였다. 그 결과를 도 52(B)에 도시한다. 또한, 도 52(A)는 실시예 18, 도 52(C)는 비교예 4에 관해, 전류 $80\mu\text{A}$ 에서의 1000회 반복 후의 저항 분리를 조사한 결과를 아울러서 도시한다.
- [0301] 도 52(A) 내지 도 52(C)로부터 알 수 있는 바와 같이, 중간층(21A)에 크롬(Cr)을 첨가한 실시예 19에서는, 저전류에서의 재기록 동작이 안정되고, 저항 분리 마진이 확보되어 있다.
- [0302] 이 원인의 고찰을 위해, 실시예 18의 중간층(21A)의 CuZrTeO_x, 실시예 19의 중간층(21A)의 CrTe, 및 비교예 4의 중간층의 Te를 각각 제작하고 시트 저항을 측정하고 체적 저항률을 구한 바, 이하와 같이 되었다.
- | | | |
|--------|----------------------|-----------------------|
| [0303] | Te | $0.27\Omega\text{cm}$ |
| [0304] | CuZrTeO _x | $0.44\Omega\text{cm}$ |
| [0305] | CrTe | $0.56\Omega\text{cm}$ |
- [0306] 이 결과로부터 알 수 있는 바와 같이, 비교예의 중간층인 Te와 비교하여, 실시예 18, 19의 중간층은 저항이 높아져 있다. 이에 의해, 이온 공급층(21B)의 저항에 비교하여 중간층(21A)의 저항이 보다 높아지기 때문에, 기록 · 소거 바이어스 전압이 인가된 때에 의해 효과적으로 중간층(21A)에 전류가 인가되고, Al를 주로 하는 이온종(種)에 의해 강한 전류가 결림에 의해, 이온이 이동하기 쉬워지고, 실시예 18, 19에서는 기록 · 소거 함께 동작이 안정된 것이라고 생각된다.
- [0307] 즉, 저항 변화층(22)이, 하부 전극(10)측부터 차례로, 천이금속 산화물로 이루어지는 제 1층(22A)과, 알루미늄 산화물을 주성분으로 하는 제 2층(22B)을 적층한 구성을 갖음과 함께, 이온원층(21)을 중간층(21A)과 이온 공급 층(21B)의 2층 구조로 하고, 중간층(21A)에 Cr를 첨가하도록 하면, 양호한 저항 분리 및 반복 특성을 얻을 수 있고, 특히 저전류에서의 저항 분리 특성이 향상함을 알 수 있었다.
- [0308] 이와 같이 중간층(21A)에 Cr를 첨가한 경우에도, 또한 산소를 가함으로써 보다 고저항의 알맞은 저항치를 얻어

지는 것도 용이하게 추정할 수 있기 때문에, 실시예 19와 같은 또는 그 이상의 효과를 얻을 수 있다고 생각된다.

[0309] (실시예 20 : 중간층(21A)에 천이금속을 첨가한 예)

중간층(21A)을 MnTe에 의해 구성한 것을 제외하고는, 실시예 19와 마찬가지로 하여 기록 소자(1)를 갖는 메모리 셀 어레이를 제작하였다. 실시예 20의 공정을 간략적으로 나타내면 이하와 같이 된다.

[0311] TiN/플라즈마 산화/MnTe(5nm)/CuZrTeAlGe(60nm)/W(50nm)

[0312] 또한, 이 경우도 실시예 18과 마찬가지로, 중간층(21A)인 MnTe층은 이온 공급층(21B)으로부터의 Al의 확산에 의해 MnAlTe가 된다.

[0313] 얻어진 실시예 20의 메모리 셀 어레이에 대해, 반복 재기록 특성 및 저항 분리를 조사하여 본 바, 도 53(A) 및 도 53(B)에 도시한 바와 같이, 반복 특성 및 저항 분리의 모두, 상기 실시의 형태의 천이금속 산화물 또는 천이금속 산질화물을 이용하지 않은 비교예 1에 비하여 양호한 특성이 얻어졌다.

[0314] 즉, 저항 변화층(22)이, 하부 전극(10)측부터 차례로, 천이금속 산화물을 이루어지는 제 1층(22A)과, 알루미늄 산화물을 주성분으로 하는 제 2층(22B)을 적층한 구성을 갖음과 함께, 이온원층(21)을 중간층(21A)과 이온 공급층(21B)의 2층 구조로 하고, 중간층(21A)에 Mn를 첨가하도록 하면, 양호한 저항 분리 및 반복 특성을 얻을 수 있고, 특히 저전류에서의 저항 분리 특성이 향상함을 알 수 있었다.

[0315] 이와 같이 중간층(21A)에 Mn를 첨가한 경우에도, 또한 산소를 가함으로써 보다 고저항의 알맞은 저항치를 얻어지는 것도 용이하게 추정할 수 있기 때문에, 실시예 20과 같은 또는 그 이상의 효과를 얻을 수 있다고 생각된다.

[0316] 이상, 실시의 형태 및 실시예를 들어 본 발명을 설명하였지만, 본 발명은, 상기 실시의 형태 및 실시예로 한정되는 것이 아니고, 여러가지 변형하는 것이 가능하다.

[0317] 예를 들면, 상기 실시의 형태 및 실시예에 있어서 설명한 각 층의 재료, 또는 성막 방법 및 성막 조건 등을 한정되는 것이 아니고, 다른 재료로 하여도 좋고, 또는 다른 성막 방법으로 하여도 좋다. 예를 들면, 이온원층(21)에는, 상기 조성 비율을 무너뜨리지 않는 범위에서, 다른 천이금속 원소, 예를 들면 Ti, Hf, V, Nb, Ta, Cr, Mo, W를 첨가하여도 좋다.

[0318] 또한, 예를 들면, 상기 실시의 형태에서는, 기억 소자(1) 및 메모리 셀 어레이(2)의 구성을 구체적으로 들어 설명하였지만, 모든 층을 구비할 필요는 없고, 또한, 다른 층을 더욱 구비하고 있어도 좋다.

[0319] 또한, 예를 들면, 상기 실시의 형태 및 실시예에서는, 기억 소자(1)는, CMOS 회로가 형성된 실리콘 기판(41)에, 하부 전극(10)(제 1 전극), 기억층(20) 및 상부 전극(30)(제 2 전극)을 이 순으로 갖고 있는 경우에 관해 설명하였지만, 적층 순서는 반대라도 좋다. 그 경우, 기억 소자(1)는, 실리콘 기판(41)에, 상부 전극(30)(제 2 전극), 기억층(20) 및 하부 전극(10)(제 1 전극)을 이 순으로 적층한 구성을 갖는다.

부호의 설명

[0320] 1 : 기억 소자

2 : 메모리 셀 어레이

10 : 하부 전극

20 : 기억층

21 : 이온원층

21A : 중간층

21B : 이온 공급층

22 : 저항 변화층

22A : 제 1층

22B : 제 2층

30 : 상부 전극

41 : 반도체 기판

43 : 소스/드레인 영역

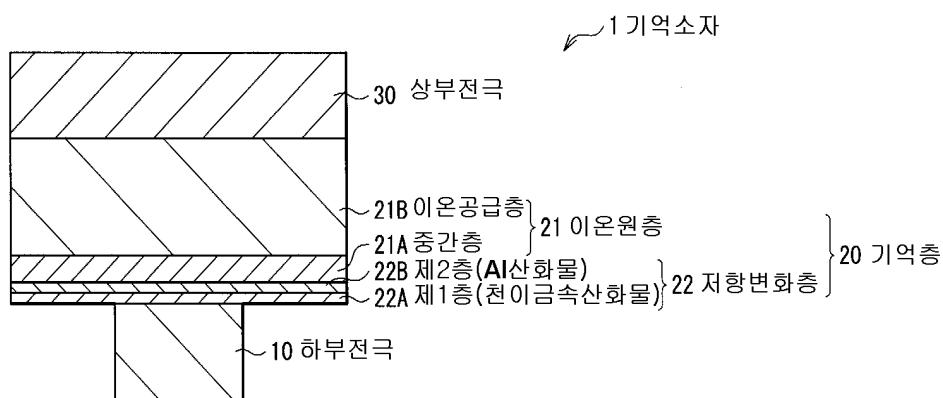
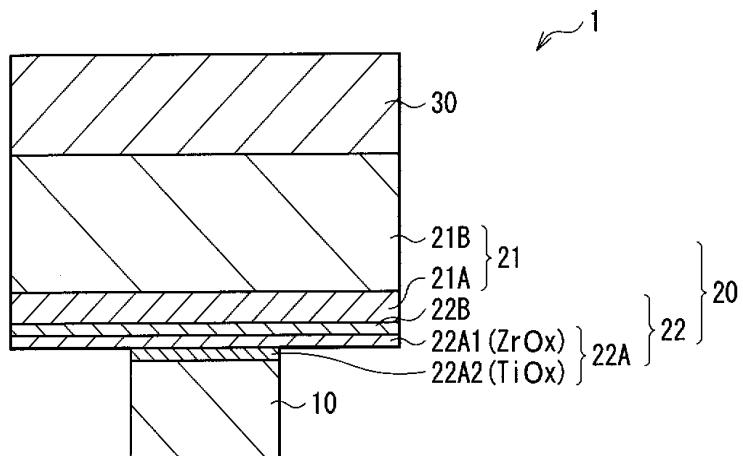
44 : 게이트 전극

45, 47 : 플러그층

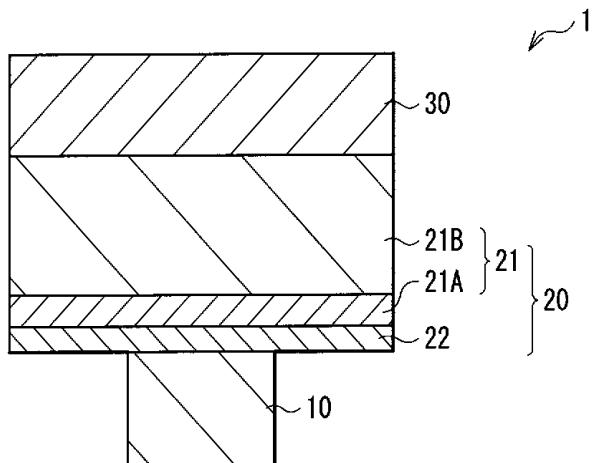
46 : 금속 배선층

48 : 액티브 영역

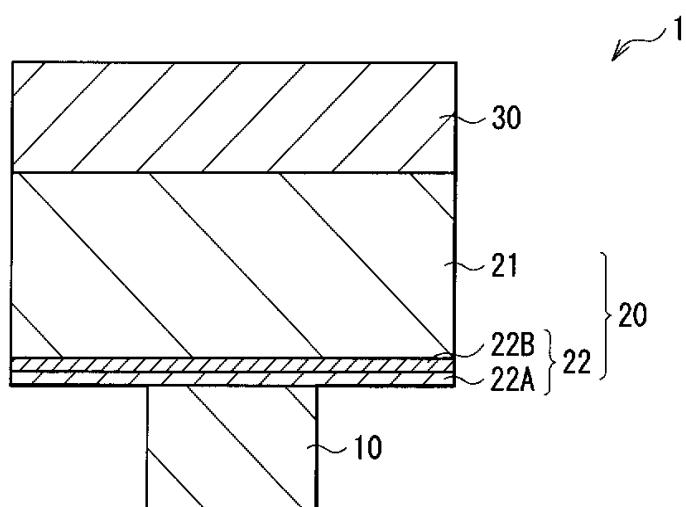
51, 52 : 콘택트부

도면**도면1****도면2**

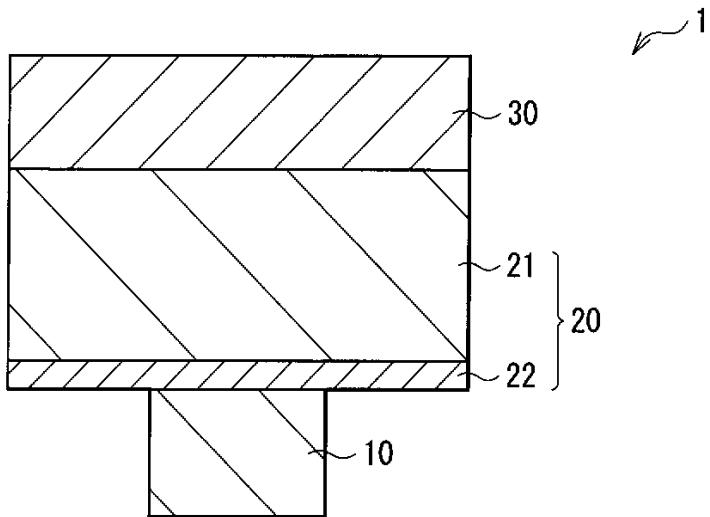
도면3



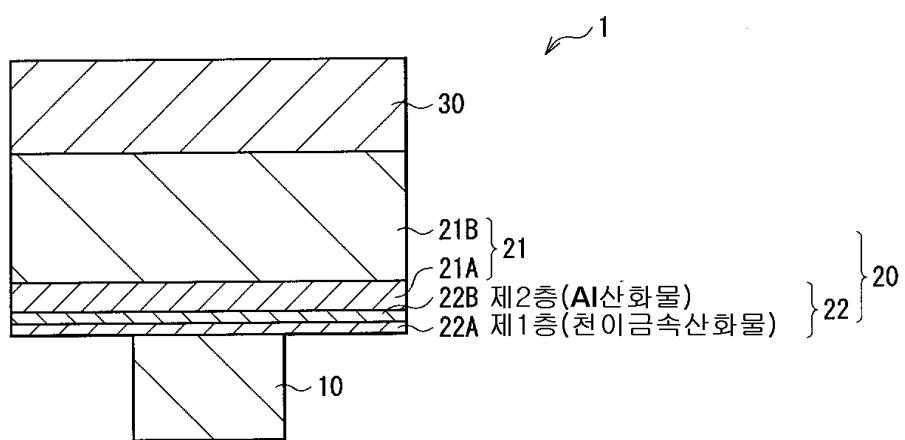
도면4



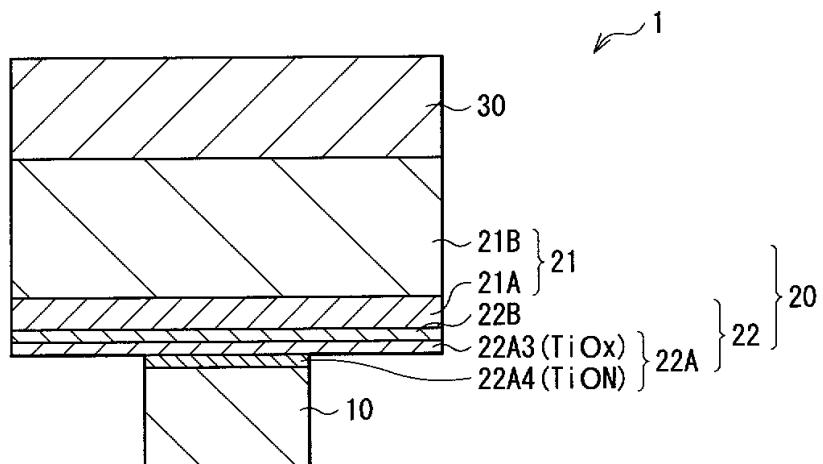
도면5



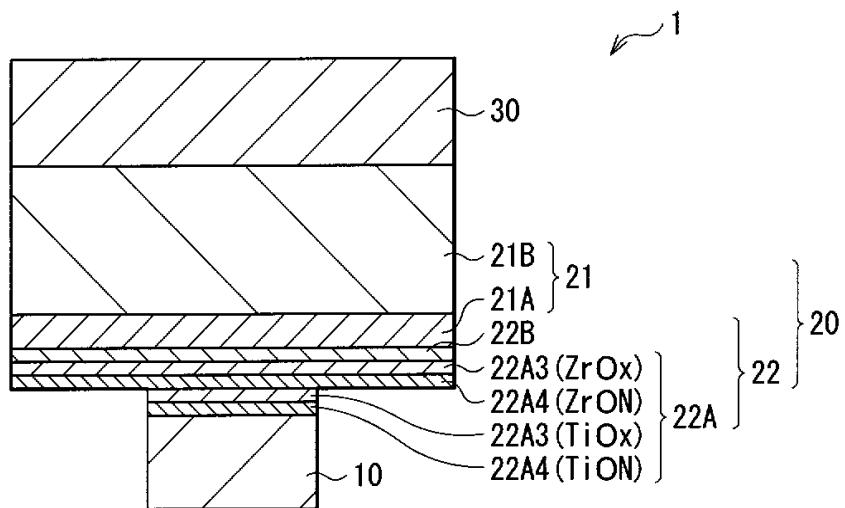
도면6



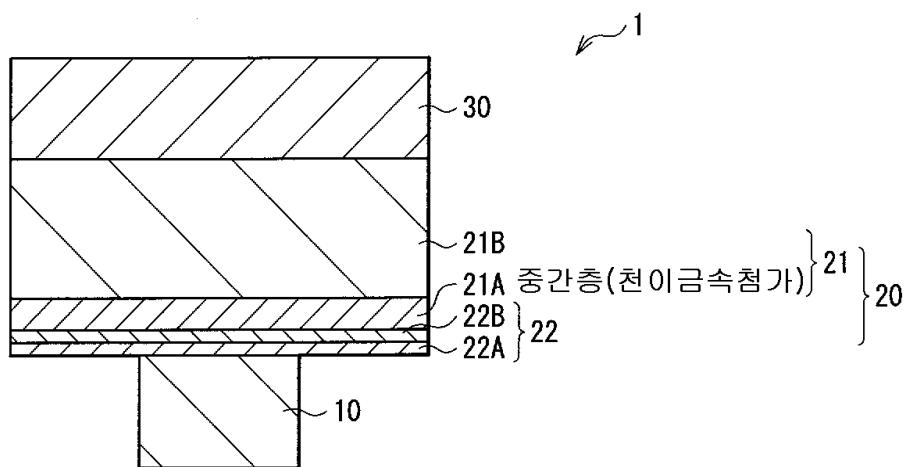
도면7



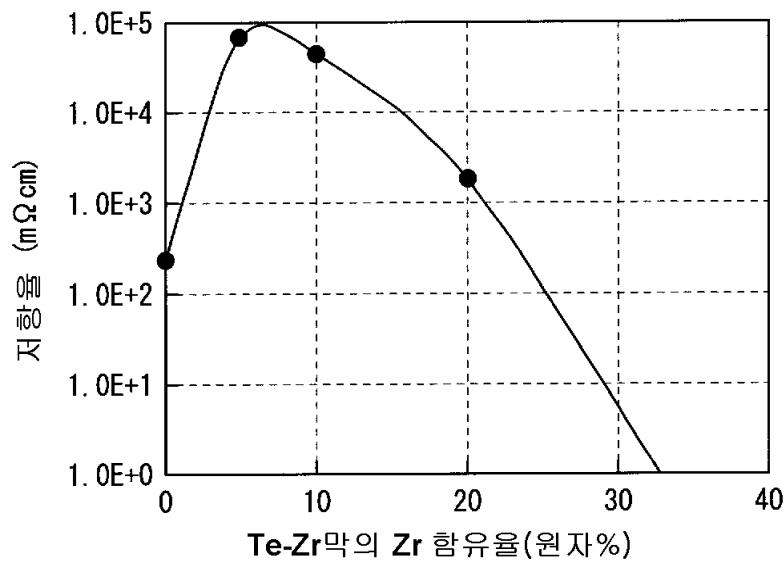
도면8



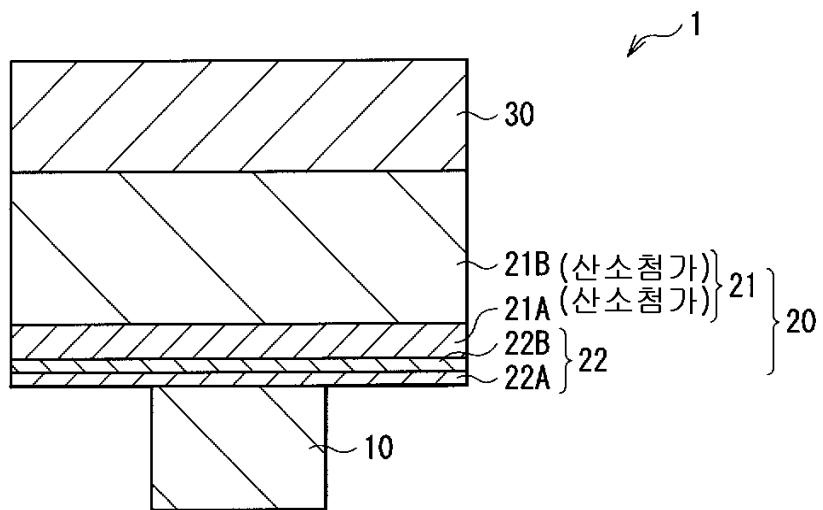
도면9



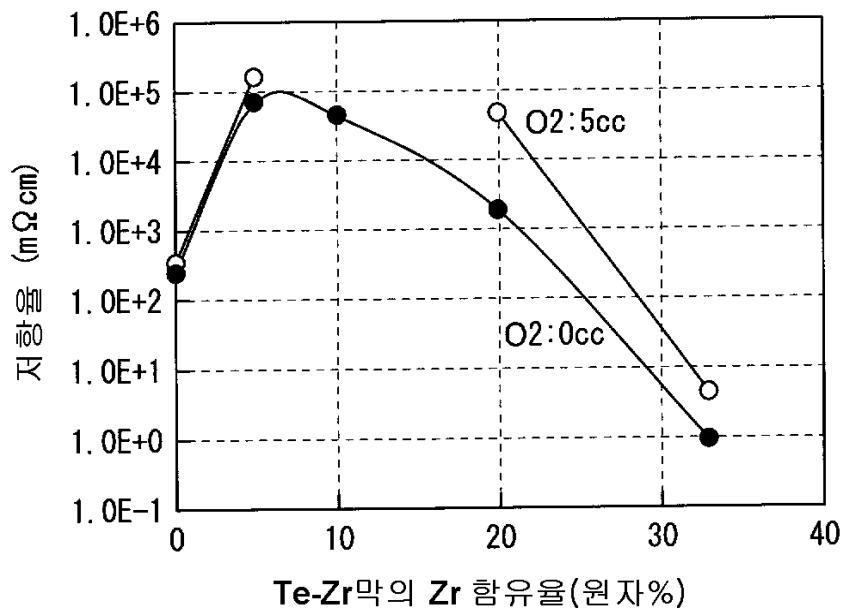
도면10



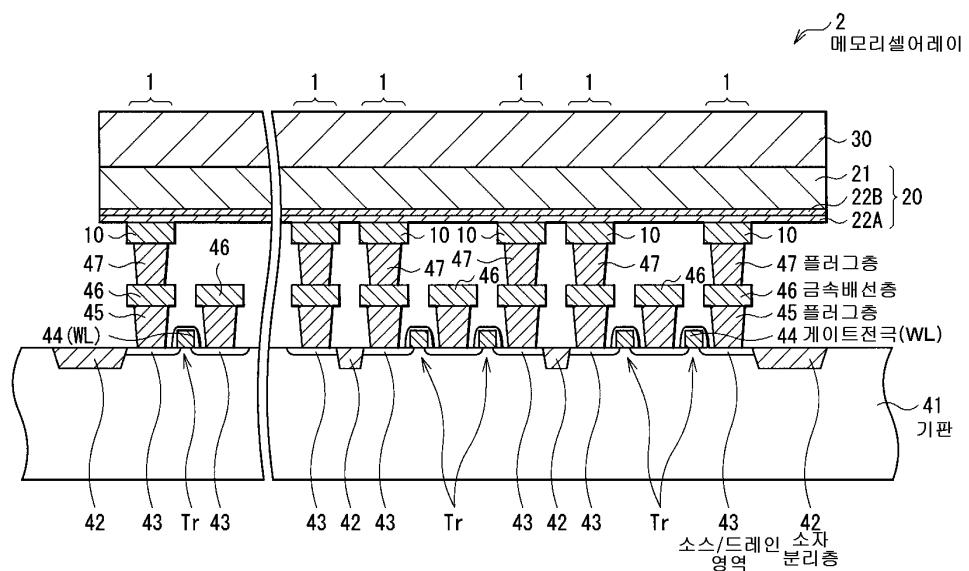
도면11



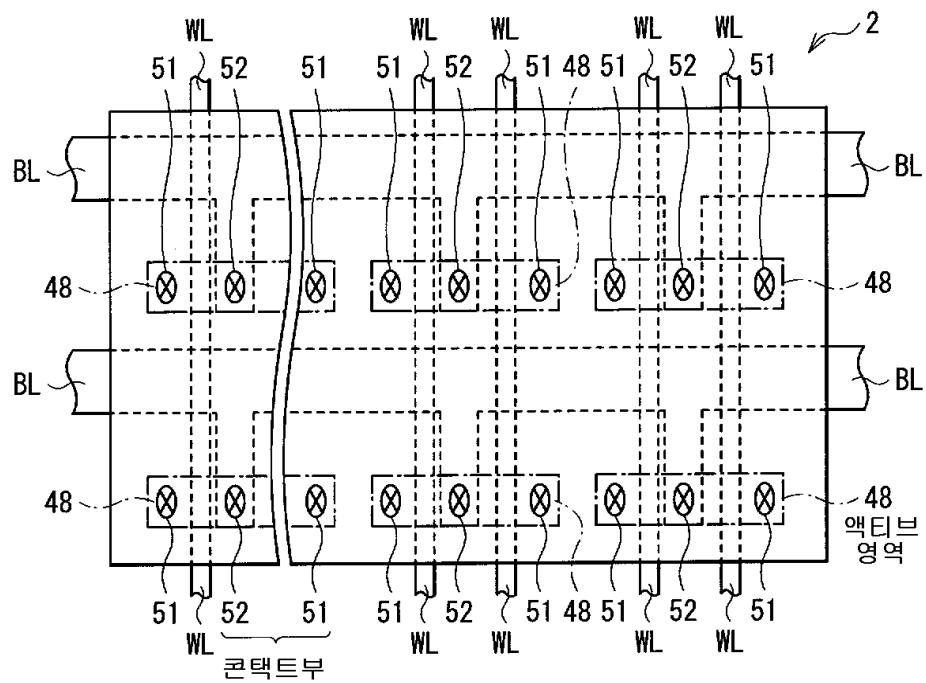
도면12



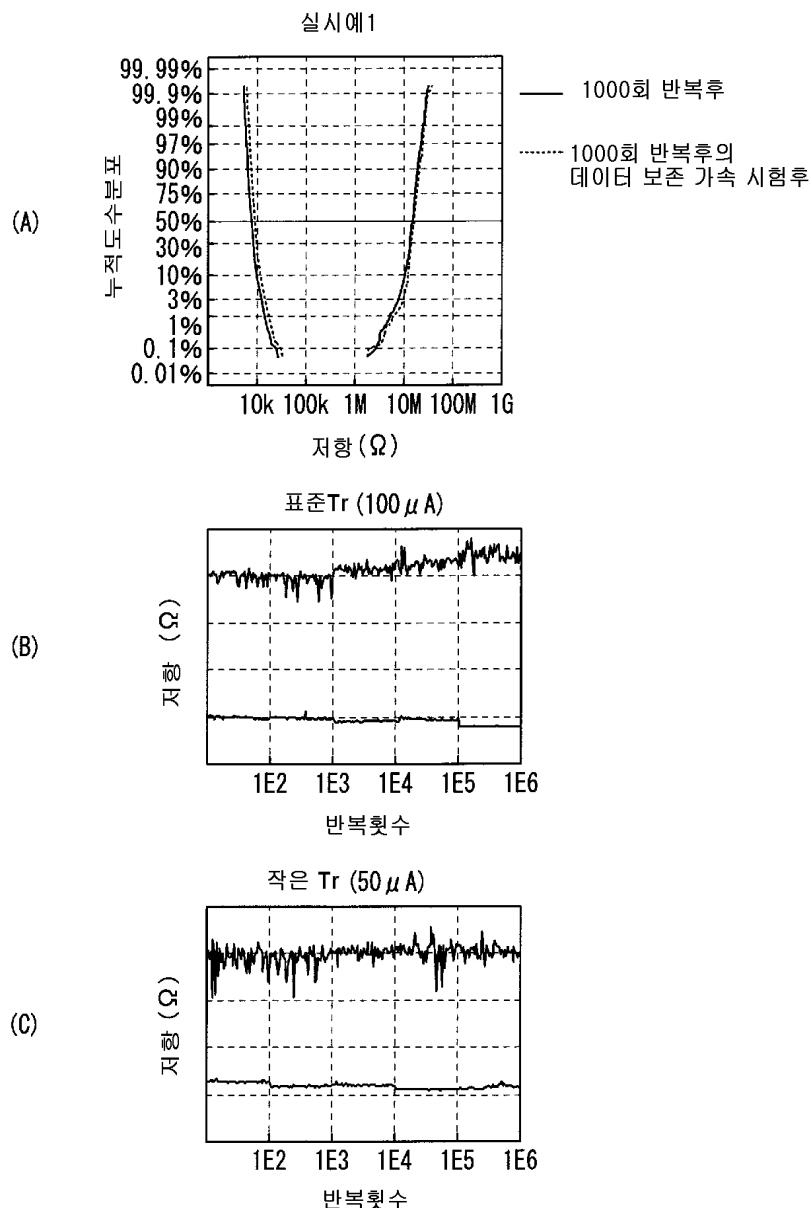
도면13



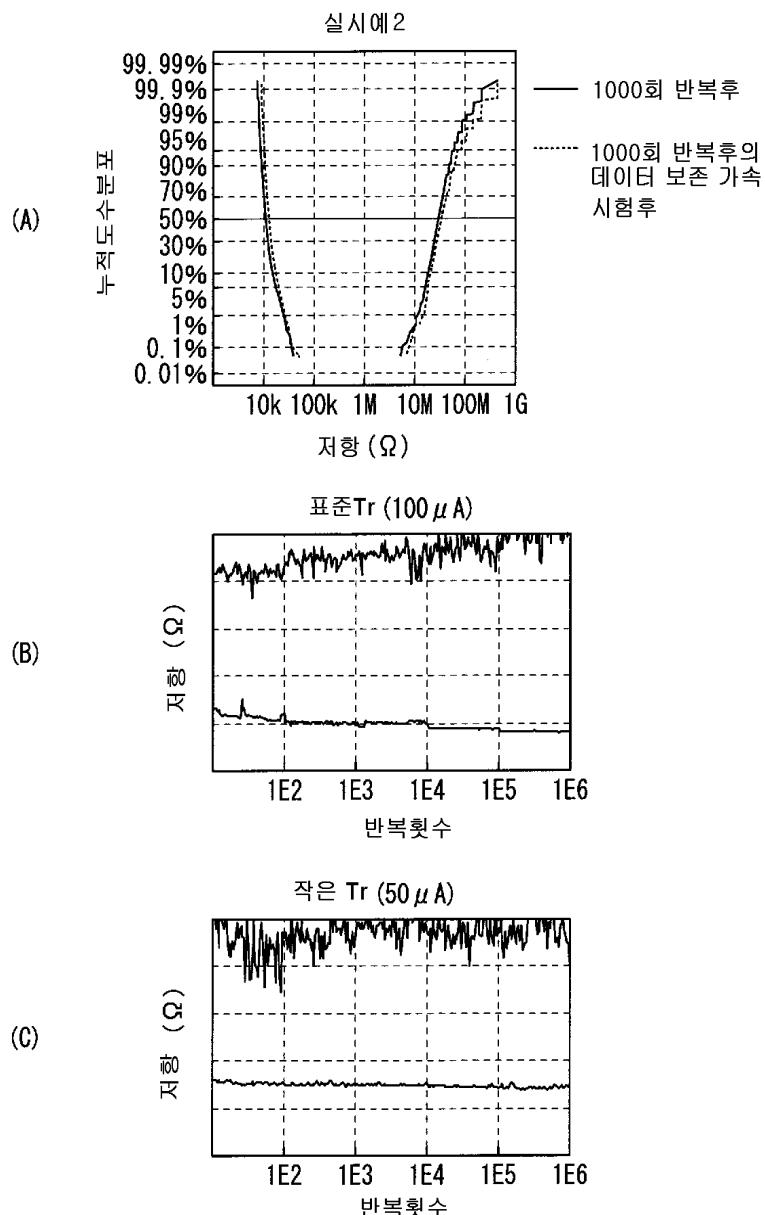
도면14



도면15



도면16

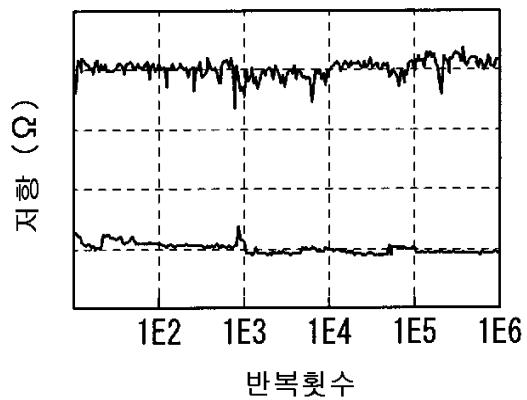


도면17

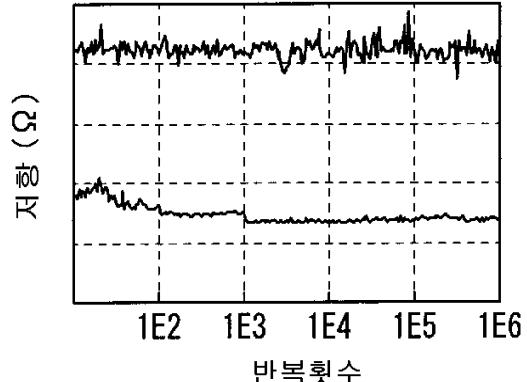
실시예1

표준Tr ($100 \mu A$)

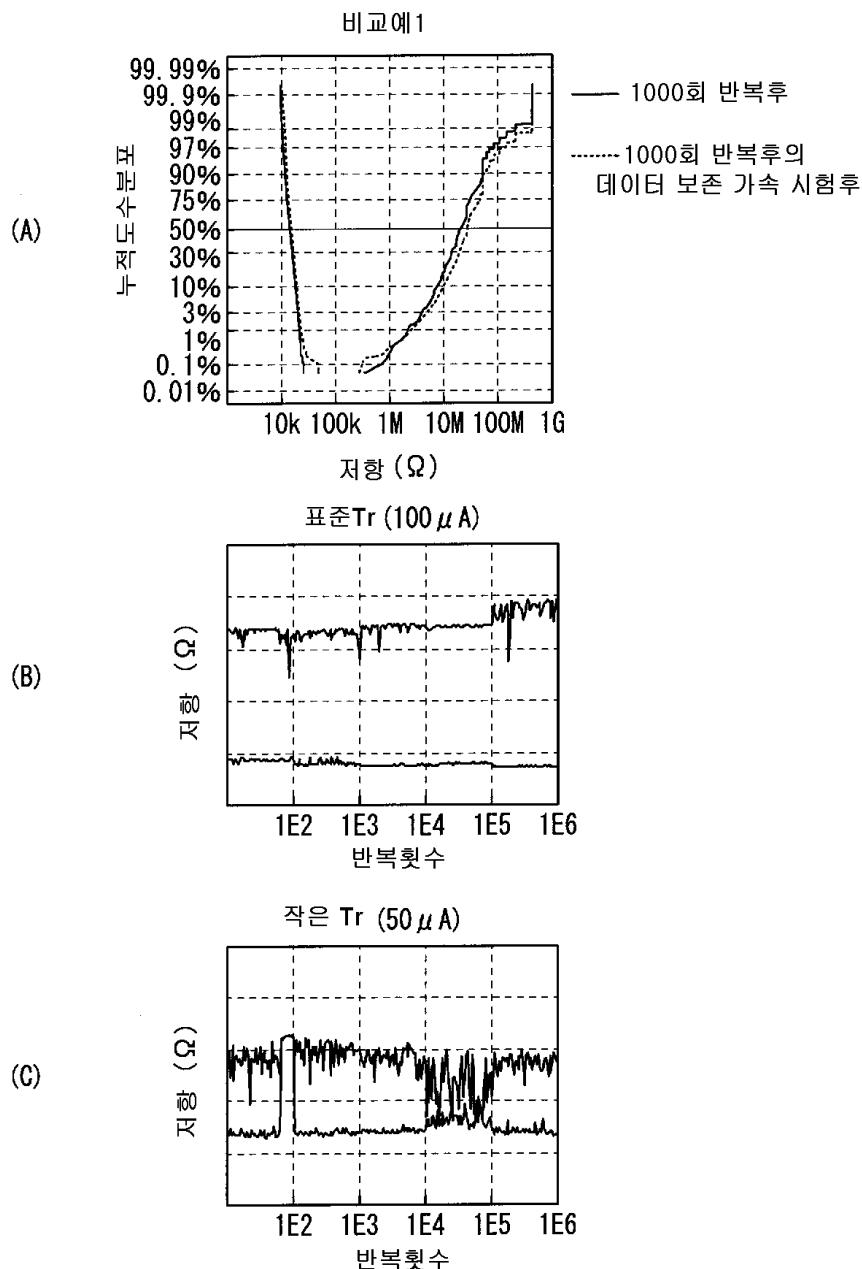
(A)

작은 Tr ($50 \mu A$)

(B)

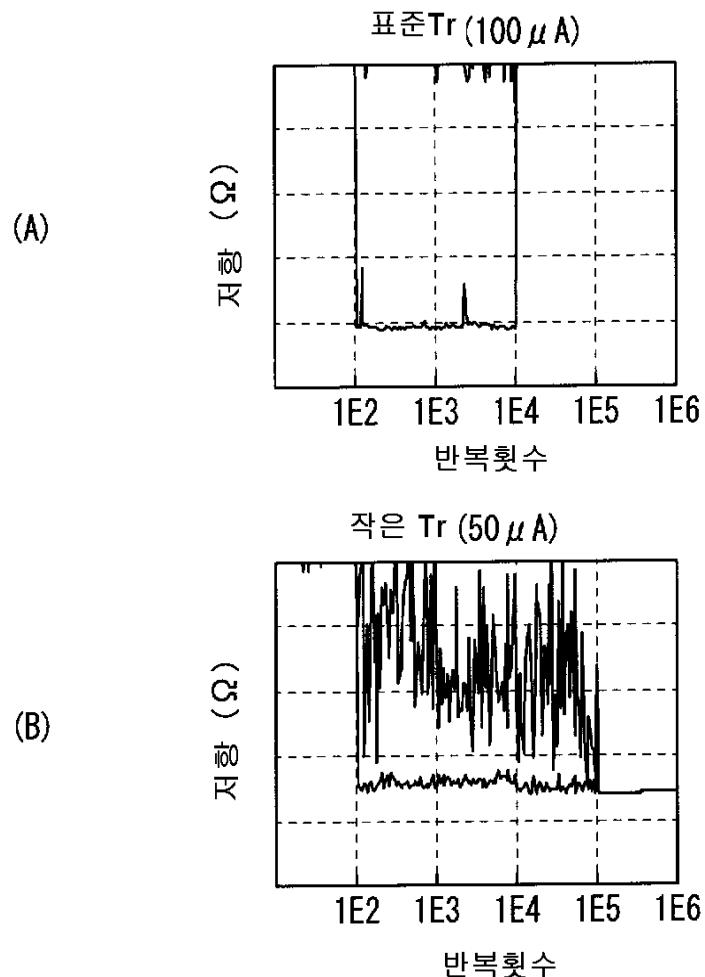


도면18

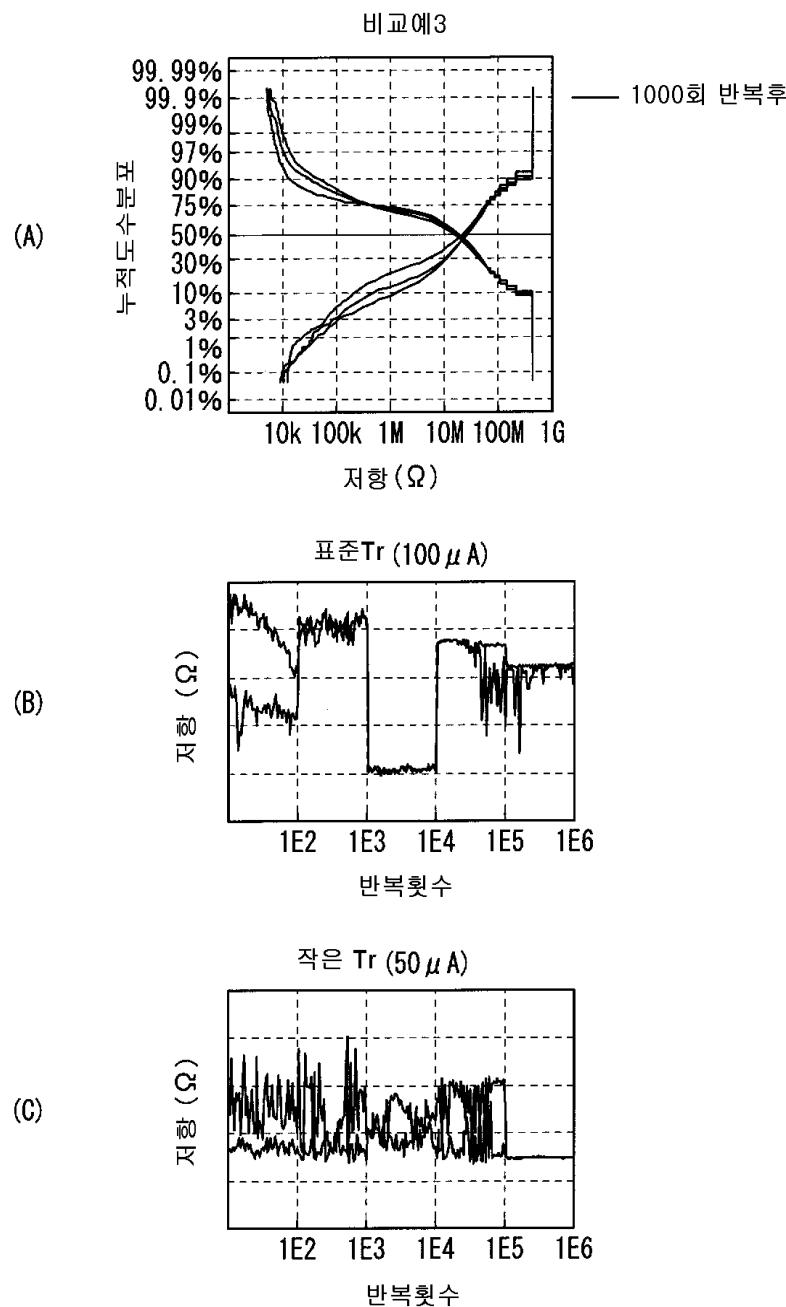


도면19

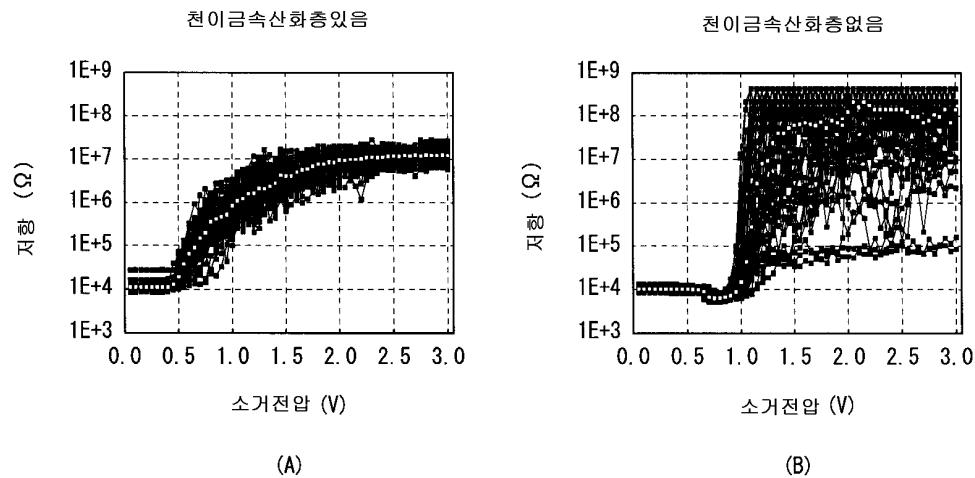
비교예2



도면20



도면21

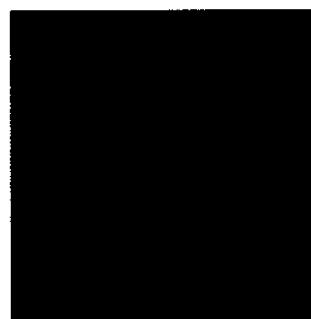


도면22

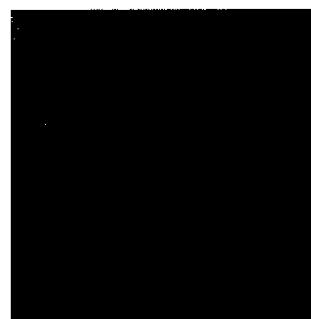
(A) Ti



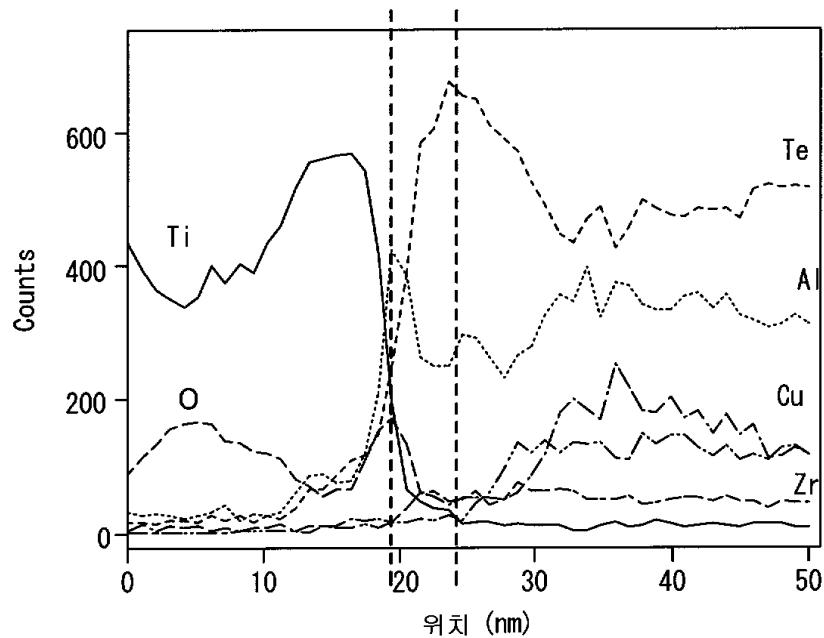
(B) O



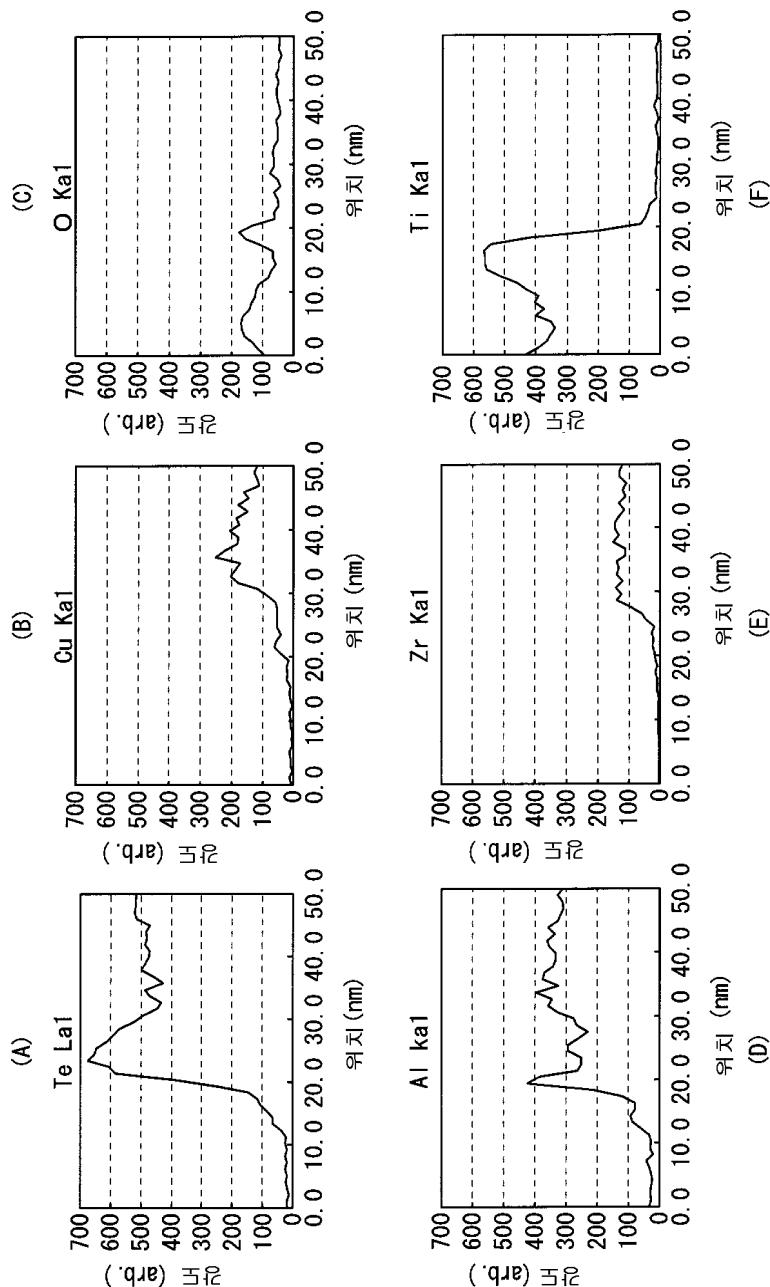
(C) Al



도면23

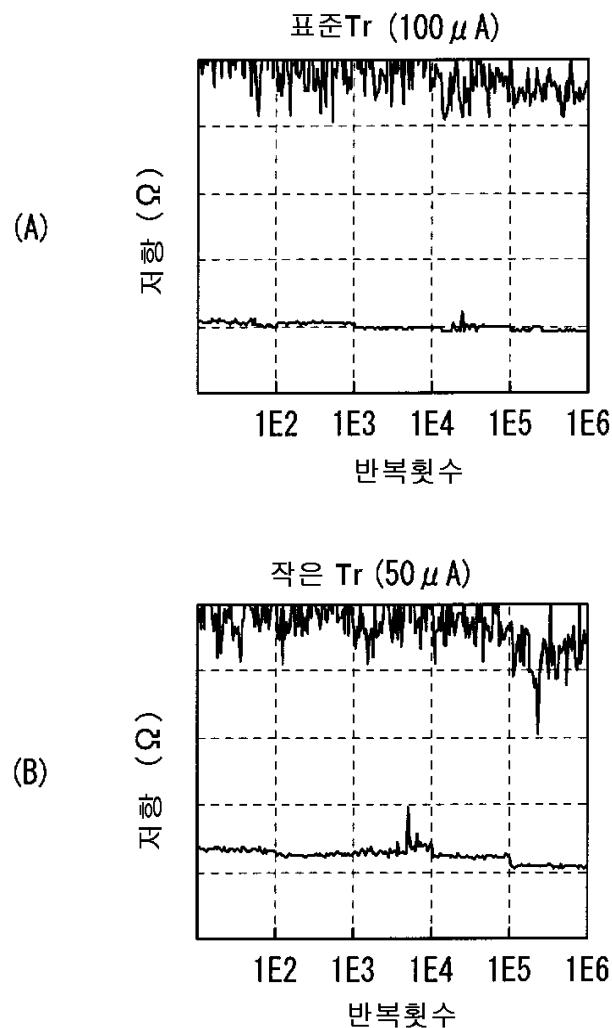


도면24



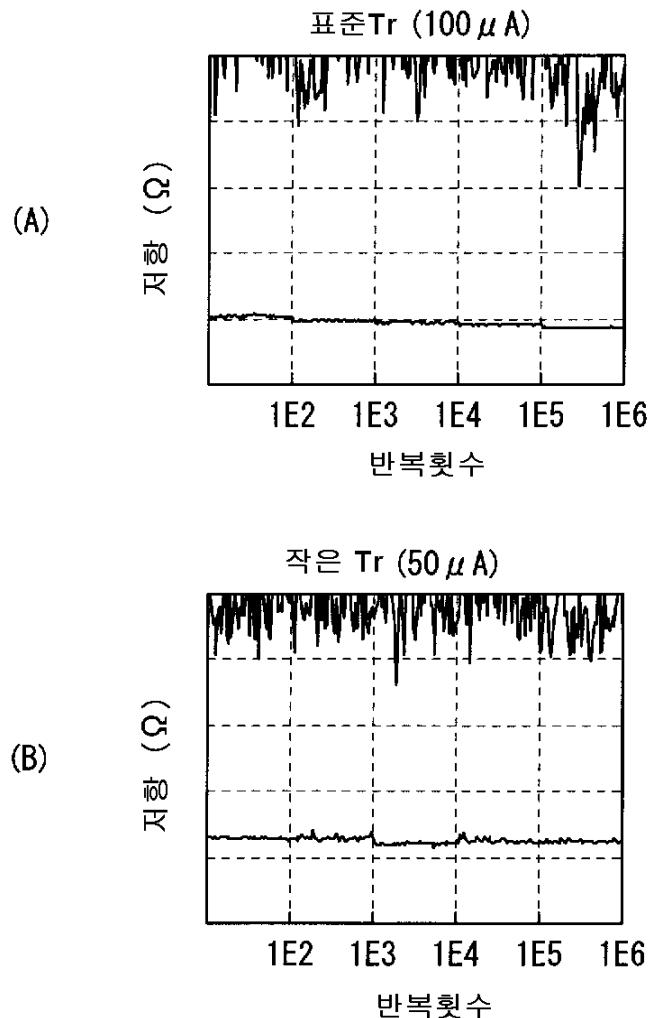
도면25

실시예4-1



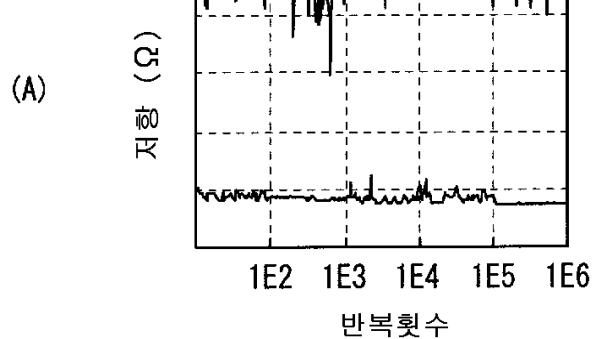
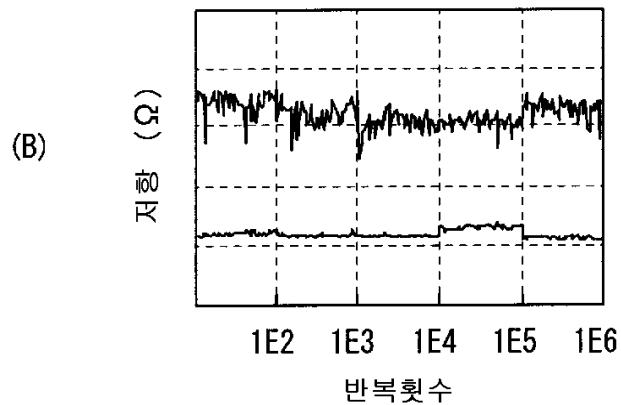
도면26

실시예4-2



도면27

실시예5-1

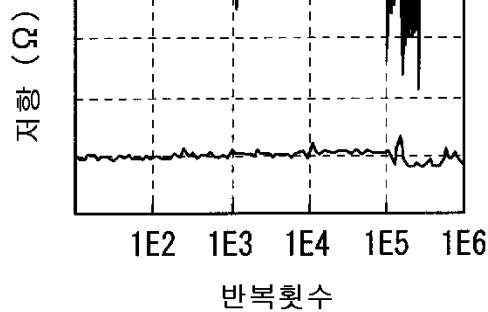
표준Tr ($100 \mu A$)작은 Tr ($50 \mu A$)

도면28

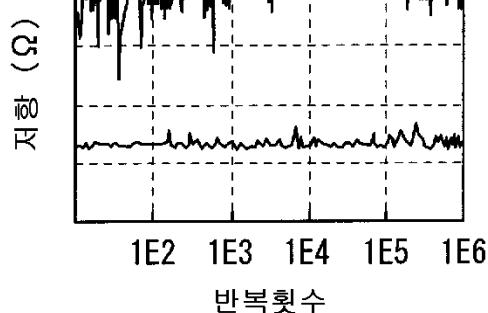
실시 예 6-1

표준 Tr ($100 \mu A$)

(A)

작은 Tr ($50 \mu A$)

(B)

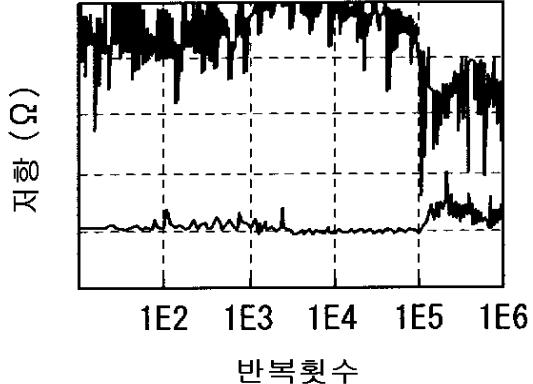


도면29

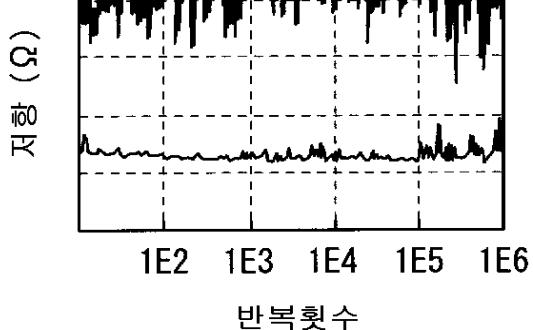
실시 예 6-2

표준 Tr ($100 \mu A$)

(A)

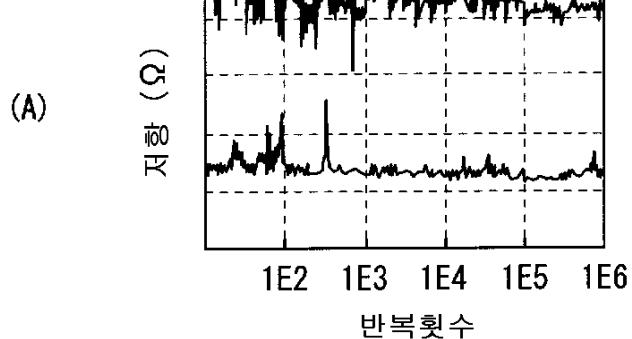
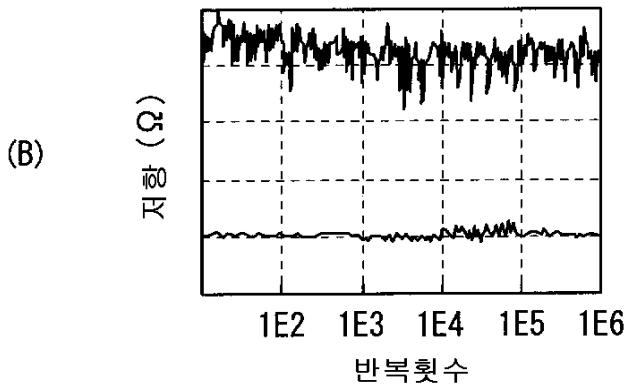
작은 Tr ($50 \mu A$)

(B)



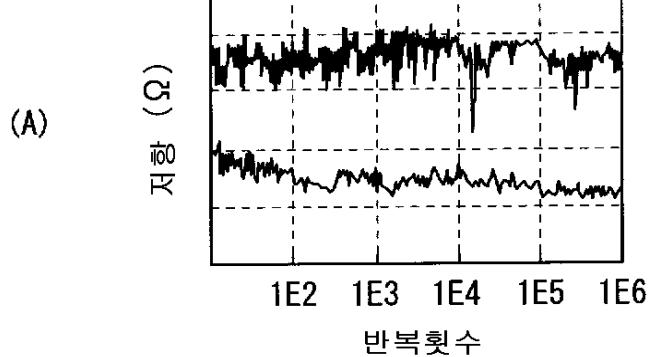
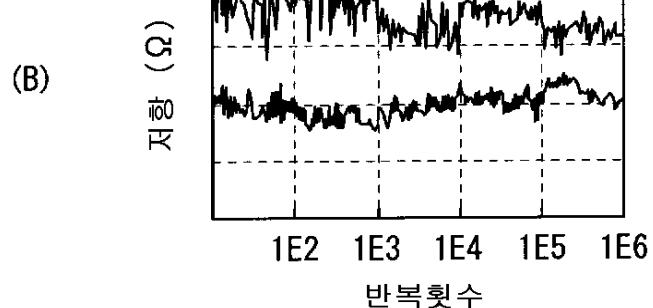
도면30

실시예6-3

표준Tr ($100 \mu A$)작은 Tr ($50 \mu A$)

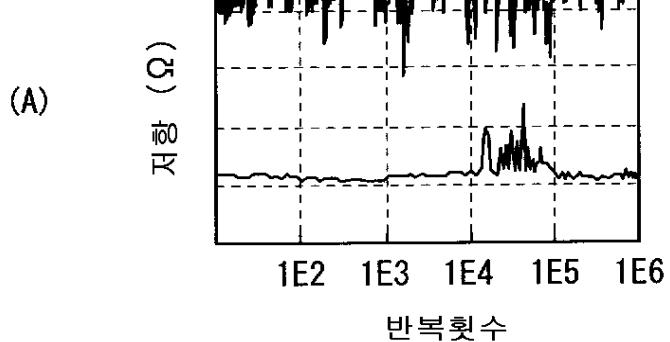
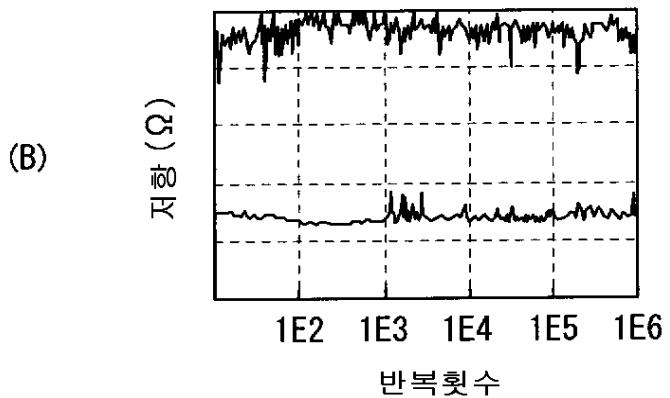
도면31

실시예6-4

표준Tr ($100 \mu A$)작은 Tr ($50 \mu A$)

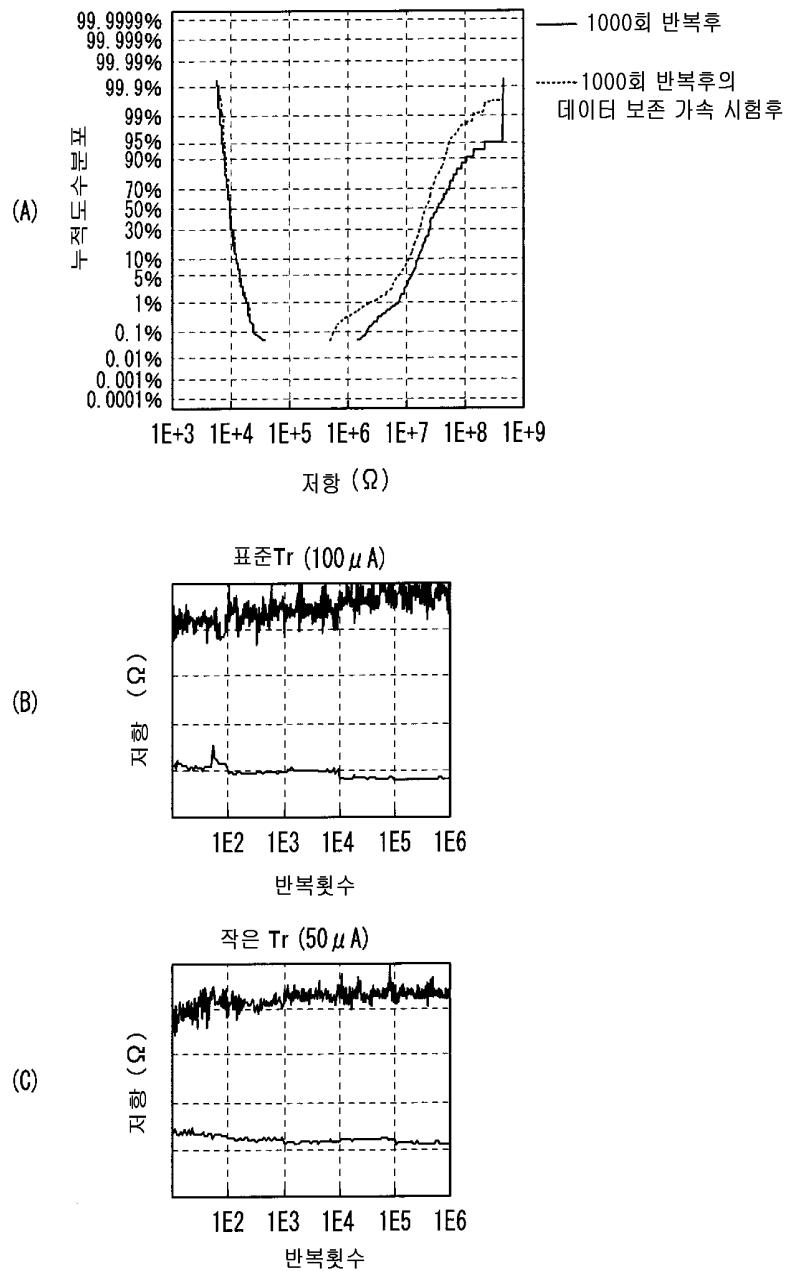
도면32

실시예6-5

표준Tr ($100 \mu A$)작은 Tr ($50 \mu A$)

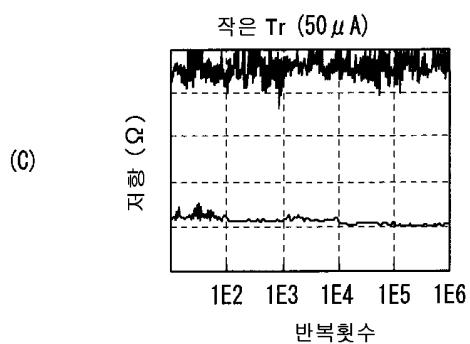
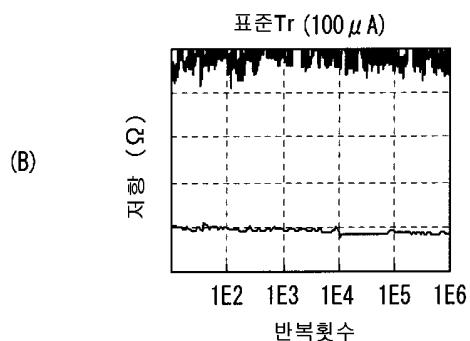
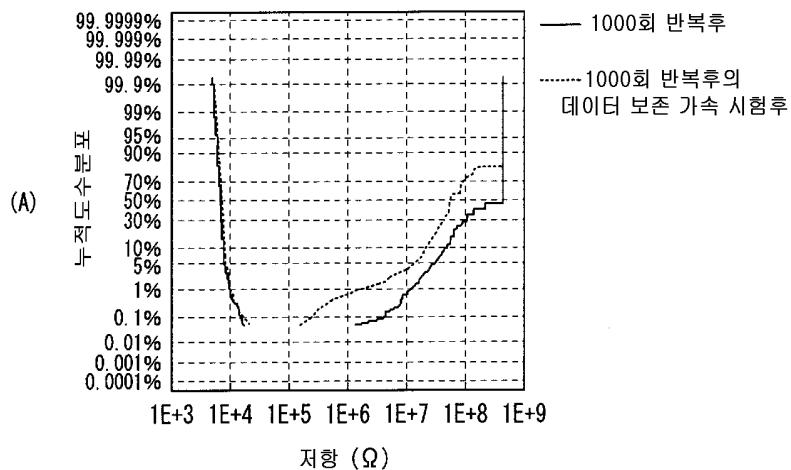
도면33

실시예7-1



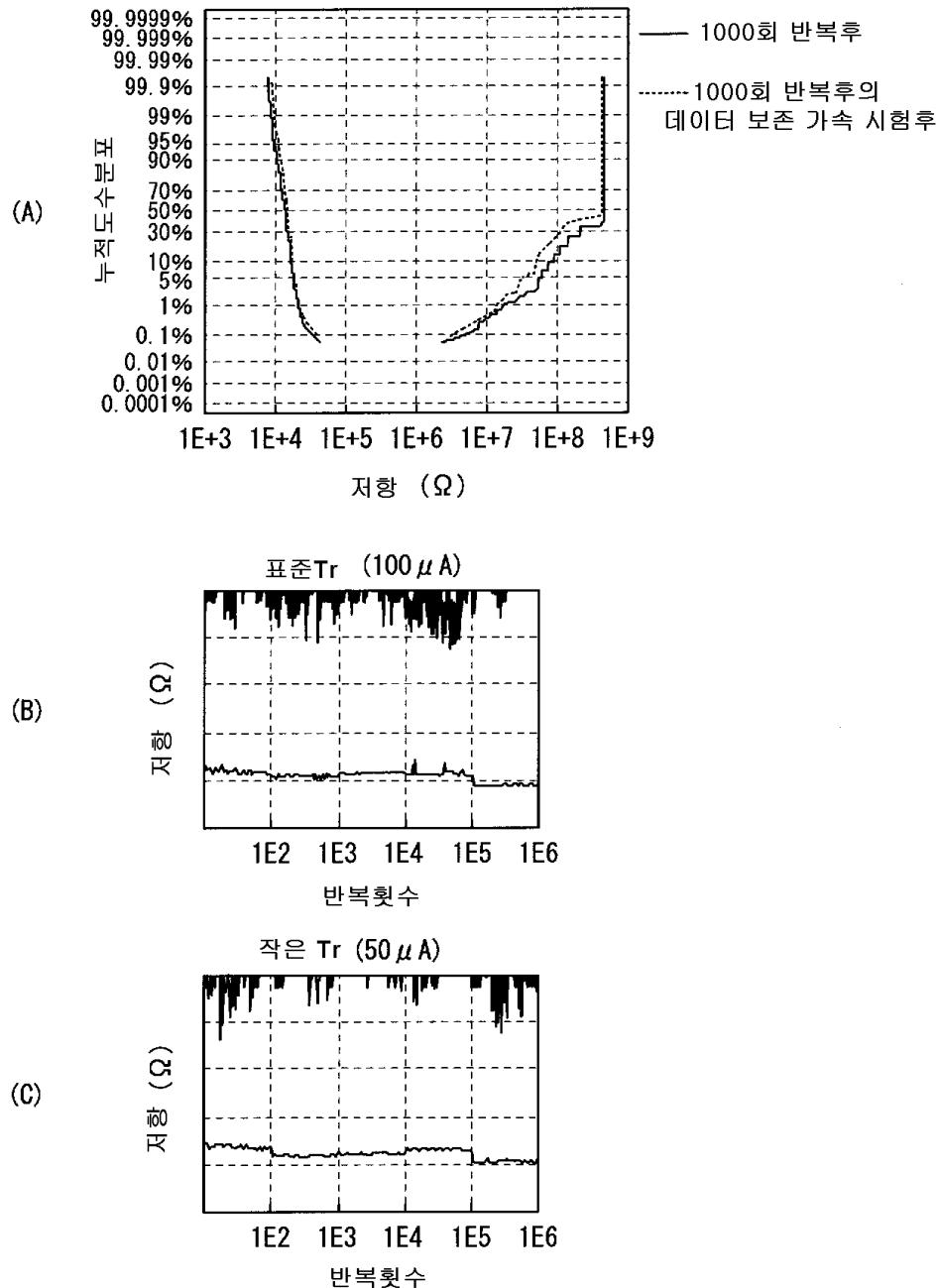
도면34

실시예7-2



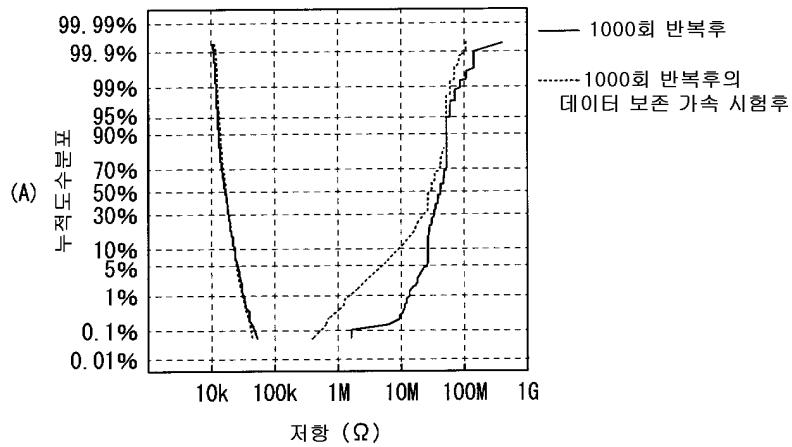
도면35

실시예 7-3

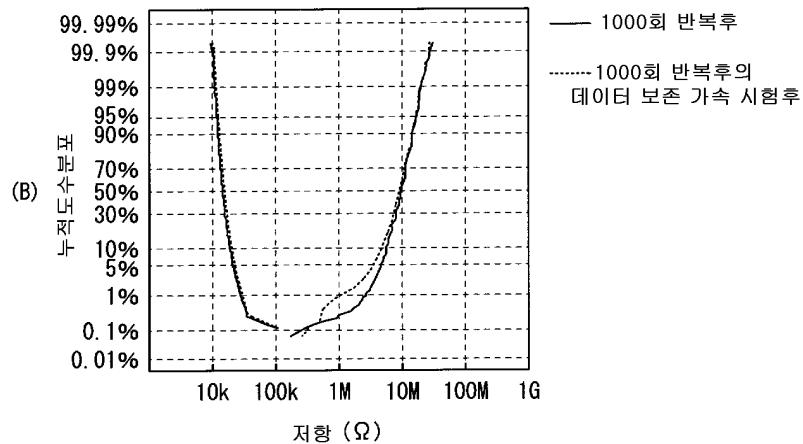


도면36

실시예8-1

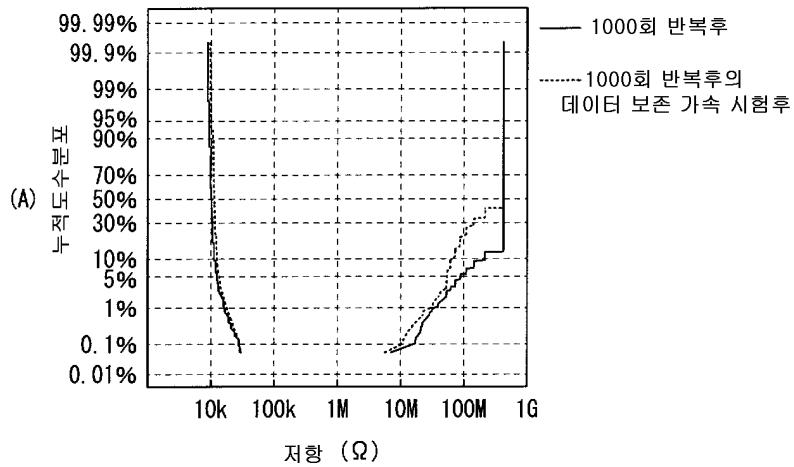


실시예8-2

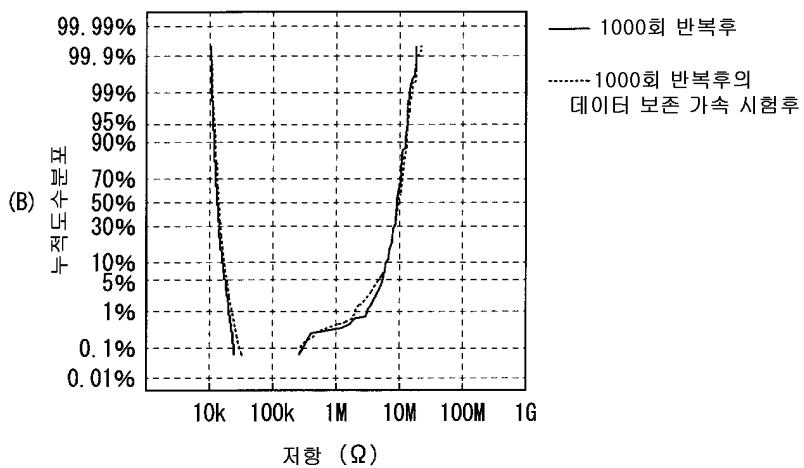


도면37

실시예8-3

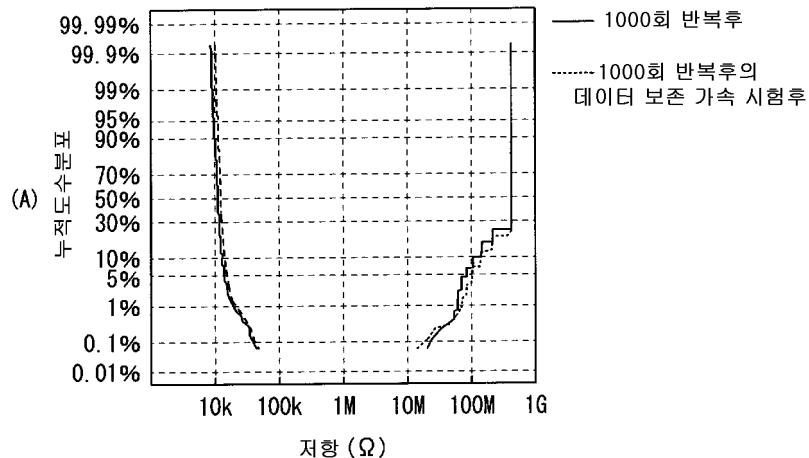


실시예8-4

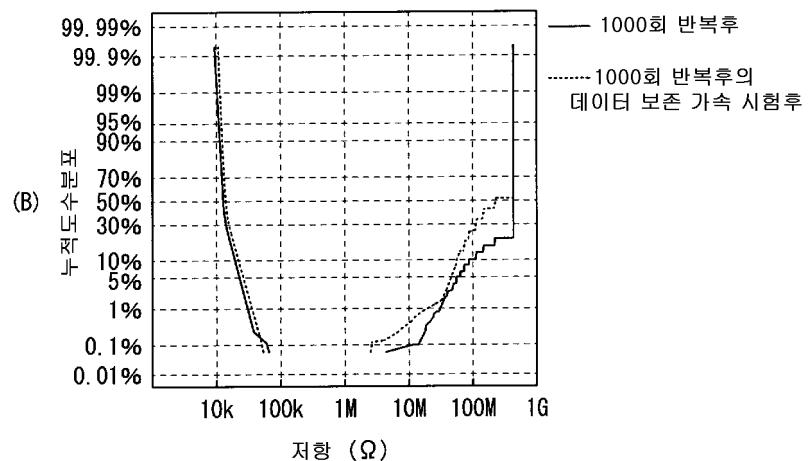


도면38

실시예9-1

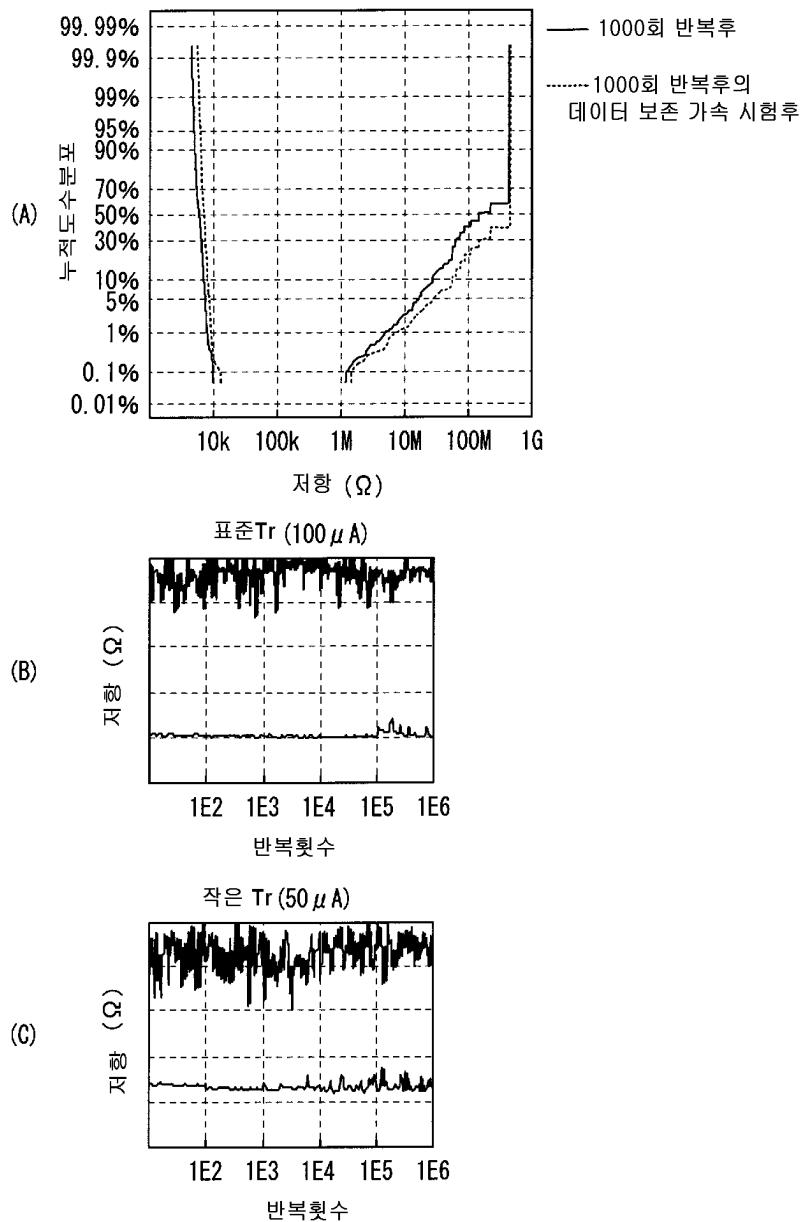


실시예9-2



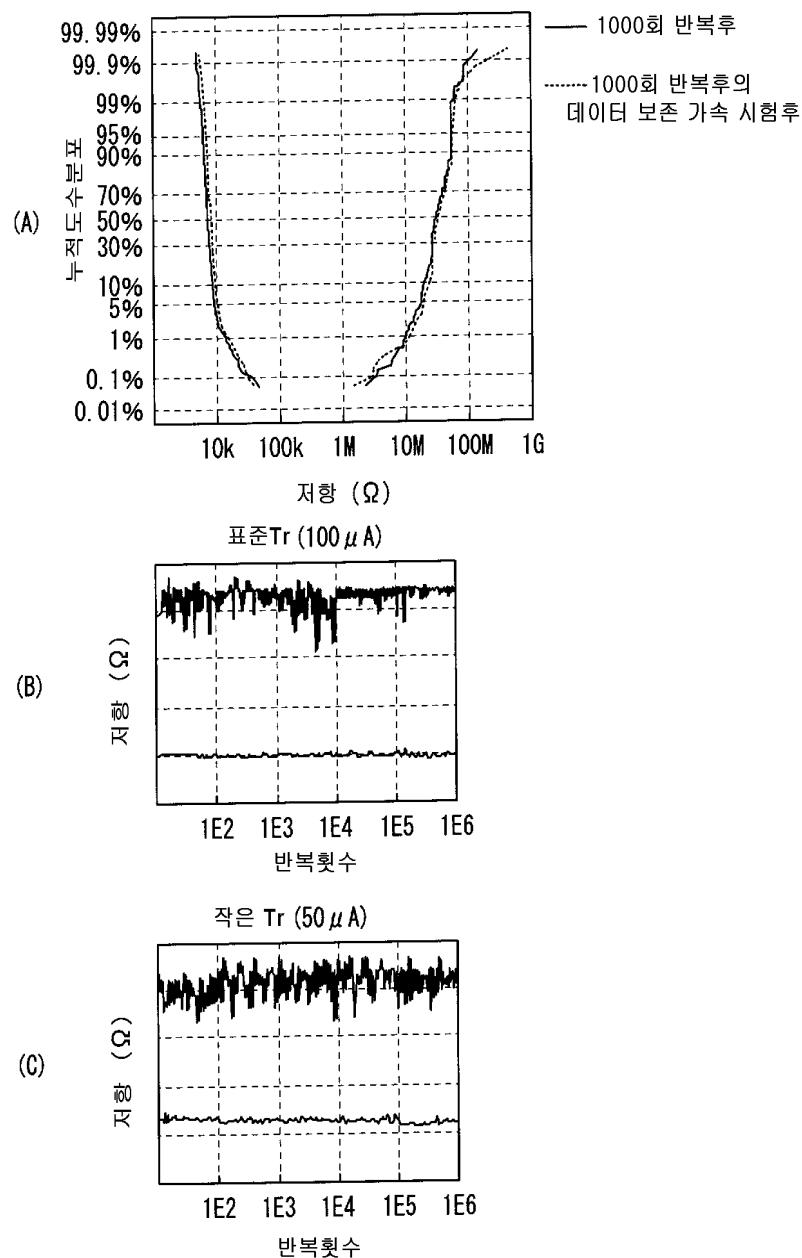
도면39

실시예10

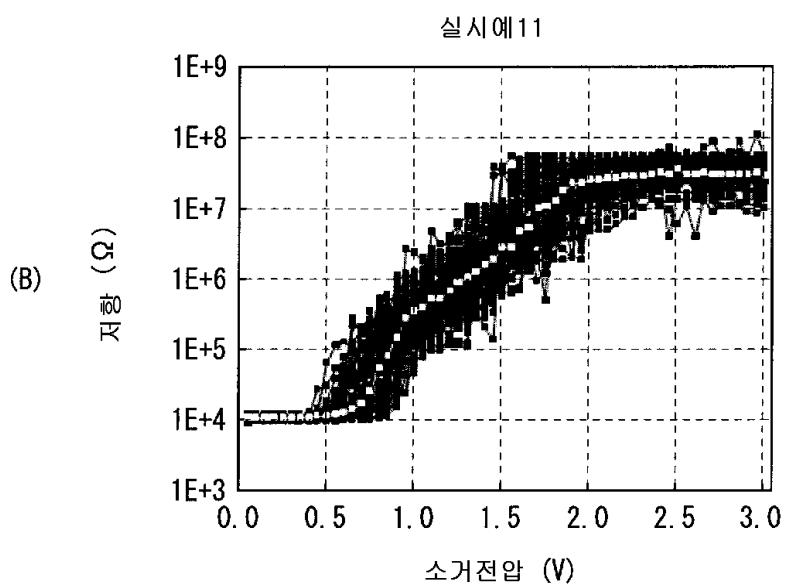
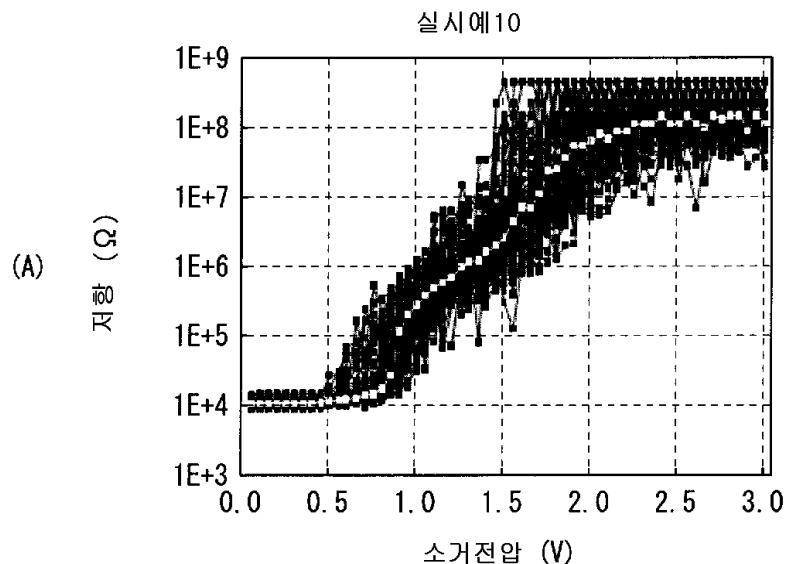


도면40

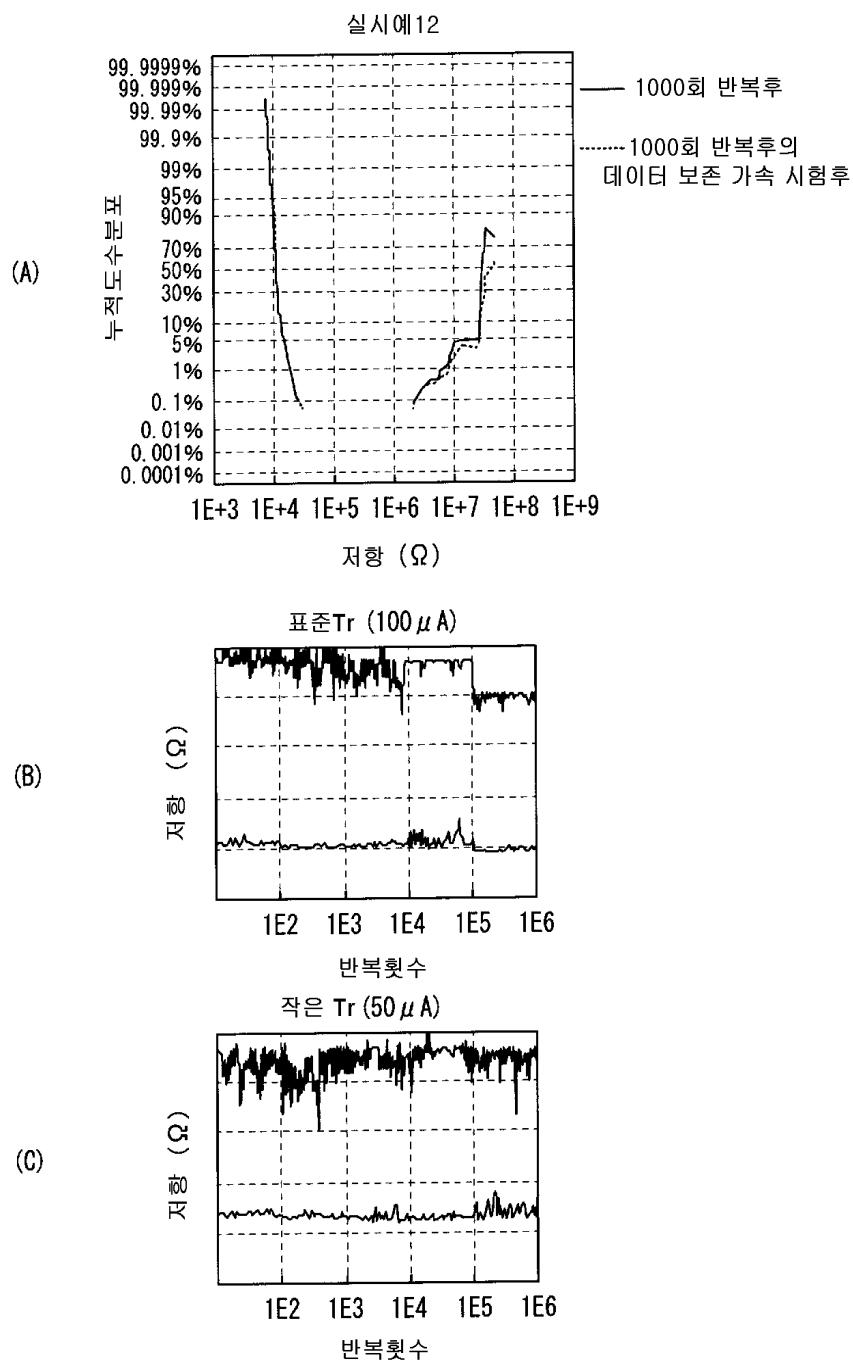
실시예11



도면41

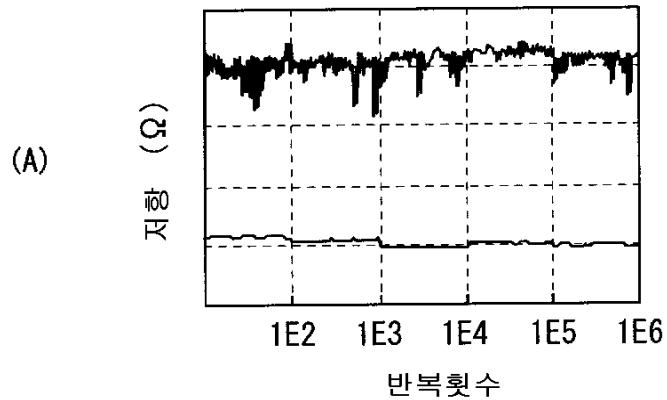
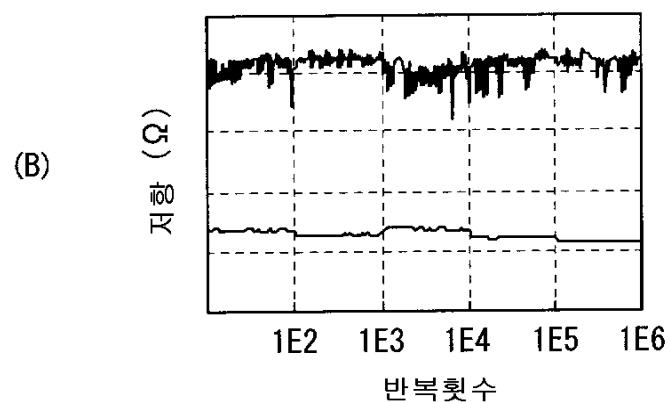


도면42



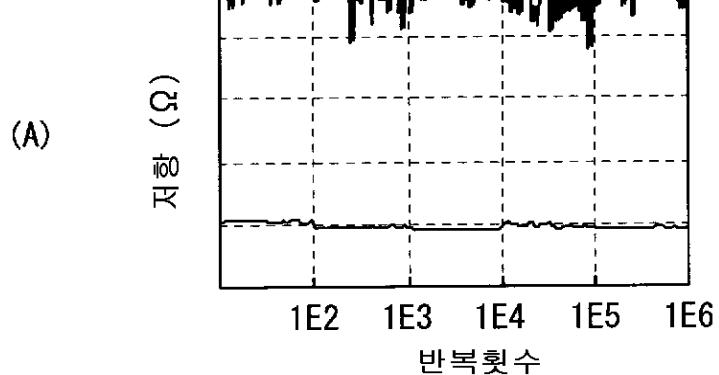
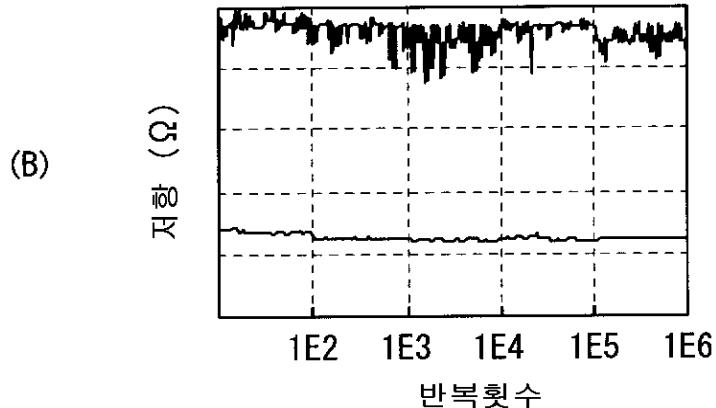
도면43

실시예 13-1

표준 Tr ($100 \mu A$)작은 Tr ($50 \mu A$)

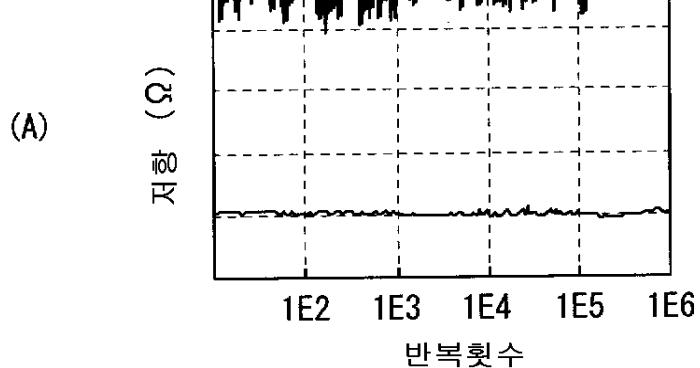
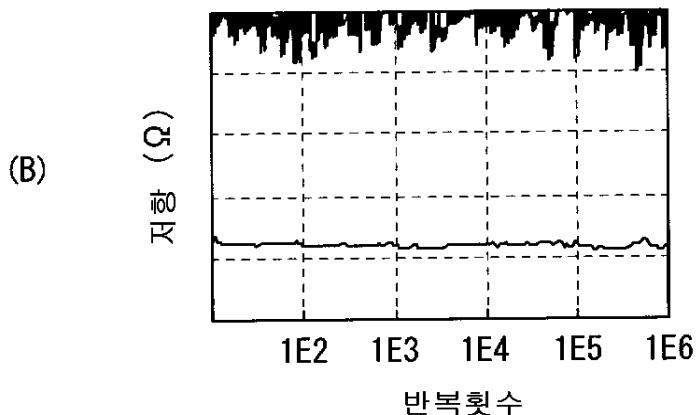
도면44

실시예 13-2

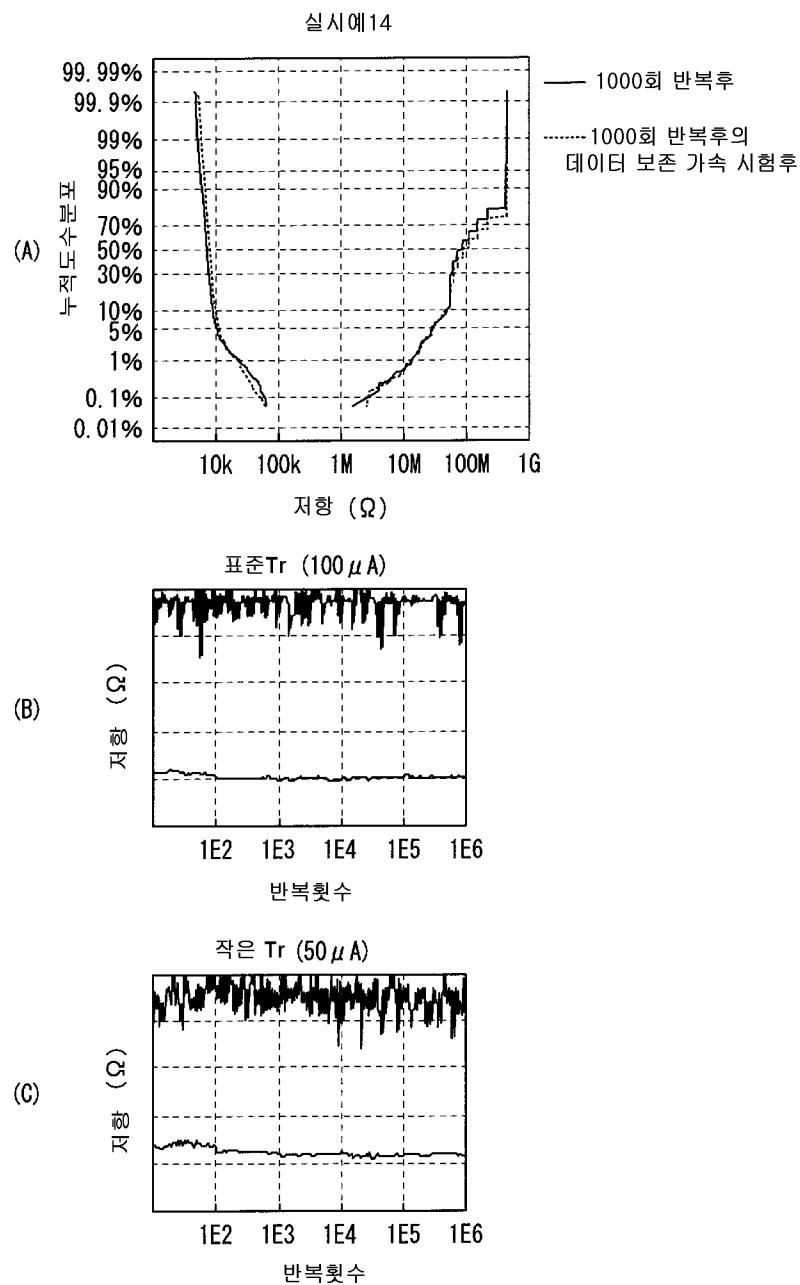
표준Tr ($100 \mu A$)작은 Tr ($50 \mu A$)

도면45

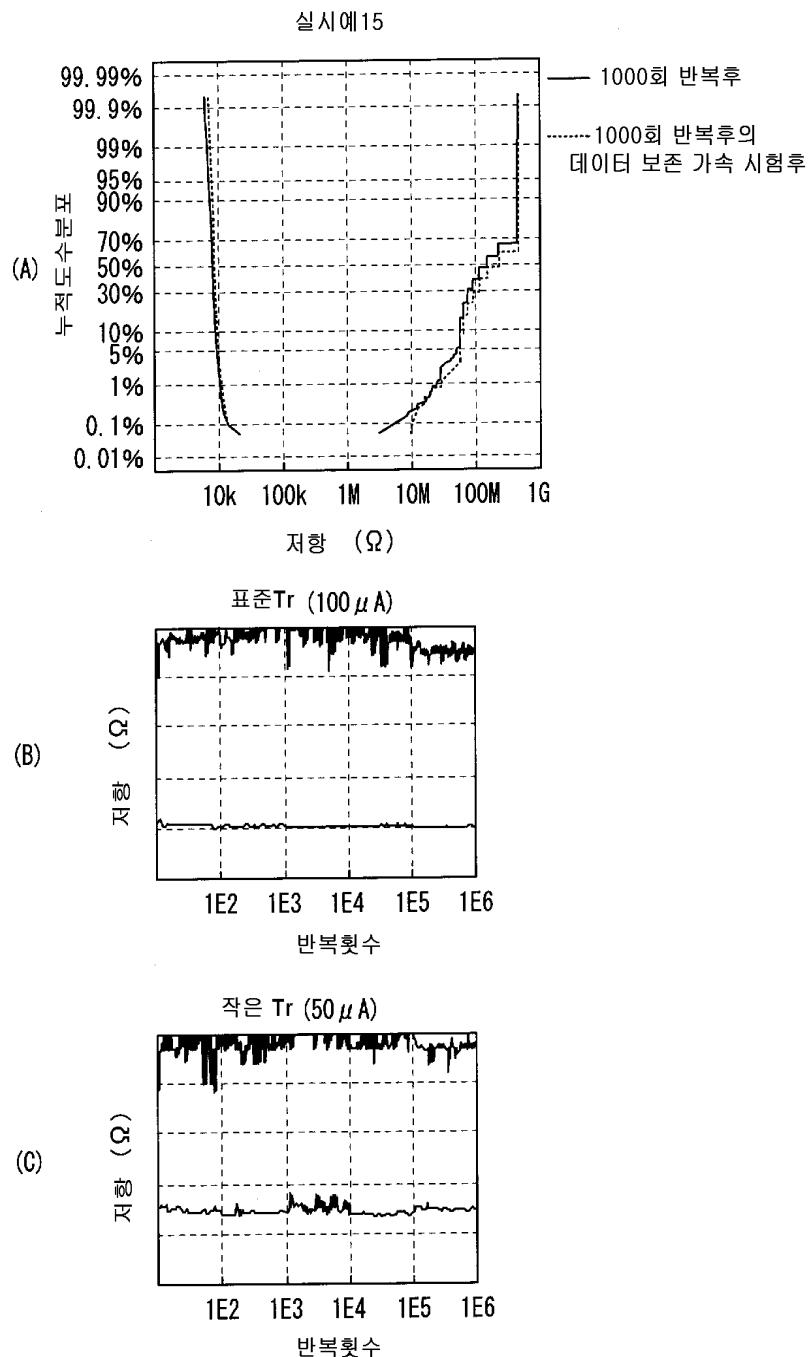
실시예13-3

표준Tr ($100 \mu A$)작은 Tr ($50 \mu A$)

도면46

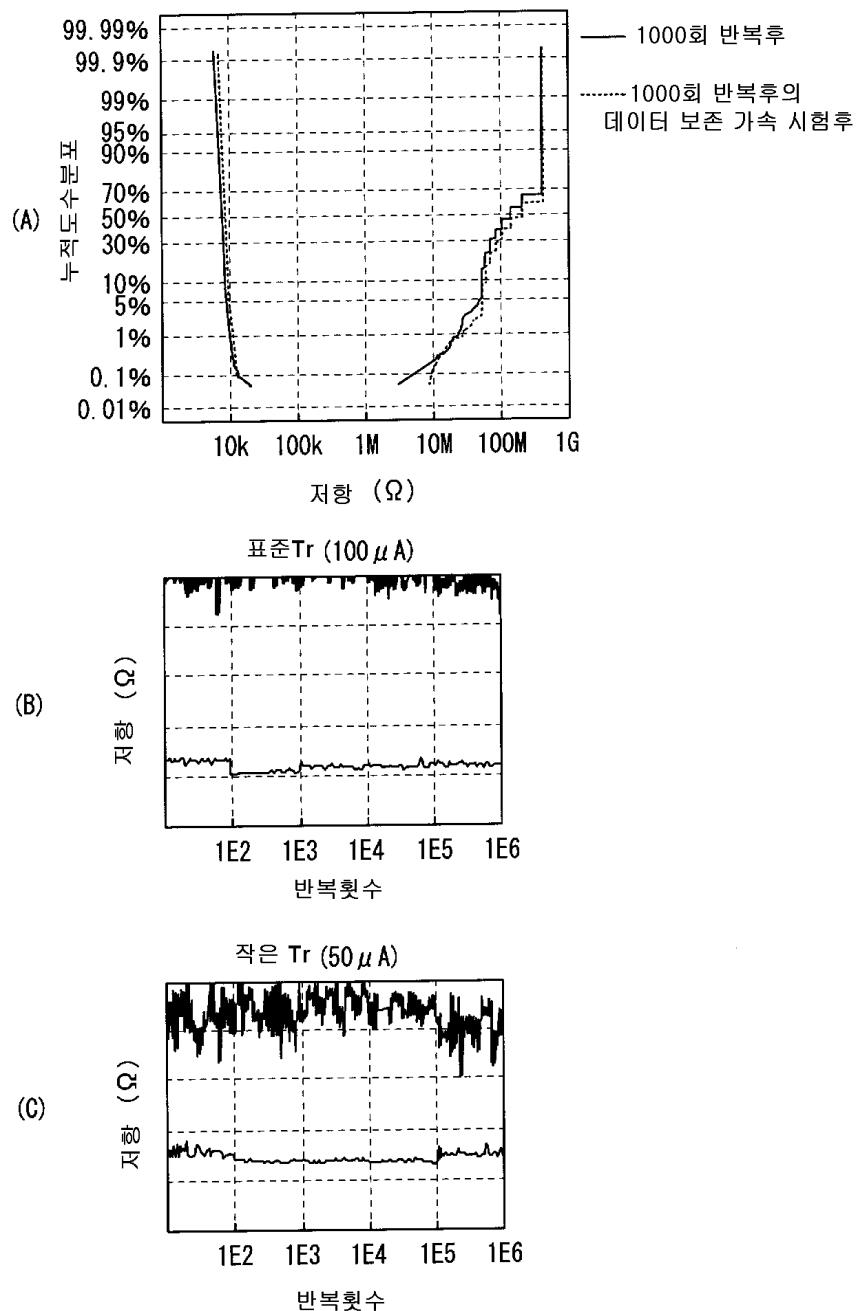


도면47



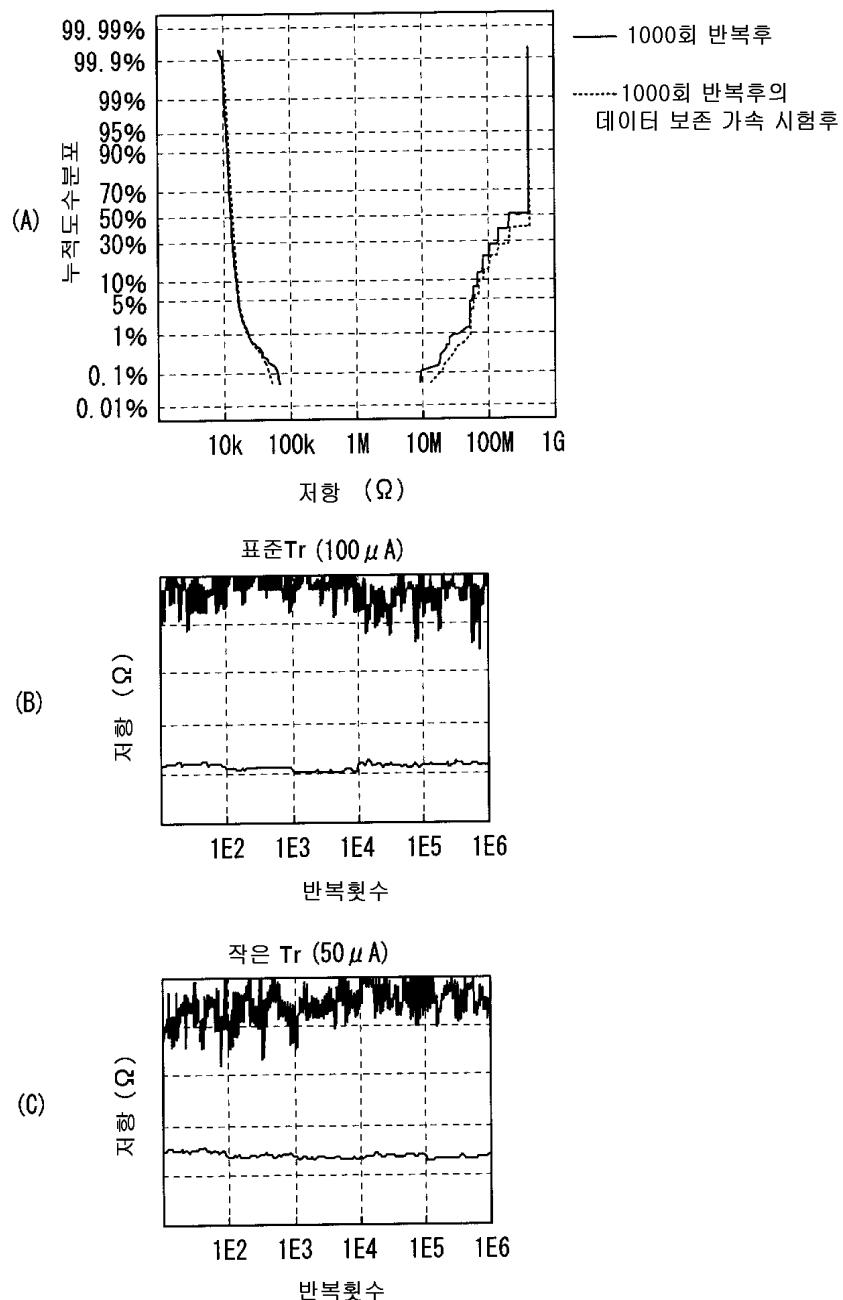
도면48

실시예16



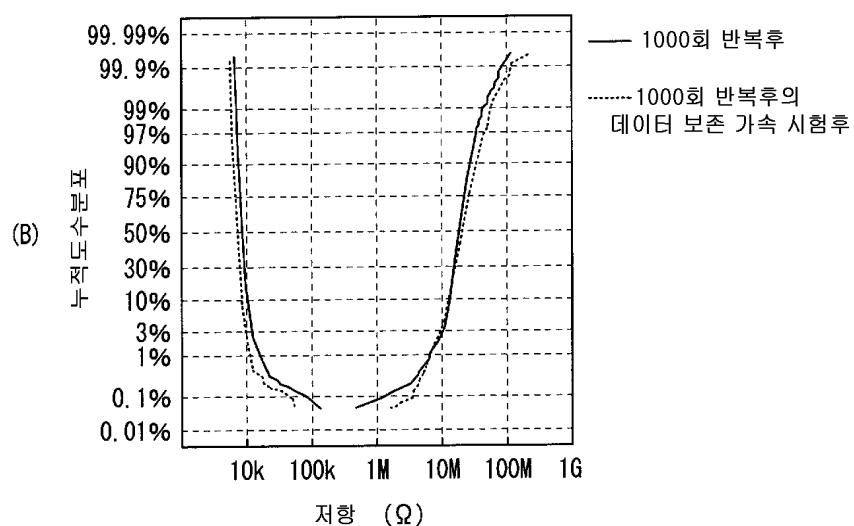
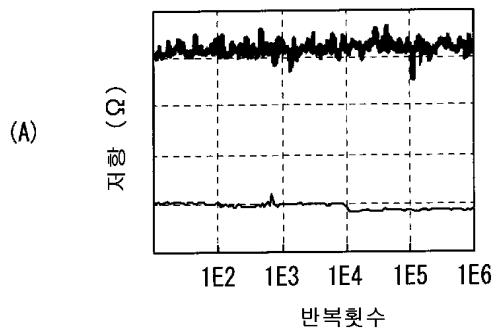
도면49

실시예17



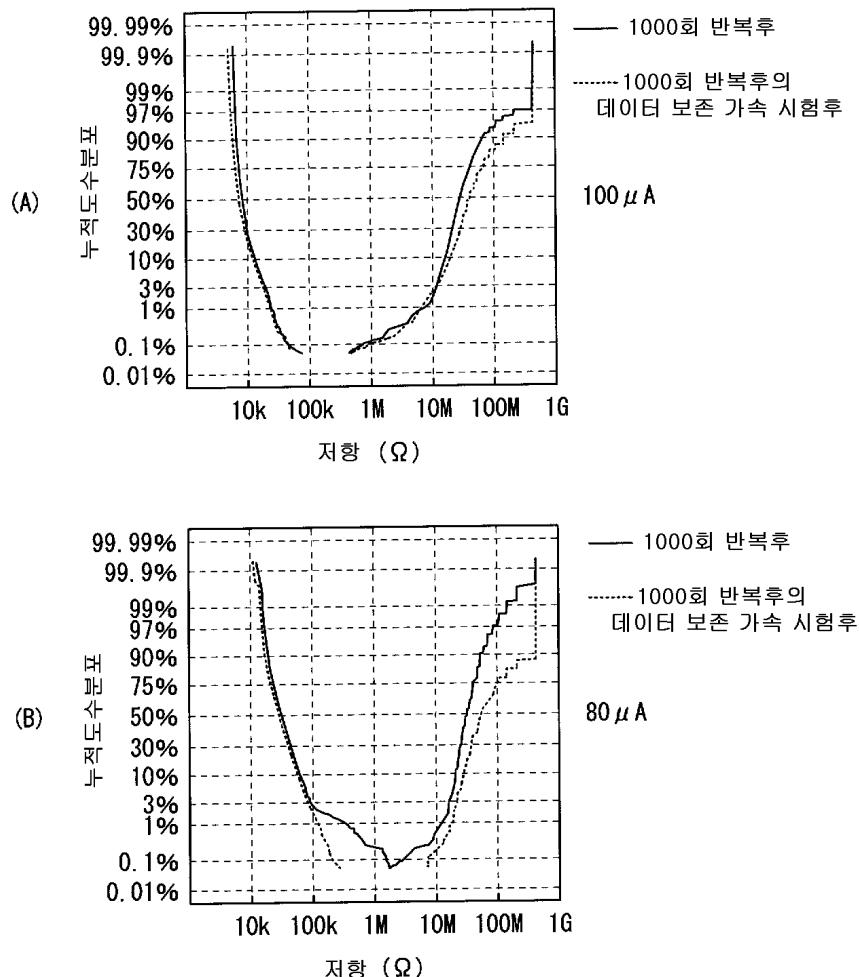
도면50

실시예18

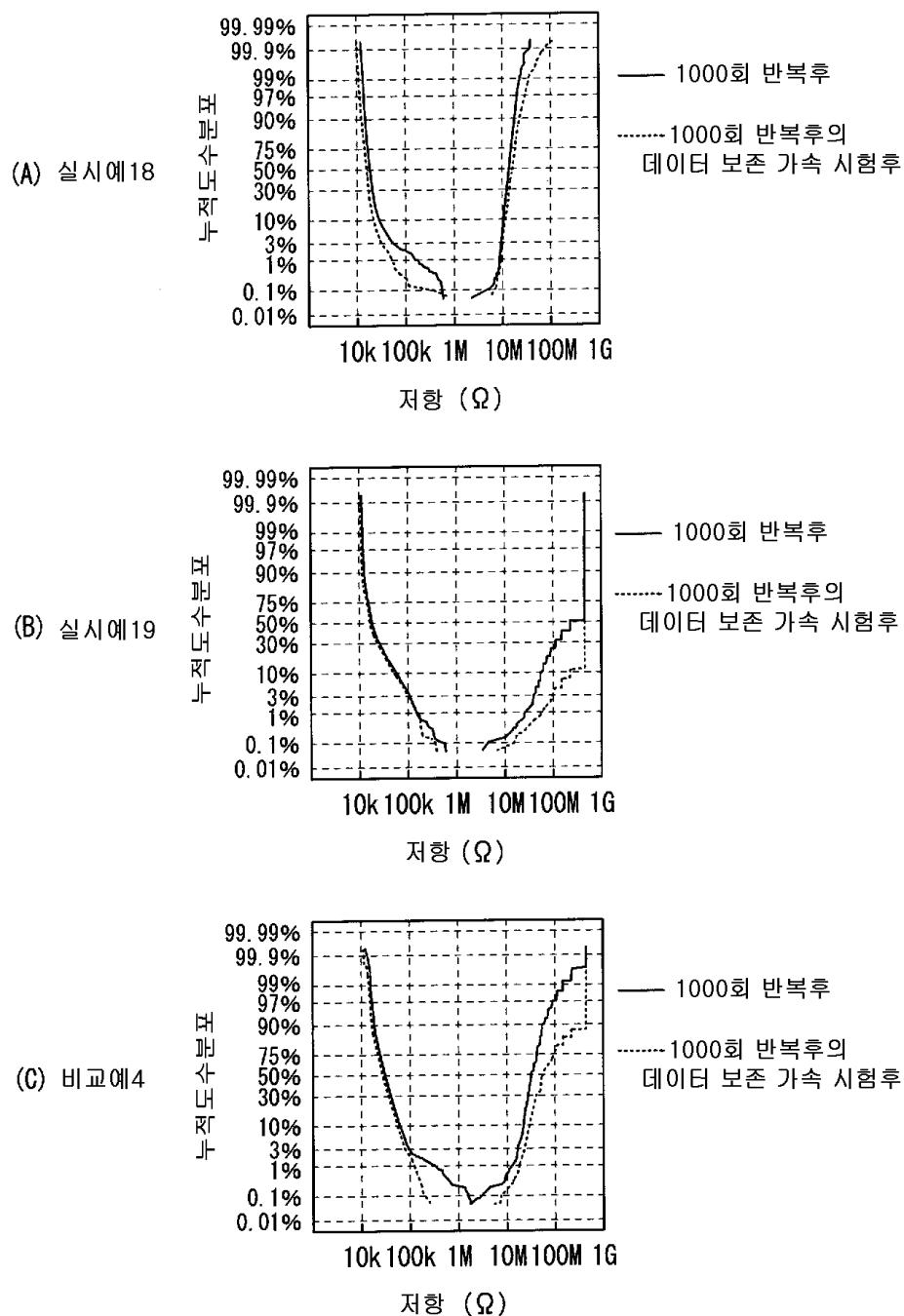


도면51

비교예4



도면52



도면53

실시예20

