



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2024년10월15일
(11) 등록번호 10-2718211
(24) 등록일자 2024년10월11일

(51) 국제특허분류(Int. Cl.)
H01L 21/18 (2024.01) H01L 21/304 (2006.01)
H01L 29/20 (2006.01) H01L 29/66 (2006.01)
(52) CPC특허분류
H01L 21/185 (2013.01)
H01L 21/304 (2013.01)
(21) 출원번호 10-2022-7032511
(22) 출원일자(국제) 2020년04월13일
심사청구일자 2022년09월20일
(85) 번역문제출일자 2022년09월20일
(65) 공개번호 10-2022-0143741
(43) 공개일자 2022년10월25일
(86) 국제출원번호 PCT/JP2020/016312
(87) 국제공개번호 WO 2021/210047
국제공개일자 2021년10월21일
(56) 선행기술조사문헌
JP11074230 A*
KR1020190142382 A*
KR1020200026822 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
미쓰비시덴키 가부시카가이샤
일본국 도쿄도 지요다쿠 마루노우치 2초메 7반 3고
(72) 발명자
후지카와 마사히로
일본 도쿄도 지요다쿠 마루노우치 2초메 7반 3고
미쓰비시덴키 가부시카가이샤 내
야규 에이지
일본 도쿄도 지요다쿠 마루노우치 2초메 7반 3고
미쓰비시덴키 가부시카가이샤 내
(74) 대리인
제일특허법인(유)

전체 청구항 수 : 총 7 항

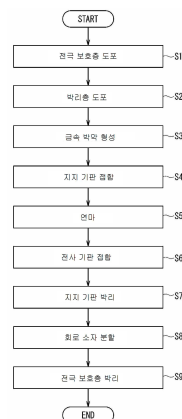
심사관 : 노병규

(54) 발명의 명칭 반도체 소자의 제조 방법

(57) 요약

본 개시는, 불량률이 낮고 얇은 반도체 소자의 제조 방법의 제공을 목적으로 한다. 본 개시에 따른 반도체 소자의 제조 방법은, 반도체 기판(1)과 반도체 기판(1) 상의 회로 소자(2)를 구비하는 회로 소자 기판(7)을 준비하고, 회로 소자(2) 상에 전극 보호층(3)을 형성하고, 지지 기판(8)을 준비하고, 진공 중에서 회로 소자 기판(7)의 전극 보호층(3) 상과 지지 기판(8) 상에 금속 박막(6)을 형성하고, 회로 소자 기판 및 지지 기판의 금속 박막(6)끼리를 원자 확산 접합법에 의해 접합하는 것에 의해, 회로 소자 기판(7) 및 지지 기판(8)을 접합하고, 반도체 기판(1)을 연마 제거하여 회로 소자(2)를 노출시키고, 회로 소자(2)의 노출면에 전사 기판(10)을 접합하고, 전사 기판(10)의 접합 후에 지지 기판(8)을 회로 소자(2)로부터 박리한다.

대표도 - 도2



(52) CPC특허분류

H01L 29/2003 (2013.01)

H01L 29/66462 (2013.01)

명세서

청구범위

청구항 1

반도체 기판과 상기 반도체 기판 상의 회로 소자를 구비하는 회로 소자 기판을 준비하고,
 상기 회로 소자 상에 전극 보호층을 형성하고,
 지지 기판을 준비하고,
 진공 중에서 상기 회로 소자 기판의 상기 전극 보호층 상과 지지 기판 상에 금속 박막을 형성하고,
 상기 회로 소자 기판 및 상기 지지 기판의 상기 금속 박막끼리를 원자 확산 접합법에 의해 접합(貼合)하는 것에 의해, 상기 회로 소자 기판 및 상기 지지 기판을 접합하고,
 상기 반도체 기판을 연마 제거하여 상기 회로 소자를 노출시키고,
 상기 회로 소자의 노출면에 전사 기판을 접합하고,
 상기 전사 기판의 접합 후에 상기 지지 기판을 상기 회로 소자로부터 박리하고,
 상기 금속 박막의 형성과, 상기 회로 소자 기판 및 상기 지지 기판의 접합은, 동일한 진공 챔버 내에서 연속하여 행해지는,
 반도체 소자의 제조 방법.

청구항 2

제 1 항에 있어서,
 상기 지지 기판은, 투명 기판과, 상기 투명 기판 상에 형성된 광분해성 재료로 이루어지는 박리층을 구비하고,
 상기 금속 박막은 상기 지지 기판의 상기 박리층 상에 형성되고,
 상기 지지 기판의 박리는, 상기 박리층을 광분해하는 것에 의해 행해지는,
 반도체 소자의 제조 방법.

청구항 3

제 2 항에 있어서,
 상기 박리층은 카본막으로 이루어지고,
 상기 지지 기판의 박리는, 상기 투명 기판의 하면으로부터 레이저를 조사하는 것에 의해 상기 박리층을 가열 분해하는 것에 의해 행해지는,
 반도체 소자의 제조 방법.

청구항 4

제 1 항에 있어서,
 상기 전극 보호층은, 아크릴 수지 또는 에폭시 수지로 이루어지는,
 반도체 소자의 제조 방법.

청구항 5

제 1 항에 있어서,
 상기 전극 보호층은 무기 절연 재료로 이루어지는,

반도체 소자의 제조 방법.

청구항 6

제 5 항에 있어서,

상기 무기 절연 재료는, 다이아몬드, 질화 알루미늄, 질화 규소, 및 산화 베릴륨 중 어느 것인,

반도체 소자의 제조 방법.

청구항 7

제 1 항에 있어서,

상기 회로 소자는 질화 갈륨을 반도체층으로서 포함하고,

상기 전사 기판은 다이아몬드로 이루어지는,

반도체 소자의 제조 방법.

청구항 8

삭제

발명의 설명

기술 분야

[0001] 본 개시는, 반도체 소자의 제조 방법에 관한 것이다.

배경 기술

[0002] 종래, 반도체 소자를 고밀도로 패키징하여 반도체 모듈을 소형화하기 위해, 또는 반도체 소자에 방열 기판을 접합하여 고성능화하기 위해, 반도체 소자의 두께를 얇게 할 것(이하, 「박육화」라고도 칭한다)이 요구되고 있다. 반도체 소자의 박육화는 이하의 공정에 의해 행해진다. 우선, 반도체 소자의 회로 소자면을 지지 기판에 접착하고, 반대 측의 면을 기계적 및 화학적으로 연마한다. 다음으로, 지지 기판을 반도체 소자로부터 박리한다. 이들 공정에서, 박육화한 반도체 소자에 크랙 또는 파손이 생기지 않도록 할 필요가 있다.

[0003] 특허문헌 1에는, 두께 1130 μm 의 반도체 기판을 일렉트론 왁스에 의해 지지 기판과 접착하고, 반도체 기판의 이면을 연마하고, 반도체 기판의 이면에 전사 기판을 접합하고, 가열하여 지지 기판을 박리하는 방법이 나타나 있다.

[0004] 특허문헌 2에는, 연마가 아닌 에칭으로 기판을 제거하는 방법이 개시되어 있다. 구체적으로는, Si 기판 상의 반도체층 상에, Si 기판과 반도체층이 구성하는 웨이퍼의 단부를 제외하고 유기 절연막이 도포된다. 다음으로, 유기 절연막을 덮도록 무기 절연막이 형성된다. 그 후, 진공 중에서 웨이퍼와 지지 기판의 표면이 활성화되고, 웨이퍼가 지지 기판에 접합(貼合)된다. 그 후, 에칭에 의해 Si 기판이 제거된다.

[0005] 특허문헌 3에는, 칩온칩 구조의 반도체 소자의 제조 방법이 기재되어 있다. 특허문헌 3의 제조 방법에 있어서 반도체 웨이퍼는, Si 기판과 Si 기판 상의 소자층을 구비하고 있다. Si 기판과 소자층에는 양자에 걸친 관통 전극이 형성되어 있다. 소자층 상에 절연막 및 금속층이 차례로 형성된 후, 반도체 웨이퍼의 금속층이 지지 기판의 금속층에 접합된다. 관통 전극이 이면으로부터 노출되기까지 웨이퍼의 이면이 연마된 후, 연마 및 에칭에 의해 지지 기판이 제거된다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 일본 특허공개 2005-129825호 공보

(특허문헌 0002) 일본 특허공개 2012-028477호 공보

(특허문헌 0003) 일본 특허공개 2007-324406호 공보

발명의 내용

해결하려는 과제

[0007] 특허문헌 1-3 등에 기재된 종래의 방법에서는, 어느 정도의 두께까지는 회로 소자를 포함하는 기판을 박육화하는 것이 가능하다. 그러나, 이면의 기판을 전부 삭제하여 회로 소자를 10 μ m 이하까지 박육화하는 경우에는, 회로 소자를 지지하고 있던 기판이 없어지기 때문에, 반도체 소자의 강도가 약해져, 연마, 다이싱, 또는 지지 기판의 박리 시에, 반도체 소자에 크랙, 파손 또는 막 박리 등의 결함이 발생하여, 불량률이 증가한다는 문제가 있었다.

[0008] 본 개시는, 상기의 문제점을 해결하기 위해서 이루어진 것으로, 불량률이 낮고 얇은 반도체 소자의 제조 방법의 제공을 목적으로 한다.

과제의 해결 수단

[0009] 본 개시의 반도체 소자의 제조 방법은, 반도체 기판과 반도체 기판 상의 회로 소자를 구비하는 회로 소자 기판을 준비하고, 회로 소자 상에 전극 보호층을 형성하고, 지지 기판을 준비하고, 진공 중에서 회로 소자 기판의 전극 보호층 상과 지지 기판 상에 금속 박막을 형성하고, 회로 소자 기판 및 지지 기판의 금속 박막끼리를 원자 확산 접합법에 의해 접합하는 것에 의해, 회로 소자 기판 및 지지 기판을 접합하고, 반도체 기판을 연마 제거하여 회로 소자를 노출시키고, 회로 소자의 노출면에 전사 기판을 접합하고, 전사 기판의 접합 후에 지지 기판을 회로 소자로부터 박리한다.

발명의 효과

[0010] 본 개시의 반도체 소자의 제조 방법에 의하면, 반도체 기판을 연마 제거하더라도 회로 소자에 크랙, 박리 또는 파손이 생기기 어려워, 불량률이 낮고 얇은 반도체 소자를 제조할 수 있다. 본 개시의 목적, 특징, 태양, 및 이점은, 이하의 상세한 설명과 첨부 도면에 의해, 보다 명백해진다.

도면의 간단한 설명

- [0011] [도 1] 실시형태 1의 반도체 소자의 단면도이다.
- [도 2] 실시형태 1의 반도체 소자의 제조 방법을 나타내는 플로 차트이다.
- [도 3] 실시형태 1의 반도체 소자의 제조 방법을 나타내는 단면도이다.
- [도 4] 실시형태 1의 반도체 소자의 제조 방법을 나타내는 단면도이다.
- [도 5] 실시형태 1의 반도체 소자의 제조 방법을 나타내는 단면도이다.
- [도 6] 실시형태 1의 반도체 소자의 제조 방법을 나타내는 단면도이다.
- [도 7] 실시형태 1의 반도체 소자의 제조 방법을 나타내는 단면도이다.
- [도 8] 실시형태 1의 반도체 소자의 제조 방법을 나타내는 단면도이다.
- [도 9] 실시형태 1의 반도체 소자의 제조 방법을 나타내는 단면도이다.
- [도 10] 실시형태 1의 반도체 소자의 제조 방법을 나타내는 단면도이다.
- [도 11] 실시형태 1의 반도체 소자의 제조 방법을 나타내는 단면도이다.
- [도 12] 실시형태 2의 반도체 소자의 단면도이다.
- [도 13] 실시형태 2의 반도체 소자의 제조 방법을 나타내는 단면도이다.
- [도 14] 실시형태 2의 반도체 소자의 제조 방법을 나타내는 단면도이다.
- [도 15] 실시형태 2의 반도체 소자의 제조 방법을 나타내는 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0012] <A. 실시형태 1>
- [0013] <A-1. 구성>
- [0014] 도 1은, 실시형태 1의 반도체 소자(101)의 구성을 나타내는 단면도이다. 반도체 소자(101)는 회로 소자(2)와 전사 기관(10)을 구비한다. 전사 기관(10)은 회로 소자(2)의 하면에 접합되어 있다. 이하의 설명에서는, 회로 소자(2)를, 질화 갈륨(GaN)을 반도체층으로서 갖는 HEMT(high electron mobility transistor)로 하지만, MOSFET(metal-oxide-semiconductor field-effect transistor) 또는 IGBT(insulated gate bipolar transistor) 등 다른 회로 소자여도 된다. 회로 소자(2)의 두께는 예를 들면 10 μ m이다. 전사 기관(10)은 열전도율이 높은 기관이고, 예를 들면 다이아몬드 기관이다.
- [0015] <A-2. 제조 공정>
- [0016] 도 2는, 반도체 소자(101)의 제조 방법을 나타내는 플로 차트이다. 이하, 도 2의 플로를 따라 반도체 소자(101)의 제조 방법을 설명한다.
- [0017] 우선, 도 3에 나타내는 바와 같이, 회로 소자 기관(7)을 준비한다. 회로 소자 기관(7)은, 반도체 기관(1)과, 반도체 기관(1) 상에 형성된 회로 소자(2)를 구비한다. 반도체 기관(1)은, 예를 들면 Si 웨이퍼 또는 SiC(탄화규소) 웨이퍼 등이다.
- [0018] 회로 소자(2)는, 전극과 전극을 접속하는 중공의 브리지 전극을 포함하고 있고, 도 3에는 나타내고 있지 않지만, 회로 소자(2)의 상면에는 전극에 의한 단차가 존재한다. 후의 연마 공정에서 전극의 파손을 막기 위해, 회로 소자(2) 상에 보호층을 형성할 필요가 있다. 그래서, 도 4에 나타내는 바와 같이, 회로 소자(2) 상에 전극 보호층(3)을 도포 형성한다(스텝 S1). 전극 보호층(3)에는, 후의 연마 공정에서 회로 소자(2)의 전극을 보호하는 것 외에, 전극의 요철을 평탄화하는 것에 의해, 지지 기관과의 접합 강도를 높이는 효과도 있다.
- [0019] 전극 보호층(3)의 재료로는, 유기 용제와 열경화성 수지 또는 광경화성 수지로 이루어지는 접착제, 혹은 포토레지스트재료, 최종 공정의 화학 처리 또는 산소 애싱으로 제거할 수 있는 것이 선택된다. 일반적으로는, 아크릴 수지, 올레핀 수지, 페놀 수지, 폴리프로필렌 수지 또는 폴리에틸렌 수지 등이 전극 보호층(3)에 이용된다. 전극 보호층(3)에는, 회로 소자 기관(7)과 지지 기관이 일체화되어 높은 기관 강도를 가지며, 연마 공정에서 박리 또는 크랙 등이 발생하지 않는 경도가 높은 재료가 유효하고, 그 관점에서, 아크릴 수지 또는 에폭시 수지 등의 막 강도가 높은 재료가 좋다.
- [0020] 전극 보호층(3)의 도포에는, 예를 들면 회로 소자 기관(7)의 회로 소자(2)가 형성된 주면(主面)에 접착제를 적하하고, 회로 소자 기관(7)을 고속 회전시키는 스핀 코팅법이 이용된다. 그러나, 인쇄법 또는 스프레이법 등, 다른 도포 방법이 이용되어도 된다. 전극 보호층(3)은, 5 μ m 이상 8 μ m 이하의 두께로, 회로 소자(2)를 덮도록 형성된다. 전극 보호층(3)을 회로 소자(2) 상에 도포한 후, 전극 보호층(3)을 경화시킨다. 전극 보호층(3)의 재료에 열경화성 수지가 이용되는 경우, 전극 보호층(3)은, 핫 플레이트 등으로 90℃ 이상 120℃ 이하로 가열되는 것에 의해, 용제 성분이 증발하여 경화된다. 전극 보호층(3)의 재료에 광경화성 수지가 이용되는 경우, 회로 소자 기관(7)을 광 조사하는 것에 의해, 전극 보호층(3)은 경화된다.
- [0021] 다음으로, 도 5에 나타내는 바와 같이, 투명 기관(4)의 접착면에 박리층(5)을 형성하여 지지 기관(8)을 준비한다(스텝 S2). 즉, 지지 기관(8)은, 투명 기관(4)과, 투명 기관(4) 상에 형성된 박리층(5)을 구비한다. 투명 기관(4)은 광 투과성을 가지며, 무알칼리 유리 또는 사파이어 유리 등으로 구성된다. 후공정에서 지지 기관(8)을 회로 소자 기관(7)으로부터 박리할 때, 에칭, 연마, 또는 박리액에의 침지 등의 수법을 이용하면 시간이 걸린다. 그 때문에, 본 실시형태에서는, 레이저 또는 적외선 등의 광을 흡수하면 분해되는 광분해성 재료로 이루어지는 박리층(5)을 투명 기관(4) 상에 형성한다. 예를 들면, 광을 흡수하고 발열하여 열분해되는 카본 재료를 포함하는 수지와 유기 용제로 이루어지는 페이스트를, 투명 기관(4)에 스핀 코팅법으로 도포하고, 가열 건조하는 것에 의해, 박리층(5)이 형성된다. 또는, 두께 1 μ m 이상 2 μ m 이하의 카본막이, 박리층(5)으로서 CVD 스퍼터링 장치에 의해 투명 기관(4) 상에 형성되어도 된다. 카본막이 박리층(5)에 이용되는 경우, 지지 기관(8)을 회로 소자 기관(7)에 강고하게 접착할 수 있다.
- [0022] 박리층(5)의 표면은 래핑 연마에 의해 경면 가공되는 것이 바람직하다. 박리층(5)의 표면의 산술 평균 거칠기는 0.5nm 미만인 것이 바람직하고, 0.2nm 미만이 보다 바람직하다. 박리층(5)의 표면의 산술 평균 거칠기가 0.5nm 미만이면, 후공정에서 회로 소자 기관(7)과 접착되지 않는 부분을 줄일 수 있어, 회로 소자 기관(7)과의 접착

강도가 높아진다.

[0023] 다음으로, 도 6에 나타내는 바와 같이, 진공 챔버(9) 내에 회로 소자 기관(7)과 지지 기관(8)을 세팅하고, 초고 진공 10^{-6} Pa까지 배기한다. 이 초고진공 상태에서, 스퍼터링법 또는 증착법 등에 의해, 회로 소자 기관(7)의 전극 보호층(3) 상과 지지 기관(8)의 박리층(5) 상에 금속 박막(6)을 수nm 이상 수십 nm 이하의 두께로 형성한다(스텝 S3). 도 6은, 스퍼터링 타겟(12)으로부터 전극 보호층(3) 상에 스퍼터링 원자가 방출되는 모습을 나타내고 있다. 금속 박막(6)의 재료로는, 알루미늄, 구리, 실리콘, 타이타늄, 금, 은, 철 또는 크로뮴 등이 이용된다.

[0024] 그리고, 진공 챔버(9) 내에서 금속 박막(6)끼리를 접합하여 회로 소자 기관(7)과 지지 기관(8)을 접합한다(스텝 S4). 금속 박막(6)의 형성(스텝 S3)과, 회로 소자 기관(7) 및 지지 기관(8)의 접합(스텝 S4)은, 동일한 진공 챔버(9) 내에서 연속하여 행한다. 금속 박막(6)의 형성 후에 회로 소자 기관(7) 및 지지 기관(8)을 대기 중에 취출해 버리면, 표면에 수분, 자연 산화막 또는 유기물이 부착되어, 금속 박막(6)끼리가 접합되지 않게 된다. 그 때문에, 회로 소자 기관(7) 및 지지 기관(8)을 접합하기 위해서는, 다시 진공 중에서 회로 소자 기관(7) 및 지지 기관(8)에 이온 빔 또는 중성 원자 빔을 조사하여 세정할 필요가 생긴다. 한편, 본 실시형태에서는 진공 중에서 회로 소자 기관(7) 및 지지 기관(8)에 금속 박막(6)을 형성하고, 동일 진공 중에서 계속해서 금속 박막(6)끼리를 접합하는 원자 확산 접합법을 이용하기 때문에, 원자 빔 등에 의한 표면 활성화가 필요없다. 그 때문에, 프로세스에 로스가 없고, 접합 공정(스텝 S3 및 스텝 S4)의 프로세스 시간을 10분 내지 15분으로 짧게 할 수 있다. 따라서, 한 번에 수매의 웨이퍼를 세팅할 수 있는 카세트를 사용하여, 진공 챔버(9)에 예비 배기실인 로드 록 챔버를 마련하면, 일반적인 접착제를 이용한 기관의 첨부 프로세스에 비해 처리 시간을 짧게 할 수 있다.

[0025] 회로 소자 기관(7)과 지지 기관(8)의 접착에, 왁스 혹은 열경화성 또는 광경화성의 수지를 이용하는 종래 기술에서는, 수지막의 두께가 수백 μm 이상 수mm로 두껍고, 수지막의 탄성률이 작다. 그 때문에, 접착 후의 기관 강도가 낮아, 회로 소자 기관(7)을 연마하여 박육화할 때에 회로 소자 기관(7)의 주변부에 크랙이 생기거나, 회로 소자 기관(7)이 지지 기관(8)으로부터 박리되거나 한다는 문제가 발생한다. 그러나, 본 실시형태의 원자 확산 접합법에 의하면, 접착층의 두께를 원자 1개분인 약 0.2nm 내지 20nm로 매우 얇게 할 수 있다. 또한, 원자 확산 접합법에서는, 접합하는 2개의 기관의 표면의 원자가 서로 확산된 직접 결합이 되기 때문에, 접착력이 강해서, 접합 기관의 기계적 강도가 높아진다. 그 때문에, 연마 또는 다이싱 시의 크랙, 박리 또는 파손 등의 결합이 저감된다. 또한, 원자 확산 접합법에 의하면 상온에서 접합이 행해지기 때문에, 가열에 의해 기관이 열팽창하여 왜곡되는 경우가 없다. 그 때문에, 접합하는 기관의 재료를 선정하지 않는다.

[0026] 다음으로, 도 7에 나타내는 바와 같이, 회로 소자 기관(7)과 지지 기관(8)으로 이루어지는 접합 기관의 회로 소자 기관(7) 측의 면을 연마하고, 반도체 기관(1)을 제거한다(스텝 S5). 반도체 기관(1)을 제거하는 것은, 회로 소자(2)의 방열 효율을 향상시켜, 저소비 전력 및 고출력을 얻기 위함이다. 본 스텝에서는, 우선 두께 500 μm 의 반도체 기관(1)을 두께 20 μm 가 될 때까지 연마한다. 연마 방법에는, 기계 연마, 화학 연마 또는 화학적 기계 연마 등을 이용한다. 다음으로, 반응성 이온 에칭(Reactive Ion Etching: RIE) 등의 드라이 에칭에 의해, 남은 두께 20 μm 의 반도체 기관(1)을 제거한다. 이에 의해, 반도체 기관(1)이 완전히 제거되어, 회로 소자(2)의 하면이 노출된다. 그 후, 화학적 기계 연마를 행하여, 회로 소자(2)의 하면의 평탄성을 얻는다. 후에 행하는 전사 기관(10)과의 접합을 고려하여, 회로 소자(2)의 하면의 산술 평균 거칠기 Ra는 0.5nm 이하인 것이 바람직하다.

[0027] 연마에 의해 반도체 기관(1)이 서서히 얇아짐에 따라, 회로 소자(2)를 포함하는 회로 소자 기관(7)의 강도가 저하된다. 그 때문에, 잔류막의 응력의 영향으로 회로 소자(2)가 변형되거나, 연마 불균일에 의해 회로 소자(2)의 주변부에 크랙 또는 박리 등이 발생하거나 한다. 그러나, 본 실시형태에서는, 회로 소자 기관(7)을 지지 기관(8)에 강고하게 접착한 상태에서 반도체 기관(1)을 연마하기 때문에, 반도체 기관(1)을 제거하더라도 회로 소자 기관(7)의 강도는 유지된다. 따라서, 회로 소자(2)의 변형, 크랙 또는 박리 등의 결합이 억제된다.

[0028] 다음으로, 도 8에 나타내는 바와 같이, 회로 소자(2)의 하면을 전사 기관(10)에 접합한다(스텝 S6). 전사 기관(10)에는, 예를 들면 열전도성이 우수한 다이아몬드 기관을 사용한다. 전사 기관(10)은 두께가 100 μm 이고, 정밀 연마에 의해 접합면의 산술 평균 거칠기가 0.5nm 이하로 되어 있다. 전사 기관(10)의 접합에는, 상기에서 설명한 지지 기관(8)의 접착과 동일한 원자 확산 접합법을 이용한다. 전사 기관(10)을 구성하는 다이아몬드의 열팽창 계수는 $2.3 \times 10^{-6}/\text{K}$ 로, 회로 소자(2)를 구성하는 질화 갈륨의 열팽창 계수 $5.5 \times 10^{-6}/\text{K}$ 와 큰 차가 있다. 따라서, 전사 기관(10)을 회로 소자(2)에 가열 접합하는 것은 어렵다. 한편, 회로 소자(2)와 전사 기관(10)을

수nm로 매우 얇은 금속막으로 직접 접합하는 것에 의해, 접합 계면의 열저항이 작아 높은 방열 효과가 얻어진다. 혹은, 접합면에 중성 원자 빔을 조사하여 자연 산화막 또는 유기 물질을 제거한 후, 접합하는 표면 활성화법을 이용하여 회로 소자(2)와 전사 기관(10)을 접합해도 된다. 이 경우, 회로 소자(2)와 전사 기관(10)의 접합면은, 표면 연마에 의해 산술 평균 거칠기를 0.5nm 이하로 해 둔다.

[0029] 다음으로, 도 9에 나타내는 바와 같이, 회로 소자 기관(7)으로부터 지지 기관(8)을 박리한다(스텝 S7). 구체적으로는, 투명 기관(4)의 상면으로부터 레이저를 조사하여, 박리층(5)을 가열하여 분해함으로써, 지지 기관(8)을 박리한다. 이 방법에 의하면, 연마 또는 에칭으로 지지 기관(8)을 제거하는 방법에 비해, 공정수가 적어, 처리 시간이 짧고, 투명 기관(4)을 재이용할 수 있기 때문에, 생산성을 향상시키고, 또한 생산 비용을 삭감할 수 있다.

[0030] 다음으로, 도 10 및 도 11에 나타내는 바와 같이 다이싱을 행하여, 전사 기관(10)과 회로 소자 기관(7)으로 이루어지는 접합 기관을 복수의 칩으로 분할한다(스텝 S8). 도 11은, 분할 후의 하나의 칩을 나타내고 있다. 회로 소자(2)에는 많은 소자가 형성되어 있지만, 본 스텝에서 각 소자가 분할된다. 다이싱 방법에는, 레이저 다이싱 또는 플라즈마 다이싱 등을 이용할 수 있다. 종래에는, 박막화에 수반하는 강도 저하에 의해, 다이싱 공정에 있어서 회로 소자 기관(7)에 크랙, 박리 또는 파편 등이 발생하고 있었다. 그러나, 본 실시형태에서는, 회로 소자 기관(7)이 지지 기관(8)에 직접 접합되는 것에 의해 강도가 증가하고 있기 때문에, 상기의 결함이 억제된다.

[0031] 다음으로, 개별화된 칩으로부터 금속 박막(6) 및 전극 보호층(3)을 박리한다(스텝 S9). 본 스텝에서는, 알칼리성 또는 산성의 박리액 혹은 유기 용제 등에 회로 소자 기관(7)을 침지하여, 금속 박막(6) 및 전극 보호층(3)을 용해하는 것에 의해 제거한다. 그리고, 잔류한 유기물을 세정하고, 회로 소자 기관(7)을 건조한다. 혹은, 금속 박막(6)을 산성의 박리액으로 제거하고, 전극 보호층(3)을 산소 애싱으로 제거해도 된다. 이렇게 하여, 도 1에 나타내는 반도체 소자(101)가 완성된다.

[0032] <A-3. 효과>

[0033] 이상으로 설명한 바와 같이, 실시형태 1의 반도체 소자의 제조 방법에 의하면, 반도체 기관(1)과 반도체 기관(1) 상의 회로 소자(2)를 구비하는 회로 소자 기관(7)을 준비하고, 회로 소자(2) 상에 전극 보호층(3)을 형성하고, 지지 기관(8)을 준비하고, 진공 중에서 회로 소자 기관(7)의 전극 보호층(3) 상과 지지 기관(8) 상에 금속 박막(6)을 형성하고, 회로 소자 기관(7) 및 지지 기관(8)의 금속 박막(6)끼리를 원자 확산 접합법에 의해 접합하는 것에 의해, 회로 소자 기관(7) 및 지지 기관(8)을 접합하고, 반도체 기관(1)을 연마 제거하여 회로 소자(2)를 노출시키고, 회로 소자(2)의 노출면에 전사 기관(10)을 접합하고, 전사 기관(10)의 접합 후에 지지 기관(8)을 회로 소자(2)로부터 박리한다. 회로 소자 기관(7)과 지지 기관(8)의 금속 박막(6)끼리가 원자 확산 접합법에 의해 강고하게 접착되기 때문에, 회로 소자 기관(7)과 지지 기관(8)을 접합한 접합 기관의 기계적 강도가 높아진다. 따라서, 반도체 기관(1)을 연마하여 반도체 소자를 얇게 하더라도, 회로 소자(2)에 크랙, 박리 또는 파손 등의 결함이 생기기 어려워, 불량률을 낮게 할 수 있다.

[0034] <B. 실시형태 2>

[0035] <B-1. 구성>

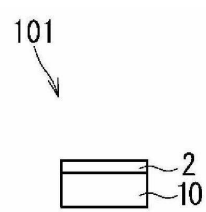
[0036] 도 12는, 실시형태 2의 반도체 소자(102)의 단면도이다. 반도체 소자(102)는, 회로 소자(2)와, 회로 소자(2)의 상면에 형성된 무기 절연막(11)과, 회로 소자(2)의 하면에 형성된 전사 기관(10)을 구비하고 있다. 회로 소자(2)와 전사 기관(10)은 실시형태 1에서 설명한 바와 같다. 무기 절연막(11)은 전극 보호층이다. 단, 실시형태 1의 전극 보호층(3)에 수지가 이용되었는 데 비해, 실시형태 2에서는 열전도성이 높은 무기 절연막을 전극 보호층으로서 이용하기 때문에, 이것을 무기 절연막(11)이라고 칭한다.

[0037] 전극 보호층에 무기 절연막을 이용하는 경우, 수지를 이용하는 경우에 비해, 회로 소자 기관(7)과 지지 기관(8)의 접합 기관의 강도가 향상되어, 반도체 기관(1)의 연마 후의 크랙 또는 박리를 억제할 수 있다. 그러나, 최종 공정에서 전극 보호층을 제거하는 것이 곤란하게 되고, 제거 시의 회로 소자(2)에 대한 대미지도 크다. 그래서, 반도체 소자(102)에서는, 무기 절연막(11)을 제거하지 않고 회로 소자(2)의 상면 측의 방열재로서 이용함으로써, 반도체 소자(102)의 방열 성능을 높임과 함께, 무기 절연막(11)의 제거 공정을 생략한다. 이와 같이, 무기 절연막(11)을 방열재로서 이용하기 때문에, 무기 절연막(11)은 높은 열전도성을 가지는 무기 절연막으로 한다.

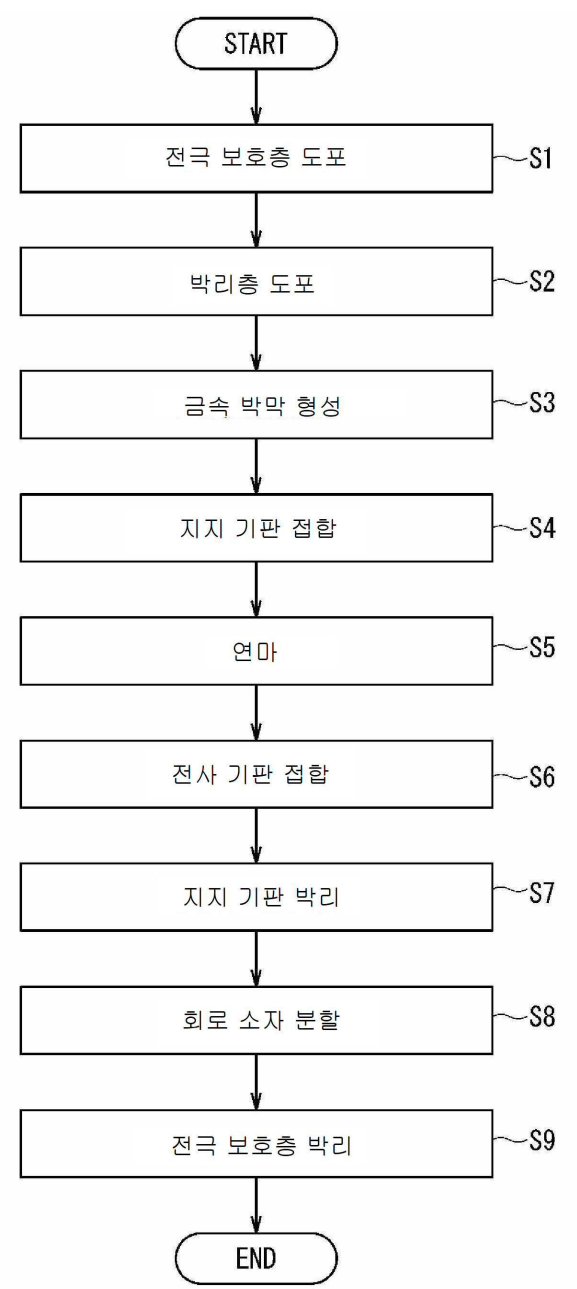
- [0038] <B-2. 제조 공정>
- [0039] 도 13 내지 도 15는, 회로 소자 기관(7)의 회로 소자(2) 상에 전극 보호층으로서의 무기 절연막(11)을 형성하는 모습을 나타낸 단면도이다. 도 13은, 반도체 기관(1)과, 반도체 기관(1) 상의 회로 소자(2)를 포함하는 회로 소자 기관(7)을 나타내고 있다. 회로 소자(2)에는, 전극과 전극을 접속하는 중공의 브리지 전극이 있기 때문에, 도 13에 나타내는 바와 같이 회로 소자(2)의 상면에는 단차가 형성되어 있다. 이 단차의 높이는 수 μm 정도이다.
- [0040] 회로 소자 기관(7)을 CVD 플라즈마 장치 등의 성막 장치에 투입하고, 도 14에 나타내는 바와 같이, 회로 소자(2) 상에 높은 열전도성을 가지는 무기 절연막(11)을, 회로 소자(2)에 있어서의 전극의 높이 이상의 막 두께로 형성한다. 무기 절연막(11)의 재료로서, 다이아몬드, 질화 알루미늄, 질화 규소 또는 산화 베릴륨 등을 이용할 수 있다. 열전도성이 높은 무기 절연막(11)을 전극 보호층으로서 이용하는 것에 의해, 전극 보호층을 회로 소자(2)의 상면 측의 히트 싱크로서 이용할 수 있기 때문에, 전극 보호층의 제거 공정이 불필요해진다. 그 때문에, 프로세스의 단시간화와 디바이스 성능의 향상을 도모하는 것이 가능하다.
- [0041] 한편, 절연막이더라도 열전도성이 낮은 산화 실리콘 등은, 방열성이 낮은 디바이스 성능에 악영향을 주기 때문에 최종 공정에서 제거하지 않으면 안 되고, 제거 공정에서 회로 소자(2)에 대미지가 생기기 때문에, 무기 절연막(11)의 재료로서 사용하는 것은 어렵다.
- [0042] 실시형태 1의 전극 보호층(3)은 수지이기 때문에, 스핀 코팅법을 이용하는 것에 의해, 수지가 유동하여 전극 보호층(3)의 상면이 평탄하게 형성된다. 그러나, 무기 절연막(11)을 CVD법 등으로 형성하는 경우에는, 도 14에 나타내는 바와 같이 무기 절연막(11)의 상면에 단차가 생긴다. 회로 소자 기관(7)과 지지 기관(8)의 강한 접합 강도를 얻기 위해서는, 무기 절연막(11)의 상면을 평탄화하여, 무기 절연막(11)의 상면의 전체가 지지 기관(8)과 접촉될 필요가 있다. 그래서, 도 15에 나타내는 바와 같이, 무기 절연막(11)의 높은 부분을 연마법에 의해 회로 소자(2)의 전극과 동일한 높이로 평탄화한다. 이때의 무기 절연막(11)의 상면의 산술 평균 거칠기는, 1.0nm 이하로 한다.
- [0043] 다음으로, 무기 절연막(11)의 상면을 세정하여 연마 잔사를 없앤 후, 실시형태 1과 마찬가지로, 금속 박막(6)의 형성(스텝 S3), 회로 소자 기관(7)(스텝 S4) 및 지지 기관(8)의 접합(스텝 S5), 반도체 기관(1)의 연마(스텝 S6), 전사 기관(10)의 접합(스텝 S7), 지지 기관(8)의 박리(스텝 S8), 회로 소자(2)의 분할(스텝 S9)을 행한다. 그리고, 무기 절연막(11)의 상면으로부터 금속 박막(6)을 제거하여, 도 12에 나타내는 반도체 소자(102)가 완성된다. 무기 절연막(11)은 회로 소자(2)의 상면에 남고, 히트 싱크로서 기능한다.
- [0044] <B-3. 효과>
- [0045] 실시형태 2의 반도체 소자의 제조 방법에 있어서, 회로 소자(2)의 상면에 형성되는 전극 보호층은 무기 절연 재료로 이루어지는 무기 절연막(11)이다. 따라서, 전극 보호층에 수지를 이용하는 경우에 비해, 회로 소자 기관(7)과 지지 기관(8)의 접합 기관의 강도가 향상되어, 반도체 기관(1)의 연마 후의 크랙 또는 박리를 억제할 수 있다. 또한, 무기 절연막(11)이 열전도율이 높은 무기 절연막인 경우에는, 무기 절연막(11)을 전극 보호층으로서뿐만 아니라, 회로 소자(2)의 상면 측의 방열재로서 이용할 수 있다. 따라서, 반도체 소자(102)의 방열성을 높임과 함께, 전극 보호층의 제거 공정을 생략할 수 있다.
- [0046] 한편, 각 실시형태를 자유롭게 조합하거나, 각 실시형태를 적절히, 변형, 생략하거나 하는 것이 가능하다. 상기의 설명은, 모든 태양에 있어서 예시이다. 예시되어 있지 않은 무수한 변형예가 상정될 수 있는 것이라고 해석된다.
- 부호의 설명**
- [0047] 1 반도체 기관, 2 회로 소자, 3 전극 보호층, 4 투명 기관, 5 박리층, 6 금속 박막, 7 회로 소자 기관, 8 지지 기관, 9 진공 챔버, 10 전사 기관, 11 무기 절연막, 12 스퍼터링 타겟, 101, 102 반도체 소자.

도면

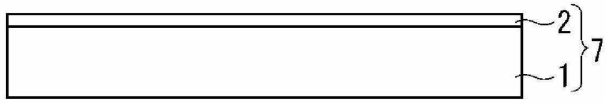
도면1



도면2



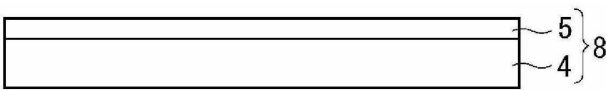
도면3



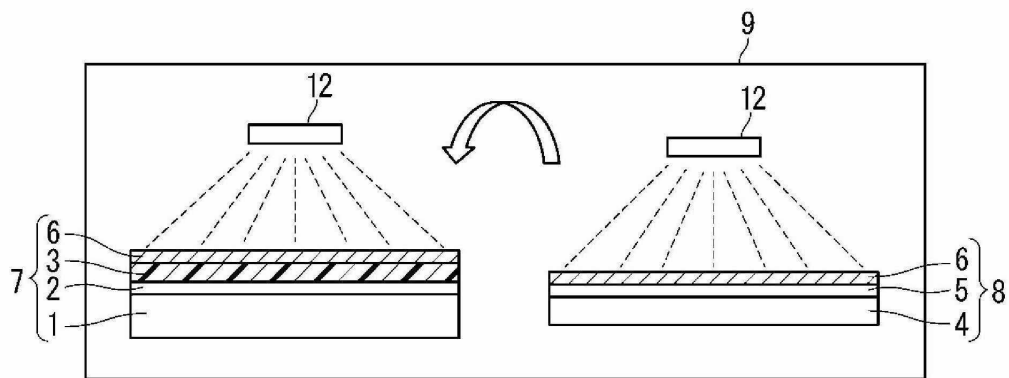
도면4



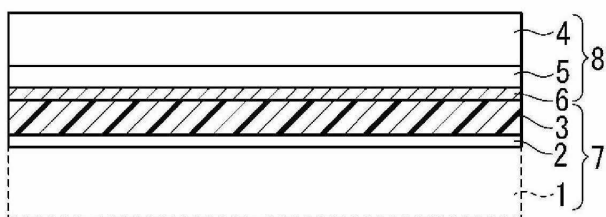
도면5



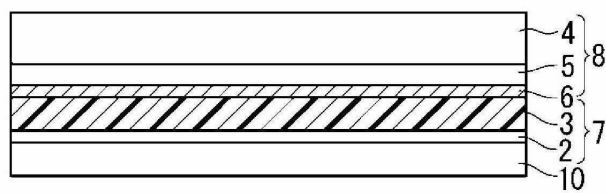
도면6



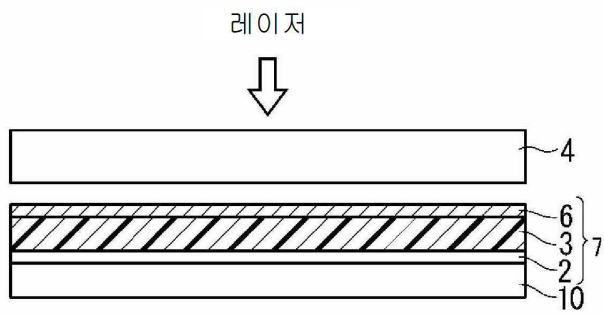
도면7



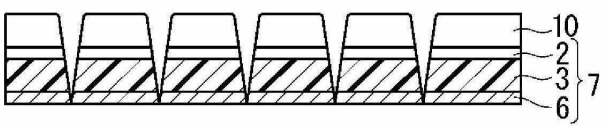
도면8



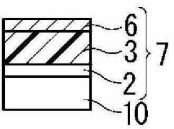
도면9



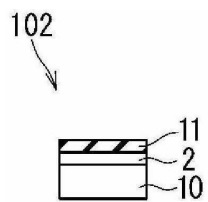
도면10



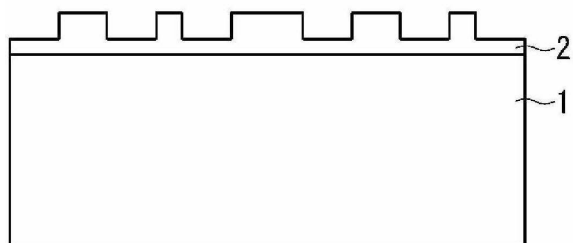
도면11



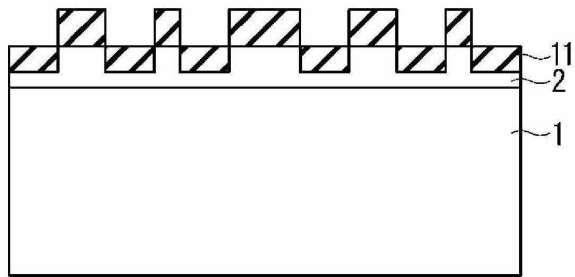
도면12



도면13



도면14



도면15

