

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3621385号

(P3621385)

(45) 発行日 平成17年2月16日(2005.2.16)

(24) 登録日 平成16年11月26日(2004.11.26)

(51) Int. Cl.<sup>7</sup>

F I

H03F 3/70

H03F 3/70

H03F 3/45

H03F 3/45

B

H03H 19/00

H03H 19/00

請求項の数 12 (全 22 頁)

(21) 出願番号	特願2002-43783 (P2002-43783)	(73) 特許権者	000005049
(22) 出願日	平成14年2月20日(2002.2.20)		シャープ株式会社
(65) 公開番号	特開2003-243949 (P2003-243949A)		大阪府大阪市阿倍野区長池町2番2号
(43) 公開日	平成15年8月29日(2003.8.29)	(74) 代理人	100080034
審査請求日	平成16年7月7日(2004.7.7)		弁理士 原 謙三
早期審査対象出願		(72) 発明者	藤本 義久
			大阪府大阪市阿倍野区長池町2番2号
			シャープ株式会社内
		審査官	佐藤 敬介

最終頁に続く

(54) 【発明の名称】 スイッチトキャパシタ増幅器、および、それを用いた電荷結合素子用アナログインターフェース回路

## (57) 【特許請求の範囲】

## 【請求項1】

第1の接続点に、それぞれの第1端子が接続された第1および第2キャパシタと、サンプリングフェーズには、上記各キャパシタへ入力信号に応じた電荷を蓄積させると共に、ホールドフェーズには、上記第1の接続点の電荷を維持したまま、上記第1および第2キャパシタの各第2端子の電位を、差動出力として、互いに反対方向に変化させる制御手段とを備えていることを特徴とするスイッチトキャパシタ増幅器。

## 【請求項2】

上記制御手段は、サンプリングフェーズに、上記第1および第2キャパシタの各第2端子へ互いに同一の電圧を印加することを特徴とする請求項1記載のスイッチトキャパシタ増幅器。

## 【請求項3】

上記入力信号は、複数であり、上記第1および第2キャパシタの組は、上記入力信号のそれぞれに対応して設けられていることを特徴とする請求項1または2記載のスイッチトキャパシタ増幅器。

## 【請求項4】

さらに、上記第1の接続点に一端が接続された第3キャパシタを備え、上記制御手段は、上記ホールドフェーズには、上記第1の接続点の電荷を維持したまま、当該第3キャパシタの電位を、上記第1および第2キャパシタへ入力される入力信号とは別の入力信号に応じて変更することを特徴とする請求項1、2または3記載のスイッチト

10

20

キャパシタ増幅器。

【請求項 5】

演算増幅器の入力端子に、それぞれの第 1 端子が接続された第 1 および第 2 キャパシタと、

上記入力端子とは逆極性の上記演算増幅器の出力端子、および、入力信号が入力される信号入力端子の一方を選択して、第 1 キャパシタの第 2 端子に接続する第 1 スイッチと、  
上記入力端子と同極性の上記演算増幅器の出力端子、および、上記信号入力端子の一方を選択して、第 2 キャパシタの第 2 端子に接続する第 2 スイッチとを備えていることを特徴とするスイッチトキャパシタ増幅器。

【請求項 6】

上記信号入力端子として、差動の入力信号の一方が入力される第 1 入力端子と、他方が入力される第 2 入力端子とが設けられており、

上記両スイッチおよび上記両キャパシタの組は、上記信号入力端子としての第 1 入力端子および上記演算増幅器の入力端子としての反転入力端子の組み合わせと、上記信号入力端子としての第 2 入力端子および上記演算増幅器の入力端子としての非反転入力端子との組み合わせとに対応して、それぞれ設けられていることを特徴とする請求項 5 記載のスイッチトキャパシタ増幅器。

【請求項 7】

上記信号入力端子は、複数の入力信号のそれぞれに対応して、複数設けられており、当該各信号入力端子のそれぞれに対応して、上記両スイッチおよび上記両キャパシタの組が設けられていることを特徴とする請求項 5 または 6 記載のスイッチトキャパシタ増幅器。

【請求項 8】

上記演算増幅器の入力端子に第 1 端子が接続された第 3 キャパシタと、  
当該第 3 キャパシタの第 2 端子に、上記第 1 および第 2 キャパシタへ入力される入力信号とは別の入力信号が入力される信号入力端子を接続するか、あるいは、予め定められた基準電位を印加するかを選択する第 3 スイッチとを備えていることを特徴とする請求項 5、6 または 7 記載のスイッチトキャパシタ増幅器。

【請求項 9】

上記第 1 および第 2 キャパシタの少なくとも一方は、可変容量キャパシタであることを特徴とする請求項 1、2、3、4、5、6、7 または 8 記載のスイッチトキャパシタ増幅器。

【請求項 10】

上記第 1 キャパシタおよび第 2 キャパシタの少なくとも一方は、キャパシタアレイであって、  
当該キャパシタアレイは、複数のキャパシタと、当該各キャパシタの接続を切り換えて、当該キャパシタアレイの静電容量値を変更するスイッチとを備えていることを特徴とする請求項 1、2、3、4、5、6、7 または 8 記載のスイッチトキャパシタ増幅器。

【請求項 11】

上記第 1 および第 2 キャパシタの少なくとも一方は、制御信号に対して、静電容量値を線形に変更可能なキャパシタであることを特徴とする請求項 2、5、6、7 または 8 記載のスイッチトキャパシタ増幅器。

【請求項 12】

電荷結合素子から入力されるアナログ信号を相関ダブルサンプリングする相関ダブルサンプリング回路と、当該相関ダブルサンプリング回路の出力信号を増幅する増幅回路と、当該増幅回路の出力をデジタル値に変換して出力するアナログ - デジタル変換器と、当該アナログ - デジタル変換器の出力信号を、黒レベル補正信号で補正すると共にアナログ信号に変換して、上記増幅回路の入力にフィードバックするデジタル - アナログ変換器とを有する電荷結合素子用アナログインターフェース回路であって、

上記増幅回路は、請求項 1 ないし 11 のいずれか 1 項に記載のスイッチトキャパシタ増幅

10

20

30

40

50

器であることを特徴とする電荷結合素子用アナログインターフェース回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、スイッチトキャパシタ増幅器に関するものであり、特に、キャパシタの静電容量比を余り増加させることなく、ゲインを増大可能なスイッチトキャパシタ増幅器に関するものである。

【0002】

【従来の技術】

例えば、2000 IEEE International Solid State Circuits Conference, Digest of Technical papers, pp190-191 などに示すように、例えば、CCD (Charge-Coupled Device) から CDS (Correlated Double Sampling) 回路を介して入力されたアナログ信号を増幅する PGA (Programmable Gain Amplifier) としてなど、従来から、スイッチトキャパシタ増幅器は、種々の用途に広く使用されている。

【0003】

例えば、図5に示すスイッチトキャパシタ増幅回路101は、従来の一般的な差動入力・差動出力の回路であって、差動の入力信号Viとして入力される信号VipおよびVimは、サンプリングフェーズにおいて、スイッチ108pおよび108mをそれぞれ介して、入力キャパシタ107pおよび107mへそれぞれ入力される。一方、サンプリングフェーズでは、入力リセットスイッチ104pおよび104mが導通しており、各入力キャパシタ107p・107mの出力側の端部は接地されている。これにより、上記各入力キャパシタ107p・107mには、信号VipおよびVimのそれぞれに応じた電荷が蓄積されると共に、演算増幅器102の反転入力端子および非反転入力端子は、接地レベルにリセットされる。

【0004】

なお、サンプリングフェーズでは、演算増幅器102の非反転出力端子および反転出力端子は、両端子間に設けられた出力リセットスイッチ103の導通によってリセットされている。また、一端が演算増幅器102の反転入力端子に接続された負帰還用キャパシタ106pの他端には、スイッチ105pを介して、基準電圧Vrefが印加されている。同様に、一端が非反転入力端子に接続された負帰還用キャパシタ106mの他端には、スイッチ105mを介して、基準電圧Vrefが印加されている。

【0005】

サンプリングフェーズが終了して、ホールドフェーズになると、出力リセットスイッチ103、並びに、入力リセットスイッチ104p・104mが遮断される。さらに、スイッチ108p・108mが遮断されると共に、スイッチ109が入力キャパシタ107p・107mのスイッチ108p・108m側端部を短絡する。また、スイッチ105pは、基準電圧Vrefを印加する代わりに、負帰還用キャパシタ106pを、演算増幅器102の非反転出力端子に接続する。同様に、スイッチ105mは、基準電圧Vrefを印加する代わりに、負帰還用キャパシタ106mを、演算増幅器102の反転出力端子に接続する。

【0006】

ここで、スイッチ105p・105m、108p、108mおよび109は、入力リセットスイッチ104p・104mの遮断後に切り換えられるので、キャパシタ106pとキャパシタ107pとの間では、電荷の合計が保存されると共に、キャパシタ106mとキャパシタ107mとの間でも、電荷の合計が保存される。

【0007】

これにより、スイッチトキャパシタ増幅回路101の出力電圧Vo (= Vop - Vom) は、ホールドフェーズにおいて、以下の式(1)に示すように、

10

20

30

40

50

$$V_{op} - V_{om} = C_s / C_f \times (V_{ip} - V_{im}) \quad \dots (1)$$

になる。なお、上式(1)において、 $C_s$ は、入力キャパシタ $107\text{p} \cdot 107\text{m}$ の静電容量[F]であり、 $C_f$ は、負帰還用キャパシタ $106\text{p} \cdot 106\text{m}$ の静電容量[F]である。

【0008】

【発明が解決しようとする課題】

しかしながら、上記従来の構成では、ゲインを大きく設定すると、プロセスバラツキに起因する増幅率のバラツキが大きくなるという問題を生ずる。

【0009】

具体的には、上記従来のスイッチトキャパシタ増幅回路101のゲインGは、式(1)から明らかなように、 $C_s / C_f$ である。このように、上記スイッチトキャパシタ増幅回路101では、ゲインGが、キャパシタ $106\text{p}$ および $106\text{m}$ とキャパシタ $107\text{p}$ および $107\text{m}$ との静電容量比 $C_{max} / C_{min}$ ( $= C_s / C_f$ )と同一になるので、ゲインを大きくすると、静電容量比 $C_{max} / C_{min}$ が大きくなってしまふ。この結果、ゲインを大きく設定しようとする、一方のキャパシタに対して、他方のキャパシタの占有面積が大きくなり、プロセスバラツキの影響を受けやすくなってしまふ。

【0010】

さらに、上記構成では、 $C_s = C_a + C_x$ 、 $C_f = C_a - C_x$ とすると、フィードバックファクタが、以下の式(2)に示すように、

$$\beta = C_f / (C_s + C_f) = 1 / 2 \times (1 - C_x / C_a) \quad \dots (2)$$

となる。

【0011】

したがって、ゲインを大きく設定しようとして、静電容量比 $C_{max} / C_{min}$ を大きく設定すると、フィードバックファクタが小さくなり、スイッチトキャパシタ増幅回路101の動作速度が低下してしまふ。

【0012】

本発明は、上記の問題点に鑑みてなされたものであり、その目的は、ゲインを大きく設定する場合でも、容量比を低減可能なスイッチトキャパシタ増幅器を実現することにある。

【0013】

【課題を解決するための手段】

本発明に係るスイッチトキャパシタ増幅器は、上記課題を解決するために、第1の接続点に、それぞれの第1端子が接続された第1および第2キャパシタと、サンプリングフェーズには、上記各キャパシタへ入力信号に応じた電荷を蓄積させると共に、ホールドフェーズには、上記第1の接続点の電荷を維持したまま、上記第1および第2キャパシタの各第2端子の電位を、差動出力として、互いに反対方向に変化させる制御手段とを備えていることを特徴としている。

【0014】

上記構成の第1および第2キャパシタには、サンプリングフェーズに入力信号に応じた電荷が蓄積される。さらに、ホールドフェーズになると、制御手段は、第1の接続点の電荷を維持したまま、第1および第2キャパシタの端子のうち、第1の接続点とは反対側の第2端子の電位は、それぞれ反対方向に変化させる。

【0015】

ここで、第1および第2キャパシタの各第2端子の電位が互いに反対方向に変化するとき、第1の接続点の電荷は維持されている。したがって、第1および第2キャパシタの静電容量を、それぞれ $C_a$ [F]、 $C_x$ [F]、変化前の第1および第2キャパシタの第2端子の電位を、それぞれ $V_{ia}$ 、 $V_{ix}$ 、変化後の第1および第2キャパシタの第2端子の電位を、それぞれ $V_{oa}$ 、 $V_{ox}$ とすると、電荷保存側によって、以下の式(3)に示すように、

10

20

30

40

50

$$V_{oa} \cdot C_a + V_{ox} \cdot C_x = V_{ia} \cdot C_a + V_{ix} \cdot C_x \quad \dots (3)$$

となる。

【0016】

ここで、 $V_{oa}$ と $V_{ox}$ とは、差動出力なので、 $V_{oa} = V_c + V_o$ 、 $V_{ox} = V_c - V_o$ とすると、上記の式(3)は、以下の式(4)に示すように、

$$V_o = \frac{V_{ia} \cdot C_a + V_{ix} \cdot C_x - V_c \cdot (C_a + C_x)}{C_a - C_x} \quad \dots (4)$$

となる。

【0017】

ここで、例えば、 $V_c = 0$ 、 $V_{ia} = V_{ix} = V_i$ とすると、 $V_o = (C_a + C_x) / (C_a - C_x) \cdot V_i$ となり、ゲインは、 $(C_a + C_x) / (C_a - C_x)$ となる。また、 $V_{ix}$ および $V_{ia}$ が異なる場合であっても、ゲインは、 $C_a$ や $C_x$ を $(C_a - C_x)$ で割った値の関数になる。したがって、両キャパシタの静電容量の差を小さくすることで、スイッチトキャパシタ増幅器のゲインを増大させることができる。

【0018】

この結果、従来技術のように、ゲインが $C_s / C_f$ で決定される構成とは異なり、スイッチトキャパシタ増幅器のゲインを大きな値に設定する必要がある場合であっても、両キャパシタの静電容量の比を大きく設定する必要がない。したがって、製造時にプロセスバラツキが発生したとしても、ゲインのバラツキを抑制可能なスイッチトキャパシタ増幅器を

【0019】

さらに、制御手段は、第1および第2キャパシタの各第2端子の電位を、反対方向に変化させるので、一方から吸収する電流を他方へ供給すれば、従来技術の構成、すなわち、演算増幅器の入出力間に、正帰還路を形成するキャパシタがなく、負帰還路を形成するキャパシタのみが設けられている構成よりも、少ない駆動電流で、各端子の電位を制御できる。この結果、消費電力が同じ場合、より高速に動作可能なスイッチトキャパシタ増幅器を実現できる。

【0020】

また、上記制御手段は、サンプリングフェーズに、上記第1および第2キャパシタの各第2端子へ互いに同一の電圧を印加してもよい。この場合は、 $V_{ia} = V_{ix}$ となるので、スイッチトキャパシタ増幅器のゲインを、 $(C_a + C_x) / (C_a - C_x)$ に設定できる。

【0021】

上記構成に加えて、上記入力信号は、複数であり、上記第1および第2キャパシタの組は、上記入力信号のそれぞれに対応して設けられていてもよい。この場合、スイッチトキャパシタ増幅器は、上記差動出力として、各入力信号を積和演算した結果を出力できる。

【0022】

さらに、上記構成に加えて、上記第1の接続点に一端が接続された第3キャパシタを備え、上記制御手段は、上記ホールドフェーズには、上記第1の接続点の電荷を維持したまま、当該第3キャパシタの電位を、上記第1および第2キャパシタへ入力される入力信号とは別の入力信号に応じて変更してもよい。

【0023】

当該構成であっても、第1および第2キャパシタの各第2端子の電位変化の前後、並びに、第3キャパシタの電位変化の前後で、第1の接続点の電荷が保存されているので、スイッチトキャパシタ増幅器は、上記差動出力として、各入力信号を積和演算した結果を出力できる。

【0024】

さらに、この場合でも、ゲインは、第1ないし第3キャパシタの各静電容量値を、第1および第2キャパシタの差で割った値の関数になり、静電容量比を増大させることなく、ゲ

10

20

30

40

50

インを増大させることができる。この結果、製造時にプロセスバラツキが発生したとしても、ゲインのバラツキを抑制可能なスイッチトキャパシタ増幅器を実現できる。

【0025】

また、本発明に係るスイッチトキャパシタ増幅器は、上記課題を解決するために、演算増幅器の入力端子に、それぞれの第1端子が接続された第1および第2キャパシタと、上記入力端子とは逆極性の上記演算増幅器の出力端子、および、入力信号が入力される信号入力端子の一方を選択して、第1キャパシタの第2端子に接続する第1スイッチと、上記入力端子と同極性の上記演算増幅器の出力端子、および、上記信号入力端子の一方を選択して、第2キャパシタの第2端子に接続する第2スイッチとを備えていることを特徴としている。

10

【0026】

上記構成において、第1および第2スイッチが信号入力端子を選択している間、第1および第2キャパシタには、信号入力端子の電圧（入力信号）と演算増幅器の入力端子の電圧との差に応じた電荷が蓄積されている。

【0027】

この状態で、第1および第2スイッチが切り換えられると、演算増幅器の出力端子から第1キャパシタを介して演算増幅器の入力端子への負帰還路と、上記出力端子とは逆極性の出力端子から第2キャパシタを介して演算増幅器の入力端子への正帰還路とが形成される。

【0028】

ここで、上記第1および第2スイッチが信号入力端子を選択している状態から、上記両帰還路が形成された状態へ変化する際、第1および第2キャパシタの第1または第2スイッチ側の端子（第2端子）の電位は、互いに反対方向に変化する。

20

【0029】

したがって、第1および第2キャパシタの静電容量を  $C_a$ 、 $C_x$ 、信号入力端子の電圧を  $V_i$ 、演算増幅器の両出力端子の電圧を、それぞれ  $V_c - V_o$ 、 $V_c + V_o$  とすると、スイッチトキャパシタ増幅器のゲインは、 $(C_a + C_x) / (C_a - C_x)$  となる。

【0030】

この結果、従来技術のように、ゲインが  $C_s / C_f$  で決定される構成とは異なり、スイッチトキャパシタ増幅器のゲインを大きな値に設定する必要がある場合であっても、両キャパシタの静電容量の比を大きく設定する必要がない。したがって、製造時にプロセスバラツキが発生したとしても、ゲインのバラツキを抑制可能なスイッチトキャパシタ増幅器を実現できる。

30

【0031】

また、上記入力信号は、差動信号でなく1つの電圧レベルによって伝えられていてもよいが、入力信号が差動信号の場合は、上記信号入力端子として、差動入力信号の一方が入力される第1入力端子と、他方が入力される第2入力端子とが設けられており、上記両スイッチおよび上記両キャパシタの組は、上記信号入力端子としての第1入力端子および上記演算増幅器の入力端子としての反転入力端子の組み合わせと、上記信号入力端子としての第2入力端子および上記演算増幅器の入力端子としての非反転入力端子との組み合わせと

40

【0032】

当該構成では、上記第1および第2スイッチ、並びに、第1および第2キャパシタが2組設けられている。この場合、演算増幅器の反転出力端子からは、第1キャパシタを介して非反転入力端子への負帰還路と、第2キャパシタを介して反転入力端子への正帰還路との双方が形成される。同様に、演算増幅器の非反転出力端子からは、第1キャパシタを介して反転入力端子への負帰還路と、第2キャパシタを介して非反転入力端子への正帰還路との双方が形成される。

【0033】

したがって、演算増幅器のフィードバックファクタは、 $(C_a - C_x) / (C_a + C_x)$

50

となる。この結果、 $C_s / C_f$ でゲインが決定され、フィードバックファクタが、 $C_s = C_a + C_x$ 、 $C_f = C_a - C_x$ としたとき、 $1 / 2 \times (1 - C_x / C_a)$ となる従来技術の構成に比べて、ゲインが互いに同じ場合、フィードバックファクタを増大させることができる。これにより、高速動作可能なスイッチトキャパシタ増幅器を実現できる。

【0034】

また、上記構成に加えて、上記信号入力端子は、複数の入力信号のそれぞれに対応して、複数設けられており、当該各信号入力端子のそれぞれに対応して、上記両スイッチおよび上記両キャパシタの組が設けられていてもよい。これにより、スイッチトキャパシタ増幅器は、上記差動出力として、各入力信号を積和演算した結果を出力できる。

【0035】

さらに、上記構成に加えて、上記演算増幅器の入力端子に第1端子が接続された第3キャパシタと、当該第3キャパシタの第2端子に、上記第1および第2キャパシタへ入力される入力信号とは別の入力信号が入力される信号入力端子を接続するか、あるいは、予め定められた基準電位を印加するかを選択する第3スイッチとを備えていてもよい。

【0036】

当該構成であっても、第1ないし第3スイッチの切り換え前後で、第1の接続点の電荷が保存されているので、スイッチトキャパシタ増幅器は、上記差動出力として、各入力信号を積和演算した結果を出力できる。

【0037】

また、この場合でも、ゲインは、第1ないし第3キャパシタの各静電容量値を、第1および第2キャパシタの差で割った値の合計になり、静電容量比を増大させることなく、ゲインを増大させることができる。この結果、製造時にプロセスバラツキが発生したとしても、ゲインのバラツキを抑制可能なスイッチトキャパシタ増幅器を実現できる。

【0038】

さらに、上記構成に加えて、上記第1および第2キャパシタの少なくとも一方は、可変容量キャパシタであってもよい。また、上記第1キャパシタおよび第2キャパシタの少なくとも一方は、キャパシタアレイであって、当該キャパシタアレイは、複数のキャパシタと、当該各キャパシタの接続を切り換えて、当該キャパシタアレイの静電容量値を変更するスイッチとを備えていてもよい。

【0039】

これらの構成によれば、第1および第2キャパシタの少なくとも一方の静電容量値を変更できる。これにより、ゲインを調整可能なスイッチトキャパシタ増幅器を実現できる。

【0040】

また、上記サンプリングフェーズに上記第1および第2キャパシタの各第2端子へ互いに同一の電圧を印加する構成、または、第1および第2スイッチを有する構成に加えて、上記第1および第2キャパシタの少なくとも一方は、制御信号に対して、静電容量値を線形に変更可能なキャパシタであってもよい。

【0041】

上記構成では、ゲインが $(C_a + C_x) / (C_a - C_x)$ となり、両者の少なくとも一方が静電容量値を線形に変更可能なので、デシベル-リニア可変ゲインのスイッチトキャパシタ増幅器を実現できる。

【0042】

一方、本発明に係る電荷結合素子用アナログインターフェース回路は、電荷結合素子から入力されるアナログ信号を相関ダブルサンプリングする相関ダブルサンプリング回路と、当該相関ダブルサンプリング回路の出力信号を増幅する増幅回路と、当該増幅回路の出力をデジタル値に変換して出力するアナログ-デジタル変換器と、当該アナログ-デジタル変換器の出力信号を、黒レベル補正信号で補正すると共にアナログ信号に変換して、上記増幅回路の入力にフィードバックするデジタル-アナログ変換器とを有する電荷結合素子用アナログインターフェース回路であって、上記課題を解決するために、上記増幅回路は、上述のいずれかの構成のスイッチトキャパシタ増幅器であることを特徴としている。

10

20

30

40

50

## 【0043】

上記構成では、相関ダブルサンプリング回路によって、電荷結合素子から入力されるアナログ信号の低周波ノイズが除去される。さらに、相関ダブルサンプリング回路の出力は、上記増幅回路で増幅された後、デジタル値に変換して出力される。当該デジタル信号は、黒レベル補正信号で補正されると共に、アナログ信号に変換されて、増幅回路の入力にフィードバックされる。ここで、上記増幅回路は、静電容量比を余り増大させずにゲインを向上できるので、プロセスバラツキに起因するゲインのバラツキを抑制できる。この結果、ゲインを大きく設定する場合であっても、静電容量比を増大させることなく、高精度なデジタル信号を出力可能な電荷結合素子用アナログインターフェース回路を実現できる。

## 【0044】

## 【発明の実施の形態】

## 〔第1の実施形態〕

本発明の一実施形態について図1に基づいて説明すると以下の通りである。すなわち、本実施形態に係るスイッチトキャパシタ増幅回路(スイッチトキャパシタ増幅器)1は、信号入力端子としての差動入力端子 $T1p \cdot T1m$ に入力された差動入力信号 $V1 (= V1p - V1m)$ を予め設定されたゲイン $G$ で増幅し、増幅結果を、差動出力端子 $Top \cdot Tom$ から、差動出力信号 $Vo (= Vop - Vom)$ として出力する回路であって、例えば、CCDイメージセンサのアナログインターフェースなど、プロセスバラツキの影響を抑えたまま、高速に動作することが求められる用途に好適に使用されている。

## 【0045】

上記スイッチトキャパシタ増幅回路1は、差動入出力の演算増幅器2を備えている。当該演算増幅器2の反転出力端子および非反転出力端子は、上記差動出力端子 $Top$ および $Tom$ に、それぞれ接続されており、両者間には、出力リセットスイッチ3が設けられている。さらに、演算増幅器2の反転入力端子および非反転入力端子には、入力リセットスイッチ $4p \cdot 4m$ を、それぞれ介して、予め定める基準電位を印加することができる。なお、図1は、基準電位が接地レベルの場合を例示しており、両入力リセットスイッチ $4p \cdot 4m$ の一端は、それぞれ接地されている。

## 【0046】

また、演算増幅器2の非反転出力端子は、負帰還路を形成するための負帰還用スイッチ $5p$ および負帰還用キャパシタ $6p$ を介して、演算増幅器2の反転入力端子に接続されている。当該負帰還用スイッチ $5p$ は、2入力1出力のスイッチであって、上記差動入力端子(第1入力端子) $T1p$ および演算増幅器2の非反転出力端子の一方を選択して、負帰還用キャパシタ $6p$ の負帰還用スイッチ $5p$ 側の端子に接続できる。同様に、演算増幅器2の反転出力端子は、負帰還用スイッチ $5m$ および負帰還用キャパシタ $6m$ を介して、演算増幅器2の非反転入力端子に接続されている。当該負帰還用スイッチ $5m$ は、差動入力端子(第2入力端子) $T1m$ および演算増幅器2の反転出力端子の一方を選択して、負帰還用キャパシタ $6m$ に接続できる。

## 【0047】

さらに、本実施形態に係るスイッチトキャパシタ増幅回路1には、正帰還路を形成するために、正帰還用スイッチ $11p \cdot 11m$ 、並びに、正帰還用キャパシタ $12p \cdot 12m$ が設けられている。

## 【0048】

具体的には、演算増幅器2の反転出力端子は、正帰還用スイッチ $11p$ および正帰還用キャパシタ $12p$ を介して、演算増幅器2の反転入力端子に接続されている。上記正帰還用スイッチ $11p$ も2入力1出力のスイッチであって、差動入力端子 $T1p$ と反転出力端子との一方を選択して、正帰還用キャパシタ $12p$ の正帰還用スイッチ $11p$ 側端子に接続できる。同様に、演算増幅器2の非反転出力端子は、正帰還用スイッチ $11m$ および正帰還用キャパシタ $12m$ を介して、演算増幅器2の非反転入力端子に接続されている。また、正帰還用スイッチ $11m$ は、差動入力端子 $T1m$ と非反転出力端子との一方を選択して、正帰還用キャパシタ $12m$ に接続できる。

10

20

30

40

50



## 【0049】

なお、本実施形態では、負帰還用スイッチ  $5\text{ p} \cdot 5\text{ m}$  が特許請求の範囲に記載の第1スイッチに対応し、負帰還用キャパシタ  $6\text{ p} \cdot 6\text{ m}$  が第1キャパシタに対応している。同様に、正帰還用スイッチ  $11\text{ p} \cdot 11\text{ m}$  が第2スイッチに対応し、正帰還用キャパシタ  $12\text{ p} \cdot 12\text{ m}$  が第2キャパシタに対応している。また、演算増幅器2および上記各スイッチが制御手段に対応する。

## 【0050】

上記構成において、差動入力信号  $V_1$  のサンプリングを行うサンプリングフェーズでは、入力リセットスイッチ  $4\text{ p} \cdot 4\text{ m}$  が導通する。これにより、演算増幅器2の反転および非反転入力端子のノードに蓄積された電荷が放出され、反転および非反転入力端子は、予め定める基準電圧（図1の例では、接地レベル）にリセットされる。また、サンプリングフェーズでは、出力リセットスイッチ3の導通によって、演算増幅器2の非反転出力端子および反転出力端子が短絡され、差動出力電圧  $V_o (= V_{op} - V_{om})$  がリセットされる。

10

## 【0051】

さらに、上記サンプリングフェーズでは、反転入力側の部材、すなわち、負帰還用および正帰還用スイッチ  $5\text{ p} \cdot 11\text{ p}$  が、差動入力端子  $T_{1p}$  を選択し、非反転入力側の部材、すなわち、負帰還および正帰還用スイッチ  $5\text{ m} \cdot 11\text{ m}$  が、差動入力端子  $T_{1m}$  を選択する。ここで、サンプリングフェーズでは、両キャパシタ  $6\text{ p} \cdot 12\text{ p}$  の一端は、入力リセットスイッチ  $4\text{ p}$  の導通によって上記基準電圧に保たれている。したがって、各キャパシタ  $6\text{ p} \cdot 12\text{ p}$  には、差動入力電圧  $V_{1p}$  に応じた電荷が蓄積される。同様に、両キャパシタ  $6\text{ m} \cdot 12\text{ m}$  の一端が基準電圧に保たれているので、各キャパシタ  $6\text{ m} \cdot 12\text{ m}$  には、差動入力電圧  $V_{1m}$  に応じた電荷が蓄積される。なお、図1では、サンプリングフェーズにおける各スイッチの状態を描画している。

20

## 【0052】

一方、入力信号の増幅を行うホールドフェーズになると、入力リセットスイッチ  $4\text{ p} \cdot 4\text{ m}$  が遮断される。これにより、演算増幅器2の反転入力端子のノードの電荷、並びに、非反転入力端子のノードの電荷が、それぞれ保存される。この状態では、入力リセットスイッチ  $4\text{ p}$  が遮断されているので、負帰還用キャパシタ  $6\text{ p}$  と正帰還用キャパシタ  $12\text{ p}$  との間では、電荷の合計が保存される。また、入力リセットスイッチ  $4\text{ m}$  が遮断されているので、負帰還用キャパシタ  $6\text{ m}$  と正帰還用キャパシタ  $12\text{ m}$  との間でも、電荷の合計が保存される。

30

## 【0053】

さらに、ホールドフェーズでは、入力リセットスイッチ  $4\text{ p} \cdot 4\text{ m}$  が遮断された状態で、出力リセットスイッチ3が遮断されると共に、負帰還用スイッチ  $5\text{ p} \cdot 5\text{ m}$ 、並びに、正帰還用スイッチ  $11\text{ p} \cdot 11\text{ m}$  が切り換えられる。

## 【0054】

具体的には、負帰還用スイッチ  $5\text{ p}$  が演算増幅器2の非反転出力端子に接続され、負帰還用スイッチ  $5\text{ m}$  が演算増幅器2の反転出力端子に接続される。これにより、負帰還用キャパシタ  $6\text{ p}$  および  $6\text{ m}$  は、演算増幅器2へ負帰還を与えることができる。

40

## 【0055】

一方、上記切り換えによって、正帰還用スイッチ  $11\text{ p}$  は、演算増幅器2の反転出力端子に接続され、正帰還用スイッチ  $11\text{ m}$  が演算増幅器2の非反転出力端子に接続される。これにより、正帰還用キャパシタ  $12\text{ p} \cdot 12\text{ m}$  は、演算増幅器2に正帰還を与えることができる。

## 【0056】

ここで、入力リセットスイッチ  $4\text{ p}$  の遮断によって、負帰還用および正帰還用スイッチ  $5\text{ p} \cdot 11\text{ p}$  の切り換えの前後で、演算増幅器2の反転入力端子のノードの電荷が保存されている。同様に、入力リセットスイッチ  $4\text{ m}$  の遮断によって、負帰還用および正帰還用スイッチ  $5\text{ m} \cdot 11\text{ m}$  の切り換えの前後で、演算増幅器2の非反転入力端子のノードの電荷

50

も保存されている。

【0057】

したがって、負帰還用キャパシタ  $6\text{ p} \cdot 6\text{ m}$  の静電容量を、それぞれ、 $C_a [F]$ 、正帰還用キャパシタ  $12\text{ p} \cdot 12\text{ m}$  の静電容量を、それぞれ、 $C_x = C_a \cdot x [F]$  とすると、以下の式(5)に示すように、

$$\begin{aligned} V_{op} - V_{om} &= (C_a + C_x) / (C_a - C_x) \cdot (V_{1p} - V_{1m}) \\ &= (1 + x) / (1 - x) \cdot (V_{1p} - V_{1m}) \quad \dots (5) \end{aligned}$$

となる。

【0058】

したがって、スイッチトキャパシタ増幅回路1のゲイン  $G$  は、以下の式(6)に示すように、

$$G = (1 + x) / (1 - x) \quad \dots (6)$$

となる。

【0059】

ここで、本実施形態に係るスイッチトキャパシタ増幅回路1では、 $C_a > C_x$  に設定されているので、スイッチトキャパシタ増幅回路1における静電容量比  $C_{max} / C_{min}$  (最大静電容量 / 最小静電容量) は、以下の式(7)に示すように、

$$\begin{aligned} C_{max} / C_{min} &= C_a / C_x \\ &= (G + 1) / (G - 1) \quad \dots (7) \end{aligned}$$

となる。

【0060】

したがって、図5に示す従来のスイッチトキャパシタ増幅回路101の構成、すなわち、静電容量比  $C_{max} / C_{min} = C_s / C_f = G$  になる構成とは異なり、ゲイン  $G$  が大きくなっても、静電容量比  $C_{max} / C_{min}$  が大きくなるならない。

【0061】

この結果、大きなゲイン  $G$  を必要とする場合であっても、プロセスバラツキに起因するゲイン  $G$  のバラツキが発生せず、スイッチトキャパシタ増幅回路1の演算精度を高いレベルに保つことができる。

【0062】

加えて、大きなゲイン  $G$  を必要とする場合であっても、静電容量比  $C_{max} / C_{min}$  が大きくなるないので、コンパクトなレイアウトが可能になる。さらに、上記従来のスイッチトキャパシタ増幅回路101では、各キャパシタの静電容量値の合計が、 $2 \cdot (C_s + C_f)$  であり、ゲインが同じになるように、 $C_s = C_a + C_x$ 、 $C_f = C_a - C_x$  としたとき、 $4 \cdot C_a$  となるのに対して、本実施形態に係るスイッチトキャパシタ増幅回路1では、各キャパシタの静電容量値の合計が、 $2 \cdot (C_a + C_x)$  である。したがって、本実施形態のように、 $0 < x < 1$  に設定されている場合、スイッチトキャパシタ増幅回路1の方が、スイッチトキャパシタ増幅回路101に比べて、回路に必要な静電容量値の合計を小さくすることができる。この結果、集積した場合に、より回路面積の小さなスイッチトキャパシタ増幅回路1を実現できる。

【0063】

また、スイッチトキャパシタ増幅回路1のフィードバックファクタは、以下の式(8)に示すように、

$$= (1 - x) / (1 + x) \quad \dots (8)$$

となる。ここで、本実施形態に係るスイッチトキャパシタ増幅回路1では、 $C_a > C_x$ 、すなわち、 $0 < x < 1$  に設定されている。

【0064】

したがって、従来のスイッチトキャパシタ増幅回路101の構成、すなわち、 $C_s / C_f$

10

20

30

40

50

でゲインが決定され、フィードバックファクタが、 $C_s = C_a + C_x$ 、 $C_f = C_a - C_x$ としたとき、 $1/2 \times (1 - C_x/C_a)$ となる構成と比較して、本実施形態に係るスイッチトキャパシタ増幅回路1は、ゲインが互いに同じ場合、より大きなフィードバックファクタを確保でき、より高速に動作できる。

#### 【0065】

一方、上記従来のスイッチトキャパシタ増幅回路101では、入力リセットスイッチ104p・104mによって出力電圧( $V_{op} - V_{om}$ )に現れるノイズ( $kTC$ ノイズ) $V$ は、本実施形態の構成とゲインが同じになるように、 $C_s = C_a + C_x$ 、 $C_f = C_a - C_x$ としたとき、以下の式(9)に示すように、

$$V^2 = 2 \times (2 \cdot C_a \cdot k \cdot T) / (C_a - C_x)^2 \quad \dots (9) \quad 10$$

となるのに対して、本実施形態に係るスイッチトキャパシタ増幅回路1では、入力リセットスイッチ4p・4mによって出力電圧( $V_{op} - V_{om}$ )に現れるノイズ( $kTC$ ノイズ) $V$ は、以下の式(10)に示すように、

$$V^2 = 2 \cdot (C_a + C_x) \cdot k \cdot T / (C_a - C_x)^2 \quad \dots (10)$$

となる。なお、上記式(9)および式(10)において、 $k$ は、ボルツマン定数、 $T$ は、絶対温度である。また、各式の右辺冒頭の $2 \cdot$ は、それぞれ2つのスイッチ(104p・104m、あるいは、4p・4m)からの影響を示している。

#### 【0066】

この結果、ゲインが同程度の従来のスイッチトキャパシタ増幅回路101よりも、スイッチトキャパシタ増幅回路1の $kTC$ ノイズは、小さくなる。したがって、従来のスイッチトキャパシタ増幅回路101と比較して、より小さな静電容量のキャパシタを使って、同程度の $kTC$ ノイズのスイッチトキャパシタ増幅回路1を実現できる。

#### 【0067】

##### 〔第2の実施形態〕

上記第1の実施形態では、1組の差動入力信号 $V_1 (= V_{1p} - V_{1m})$ を増幅するスイッチトキャパシタ増幅回路1について説明したが、本実施形態では、複数組(例えば、3組)の差動入力信号 $V_1 \sim V_3$ を積和演算する構成について、図2を参照しながら説明する。

#### 【0068】

すなわち、本実施形態に係るスイッチトキャパシタ増幅回路1aでは、図1に示すスイッチトキャパシタ増幅回路1の構成に加えて、差動入力端子 $T_{2p} \cdot T_{2m}$ に入力された差動入力信号 $V_2 (= V_{2p} - V_{2m})$ を加算かつ増幅するために、図1に示す各部材5p・6p・11p・12p・5m・6m・11m・12mと同様に接続された部材21p・22p・23p・24p・21m・22m・23m・24mを備えている。ただし、これらの部材は、差動入力信号 $V_2$ を加算かつ増幅するので、負帰還用および正帰還用スイッチ21p・23pは、差動入力端子 $T_{1p}$ ではなく、差動入力端子 $T_{2p}$ に接続されており、負帰還用および正帰還用スイッチ21m・23mは、差動入力端子 $T_{1m}$ ではなく、差動入力端子 $T_{2m}$ に接続されている。

#### 【0069】

さらに、上記スイッチトキャパシタ増幅回路1aには、差動入力端子 $T_{3p} \cdot T_{3m}$ に入力された差動入力信号 $V_3 (= V_{3p} - V_{3m})$ を加算かつ増幅するために、入力キャパシタ(第3キャパシタ)31p・31m、および、入力スイッチ(第3スイッチ)32p・32mを備えている。

#### 【0070】

上記入力スイッチ32pは、2入力1出力のスイッチであって、差動入力端子 $T_{3p}$ からの差動入力電圧 $V_{3p}$ と、予め定められた基準電圧(図2の例では、接地レベル)との一方を選択して、入力キャパシタ31pの一端に入力できる。また、入力キャパシタ31pの他端は、演算増幅器2の反転入力端子に接続されている。同様に、入力スイッチ32mは、差動入力電圧 $V_{3m}$ と基準電圧との一方を選択して、入力キャパシタ31mの一端に入力できると共に、入力キャパシタ31mの他端は、演算増幅器2の反転入力端子に接続

されている。なお、図2でも、図1と同様にサンプリングフェーズにおけるスイッチの状態が図示されている。

【0071】

上記構成では、サンプリングフェーズにおいて、図1に示すスイッチトキャパシタ増幅回路1と同様に、出力リセットスイッチ3および入力リセットスイッチ4 p・4 mが導通して、差動出力電圧 $V_o (= V_{op} - V_{om})$ がリセットされると共に、演算増幅器2の反転入力端子および非反転入力端子が所望の電圧(図2の例では、接地レベル)にリセットされる。

【0072】

また、スイッチトキャパシタ増幅回路1と略同様に、各スイッチ5 p・5 m・1 1 p・1 1 m・2 1 p・2 1 m・2 3 p・2 3 mは、それぞれに対応する入力端子T 1 p、T 1 m、T 2 pまたはT 2 m側を選択している。これにより、負帰還用および正帰還用キャパシタ6 p・1 2 pには、差動入力電圧 $V_{1p}$ に応じた電荷が蓄積され、負帰還用および正帰還用キャパシタ6 m・1 2 mには、差動入力電圧 $V_{1m}$ に応じた電荷が蓄積される。また、負帰還用および正帰還用キャパシタ2 2 p・2 4 pには、差動入力電圧 $V_{2p}$ に応じた電荷が蓄積され、負帰還用および正帰還用キャパシタ2 2 m・2 4 mには、差動入力電圧 $V_{2m}$ に応じた電荷が蓄積される。

【0073】

さらに、サンプリングフェーズでは、入力スイッチ3 2 p・3 2 mが、それぞれに対応する入力端子T 3 pまたはT 3 mを選択している。これにより、入力キャパシタ3 1 pには、差動入力電圧 $V_{3p}$ に応じた電荷が蓄積され、入力キャパシタ3 1 mには、差動入力電圧 $V_{3m}$ に応じた電荷が蓄積される。

【0074】

上記サンプリングフェーズが終了して、ホールドフェーズになると、入力リセットスイッチ4 p・4 mが遮断され、演算増幅器2の反転および非反転入力端子の電荷が保存される。この状態では、キャパシタ6 p・1 2 p・2 2 p・2 4 p・3 1 pの間で電荷の合計が保存されると共に、キャパシタ6 m・1 2 m・2 2 m・2 4 m・3 1 mの間で電荷の合計が保存される。

【0075】

さらに、入力リセットスイッチ4 p・4 mが遮断された状態で、出力リセットスイッチ3が遮断されると共に、各スイッチ5 p・1 1 p・2 1 p・2 3 p・3 2 p・5 m・1 1 m・2 1 m・2 3 m・3 2 mが切り換えられる。ここで、当該各スイッチの切り換え時において、演算増幅器2の反転および非反転入力端子の電荷は、それぞれ保存されているので、切り換え後の差動出力信号 $V_o (V_{op} - V_{om})$ は、以下の式(11)に示すように、

$$\begin{aligned}
 V_{op} - V_{om} = & (C_{a1} + C_{x1}) / (C_{a1} + C_{a2} - C_{x1} - C_{x2}) \\
 & \cdot (V_{1p} - V_{1m}) \\
 & + (C_{a2} + C_{x2}) / (C_{a1} + C_{a2} - C_{x1} - C_{x2}) \\
 & \cdot (V_{2p} - V_{2m}) \\
 & + C_s / (C_{a1} + C_{a2} - C_{x1} - C_{x2}) \\
 & \cdot (V_{3p} - V_{3m}) \\
 = & G_1 \cdot V_1 + G_2 \cdot V_2 + G_3 \cdot V_3 \quad \dots (11)
 \end{aligned}$$

となる。なお、上式(11)において、 $C_{a1}$  [F]は、負帰還用キャパシタ6 p・6 mの静電容量であり、 $C_{x1}$  [F]は、正帰還用キャパシタ1 2 p・1 2 mの静電容量である。また、 $C_{a2}$  [F]は、負帰還用キャパシタ2 2 p・2 2 mの静電容量、 $C_{x2}$  [F]は、正帰還用キャパシタ2 4 p・2 4 mの静電容量であり、 $C_s$  [F]は、入力キャパ

10

20

30

40

50

シタ 3 1 p · 3 1 m の静電容量である。

【 0 0 7 6 】

この結果、複数組（例えば、3 組）の差動入力信号 V 1 ~ V 3 を加算かつ増幅可能なスイッチトキャパシタ増幅回路 1 a を実現できる。

【 0 0 7 7 】

この場合であっても、負帰還用キャパシタ 6 p · 6 m · 2 2 p · 2 2 m だけではなく、正帰還用キャパシタ 1 2 p · 1 2 m · 2 4 p · 2 4 m が設けられているので、上記式 ( 1 1 ) において、ゲイン G 1 ~ G 3 の分母は、( C a 1 + C a 2 - C x 1 - C x 2 ) となる。したがって、従来のスイッチトキャパシタ増幅回路 1 0 1 において、入力キャパシタ 1 0 7 p · 1 0 7 m を、差動入力信号 V 1 ~ V 3 に対応して複数組設けた場合と比較すると、  
10  
スイッチトキャパシタ増幅回路 1 a は、スイッチトキャパシタ増幅回路 1 0 1 と同じゲイン G 1 ~ G 3 であるにも拘わらず、静電容量比 C m a x / C m i n を抑えることができる。

【 0 0 7 8 】

したがって、大きなゲイン G を必要とする場合であっても、回路に必要な静電容量値の合計を低減できると共に、プロセスバラツキに起因するゲイン G のバラツキを抑えることができる。この結果、スイッチトキャパシタ増幅回路 1 a の演算精度を高いレベルに保つことができる。

【 0 0 7 9 】

また、第 1 の実施形態と同様に、ゲインが同程度の従来のスイッチトキャパシタ増幅回路 1 0 1 よりも、スイッチトキャパシタ増幅回路 1 a のフィードバックファクタ を増大させることができると共に、k T C ノイズを削減できる。  
20

【 0 0 8 0 】

なお、上記では、差動入力信号が 3 組の場合を例にして説明したが、当然ながら、差動入力信号の数は、任意に設定できる。この場合、差動入力信号の増減に伴って、部材 2 1 p ~ 2 4 p · 2 1 m ~ 2 4 m と、部材 3 1 p · 3 2 p · 3 1 m · 3 2 m とのうち、いずれか一方を増減すれば、同様の効果が得られる。

【 0 0 8 1 】

〔 第 3 の実施形態 〕

ところで、上記では、各キャパシタ 6 p · 6 m · 1 2 p · 1 2 m · 2 2 p · 2 2 m · 2 4 p · 2 4 m · 3 1 p · 3 1 m が単一のキャパシタの場合を例にして説明したが、これに限るものではない。互いに並列または直列に接続された複数のキャパシタで実現したり、当該複数のキャパシタを、さらに、並列あるいは直列に接続するなど、複数のキャパシタで実現してもよい。また、上記では、各キャパシタ 6 p ... の静電容量値が固定の場合を例にして説明したが、それぞれを、可変容量キャパシタで実現したり、それぞれを複数のキャパシタで実現して、当該複数のキャパシタ間の接続をスイッチで切り換えるなどして、各キャパシタ 6 p ... の静電容量値を変更可能に構成してもよい。  
30

【 0 0 8 2 】

以下では、静電容量値を変更可能な構成の好適な例として、演算増幅器 2 の入出力端子から見たときの静電容量値に拘わらず、差動入力端子 T 1 p · T 1 m ... から見たときの静電容量値を一定に保つことができるスイッチトキャパシタラダーについて説明する。なお、当該キャパシタアレイは、スイッチトキャパシタ増幅回路 1 · 1 a のキャパシタ 6 p ... のいずれにも適用できるが、以下では、スイッチトキャパシタ増幅回路 1 の正帰還用キャパシタ 1 2 p · 1 2 m として用いる場合について説明する。  
40

【 0 0 8 3 】

すなわち、本実施形態に係る正帰還用キャパシタ 1 2 p は、図 3 に示すように、正帰還用スイッチ 1 1 p 側の端子 T 1 1 に、それぞれ的一端（第 1 端子）が接続された複数（図の例では、7 個）のキャパシタ C 1 1 ~ C 1 7 を備えている。各キャパシタ C 1 1 ~ C 1 7 の他端（第 2 端子）は、それぞれに対応するスイッチ S W 1 1 ~ S W 1 7 を介して、入力リセットスイッチ 4 p 側の端子 T 1 2 に接続されている。上記スイッチ S W 1 1 ~ S W 1  
50

7は、それぞれ1入力2出力のスイッチであって、それぞれに対応するキャパシタC11～C17の第2端子へ、上記端子T12を接続するか、当該第2端子へ所定の基準電圧(図の例では、接地レベル)を印加するかを選択できる。なお、当該基準電圧は、入力リセットスイッチ4pに印加される基準電圧と同一である。

【0084】

さらに、上記正帰還用キャパシタ12pには、キャパシタC20およびスイッチSW20が設けられている。当該キャパシタC20の一端は、上記端子T11に接続されていると共に、他端には、上記スイッチSW20を介して、所定の基準電圧(図の例では、接地レベル)を印加できる。

【0085】

また、上記キャパシタC20のスイッチSW20側の端部には、上記キャパシタC11～C17およびスイッチSW11～SW17と同様に接続されたキャパシタC31～C37およびスイッチSW31～SW37が設けられている。ただし、キャパシタC31～C37の第1端子は、端子T11ではなく、キャパシタC20のスイッチSW20側端部に接続されている。

【0086】

さらに、本実施形態では、正帰還用キャパシタ12mも正帰還用キャパシタ12pと同様に、キャパシタC11～C37およびスイッチSW11～SW37を有するスイッチトキャパシタラダーによって実現されている。

【0087】

また、図3では、図1および図2と同様に、スイッチSW20・4p・11pは、サンプリングフェーズの状態を示している。なお、スイッチSW11～SW37は、正帰還用キャパシタ12p(12m)に設定すべき静電容量値に応じて切り換えられる。同図は、静電容量値を最大に設定する場合、すなわち、各スイッチSW11～SW37が全て端子T12を選択する場合を例示している。

【0088】

上記構成において、スイッチSW20は、サンプリングフェーズには導通し、キャパシタC20のスイッチSW20側のノードはリセットされる。また、スイッチSW20は、ホールドフェーズには遮断され、キャパシタC20のスイッチSW20側のノードの電荷が保存される。

【0089】

ここで、サンプリングフェーズでは、入力リセットスイッチ4p(4m)が導通しており、正帰還用スイッチ11p(11m)が差動入力端子T1p(T1m)を選択している。したがって、スイッチSW11～SW37がいずれを選択する場合であっても、それぞれに対応するキャパシタC11～C37の第2端部(スイッチ側の端部)は、互いに同じ基準電圧に保たれる。この結果、正帰還用スイッチ11p(11m)の静電容量値をいずれに設定する場合であっても、差動入力端子T1p(T1m)から見た静電容量値が変化しない。したがって、ドライバ回路、すなわち、スイッチトキャパシタ増幅回路1の前段に設けられ、差動入力信号V1を駆動するドライバ回路に必要な駆動能力は、静電容量値をいずれに設定する場合でも略同一になり、ドライバ回路を最適化しやすくなる。

【0090】

一方、サンプリングフェーズが終了して、ホールドフェーズになると、上述したように、入力リセットスイッチ4p・4mは、遮断され、正帰還用キャパシタ12pと負帰還用キャパシタ6pとの間では、両者の電荷の合計が変化しないように電荷が移動すると共に、正帰還用キャパシタ12mと負帰還用キャパシタ6mの間では、両者の電荷の合計が変化しないように電荷が移動する。

【0091】

ところが、上記構成の正帰還用キャパシタ12p(12m)では、キャパシタC11～C17、および、キャパシタC31～C37のうち、基準電圧側を選択しているスイッチに対応するキャパシタは、端子T12に接続されていないため、電荷が移動しない。

10

20

30

40

50

## 【0092】

この結果、ホールドフェーズにおいて、端子T11およびT12間の静電容量値Cは、各キャパシタC11～C17、C20およびC31～C37の静電容量値をC1〔F〕とすると、上記各スイッチSW11～SW17およびスイッチSW31～SW37の切り換えによって変化し、0から $63/8 \times C1$ 〔F〕までの範囲で、 $C1/8$ 〔F〕ステップで変化する。より詳細には、本実施形態の場合、上記静電容量値Cは、スイッチSW11～SW17が端子T12側に切り換えられる毎に、C1〔F〕ずつ増加し、スイッチSW31～SW37が端子T12側に切り換えられる毎に、 $C1/8$ 〔F〕ずつ増加する。

## 【0093】

このように、上記構成では、各スイッチSW11～SW17、SW31～SW37の切り換えによって、正帰還用キャパシタ $12p \cdot 12m$ の静電容量値Cを線形に変更できる。 10

## 【0094】

ここで、上述の式(5)に示すように、スイッチトキャパシタ増幅回路1のゲインGは、 $(1+x)/(1-x)$ なので、以下の式(12)に示すように、

$$G = (1+x)/(1-x) \exp(2 \cdot x) \dots (12)$$

である。

## 【0095】

したがって、正帰還用キャパシタ $12p \cdot 12m$ の静電容量値Cを線形に変更して、 $x (= Cx/Ca)$ を線形に変更することによって、ゲインGを指数関数的に変化させることができる。これにより、デシベルゲインを線形に変更可能なスイッチトキャパシタ増幅回路1を実現できる。 20

## 【0096】

例えば、上記構成において、負帰還用キャパシタ $6p(6m)$ の静電容量Caを $24 \times C1$ に設定した場合、比率 $x (= Cx/Ca)$ は、 $0 \sim 63/(24 \cdot 8)$ の範囲で変化する。したがって、ゲインGは、 $0 \sim 6dB$ まで、近似的に $6/64dB$ ステップ、かつ、6ビットのゲイン設定が可能となる。

## 【0097】

## 〔第4の実施形態〕

本実施形態では、第3の実施形態のスイッチトキャパシタ増幅回路1(1a)をCCDイメージセンサのアナログインターフェース(電荷結合素子用アナログインターフェース回路)51に適用した場合について、図4を参照しながら説明する。 30

## 【0098】

すなわち、本実施形態に係るアナログインターフェース51は、入力端子CCDINへ入力される、アナログのCCD画像信号に対して、低周波ノイズの除去や黒レベルの補正などの処理を行うと共に、処理後のデジタル信号を出力端子CCDOUTから出力できる。なお、上記入力端子CCDINには、図示しないCCDセンサが接続され、出力端子CCDOUTには、図示しないデジタル回路が接続される。

## 【0099】

上記アナログインターフェース51には、キャパシタCinを介して上記入力端子CCDINに接続され、キャパシタCrefを介して基準電圧(この例では、接地レベル)が印加される相関ダブルサンプリング回路(CDS回路)52と、当該CDS回路52の出力から、後述のデジタル-アナログ変換器(DAC)57の出力を減算する減算器53と、予め設定された増幅率で、減算器53の出力を増幅するPGA(Programmable Gain Amp)回路54と、PGA回路54の出力信号をデジタル値に変換して上記出力端子CCDOUTから出力するアナログ-デジタル変換器(ADC)55と、端子BLACK\_LEVELを介して入力される黒レベル入力信号をADC55の出力値から減算する減算器56と、減算器56の出力信号をアナログ値に変換して上記減算器53へ入力するDAC57と、上記デジタル回路から出力されるデジタル制御信号CONTROL\_GAINに基づいて、PGA回路54のゲインを制御するロジック回路58とが設けられている。 40

## 【0100】

また、入力端子CCDINとCDS回路52との間に設けられたキャパシタC<sub>in</sub>は、CCD画像信号のレベルを変換している。さらに、予め定められた基準電圧が一端に印加され、他端がCDS回路52に接続されたキャパシタC<sub>ref</sub>は、上記キャパシタC<sub>in</sub>と静電容量が同じであり、CCD画像信号のサンプリング時に混入するコモンモードノイズを低減するために用いられている。さらに、本実施形態では、CDS回路52のゲインを、0、6または12dBのいずれかに設定できる。また、本実施形態では、上記各部材52～58を含むブロック59は、上記デジタル回路と共に1チップに集積されている。

## 【0101】

ここで、CCD画像信号では、フィードスルーに含まれるノイズと、信号期間中のCCD画像信号に含まれるノイズとは、互いに相関を持っている。したがって、上記CDS回路52が、CCD画像信号のフィードスルーレベルをクランプした上で、CCD画像信号が画素の信号レベルを示している信号期間におけるCCD画像信号をサンプルホールドすることによって、CCD画像信号から低周波ノイズを除去できる。

## 【0102】

一方、上記PGA回路54は、第3の実施形態に係るスイッチトキャパシタ増幅回路1(1a)である。本実施形態に係るPGA回路54は、図3に示すキャパシタC<sub>11</sub>～C<sub>37</sub>やスイッチSW<sub>11</sub>～SW<sub>37</sub>の数や静電容量値の設定などによって、0から24dBまでの範囲で、0.094dBステップでゲインを設定可能に構成されている。さらに、上記ロジック回路58は、例えば、デジタル制御信号CONTROL\_GAINに基づいて、図3に示すスイッチSW<sub>11</sub>～SW<sub>17</sub>、SW<sub>31</sub>～SW<sub>37</sub>を制御するなどして、PGA回路54のゲインを、デジタル制御信号CONTROL\_GAINが示す値に制御する。

## 【0103】

このように、本実施形態に係るアナログインターフェース51では、PGA回路54として、高精度かつ高速動作可能な上述のスイッチトキャパシタ増幅回路1(1a)が使用されている。したがって、高速動作可能で、高精度なデジタル信号を出力可能なアナログインターフェース51を実現できる

なお、上述の説明では、スイッチトキャパシタ増幅回路1(1a)をCCDイメージセンサのアナログインターフェース51に適用した場合について説明したが、これに限るものではない。上記構成のスイッチトキャパシタ増幅回路1(1a)は、静電容量比C<sub>max</sub>/C<sub>min</sub>を余り大きくすることなく、ゲインおよびフィードバックファクタを増大し、kTCノイズを削減できる。したがって、高いゲインおよび高速動作が要求され、しかも、精度向上および占有面積の低減が求められる用途に、特に好適に使用できる。

## 【0104】

## 【発明の効果】

本発明に係るスイッチトキャパシタ増幅器は、以上のように、第1の接続点に、それぞれの第1端子が接続された第1および第2キャパシタと、サンプリングフェーズには、上記各キャパシタへ入力信号に応じた電荷を蓄積させると共に、ホールドフェーズには、上記第1の接続点の電荷を維持したまま、上記第1および第2キャパシタの各第2端子の電位を、差動出力として、互いに反対方向に変化させる制御手段とを備えている構成である。

## 【0105】

それゆえ、スイッチトキャパシタ増幅器のゲインは、第1および第2キャパシタの静電容量値(C<sub>a</sub>およびC<sub>x</sub>)を(C<sub>a</sub>-C<sub>x</sub>)で割った値の関数になり、スイッチトキャパシタ増幅器のゲインを大きな値に設定する必要がある場合であっても、両キャパシタの静電容量の比を大きく設定する必要がない。したがって、製造時にプロセスバラツキが発生したとしても、ゲインのバラツキを抑制可能なスイッチトキャパシタ増幅器を実現できるという効果を奏する。

## 【0106】

本発明に係るスイッチトキャパシタ増幅器は、以上のように、上記構成に加えて、上記制

10

20

30

40

50



御手段は、サンプリングフェーズに、上記第1および第2キャパシタの各第2端子へ互いに同一の電圧を印加する構成である。それゆえ、スイッチトキャパシタ増幅器のゲインは、 $(C_a + C_x) / (C_a - C_x)$ に設定できるという効果を奏する。

【0107】

本発明に係るスイッチトキャパシタ増幅器は、以上のように、上記構成に加えて、上記入力信号は、複数であり、上記第1および第2キャパシタの組は、上記入力信号のそれぞれに対応して設けられている構成である。それゆえ、スイッチトキャパシタ増幅器は、上記差動出力として、各入力信号を積和演算した結果を出力できるという効果を奏する。

【0108】

本発明に係るスイッチトキャパシタ増幅器は、以上のように、上記構成に加えて、上記第1の接続点に一端が接続された第3キャパシタを備え、上記制御手段は、上記ホールドフェーズには、上記第1の接続点の電荷を維持したまま、当該第3キャパシタの電位を、上記第1および第2キャパシタへ入力される入力信号とは別の入力信号に応じて変更する構成である。

10

【0109】

それゆえ、製造時にプロセスバラツキが発生したとしても、ゲインのバラツキを抑制可能で、複数の入力信号を積和演算した結果を出力可能なスイッチトキャパシタ増幅器を実現できるという効果を奏する。

【0110】

本発明に係るスイッチトキャパシタ増幅器は、以上のように、演算増幅器の入力端子に、それぞれの第1端子が接続された第1および第2キャパシタと、上記入力端子とは逆極性の上記演算増幅器の出力端子、および、入力信号が入力される信号入力端子の一方を選択して、第1キャパシタの第2端子に接続する第1スイッチと、上記入力端子と同極性の上記演算増幅器の出力端子、および、上記信号入力端子の一方を選択して、第2キャパシタの第2端子に接続する第2スイッチとを備えている構成である。

20

【0111】

それゆえ、第1および第2キャパシタの静電容量を $C_a$ 、 $C_x$ 、第1信号入力端子の電圧を $V_i$ 、演算増幅器の両出力端子の電圧を、それぞれ、 $V_c - V_o$ 、 $V_c + V_o$ とすると、スイッチトキャパシタ増幅器のゲインは、 $(C_a + C_x) / (C_a - C_x)$ となる。この結果、製造時にプロセスバラツキが発生したとしても、ゲインのバラツキを抑制可能な

30

【0112】

本発明に係るスイッチトキャパシタ増幅器は、以上のように、上記構成に加えて、上記信号入力端子として、差動の入力信号の一方が入力される第1入力端子と、他方が入力される第2入力端子とが設けられており、上記両スイッチおよび上記両キャパシタの組は、上記信号入力端子としての第1入力端子および上記演算増幅器の入力端子としての反転入力端子の組み合わせと、上記信号入力端子としての第2入力端子および上記演算増幅器の入力端子としての非反転入力端子との組み合わせとに対応して、それぞれ設けられている構成である。

【0113】

当該構成では、演算増幅器の反転出力端子からは、第1キャパシタを介して非反転入力端子への負帰還路と、第1キャパシタを介して反転入力端子への正帰還路との双方が形成される。同様に、演算増幅器の非反転出力端子からは、第2キャパシタを介して反転入力端子への負帰還路と、第2キャパシタを介して非反転入力端子への正帰還路との双方が形成される。

40

【0114】

したがって、演算増幅器のフィードバックファクタは、 $(C_a - C_x) / (C_a + C_x)$ となる。この結果、 $C_s / C_f$ でゲインが決定され、フィードバックファクタが、 $C_s = C_a + C_x$ 、 $C_f = C_a - C_x$ としたとき、 $1 / 2 \times (1 - C_x / C_a)$ となる従来技術の構成に比べて、ゲインが互いに同じ場合、フィードバックファクタを増大させることが

50

できる。これにより、高速動作可能なスイッチトキャパシタ増幅器を実現できるという効果を奏する。

【0115】

本発明に係るスイッチトキャパシタ増幅器は、以上のように、上記構成に加えて、上記信号入力端子は、複数の入力信号のそれぞれに対応して、複数設けられており、当該各信号入力端子のそれぞれに対応して、上記両スイッチおよび上記両キャパシタの組が設けられている構成である。それゆえ、スイッチトキャパシタ増幅器は、上記差動出力として、各入力信号を積和演算した結果を出力できるという効果を奏する。

【0116】

本発明に係るスイッチトキャパシタ増幅器は、以上のように、上記構成に加え、上記演算増幅器の入力端子に第1端子が接続された第3キャパシタと、当該第3キャパシタの第2端子に、上記第1および第2キャパシタへ入力される入力信号とは別の入力信号が入力される信号入力端子を接続するか、あるいは、予め定められた基準電位を印加するかを選択する第3スイッチとを備えている構成である。

10

【0117】

それゆえ、製造時にプロセスバラツキが発生したとしても、ゲインのバラツキを抑制可能で、複数の入力信号を積和演算した結果を出力可能なスイッチトキャパシタ増幅器を実現できるという効果を奏する。

【0118】

本発明に係るスイッチトキャパシタ増幅器は、以上のように、上記第1および第2キャパシタの少なくとも一方は、可変容量キャパシタである。また、本発明に係るスイッチトキャパシタ増幅器は、以上のように、上記第1キャパシタおよび第2キャパシタの少なくとも一方は、キャパシタアレイであって、当該キャパシタアレイは、複数のキャパシタと、当該各キャパシタの接続を切り換えて、当該キャパシタアレイの静電容量値を変更するスイッチとを備えている構成である。

20

【0119】

これらの構成によれば、第1および第2キャパシタの少なくとも一方の静電容量値を変更できる。これにより、ゲインを調整可能なスイッチトキャパシタ増幅器を実現できるという効果を奏する。

【0120】

本発明に係るスイッチトキャパシタ増幅器は、以上のように、上記サンプリングフェーズに上記第1および第2キャパシタの各第2端子へ互いに同一の電圧を印加する構成、または、第1および第2スイッチを有する構成に加えて、上記第1および第2キャパシタの少なくとも一方は、制御信号に対して、静電容量値を線形に変更可能なキャパシタである。

30

【0121】

上記構成では、ゲインが $(C_a + C_x) / (C_a - C_x)$ となり、両者の少なくとも一方が静電容量値を線形に変更可能なので、デシベル-リニア可変ゲインのスイッチトキャパシタ増幅器を実現できるという効果を奏する。

【0122】

本発明に係る電荷結合素子用アナログインターフェース回路は、以上のように、電荷結合素子から入力されるアナログ信号を相関ダブルサンプリングする相関ダブルサンプリング回路と、当該相関ダブルサンプリング回路の出力信号を増幅する増幅回路と、当該増幅回路の出力をデジタル値に変換して出力するアナログ-デジタル変換器と、当該アナログ-デジタル変換器の出力信号を、黒レベル補正信号で補正すると共にアナログ信号に変換して、上記増幅回路の入力にフィードバックするデジタル-アナログ変換器とを有する電荷結合素子用アナログインターフェース回路であって、上記増幅回路は、上述のいずれかの構成のスイッチトキャパシタ増幅器である。それゆえ、高精度なデジタル信号を出力可能な電荷結合素子用アナログインターフェース回路を実現できるという効果を奏する。

40

【図面の簡単な説明】

【図1】本発明の実施形態を示すものであり、スイッチトキャパシタ増幅器の要部構成を

50

示す回路図である。

【図2】本発明の他の実施形態を示すものであり、スイッチトキャパシタ増幅器の要部構成を示す回路図である。

【図3】本発明のさらに他の実施形態を示すものであり、スイッチトキャパシタ増幅器の正帰還用キャパシタを示す回路図である。

【図4】本発明の他の実施形態を示すものであり、CCDイメージセンサのアナログインターフェースの要部構成を示すブロック図である。

【図5】従来技術を示すものであり、スイッチトキャパシタ増幅器の要部構成を示す回路図である。

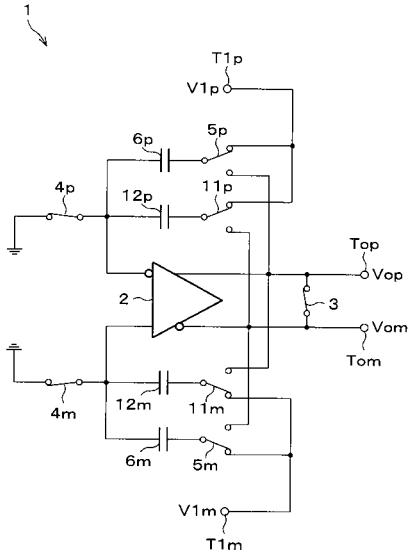
【符号の説明】

- |                         |                                     |    |
|-------------------------|-------------------------------------|----|
| 1・1 a                   | スイッチトキャパシタ増幅回路（スイッチトキャパシタ増幅器）       |    |
| 2                       | 演算増幅器（制御手段）                         |    |
| 5 p・5 m・2 1 p・2 1 m     | 負帰還用スイッチ（第1スイッチ、制御手段）               |    |
| 6 p・6 m・2 2 p・2 2 m     | 負帰還用キャパシタ（第1キャパシタ）                  |    |
| 1 1 p・1 1 m・2 3 p・2 3 m | 正帰還用スイッチ（第2スイッチ、制御手段）               |    |
| 1 2 p・1 2 m・2 4 p・2 4 m | 正帰還用キャパシタ（第2キャパシタ）                  |    |
| 3 1 p・3 1 m             | 入力キャパシタ（第3キャパシタ）                    |    |
| 3 2 p・3 2 m             | 入力スイッチ（第3スイッチ）                      |    |
| T 1 p ~ T 3 p           | 端子（信号入力端子、第1入力端子）                   |    |
| T 1 m ~ T 3 m           | 端子（信号入力端子、第2入力端子）                   | 20 |
| C 1 1 ~ C 3 7           | キャパシタ                               |    |
| SW 1 1 ~ SW 3 7         | スイッチ                                |    |
| 5 1                     | アナログインターフェース（電荷結合素子用アナログインターフェース回路） |    |
| 5 2                     | 相関ダブルサンプリング回路                       |    |
| 5 4                     | P G A回路（プログラマブル増幅器）                 |    |
| 5 5                     | アナログ - デジタル変換器                      |    |
| 5 7                     | デジタル - アナログ変換器                      |    |

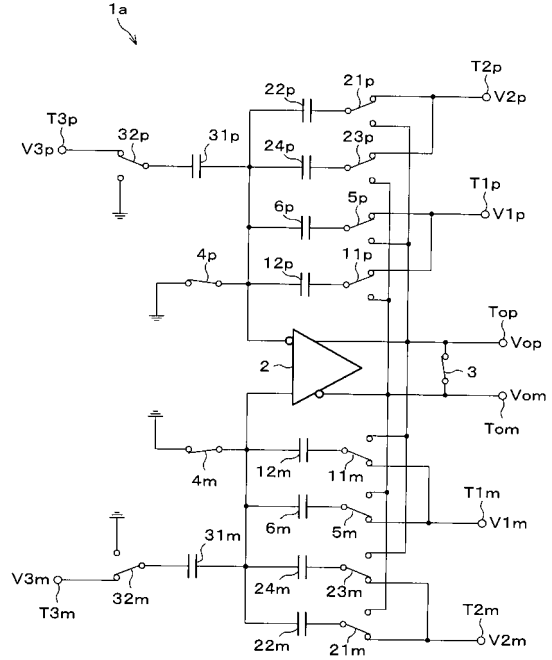
10

20

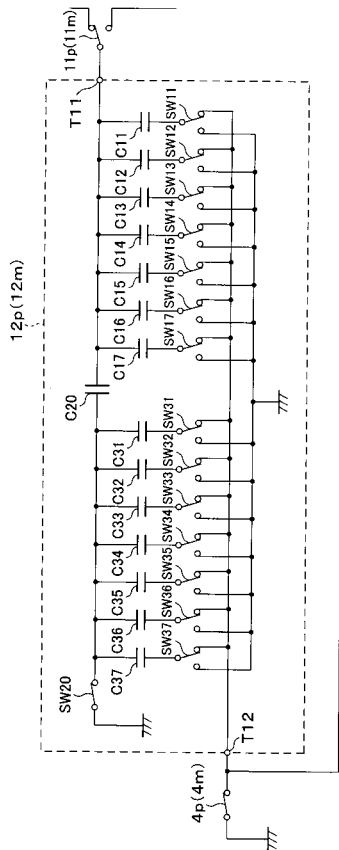
【 図 1 】



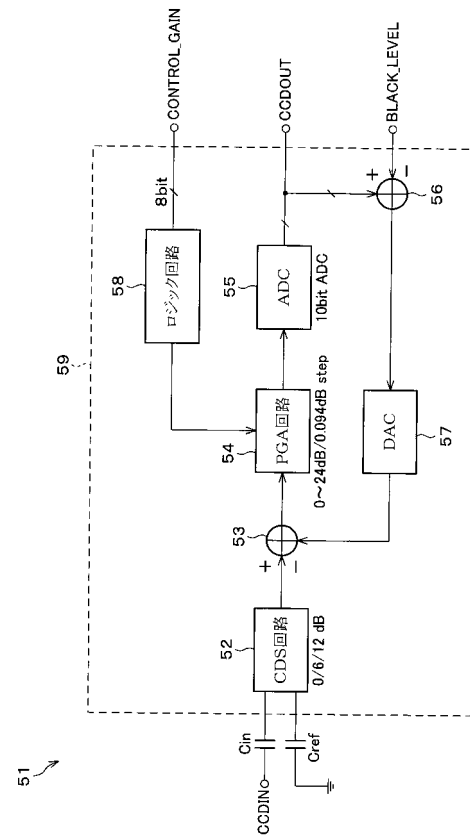
【 図 2 】



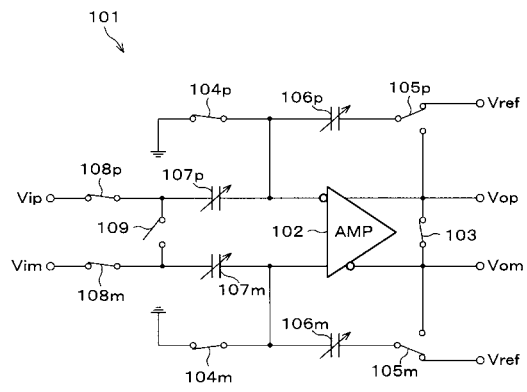
【 図 3 】



【 図 4 】



【 図 5 】



---

フロントページの続き

- (56)参考文献 米国特許第6661283(US, B1)  
米国特許第4609877(US, A)  
米国特許第4697152(US, A)  
米国特許第5410270(US, A)

- (58)調査した分野(Int.Cl.<sup>7</sup>, DB名)  
H03F 1/00-3/72