



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0021223  
(43) 공개일자 2022년02월22일

(51) 국제특허분류(Int. Cl.)  
H01L 33/00 (2010.01) H01L 33/20 (2010.01)  
H01L 33/32 (2010.01)  
(52) CPC특허분류  
H01L 33/0093 (2020.05)  
H01L 33/20 (2013.01)  
(21) 출원번호 10-2020-0101796  
(22) 출원일자 2020년08월13일  
심사청구일자 없음

(71) 출원인  
고려대학교 산학협력단  
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)  
(72) 발명자  
김태환  
서울특별시 성북구 안암로9가길 72 ((안암동5가)) 104호  
이인환  
서울특별시 성북구 종암로23길 35, 205동 1403호 (종암동, 래미안세레니티)  
(74) 대리인  
특허법인 천지

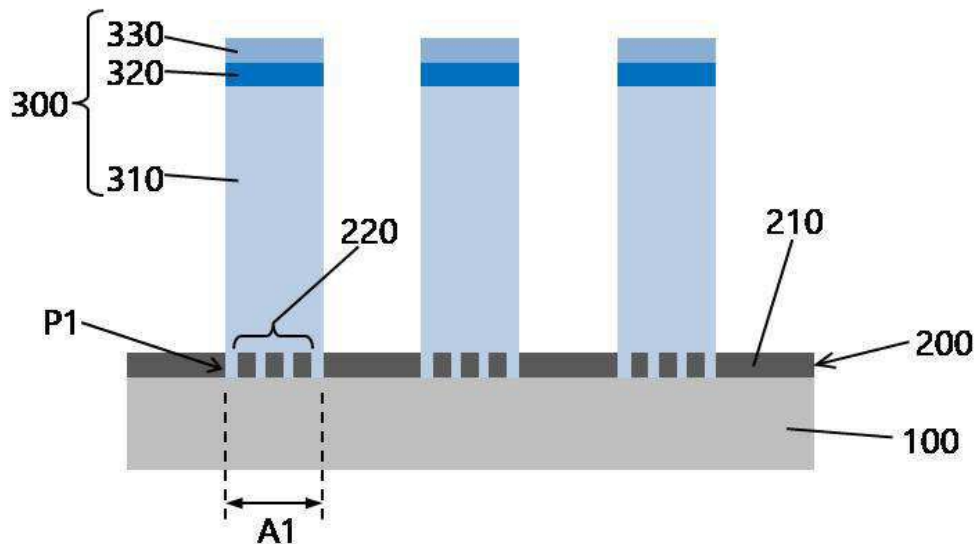
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 나노로드 구조체의 제조방법 및 이를 적용한 전자소자의 제조방법

(57) 요약

나노로드 구조체의 제조방법 및 이를 적용한 전자소자의 제조방법에 관해 개시되어 있다. 개시된 나노로드 구조체의 제조방법은 기판 상에 마스크층을 형성하되 상기 마스크층은 상기 기판의 제1 영역을 노출시키는 제1 개구부를 갖는 메인 마스크 패턴과 상기 제1 개구부 내에 구비되어 상기 제1 영역의 일부를 가려주는 보조 마스크 패턴을 포함하도록 형성하는 단계, 상기 제1 개구부에 의해 노출되고 상기 보조 마스크 패턴에 의해 그 일부가 가려진 상기 기판의 제1 영역으로부터 III-V족 계열의 반도체를 포함하는 나노로드 구조체를 성장시키는 단계 및 상기 나노로드 구조체를 상기 기판으로부터 분리하는 단계를 포함할 수 있다.

대표도 - 도1b



(52) CPC특허분류

*H01L 33/32* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

기관 상에 마스크층을 형성하되, 상기 마스크층은 상기 기관의 제1 영역을 노출시키는 제1 개구부를 갖는 메인 마스크 패턴과 상기 제1 개구부 내에 구비되어 상기 제1 영역의 일부를 가려주는 보조 마스크 패턴을 포함하도록 형성하는 단계;

상기 제1 개구부에 의해 노출되고 상기 보조 마스크 패턴에 의해 그 일부가 가려진 상기 기관의 제1 영역으로부터 III-V족 계열의 반도체를 포함하는 나노로드 구조체를 성장시키는 단계; 및

상기 나노로드 구조체를 상기 기관으로부터 분리하는 단계;를 포함하는,

나노로드 구조체의 제조방법.

#### 청구항 2

제 1 항에 있어서,

상기 메인 마스크 패턴은 복수의 상기 제1 개구부를 포함하고, 각각의 상기 제1 개구부 내에 상기 보조 마스크 패턴이 구비된 나노로드 구조체의 제조방법.

#### 청구항 3

제 1 항에 있어서,

상기 제1 개구부 내에 구비된 상기 보조 마스크 패턴은 하나 또는 복수 개의 도트(dot) 패턴으로 구성된 나노로드 구조체의 제조방법.

#### 청구항 4

제 1 항에 있어서,

상기 제1 개구부 내에 구비된 상기 보조 마스크 패턴은 상기 제1 영역의 40% 내지 80%에 해당하는 면적을 가려주도록 구성된 나노로드 구조체의 제조방법.

#### 청구항 5

제 1 항에 있어서,

상기 III-V족 계열의 반도체는 GaN을 포함하는 나노로드 구조체의 제조방법.

#### 청구항 6

제 1 항에 있어서,

상기 나노로드 구조체는 제1 도전형 반도체, 활성층 및 제2 도전형 반도체를 포함하는 발광구조체인 나노로드 구조체의 제조방법.

#### 청구항 7

제 6 항에 있어서,

상기 나노로드 구조체는 단순 적층 구조를 갖고,

상기 제1 도전형 반도체의 상면에 상기 활성층이 구비되고, 상기 활성층의 상면에 상기 제2 도전형 반도체가 구비된 나노로드 구조체의 제조방법.

#### 청구항 8

제 6 항에 있어서,

상기 나노로드 구조체는 코어-셸(core-shell) 구조를 갖고,

상기 제1 도전형 반도체는 코어부를 구성하고, 상기 활성층 및 상기 제2 도전형 반도체는 상기 코어부를 순차로 감싸는 껍질부를 구성하는 나노로드 구조체의 제조방법.

#### 청구항 9

제 1 항에 있어서,

상기 나노로드 구조체는 100~1000 nm의 직경을 갖는 나노로드 구조체의 제조방법.

#### 청구항 10

청구항 1 내지 9 중 어느 하나에 기재된 방법을 이용해서 나노로드 구조체를 마련하는 단계; 및

상기 나노로드 구조체를 포함하는 전자소자를 제조하는 단계;를 포함하는,

전자소자의 제조방법.

#### 청구항 11

제 10 항에 있어서,

상기 전자소자는 LED 디스플레이를 포함하는 전자소자의 제조방법.

#### 청구항 12

기판을 포함하는 하부구조체 상에 상기 하부구조체의 일부 영역들을 가려주는 마스크 패턴층을 형성하는 단계;

상기 마스크 패턴층에 의해 가려지지 않고 노출된 상기 하부구조체의 영역으로부터 III-V족 계열의 반도체를 포함하는 물질층을 성장시키되, 상기 마스크 패턴층을 덮도록 상기 물질층을 성장시키는 단계;

상기 물질층을 상기 마스크 패턴층이 노출될 때까지 패터닝하여 상기 물질층으로부터 나노로드 구조체를 형성하되, 상기 나노로드 구조체와 상기 하부구조체 사이에 상기 마스크 패턴층의 일부가 개재되도록 상기 나노로드 구조체를 형성하는 단계; 및

상기 나노로드 구조체를 상기 하부구조체로부터 분리하는 단계;를 포함하는,

나노로드 구조체의 제조방법.

#### 청구항 13

제 12 항에 있어서,

상기 하부구조체는 상기 기판 및 상기 기판 상에 구비된 하지층(underlayer)을 포함하고,

상기 마스크 패턴층은 상기 하지층 상에 형성되는 나노로드 구조체의 제조방법.

#### 청구항 14

제 12 항에 있어서,

상기 마스크 패턴층은 규칙적으로 배열된 복수의 도트(dot) 패턴을 포함하는 나노로드 구조체의 제조방법.

#### 청구항 15

제 12 항에 있어서,

상기 나노로드 구조체와 상기 하부구조체 사이에 개재된 상기 마스크 패턴층의 일부는 상기 나노로드 구조체의 수평 단면의 40% 내지 80%에 해당하는 면적을 가려주도록 구성된 나노로드 구조체의 제조방법.

#### 청구항 16

제 12 항에 있어서,

상기 III-V 족 계열의 반도체는 GaN을 포함하는 나노로드 구조체의 제조방법.

#### 청구항 17

제 12 항에 있어서,

상기 나노로드 구조체는 제1 도전형 반도체, 활성층 및 제2 도전형 반도체를 포함하는 발광구조체인 나노로드 구조체의 제조방법.

#### 청구항 18

제 12 항에 있어서,

상기 나노로드 구조체는 100~1000 nm의 직경을 갖는 나노로드 구조체의 제조방법.

#### 청구항 19

청구항 12 내지 18 중 어느 하나에 기재된 방법을 이용해서 나노로드 구조체를 마련하는 단계; 및

상기 나노로드 구조체를 포함하는 전자소자를 제조하는 단계;를 포함하는,

전자소자의 제조방법.

#### 청구항 20

제 19 항에 있어서,

상기 전자소자는 LED 디스플레이를 포함하는 전자소자의 제조방법.

### 발명의 설명

#### 기술 분야

[0001] 본 발명은 나노구조체의 제조방법 및 이를 적용한 소자/장치의 제조방법에 관한 것으로, 보다 상세하게는 나노로드 구조체의 제조방법 및 이를 적용한 전자소자의 제조방법에 관한 것이다.

#### 배경 기술

[0002] 최근, 다양한 나노구조체를 전자소자 및 반도체소자에 활용하고자 하는 연구가 활발히 이루어지고 있다. 이와 관련해서, 나노로드(nanorod) 형태의 발광구조체를 적용한 디스플레이(display) 소자가 제안된 바 있다. 이러한 디스플레이 소자는 다양한 측면에서 우수한 성능을 구현하는데 유리할 수 있다.

[0003] 그런데 나노로드 형태의 발광구조체를 제조함에 있어서, 나노로드 구조를 기판으로부터 분리하는 방법이 용이하지 않은 문제가 있다. 기존의 방법에 따르면, 나노로드 구조를 기판으로부터 분리하거나 기판을 제거하고자 하는 경우, 레이저 리프트-오프(laser lift-off) 방식, 화학적 리프트-오프(chemical lift-off) 방식 또는 기계적 리프트-오프(mechanical lift-off) 방식을 이용한다. 그러나 이러한 방법들은 공정이 복잡하고 고가이며 나노로드의 손상 혹은 파손을 유발할 수 있다는 단점이 있다. 특히, 나노로드가 형성된 중간 제조물에서 전체 두께의 90% 정도를 차지하는 기판을 밀링(milling) 방식으로 제거하는 경우, 기판을 제거하는데 시간 및 비용 소모가 큰 문제가 있다.

### 발명의 내용

#### 해결하려는 과제

[0004] 본 발명이 이루고자 하는 기술적 과제는 나노로드 구조체를 제조함에 있어서, 나노로드 구조체의 손상을 방지 또는 최소화하면서 기판으로부터 나노로드 구조체를 용이하게 분리할 수 있는 방법/기술을 제공하는데 있다.

[0005] 또한, 본 발명이 이루고자 하는 기술적 과제는 상기한 나노로드 구조체의 제조기술을 적용한 전자소자의 제조방법을 제공하는데 있다.

[0006] 본 발명이 해결하고자 하는 과제는 이상에서 언급한 과제에 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

### 과제의 해결 수단

[0007] 상기한 과제를 달성하기 위한 본 발명의 실시예들에 따르면, 기판 상에 마스크층을 형성하되, 상기 마스크층은 상기 기판의 제1 영역을 노출시키는 제1 개구부를 갖는 메인 마스크 패턴과 상기 제1 개구부 내에 구비되어 상기 제1 영역의 일부를 가려주는 보조 마스크 패턴을 포함하도록 형성하는 단계; 상기 제1 개구부에 의해 노출되고 상기 보조 마스크 패턴에 의해 그 일부가 가려진 상기 기판의 제1 영역으로부터 III-V족 계열의 반도체를 포함하는 나노로드 구조체를 성장시키는 단계; 및 상기 나노로드 구조체를 상기 기판으로부터 분리하는 단계;를 포함하는 나노로드 구조체의 제조방법이 제공된다.

[0008] 상기 메인 마스크 패턴은 복수의 상기 제1 개구부를 포함할 수 있고, 각각의 상기 제1 개구부 내에 상기 보조 마스크 패턴이 구비될 수 있다.

[0009] 상기 제1 개구부 내에 구비된 상기 보조 마스크 패턴은 하나 또는 복수 개의 도트(dot) 패턴으로 구성될 수 있다.

[0010] 상기 제1 개구부 내에 구비된 상기 보조 마스크 패턴은 상기 제1 영역의 약 10% 내지 90% 정도 또는 약 40% 내지 80% 정도에 해당하는 면적을 가려주도록 구성될 수 있다.

[0011] 상기 III-V족 계열의 반도체는 GaN을 포함할 수 있다.

[0012] 상기 나노로드 구조체는 제1 도전형 반도체, 활성층 및 제2 도전형 반도체를 포함하는 발광구조체일 수 있다.

[0013] 상기 나노로드 구조체는 단순 적층 구조를 가질 수 있고, 상기 제1 도전형 반도체의 상면에 상기 활성층이 구비될 수 있고, 상기 활성층의 상면에 상기 제2 도전형 반도체가 구비될 수 있다.

[0014] 상기 나노로드 구조체는 코어-셸(core-shell) 구조를 가질 수 있고, 상기 제1 도전형 반도체는 코어부를 구성할 수 있고, 상기 활성층 및 상기 제2 도전형 반도체는 상기 코어부를 순차로 감싸는 껍질부를 구성할 수 있다.

[0015] 상기 나노로드 구조체는 약 100~1000 nm 정도의 직경을 가질 수 있다.

[0016] 본 발명의 다른 실시예들에 따르면, 전술한 방법을 이용해서 나노로드 구조체를 마련하는 단계; 및 상기 나노로드 구조체를 포함하는 전자소자를 제조하는 단계;를 포함하는 전자소자의 제조방법이 제공된다.

[0017] 상기 전자소자는, 예컨대, LED 디스플레이를 포함할 수 있다.

[0018] 본 발명의 다른 실시예들에 따르면, 기판을 포함하는 하부구조체 상에 상기 하부구조체의 일부 영역들을 가려주는 마스크 패턴층을 형성하는 단계; 상기 마스크 패턴층에 의해 가려지지 않고 노출된 상기 하부구조체의 영역으로부터 III-V족 계열의 반도체를 포함하는 물질층을 성장시키되, 상기 마스크 패턴층을 덮도록 상기 물질층을 성장시키는 단계; 상기 물질층을 상기 마스크 패턴층이 노출될 때까지 패터닝하여 상기 물질층으로부터 나노로드 구조체를 형성하되, 상기 나노로드 구조체와 상기 하부구조체 사이에 상기 마스크 패턴층의 일부가 개재되도록 상기 나노로드 구조체를 형성하는 단계; 및 상기 나노로드 구조체를 상기 하부구조체로부터 분리하는 단계;를 포함하는 나노로드 구조체의 제조방법이 제공된다.

[0019] 상기 하부구조체는 상기 기판 및 상기 기판 상에 구비된 하지층(under layer)을 포함할 수 있고, 상기 마스크 패턴층은 상기 하지층 상에 형성될 수 있다.

[0020] 상기 마스크 패턴층은 규칙적으로 배열된 복수의 도트(dot) 패턴을 포함할 수 있다.

[0021] 상기 나노로드 구조체와 상기 하부구조체 사이에 개재된 상기 마스크 패턴층의 일부는 상기 나노로드 구조체의 수평 단면의 약 10% 내지 90% 정도 또는 약 40% 내지 80% 정도에 해당하는 면적을 가려주도록 구성될 수 있다.

[0022] 상기 III-V족 계열의 반도체는 GaN을 포함할 수 있다.

[0023] 상기 나노로드 구조체는 제1 도전형 반도체, 활성층 및 제2 도전형 반도체를 포함하는 발광구조체일 수 있다.

[0024] 상기 나노로드 구조체는 약 100~1000 nm 정도의 직경을 가질 수 있다.

[0025] 본 발명의 다른 실시예들에 따르면, 전술한 방법을 이용해서 나노로드 구조체를 마련하는 단계; 및 상기 나노로드 구조체를 포함하는 전자소자를 제조하는 단계;를 포함하는 전자소자의 제조방법이 제공된다.

[0026] 상기 전자소자는, 예컨대, LED 디스플레이를 포함할 수 있다.

### 발명의 효과

[0027] 본 발명의 실시예에 따르면, 나노로드 구조체의 손상을 방지 또는 최소화하면서 기관으로부터 나노로드 구조체를 용이하게 분리할 수 있는 나노로드 구조체의 제조방법을 구현할 수 있다. 이러한 실시예에 따르면, 나노로드 구조체와 기관의 분리가 용이하기 때문에, 나노로드 구조체의 분리에 있어서, 기존에 사용하기 어려웠던 다양한 방법을 적용할 수 있다.

[0028] 또한, 본 발명의 실시예에 따르면, 상기한 나노로드 구조체의 제조방법을 적용하여 우수한 성능을 갖는 전자소자(ex, LED 디스플레이 소자)를 보다 용이하게 제조할 수 있다.

### 도면의 간단한 설명

[0029] 도 1a 내지 도 1c는 본 발명의 일 실시예에 따른 나노로드 구조체의 제조방법을 설명하기 위한 단면도이다.

도 2는 도 1a의 구조를 위에서 바라본 평면구조를 예시적으로 보여주는 평면도이다.

도 3a 및 도 3b는 본 발명의 다른 실시예에 따른 나노로드 구조체의 제조방법을 설명하기 위한 단면도이다.

도 4 내지 도 6은 본 발명의 실시예에 따른 나노로드 구조체의 제조방법에서 메인 마스크 패턴의 개구부 내에 구비되는 보조 마스크 패턴의 상기 개구부에 대한 면적 분율을 설명하기 위한 평면도이다.

도 7은 제1 비교예에 따른 나노로드 구조체의 제조방법을 설명하기 위한 단면도이다.

도 8은 제2 비교예에 따른 나노로드 구조체의 제조방법을 설명하기 위한 단면도이다.

도 9a 내지 도 9d는 본 발명의 다른 실시예에 따른 나노로드 구조체의 제조방법을 설명하기 위한 단면도이다.

도 10은 도 9a의 구조를 위에서 바라본 평면구조를 예시적으로 보여주는 평면도이다.

도 11 내지 도 13은 본 발명의 실시예에 따른 나노로드 구조체의 제조방법에서 나노로드 구조체와 하부구조체 사이에 개재된 마스크 패턴층의 일부가 상기 나노로드 구조체의 수평 단면에 대해서 차지하는 면적 분율을 설명하기 위한 평면도이다.

도 14a 및 도 14b는 제3 비교예에 따른 나노로드 구조체의 제조방법을 설명하기 위한 단면도이다.

### 발명을 실시하기 위한 구체적인 내용

[0030] 이하, 첨부된 도면들을 참조하여 본 발명의 실시예들을 상세히 설명하기로 한다.

[0031] 이하에서 설명할 본 발명의 실시예들은 당해 기술 분야에서 통상의 지식을 가진 자에게 본 발명을 더욱 명확하게 설명하기 위하여 제공되는 것이고, 본 발명의 범위가 하기 실시예에 의해 한정되는 것은 아니며, 하기 실시예는 여러 가지 다른 형태로 변형될 수 있다.

[0032] 본 명세서에서 사용된 용어는 특정 실시예를 설명하기 위하여 사용되며, 본 발명을 제한하기 위한 것이 아니다. 본 명세서에서 사용되는 단수 형태의 용어는 문맥상 다른 경우를 분명히 지적하는 것이 아니라면, 복수의 형태를 포함할 수 있다. 또한, 본 명세서에서 사용되는 "포함한다(comprise)" 및/또는 "포함하는(comprising)"이라는 용어는 언급한 형상, 단계, 숫자, 동작, 부재, 요소 및/또는 이들 그룹의 존재를 특정하는 것이며, 하나 이상의 다른 형상, 단계, 숫자, 동작, 부재, 요소 및/또는 이들 그룹의 존재 또는 부가를 배제하는 것이 아니다. 또한, 본 명세서에서 사용된 "연결"이라는 용어는 어떤 부재들이 직접적으로 연결된 것을 의미할 뿐만 아니라, 부재들 사이에 다른 부재가 더 개재되어 간접적으로 연결된 것까지 포함하는 개념이다.

[0033] 아울러, 본원 명세서에서 어떤 부재가 다른 부재 "상에" 위치하고 있다고 할 때, 이는 어떤 부재가 다른 부재에 접해 있는 경우뿐 아니라 두 부재 사이에 또 다른 부재가 존재하는 경우도 포함한다. 본 명세서에서 사용된 용어 "및/또는"은 해당 열거된 항목 중 어느 하나 및 하나 이상의 모든 조합을 포함한다. 또한, 본원 명세서에서 사용되는 "약", "실질적으로" 등의 정도의 용어는 고유한 제조 및 물질 허용 오차를 감안하여, 그 수치나 정도의 범주 또는 이에 근접한 의미로 사용되고, 본원의 이해를 돕기 위해 제공된 정확하거나 절대적인 수치가 언급된 개시 내용을 침해자가 부당하게 이용하는 것을 방지하기 위해 사용된다.

[0034] 이하 첨부된 도면들을 참조하여 본 발명의 실시예들에 대해 상세히 설명한다. 첨부된 도면에 도시된 영역이나

파트들의 사이즈나 두께는 명세서의 명확성 및 설명의 편의성을 위해 다소 과장되어 있을 수 있다. 상세한 설명 전체에 걸쳐 동일한 참조번호는 동일한 구성요소를 나타낸다.

- [0035] 도 1a 내지 도 1c는 본 발명의 일 실시예에 따른 나노로드 구조체의 제조방법을 설명하기 위한 단면도이다.
- [0036] 도 1a를 참조하면, 기판(100) 상에 마스크층(200)을 형성할 수 있다. 기판(100)은 결정질 기판일 수 있고, 그 위에 III-V족 계열의 반도체를 성장시킬 수 있는 물질을 포함할 수 있다. 기판(100)은 일종의 성장 씨드층(seed layer)의 역할을 할 수 있다. 일례로, 기판(100)은 사파이어(sapphire) 기판일 수 있다. 그러나 기판(100)의 물질은 변화될 수 있다. III-V족 계열의 반도체를 성장시킬 수 있는 물질이면 어느 것이든 기판(100)의 물질로 적용될 수 있다.
- [0037] 마스크층(200)은 기판(100)의 일부 영역(이하, 제1 영역)(A1)을 노출시키는 개구부(이하, 제1 개구부)(P1)를 갖는 메인 마스크 패턴(210)을 포함할 수 있다. 또한, 마스크층(200)은 제1 개구부(P1) 내에 구비되어 제1 영역(A1)의 일부를 가려주는 보조 마스크 패턴(220)을 포함할 수 있다. 메인 마스크 패턴(210)은 복수의 제1 개구부(P1)를 포함할 수 있고, 각각의 제1 개구부(P1) 내에 보조 마스크 패턴(220)이 구비될 수 있다. 이때, 복수의 제1 개구부(P1)는 규칙적으로 혹은 대체로 규칙적으로 배열될 수 있고, 각각의 제1 개구부(P1) 내에 보조 마스크 패턴(220)도 규칙적으로 혹은 대체로 규칙적으로 배열될 수 있다. 보조 마스크 패턴(220)은 각각의 제1 개구부(P1) 내에서 메인 마스크 패턴(210)과 이격하여 배치될 수 있다.
- [0038] 메인 마스크 패턴(210) 및 보조 마스크 패턴(220)은 소정의 절연 물질을 포함할 수 있다. 예를 들어, 메인 마스크 패턴(210) 및 보조 마스크 패턴(220)은  $\text{SiO}_2$ 와 같은 절연 물질로 구성될 수 있다. 그러나 이는 예시적인 것이고, 메인 마스크 패턴(210) 및 보조 마스크 패턴(220)의 물질은 다양하게 변화될 수 있다. 구체적인 예로, 메인 마스크 패턴(210) 및 보조 마스크 패턴(220)은  $\text{SiN}_x\text{N}$  등과 같은 절연 물질로 구성되거나, 비절연성 물질로 구성될 수도 있다. 또한, 메인 마스크 패턴(210) 및 보조 마스크 패턴(220)은 서로 다른 물질로 구성될 수도 있다.
- [0039] 도 1a의 구조를 위에서 바라본 평면도는, 예컨대, 도 2에 도시된 바와 같을 수 있다. 도 2를 참조하면, 기판(100) 상에 마스크층(200)이 배치될 수 있고, 마스크층(200)은 기판(100)의 제1 영역(A1)을 노출시키는 제1 개구부(P1)를 갖는 메인 마스크 패턴(210) 및 제1 개구부(P1) 내에 구비되어 제1 영역(A1)의 일부를 가려주는 보조 마스크 패턴(220)을 포함할 수 있다. 제1 개구부(P1) 내에 구비된 보조 마스크 패턴(220)은 하나 또는 복수 개의 도트(dot) 패턴으로 구성될 수 있다. 도 2에서는 하나의 제1 개구부(P1) 내에 구비된 보조 마스크 패턴(220)이 복수의 도트(dot) 패턴으로 구성된 경우가 도시된다. 그러나 여기에 도시된 보조 마스크 패턴(220)의 구성 및 배열은 예시적인 것이고 다양하게 변화될 수 있다. 또한, 복수의 제1 개구부(P1)의 형태 및 배열도 다양하게 변화될 수 있다.
- [0040] 다시 도 1a를 참조하면, 기판(100) 상에 구비된 메인 마스크 패턴(210) 및 보조 마스크 패턴(220)은 III-V족 계열 반도체의 성장을 방지/억제하는 역할을 할 수 있다. 따라서, 기판(100) 상에 메인 마스크 패턴(210) 및 보조 마스크 패턴(220)이 구비되지 않고 노출된 영역에서만 III-V족 계열의 반도체가 성장될 수 있다.
- [0041] 도 1b를 참조하면, 메인 마스크 패턴(210)의 제1 개구부(P1)에 의해 노출된 제1 영역(A1)에서 보조 마스크 패턴(220)에 의해 가려지지 않은 영역으로부터 III-V족 계열의 반도체를 포함하는 나노로드 구조체(300)를 성장시킬 수 있다. 다시 말해, 보조 마스크 패턴(220)에 의해 가려진 영역을 제외한 제1 영역(A1)의 노출부로부터 III-V족 계열의 반도체를 포함하는 나노로드 구조체(300)를 성장시킬 수 있다. 이때, 나노로드 구조체(300)는 에피택셜(epitaxial)하게 성장될 수 있다. 나노로드 구조체(300)는 바텀-업(bottom-up) 방식으로 성장된다고 할 수 있다. 각각의 나노로드 구조체(300)는 기판(100)의 제1 영역(A1) 상에 형성될 수 있고, 제1 영역(A1)에 대응하는 보조 마스크 패턴(220)을 덮도록 형성될 수 있다. 따라서, 기판(100)의 제1 영역(A1)과 그에 대응하는 나노로드 구조체(300) 사이에 보조 마스크 패턴(220)이 배치될 수 있다.
- [0042] 나노로드 구조체(300)를 구성하는 상기 III-V족 계열의 반도체는, 예컨대, GaN계 물질을 포함할 수 있다. 또한, 나노로드 구조체(300)는 제1 도전형 반도체(310), 활성층(320) 및 제2 도전형 반도체(330)를 포함할 수 있다. 구체적인 예로, 제1 도전형 반도체(310)는 n형(또는, p형) GaN계 반도체 물질을 포함할 수 있고, 제2 도전형 반도체(330)는 p형(또는, n형) GaN계 반도체 물질을 포함할 수 있으며, 활성층(320)은 GaN계 반도체 물질을 포함하는 다중양자우물(multi-quantum well)(MQW) 구조를 가질 수 있다. 활성층(320)은 '발광층'일 수 있고, 나노로드 구조체(300)는 '발광구조체'일 수 있다. 나노로드 구조체(300)는 LED(light emitting diode) 발광요소라고 할 수 있다.

- [0043] 본 실시예에서 나노로드 구조체(300)는 axial 하게 성장된 적층 구조를 가질 수 있다. 이 경우, 나노로드 구조체(300)는 '단순 적층 구조'를 갖는다고 할 수 있다. 제1 도전형 반도체(310)의 상면에 활성층(320)이 구비될 수 있고, 활성층(320)의 상면에 제2 도전형 반도체(330)가 구비될 수 있다. 제1 도전형 반도체(310)의 측면에는 활성층(320)이 형성되지 않을 수 있고, 이와 유사하게, 활성층(320)의 측면에도 제2 도전형 반도체(330)가 형성되지 않을 수 있다.
- [0044] 부가해서, 나노로드 구조체(300)는 약 100~1000 nm 정도의 직경을 가질 수 있다. 예를 들어, 나노로드 구조체(300)는 약 500~1000 nm 정도의 직경을 가질 수 있다. 이러한 나노로드 구조체(300)의 직경은 제1 개구부(A1)의 직경에 대응하거나 유사할 수 있다. 또한, 나노로드 구조체(300)는 수  $\mu\text{m}$  내지 수십  $\mu\text{m}$  정도의 길이(기판과 수직한 방향으로의 길이)를 가질 수 있다. 예컨대, 나노로드 구조체(300)는 약 5  $\mu\text{m}$  내지 20  $\mu\text{m}$  정도의 길이를 가질 수 있다. 그러나 여기서 제시한 나노로드 구조체(300)의 구체적인 치수 범위는 예시적인 것이고, 달라질 수 있다.
- [0045] 이후, 나노로드 구조체(300)를 기판(100)으로부터 분리할 수 있다. 본 발명의 실시예에서는 나노로드 구조체(300)와 기판(100) 사이에 보조 마스크 패턴(220)이 배치되어 있으므로, 기판(100)으로부터 나노로드 구조체(300)를 용이하게 분리할 수 있다. 나노로드 구조체(300)와 기판(100)의 분리가 용이하기 때문에, 기존에 사용하기 어려웠던 다양한 방법을 적용하여 나노로드 구조체(300)를 분리할 수 있다. 나노로드 구조체(300)의 손상을 방지 또는 최소화하면서 비교적 깨끗한 분리면을 갖도록 나노로드 구조체(300)를 분리할 수 있다. 기판(100)으로부터 나노로드 구조체(300)를 분리한 결과물이 도 1c에 도시되어 있다.
- [0046] 도 1c를 참조하면, 기판(도 1b의 100)으로부터 분리된 적어도 하나의 나노로드 구조체(300)가 마련될 수 있다. 이러한 나노로드 구조체(300)는 전자소자(예컨대, 디스플레이 소자)에 적용될 수 있다.
- [0047] 도 1a 내지 도 1c에서는 나노로드 구조체(300)가 axial 하게 성장되어 단순 적층 구조를 갖는 경우를 도시하고 설명하였지만, 다른 실시예에 따르면, 나노로드 구조체는 radial 하게 성장되어 코어-셸(core-shell) 구조를 가질 수 있다. 그 일례가 도 3a 및 도 3b에 도시되어 있다.
- [0048] 도 3a 및 도 3b는 본 발명의 다른 실시예에 따른 나노로드 구조체의 제조방법을 설명하기 위한 단면도이다.
- [0049] 도 3a를 참조하면, 도 1a에서 설명한 바와 유사하게, 기판(100) 상에 메인 마스크 패턴(210) 및 보조 마스크 패턴(220)을 포함하는 마스크층(200)을 형성할 수 있다. 메인 마스크 패턴(210)은 기판(100)의 제1 영역(A1)을 노출시키는 제1 개구부(P1)를 가질 수 있고, 보조 마스크 패턴(220)은 제1 개구부(P1) 내에 제1 영역(A1)의 일부를 가리도록 구비될 수 있다.
- [0050] 보조 마스크 패턴(220)에 의해 그 일부가 가려진 제1 영역(A1) 상에 나노로드 구조체(350)를 성장시킬 수 있다. 나노로드 구조체(350)는 radial 하게 성장되어 코어-셸(core-shell) 구조를 가질 수 있다. 이때, 제1 도전형 반도체(360)는 코어부를 구성할 수 있고, 활성층(370) 및 제2 도전형 반도체(380)는 상기 코어부를 순차로 감싸는 껍질부를 구성할 수 있다. 나노로드 구조체(350)의 성장 조건이나 결정 배향성, 물질 등에 따라서, 나노로드 구조체(350)는 radial 하게 성장될 수 있다.
- [0051] 이후, 나노로드 구조체(350)를 기판(100)으로부터 분리할 수 있다. 나노로드 구조체(350)와 기판(100) 사이에 보조 마스크 패턴(220)이 배치되어 있으므로, 기판(100)으로부터 나노로드 구조체(350)를 용이하게 분리할 수 있다. 기판(100)으로부터 나노로드 구조체(350)를 분리한 결과물이 도 3b에 도시되어 있다.
- [0052] 도 3b를 참조하면, 기판(도 3a의 100)으로부터 분리된 적어도 하나의 나노로드 구조체(350)가 마련될 수 있다. 이러한 나노로드 구조체(350)는 전자소자(예컨대, 디스플레이 소자)에 적용될 수 있다.
- [0053] 도 1a 내지 도 3b를 참조하여 설명한 실시예에 따른 나노로드 구조체의 제조방법에서 제1 개구부(P1) 내에 구비된 보조 마스크 패턴(220)은 제1 영역(A1)의 약 10% 내지 70% 정도에 해당하는 면적을 가려주도록 구성될 수 있다. 다시 말해, 보조 마스크 패턴(220)은 나노로드 구조체(300, 350)의 수평 단면의 약 10% 내지 90% 정도에 해당하는 면적을 가려주도록 구성될 수 있다. 보다 바람직하게는, 제1 개구부(P1) 내에 구비된 보조 마스크 패턴(220)은 제1 영역(A1)의 약 40% 내지 80% 정도에 해당하는 면적을 가려주도록 구성될 수 있다. 이에 대해서는 도 4 내지 도 6을 참조하여 보다 상세히 설명한다.
- [0054] 도 4 내지 도 6은 본 발명의 실시예에 따른 나노로드 구조체의 제조방법에서 메인 마스크 패턴의 개구부(제1 개구부) 내에 구비되는 보조 마스크 패턴의 상기 개구부에 대한 면적 분율을 설명하기 위한 평면도이다.
- [0055] 도 4를 참조하면, 기판(100) 상에 마스크층(200a)이 구비될 수 있고, 마스크층(200a)은 메인 마스크 패턴(210)

과 보조 마스크 패턴(220a)을 포함할 수 있다. 메인 마스크 패턴(210)은 기판(100)의 제1 영역(A1)을 노출시키는 제1 개구부(P1)를 가질 수 있고, 보조 마스크 패턴(220a)은 제1 개구부(P1) 내에서 제1 영역(A1)의 일부를 가려주는 역할을 할 수 있다. 이때, 보조 마스크 패턴(220a)은 제1 영역(A1)의 약 10% 정도의 면적을 가려줄 수 있다. 다시 말해, 보조 마스크 패턴(220a)은 나노로드 구조체의 단면적(수평 단면의 면적)의 약 10% 정도에 해당하는 면적을 가려줄 수 있다.

[0056] 도 5를 참조하면, 마스크층(200b)은 메인 마스크 패턴(210)과 보조 마스크 패턴(220b)을 포함할 수 있다. 메인 마스크 패턴(210)은 도 4에서 설명한 바와 동일할 수 있다. 보조 마스크 패턴(220b)은 제1 영역(A1)의 약 30% 정도의 면적을 가려줄 수 있다. 다시 말해, 보조 마스크 패턴(220b)은 나노로드 구조체의 단면적(수평 단면의 면적)의 약 30% 정도에 해당하는 면적을 가려줄 수 있다.

[0057] 도 6을 참조하면, 마스크층(200c)은 메인 마스크 패턴(210)과 보조 마스크 패턴(220c)을 포함할 수 있다. 메인 마스크 패턴(210)은 도 4에서 설명한 바와 동일할 수 있다. 보조 마스크 패턴(220c)은 제1 영역(A1)의 약 50% 정도의 면적을 가려줄 수 있다. 다시 말해, 보조 마스크 패턴(220c)은 나노로드 구조체의 단면적(수평 단면의 면적)의 약 50% 정도에 해당하는 면적을 가려줄 수 있다.

[0058] 도 4 내지 도 6을 참조하여 설명한 보조 마스크 패턴(220a~220c)의 형태, 구성, 배열 등은 예시적인 것이고, 다양하게 변화될 수 있다.

[0059] 본 발명의 실시예에서, 제1 개구부(P1) 내에 구비된 보조 마스크 패턴(220)은 제1 영역(A1)의 약 40% 내지 80% 정도에 해당하는 면적을 가려주도록 구성되는 것이 바람직할 수 있다. 이와 관련해서, 보다 구체적으로 설명하면 다음과 같다.

[0060] 한쪽 면이 바닥에 고정되어 있는 원형 실린더의 옆면에 힘이 가해질 때, 실린더가 받는 응력(Stress)은 힘으로 인한 전단 응력과 고정된 면으로부터의 모멘트(moment)로 인한 응력으로 나누어질 수 있다. 일례로, 지름이 700 nm 이고 길이가 2500 nm 인 GaN 나노로드가 받는 응력을 계산하였다. GaN의 항복 강도는 200 GPa 이고, 전단 항복강도는 116 GPa 이며, 이들로부터 계산하면, 전단 응력의 경우 약 0.0335 N 이, 모멘트로 인한 응력의 경우 0.0027 N 이 나노로드를 파괴(절단)하는데 필요하게 된다. 따라서, 나노로드를 파괴(절단)하는데 있어서, 모멘트로 인한 응력이 지배적이라는 것을 알 수 있다.

[0061] 동심원의 형태로 내부가 비어있는 실린더를 가정할 경우, 실린더의 넓이 분율(안쪽원 넓이/바깥원 넓이)이 약 40% 내지 약 80%인 경우에, 분율 증가에 따른 파괴 강도(실린더를 파괴하는데 필요한 힘)의 변화가 대체로 선형적으로 나타날 수 있다. 다시 말해, 이러한 분율 범위에서 분율 증가에 따라 파괴 강도는 대체로 선형적으로 감소할 수 있다. 또한, 이러한 분율 범위에서 실린더를 파괴하는데 필요한 힘을 보다 효과적으로 조절할 수 있다. 재료역학적으로 계산한 결과, 잔여 넓이(기판과 결합되어 있는 넓이)가 약 60% 일 때 원래 필요한 힘의 약 84% 정도가 필요할 수 있고, 잔여 넓이가 약 20% 인 경우에는 잔여 넓이가 100% 인 경우 대비 필요한 힘의 약 36%가 필요함을 알 수 있다. 이러한 결과로부터, 본 발명의 실시예에서는 제1 개구부(P1) 내에 구비된 보조 마스크 패턴(220)은 제1 영역(A1)의 약 40% 내지 80% 정도에 해당하는 면적을 가려주도록 구성되는 것이 바람직할 수 있다. 그러나 이러한 범위 조건은 예시적인 것이고, 다른 변수들의 변화에 따라 달라질 가능성이 있다.

[0062] 부가적으로, GaN의 성장 온도(growth temperature)에 따라서 측면 성장과 수직 성장의 정도가 용이하게 조절될 수 있다. 약 80% 정도의 GaN 성장 억제층이 존재하더라도 900℃의 온도(상대적인 저온)에서 성장시킬 경우, 측면 성장이 우세하여 측면을 채우면서 GaN을 성장시킬 수 있다. 이를 이용하면, 탑-다운(top-down) 및 바텀-업(bottom-up) 두 경우 모두 문제 없이 실시예에 따른 GaN을 성장시킬 수 있다.

[0063] 도 7은 제1 비교예에 따른 나노로드 구조체의 제조방법을 설명하기 위한 단면도이다.

[0064] 도 7을 참조하면, 기판(10) 상에 개구부(p1)를 갖는 마스크층(20)이 구비될 수 있다. 개구부(p1)에 의해 기판(10)의 일부 영역(a1)이 노출될 수 있다. 개구부(p1)에 의해 노출된 기판(10)의 일부 영역(a1) 전체로부터 나노로드 구조체(30)를 성장시킬 수 있다. 나노로드 구조체(30)는 제1 도전형 반도체(31), 활성층(32) 및 제2 도전형 반도체(33)가 적층된 구조를 가질 수 있다.

[0065] 도 8은 제2 비교예에 따른 나노로드 구조체의 제조방법을 설명하기 위한 단면도이다.

[0066] 도 8을 참조하면, 나노로드 구조체(35)는 제1 도전형 반도체(36), 활성층(37) 및 제2 도전형 반도체(38)로 구성된 코어-셸(core-shell) 구조를 가질 수 있다. 나노로드 구조체(35)가 코어-셸 구조를 갖는 것을 제외한 나머지는 구성은 도 7에서 설명한 바와 동일하다.

- [0067] 도 7 및 도 8의 비교예에서는 나노로드 구조체(30, 35)가 개구부(p1)에 의해 노출된 기판(10)의 영역(a1) 전체로부터 성장되므로, 나노로드 구조체(30, 35)와 기판(10)의 접합/결합 면적은 나노로드 구조체(30, 35)의 단면적과 대응될 수 있다. 따라서, 나노로드 구조체(30, 35)를 기판(10)으로부터 분리하기가 용이하지 않을 수 있다. 이러한 나노로드 구조체(30, 35)를 기판(10)으로부터 분리하거나 기판(10)을 제거하고자 하는 경우, 레이저 리프트-오프(laser lift-off) 방식, 화학적 리프트-오프(chemical lift-off) 방식 또는 기계적 리프트-오프(mechanical lift-off) 방식을 이용할 수 있다. 그러나 이러한 방법들은 공정이 복잡하고 고가이며 나노로드 구조체(30, 35)의 손상 혹은 파손을 유발할 수 있다. 특히, 나노로드 구조체(30, 35)가 형성된 중간 제조물에서 전체 두께의 90% 정도를 차지하는 기판(10)을 밀링(milling) 방식으로 제거하는 경우, 기판(10)을 제거하는데 시간 및 비용이 많이 소요될 수 있다.
- [0068] 그러나 본 발명의 실시예에 따르면, 도 1a 내지 도 6을 참조하여 설명한 바와 같이, 나노로드 구조체(300, 350)와 기판(100) 사이에 보조 마스크 패턴(220)을 구비시킴으로써, 기판(100)으로부터 나노로드 구조체(300, 350)를 용이하게 분리할 수 있다. 나노로드 구조체(300, 350)와 기판(100)의 분리가 용이하므로, 기존에 사용하기 어려웠던 다양한 방법을 적용하여 나노로드 구조체(300, 350)를 분리할 수 있다. 이 경우, 나노로드 구조체(300, 350)의 손상이나 파손을 억제/방지할 수 있고, 나노로드 구조체(300, 350)를 분리하는데 시간 및 비용을 절감할 수 있다.
- [0069] 도 1a 내지 도 6을 참조하여 설명한 나노로드 구조체의 제조방법은 다양한 전자소자의 제조에 적용될 수 있다. 예를 들어, 실시예에 따른 전자소자의 제조방법은 전술한 실시예에 따른 방법으로 나노로드 구조체를 마련하는 단계 및 상기 나노로드 구조체를 포함하는 전자소자를 제조하는 단계를 포함할 수 있다. 여기서, 상기 나노로드 구조체를 포함하는 전자소자를 제조하는 단계는 복수의 나노로드 구조체를 구비한 나노로드 어레이를 형성하는 단계, 상기 나노로드 어레이의 제1 도전형 반도체에 전기적으로 연결된 제1 전극 부재를 형성하는 단계 및 상기 나노로드 어레이의 제2 도전형 반도체에 전기적으로 연결된 제2 전극 부재를 형성하는 단계를 포함할 수 있다. 그 밖에 전자소자의 제조방법은 일반적인 방법을 따를 수 있다. 상기한 전자소자는, 예를 들어, LED 디스플레이를 포함할 수 있다. 상기 LED 디스플레이는 TV, 스마트폰 등 다양한 디스플레이 분야에 적용될 수 있다. 그러나, 상기 전자소자의 종류나 적용 분야는 전술한 바에 한정되지 않고 다양하게 변화될 수 있다.
- [0070] 도 9a 내지 도 9d는 본 발명의 다른 실시예에 따른 나노로드 구조체의 제조방법을 설명하기 위한 단면도이다.
- [0071] 도 9a를 참조하면, 기판(105)을 포함하는 하부구조체(S10) 상에 하부구조체(S10)의 일부 영역들을 가려주는 마스크 패턴층(205)을 형성할 수 있다. 기판(105)은 결정질 기판일 수 있고, 그 위에 III-V족 계열의 반도체를 성장시킬 수 있는 물질을 포함할 수 있다. 일례로, 기판(105)은 사파이어 기판일 수 있다. 그러나 기판(105)의 물질은 변화될 수 있다. III-V족 계열의 반도체를 성장시킬 수 있는 물질이면 어느 것이든 기판(105)의 물질로 적용될 수 있다.
- [0072] 하부구조체(S10)는 기판(105) 및 기판(105) 상에 구비된 하지층(under layer)을 포함할 수 있다. 예컨대, 상기 하지층은 버퍼층(135) 및 그 위에 형성된 반도체층(165)을 포함할 수 있다. 버퍼층(135) 및 반도체층(165)은 III-V족 계열의 반도체를 포함할 수 있고, 결정질 구조를 가질 수 있다. 버퍼층(135) 및 반도체층(165)은 추후에 형성될 반도체 물질층(도 9b의 315, 325, 335)의 결정성 및 특성을 향상시키는 역할을 할 수 있다.
- [0073] 마스크 패턴층(205)은 소정의 절연 물질을 포함할 수 있다. 예를 들어, 마스크 패턴층(205)은 SiO<sub>2</sub>와 같은 절연 물질로 구성될 수 있다. 그러나 이는 예시적인 것이고, 마스크 패턴층(205)의 물질은 다양하게 변화될 수 있다. 구체적인 예로, 마스크 패턴층(205)은 SiNx 등과 같은 절연 물질로 구성되거나, 비절연성 물질로 구성될 수도 있다.
- [0074] 도 9a의 구조를 위에서 바라본 평면도는, 예컨대, 도 10에 도시된 바와 같을 수 있다. 도 10을 참조하면, 하부구조체(S10) 상에 마스크 패턴층(205)이 배치될 수 있다. 마스크 패턴층(205)은 하부구조체(S10)의 일부 영역들을 가려주는 역할을 할 수 있다. 예를 들어, 마스크 패턴층(205)은 규칙적으로 혹은 대체로 규칙적으로 배열된 복수의 도트(dot) 패턴을 포함할 수 있다. 그러나 여기에 도시된 마스크 패턴층(205)의 구성 및 배열은 예시적인 것이고 다양하게 변화될 수 있다.
- [0075] 다시 도 9a를 참조하면, 하부구조체(S10) 상에 구비된 마스크 패턴층(205)은 III-V족 계열 반도체의 성장을 방지/억제하는 역할을 할 수 있다. 따라서, 하부구조체(S10) 상에 마스크 패턴층(205)이 구비되지 않고 노출된 영역에서만 III-V족 계열의 반도체가 성장될 수 있다.
- [0076] 도 9b를 참조하면, 마스크 패턴층(205)에 의해 가려지지 않고 노출된 하부구조체(S10)의 영역으로부터 III-V족

계열의 반도체를 포함하는 물질층(305)을 성장시킬 수 있다. 이때, 마스크 패턴층(205)에 의해 가려지지 않고 노출된 하부구조체(S10)의 영역이 성장 씨드층의 역할을 할 수 있다. 상기 물질층(305)은 마스크 패턴층(205)을 덮도록 성장될 수 있다. 다시 말해, 마스크 패턴층(205)의 상면은 상기 물질층(305)에 의해 커버될 수 있다. 따라서, 상기 물질층(305)과 하부구조체(S10) 사이에 마스크 패턴층(205)이 개재될 수 있다.

[0077] 상기 물질층(305)은 순차로 적층된 제1 도전형 반도체층(315), 활성물질층(325) 및 제2 도전형 반도체층(335)을 포함할 수 있다. 제1 도전형 반도체층(315), 활성물질층(325) 및 제2 도전형 반도체층(335) 각각의 물질은 도 1b를 참조하여 설명한 제1 도전형 반도체(310), 활성층(320) 및 제2 도전형 반도체(330)의 물질에 대응될 수 있다. 따라서, 제1 도전형 반도체층(315)은 n형(또는, p형) GaN계 반도체 물질을 포함할 수 있고, 제2 도전형 반도체층(335)은 p형(또는, n형) GaN계 반도체 물질을 포함할 수 있으며, 활성물질층(325)은 GaN계 반도체 물질을 포함하는 다중양자우물(multi-quantum well)(MQW) 구조를 가질 수 있다. 활성물질층(325)은 '발광층'일 수 있다. 한편, 하부구조체(S10)에 포함된 반도체층(하부반도체층)(165)의 물질은 제1 도전형 반도체층(315)의 물질과 동일하거나 유사할 수 있다.

[0078] 도 9c를 참조하면, 상기 물질층(도 9b의 305)을 마스크 패턴층(205)이 노출될 때까지 패터닝하여 상기 물질층(도 9b의 305)으로부터 적어도 하나의 나노로드 구조체(305A)를 형성할 수 있다. 상기 물질층(도 9b의 305)의 위쪽에서부터 패터닝을 위한 식각(건식 식각 등)을 수행하므로, 이는 탑-다운(top-down) 방식에 의한 나노로드 구조체(305A)의 형성이라고 할 수 있다. 이때, 나노로드 구조체(305A)와 하부구조체(S10) 사이에 마스크 패턴층(205)의 일부가 개재될 수 있다. 여기서, 참조번호 315A는 패터닝된 제1 도전형 반도체층을 나타내고, 325A는 패터닝된 활성물질층을 나타내며, 335A는 패터닝된 제2 도전형 반도체층을 나타낸다. 이하에서는, 참조번호 315A, 325A, 335A를 각각 '제1 도전형 반도체', '활성층', '제2 도전형 반도체'라 한다.

[0079] 활성층(325A)은 '발광층'일 수 있고, 나노로드 구조체(305A)는 '발광구조체'일 수 있다. 나노로드 구조체(305A)는 LED(light emitting diode) 발광요소라고 할 수 있다. 나노로드 구조체(305A)는 약 100~1000 nm 정도의 직경을 가질 수 있다. 예를 들어, 나노로드 구조체(305A)는 약 500~1000 nm 정도의 직경을 가질 수 있다. 또한, 나노로드 구조체(305A)는 수  $\mu\text{m}$  내지 수십  $\mu\text{m}$  정도의 길이(기판과 수직한 방향으로의 길이)를 가질 수 있다. 예컨대, 나노로드 구조체(305A)는 약 5  $\mu\text{m}$  내지 20  $\mu\text{m}$  정도의 길이를 가질 수 있다. 그러나 여기서 제시한 나노로드 구조체(305A)의 구체적인 치수 범위는 예시적인 것이고, 달라질 수 있다.

[0080] 이후, 나노로드 구조체(305A)를 하부구조체(S10)로부터 분리할 수 있다. 본 발명의 실시예에서는 나노로드 구조체(305A)와 하부구조체(S10) 사이에 마스크 패턴층(205)이 배치되어 있으므로, 하부구조체(S10)로부터 나노로드 구조체(305A)를 용이하게 분리할 수 있다. 나노로드 구조체(305A)와 하부구조체(S10)의 분리가 용이하기 때문에, 기존에 사용하기 어려웠던 다양한 방법을 적용하여 나노로드 구조체(305A)를 분리할 수 있다. 하부구조체(S10)로부터 나노로드 구조체(305A)를 분리한 결과물이 도 9d에 도시되어 있다.

[0081] 도 9d를 참조하면, 하부구조체(도 9c의 S10)로부터 분리된 적어도 하나의 나노로드 구조체(305A)가 마련될 수 있다. 나노로드 구조체(305A)는 순차로 적층된 제1 도전형 반도체(315A), 활성층(325A) 및 제2 도전형 반도체(335A)를 포함할 수 있다. 이러한 나노로드 구조체(305A)는 전자소자(예컨대, 디스플레이 소자)에 적용될 수 있다.

[0082] 도 9a 내지 도 10을 참조하여 설명한 실시예에 따른 나노로드 구조체의 제조방법에서 나노로드 구조체(305A)와 하부구조체(S10) 사이에 개재된 마스크 패턴층(205)의 일부는 나노로드 구조체(305A)의 수평 단면의 약 10% 내지 90% 정도 또는 약 40% 내지 80% 정도에 해당하는 면적을 가려주도록 구성될 수 있다. 이에 대해서는 도 11 내지 도 13을 참조하여 보다 상세히 설명한다.

[0083] 도 11 내지 도 13은 본 발명의 실시예에 따른 나노로드 구조체의 제조방법에서 나노로드 구조체와 하부구조체 사이에 개재된 마스크 패턴층의 일부가 상기 나노로드 구조체의 수평 단면에 대해서 차지하는 면적 분율을 설명하기 위한 평면도이다. 도 11 내지 도 13에서 참조부호 R1은 나노구조체가 형성될 영역을 나타낸다. 따라서, R1의 면적은 나노로드 구조체의 수평 단면의 면적에 대응될 수 있다.

[0084] 도 11을 참조하면, 하부구조체(S10) 상에 마스크 패턴층(205a)이 구비될 수 있다. 나노구조체가 형성될 영역(R1)과 하부구조체(S10) 사이에 개재되는 마스크 패턴층(205a)의 일부는 상기 나노로드 구조체의 수평 단면의 약 10% 정도에 해당하는 면적을 가려줄 수 있다.

[0085] 도 12를 참조하면, 하부구조체(S10) 상에 마스크 패턴층(205b)이 구비될 수 있다. 나노구조체가 형성될 영역(R1)과 하부구조체(S10) 사이에 개재되는 마스크 패턴층(205b)의 일부는 상기 나노로드 구조체의 수평 단면의

약 40% 정도에 해당하는 면적을 가려줄 수 있다.

- [0086] 도 13을 참조하면, 하부구조체(S10) 상에 마스크 패턴층(205c)이 구비될 수 있다. 나노구조체가 형성될 영역(R1)과 하부구조체(S10) 사이에 개재되는 마스크 패턴층(205c)의 일부는 상기 나노로드 구조체의 수평 단면의 약 60% 정도에 해당하는 면적을 가려줄 수 있다.
- [0087] 도 11 내지 도 13을 참조하여 설명한 마스크 패턴층(205a~205c)의 형태, 구성, 배열 등은 예시적인 것이고, 다양하게 변화될 수 있다.
- [0088] 도 14a 및 도 14b는 제3 비교예에 따른 나노로드 구조체의 제조방법을 설명하기 위한 단면도이다.
- [0089] 도 14a를 참조하면, 기판(102) 상에 버퍼층(132)을 형성할 수 있고, 버퍼층(132) 상에 순차로 적층된 제1 도전형 반도체층(312), 활성물질층(322) 및 제2 도전형 반도체층(332)을 포함하는 반도체 물질층(302)을 형성할 수 있다.
- [0090] 도 14b를 참조하면, 제2 도전형 반도체층(332)과 활성물질층(322) 및 제1 도전형 반도체층(312)의 일부 두께를 순차로 패터닝하여 나노로드 구조체(302A)를 형성할 수 있다. 참조번호 312A는 패터닝된 제1 도전형 반도체층을 나타내고, 322A는 패터닝된 활성물질층을 나타내며, 332A는 패터닝된 제2 도전형 반도체층을 나타낸다. 한편, 참조번호 312B는 패터닝되지 않은 제1 도전형 반도체층을 나타낸다.
- [0091] 도 14a 및 도 14b를 참조하여 설명한 비교예에서는 나노로드 구조체(302A)의 하면 전체가 패터닝되지 않은 제1 도전형 반도체층(312B)에 접합/결합되어 있으므로, 나노로드 구조체(302A)를 그 하부의 기판구조체로부터 분리하기가 용이하지 않을 수 있다.
- [0092] 그러나 본 발명의 실시예에 따르면, 도 9a 내지 도 13을 참조하여 설명한 바와 같이, 나노로드 구조체(305A)와 하부구조체(S10) 사이에 마스크 패턴층(205)의 일부를 구비시킴으로써, 하부구조체(S10)로부터 나노로드 구조체(305A)를 용이하게 분리할 수 있다. 나노로드 구조체(305A)와 하부구조체(S10)의 분리가 용이하므로, 기존에 사용하기 어려웠던 다양한 방법을 적용하여 나노로드 구조체(305A)를 분리할 수 있다. 이 경우, 나노로드 구조체(305A)의 손상이나 파손을 억제/방지할 수 있고, 나노로드 구조체(305A)를 분리하는데 시간 및 비용을 절감할 수 있다.
- [0093] 도 9a 내지 도 13을 참조하여 설명한 나노로드 구조체의 제조방법은 다양한 전자소자의 제조에 적용될 수 있다. 예를 들어, 실시예에 따른 전자소자의 제조방법은 전술한 실시예에 따른 방법으로 나노로드 구조체를 마련하는 단계 및 상기 나노로드 구조체를 포함하는 전자소자를 제조하는 단계를 포함할 수 있다. 여기서, 상기 나노로드 구조체를 포함하는 전자소자를 제조하는 단계는 복수의 나노로드 구조체를 구비한 나노로드 어레이를 형성하는 단계, 상기 나노로드 어레이의 제1 도전형 반도체에 전기적으로 연결된 제1 전극 부재를 형성하는 단계 및 상기 나노로드 어레이의 제2 도전형 반도체에 전기적으로 연결된 제2 전극 부재를 형성하는 단계를 포함할 수 있다. 그 밖에 전자소자의 제조방법은 일반적인 방법을 따를 수 있다. 상기한 전자소자는, 예를 들어, LED 디스플레이를 포함할 수 있다. 상기 LED 디스플레이는 TV, 스마트폰 등 다양한 디스플레이 분야에 적용될 수 있다. 그러나, 상기 전자소자의 종류나 적용 분야는 전술한 바에 한정되지 않고 다양하게 변화될 수 있다.
- [0094] 이상에서 설명한 본 발명의 실시예에 따르면, 나노로드 구조체의 손상을 방지 또는 최소화하면서 기판으로부터 나노로드 구조체를 용이하게 분리할 수 있는 나노로드 구조체의 제조방법을 구현할 수 있다. 이러한 실시예에 따르면, 나노로드 구조체와 기판의 분리가 용이하기 때문에, 나노로드 구조체의 분리에 있어서, 기존에 사용하기 어려웠던 다양한 방법을 적용할 수 있다. 또한, 본 발명의 실시예에 따르면, 상기한 나노로드 구조체의 제조방법을 적용하여 우수한 성능을 갖는 전자소자(예컨대, LED 디스플레이 소자)를 용이하게 제조할 수 있다.
- [0095] 본 명세서에서는 본 발명의 바람직한 실시예에 대하여 개시하였으며, 비록 특정 용어들이 사용되었으나, 이는 단지 본 발명의 기술 내용을 쉽게 설명하고 발명의 이해를 돕기 위한 일반적인 의미에서 사용된 것이지, 본 발명의 범위를 한정하고자 하는 것은 아니다. 여기에 개시된 실시예 외에도 본 발명의 기술적 사상에 바탕을 둔 다른 변형예들이 실시 가능하다는 것은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 자명한 것이다. 예를 들어, 해당 기술 분야에서 통상의 지식을 가진 자라면, 도 1a 내지 도 6 및 도 9a 내지 도 13을 참조하여 설명한 실시예에 따른 나노로드 구조체의 제조방법 및 이를 적용한 전자소자의 제조방법은 다양하게 변형될 수 있음을 알 수 있을 것이다. 때문에 발명의 범위는 설명된 실시예에 의하여 정하여 질 것이 아니고 특허 청구범위에 기재된 기술적 사상에 의해 정하여져야 한다.

## 부호의 설명

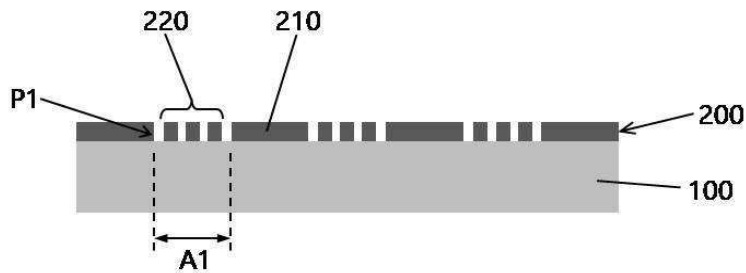
[0096]

\* 도면의 주요 부분에 대한 부호설명 \*

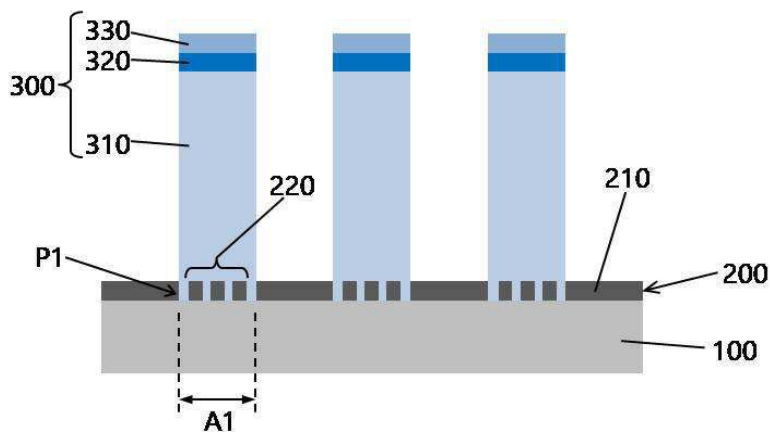
|                   |                      |
|-------------------|----------------------|
| 100, 105 : 기판     | 135 : 버퍼층            |
| 165 : 반도체층        | 200 : 마스크층           |
| 205 : 마스크 패턴층     | 210 : 메인 마스크 패턴      |
| 220 : 보조 마스크 패턴   | 300, 305A : 나노로드 구조체 |
| 305 : 물질층         | 310 : 제1 도전형 반도체     |
| 315 : 제1 도전형 반도체층 | 320 : 활성층            |
| 325 : 활성물질층       | 330 : 제2 도전형 반도체     |
| 335 : 제2 도전형 반도체층 | 350 : 나노로드 구조체       |
| 360 : 제1 도전형 반도체  | 370 : 활성층            |
| 380 : 제2 도전형 반도체  | A1 : 제1 영역           |
| P1 : 제1 개구부       | S10 : 하부구조체          |

도면

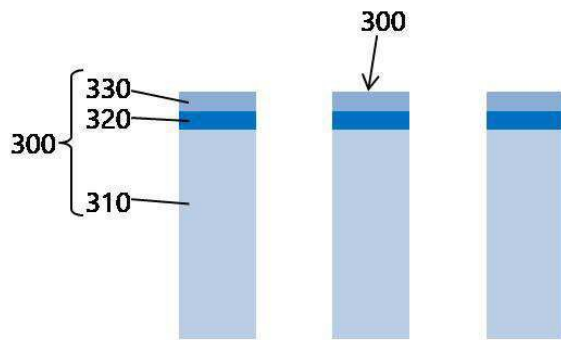
도면1a



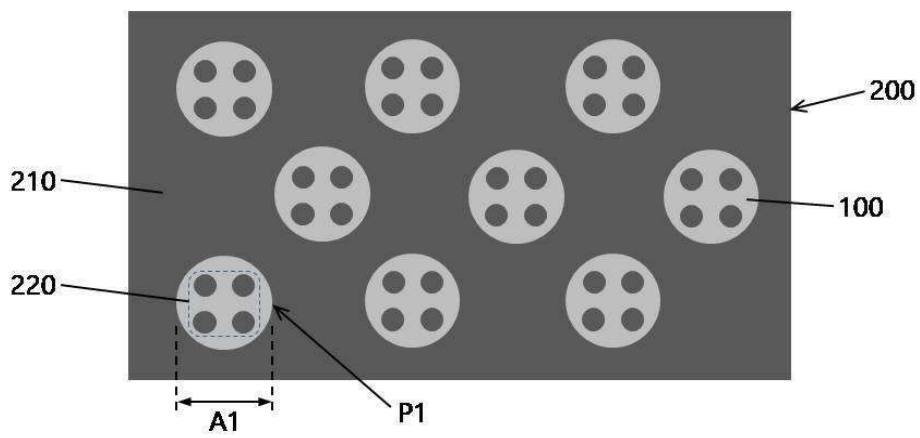
도면1b



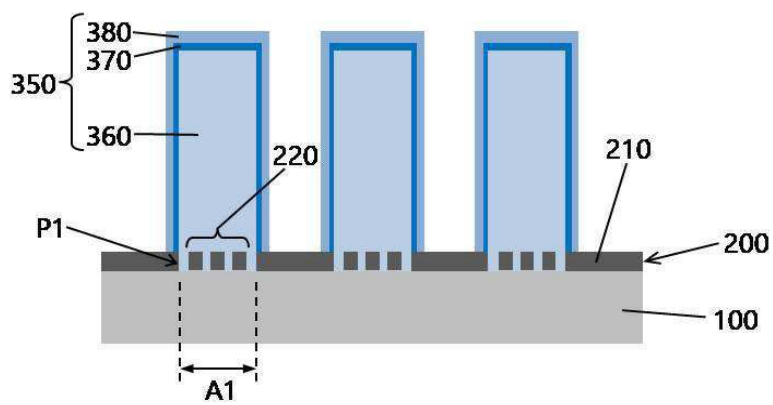
도면1c



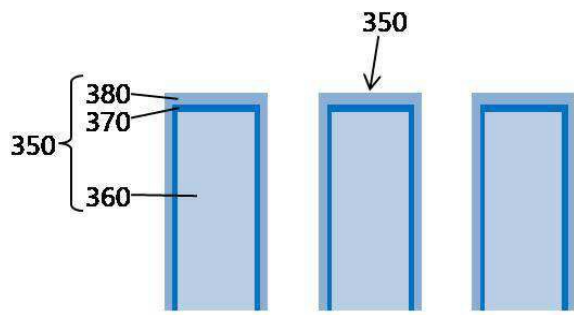
도면2



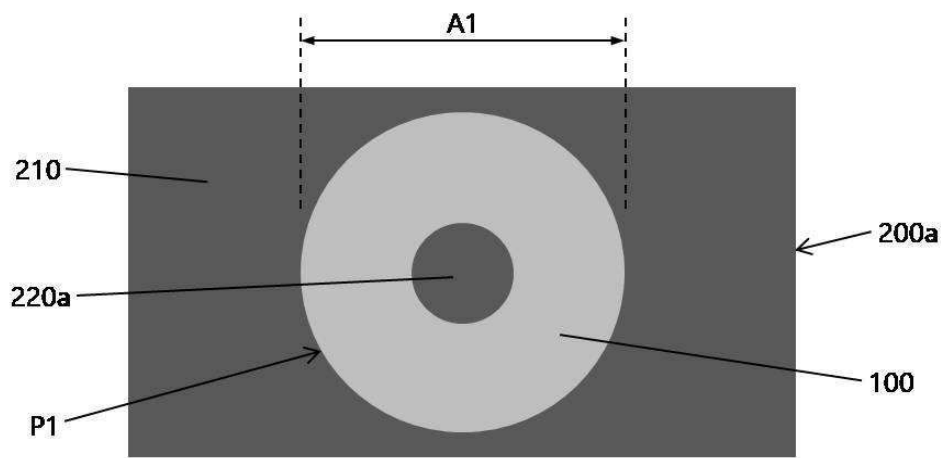
도면3a



도면3b

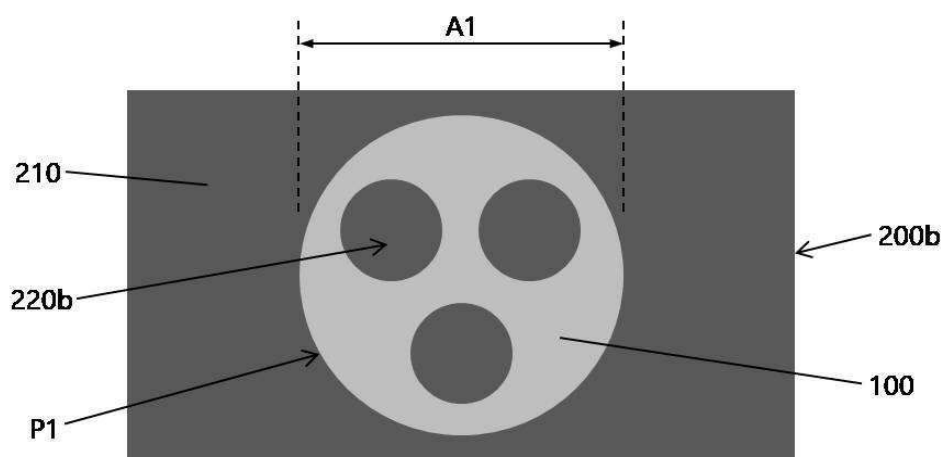


도면4



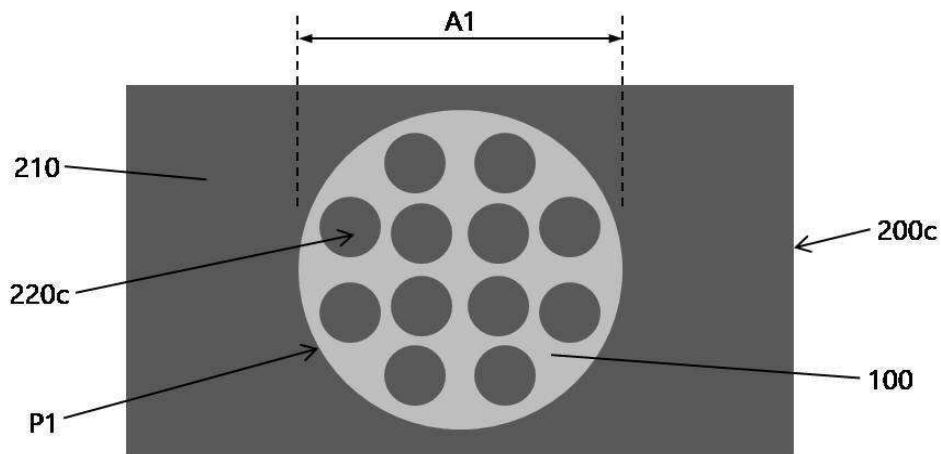
< 나노로드 단면적의 10% >

도면5



< 나노로드 단면적의 30% >

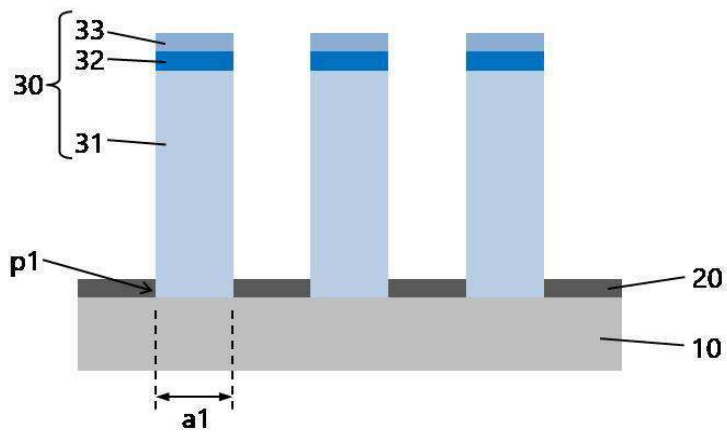
도면6



< 나노로드 단면적의 50% >

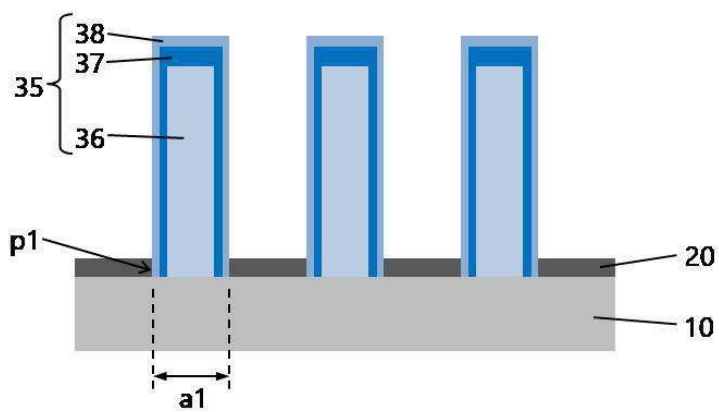
도면7

< 비교예 >

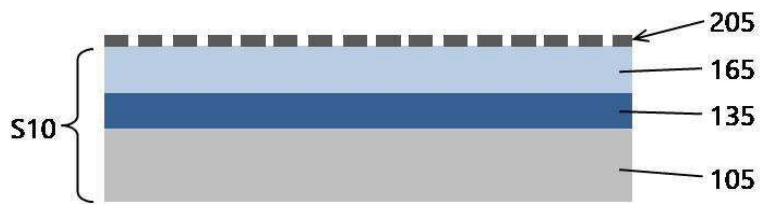


도면8

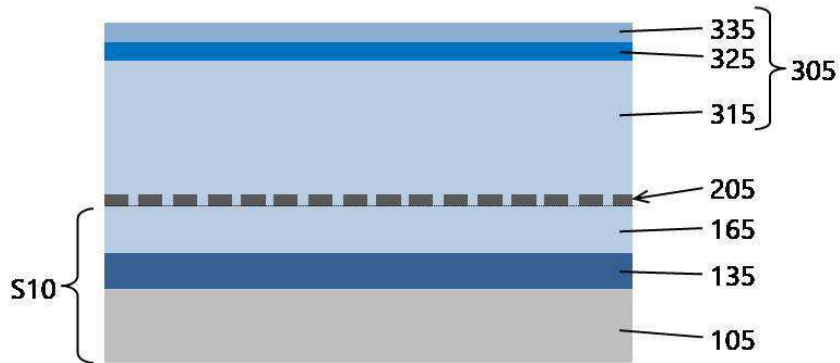
< 비교예 >



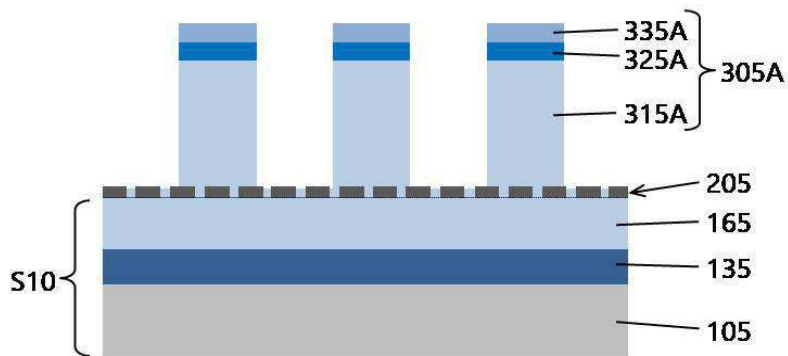
도면9a



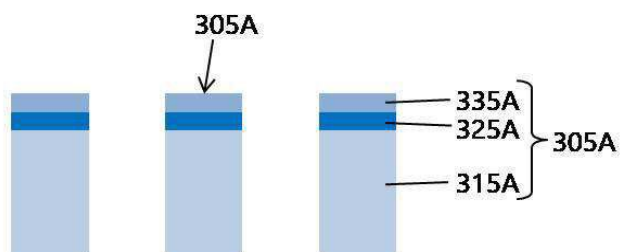
도면9b



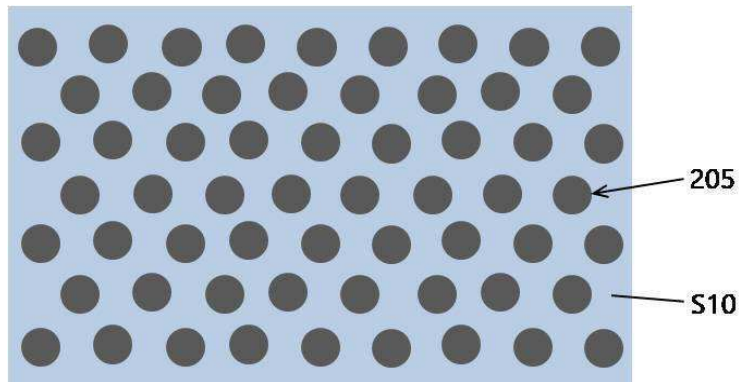
도면9c



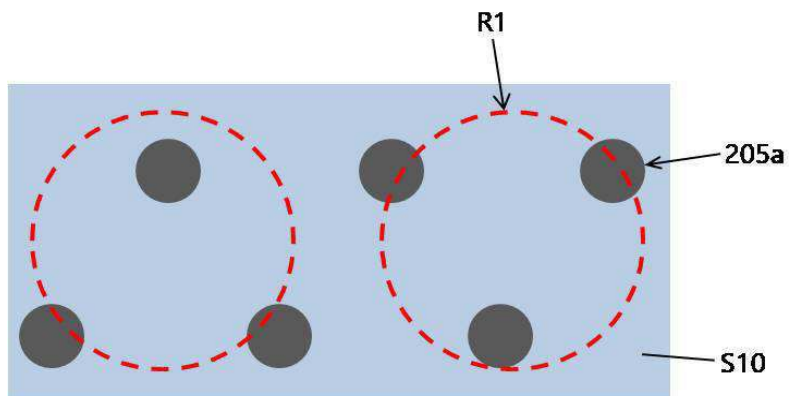
도면9d



도면10

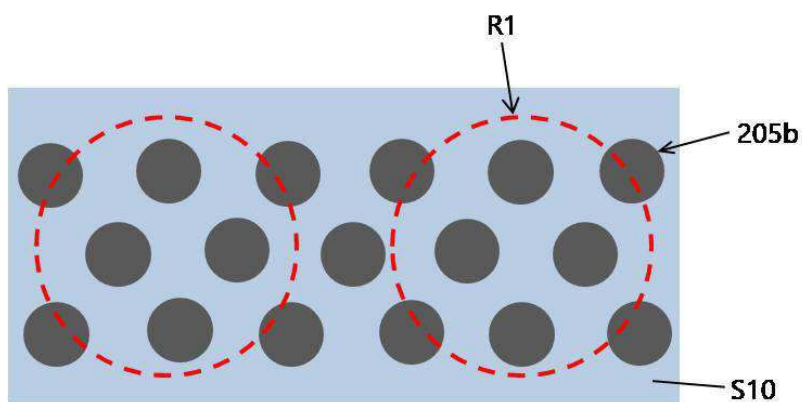


도면11



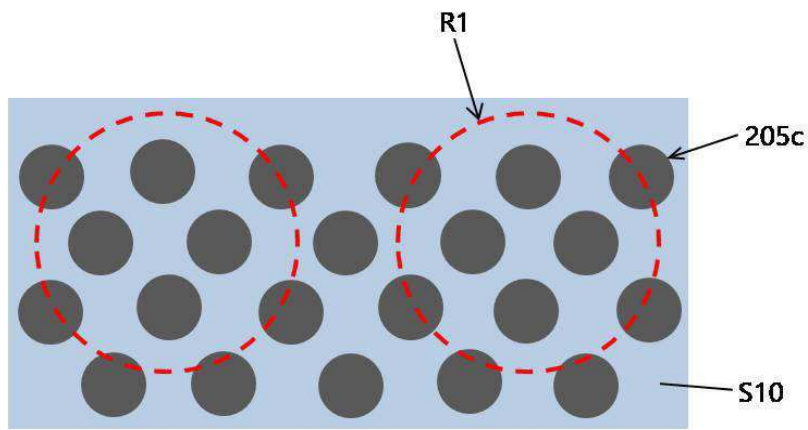
< 나노로드 단면적의 10% >

도면12



< 나노로드 단면적의 40% >

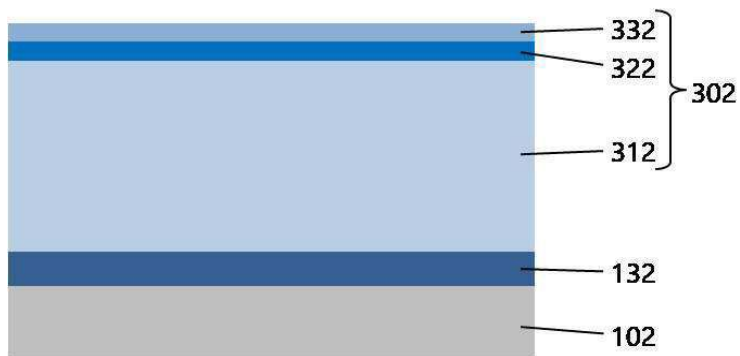
도면13



< 나노로드 단면적의 60% >

도면14a

< 비교예 >



도면14b

< 비교예 >

