

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5132169号
(P5132169)

(45) 発行日 平成25年1月30日 (2013. 1. 30)

(24) 登録日 平成24年11月16日 (2012. 11. 16)

(51) Int. Cl.

F I

H O 1 L 29/786 (2006. 01)

H O 1 L 29/78 6 1 6 S

H O 1 L 21/336 (2006. 01)

H O 1 L 29/78 6 1 6 V

H O 1 L 21/28 (2006. 01)

H O 1 L 29/78 6 1 6 J

H O 1 L 29/417 (2006. 01)

H O 1 L 21/28 3 O 1 S

H O 1 L 21/28 L

請求項の数 4 (全 50 頁) 最終頁に続く

(21) 出願番号 特願2007-74389 (P2007-74389)
 (22) 出願日 平成19年3月22日 (2007. 3. 22)
 (65) 公開番号 特開2007-294913 (P2007-294913A)
 (43) 公開日 平成19年11月8日 (2007. 11. 8)
 審査請求日 平成22年2月3日 (2010. 2. 3)
 (31) 優先権主張番号 特願2006-100263 (P2006-100263)
 (32) 優先日 平成18年3月31日 (2006. 3. 31)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷 3 9 8 番地
 (74) 代理人 100082669
 弁理士 福田 賢三
 (74) 代理人 100095337
 弁理士 福田 伸一
 (74) 代理人 100095061
 弁理士 加藤 恭介
 (72) 発明者 丸山 穂高
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 秋元 健吾
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項 1】

基板上に、下地膜を形成し、
 前記下地膜上に、島状半導体膜を形成し、
 前記島状半導体膜上に、ゲート絶縁膜を形成し、
 前記ゲート絶縁膜上に、ゲート電極を形成し、
 前記島状半導体膜の両端部の上に、一対のレジストマスクを形成し、
 前記レジストマスクおよび前記ゲート電極をマスクとして、前記島状半導体膜に一導電型を付与する元素を導入することにより、前記島状半導体膜中にチャネル形成領域、前記チャネル形成領域を挟み、前記レジストマスクの下方に位置する一対の接続領域、および前記チャネル形成領域と前記接続領域との間に位置するソース領域またはドレイン領域を形成し、
 前記レジストマスクを除去し、
 前記ゲート電極の側面にサイドウォールを形成し、
 前記島状半導体膜および前記サイドウォールを覆って、金属膜を形成し、
 前記島状半導体膜および前記金属膜を加熱することにより、前記接続領域の表面近傍に第1のシリサイド領域を形成するとともに前記ソース領域またはドレイン領域の表面近傍の一部に第2のシリサイド領域を形成し、
 前記島状半導体膜、前記ゲート電極および前記サイドウォールを覆う層間絶縁膜を形成し、

10

20

前記層間絶縁膜中に、前記第1のシリサイド領域に到達するコンタクトホールを形成し、

前記層間絶縁膜上に、前記コンタクトホールを介して、前記第1のシリサイド領域に電氣的に接続するソース電極またはドレイン電極を形成することを特徴とする半導体装置の作製方法。

【請求項2】

基板上に、下地膜を形成し、

前記下地膜上に、第1の島状半導体膜および第2の島状半導体膜を形成し、

前記第1の島状半導体膜および前記第2の島状半導体膜の上に、それぞれ第1のゲート絶縁膜および第2のゲート絶縁膜を形成し、

前記第1のゲート絶縁膜および前記第2のゲート絶縁膜の上に、それぞれ第1のゲート電極および第2のゲート電極を形成し、

前記第1の島状半導体膜の両端部の上に一对の第1のレジストマスクを形成するとともに、前記第2の島状半導体膜および前記第2のゲート電極の上に第2のレジストマスクを形成し、

前記第1のレジストマスク、前記第1のゲート電極および前記第2のレジストマスクをマスクとして、前記第1の島状半導体膜にn型を付与する元素を導入することにより、前記第1の島状半導体膜中に第1のチャンネル形成領域、前記第1のチャンネル形成領域を挟み、前記第1のレジストマスクの下方に位置する一对の接続領域、および前記第1のチャンネル形成領域と前記接続領域との間に位置する第1のソース領域またはドレイン領域を形成し、

前記第1のレジストマスクおよび前記第2のレジストマスクを除去し、

前記第1の島状半導体膜および前記第1のゲート電極の上に第3のレジストマスクを形成し、

前記第3のレジストマスクおよび前記第2のゲート電極をマスクとして、前記第2の島状半導体膜にp型を付与する元素を導入することにより、前記第2の島状半導体膜中に第2のチャンネル形成領域、および前記第2のチャンネル形成領域を挟む第2のソース領域またはドレイン領域を形成し、

前記第3のレジストマスクを除去し、

前記第1のゲート電極および第2のゲート電極の側面に、それぞれ第1のサイドウォールおよび第2のサイドウォールを形成し、

前記第1の島状半導体膜、前記第1のサイドウォール、前記第2の島状半導体膜、および前記第2のサイドウォールを覆って、金属膜を形成し、

前記第1の島状半導体膜、前記第2の島状半導体膜、および前記金属膜を加熱することにより、前記第1の島状半導体膜において前記接続領域の表面近傍に第1のシリサイド領域を形成するとともに前記第1のソース領域またはドレイン領域の表面近傍の一部に第2のシリサイド領域を形成し、前記第2の島状半導体膜において前記第2のソース領域またはドレイン領域の表面近傍の一部に第3のシリサイド領域を形成し、

前記第1の島状半導体膜、前記第1のゲート電極、前記第1のサイドウォール、前記第2の島状半導体膜、前記第2のゲート電極、および前記第2のサイドウォールを覆う層間絶縁膜を形成し、

前記層間絶縁膜中に、前記第1のシリサイド領域および前記第3のシリサイド領域にそれぞれ達する第1のコンタクトホールおよび第2のコンタクトホールを形成し、

前記層間絶縁膜上に、前記第1のコンタクトホールを介して前記第1のシリサイド領域に電氣的に接続する第1のソース電極またはドレイン電極と、前記第2のコンタクトホールを介して前記第3のシリサイド領域に電氣的に接続する第2のソース電極またはドレイン電極を形成することを特徴とする半導体装置の作製方法。

【請求項3】

請求項1または請求項2において、

前記一導電型を付与する元素は、n型を付与する元素であることを特徴とする半導体装

10

20

30

40

50

置の作製方法。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか 1 項において、

前記金属膜は、チタン (Ti)、ニッケル (Ni)、コバルト (Co)、タングステン (W)、または白金 (Pt) のいずれか 1 つであることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の作製方法に関するものである。

10

【背景技術】

【0002】

近年、基板上に半導体装置、例えば薄膜トランジスタ (Thin Film Transistor、以下、「TFT」と記す) を製造する技術が大幅に進歩し、例えば、アクティブマトリクス型の表示装置への応用開発が進められている。特に結晶性半導体膜を用いた TFT は、従来の非晶質半導体膜を用いた TFT よりも電界効果移動度 (モビリティともいう) が高いので、高速動作が可能である。

【0003】

基板上に TFT を作成する例として、下地膜、活性層、ゲート絶縁膜、ゲート電極、層間絶縁膜、ソース電極またはドレイン電極という順で形成しているものが挙げられる。この TFT の応答速度をさらに上げるためには、デザインルールを縮小するほか、活性層のソース領域またはドレイン領域にシリサイドを形成し、ソース電極またはドレイン電極との接触抵抗を下げる手段が考えられる。

20

【0004】

このようなシリサイドを形成するためには、一般的に、チタン (Ti)、ニッケル (Ni)、コバルト (Co)、タングステン (W)、白金 (Pt) 等が用いられる (特許文献 1 参照)。

【特許文献 1】特開平 10 - 98199 号公報

【発明の開示】

【発明が解決しようとする課題】

30

【0005】

TFT を作製する工程には、活性層に一導電性を付与する元素を添加し、金属膜を形成後、シリサイド形成を行い、層間絶縁膜を形成し、さらにソース電極またはドレイン電極を形成する工程が含まれる。

【0006】

ところが、ソース電極またはドレイン電極を形成する過程で、層間絶縁膜にコンタクトホールが形成し、その後シリサイドと電氣的抵抗が小さくなるよう、シリサイド表面の酸化膜をフッ酸等で除去する工程が含まれる。

【0007】

このシリサイド表面の酸化膜を除去する工程を行うと、フッ酸等によりシリサイドが消失する可能性があることが分かった。具体的には n 型を付与する元素を添加後、シリサイドを形成し、エッチングによりシリサイド表面の酸化膜 (主に酸化珪素) 除去を行うと、シリサイドがコンタクトホール底部のみ消失してしまうことが分かった。

40

【0008】

そこで本発明の課題は、コンタクトホール底部のシリサイドを消失させることなく、ソース電極またはドレイン電極とシリサイドの電氣的接触を良好にすることにある。

【課題を解決するための手段】

【0009】

本発明は、層間絶縁膜中のコンタクトホールにより露出される活性層中の領域に、n 型を付与する元素を添加しないことにより、シリサイドを消失させないことを特徴とする。

50

【 0 0 1 0 】

本発明は、基板上に、島状半導体膜と、前記島状半導体膜中に、チャネル形成領域と、ソース領域またはドレイン領域と、前記ソース領域またはドレイン領域よりも低濃度で一導電性を付与する不純物を含んでいる接続領域と、前記ソース領域またはドレイン領域の一部の表面近傍と前記接続領域の表面近傍に形成されたシリサイド領域と、前記島状半導体膜上に、ゲート絶縁膜と、前記ゲート絶縁膜上に、ゲート電極と、前記ゲート絶縁膜と前記ゲート電極の側面に形成されたサイドウォールと、前記島状半導体膜、前記ゲート絶縁膜、前記ゲート電極及び前記サイドウォールを覆う層間絶縁膜と、前記層間絶縁膜上に形成され、前記層間絶縁膜中に形成されたコンタクトホールを介して、前記接続領域の表面近傍のシリサイド領域に電氣的に接続されるソース電極またはドレイン電極とを有することを特徴とする半導体装置の作製方法に関するものである。

10

【 0 0 1 1 】

また本発明は、基板上に、第1の島状半導体膜及び第2の島状半導体膜と前記第1の島状半導体膜中に、第1のチャネル形成領域と、nを付与する不純物を含む第1のソース領域またはドレイン領域と、前記第1のソース領域またはドレイン領域よりも低濃度で前記不純物を含んでいる接続領域と、前記第1のソース領域またはドレイン領域の一部の表面近傍と前記接続領域表面近傍に形成された第1のシリサイド領域と、前記第1の島状半導体膜上に、第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に、第1のゲート電極と、前記第1のゲート絶縁膜と前記第1のゲート電極の側面に形成された第1のサイドウォールと、前記第2の島状半導体膜中に、第2のチャネル形成領域と、p型を付与する不純物を含む第2のソース領域またはドレイン領域と、前記第2のソース領域またはドレイン領域の一部の表面近傍に形成された第2のシリサイド領域と、前記第2の島状半導体膜上に、第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に、第2のゲート電極と、前記第2のゲート絶縁膜と前記第2のゲート電極の側面に形成された第2のサイドウォールと、前記第1及び第2の島状半導体膜、前記第1及び第2のゲート絶縁膜、前記第1及び第2のゲート電極及び前記第1及び第2のサイドウォールを覆う層間絶縁膜と、前記層間絶縁膜上に形成され、前記層間絶縁膜中に形成されたコンタクトホールを介して、前記接続領域の表面近傍のシリサイド領域に電氣的に接続される第1の電極と、前記層間絶縁膜上に形成され、前記層間絶縁膜中に形成されたコンタクトホールを介して、前記第2のソース領域またはドレイン領域の一方の一部の表面近傍に形成された第2のシリサイド領域に電氣的に接続される第2の電極と、前記層間絶縁膜上に形成され、前記層間絶縁膜中に形成されたコンタクトホールを介して、前記第1の電極とは別の、前記接続領域の表面近傍の第1のシリサイド領域に電氣的に接続され、かつ、前記第2のソース領域またはドレイン領域の他方の一部の表面近傍に形成された第2のシリサイド領域に電氣的に接続される第3の電極とを有することを特徴とする半導体装置の作製方法に関するものである。

20

30

【 0 0 1 2 】

本発明において、前記シリサイド領域は、チタン(Ti)、ニッケル(Ni)、コバルト(Co)、タングステン(W)、または白金(Pt)のシリサイドを含むものである。

【 0 0 1 3 】

また本発明は、基板上に、下地膜を形成し、前記下地膜上に、島状半導体膜を形成し、前記島状半導体膜上に、ゲート絶縁膜を形成し、前記ゲート絶縁膜上に、ゲート電極を形成し、前記島状半導体膜の一部の上に、レジストを形成し、前記レジストをマスクとして、前記島状半導体膜に一導電性を付与する元素を導入し、前記元素を導入することにより、前記島状半導体膜中に、チャネル形成領域と、ソース領域またはドレイン領域と、前記レジストが形成された前記島状半導体膜の一部に接続領域を形成し、前記ゲート絶縁膜及び前記ゲート電極の側面に、サイドウォールを形成し、前記島状半導体膜及び前記サイドウォールを覆って、金属膜を形成し、前記島状半導体膜及び前記金属膜を加熱して、前記ソース領域またはドレイン領域の一部の表面近傍及び前記接続領域の表面近傍に、シリサイド領域を形成し、前記島状半導体膜、前記ゲート絶縁膜、前記ゲート電極及び前記サイドウォールを覆う層間絶縁膜を形成し、前記層間絶縁膜中に、前記接続領域の表面近傍の

40

50

シリサイド領域に到達するコンタクトホールを形成し、前記コンタクトホールを介して、前記接続領域の表面近傍のシリサイド領域に電氣的に接続するソース電極またはドレイン電極を形成することを特徴とする半導体装置の作製方法に関するものである。

【 0 0 1 4 】

本発明において、前記金属膜は、チタン (T i)、ニッケル (N i)、コバルト (C o)、タングステン (W)、または白金 (P t) のいずれか 1 つである。

【 0 0 1 5 】

本発明において、前記一導電型を付与する元素は、 n 型を付与する元素である。

【 0 0 1 6 】

なお本明細書において、半導体装置とは、半導体を利用することで機能する素子及び装置全般を指し、液晶表示装置等を含む電気光学装置およびその電気光学装置を搭載した電子機器をその範疇とする。

【発明の効果】

【 0 0 1 7 】

本発明により、シリサイドをエッチングにより消失させることを防ぎ、ソース電極またはドレイン電極とシリサイドの電氣的接触を良好にさせることができる。

【 0 0 1 8 】

また本発明により作製された半導体装置は、駆動速度が速く、かつ高い信頼性を有することができる。

【発明を実施するための最良の形態】

【 0 0 1 9 】

[実施の形態 1]

本実施の形態では、図 1、図 2 (A) ~ 図 2 (C)、図 3 (A) ~ 図 3 (D)、図 4 (A) ~ 図 4 (C)、図 5 (A) ~ 図 5 (B) を用いて、本発明の半導体装置について説明する。

【 0 0 2 0 】

ただし本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同じものを指す符号は異なる図面間で共通して用いる。

【 0 0 2 1 】

図 1 に本実施の形態の薄膜トランジスタの構成を示す。基板 1 0 1 上に下地膜 1 0 2 が形成され、下地膜 1 0 2 上には活性層である島状半導体膜 1 1 7 が形成されている。

【 0 0 2 2 】

島状半導体膜 1 1 7 中には、チャネル形成領域 1 0 3、低濃度不純物領域 (L D D (L i g h t l y D o p e d D r a i n) 領域ともいう) 1 0 4、高濃度不純物領域であるソース領域またはドレイン領域 1 0 5、そして一導電型を有する元素、本実施の形態では n 型を付与する不純物が添加されていない、接続領域 1 0 7 が含まれている。なお低濃度不純物領域 1 0 4 は、必要でないのなら設けなくてもよい。

【 0 0 2 3 】

ただし、必要であれば、接続領域 1 0 7 にも、シリサイドが消失しない程度に一導電型を有する元素が含まれていても構わない。すなわち、接続領域 1 0 7 は、表面にシリサイドが形成されており、かつ前記ソース領域またはドレイン領域よりも低濃度で一導電型を付与する不純物を含んでいることとなる。

【 0 0 2 4 】

島状半導体膜 1 1 7 上には、ゲート絶縁膜 1 0 8 が設けられ、さらにその上にはゲート電極 1 1 1 が形成されている。ゲート電極 1 1 1 の側部には、絶縁膜からなるサイドウォール 1 1 2 が形成されている。

【 0 0 2 5 】

10

20

30

40

50

島状半導体膜 117 のソース領域またはドレイン領域 105 の一部の表面近傍、及び接続領域 107 の表面近傍には、シリサイド領域 106 が形成される。シリサイド領域 106 の一方の端部は、サイドウォール 112 の端部と一致していてもよい。

【0026】

図 1 の半導体装置の作製方法の例を、以下に説明する。

【0027】

まず図 2 (A) に示すように、基板 101 上に下地膜 102 を成膜する。基板 101 には、例えばバリウムホウケイ酸ガラスや、アルミノホウケイ酸ガラスなどのガラス基板、石英基板、ステンレス基板等を用いることができる。また、PET (poly (ethylene terephthalate))、PES (poly (ether sulfone))、PEN (poly (ethylene Naphthalate)) に代表されるプラスチックや、アクリル等の可撓性を有する合成樹脂からなる基板を用いることも可能である。

【0028】

下地膜 102 は基板 101 中に含まれる Na などのアルカリ金属やアルカリ土類金属が、半導体膜中に拡散し、半導体素子の特性に悪影響を及ぼすのを防ぐために設ける。よってアルカリ金属やアルカリ土類金属の半導体膜への拡散を抑えることができる窒化珪素、窒素を含む酸化珪素などの絶縁膜を用いて形成する。本実施の形態では、プラズマ CVD 法を用いて酸化珪素膜を 10 ~ 100 nm (好ましくは 20 ~ 70 nm、さらに好ましくは 50 nm)、並びに、窒素を含む酸化珪素膜を 10 nm ~ 400 nm (好ましくは 50 nm ~ 300 nm、さらに好ましくは 100 nm) の膜厚になるように積層して成膜する。

【0029】

なお下地膜 102 は窒化珪素、窒素を含む酸化珪素、酸素を含む窒化珪素などの絶縁膜単層であっても、酸化珪素、窒化珪素、窒素を含む酸化珪素、酸素を含む窒化珪素などの絶縁膜を複数積層したものであっても良い。またガラス基板、ステンレス基板またはプラスチック基板のように、アルカリ金属やアルカリ土類金属が多少なりとも含まれている基板を用いる場合、不純物の拡散を防ぐという観点から下地膜を設けることは有効であるが、石英基板など不純物の拡散がさして問題とならない場合は、必ずしも設ける必要はない。

【0030】

次に下地膜 102 上に半導体膜 121 を形成する。半導体膜 121 の膜厚は 25 nm ~ 100 nm (好ましくは 30 nm ~ 80 nm、) とする。なお半導体膜 121 は、非晶質半導体であっても良いし、多結晶半導体であっても良い。また半導体はシリコン (Si) だけではなくシリコンゲルマニウム (SiGe) も用いることができる。シリコンゲルマニウムを用いる場合、ゲルマニウムの濃度は 0.01 ~ 4.5 atomic % 程度であることが好ましい。本実施の形態では、半導体膜 121 として非晶質珪素膜を 66 nm の厚さで成膜する。

【0031】

次に図 2 (B) に示すように、半導体膜 121 にレーザ照射装置から線状ビーム 125 を照射し、結晶化を行なう。

【0032】

レーザ結晶化を行なう場合、レーザ結晶化の前に、レーザに対する半導体膜 121 の耐性を高めるために、500 、1時間の加熱処理を半導体膜 121 に加えてもよい。

【0033】

レーザ結晶化は、連続発振のレーザ、または擬似 CW レーザとして、発振周波数が 10 MHz 以上、好ましくは 80 MHz 以上のパルス発振レーザを用いることができる。

【0034】

具体的には、連続発振のレーザとして、Ar レーザ、Kr レーザ、CO₂ レーザ、YAG レーザ、YVO₄ レーザ、フォルステライト (Mg₂SiO₄) レーザ、YLF レーザ

、 YAlO_3 レーザ、 GdVO_4 レーザ、 Y_2O_3 レーザ、アレキサンドライトレーザ、 Ti ：サファイアレーザ、ヘリウムカドミウムレーザ、多結晶（セラミック）の YAG 、 Y_2O_3 、 YVO_4 、 YAlO_3 、 GdVO_4 にドーパントとして Nd 、 Yb 、 Cr 、 Ti 、 Ho 、 Er 、 Tm 、 Ta のうち1種または複数種添加されているものを媒質とするレーザなどが挙げられる。

【0035】

また擬似CWレーザとして、発振周波数が10MHz以上、好ましくは80MHz以上のパルス発振させることができるのであれば、 Ar レーザ、 Kr レーザ、エキシマレーザ、 CO_2 レーザ、 YAG レーザ、 Y_2O_3 レーザ、 YVO_4 レーザ、フォルステライト(Mg_2SiO_4)レーザ、 YLF レーザ、 YAlO_3 レーザ、 GdVO_4 レーザ、アレキ
10
サンドライトレーザ、 Ti ：サファイアレーザ、銅蒸気レーザまたは金蒸気レーザ、多結晶（セラミック）の YAG 、 Y_2O_3 、 YVO_4 、 YAlO_3 、 GdVO_4 にドーパントとして Nd 、 Yb 、 Cr 、 Ti 、 Ho 、 Er 、 Tm 、 Ta のうち1種または複数種添加されているものを媒質とするレーザのようなパルス発振レーザを用いることができる。

【0036】

このようなパルス発振レーザは、発振周波数を増加させていくと、いずれは連続発振レーザと同等の効果を示すものである。

【0037】

例えば連続発振が可能な固体レーザを用いる場合、第2高調波～第4高調波のレーザ光を照射することで、大粒径の結晶を得ることができる。代表的には、 YAG レーザ（基本
20
波1064nm）の第2高調波（532nm）や第3高調波（355nm）を用いるのが望ましい。例えば、連続発振の YAG レーザから射出されたレーザ光を非線形光学素子により高調波に変換して、半導体膜121に照射する。パワー密度は0.01～100MW/cm²程度（好ましくは0.1～10MW/cm²）とすれば良い。そして走査速度を10～2000cm/sec程度として照射する。

【0038】

なお、単結晶の YAG 、 YVO_4 、フォルステライト(Mg_2SiO_4)、 YAlO_3 、 GdVO_4 、若しくは多結晶（セラミック）の YAG 、 Y_2O_3 、 YVO_4 、 YAlO_3 、 GdVO_4 に、ドーパントとして Nd 、 Yb 、 Cr 、 Ti 、 Ho 、 Er 、 Tm 、 Ta のうち1種または複数種添加されているものを媒質とするレーザ、 Ar レーザ、 Kr レー
30
ザ、または Ti ：サファイアレーザは、連続発振をさせることが可能なものであり、Qスイッチ動作やモード同期などを行うことによってパルス発振をさせることも可能である。10MHz以上の発振周波数でレーザビームを発振させると、半導体膜がレーザによって溶解してから固化するまでの間に、次のパルスが半導体膜に照射される。従って、発振周波数が低いパルスレーザを用いる場合と異なり、半導体膜中において固液界面を連続的に移動させることができるため、走査方向に向かって連続的に成長した結晶粒を得ることができる。

【0039】

媒質としてセラミック（多結晶）を用いると、短時間かつ低コストで自由な形状に媒質を形成することが可能である。単結晶を用いる場合、通常、直径数mm、長さ数十mmの円柱状の媒質が用いられているが、セラミックを用いる場合はさらに大きいものを作ること
40
が可能である。

【0040】

発光に直接寄与する媒質中の Nd 、 Yb などのドーパントの濃度は、単結晶中でも多結晶中でも大きくは変えられないため、濃度を増加させることによるレーザの出力向上にはある程度限界がある。しかしながら、セラミックの場合、単結晶と比較して媒質の大きさを著しく大きくすることができるため大幅な出力が向上する可能性がある。

【0041】

さらに、セラミックの場合では、平行六面体形状や直方体形状の媒質を容易に形成することが可能である。このような形状の媒質を用いて、発振光を媒質の内部でジグザグに進
50

行させると、発振光路を長くとることができる。そのため、増幅が大きくなり、大出力で発振させることが可能になる。また、このような形状の媒質から射出されるレーザービームは射出時の断面形状が四角形状であるため、丸状のビームと比較すると、線状ビームに整形するのに有利である。このように射出されたレーザービームを、光学系を用いて整形することによって、短辺の長さ1 mm以下、長辺の長さ数mm～数mの線状ビームを容易に得ることが可能となる。また、励起光を媒質に均一に照射することにより、線状ビームは長辺方向にエネルギー分布の均一なものとなる。

【0042】

この線状ビームを半導体膜に照射することによって、半導体膜の全面をより均一にアニールすることが可能になる。線状ビームの両端まで均一なアニールが必要な場合は、その両端にスリットを配置し、エネルギーの減衰部を遮光するなどの工夫が必要となる。

10

【0043】

上述した半導体膜121へのレーザー光の照射により、結晶性がより高められた結晶性半導体膜122が形成される。

【0044】

次に、図2(C)に示すように結晶性半導体膜122を用いて島状半導体膜117を形成する。この島状半導体膜117は、以降の工程で形成されるTFETの活性層となる。

【0045】

次に島状半導体膜にしきい値電圧制御のための不純物を導入する。本実施の形態においてはジボラン(B_2H_6)をドーピングすることによってホウ素(B)を島状半導体膜中に導入する。

20

【0046】

次に島状半導体膜117上にゲート絶縁膜108を成膜する。ゲート絶縁膜108には、例えば膜厚10～110 nmの酸化珪素、窒化珪素または窒素を含んだ酸化珪素等を用いることができる。また成膜方法は、プラズマCVD法、スパッタ法などを用いることができる。本実施の形態では、プラズマCVD法で、膜厚20 nmで成膜した窒素を含む酸化珪素膜を用いてゲート絶縁膜108を形成する。

【0047】

次に、ゲート絶縁膜108上に導電膜を成膜した後、導電膜を用いて、ゲート電極111を形成する(図3(A)参照)。

30

【0048】

ゲート電極111は、導電膜を単層または2層以上積層させた構造を用いて形成する。導電膜を2層以上積層させている場合は、タンタル(Ta)、タングステン(W)、チタン(Ti)、モリブデン(Mo)、アルミニウム(Al)から選ばれた元素、または前記元素を主成分とする合金材料、若しくは化合物材料を積層させてゲート電極111を形成してもよい。また、リン(P)等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてゲート電極を形成してもよい。本実施の形態では、タングステン膜を400 nm成膜したものをを用いてゲート電極111を形成する。

【0049】

ゲート電極111は、ゲート配線の一部として形成してもよいし、別にゲート配線を形成して、そのゲート配線にゲート電極111を接続してもよい。

40

【0050】

次に島状半導体膜117の、後に接続領域107となる領域上に、レジスト127を形成する。これにより接続領域107に一導電性を付与する元素を添加させないようにする。

【0051】

そして、ゲート電極111、ゲート絶縁膜108及びレジスト127をマスクとして用い、島状半導体膜117に一導電性を付与する不純物を添加し、ソース領域、ドレイン領域、さらには低濃度不純物領域等を形成する。

【0052】

一導電性を付与する不純物として、n型を付与する不純物であれば、リン(P)やヒ素

50

(As)を用いればよい。またp型を付与する不純物であれば、ホウ素(B)を用いればよい。本実施の形態では、まず、第1の添加工程として、フォスフィン(PH₃)を用いて、リン(P)を、印加電圧を40~120keV、ドーズ量を $1 \times 10^{13} \sim 1 \times 10^{15} \text{ cm}^{-2}$ として島状半導体膜117中に導入する。本実施の形態では、フォスフィンを用いて、印加電圧60keV、ドーズ量 $2.6 \times 10^{13} \text{ cm}^{-2}$ でリンを島状半導体膜117中に添加する。この不純物導入の際にチャネル形成領域103が形成される。

【0053】

さらに第2の添加工程として、島状半導体膜117中に、フォスフィン(PH₃)を用いて、印加電圧10~50keV、例えば20keV、ドーズ量 $5.0 \times 10^{14} \sim 2.5 \times 10^{16} \text{ cm}^{-2}$ 、例えば $3.0 \times 10^{15} \text{ cm}^{-2}$ で、リン(P)を導入する。これにより低濃度不純物領域104、及びソース領域またはドレイン領域105が形成される。さらに、レジスト127によって覆われた領域は、一導電性を付与する元素が添加されない接続領域107となる。さらにレジスト127を除去する(図3(C)参照)。

【0054】

低濃度不純物領域104とソース領域またはドレイン領域105との境界はゲート絶縁膜108の端部に一致している。すなわち低濃度不純物領域104の一方の端部、ソース領域またはドレイン領域105の一方の端部、及びゲート絶縁膜の端部は一致する。

【0055】

本実施の形態においては、TFTのソース領域またはドレイン領域105には、 $1 \times 10^{19} \sim 5 \times 10^{21} \text{ cm}^{-3}$ の濃度でリン(P)が含まれることとなる。またTFTの低濃度不純物領域104には、 $1 \times 10^{18} \sim 5 \times 10^{19} \text{ cm}^{-3}$ の濃度でリン(P)が含まれる。

【0056】

ただし、図3(B)に示すレジスト127を形成する前の状態で、第1の添加工程を行ってもよい。これにより、低濃度不純物領域104の不純物濃度が決まることとなる。次いでレジスト127を形成し、第2の添加工程を行ってもよい。これにより、ソース領域またはドレイン領域105の不純物濃度が決まることとなる。このような添加工程を行うと、接続領域107にも一導電性を付与する不純物元素が含まれることとなる。この場合は、接続領域107中の不純物濃度が、後の工程で形成されるシリサイドが消失しない程度であるように、第1の添加工程でのドーズ量及び印加電圧を制御する必要がある。

【0057】

その後図3(D)に示すように、ゲート電極111及びゲート絶縁膜108の側面を覆うように、絶縁膜、いわゆるサイドウォール112を形成する。

【0058】

サイドウォール112は、プラズマCVD法や減圧CVD(LPCVD)法を用いて、珪素を有する絶縁膜により形成することができる。本実施の形態では、プラズマCVD法により酸化珪素膜を膜厚50~200nm、好ましくは100nmで成膜し、次いで酸化珪素膜をエッチングすることにより、テーパ形状のサイドウォール112を形成する。またサイドウォール112は窒素を含む酸化珪素膜を用いて形成してもよい。

【0059】

またサイドウォール112の端部はテーパ形状を有さなくともよく、矩形状であってもよい。

【0060】

サイドウォール112を形成すると、ゲート電極111と、ソース領域またはドレイン領域105との間のショートを防ぐことができる。

【0061】

次に島状半導体膜117、ゲート絶縁膜108、ゲート電極111及びサイドウォール112を覆って、金属膜129を形成する(図4(A)参照)。

【0062】

金属膜129として、チタン(Ti)、ニッケル(Ni)、コバルト(Co)、タンゲ

10

20

30

40

50

ステン(W)、白金(Pt)等を用いることができる。本実施の形態では、金属膜129として、ニッケル膜を10nmの厚さで成膜する。

【0063】

次いで、金属膜129を形成した島状半導体膜117を、ファーネスアニール炉を用いる熱アニール法、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用して加熱する。これにより島状半導体膜117中にシリサイド領域106が形成される。特に、島状半導体膜117の、サイドウォール112、ゲート電極111、ゲート絶縁膜108に覆われていない、露出した領域の表面近傍に、シリサイド領域106が形成される。本実施の形態では、ラピッドサーマルアニール法により350以上の温度で加熱することによりシリサイド領域106を形成する。

10

【0064】

シリサイド領域106を形成したら、未反応の金属膜129を、硫酸や硝酸等の薬液によりエッチングして除去する。

【0065】

次に島状半導体膜117、ゲート絶縁膜108、ゲート電極111及びサイドウォール112を覆って、層間絶縁膜113を形成する(図4(C)参照)。

【0066】

層間絶縁膜113としては、プラズマCVD法またはスパッタ法を用いて、シリコンを含む絶縁膜、例えば酸化珪素膜、窒化珪素膜、窒素を含む酸化珪素膜、またはその積層膜で形成する。もちろん、層間絶縁膜113は窒素を含む酸化珪素膜や窒化珪素膜、またはその積層膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。

20

【0067】

本実施例では、窒素を含む酸化珪素膜をプラズマCVD法により50nm形成し、レーザー照射方法によって不純物を活性化する。又は窒素を含む酸化珪素膜形成後、窒素雰囲気中550で4時間加熱して、不純物を活性化してもよい。

【0068】

次にプラズマCVD法により窒化珪素膜を100nm形成し、更に酸化珪素膜を600nm形成する。この、窒素を含む酸化珪素膜、酸素を含む窒化珪素膜及び酸化珪素膜の積層膜が層間絶縁膜113である。

30

【0069】

次に全体を410で1時間加熱し、窒化珪素膜から水素を放出させることにより水素化を行う。

【0070】

層間絶縁膜113をエッチングして、層間絶縁膜113に、島状半導体膜117に到達するコンタクトホール131を形成する。その際にコンタクトホール131は接続領域107のみに達するようにし、ソース領域またはドレイン領域105を露出させないようにエッチングを行う。すなわち、層間絶縁膜113のエッチングの際には、接続領域107のみにコンタクトホール131が形成されるように、層間絶縁膜113上にレジストを形成する。

40

【0071】

次いで接続領域107表面の酸化膜(主に酸化珪素を含有)を除去するために、フッ酸で接続領域107表面を洗浄、もしくは水素プラズマ雰囲気中で基板を設置し、接続領域107表面にプラズマ処理を行う。本発明では、この酸化膜除去は接続領域107に対してのみ行う。ソース領域またはドレイン領域105は層間絶縁膜113に覆われているので、ソース領域またはドレイン領域105中のシリサイド領域は除去されない。これによりソース電極またはドレイン電極115と島状半導体膜117との電氣的接触を良好にすることができる。

【0072】

次いで層間絶縁膜113上にコンタクトホール131を介して、導電膜133を形成し

50

(図5(B)参照)、導電膜133を用いて、ソース電極またはドレイン電極115を形成する(図1参照)。ソース電極またはドレイン電極115は、接続領域107中のシリサイド領域に電氣的に接続される。

【0073】

本実施の形態では、導電膜133は金属膜を用いる。この金属膜は、アルミニウム(Al)、チタン(Ti)、モリブデン(Mo)、タングステン(W)もしくはシリコン(Si)の元素からなる膜又はこれらの元素を用いた合金膜を用いればよい。

【0074】

本実施の形態では、チタン膜(Ti)、アルミニウム膜(Al)、チタン膜(Ti)をそれぞれ100nm、300nm、100nmに積層したものをを用いて、ソース電極またはドレイン電極115を形成する。

10

【0075】

またこのソース電極またはドレイン電極115を、ニッケル、コバルト、鉄のうち少なくとも1種の元素、及び炭素を含むアルミニウム合金膜で形成してもよい。このようなアルミニウム合金膜は、シリコンと接触してもシリコンとアルミニウムの相互拡散が防止できる。またこのようなアルミニウム合金膜は、透明導電膜、例えばITO(Indium Tin Oxide)膜と接触しても酸化還元反応が起こらないため、両者を直接接触させることができる。さらにこのようなアルミ合金膜は、比抵抗が低く耐熱性にも優れているので、配線材料としては有用である。

【0076】

20

またソース電極またはドレイン電極115はそれぞれ、電極と配線を同じ材料で同一工程でして形成してもよいし、電極と配線を別々に形成してそれらを接続させてもよい。

【0077】

上記一連の工程によって、本実施の形態の半導体装置を作製することができる。本実施の形態では、n型を付与する元素を添加する際、島状半導体膜117中の、コンタクトホール131の形成される領域はレジストでマスクされ、島状半導体膜117中の、コンタクトホール131の形成される領域には、n型を付与する元素は導入されない。これにより、n型の半導体膜を形成しながら、ソース領域またはドレイン領域105シリサイドを消失させることなく形成し、ソース電極またはドレイン電極115と接続することができる。

30

【0078】

また、本実施の形態は、必要であれば他の実施の形態及び実施例のいかなる記載とも自由に組み合わせることが可能である。

【0079】

[実施の形態2]

本実施の形態では、実施の形態1とは別の構成を有する半導体装置について、図6を用いて説明する。

【0080】

なお本実施の形態では、実施の形態1と同じものは同じ符号で表し、特に記載のないものについては実施の形態1の記載を援用する。

40

【0081】

図6に示す半導体装置は、基板201上に下地膜202が形成され、下地膜202上に活性層である島状半導体膜217が形成されている。

【0082】

島状半導体膜217中には、チャネル形成領域203、低濃度不純物領域204、ソース領域またはドレイン領域205、接続領域207が形成されている。さらにソース領域またはドレイン領域205の一部及び接続領域207の表面近傍には、シリサイド領域206が形成されている。

【0083】

島状半導体膜217上には、ゲート絶縁膜208、下層ゲート電極209及び上層ゲート

50

ト電極 2 1 1 が形成されている。なお、基板 2 0 1、下地膜 2 0 2、島状半導体膜 2 1 7、ゲート絶縁膜 2 0 8 は、それぞれ実施の形態 1 の基板 1 0 1、下地膜 1 0 2、島状半導体膜 1 1 7、ゲート絶縁膜 1 0 8 と同様の材料、同様の工程にて作製すればよい。

【 0 0 8 4 】

また下層ゲート電極 2 0 9 及び上層ゲート電極 2 1 1 は、以下のようにして形成される。

【 0 0 8 5 】

まず実施の形態 1 の図 2 (C) の構成が得られたら、島状半導体膜 2 1 7 上に、第 1 の導電膜として、例えば窒化タンタル (T a N) 膜を 1 0 ~ 5 0 n m、例えば 3 0 n m の膜厚で形成する。そして第 1 の導電膜上に第 2 の導電膜として、例えばタングステン (W) 膜を 2 0 0 ~ 4 0 0 n m、例えば 3 7 0 n m の膜厚で形成し、第 1 の導電膜及び第 2 の導電膜の積層膜を形成する。

【 0 0 8 6 】

次に第 2 の導電膜を異方性エッチングでエッチングし、上層ゲート電極 2 1 1 を形成する。次いで第 1 の導電膜を等方性エッチングでエッチングし、下層ゲート電極 2 0 9 を形成する。

【 0 0 8 7 】

下層ゲート電極 2 0 9 及び上層ゲート電極 2 1 1 を形成したら、実施の形態 1 で述べたように接続領域 2 0 7 となる領域上にレジストを形成し、ゲート絶縁膜 2 0 8、下層ゲート電極 2 0 9、上層ゲート電極 2 1 1 及びレジストをマスクとして、島状半導体膜 2 1 7 に一導電型を付与する元素の導入を行う。これにより、チャネル形成領域 2 0 3、低濃度不純物領域 2 0 4、ソース領域またはドレイン領域 2 0 5 が形成され、レジストで覆われた領域は一導電型を付与する元素が添加されないので、接続領域 2 0 7 となる。

【 0 0 8 8 】

さらに、実施の形態 1 の記載を基にして、ゲート絶縁膜 2 0 8、下層ゲート電極 2 0 9 及び上層ゲート電極 2 1 1 の側面を覆うようにして、サイドウォール 2 1 2 を形成する。サイドウォール 2 1 2 は、サイドウォール 1 1 2 と同様の材料及び同様の工程で形成すればよい。

【 0 0 8 9 】

次いで、島状半導体膜 2 1 7、サイドウォール 2 1 2、上層ゲート電極 2 1 1 を覆うようにして金属膜を成膜し、加熱処理にて島状半導体膜 2 1 7 中に、シリサイド領域 2 0 6 を形成する。シリサイド領域 2 0 6 の一方の端部は、サイドウォール 2 1 2 の端部に一致していてもよい。

【 0 0 9 0 】

さらに不要な金属膜を除去し、層間絶縁膜 2 1 3 を形成し、層間絶縁膜 2 1 3 をエッチングして、接続領域 2 0 7 に達するコンタクトホールを形成する。接続領域 2 0 7 表面をフッ酸もしくは水素プラズマで処理して、接続領域 2 0 7 表面の酸化膜を除去した後、コンタクトホールを介して接続領域 2 0 7 中のシリサイド領域に接続されるソース電極またはドレイン電極 2 1 5 を形成する。

【 0 0 9 1 】

なお、層間絶縁膜 2 1 3、ソース電極またはドレイン電極 2 1 5 は、実施の形態 1 の層間絶縁膜 1 1 3、ソース電極またはドレイン電極 1 1 5 と同様の材料、同様の工程で形成すればよい。

【 0 0 9 2 】

また、本実施の形態は、必要であれば他の実施の形態及び実施例のいかなる記載とも自由に組み合わせることが可能である。

【 0 0 9 3 】

[実施の形態 3]

本実施の形態では、実施の形態 1 及び 2 と異なる作製工程により作製される半導体装置について、図 2 5 (A) ~ 図 2 5 (D) 及び図 2 6 (A) ~ 図 2 6 (C) を用いて説明す

10

20

30

40

50

る。なお本実施の形態では、実施の形態 1 及び 2 と同じものは同じ符号で表し、特に記載のないものについては実施の形態 1 の記載を援用する。

【0094】

薄膜トランジスタを作製する過程において、ソース領域またはドレイン領域に一導電性を付与する元素を添加後、シリサイド領域を形成しようとする、一導電性を付与する元素がシリサイド領域形成時に再拡散するということが分かっている。これを避けるために、ソース領域またはドレイン領域にシリサイドを形成した後で、一導電性を付与する元素を添加する工程も可能である。その作製方法を以下に説明する。

【0095】

まず実施の形態 1 の記載に基づいて、図 3 (A) までのゲート絶縁膜 108 及びゲート電極 111 までの作製を行う。次いでゲート絶縁膜 108 及びゲート電極 111 の側面に、サイドウォール 151 を形成する (図 25 (A) 参照)。サイドウォール 151 は、実施の形態 1 のサイドウォール 112 と同様に形成すればよい。

10

【0096】

次に、島状半導体膜 117、ゲート絶縁膜 108、ゲート電極 111、サイドウォール 151 を覆って、金属膜 152 を形成する (図 25 (B) 参照)。金属膜 152 は、実施の形態 1 の金属膜 129 と同様の材料、同様の工程で形成すればよい。

【0097】

金属膜 152 を形成後、島状半導体膜 117 及び金属膜 152 を加熱することにより、島状半導体膜 117 中にシリサイド領域 153 を形成する。シリサイド領域 153 の端部は、サイドウォール 151 の端部と一致していてもよい。次いで未反応の金属膜 152 を除去する (図 25 (C) 参照)。

20

【0098】

島状半導体膜 117 の一部の領域上に、レジスト 155 を形成し、レジスト 155、ゲート電極 111 及びサイドウォール 151 をマスクとして、一導電性を付与する元素を島状半導体膜 117 に添加する (図 25 (D) 参照)。本実施例では、一導電性を付与する元素として、n 型を付与する元素でありリン (P) を島状半導体膜 117 に添加する。その後レジスト 155 を除去する。

【0099】

一導電性を付与する元素の導入により、元素がサイドウォール 151 を貫通しない印加電圧で添加された場合は、図 26 (A) で示すように、チャンネル形成領域 161、ソース領域またはドレイン領域 162 が形成される。またレジスト 155 が形成された領域の島状半導体膜 117 には、接続領域 163 が形成される。

30

【0100】

また元素がサイドウォール 151 を貫通する程度の印加電圧で添加された場合は、図 26 (B) で示すように、チャンネル形成領域 165、低濃度不純物領域 166、ソース領域またはドレイン領域 167 が形成される。またレジスト 155 が形成された領域の島状半導体膜 117 には、接続領域 168 が形成される。

【0101】

図 26 (A) において、シリサイド領域 153 は、ソース領域またはドレイン領域 162 及び接続領域 163 中に形成されている。またシリサイド領域 153 の端部は、ソース領域またはドレイン領域 162 の一方の端部と一致しており、サイドウォール 151 の端部とも一致していてもよい。

40

【0102】

図 26 (B) において、シリサイド領域 153 は、ソース領域またはドレイン領域 167 及び接続領域 168 中に形成されている。またシリサイド領域 153 の端部は、ソース領域またはドレイン領域 167 の一方の端部と一致しており、サイドウォール 151 の端部とも一致していてもよい。

【0103】

ただし、接続領域 168 にも、シリサイドが消失しない程度に一導電性を付与する元素

50

が含まれていてもよい。例えば、レジスト 155 を形成する前に、低濃度不純物領域 166 の不純物濃度を決定する、一導電性を付与する元素の添加工程を行ってもよい。ただしその場合は、シリサイドが消失しない程度の濃度になるように、印加電圧を制御する必要がある。

【0104】

次いで島状半導体膜 117、ゲート絶縁膜 108、ゲート電極 111、サイドウォール 151 を覆って、層間絶縁膜 171 を形成する。実施の形態 1 の記載の基づいて、層間絶縁膜 171 にコンタクトホールを形成する。コンタクトホールは、接続領域 163 のみに到達するように形成し、ソース領域またはドレイン領域 162 には到達しないように形成される。

10

【0105】

コンタクトホールにより露出した接続領域 163 の表面を、フッ酸等で処理して、接続領域 163 中のシリサイド領域上の酸化膜（主に酸化珪素）を除去する。次いで導電膜を形成し、エッチングして、ソース電極またはドレイン電極 173 を形成する（図 26（C）参照）。

【0106】

なお図 26（C）には、図 26（A）に層間絶縁膜 171 及びソース電極またはドレイン電極 173 を形成した構成を示しているが、図 26（B）の構成に上述の作製工程により層間絶縁膜及びソース電極またはドレイン電極を形成することができるのは言うまでもない。

20

【0107】

本実施の形態においても、ソース電極またはドレイン電極 173 が島状半導体膜 117 と電氣的に接続するのは、接続領域 163 及び 168 においてのみである。層間絶縁膜 171 中の、ソース電極またはドレイン電極 173 が島状半導体膜 117 と電氣的に接続するためのコンタクトホールに達するのも、接続領域 163 及び 168 のみである。このためシリサイド領域 153 は除去されず、良好な電氣的接触を得ることが可能となる。

【実施例 1】

【0108】

本実施例では、一導電性を付与する元素としてリンを用い、リンを添加したニッケルシリサイドとリンを添加しないニッケルシリサイドで、シート抵抗を測定し、その比較を行った。本実施例を図 22～図 24 を用いて以下に説明する。

30

【0109】

まず、測定に用いた基板について説明する。基板上に成膜した珪素膜に、ニッケルシリサイドを形成し、珪素膜上のある領域にマスクを設け、その後リン（P）を添加した。

【0110】

本実施例では、マスクを設けた領域には、マスクを設けなかった領域に比べてリンは含まれないものとみなし、この領域を接続領域（あるいはノンドープ領域ともいう）とする。一方、マスクを設けなかった領域は、リンが含有されている。本実施例では、リンが含有されている領域をドープ領域と呼ぶ。ただし、接続領域においても、後の工程でシリサイドが消失しない程度の濃度であれば、リンを含有していても構わない。

40

【0111】

図 22～図 24 において、リンを添加後、未反応のニッケルをエッチングにより除去し、ニッケル除去直後に第 1 の測定を行った。さらにフッ酸（HF）でシリサイドを処理して、シリサイド表面の酸化膜（主に酸化珪素）除去を行い、第 2 の測定を行った。

【0112】

また図 22～図 24 で、ドープ領域のリンのドープ量を変化させた。図 22 では、リンのドープ量は、 $5 \times 10^{15} \text{ cm}^{-2}$ であり、図 23 では $3 \times 10^{15} \text{ cm}^{-2}$ であり、図 24 では $1 \times 10^{15} \text{ cm}^{-2}$ である。

【0113】

図 22～図 24 のいずれにおいても、接続領域の方がドープ領域よりもシート抵抗が低

50

いことが分かる。またフッ酸でシリサイドを処理した接続領域とドープ領域を比較すると、ドープ領域ではシート抵抗が高く、接続領域ではシート抵抗はるかに低いことが分かる。つまり本測定により、ドープ領域中のシリサイドがフッ酸処理により消失してしまい、シート抵抗が高くなる、すなわち、導電性が悪くなることが裏付けられた。逆に接続領域では、シリサイドがフッ酸処理により消失しないので、シート抵抗が低い、すなわち導電性がよい。従って電極や配線との電氣的接続を行うには、接続領域中のシリサイド領域を用いるとよいことが分かる。

【実施例 2】

【0114】

本実施例を図 7 (A) ~ 図 7 (F)、図 8 (A) ~ 図 8 (E) 及び図 9 (A) ~ 図 9 (D) を用いて説明する。

10

【0115】

まず実施の形態 1 の記載に基づいて、図 2 (C) の島状半導体膜までの作製工程を行う。本実施例では、基板 301 上に、下地膜 302 を形成し、さらに島状半導体膜 303 及び 304 を形成する (図 7 (A) 参照)。

【0116】

なお、基板 301、下地膜 302 並びに島状半導体膜 303 及び 304 は、それぞれ実施の形態 1 の基板 101、下地膜 102 及び島状半導体膜 117 と同様の材料、同様の工程で形成すればよい。

【0117】

20

次に島状半導体膜にしきい値電圧制御のための不純物を導入する。本実施例においてはジボラン (B_2H_6) をドープすることによってボロン (B) を島状半導体膜 303 及び 304 中に導入する。

【0118】

次に島状半導体膜 303 及び 304 を覆うように絶縁膜 306 を成膜する (図 7 (B) 参照)。絶縁膜 306 には、例えば酸化珪素、窒化珪素または窒素を含んだ酸化珪素等を用いることができる。また成膜方法は、プラズマ CVD 法、スパッタ法などを用いることができる。

【0119】

次に、絶縁膜 306 を用いて、島状半導体膜 303 上にゲート絶縁膜 308、島状半導体膜 304 上にゲート絶縁膜 309 を形成する (図 7 (C) 参照)。

30

【0120】

島状半導体膜 303 及び 304、並びにゲート絶縁膜 308 及び 309 を覆って、第 1 の導電膜 311 及び第 2 の導電膜 312 を形成する (図 7 (D) 参照)。

【0121】

第 1 の導電膜 311 及び第 2 の 312 は、タンタル (Ta)、タングステン (W)、チタン (Ti)、モリブデン (Mo)、アルミニウム (Al) から選ばれた元素、または前記元素を主成分とする合金材料、若しくは化合物材料を積層させる。

【0122】

本実施例では、第 1 の導電膜 311 として、例えば窒化タンタル (TaN) 膜を 10 ~ 50 nm、例えば 30 nm の膜厚で形成する。そして第 1 の導電膜 312 上に第 2 の導電膜 312 として、例えばタングステン (W) 膜を 200 ~ 400 nm、例えば 370 nm の膜厚で形成し、第 1 の導電膜 311 及び第 2 の導電膜 312 の積層膜を形成する。

40

【0123】

次に第 2 の導電膜 312 を異方性エッチングでエッチングし、上層ゲート電極 314 b 及び 315 b を形成する。次いで第 1 の導電膜 311 を等方性エッチングでエッチングし、下層ゲート電極 314 a 及び 315 a を形成する。以上よりゲート電極 314 及び 315 を形成する (図 7 (E) 参照)。

【0124】

ゲート電極 314 及び 315 は、ゲート配線の一部として形成してもよいし、別にゲー

50

ト配線を形成して、そのゲート配線にゲート電極 3 1 4 及び 3 1 5 を接続してもよい。

【 0 1 2 5 】

次いで、島状半導体膜 3 0 3 の、後の工程で接続領域となる領域上に、レジスト 3 1 8 を形成する。また島状半導体膜 3 0 4、ゲート絶縁膜 3 0 9 及びゲート電極 3 1 5 上に、レジスト 3 1 9 を形成する。

【 0 1 2 6 】

そして、ゲート電極 3 1 4 及び 3 1 5、レジスト 3 1 8 及び 3 1 9 をマスクとして用い、島状半導体膜 3 0 3 に一導電性 (n 型または p 型の導電性) を付与する不純物を添加し、ソース領域、ドレイン領域、チャネル形成領域、さらには低濃度不純物領域等を形成する (図 8 (A) 参照) 。

10

【 0 1 2 7 】

まず、n 型を付与する元素としてリンを用い、フォスフィン (PH_3) を用いて、リン (P) を、印加電圧を $40 \sim 100 \text{ keV}$ 、例えば 60 keV 、ドーズ量を $1 \times 10^{13} \sim 1 \times 10^{15} \text{ cm}^{-2}$ 、例えば $2.6 \times 10^{13} \text{ cm}^{-2}$ として島状半導体膜中に導入する。この不純物導入の際に n チャネル型 TFT 3 5 6 のチャネル形成領域 3 2 1 が形成される。

【 0 1 2 8 】

次いで島状半導体膜 3 0 3 中に、フォスフィン (PH_3) を用いて、印加電圧 $10 \sim 60 \text{ keV}$ 、例えば 20 keV 、ドーズ量 $5.0 \times 10^{14} \sim 2.5 \times 10^{16} \text{ cm}^{-2}$ 、例えば $3.0 \times 10^{15} \text{ cm}^{-2}$ で、リン (P) を導入する。これにより n チャネル型 TFT の低濃度不純物領域 3 2 2、ソース領域またはドレイン領域 3 2 3 が形成される。また島状半導体膜 3 0 3 中の、レジスト 3 1 8 によってマスクされたために、n 型を付与する元素が導入されない領域を、接続領域 3 2 4 とする。

20

【 0 1 2 9 】

本実施例においては、n チャネル型 TFT 3 5 6 のソース領域またはドレイン領域 3 2 3 には、 $1 \times 10^{19} \sim 5 \times 10^{21} \text{ cm}^{-3}$ の濃度でリン (P) が含まれることとなる。また n チャネル型 TFT 3 5 6 の低濃度不純物領域 3 2 2 には、 $1 \times 10^{18} \sim 5 \times 10^{19} \text{ cm}^{-3}$ の濃度でリン (P) が含まれる。

【 0 1 3 0 】

ただし、接続領域 3 2 4 にもシリサイドが消失しない程度の濃度でリンが含まれているも構わない。その場合は、実施の形態 1 で述べたように、低濃度不純物領域 3 2 2 の不純物濃度を決定するリンの添加工程を行い、島状半導体膜 3 0 3 の、接続領域 3 2 4 となる領域を覆うレジスト 3 1 8 を形成し、ソース領域またはドレイン領域 3 2 3 の不純物濃度を決定するリンの添加工程を行えばよい。

30

【 0 1 3 1 】

次いでレジスト 3 1 9 を除去し、島状半導体膜 3 0 3、ゲート絶縁膜 3 0 8 及びゲート電極 3 1 4 を覆って、レジスト 3 2 7 を形成する。

【 0 1 3 2 】

p チャネル型 TFT 3 5 7 を作製するために、ジボラン (B_2H_6) を用いて印加電圧 $60 \sim 100 \text{ keV}$ 、例えば 80 keV 、ドーズ量 $1 \times 10^{13} \sim 5 \times 10^{15} \text{ cm}^{-2}$ 、例えば $3 \times 10^{15} \text{ cm}^{-2}$ の条件で、島状半導体膜 3 0 4 中にホウ素 (B) を導入する。これにより p チャネル型 TFT のソース領域またはドレイン領域 3 2 9、またこの不純物導入の際にチャネル形成領域 3 2 8 が形成される (図 8 (B) 参照) 。

40

【 0 1 3 3 】

なお p チャネル型 TFT 3 5 7 について、ホウ素の導入に際しては、印加電圧が高いために、下層ゲート電極 3 1 5 a 及びゲート絶縁膜 3 0 9 を通しても、ソース領域またはドレイン領域 3 2 9 を形成するために十分なホウ素が島状半導体膜 3 0 4 中に添加される。

【 0 1 3 4 】

また p チャネル TFT では、後の工程でシリサイド表面の酸化膜をフッ酸等で除去しても、シリサイドが消失しにくいことが分かっている。そのため p チャネル型 TFT 3 5 7

50

では、接続領域を形成しなくても構わない。しかしもちろんpチャネル型TFETに接続領域を形成し、ソース電極またはドレイン電極の一部及び接続領域中にシリサイド領域を形成し、接続領域のみにソース電極またはドレイン電極を電氣的に接続させても構わない。

【0135】

pチャネル型TFET 357のソース領域またはドレイン領域 329には、 $1 \times 10^{19} \sim 5 \times 10^{21} \text{ cm}^{-3}$ の濃度でボロン(B)が含まれる。

【0136】

次いで、島状半導体膜 303及び304、ゲート絶縁膜 308及び309、ゲート電極 314及び315を覆うように、絶縁膜 331を形成する(図8(C)参照)。

【0137】

絶縁膜 331は、プラズマCVD法や減圧CVD(LP-CVD)により、酸化珪素や窒素を含む酸化珪素膜を用いて形成することができる。本実施例では、プラズマCVD法により酸化珪素膜を膜厚50~200nm、好ましくは100nmで成膜する。

【0138】

次いで絶縁膜 331をエッチングすることにより、ゲート絶縁膜 308及びゲート電極 314の側面にサイドウォール 333を形成し、ゲート絶縁膜 309及びゲート電極 315の側面にサイドウォール 334を形成する(図8(D)参照)。サイドウォール 333及び334は、テーパ状や矩形状になるように形成し、本実施例では、テーパ状のサイドウォール 333及び334を形成する。

【0139】

次に島状半導体膜 303及び304、ゲート絶縁膜 308及び309、ゲート電極 314及び315、並びにサイドウォール 333及び334を覆って、金属膜 335を形成する(図8(E)参照)。

【0140】

金属膜 335として、チタン(Ti)、ニッケル(Ni)、コバルト(Co)、タンゲステン(W)、白金(Pt)等を用いることができる。本実施の形態では、金属膜 335として、ニッケル膜を10nmの厚さで成膜する。

【0141】

次いで、金属膜 335を形成した島状半導体膜 303及び304を、ファーンズアニール炉を用いる熱アニール法、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用して加熱する。これにより島状半導体膜 303中にシリサイド領域 341、島状半導体膜 304中にシリサイド領域 342が形成される。本実施の形態では、ラピッドサーマルアニール法により350以上の温度で加熱することによりシリサイド領域 341及び342を形成する。

【0142】

シリサイド領域 341及び342を形成したら、未反応の金属膜 335を、硫酸や硝酸等の薬液によりエッチングして除去する(図9(A)参照)。

【0143】

次に島状半導体膜 303及び304、ゲート絶縁膜 308及び309、ゲート電極 314及び315、サイドウォール 333及び334を覆って、第1層間絶縁膜 344を形成する。

【0144】

第1層間絶縁膜 344としては、プラズマCVD法またはスパッタ法を用いて、シリコンを含む絶縁膜、例えば酸化珪素膜、窒化珪素膜、窒素を含む酸化珪素膜、またはその積層膜で形成する。勿論、第1層間絶縁膜 344は窒素を含む酸化珪素膜や窒化珪素膜、またはその積層膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。

【0145】

本実施例では、まず窒素を含む酸化珪素膜をプラズマCVD法により50nm形成し、レーザ照射方法によって不純物を活性化する。又は窒素を含む酸化珪素膜形成後、窒素雰

10

20

30

40

50

雰囲気中 550 で 4 時間加熱して、不純物を活性化してもよい。

【0146】

次に第 1 層間絶縁膜 344 上に、第 2 層間絶縁膜 343 として、プラズマ CVD 法により窒化珪素膜を 50 nm 形成し、更に窒素を含む酸化珪素膜を 600 nm 形成する。この窒化珪素膜及び窒素を含む酸化珪素膜の積層膜が第 2 層間絶縁膜 343 である。

【0147】

次に全体を 410 で 1 時間加熱し、窒化珪素膜から水素を放出させることにより水素化を行う。

【0148】

また第 2 層間絶縁膜 343 上に、さらに絶縁膜を積層してもよい。このような絶縁膜としては、感光性または非感光性の有機材料（ポリイミド、アクリル、ポリアミド、ポリイミドアミド、レジストまたはベンゾシクロブテン）、シロキサン、及びそれらの積層構造を用いることができる。有機材料として、ポジ型感光性有機樹脂又はネガ型感光性有機樹脂を用いることができる。

10

【0149】

なおシロキサンとは、シリコン（Si）と酸素（O）との結合で骨格構造で構成され、置換基として、少なくとも水素を含む有機基（例えばアルキル基、芳香族炭化水素）が用いられるものである。また置換基として、フルオロ基を用いてもよい。さらに置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。

【0150】

20

また第 2 層間絶縁膜 343 上の絶縁膜として、水分や酸素などを他の絶縁膜と比較して透過させにくい膜を成膜してもよい。代表的には、スパッタ法または CVD 法により得られる窒化珪素膜、酸化珪素膜、酸素を含む窒化珪素膜（組成比 $N > O$ ）または窒素を含む酸化珪素膜（組成比 $N < O$ ）、炭素を主成分とする薄膜（例えば DLC 膜、CN 膜）などを用いることができる。

【0151】

第 1 層間絶縁膜 344 及び第 2 層間絶縁膜 343 をエッチングして、第 1 層間絶縁膜 344 及び第 2 層間絶縁膜 343 に、島状半導体膜 303 に到達するコンタクトホール 345 及び 346、島状半導体膜 304 に到達するコンタクトホール 347 及び 348 を形成する。

30

【0152】

このとき n チャネル型 TFT 356 の活性層となる島状半導体膜 303 においては、コンタクトホール 345 及び 346 は、接続領域 324 にのみに到達するように形成する。

【0153】

また p チャネル型 TFT 357 の活性層となる島状半導体膜 304 においては、コンタクトホール 347 及び 348 は、シリサイド領域 342 に達すればよい。

【0154】

次いで接続領域 324 表面の酸化膜を除去するために、島状半導体膜 303 及び 304 の、コンタクトホール 345 ~ 348 によって露出した表面をフッ酸で洗浄、もしくは水素プラズマ雰囲気中で基板を設置し、島状半導体膜 303 及び 304 の、コンタクトホール 345 ~ 348 によって露出した表面にプラズマ処理を行う。本実施例ではフッ酸を用いて島状半導体膜 303 及び 304 の、コンタクトホール 345 ~ 348 によって露出した表面を処理する。これによりソース電極またはドレイン電極 351、352 と島状半導体膜 303、ソース電極またはドレイン電極 352、353 と島状半導体膜 304 との電氣的接触を良好にすることができる。

40

【0155】

次いで第 2 層間絶縁膜 343 上にコンタクトホール 345 ~ 348 を介して、第 3 の導電膜を形成し、第 3 の導電膜を用いて、ソース電極またはドレイン電極 351 ~ 353 を形成する。

【0156】

50

本実施例として、第3の導電膜は金属膜を用いる。金属膜は、アルミニウム（Al）、チタン（Ti）、モリブデン（Mo）、タングステン（W）もしくはシリコン（Si）の元素からなる膜又はこれらの元素を用いた合金膜を用いればよい。本実施例では、チタン膜（Ti）、アルミニウム膜（Al）、チタン膜（Ti）をそれぞれ100nm、300nm、100nmに積層したのち、所望の形状になるようにエッチングしてソース電極またはドレイン電極351～353を形成する。

【0157】

またこのソース電極またはドレイン電極351～353を、ニッケル、コバルト、鉄のうち少なくとも1種の元素、及び炭素を含むアルミニウム合金膜で形成してもよい。このようなアルミニウム合金膜は、シリコンと接触してもシリコンとアルミニウムの相互拡散が防止できる。またこのようなアルミニウム合金膜は、透明導電膜、例えばITO（Indium Tin Oxide）膜と接触しても酸化還元反応が起こらないため、両者を直接接触させることができる。さらにこのようなアルミ合金膜は、比抵抗が低く耐熱性にも優れているので、配線材料としては有用である。

【0158】

またソース電極またはドレイン電極351～353はそれぞれ、電極と配線を同じ材料で同一工程でして形成してもよいし、電極と配線を別々に形成してそれらを接続させてもよい。

【0159】

ソース電極またはドレイン電極351は、シリサイド領域341を介して、nチャンネル型TF T 356のソース領域またはドレイン領域323の一方に電氣的に接続されている。ソース電極またはドレイン電極352は、シリサイド領域341を介して、nチャンネル型TF T 356のソース領域またはドレイン領域323の他方、並びにシリサイド領域342を介して、pチャンネル型TF T 357のソース領域またはドレイン領域329の一方に電氣的に接続されている。またソース電極またはドレイン電極353は、シリサイド領域342を介して、pチャンネル型TF T 357のソース領域またはドレイン領域329の他方に電氣的に接続されている。

【0160】

上記一連の工程によってnチャンネル型TF T 356及びpチャンネル型TF T 357を含むCMOS回路358を含む半導体装置を形成することができる（図9（D）参照）。

【0161】

また、本実施例は、必要であれば実施の形態のいかなる記載とも自由に組み合わせることが可能である。

【実施例3】

【0162】

本実施例では、pチャンネル型TF Tにも接続領域を形成する例について、図10（A）～図10（C）を用いて説明する。なお、実施例2と同じものについては同じ符号で示し、特に符号の付いていないものについては、実施例2の記載を援用する。

【0163】

まず実施例2の記載に基づいて、図8（A）のn型を付与する元素を添加する工程までを行う。次いで、pチャンネル型TF T 367の活性層となる島状半導体膜304中の、接続領域365となる領域上に、レジスト361を形成する。また、nチャンネル型TF T 356の、活性層となる島状半導体膜303、ゲート絶縁膜308、ゲート電極314を覆って、レジスト327を形成する（図10（A）参照）。

【0164】

次いで、実施例2の記載に基づき、p型を付与する元素としてホウ素を用い、島状半導体膜304中に、チャンネル形成領域363、ソース領域またはドレイン領域364、接続領域365を形成する（図10（B）参照）。

【0165】

次に実施例2の記載を基にして、サイドウォール形成、シリサイド領域形成、層間絶縁

10

20

30

40

50

膜形成、コンタクトホール形成、ソース電極またはドレイン電極 351 ~ 353 形成を行う(図10(C)参照)。

【0166】

ソース電極またはドレイン電極 352、353、並びに層間絶縁膜 344 及び 343 中のコンタクトホール 347 及び 348 は、pチャネル型 TFT 367 の接続領域 365 のシリサイド領域にのみ達しており、ソース領域またはドレイン領域 364 には達していない。

【0167】

ソース電極またはドレイン電極 351 は、シリサイド領域 341 を介して、nチャネル型 TFT 356 のソース領域またはドレイン領域 323 の一方に電氣的に接続されている。ソース電極またはドレイン電極 352 は、シリサイド領域 341 を介して、nチャネル型 TFT 356 のソース領域またはドレイン領域 323 の他方、並びにシリサイド領域 362 を介して、pチャネル型 TFT 367 のソース領域またはドレイン領域 364 の一方に電氣的に接続されている。またソース電極またはドレイン電極 353 は、シリサイド領域 362 を介して、pチャネル型 TFT 367 のソース領域またはドレイン領域 364 の他方に電氣的に接続されている。以上のようにして CMOS 回路 368 が形成される。

【0168】

また、本実施例は、必要であれば実施の形態及び他の実施例のいかなる記載とも自由に組み合わせることが可能である。

【実施例4】

【0169】

本実施例では、本発明を用いて CPU (中央演算装置: Central Processing Unit) を作製した例を図11(A) ~ 図11(C)、図12(A) ~ 図12(B)、図13、図14 及び 図15(A) ~ 図15(C) を用いて示す。

【0170】

図11(A) に示すように、絶縁表面を有する基板 401 上に下地膜 402 を形成する。基板 401 には、例えばバリウムホウケイ酸ガラスや、アルミノホウケイ酸ガラスなどのガラス基板、石英基板、ステンレス基板等を用いることができる。また、PET、PEES、PEN に代表されるプラスチックや、アクリル等の可撓性を有する合成樹脂からなる基板は、一般的に他の基板と比較して耐熱温度が低い傾向にあるが、作製工程における処理温度に耐え得るのであれば用いることが可能である。

【0171】

下地膜 402 は基板 401 中に含まれる Na などのアルカリ金属やアルカリ土類金属が、半導体膜中に拡散し、半導体素子の特性に悪影響を及ぼすのを防ぐために設ける。よってアルカリ金属やアルカリ土類金属の半導体膜への拡散を抑えることができる酸化珪素や、窒化珪素、窒素を含む酸化珪素などの絶縁膜を用いて形成する。本実施例では、プラズマ CVD 法を用いて SiH_4 、 NH_3 、 N_2O 及び H_2 を反応ガスとして形成される酸素を含む窒化珪素膜を 10 ~ 200 nm (本実施例では 50 nm)、 SiH_4 及び N_2O を反応ガスとして形成される酸素を含む窒化珪素膜を 50 ~ 200 nm (本実施例では 100 nm) の順に積層する。なお下地膜 402 は単層構造を有してもよく、例えば窒素を含む酸化珪素膜を 10 ~ 400 nm (好ましくは 50 ~ 300 nm) の膜厚になるように形成することができる。

【0172】

ガラス基板、ステンレス基板またはプラスチック基板のように、アルカリ金属やアルカリ土類金属が多少なりとも含まれている基板を用いる場合、不純物の拡散を防ぐという観点から下地膜を設けることは有効であるが、石英基板など不純物の拡散がさして問題とならない場合は、必ずしも設ける必要はない。

【0173】

下地膜 402 上に非晶質半導体膜 403 を形成する。非晶質半導体膜 403 の膜厚は 25 ~ 100 nm (好ましくは 30 ~ 60 nm) とする。また非晶質半導体は珪素だけでは

なくシリコンゲルマニウムも用いることができ、シリコンゲルマニウムを用いる場合、ゲルマニウムの濃度は0.01～4.5 atomic %程度であることが好ましい。本実施例では66 nmの珪素を主成分とする半導体膜（非晶質珪素膜、アモルファスシリコンとも表記する）を用いる。

【0174】

次に、非晶質半導体膜403に触媒元素を添加する。ここで添加とは、少なくとも非晶質半導体膜の結晶化が促進されるように非晶質半導体膜403の表面上に触媒元素を形成することをいう。触媒元素を形成することにより、非晶質半導体膜が低温で結晶化できるため好ましい。

【0175】

例えば、非晶質半導体膜403上にスパインコーティング法やディップ法等により、結晶化を促進する元素、例えばニッケル、を含む溶液（水溶液や酢酸溶液を含む）を用いて、結晶化を促進する元素を含む膜404（但し、極めて薄いため膜として観測できない場合もある）を形成する（図11（A）参照）。このとき非晶質半導体膜403の表面の濡れ性を改善し、非晶質半導体膜の表面全体に溶液を行き渡らせるため、酸素雰囲気中でのUV光の照射、熱酸化法、ヒドロキシラジカルを含むオゾン水又は過酸化水素による処理等により、酸化膜（図示しない）を1 nm～5 nmに成膜することが望ましい。また、イオン注入法によりニッケルイオンを非晶質半導体膜中に注入する、ニッケルを含有する水蒸気雰囲気中で加熱する、ターゲットをニッケル材料としてアルゴンプラズマでスパッタリングすることを行ってもよい。本実施例では、ニッケル酢酸塩10 ppmを含有した水溶液をスパインコーティング法により非晶質半導体膜403上に結晶化を促進する元素を含有させる。

【0176】

その後、非晶質半導体膜403にレーザー光（レーザービーム）405を照射する。

【0177】

またこのようなレーザー照射において、精度よく重ね合わせたり、照射開始位置や照射終了位置を制御するため、マーカーを形成することもできる。マーカーはフォトリソグラフィ法を用いて、基板へ形成すればよい。

【0178】

このレーザー照射により、非晶質半導体膜403は結晶化し、結晶性半導体膜406が形成される（図11（B）参照）。

【0179】

その後、触媒元素を低減、又は除去するためにゲッタリング工程を施す。本実施例では、非晶質半導体膜をゲッタリングシンクとして触媒元素を捕獲する方法を説明する。まず、結晶性半導体膜上に酸素雰囲気中でのUV光の照射、熱酸化法、ヒドロキシラジカルを含むオゾン水又は過酸化水素による処理等により、酸化膜を形成する。次いでプラズマCVD法を用いて、原料ガスに SH_4 、Ar、圧力が0.3パスカル、RFパワーが3 kW、基板温度が150℃として非晶質半導体膜を150 nmの膜厚で形成する。

【0180】

その後、窒素雰囲気中で550℃、4時間の加熱処理を行い、触媒元素を低減、又は除去する。そして、ゲッタリングシンクとなる非晶質半導体膜、及び酸化膜をフッ酸等により除去し、触媒元素が低減、又は除去された結晶性半導体膜を得ることができる。

【0181】

図11（C）に示すように、結晶性半導体膜406を用いて、島状半導体膜407～410を得る。島状半導体膜407～410を得るには、結晶性半導体膜406にフォトリジストを塗布し、所定のマスク形状を露光し、焼成して、結晶性半導体膜上にマスクを形成する。このマスクを用いて、ドライエッチング法により結晶性半導体膜をエッチングする。ドライエッチング法のガスは、 CF_4 と、 O_2 とを用いることができる。

【0182】

その後、実施の形態1～実施の形態3及び実施例2～実施例3と同様の工程によって、

10

20

30

40

50

一導電型を付与する元素を導入する工程、サイドウォール形成、シリサイド領域形成の工程を行う。また本実施例の作製条件、作製工程、成膜材料等について、特に記載のないものは実施例２と同様の作製条件、作製工程、成膜材料等を用いている。

【０１８３】

ただし、本実施例においては、基板４０１上にｎチャネル型ＴＦＴ４６１及び４６３、ｐチャネル型ＴＦＴ４６２及び４６４を形成する。図１２（Ａ）において、ｎチャネル型ＴＦＴ４６１は下地膜４０２上に、島状半導体膜４０７、ゲート絶縁膜４１１、下層ゲート電極４７１ａ及び上層ゲート電極４７１ｂからなるゲート電極４７１を有している。また島状半導体膜４０７中には、接続領域４２４、ソース領域またはドレイン領域４２３、低濃度不純物領域４２２、及びチャネル形成領域４２１を有する。ソース領域またはドレイン領域４２３の一部及び接続領域４２４には、シリサイド領域４２５が形成されている。ゲート絶縁膜４１１、ゲート電極４７１の側面には、サイドウォール４７６が形成されている。

10

【０１８４】

また、ｐチャネル型ＴＦＴ４６２は下地膜４０２上に、島状半導体膜４０８、ゲート絶縁膜４１２、下層ゲート電極４７２ａ及び上層ゲート電極４７２ｂからなるゲート電極４７２を有している。また島状半導体膜４０８中には、ソース領域またはドレイン領域４３２、及びチャネル形成領域４３１を有する。ソース領域またはドレイン領域４３２には、シリサイド領域４３５が形成されている。ゲート絶縁膜４１２、ゲート電極４７２の側面には、サイドウォール４７７が形成されている。

20

【０１８５】

ｎチャネル型ＴＦＴ４６３は下地膜４０２上に、島状半導体膜４０９、ゲート絶縁膜４１３、下層ゲート電極４７３ａ及び上層ゲート電極４７３ｂからなるゲート電極４７３を有している。また島状半導体膜４０９中には、接続領域４４４、ソース領域またはドレイン領域４４３、低濃度不純物領域４４２、及びチャネル形成領域４４１を有する。ソースドレイン領域またはドレイン領域４４３には、シリサイド領域４４５が形成されている。ゲート絶縁膜４１３、ゲート電極４７３の側面には、サイドウォール４７８が形成されている。

【０１８６】

さらに、ｐチャネル型ＴＦＴ４６４は下地膜４０２上に、島状半導体膜４１０、ゲート絶縁膜４１４、下層ゲート電極４７４ａ及び上層ゲート電極４７４ｂからなるゲート電極４７４を有している。また島状半導体膜４１０中には、ソース領域またはドレイン領域４５２、及びチャネル形成領域４５１を有する。ソース領域またはドレイン領域４５２には、シリサイド領域４５５が形成されている。ゲート絶縁膜４１４、ゲート電極４７４の側面には、サイドウォール４７９が形成されている。

30

【０１８７】

次に、島状半導体膜４０７～４１０、ゲート絶縁膜４１１～４１４、ゲート電極４７１～４７４を覆うように第１の層間絶縁膜４８１を形成する。第１の層間絶縁膜４８１は窒素を有する絶縁膜であればよく、本実施例では、プラズマＣＶＤ法により１００ｎｍの窒化珪素膜を形成する。

40

【０１８８】

その後、加熱処理を行い、水素化を施す。本実施例では、窒素雰囲気中４１０℃で１時間の加熱処理を行う。その結果、窒化珪素から放出される水素により、酸化珪素膜や珪素膜のダングリングボンドを終端する。

【０１８９】

そして、第１の層間絶縁膜４８１を覆うように第２の層間絶縁膜４８２を形成する。第２の層間絶縁膜４８２は、無機材料（酸化珪素、窒化珪素、酸素を含む窒化珪素など）、感光性または非感光性の有機材料（ポリイミド、アクリル、ポリアミド、ポリイミドアミド、レジストまたはベンゾシクロブテン）、シロキサン、及びそれらの積層構造を用いることができる。

50

【0190】

シロキサンとは、シリコン（Si）と酸素（O）との結合で骨格構造で構成さ、置換基として、少なくとも水素を含む有機基（例えばアルキル基、芳香族炭化水素）が用いられるものである。また置換基として、フルオロ基を用いてもよい。さらには置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。

【0191】

また第2の層間絶縁膜482として有機材料を用いて形成する場合は、ポジ型感光性有機樹脂又はネガ型感光性有機樹脂を用いることができる。例えば、有機材料としてポジ型の感光性アクリルを用いた場合、フォトリソグラフィ工程による露光処理により感光性有機樹脂をエッチングすると上端部に曲率を有する開口部を形成することができる。本実施例では、原料ガスにSiH₄、N₂Oを用いるプラズマCVD法により形成される窒化された酸化珪素膜を600nmの膜厚に形成する。このとき、基板の温度を300～450に加熱し、本実施例では400に加熱する。

【0192】

次いで、第1の層間絶縁膜481、第2の層間絶縁膜482に開口部、いわゆるコンタクトホールを形成し、不純物領域と接続する電極又は配線491～498を形成する。本実施例では電極と配線を一体形成するが、電極と配線を別々に形成して電氣的に接続させてもよい。また電極又は配線491～498と同時にゲート電極と接続する配線を形成する。このとき、開口部の直径を1.0μm程度とするため、開口部は垂直に開口するとよい。そのため、意図的にレジスト端部がテーパ形状とならないように形成する。またレジストとコンタクトホールを開口する絶縁膜の選択比が高ければ、レジスト端部がテーパ形状となっても構わない。本実施例では、第2の層間絶縁膜482に窒化された酸化珪素膜を用いるため、端部が垂直となるように、つまり意図的にテーパ形状とならないように形成されたレジストマスクを用いて、ドライエッチング法により開口部を形成する。このとき、実際のレジスト端部はテーパ形状となることがある。エッチングガスにCHF₃、Heを用い、第1のエッチング時間として数sec、例えば3sec、第2のエッチング時間として100～130sec、例えば117sec、第3のエッチング時間として200～270sec、例えば256secとしてエッチングを行う。このとき、開口部のエッチング状況に応じて、エッチングガスの流量を決定することができる。

【0193】

なお第2の層間絶縁膜482に、有機材料やシロキサンを用いる場合、開口部の側面を垂直とするため、レジストマスクよりも高硬度を有するマスク、例えば酸化珪素膜等の無機材料から形成するハードマスクを用いるとよい。

【0194】

その後、レジストマスクをO₂アッシングやレジスト剥離液により除去する。

【0195】

そして開口部に電極又は配線491～498を形成する（図12（B）参照）。配線は、アルミニウム（Al）、チタン（Ti）、モリブデン（Mo）、タングステン（W）もしくはシリコン（Si）の元素からなる膜又はこれらの元素を用いた合金膜を用いればよい。本実施例では、チタン膜（Ti）、窒化チタン膜（TiN）、チタン-アルミニウム合金膜（Al-Si）、チタン膜（Ti）をそれぞれ60nm、40nm、300nm、100nmに積層したのち、所望の形状にエッチングして配線、つまりソース電極、ドレイン電極を形成する。

【0196】

またこの電極又は配線491～498を、ニッケル、コバルト、鉄のうち少なくとも1種の元素、及び炭素を含むアルミニウム合金膜で形成してもよい。このようなアルミニウム合金膜は、シリコンと接触してもシリコンとアルミニウムの相互拡散が防止できる。またこのようなアルミニウム合金膜は、透明導電膜、例えばITO（Indium Tin Oxide）膜と接触しても酸化還元反応が起こらないため、両者を直接接触させることができる。さらにこのようなアルミ合金膜は、比抵抗が低く耐熱性にも優れているので

、配線材料としては有用である。

【0197】

nチャネル型TFT461の電極又は配線491、並びに電極又は配線492は、ソース領域またはドレイン領域423には達しないように形成される。また第1の層間絶縁膜481及び第2の層間絶縁膜482中に形成され、電極又は配線491、並びに電極又は配線492と島状半導体膜407とを接続するために設けられるコンタクトホールは、ソース領域またはドレイン領域423には達しないように形成される。

【0198】

nチャネル型TFT463の電極又は配線495、並びに電極又は配線496は、ソース領域またはドレイン領域443には達しないように形成される。また第1の層間絶縁膜481及び第2の層間絶縁膜482中に形成され、電極又は配線495、並びに電極又は配線496と島状半導体膜409とを接続するために設けられるコンタクトホールは、ソース領域またはドレイン領域443には達しないように形成される。

【0199】

以上のようにして、低濃度不純物領域を有するように形成するLDD構造からなり、ゲート長が1.0μm以下となるnチャネル型の薄膜トランジスタを形成することができる。また、低濃度不純物領域を有さないように形成するいわゆるシングル・ドレイン構造からなり、ゲート長が1.0μm以下となるpチャネル型の薄膜トランジスタが完成する。なおゲート長が1.0μm以下となるTFTをサブミクロンTFTとも表記できる。pチャネル型の薄膜トランジスタは、ホットキャリアによる劣化や短チャネル効果が生じにくいことから、シングル・ドレイン構造とすることができる。

【0200】

なお本発明において、pチャネル型の薄膜トランジスタをLDD構造としてもよい。さらにnチャネル型の薄膜トランジスタ、及びpチャネル型の薄膜トランジスタにおいて、LDD構造に代えて、低濃度不純物領域がゲート電極と重なる、いわゆるGOLD構造を有してもよい。

【0201】

以上のように形成された薄膜トランジスタを有する半導体装置、本実施例においてはCPUを作製することができ、駆動電圧5Vで、動作周波数30MHzと高速動作が可能となる。

【0202】

更に本実施例のCPUの構成についてブロック図を用いて説明する。

【0203】

図13に示すCPUは、基板500上に、演算回路(ALU: Arithmetic logic unit)501、演算回路用制御部(ALU Controller)502、命令解析部(Instruction Decoder)503、割り込み制御部(Interrupt Controller)504、タイミング制御部(Timing Controller)505、レジスタ(Register)506、レジスタ制御部(Register Controller)507、バスインターフェース(Bus I/F)508、書き換え可能なROM509、ROMインターフェース(ROM I/F)520とを主に有している。またROM509及びROMインターフェース520は、別チップに設けても良い。

【0204】

勿論、図13に示すCPUは、その構成を簡略化して示した一例にすぎず、実際のCPUはその用途によって多種多様な構成を有している。

【0205】

バスインターフェース508を介してCPUに入力された命令は、命令解析部503に入力され、デコードされた後、演算回路用制御部502、割り込み制御部504、レジスタ制御部507、タイミング制御部505に入力される。

【0206】

10

20

30

40

50

演算回路用制御部 502、割り込み制御部 504、レジスタ制御部 507、タイミング制御部 505 は、デコードされた命令に基づき、各種制御を行う。具体的に演算回路用制御部 502 は、演算回路 501 の駆動を制御するための信号を生成する。また、割り込み制御部 504 は、CPU のプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタ制御部 507 は、レジスタ 506 のアドレスを生成し、CPU の状態に応じてレジスタ 506 の読み出しや書き込みを行う。

【0207】

またタイミング制御部 505 は、演算回路 501、演算回路用制御部 502、命令解析部 503、割り込み制御部 504、レジスタ制御部 507 の駆動のタイミングを制御する信号を生成する。例えばタイミング制御部 505 は、基準クロック信号 CLK₁ 521 を元に、内部クロック信号 CLK₂ 522 を生成する内部クロック生成部を備えており、クロック信号 CLK₂ を上記各種回路に供給する。

10

【0208】

図 14 には、画素部と、CPU、その他の回路が同一基板に形成された表示装置、いわゆるシステムオンパネルを示す。基板 530 上に画素部 531、画素部 531 が有する画素を選択する走査線駆動回路 532 と、選択された画素にビデオ信号を供給する信号線駆動回路 533 とが設けられている。走査線駆動回路 532、及び信号線駆動回路 533 から引き回される配線により CPU 534、その他の回路、例えばコントロール回路 535 とが接続されている。なおコントロール回路にはインターフェースが含まれている。そして、基板の端部に FPC 端子との接続部を設け、外部信号とのやりとりを行う。

20

【0209】

その他の回路として、映像信号処理回路、電源回路、階調電源回路、ビデオ RAM、メモリ (DRAM、SRAM、PROM) 等を基板上に設けることができる。またこれら回路は、IC チップにより形成し、基板上に実装してもよい。さらに必ずしも走査線駆動回路 532、及び信号線駆動回路 533 を同一基板に形成する必要はなく、例えば走査線駆動回路 532 のみを同一基板に形成し、信号線駆動回路 533 を IC チップにより形成し、実装してもよい。

【0210】

図 15 (A) には、パッケージングされた CPU の形態を示す。基板 550 上に形成された CPU の機能を有する薄膜トランジスタアレイ 551 を、CPU 表面に設けられた電極 (ソース電極やドレイン電極、又はそれらの上に絶縁膜を介して形成された電極等) 552 が下側となるフェイスダウン状態とする。基板 550 は、ガラス、プラスチックを用いることができる。また銅やその合金で形成される配線 553 が設けられた配線基板、例えばプリント基板 557 を用意する。プリント基板 557 には、接続端子 (ピン) 554 が設けられている。そして電極 552 と、配線 553 とを異方性導電膜 558 等を介して接続する。その後、エポキシ樹脂等の樹脂 555 で基板 550 上方から覆い、パッケージングされた CPU として完成する。または中空に保った状態で外周をプラスチックなどで囲んでもよい。

30

【0211】

図 15 (B) には、図 15 (A) と異なり、CPU 表面に設けられた電極 552 が上側となるように CPU の機能を有する薄膜トランジスタアレイ 551 をフェイスアップ状態とする。そしてプリント基板 557 上に基板 550 を固定し、電極 552 と、配線 553 とをワイヤ 568 により接続する。このようにワイヤにより接続することをワイヤボンディングという。そして電極 552 と、配線 553 に接続されるパンプ 564 とが接続する。その後、中空に保った状態で外周をプラスチック 565 等で囲み、パッケージングされた CPU として完成する。

40

【0212】

図 15 (C) には、フレキシブル性を有する基板、例えば FPC (Flexible printed circuit) 上に、CPU の機能を有する薄膜トランジスタアレイ

50

551を固定する例を示す。基板560に形成されたCPUの機能を有する薄膜トランジスタアレイ551を、CPU表面に設けられた電極552が下側となるフェイスダウン状態とする。基板560には、ガラス、石英、金属、バルク半導体、プラスチックを用いることができるが、図15(C)ではフレキシブル性の高いプラスチックを用いると好ましい。また、銅やその合金で形成される配線553が設けられたフレキシブル性を有するFPC567を用意する。そして、電極552と、配線553とを異方性導電膜558を介して接続する。その後、エポキシ樹脂等の樹脂555で基板560上方から覆い、パッケージングされたCPUとして完成する。

【0213】

このようにパッケージングされたCPUは、外部から保護され、さらに携帯しやすくなる。そして所望箇所に、CPUを実装することができ、特に図15(C)のようにフレキシブル性を有すると、実装する位置の自由度が高まる。またパッケージングすることによりCPUの機能を補助することもできる。

【0214】

以上のように、本発明のTFTを用いて、CPU等の半導体装置を作製することができる。薄膜トランジスタにより形成されるCPUは軽量であるため、携帯や実装するときの負担を軽減することができる。また、本実施例で説明したCPUや液晶表示装置やEL表示装置等、様々な表示装置を用いて、システムオンパネルを作製することが可能である。

【0215】

また、本実施例は、必要であれば実施の形態及び他の実施例のいかなる記載とも自由に組み合わせることが可能である。

【実施例5】

【0216】

本実施例では、本発明を用いてIDチップ(IDタグ、ICチップ、ICタグともいう)を作製した例を、図16(A)~図16(B)、図17(A)~図17(B)、図18(A)~図18(B)及び図19(A)~図19(B)を用いて示す。

【0217】

本実施例では、半導体素子として絶縁分離されたTFTを例示するが、集積回路に用いられる半導体素子はこれに限定されず、あらゆる回路素子を用いることができる。例えば、TFTの他に、記憶素子、ダイオード、光電変換素子、抵抗素子、コイル、容量素子、インダクタなどが代表的に挙げられる。

【0218】

まず図16(A)に示すように、スパッタ法を用いて耐熱性を有する基板(第1の基板)601上に剥離層602を形成する。第1の基板601として、例えばバリウムホウケイ酸ガラスや、アルミノホウケイ酸ガラスなどのガラス基板、石英基板、セラミック基板等を用いることができる。また、ステンレス基板を含む金属基板または半導体基板の表面に絶縁膜を形成したものをを用いても良い。プラスチック等の可撓性を有する合成樹脂からなる基板は、一般的に上記基板と比較して耐熱温度が低い傾向にあるが、作製工程における処理温度に耐え得るのであれば用いることが可能である。

【0219】

剥離層602は、非晶質シリコン、多結晶シリコン、単結晶シリコン、微結晶シリコン(セミアモルファスシリコンを含む)等、シリコンを主成分とする層を用いることができる。剥離層602は、スパッタ法、減圧CVD法、プラズマCVD法等を用いて形成することができる。本実施例では、膜厚50nm程度の非晶質シリコンを減圧CVD法で形成し、剥離層602として用いる。なお剥離層602はシリコンに限定されず、エッチングにより選択的に除去できる材料で形成すれば良い。剥離層602の膜厚は、50~60nmとするのが望ましい。セミアモルファスシリコンに関しては、30~50nmとしてもよい。

【0220】

なおセミアモルファスシリコンに代表されるセミアモルファス半導体とは、非晶質半導

10

20

30

40

50

体と結晶構造を有する半導体（単結晶、多結晶を含む）の中間的な構造の半導体を含む膜である。このセミアモルファス半導体は、自由エネルギー的に安定な第3の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する結晶質なものであり、その粒径を0.5～20nmとして非単結晶半導体中に分散させて存在せしめることが可能である。セミアモルファス半導体は、そのラマンスペクトルが 520 cm^{-1} よりも低波数側にシフトしており、またX線回折ではSi結晶格子に由来するとされる(111)、(220)の回折ピークが観測される。また、未結合手（ダングリングボンド）を終端化させる材料として水素またはハロゲンを少なくとも1原子%またはそれ以上含ませている。ここでは便宜上、このような半導体をセミアモルファス半導体（SAS）と呼ぶ。さらに、ヘリウム、アルゴン、クリプトン、ネオンなどの希ガス元素を含ませて格子歪みをさらに助長させることで安定性が増し良好なセミアモルファス半導体が得られる。

10

【0221】

またSASは珪素を含む気体をグロー放電分解することにより得ることができる。代表的な珪素を含む気体としては、 SiH_4 であり、その他にも Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 などを用いることができる。また水素や、水素にヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素を加えたガスで、この珪素を含む気体を希釈して用いることで、SASの形成を容易なものとすることができる。希釈率は2倍～1000倍の範囲で珪素を含む気体を希釈することが好ましい。

【0222】

20

次に、剥離層602上に、下地膜603を形成する。下地膜603は第1の基板601中に含まれるNaなどのアルカリ金属やアルカリ土類金属が、半導体膜中に拡散し、TFTなどの半導体素子の特性に悪影響を及ぼすのを防ぐために設ける。また下地膜603は、後の半導体素子を剥離する工程において、半導体素子を保護する役目も有している。下地膜603は単層であっても複数の絶縁膜を積層したものであっても良い。よってアルカリ金属やアルカリ土類金属の半導体膜への拡散を抑えることができる酸化珪素や、窒化珪素、窒素を含む酸化珪素、酸素を含む窒化珪素などの絶縁膜を用いて形成する。

【0223】

本実施例では、下層下地膜603aとして膜厚100nmの窒素を含む酸化珪素膜、中層下地膜603bとして膜厚50nmの酸素を含む窒化珪素膜、上層下地膜603cとして膜厚100nmの窒素を含む酸化珪素膜を順に積層して下地膜603を形成するが、各膜の材質、膜厚、積層数は、これに限定されるものではない。例えば、下層の窒素を含む酸化珪素膜に代えて、膜厚0.5～3 μm のシロキサン系樹脂をスピンコート法、スリットコーター法、液滴吐出法などによって形成しても良い。また、中層の酸素を含む窒化珪素膜に代えて、窒化珪素膜（ Si_3N_4 等）を用いてもよい。また、上層の窒素を含む酸化珪素膜に代えて、酸化珪素膜を用いてもよい。また、それぞれの膜厚は、0.05～3 μm とするのが望ましく、その範囲から自由に選択することができる。

30

【0224】

或いは、剥離層602に最も近い、下地膜603の下層を窒素を含む酸化珪素膜または酸化珪素膜で形成し、中層をシロキサン系樹脂で形成し、上層を酸化珪素膜で形成しても良い。

40

【0225】

ここで、酸化珪素膜は、 SiH_4 と O_2 、又はTEOS（テトラエトキシシラン）と O_2 等の混合ガスを用い、熱CVD、プラズマCVD、常圧CVD、バイアスECRCVD等の方法によって形成することができる。また、窒化珪素膜は、代表的には、 SiH_4 と NH_3 の混合ガスを用い、プラズマCVDによって形成することができる。また、窒素を含む酸化珪素膜（組成比 $\text{O} > \text{N}$ ）、酸素を含む窒化珪素（組成比 $\text{N} > \text{O}$ ）は、代表的には、 SiH_4 と N_2O の混合ガスを用い、プラズマCVDによって形成することができる。

【0226】

次に、下地膜603上に半導体膜を形成する。半導体膜は、下地膜603を形成した後

50

、大気に曝さずに形成することが望ましい。半導体膜の膜厚は20～200nm（望ましくは40～170nm、好ましくは50～150nm）とする。なお半導体膜は、非晶質半導体であっても良いし、セミアモルファス半導体であっても良いし、多結晶半導体であっても良い。また半導体は珪素だけではなくシリコンゲルマニウムも用いることができる。シリコンゲルマニウムを用いる場合、ゲルマニウムの濃度は0.01～4.5at. %程度であることが好ましい。

【0227】

非晶質半導体は、珪素を含む気体をグロー放電分解することにより得ることができる。代表的な珪素を含む気体としては、 SiH_4 、 Si_2H_6 が挙げられる。この珪素を含む気体を、水素、水素とヘリウムで希釈して用いても良い。

10

【0228】

なお上述したようにセミアモルファス半導体は、珪素を含む気体をグロー放電分解することにより得ることができるが、珪素を含む気体中に、 CH_4 、 C_2H_6 などの炭化水素、 GeH_4 、 GeF_4 などのゲルマニウム化気体、 F_2 などを混入させて、エネルギーバンド幅を1.5～2.4eV、若しくは0.9～1.1eVに調節しても良い。

【0229】

例えば、 SiH_4 に H_2 を添加したガスを用いる場合、或いは SiH_4 に F_2 を添加したガスを用いる場合、形成したセミアモルファス半導体を用いてTFETを作製すると、該TFETのサブスレッショルド係数（S値）を0.35V/déc以下、代表的には0.25～0.09V/décとし、移動度を $10\text{cm}^2/\text{Vsec}$ とすることができる。そして上記セミアモルファス半導体を用いたTFETで、例えば19段リングオシレータを形成した場合、電源電圧3～5Vにおいて、その発振周波数は1MHz以上、好ましくは100MHz以上の特性を得ることができる。また電源電圧3～5Vにおいて、インバータ1段あたりの遅延時間は26ns、好ましくは0.26ns以下とすることができる。

20

【0230】

そして実施の形態1～実施の形態3及び実施例2～実施例4の記載に基づいて、一導電性を付与する元素の導入、サイドウォール形成、シリサイド領域形成までの工程を行う。

【0231】

以上により、nチャネル型TFET611、pチャネル型TFET612、nチャネル型TFET613が形成される（図16（A）参照）。なお、本実施例では、TFET611～613をトップゲート構造としたが、ボトムゲート構造（逆スタガ構造）としてもよい。

30

【0232】

nチャネル型TFET611は、上層下地膜603c上に島状半導体膜621、ゲート絶縁膜661、下層ゲート電極671a及び上層ゲート電極671bからなるゲート電極671を有している。島状半導体膜621には、チャネル形成領域631、低濃度不純物領域632、ソース領域またはドレイン領域633、接続領域634、シリサイド領域635が形成される。シリサイド領域635は、ソース領域またはドレイン領域633の一部と接続領域634中に形成される。またサイドウォール665が、ゲート絶縁膜661及びゲート電極671の側面に形成されている。

【0233】

40

pチャネル型TFET612は、上層下地膜603c上に島状半導体膜622、ゲート絶縁膜662、下層ゲート電極672a及び上層ゲート電極672bからなるゲート電極672を有している。島状半導体膜622には、チャネル形成領域641、ソース領域またはドレイン領域642、シリサイド領域645が形成される。シリサイド領域645は、ソース領域またはドレイン領域642の一部中に形成される。またサイドウォール666が、ゲート絶縁膜662及びゲート電極672の側面に形成されている。

【0234】

nチャネル型TFET613は、上層下地膜603c上に島状半導体膜623、ゲート絶縁膜663、下層ゲート電極673a及び上層ゲート電極673bからなるゲート電極673を有している。島状半導体膜623には、チャネル形成領域651、低濃度不純物領

50

域 6 5 2、ソース領域またはドレイン領域 6 5 3、接続領域 6 5 4、シリサイド領域 6 5 5 が形成される。シリサイド領域 6 5 5 は、ソース領域またはドレイン領域 6 5 3 の一部と接続領域 6 5 4 中に形成される。またサイドウォール 6 6 7 が、ゲート絶縁膜 6 6 3 及びゲート電極 6 7 3 の側面に形成されている。

【 0 2 3 5 】

さらに、この後、T F T 6 1 1 ~ T F T 6 1 3 を保護するためのパッシベーション膜 6 8 1 を形成しても良い。パッシベーション膜 6 8 1 は、アルカリ金属やアルカリ土類金属の T F T 6 1 1 ~ T F T 6 1 3 への侵入を防ぐことができる、窒化珪素、窒素を含む酸化珪素、窒化アルミニウム、酸化アルミニウム、酸化珪素などを用いるのが望ましい。具体的には、例えば膜厚 6 0 0 n m 程度の窒素を含む酸化珪素膜を、パッシベーション膜として用いることができる。この場合、水素化処理工程は、該窒素を含む酸化珪素膜形成後に行っても良い。上記構成を用いることで、T F T 6 1 1 ~ T F T 6 1 3 が下地膜 6 0 3 とパッシベーション膜 6 8 1 とで覆われるため、N a などのアルカリ金属やアルカリ土類金属が、半導体素子に用いられている半導体膜中に拡散し、半導体素子の特性に悪影響を及ぼすのをより防ぐことができる。

【 0 2 3 6 】

次に T F T 6 1 1 ~ T F T 6 1 3 及びパッシベーション膜 6 8 1 を覆うように、第 1 の層間絶縁膜 6 8 2 を形成する。第 1 の層間絶縁膜 6 8 2 は、ポリイミド、アクリル、ポリアミド等の、耐熱性を有する有機樹脂を用いることができる。また上記有機樹脂の他に、低誘電率材料 (l o w - k 材料)、シロキサン系材料を出発材料として形成された S i - O - S i 結合を含む樹脂 (以下、シロキサン系樹脂と呼ぶ) 等を用いることができる。

【 0 2 3 7 】

シロキサンとは、シリコン (S i) と酸素 (O) との結合で骨格構造で構成され、置換基として、少なくとも水素を含む有機基 (例えばアルキル基、芳香族炭化水素) が用いられるものである。また置換基として、フルオロ基を用いてもよい。さらに置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。

【 0 2 3 8 】

第 1 の層間絶縁膜 6 8 2 の形成には、その材料に応じて、スピンコート、ディップ、スプレー塗布、液滴吐出法 (インクジェット法、スクリーン印刷、オフセット印刷等)、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を採用することができる。また、無機材料を用いてもよく、その際には、酸化珪素、窒化珪素、酸窒化珪素、P S G (リンガラス)、B P S G (リンボロンガラス)、アルミナ膜等を用いることができる。なお、これらの絶縁膜を積層させて、第 1 の層間絶縁膜 6 8 2 を形成しても良い。

【 0 2 3 9 】

さらに本実施例では、第 1 の層間絶縁膜 6 8 2 上に、第 2 の層間絶縁膜 6 8 3 を形成する。第 2 の層間絶縁膜 6 8 3 としては、D L C (ダイヤモンドライクカーボン) 或いは窒化炭素 (C N) 等の炭素を有する膜、又は、酸化珪素膜、窒化珪素膜或いは窒素を含む酸化珪素膜等を用いることができる。形成方法としては、プラズマ C V D 法や、大気圧プラズマ C V D 等を用いることができる。あるいは、ポリイミド、アクリル、ポリアミド、レジスト又はベンゾシクロブテン等の感光性又は非感光性の有機材料や、シロキサン系樹脂等を用いてもよい。

【 0 2 4 0 】

なお、第 1 の層間絶縁膜 6 8 2 又は第 2 の層間絶縁膜 6 8 3 と、後に形成される配線を構成する導電材料等との熱膨張率の差から生じる応力によって、第 1 の層間絶縁膜 6 8 2 又は第 2 の層間絶縁膜 6 8 3 の膜剥がれや割れが生じるのを防ぐために、第 1 の層間絶縁膜 6 8 2 又は第 2 の層間絶縁膜 6 8 3 中にフィラーを混入させておいても良い。

【 0 2 4 1 】

次に、第 1 の層間絶縁膜 6 8 2 及び第 2 の層間絶縁膜 6 8 3 にコンタクトホールを形成する。そして島状半導体膜 6 2 1 ~ 6 2 3 の、コンタクトホールによって露出した表面を

フッ酸で洗浄、もしくは水素プラズマでプラズマ処理する。次いでコンタクトホールを介して、TFT611～TFT613に接続する電極又は配線691～695を形成する。本実施例では電極と配線を一体形成するが、電極と配線を別々に形成して電氣的に接続させてもよい。コンタクトホール形成時のエッチングに用いられるガスは、 CHF_3 とHeの混合ガスをを用いたが、これに限定されるものではない。本実施例では、チタン(Ti)膜、窒化チタン(TiN)膜、珪素を含むアルミニウム(Al-Si)膜、チタン(Ti)膜、窒化チタン(TiN)膜を積層して5層構造とし、スパッタ法によって形成したものをを用いて、電極又は配線691～695を形成する。

【0242】

なお、アルミニウム(Al)膜において、珪素(Si)を混入させることにより、配線形成時のレジストバークにおけるヒロックの発生を防止することができる。また、Siの代わりに、0.5%程度のCuを混入させても良い。また、TiやTiNでAl-Si層をサンドイッチすることにより、耐ヒロック性がさらに向上する。なお、エッチング時には、窒素を含む酸化珪素等からなる上記ハードマスクを用いるのが望ましい。なお、配線の材料や、形成方法はこれらに限定されるものではなく、前述したゲート電極に用いられる材料を採用しても良い。

【0243】

またこの電極又は配線691～695を、ニッケル、コバルト、鉄のうち少なくとも1種の元素、及び炭素を含むアルミニウム合金膜で形成してもよい。このようなアルミニウム合金膜は、シリコンと接触してもシリコンとアルミニウムの相互拡散が防止できる。またこのようなアルミニウム合金膜は、透明導電膜、例えばITO(Indium Tin Oxide)膜と接触しても酸化還元反応が起こらないため、両者を直接接触させることができる。さらにこのようなアルミ合金膜は、比抵抗が低く耐熱性にも優れているので、配線材料としては有用である。

【0244】

なお、電極又は配線691、並びに電極又は配線692はnチャネル型TFT611の接続領域634中のシリサイド領域に、電氣的に接続されている。電極又は配線692、並びに電極又は配線693はpチャネル型TFT612のソース領域またはドレイン領域642中のシリサイド領域に電氣的に接続されている。電極又は配線694、並びに電極又は配線695はnチャネル型TFT613の接続領域654中のシリサイド領域に、電氣的に接続されている。さらに電極又は配線695は、nチャネル型TFT613のゲート電極673にも接続されている。nチャネル型TFT613は、乱数ROMのメモリ素子として用いることができる(図16(B)参照)。

【0245】

次に電極又は配線691～695を覆うように、第2の層間絶縁膜683上に第3の層間絶縁膜701を形成する。第3の層間絶縁膜701は、電極又は配線691が一部露出する様な位置に開口部を有するように形成する。なお第3の層間絶縁膜701は、第1の層間絶縁膜682と同様の材料を用いて形成することが可能である。

【0246】

次に、第3の層間絶縁膜701上にアンテナ705を形成する(図17(A)参照)。アンテナ705は、Ag、Au、Cu、Pd、Cr、Mo、Ti、Ta、W、Al、Fe、Co、Zn、Sn、Niなどの金属、金属化合物を1つまたは複数有する導電材料を用いることができる。そしてアンテナ705は、電極又は配線691と接続されている。なお図17(A)では、アンテナ705が電極又は配線691と直接接続されているが、本発明のIDチップはこの構成に限定されない。例えば別途形成した配線を用いて、アンテナ705と電極又は配線691とを電氣的に接続するようにしても良い。

【0247】

アンテナ705は印刷法、フォトリソグラフィ法、蒸着法または液滴吐出法などを用いて形成することができる。本実施例では、アンテナ705が単層の導電膜で形成されているが、複数の導電膜が積層されたアンテナ705を形成することも可能である。例えば、

Niなどで形成した配線に、Cuを無電解めっきでコーティングして、アンテナ705を形成しても良い。

【0248】

なお液滴吐出法とは、所定の組成物を含む液滴を細孔から吐出して所定のパターンを形成する方法を意味し、インクジェット法などがその範疇に含まれる。また印刷法にはスクリーン印刷法、オフセット印刷法などが含まれる。印刷法、液滴吐出法を用いることで、露光用のマスクを用いずとも、アンテナ705を形成することが可能になる。また、液滴吐出法、印刷法だと、フォトリソグラフィ法と異なり、エッチングにより除去されてしまうような材料の無駄がない。また高価な露光用のマスクを用いなくとも良いので、IDチップの作製に費やされるコストを抑えることができる。

10

【0249】

液滴吐出法または各種印刷法を用いる場合、例えば、CuをAgでコートした導電粒子なども用いることが可能である。なお液滴吐出法を用いてアンテナ705を形成する場合、該アンテナ705の密着性が高まるような処理を、第3の層間絶縁膜701の表面に施すことが望ましい。

【0250】

密着性を高めることができる方法として、具体的には、例えば触媒作用により導電膜または絶縁膜の密着性を高めることができる金属または金属化合物を第3の層間絶縁膜701の表面に付着させる方法、形成される導電膜または絶縁膜との密着性が高い有機系の絶縁膜、金属、金属化合物を第3の層間絶縁膜701の表面に付着させる方法、第3の層間絶縁膜701の表面に大気圧下または減圧下においてプラズマ処理を施し、表面改質を行なう方法などが挙げられる。また、上記導電膜または絶縁膜との密着性が高い金属として、チタン、チタン酸化物の他、3d遷移元素であるSc、Ti、V、Cr、Mn、Fe、Co、Ni、Cu、Znなどが挙げられる。また金属化合物として、上述した金属の酸化物、窒化物、酸窒化物などが挙げられる。上記有機系の絶縁膜として、例えばポリイミド、シロキサン系樹脂等が挙げられる。

20

【0251】

第3の層間絶縁膜701に付着させる金属または金属化合物が導電性を有する場合、アンテナの正常な動作が妨げられないように、そのシート抵抗を制御する。具体的には、導電性を有する金属または金属化合物の平均の厚さを、例えば1~10nmとなるように制御する、該金属または金属化合物を酸化により部分的に、または全体的に絶縁化すれば良い。或いは、密着性を高めたい領域以外は、付着した金属または金属化合物をエッチングにより選択的に除去しても良い。また金属または金属化合物を、予め基板の全面に付着させるのではなく、液滴吐出法、印刷法、ゾル-ゲル法などを用いて特定の領域にのみ選択的に付着させても良い。なお金属または金属化合物は、第3の層間絶縁膜701の表面において完全に連続した膜状である必要はなく、ある程度分散した状態であっても良い。

30

【0252】

そして図17(B)に示すように、アンテナ705を形成した後、アンテナ705を覆うように、第3の層間絶縁膜701上に保護層711を形成する。保護層711は、後に剥離層602をエッチングにより除去する際に、アンテナ705を保護することができる材料を用いる。例えば、水またはアルコール類に可溶なエポキシ系、アクリレート系、シリコン系の樹脂を全面に塗布することで保護層711を形成することができる。

40

【0253】

本実施例では、スピンコート法で水溶性樹脂(東亜合成製:VL-WSHL10)を膜厚30μmとなるように塗布し、仮硬化させるために2分間の露光を行ったあと、UV光を基板の裏面から2.5分、表面から10分、合計12.5分の露光を行って本硬化させて、保護層711を形成する。なお、複数の有機樹脂を積層する場合、有機樹脂同士では使用している溶媒によって塗布または焼成時に一部溶解してしまったり、密着性が高くなりすぎたりする恐れがある。従って、第3の層間絶縁膜701と保護層711を共に同じ溶媒に可溶な有機樹脂を用いる場合、後の工程において保護層711の除去がスムーズに

50

行なわれるように、第3の層間絶縁膜701を覆うように、無機絶縁膜（窒化珪素膜、酸素を含む窒化珪素膜、窒素を含む酸化珪素膜、窒化アルミニウム膜、または酸素を含む窒化アルミニウム膜、窒素を含む酸化アルミニウム膜）を形成しておくことが好ましい。

【0254】

次に図18(A)に示すように、IDチップどうしを分離するために溝715を形成する。溝715は、剥離層602が露出する程度であれば良い。溝715の形成は、ダイシング、スクライピングなどを用いることができる。なお、第1の基板601上に形成されているIDチップを分離する必要がない場合、必ずしも溝715を形成する必要はない。

【0255】

次に図18(B)に示すように、剥離層602をエッチングにより除去する。本実施例では、エッチングガスとしてフッ化ハロゲンを用い、該ガスを溝715から導入する。本実施例では、例えば ClF_3 （三フッ化塩素）を用い、温度：350、流量：300 sccm、気圧：798パスカル（798 Pa）、時間：3 hの条件で行なう。また、 ClF_3 ガスに窒素を混ぜたガスを用いても良い。 ClF_3 等のフッ化ハロゲンを用いることで、剥離層602が選択的にエッチングされ、第1の基板601をTFT611～TFT613から剥離することができる。なおフッ化ハロゲンは、気体であっても液体であってもどちらでも良い。

【0256】

次に図19(A)に示すように、剥離されたTFT611～TFT613及びアンテナ705を、接着剤722を用いて第2の基板721に貼り合わせる。接着剤722は、第2の基板721と下地膜603とを貼り合わせることができる材料を用いる。接着剤722は、例えば反応硬化型接着剤、熱硬化型接着剤、紫外線硬化型接着剤等の光硬化型接着剤、嫌気型接着剤などの各種硬化型接着剤を用いることができる。

【0257】

第2の基板721として、フレキシブルな紙またはプラスチックなどの有機材料を用いることができる。または第2の基板721として、フレキシブル無機材料を用いても良い。プラスチック基板は、極性基のついたポリノルボルネンからなるARTON（JSR製）を用いることができる。また、ポリエチレンテレフタレート（PET）に代表されるポリエステル、ポリエーテルスルホン（PES）、ポリエチレンナフタレート（PEN）、ポリカーボネート（PC）、ナイロン、ポリエーテルエーテルケトン（PEEK）、ポリスルホン（PSF）、ポリエーテルイミド（PEI）、ポリアリレート（PAR）、ポリブチレンテレフタレート（PBT）、ポリイミド、アクリロニトリルブタジエンスチレン樹脂、ポリ塩化ビニル、ポリプロピレン、ポリ酢酸ビニル、アクリル樹脂などが挙げられる。第2の基板721は集積回路において発生した熱を拡散させるために、2～30 W/mK程度の高い熱伝導率を有する方が望ましい。

【0258】

次に図19(B)に示すように、保護層711を除去した後、アンテナ705を覆うように接着剤726を第3の層間絶縁膜701上に塗布し、カバー材725を貼り合わせる。カバー材725は第2の基板721と同様に、フレキシブルな紙またはプラスチックなどの有機材料を用いることができる。接着剤726の厚さは、例えば10～200 μmとすれば良い。

【0259】

また接着剤726は、カバー材725と第3の層間絶縁膜701及びアンテナ705とを貼り合わせることができる材料を用いる。接着剤726は、例えば反応硬化型接着剤、熱硬化型接着剤、紫外線硬化型接着剤等の光硬化型接着剤、嫌気型接着剤などの各種硬化型接着剤を用いることができる。

【0260】

上述した各工程を経て、IDチップが完成する。上記作製方法によって、トータルの膜厚0.3 μm以上3 μm以下、代表的には2 μm程度の飛躍的に薄い集積回路を第2の基板721とカバー材725との間に形成することができる。なお集積回路の厚さは、半導

10

20

30

40

50

体素子自体の厚さのみならず、接着剤 7 2 2 と接着剤 7 2 6 間に形成された各種絶縁膜及び層間絶縁膜の厚さを含めるものとする。また I D チップが有する集積回路の占める面積を、5 mm 四方 (2 5 mm²) 以下、より望ましくは 0 . 3 mm 四方 (0 . 0 9 mm²) ~ 4 mm 四方 (1 6 mm²) 程度とすることができる。

【 0 2 6 1 】

なお集積回路を、第 2 の基板 7 2 1 とカバー材 7 2 5 の間のより中央に位置させることで、I D チップの機械的強度を高めることができる。具体的には、第 2 の基板 7 2 1 とカバー材 7 2 5 の間の距離を d とすると、第 2 の基板 7 2 1 と、集積回路の厚さ方向における中心との距離が、以下の数 1 を満たすように、接着剤 7 2 2、接着剤 7 2 6 の厚さを制御することが望ましい。

10

【 0 2 6 2 】

【 数 1 】

$$\frac{1}{2}d - 30\mu m < x < \frac{1}{2}d + 30\mu m$$

【 0 2 6 3 】

また好ましくは、以下の数 2 を満たすように、接着剤 7 2 2、接着剤 7 2 6 の厚さを制御する。

【 0 2 6 4 】

20

【 数 2 】

$$\frac{1}{2}d - 10\mu m < x < \frac{1}{2}d + 10\mu m$$

【 0 2 6 5 】

なお図 1 9 (B) では、カバー材 7 2 5 を用いる例を示しているが、本発明はこの構成に限定されない。例えば図 1 9 (A) に示した工程までで終了としても良い。

【 0 2 6 6 】

なお本実施例では、耐熱性の高い第 1 の基板 6 0 1 と集積回路の間に剥離層を設け、エッチングにより該剥離層を除去することで基板と集積回路とを剥離する方法について示したが、本発明の I D チップの作製方法は、この構成に限定されない。例えば、耐熱性の高い基板と集積回路の間に金属酸化膜を設け、該金属酸化膜を結晶化により脆弱化して集積回路を剥離しても良い。或いは、耐熱性の高い基板と集積回路の間に、水素を含む非晶質半導体膜を用いた剥離層を設け、レーザ光の照射により該剥離層を除去することで基板と集積回路とを剥離しても良い。或いは、集積回路が形成された耐熱性の高い基板を機械的に削除または溶液やガスによるエッチングで除去することで集積回路を基板から切り離しても良い。

30

【 0 2 6 7 】

また I D チップの可撓性を確保するために、下地膜 6 0 3 に接する接着剤 7 2 2 に有機樹脂を用いる場合、下地膜 6 0 3 として窒化珪素膜または窒素を含む酸化珪素膜を用いることで、有機樹脂から Na などのアルカリ金属やアルカリ土類金属が半導体膜中に拡散するのを防ぐことができる。

40

【 0 2 6 8 】

また対象物の表面が曲面を有しており、それにより該曲面貼り合わされた I D チップの第 2 の基板 7 2 1 が、錐面、柱面など母線の移動によって描かれる曲面を有するように曲がってしまう場合、該母線の方角と T F T 6 1 1 ~ T F T 6 1 3 のキャリアが移動する方角とを揃えておくことが望ましい。上記構成により、第 2 の基板 7 2 1 が曲がっても、それによって T F T 6 1 1 ~ T F T 6 1 3 の特性に影響が出るのを抑えることができる。また、島状の半導体膜が集積回路内において占める面積の割合を、1 ~ 3 0 % とすることで

50

、第2の基板721が曲がっても、それによってTFT611～TFT613の特性に影響が出るのをより抑えることができる。

【0269】

なお本実施例では、アンテナを集積回路と同じ基板上に形成している例について説明したが、本発明はこの構成に限定されない。別の基板上に形成したアンテナと集積回路とを、後に貼り合わせることで、電氣的に接続するようにしても良い。

【0270】

なお一般的にIDチップで用いられている電波の周波数は、13.56MHz、2.45GHzが多く、該周波数の電波を検波できるようにIDチップを形成することが、汎用性を高める上で非常に重要である。

【0271】

また本実施例のIDチップでは、半導体基板を用いて形成されたIDチップよりも電波が遮蔽されにくく、電波の遮蔽により信号が減衰するのを防ぐことができるというメリットを有している。よって、半導体基板を用いずに済むので、IDチップのコストを大幅に低くすることができる。例えば、直径12インチのシリコン基板を用いた場合と、730×920mm²のガラス基板を用いた場合とを比較する。前者のシリコン基板の面積は約73000mm²であるが、後者のガラス基板の面積は約672000mm²であり、ガラス基板はシリコン基板の約9.2倍に相当する。後者のガラス基板の面積は約672000mm²では、基板の分断により消費される面積を無視すると、1mm四方のIDチップが約672000個形成できる計算になり、該個数はシリコン基板の約9.2倍の数に相当する。そしてIDチップの量産化を行なうための設備投資は、730×920mm²のガラス基板を用いた場合の方が直径12インチのシリコン基板を用いた場合よりも工程数が少なく済むため、額を3分の1で済ませることができる。さらに本発明では、集積回路を剥離した後、ガラス基板を再び利用できる。よって、破損したガラス基板を補填する、ガラス基板の表面を清浄化する費用を踏まえても、シリコン基板を用いる場合より大幅にコストを抑えることができる。またガラス基板を再利用せずに廃棄していったとしても、730×920mm²のガラス基板の値段は、直径12インチのシリコン基板の半分程度で済むので、IDチップのコストを大幅に低くすることができることがわかる。

【0272】

従って、730×920mm²のガラス基板を用いた場合、直径12インチのシリコン基板を用いた場合よりも、IDチップの値段を約30分の1程度に抑えることができることがわかる。IDチップは、使い捨てを前提とした用途と考えられるので、コストを大幅に低くすることができる本発明のIDチップは上記用途に非常に有用である。

【0273】

なお本実施例では、集積回路を剥離して、可撓性を有する基板に貼り合わせる例について説明したが、本発明はこの構成に限定されない。例えばガラス基板のように、集積回路の作製工程における熱処理に耐えうるような、耐熱温度を有している基板を用いる場合、必ずしも集積回路を剥離する必要はない。

【0274】

また、本実施例は、必要であれば実施の形態1～3及び他の実施例のいかなる記載と自由に組み合わせることが可能である。

【実施例6】

【0275】

本発明が適用される電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ、ナビゲーションシステム、音響再生装置（カーオーディオコンポ等）、コンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはDigital Versatile Disc（DVD）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。それらの電子機器の具体例を図20（A）～図20（D）及び図21（A）～図21（D）に示す。

【0276】

図20(A)は発光表示装置でありテレビ受像器などがこれに当たる。筐体801、表示部803、スピーカ部804等を含む。本発明は、表示部803及び制御用回路部のTFT等に適用することができる。画素部にはコントラストを高めるため、偏光板、または円偏光板を備えるとよい。例えば、封止基板へ1/4板、1/2板、偏光板の順にフィルムを設けるとよい。さらに偏光板上に反射防止膜を設けてもよい。本発明を使用することにより、駆動速度が速く、信頼性における発光表示装置を得ることができる。また実施例5により作製されたID Chipを発光表示装置に貼り付けることにより、流通経路などを明確にすることができる。

【0277】

10

図20(B)は液晶ディスプレイもしくはOLEDディスプレイであり、筐体811、支持台812、表示部813などによって構成されている。本発明は表示部813及び制御用回路部等のTFTに適用が可能である。本発明を使用することにより、駆動速度が速く、信頼性における液晶ディスプレイもしくはOLEDディスプレイを得ることができる。また実施例5により作製されたID Chipを液晶ディスプレイもしくはOLEDディスプレイに貼り付けることにより、流通経路などを明確にすることができる。

【0278】

図20(C)は携帯電話であり、本体821、筐体822、表示部823、音声入力部824、音声出力部825、操作キー826、アンテナ828等を含む。本発明は表示部823及び制御用回路部等のTFTに適用することができる。本発明を使用することにより、駆動速度が速く、信頼性における携帯電話を得ることができる。また実施例5により作製されたID Chipを携帯電話に貼り付けることにより、流通経路などを明確にすることができる。

20

【0279】

図20(D)はノート型パーソナルコンピュータであり、本体831、筐体832、表示部833、キーボード834、外部接続ポート835、ポインティングデバイス836等を含む。本発明は、表示部833及び制御用回路部等のTFTに適用することができる。本発明を使用することにより、駆動速度が速く、信頼性におけるパーソナルコンピュータを得ることができる。また実施例5により作製されたID Chipをパーソナルコンピュータに貼り付けることにより、流通経路などを明確にすることができる。

30

【0280】

図21(A)はモバイルコンピュータであり、本体861、表示部862、スイッチ863、操作キー864、赤外線ポート865等を含む。本発明は、表示部862及び制御用回路部等のTFTに適用することができる。本発明を使用することにより、駆動速度が速く、信頼性におけるモバイルコンピュータを得ることができる。また実施例5により作製されたID Chipをモバイルコンピュータに貼り付けることにより、流通経路などを明確にすることができる。

【0281】

図22(B)は携帯型ゲーム機であり、筐体871、表示部872、スピーカ部873、操作キー874、記録媒体挿入部875等を含む。本発明は表示部872及び制御用回路部等のTFTに適用することができる。本発明を使用することにより、駆動速度が速く、信頼性における携帯型ゲーム機を得ることができる。また実施例5により作製されたID Chipを携帯型ゲーム機に貼り付けることにより、流通経路などを明確にすることができる。

40

【0282】

図22(C)は記録媒体を備えた携帯型の画像再生装置(具体的にはDVD再生装置)であり、本体881、筐体882、表示部A883、表示部B884、記録媒体(DVD等)読み込み部885、操作キー886、スピーカ部887等を含む。表示部A883は主として画像情報を表示し、表示部B884は主として文字情報を表示する。本発明は表示部A883、表示部B884及び制御用回路部等のTFTに適用することができる。な

50

お、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。本発明を使用することにより、駆動速度が速く、信頼性における画像再生装置を得ることができる。また実施例 5 により作製された I D C h i p を画像再生装置に貼り付けることにより、流通経路などを明確にすることができる。

【 0 2 8 3 】

図 2 1 (D) は、ワイヤレスでディスプレイのみを持ち運び可能な T V である。筐体 8 9 2 にはバッテリー及び信号受信器が内蔵されており、そのバッテリーで表示部 8 9 3 やスピーカ部 8 9 7 を駆動させる。バッテリーは充電器 8 9 1 で繰り返し充電が可能となっている。また、充電器 8 9 1 は映像信号を送受信することが可能で、その映像信号をディスプレイの信号受信器に送信することができる。筐体 8 9 2 は操作キー 8 9 6 によって制御する。また、図 2 1 (D) に示す装置は、操作キー 8 9 6 を操作することによって、筐体 8 9 2 から充電器 8 9 1 に信号を送ることも可能であるため映像音声双方向通信装置とも言える。また、操作キー 8 9 6 を操作することによって、筐体 8 9 2 から充電器 8 9 1 に信号を送り、さらに充電器 8 9 1 が送信できる信号を他の電子機器に受信させることによって、他の電子機器の通信制御も可能であり、汎用遠隔制御装置とも言える。本発明は表示部 8 9 3 及び制御用回路部等の T F T に適用することができる。本発明を使用することにより、駆動速度が速く、信頼性における T V を得ることができる。また実施例 5 により作製された I D C h i p を T V に貼り付けることにより、流通経路などを明確にすることができる。

【 0 2 8 4 】

これらの電子機器に使われる表示装置は、大きさや強度、または使用目的に応じて、ガラス基板だけでなく耐熱性のプラスチック基板を用いることも可能である。それによってよりいっそうの軽量化を図ることができる。

【 0 2 8 5 】

なお、本実施例に示した例はごく一例であり、これらの用途に限定するものではないことを付記する。

【 0 2 8 6 】

また本実施例は、実施の形態 1 ~ 3 及び他の実施例のいかなる記載とも自由に組み合わせて実施することが可能である。

【産業上の利用可能性】

【 0 2 8 7 】

本発明は、T F T を有する半導体装置に適用させることができる。本発明の T F T は、シリサイドをエッチングにより消失させることを防ぎ、ソース電極またはドレイン電極とシリサイドの電氣的接触を良好にさせることができる。

【 0 2 8 8 】

また本発明により作製された半導体装置は、駆動速度が速く、かつ高い信頼性を有することができる。

【図面の簡単な説明】

【 0 2 8 9 】

【図 1】本発明の半導体装置を示す図。

【図 2】本発明の半導体装置の作製工程を示す図。

【図 3】本発明の半導体装置の作製工程を示す図。

【図 4】本発明の半導体装置の作製工程を示す図。

【図 5】本発明の半導体装置の作製工程を示す図。

【図 6】本発明の半導体装置を示す図。

【図 7】本発明の半導体装置の作製工程を示す図。

【図 8】本発明の半導体装置の作製工程を示す図。

【図 9】本発明の半導体装置の作製工程を示す図。

【図 1 0】本発明の半導体装置の作製工程を示す図。

【図 1 1】本発明の C P U の作製工程を示す図。

【図 1 2】本発明の CPU の作製工程を示す図。

【図 1 3】本発明の CPU の上面図。

【図 1 4】本発明のシステムオンパネルを示す図。

【図 1 5】本発明の CPU を作製工程を示す図。

【図 1 6】本発明の ID チップの作製工程を示す図。

【図 1 7】本発明の ID チップの作製工程を示す図。

【図 1 8】本発明の ID チップの作製工程を示す図。

【図 1 9】本発明の ID チップの作製工程を示す図。

【図 2 0】本発明が適用される電子機器の例を示す図。

【図 2 1】本発明が適用される電子機器の例を示す図。

10

【図 2 2】一導電性を付与する元素が添加された領域と添加されない領域のシート抵抗の比較を表す図。

【図 2 3】一導電性を付与する元素が添加された領域と添加されない領域のシート抵抗の比較を表す図。

【図 2 4】一導電性を付与する元素が添加された領域と添加されない領域のシート抵抗の比較を表す図。

【図 2 5】本発明の半導体装置の作製工程を示す図。

【図 2 6】本発明の半導体装置の作製工程を示す図。

【符号の説明】

【 0 2 9 0 】

20

1 0 1 基板

1 0 2 下地膜

1 0 3 チャネル形成領域

1 0 4 低濃度不純物領域

1 0 5 ソース領域またはドレイン領域

1 0 6 シリサイド領域

1 0 7 接続領域

1 0 8 ゲート絶縁膜

1 1 1 ゲート電極

1 1 2 サイドウォール

30

1 1 3 層間絶縁膜

1 1 5 ソース電極またはドレイン電極

1 1 7 島状半導体膜

1 2 1 半導体膜

1 2 2 結晶性半導体膜

1 2 5 線状ビーム

1 2 7 レジスト

1 2 9 金属膜

1 3 1 コンタクトホール

1 3 3 導電膜

40

1 5 1 サイドウォール

1 5 2 金属膜

1 5 3 シリサイド領域

1 5 5 レジスト

1 6 1 チャネル形成領域

1 6 2 ソース領域またはドレイン領域

1 6 3 接続領域

1 6 5 チャネル形成領域

1 6 6 低濃度不純物領域

1 6 7 ソース領域またはドレイン領域

50

1 6 8	接続領域	
1 7 1	層間絶縁膜	
1 7 3	ソース電極またはドレイン電極	
2 0 1	基板	
2 0 2	下地膜	
2 0 3	チャネル形成領域	
2 0 4	低濃度不純物領域	
2 0 5	ソース領域またはドレイン領域	
2 0 6	シリサイド領域	
2 0 7	接続領域	10
2 0 8	ゲート絶縁膜	
2 0 9	下層ゲート電極	
2 1 1	上層ゲート電極	
2 1 2	サイドウォール	
2 1 3	層間絶縁膜	
2 1 5	ソース電極またはドレイン電極	
2 1 7	島状半導体膜	
3 0 1	基板	
3 0 2	下地膜	
3 0 3	島状半導体膜	20
3 0 4	島状半導体膜	
3 0 6	絶縁膜	
3 0 8	ゲート絶縁膜	
3 0 9	ゲート絶縁膜	
3 1 1	導電膜	
3 1 2	導電膜	
3 1 4	ゲート電極	
3 1 4 a	下層ゲート電極	
3 1 4 b	上層ゲート電極	
3 1 5	ゲート電極	30
3 1 5 b	上層ゲート電極	
3 1 5 a	下層ゲート電極	
3 1 8	レジスト	
3 1 9	レジスト	
3 2 1	チャネル形成領域	
3 2 2	低濃度不純物領域	
3 2 3	ソース領域またはドレイン領域	
3 2 4	接続領域	
3 2 7	レジスト	
3 2 8	チャネル形成領域	40
3 2 9	ソース領域またはドレイン領域	
3 3 1	絶縁膜	
3 3 3	サイドウォール	
3 3 4	サイドウォール	
3 3 5	金属膜	
3 4 1	シリサイド領域	
3 4 2	シリサイド領域	
3 4 4	層間絶縁膜	
3 4 3	層間絶縁膜	
3 4 5	コンタクトホール	50

3 4 6	コンタクトホール	
3 4 7	コンタクトホール	
3 4 8	コンタクトホール	
3 5 1	ソース電極またはドレイン電極	
3 5 2	ソース電極またはドレイン電極	
3 5 3	ソース電極またはドレイン電極	
3 5 6	nチャネル型T F T	
3 5 7	pチャネル型T F T	
3 5 8	C M O S 回路	
3 6 1	レジスト	10
3 6 2	シリサイド領域	
3 6 3	チャネル形成領域	
3 6 4	ソース領域またはドレイン領域	
3 6 5	接続領域	
3 6 7	pチャネル型T F T	
3 6 8	C M O S 回路	
4 0 1	基板	
4 0 2	下地膜	
4 0 3	非晶質半導体膜	
4 0 4	膜	20
4 0 5	レーザ光	
4 0 6	結晶性半導体膜	
4 0 7	島状半導体膜	
4 0 8	島状半導体膜	
4 0 9	島状半導体膜	
4 1 0	島状半導体膜	
4 1 1	ゲート絶縁膜	
4 1 2	ゲート絶縁膜	
4 1 3	ゲート絶縁膜	
4 1 4	ゲート絶縁膜	30
4 2 1	チャネル形成領域	
4 2 2	低濃度不純物領域	
4 2 3	ソース領域またはドレイン領域	
4 2 4	接続領域	
4 2 5	シリサイド領域	
4 3 1	チャネル形成領域	
4 3 2	ソース領域またはドレイン領域	
4 3 5	シリサイド領域	
4 4 1	チャネル形成領域	
4 4 2	低濃度不純物領域	40
4 4 3	ソース領域またはドレイン領域	
4 4 4	接続領域	
4 4 5	シリサイド領域	
4 5 1	チャネル形成領域	
4 5 2	ソース領域またはドレイン領域	
4 5 5	シリサイド領域	
4 6 1	nチャネル型T F T	
4 6 2	pチャネル型T F T	
4 6 3	nチャネル型T F T	
4 6 4	pチャネル型T F T	50

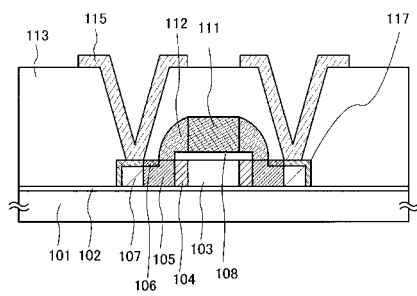
4 7 1	ゲート電極	
4 7 1 a	下層ゲート電極	
4 7 1 b	上層ゲート電極	
4 7 2	ゲート電極	
4 7 2 a	下層ゲート電極	
4 7 2 b	上層ゲート電極	
4 7 3	ゲート電極	
4 7 3 a	下層ゲート電極	
4 7 3 b	上層ゲート電極	
4 7 4	ゲート電極	10
4 7 4 a	下層ゲート電極	
4 7 4 b	上層ゲート電極	
4 7 6	サイドウォール	
4 7 7	サイドウォール	
4 7 8	サイドウォール	
4 7 9	サイドウォール	
4 8 1	層間絶縁膜	
4 8 2	層間絶縁膜	
4 9 1	電極又は配線	
4 9 2	電極又は配線	20
4 9 3	電極又は配線	
4 9 4	電極又は配線	
4 9 5	電極又は配線	
4 9 6	電極又は配線	
4 9 7	電極又は配線	
4 9 8	電極又は配線	
5 0 0	基板	
5 0 1	演算回路	
5 0 2	演算回路用制御部	
5 0 3	命令解析部	30
5 0 4	割り込み制御部	
5 0 5	タイミング制御部	
5 0 6	レジスタ	
5 0 7	レジスタ制御部	
5 0 8	バスインターフェース	
5 0 9	R O M	
5 2 0	R O M インターフェース	
5 2 1	C L K 1	
5 2 2	C L K 2	
5 3 0	基板	40
5 3 1	画素部	
5 3 2	走査線駆動回路	
5 3 3	信号線駆動回路	
5 3 4	C P U	
5 3 5	コントロール回路	
5 5 0	基板	
5 5 1	薄膜トランジスタアレイ	
5 5 2	電極	
5 5 3	配線	
5 5 4	接続端子	50

5 5 5	樹脂	
5 5 7	プリント基板	
5 5 8	異方性導電膜	
5 6 0	基板	
5 6 4	バンプ	
5 6 5	プラスチック	
5 6 7	F P C	
5 6 8	ワイヤ	
6 0 1	基板	
6 0 2	剝離層	10
6 0 3	下地膜	
6 0 3 a	下層下地膜	
6 0 3 b	中層下地膜	
6 0 3 c	上層下地膜	
6 1 1	T F T	
6 1 2	T F T	
6 1 3	T F T	
6 2 1	島状半導体膜	
6 2 2	島状半導体膜	
6 2 3	島状半導体膜	20
6 3 1	チャネル形成領域	
6 3 2	低濃度不純物領域	
6 3 3	ソース領域またはドレイン領域	
6 3 4	接続領域	
6 3 5	シリサイド領域	
6 4 1	チャネル形成領域	
6 4 2	ソース領域またはドレイン領域	
6 4 5	シリサイド領域	
6 5 1	チャネル形成領域	
6 5 2	低濃度不純物領域	30
6 5 3	ソース領域またはドレイン領域	
6 5 4	接続領域	
6 5 5	シリサイド領域	
6 6 1	ゲート絶縁膜	
6 6 2	ゲート絶縁膜	
6 6 3	ゲート絶縁膜	
6 6 5	サイドウォール	
6 6 6	サイドウォール	
6 6 7	サイドウォール	
6 7 1	ゲート電極	40
6 7 1 a	下層ゲート電極	
6 7 1 b	上層ゲート電極	
6 7 2	ゲート電極	
6 7 2 a	下層ゲート電極	
6 7 2 b	上層ゲート電極	
6 7 3	ゲート電極	
6 7 3 a	下層ゲート電極	
6 7 3 b	上層ゲート電極	
6 8 1	パッシベーション膜	
6 8 2	層間絶縁膜	50

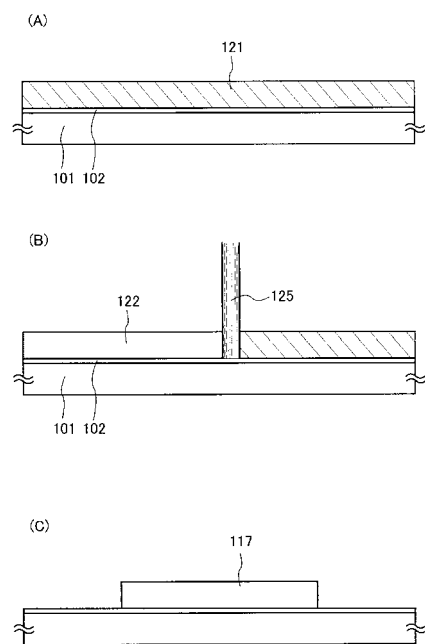
6 8 3	層間絶縁膜	
6 9 1	電極又は配線	
6 9 2	電極又は配線	
6 9 3	電極又は配線	
6 9 4	電極又は配線	
6 9 5	電極又は配線	
7 0 1	層間絶縁膜	
7 0 5	アンテナ	
7 1 1	保護層	
7 1 5	溝	10
7 2 1	基板	
7 2 2	接着剤	
7 2 5	カバー材	
7 2 6	接着剤	
8 0 1	筐体	
8 0 3	表示部	
8 0 4	スピーカ部	
8 1 1	筐体	
8 1 2	支持台	
8 1 3	表示部	20
8 2 1	本体	
8 2 2	筐体	
8 2 3	表示部	
8 2 4	音声入力部	
8 2 5	音声出力部	
8 2 6	操作キー	
8 2 8	アンテナ	
8 3 1	本体	
8 3 2	筐体	
8 3 3	表示部	30
8 3 4	キーボード	
8 3 5	外部接続ポート	
8 3 6	ポインティングデバイス	
8 6 1	本体	
8 6 2	表示部	
8 6 3	スイッチ	
8 6 4	操作キー	
8 6 5	赤外線ポート	
8 7 1	筐体	
8 7 2	表示部	40
8 7 3	スピーカ部	
8 7 4	操作キー	
8 7 5	記録媒体挿入部	
8 8 1	本体	
8 8 2	筐体	
8 8 3	表示部 A	
8 8 4	表示部 B	
8 8 5	記録媒体読み込み部	
8 8 6	操作キー	
8 8 7	スピーカ部	50

- 8 9 1 充電器
- 8 9 2 筐体
- 8 9 3 表示部
- 8 9 6 操作キー
- 8 9 7 スピーカ部

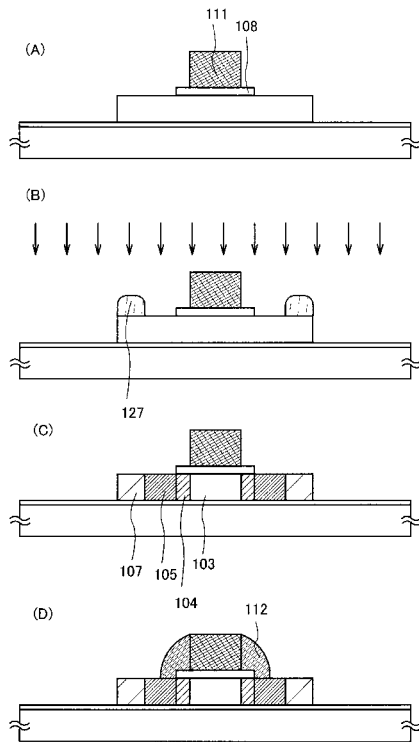
【図 1】



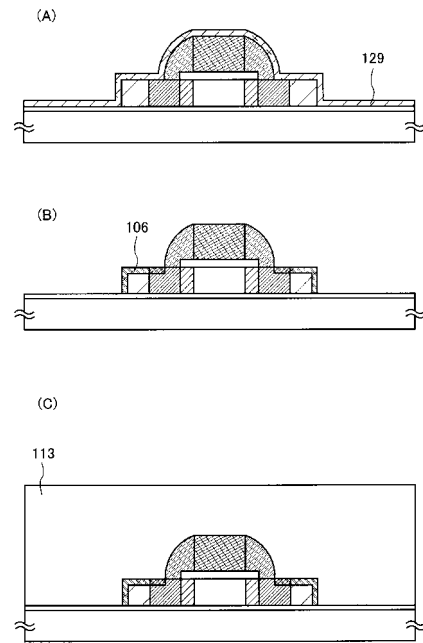
【図 2】



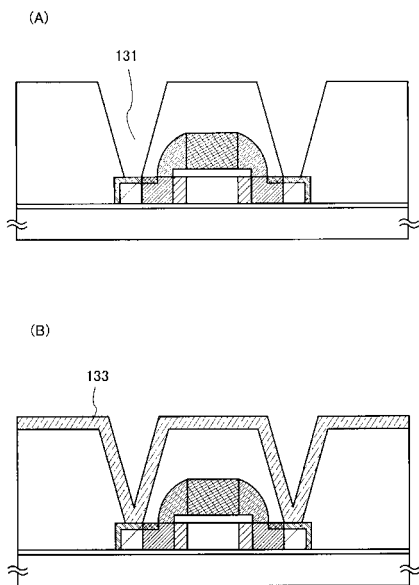
【図 3】



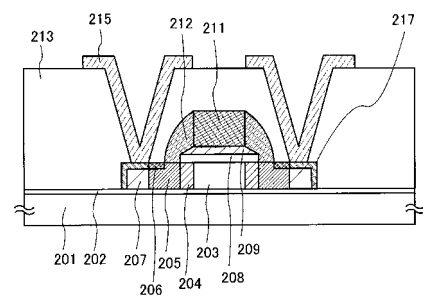
【図 4】



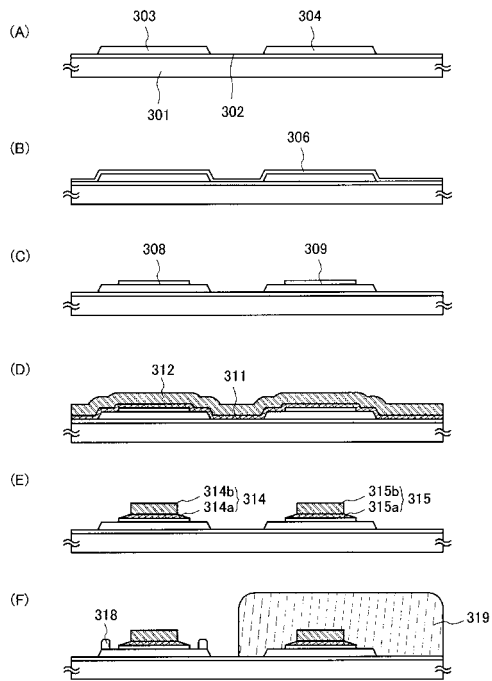
【図 5】



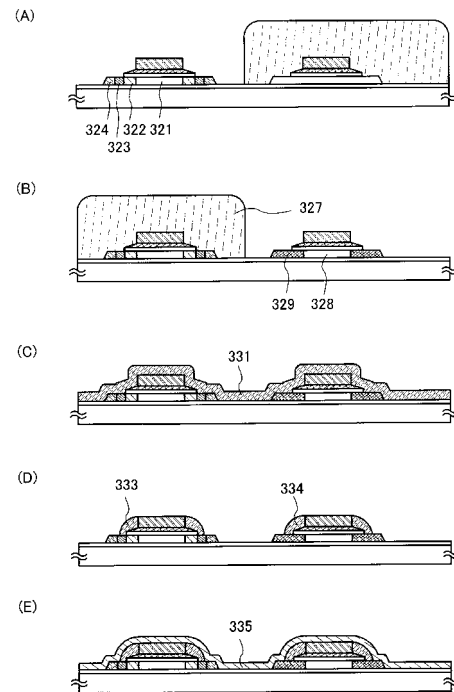
【図 6】



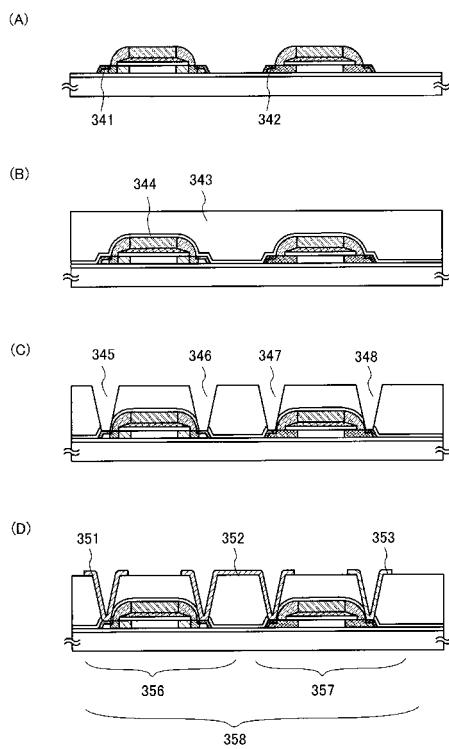
【図 7】



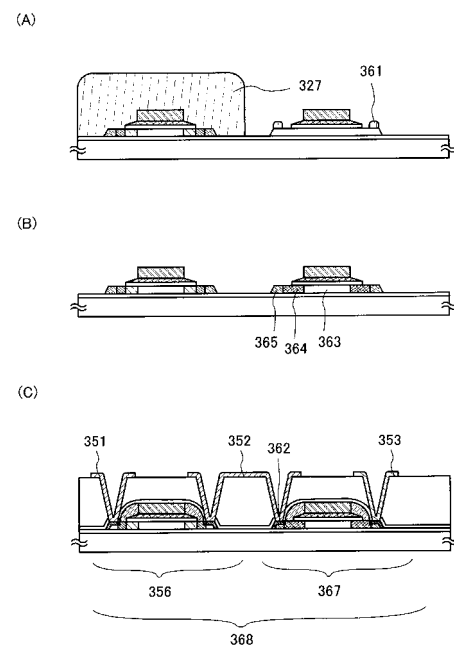
【図 8】



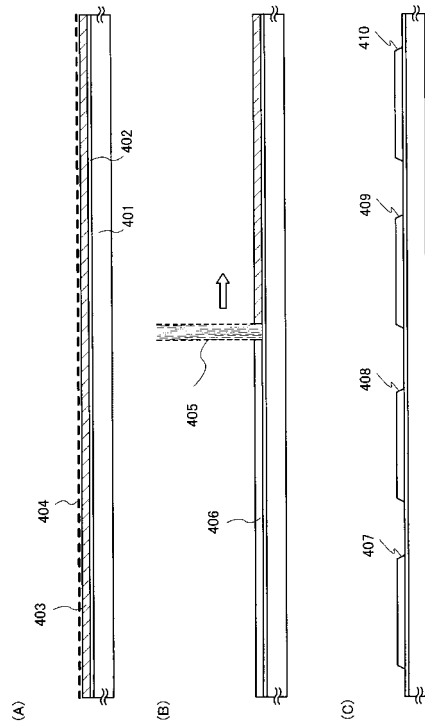
【図 9】



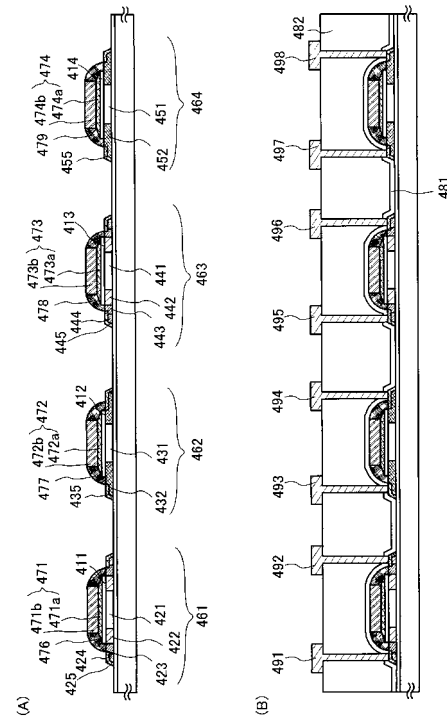
【図 10】



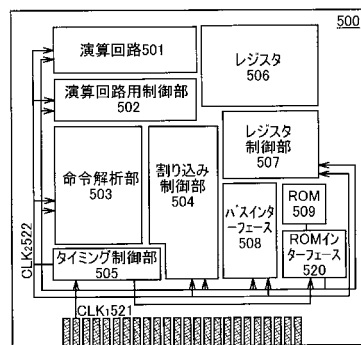
【図 1 1】



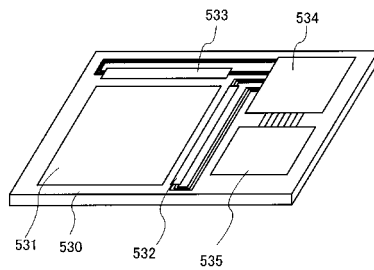
【図 1 2】



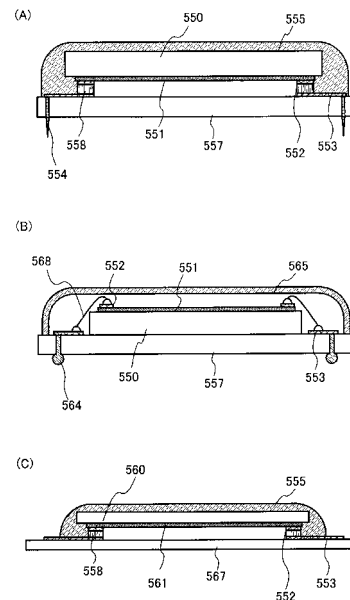
【図 1 3】



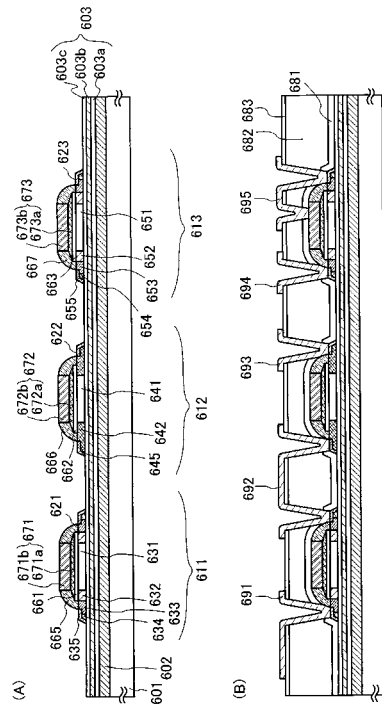
【図 1 4】



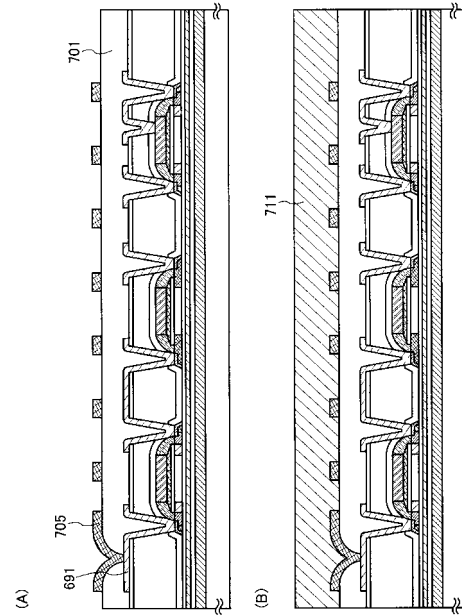
【図 1 5】



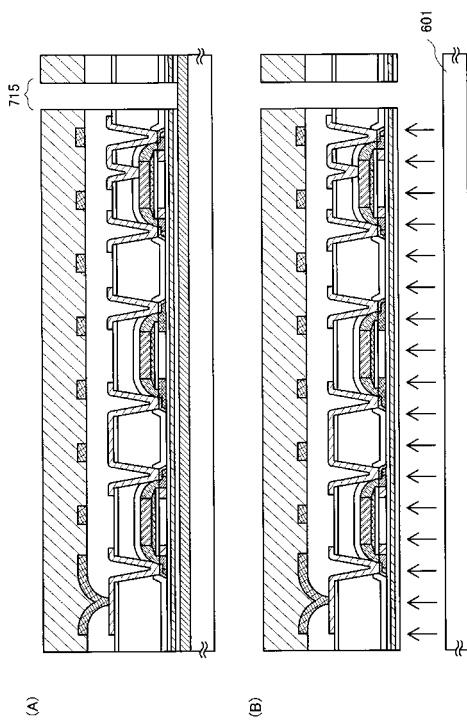
【図 16】



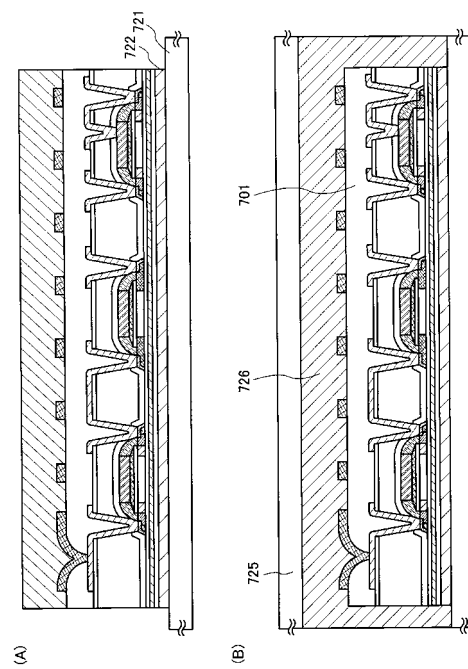
【図 17】



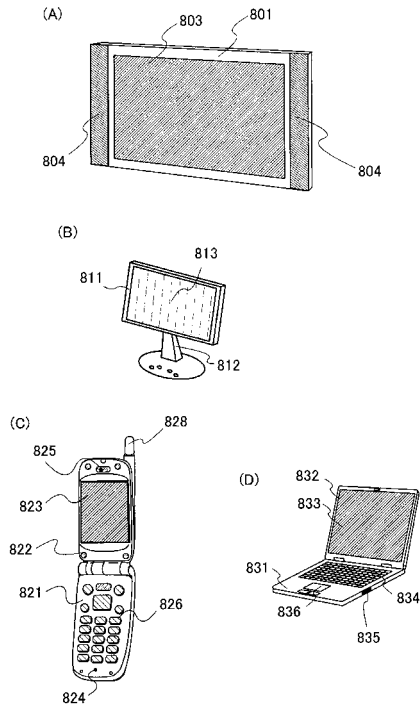
【図 18】



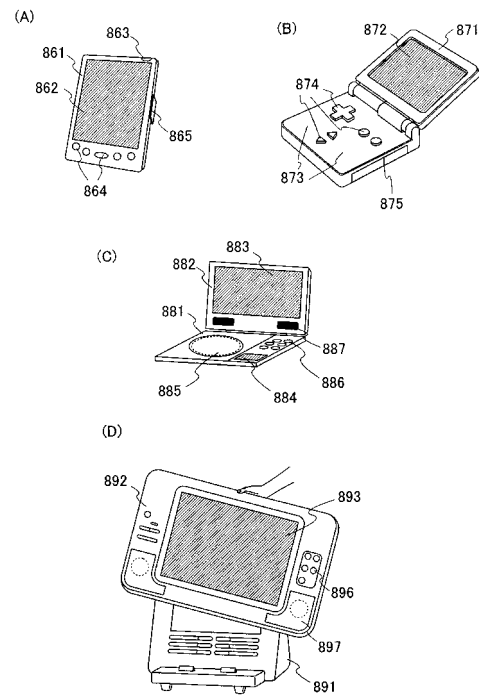
【図 19】



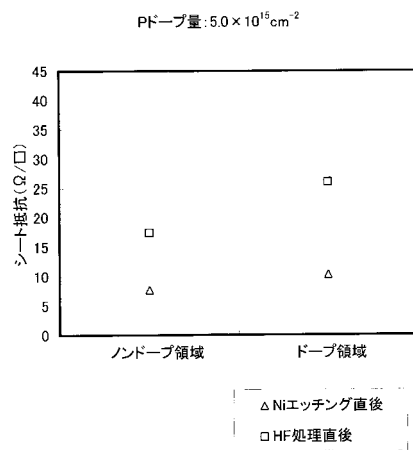
【図 20】



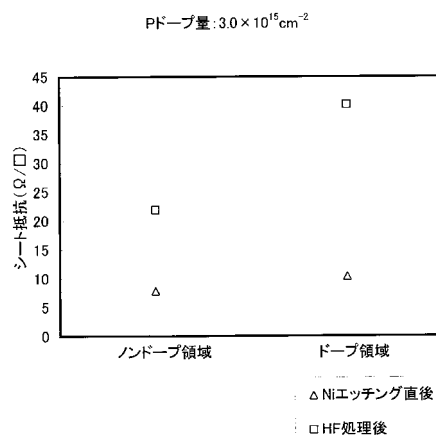
【図 21】



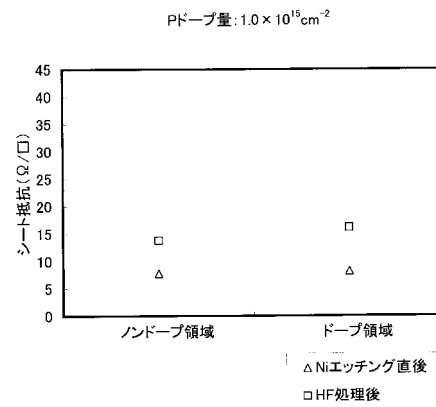
【図 22】



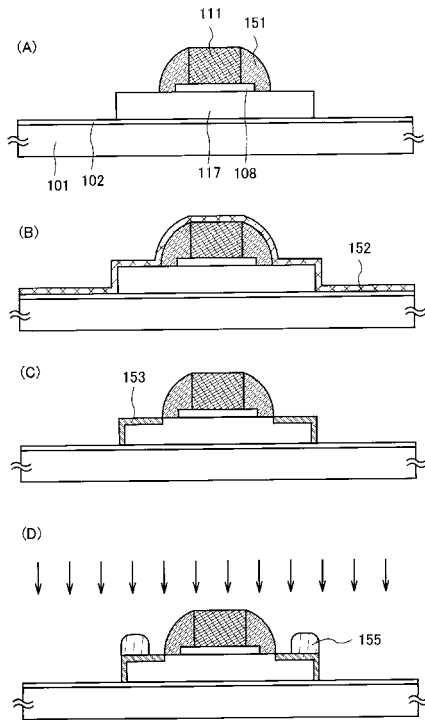
【図 23】



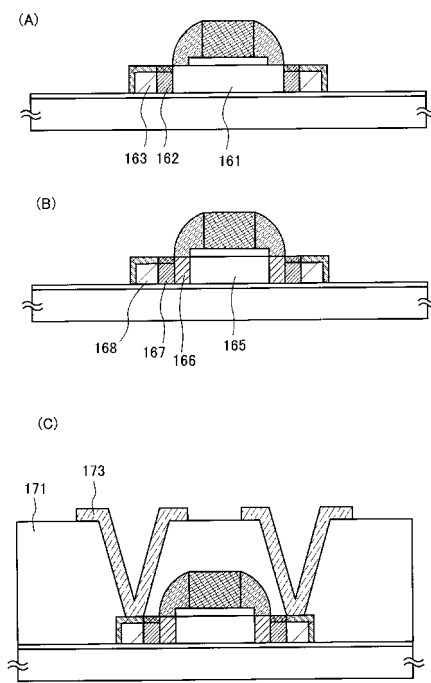
【図 24】



【図 25】



【図 26】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/50 M

審査官 井上 弘亘

(56)参考文献 特開平 1 1 - 1 9 5 7 8 9 (J P , A)
特開平 1 1 - 2 1 4 6 9 6 (J P , A)

(58)調査した分野(Int.Cl. , D B名)
H 0 1 L 2 9 / 7 8 6
H 0 1 L 2 1 / 2 8
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 9 / 4 1 7