

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7315671号
(P7315671)

(45)発行日 令和5年7月26日(2023.7.26)

(24)登録日 令和5年7月18日(2023.7.18)

(51)国際特許分類	F I
G 0 9 G 3/36 (2006.01)	G 0 9 G 3/36
G 0 9 G 3/20 (2006.01)	G 0 9 G 3/20 6 2 1 M
H 0 4 N 5/66 (2006.01)	G 0 9 G 3/20 6 8 0 G
	G 0 9 G 3/20 6 1 2 G
	G 0 9 G 3/20 6 2 1 A
請求項の数 6 (全13頁) 最終頁に続く	

(21)出願番号	特願2021-525802(P2021-525802)	(73)特許権者	517372494 維沃移動通信有限公司 VIVO MOBILE COMMUNICATION CO., LTD. 中華人民共和國523863 廣東省東莞市長安鎮維沃路1号 No. 1, vivo Road, Chang'an, Dongguan, Guangdong 523863, China
(86)(22)出願日	令和1年11月8日(2019.11.8)	(74)代理人	110001151 あいわ弁理士法人
(65)公表番号	特表2022-507305(P2022-507305A)	(72)発明者	文 亮 中華人民共和國523860 廣東省東莞市長安鎮烏沙步步高大道283号 最終頁に続く
(43)公表日	令和4年1月18日(2022.1.18)		
(86)国際出願番号	PCT/CN2019/116588		
(87)国際公開番号	WO2020/098569		
(87)国際公開日	令和2年5月22日(2020.5.22)		
審査請求日	令和3年7月1日(2021.7.1)		
(31)優先権主張番号	201811353013.1		
(32)優先日	平成30年11月14日(2018.11.14)		
(33)優先権主張国・地域又は機関	中国(CN)		

(54)【発明の名称】 制御回路、液晶ディスプレイドライバモジュール及び液晶ディスプレイ装置

(57)【特許請求の範囲】

【請求項1】

ディスプレイモジュールのドライバチップに入力される複数の電源信号のオンオフシーケンスを制御するための制御回路であって、

前記制御回路は、異なる外部電源信号をそれぞれ受ける第1の入力端と第2の入力端を含み、前記制御回路は、電源信号を前記ドライバチップに入力するように、前記第1の入力端、前記第2の入力端を順次に制御し、且つパワーダウンするように、前記第2の入力端、前記第1の入力端のそれぞれの外部電源信号を順次に制御し、

前記第2の入力端は、第2のサブ入力端と第3のサブ入力端を含み、前記第2のサブ入力端、前記第3のサブ入力端は、それぞれ異なる外部電源信号を受け、前記制御回路は、電源信号を前記ドライバチップに入力するように、前記第1の入力端、前記第2のサブ入力端、及び前記第3のサブ入力端を順次に制御し、且つパワーダウンするように、前記第3のサブ入力端、前記第2のサブ入力端、及び前記第1の入力端のそれぞれの外部電源信号を順次に制御し、

前記第1の入力端がVDDI入力端であり、前記第2のサブ入力端がAVEE入力端であり、前記第3のサブ入力端がAVDD入力端であり、

又は、前記第1の入力端がVDDI入力端であり、前記第2のサブ入力端がAVDD入力端であり、前記第3のサブ入力端がAVEE入力端であり、

前記制御回路は、さらに、

選択回路と、

ゲート電極に前記選択回路を介して前記VDDI入力端が接続され、第1極が前記AVDD入力端に接続され、第2極が前記ドライバチップに接続される第3のN型電界効果トランジスタと、

ゲート電極に前記選択回路を介して前記VDDI入力端が接続され、第1極が前記AVEE入力端に接続され、第2極が前記ドライバチップに接続される第4のN型電界効果トランジスタと、を含み、

前記選択回路は、前記第3のN型電界効果トランジスタと前記第4のN型電界効果トランジスタから、第1のターゲット電界効果トランジスタ、第2のターゲット電界効果トランジスタを順次に選択し、且つ前記第1のターゲット電界効果トランジスタ、前記第2のターゲット電界効果トランジスタのソース電極とドレイン電極を順次に遅延して導通させるために用いられる、制御回路。

10

【請求項2】

前記第1の入力端がVDDI入力端であり、前記第2のサブ入力端がAVEE入力端であり、前記第3のサブ入力端がAVDD入力端であり、前記制御回路は、

第1端が前記VDDI入力端に接続される第1の抵抗と、

ゲート電極が前記第1の抵抗の第2端に接続され、第1極が前記AVEE入力端に接続され、第2極が前記ドライバチップに接続されるN型電界効果トランジスタと、

第1端が前記第1の抵抗の第2端に接続され、第2端が接地され、又は第2端が前記N型電界効果トランジスタの第2極に接続される第1のコンデンサと、

第1端が前記N型電界効果トランジスタの第2極に接続される第2の抵抗と、

20

ゲート電極が前記第2の抵抗の第2端に接続され、第1極が前記AVDD入力端に接続され、第2極が前記ドライバチップに接続されるP型電界効果トランジスタと、

第1端が前記第2の抵抗の第2端に接続され、第2端が接地され、又は第2端が前記P型電界効果トランジスタの第2極に接続される第2のコンデンサとを含む、請求項1に記載の制御回路。

【請求項3】

前記第1の入力端がVDDI入力端であり、前記第2のサブ入力端がAVDD入力端であり、前記第3のサブ入力端がAVEE入力端であり、前記制御回路は、

第1端が前記VDDI入力端に接続される第3の抵抗と、

ゲート電極が前記第3の抵抗の第2端に接続され、第1極が前記AVDD入力端に接続され、第2極が前記ドライバチップに接続される第1のN型電界効果トランジスタと、

30

第1端が前記第3の抵抗の第2端に接続され、第2端が接地され、又は第2端が前記第1のN型電界効果トランジスタの第2極に接続される第3のコンデンサと、

第1端が前記第1のN型電界効果トランジスタの第2極に接続される第4の抵抗と、

ゲート電極が前記第4の抵抗の第2端に接続され、第1極が前記AVEE入力端に接続され、第2極が前記ドライバチップに接続される第2のN型電界効果トランジスタと、

第1端が前記第4の抵抗の第2端に接続され、第2端が接地され、又は第2端が前記第2のN型電界効果トランジスタの第2極に接続される第4のコンデンサとを含む、請求項1に記載の制御回路。

【請求項4】

40

前記AVEE入力端と前記ドライバチップとの経路には、サーミスタが直列に接続されており、及び/又は、

前記AVDD入力端と前記ドライバチップとの経路には、サーミスタが直列に接続されている、請求項2又は3に記載の制御回路。

【請求項5】

ドライバチップを含み、液晶ディスプレイドライバモジュールは、さらに請求項1から4のいずれか一項に記載の制御回路を含む、液晶ディスプレイドライバモジュール。

【請求項6】

請求項5に記載の液晶ディスプレイドライバモジュールを含む、液晶ディスプレイ装置。

【発明の詳細な説明】

50

【技術分野】**【0001】**

(関連出願の相互参照)

本出願は、2018年11月14日に中国で提出された中国特許出願番号No. 201811353013.1の優先権を主張しており、同出願の内容の全ては、ここに参照として取り込まれる。

本開示は、通信技術分野に関し、特に、制御回路、液晶ディスプレイドライバモジュール及び液晶ディスプレイ装置に関する。

【背景技術】**【0002】**

液晶ディスプレイ技術の急速な発展に伴い、液晶ディスプレイ装置はすでに人々の生活によく見られ、且つユーザに新たな視覚体験をもたらす。液晶ディスプレイドライバモジュールのドライバチップの外部電源給電は、主にVDDI信号、AVDD信号及びAVEE信号を含み、通常の場合には、VDDI信号がAVDD信号及びAVEE信号よりも前にパワーオンし、VDDI信号がAVDD信号及びAVEE信号よりも後にパワーオフし、三者の共同作用によって液晶ディスプレイドライバモジュールを正常に作動させる。

【0003】

しかし、異常の場合には、AVDD信号、AVEE信号がVDDI信号よりも前にパワーオンしたり、又はAVDD信号、AVEE信号がVDDI信号よりも後にパワーオフしたりする可能性があり、ドライバチップに破損を与える確率が比較的に高くなる。

【発明の概要】**【発明が解決しようとする課題】****【0004】**

本開示のいくつかの実施例は、異常の場合にドライバチップに破損を与える確率が比較的に高くなるという問題を解決するための制御回路、液晶ディスプレイドライバモジュール及び液晶ディスプレイ装置を提供する。

【課題を解決するための手段】**【0005】**

上記技術問題を解決するために、本開示は以下のように実現される。

【0006】

第1の態様によれば、本開示のいくつかの実施例は、ディスプレイモジュールのドライバチップに入力される複数の電源信号のオンオフシーケンスを制御するための制御回路を提供する。前記制御回路は、異なる外部電源信号をそれぞれ受ける第1の入力端と第2の入力端を含み、前記制御回路は、電源信号を前記ドライバチップに入力するように、前記第1の入力端、前記第2の入力端を順次に制御し、且つパワーダウンするように、前記第2の入力端、前記第1の入力端を順次に制御する。

【0007】

第2の態様によれば、本開示のいくつかの実施例はさらに、液晶ディスプレイドライバモジュールを提供する。この液晶ディスプレイドライバモジュールは、ドライバチップを含み、前記液晶ディスプレイドライバモジュールはさらに、上記制御回路を含む。

【0008】

第3の態様によれば、本開示の実施例はさらに、液晶ディスプレイ装置を提供する。この液晶ディスプレイ装置は、上記液晶ディスプレイドライバモジュールを含む。

【発明の効果】**【0009】**

本開示のいくつかの実施例の制御回路は、ディスプレイモジュールのドライバチップに入力される複数の電源信号のオンオフシーケンスを制御するために用いられる。前記制御回路は、異なる外部電源信号をそれぞれ受ける第1の入力端と第2の入力端を含み、前記制御回路は、電源信号を前記ドライバチップに入力するように、前記第1の入力端、前記第2の入力端を順次に制御し、且つパワーダウンするように、前記第2の入力端、前記第

10

20

30

40

50

1の入力端を順次に制御する。このように、異なる電源信号のシーケンスを制御して、異なる電源信号の正常なシーケンスをできるだけ確保することにより、ドライバチップの破損確率を低減することができる。

【0010】

本開示のいくつかの実施例の技術案をより明瞭に説明するために、以下は、本開示のいくつかの実施例の記述において使用される必要がある添付図面を簡単に紹介する。自明なことに、以下の記述における添付図面は、ただ本開示のいくつかの実施例に過ぎず、当業者にとって、創造的な労力を払わない前提で、それらの添付図面に基づいて、他の添付図面を取得することもできる。

【図面の簡単な説明】

【0011】

【図1】本開示のいくつかの実施例による制御回路の構造概略図のその1である。

【図2】本開示のいくつかの実施例による制御回路の構造概略図のその2である。

【図3】本開示のいくつかの実施例による制御回路の構造概略図のその3である。

【図4】本開示のいくつかの実施例による制御回路の構造概略図のその4である。

【図5】本開示のいくつかの実施例による制御回路の構造概略図のその5である。

【図6】本開示のいくつかの実施例による制御回路の構造概略図のその6である。

【発明を実施するための形態】

【0012】

以下は、本開示のいくつかの実施例における添付図面を結び付けながら、本開示のいくつかの実施例における技術案を明瞭且つ完全に記述する。明らかに、記述された実施例は、本開示の一部の実施例であり、全部の実施例ではない。本開示における実施例に基づき、当業者が創造的な労力を払わない前提で得られたすべての他の実施例は、いずれも本開示の保護範囲に属する。

【0013】

図1は、本開示のいくつかの実施例による制御回路の構造概略図である。前記制御回路は、ディスプレイモジュールのドライバチップに入力される複数の外部電源信号のオンオフシーケンスを制御するために用いられる。図1に示すように、前記制御回路は、異なる外部電源信号をそれぞれ受ける第1の入力端101と第2の入力端102を含み、前記制御回路は、電源信号を前記ドライバチップに入力するように、前記第1の入力端101、前記第2の入力端102を順次に制御し、且つパワーダウンするように、前記第2の入力端102、前記第1の入力端101を順次に制御する。

【0014】

本実施例では、上記第1の入力端101がVDDI入力端であってもよく、上記第2入力端102がAVDD入力端又はAVEE入力端であってもよい。このように、VDDI信号がAVDD信号又はAVEE信号よりも前にドライバチップに入力され、及び、AVDD信号又はAVEE信号がVDDI信号よりも前にパワーダウンされることを確保することができる。上記制御回路はコンデンサを含み、パワーダウンするように、コンデンサを介して、前記第2の入力端、前記第1の入力端を順次に制御する。

【0015】

このように、異なる電源信号のシーケンスを制御して、異なる電源信号の正常なシーケンスをできるだけ確保することにより、ドライバチップの破損確率を低減することができる。

【0016】

選択的に、前記第2の入力端は、第2のサブ入力端と第3のサブ入力端を含み、前記第2のサブ入力端、前記第3のサブ入力端は、異なる外部電源信号をそれぞれ受け、前記制御回路は、前記ドライバチップに電源信号を入力するように、前記第1の入力端、前記第2のサブ入力端、及び前記第3のサブ入力端を順次に制御し、且つパワーダウンするように、前記第3のサブ入力端、前記第2のサブ入力端、及び前記第1の入力端を順次に制御する。

10

20

30

40

50

【 0 0 1 7 】

この実施形態では、上記第 2 の入力端は、第 2 のサブ入力端と第 3 のサブ入力端を含み、前記第 2 のサブ入力端、前記第 3 のサブ入力端は、異なる外部電源信号をそれぞれ受け、前記制御回路は、前記ドライバチップに電源信号を入力するように、前記第 1 の入力端、前記第 2 のサブ入力端、及び前記第 3 のサブ入力端を順次に制御し、且つパワーダウンするように、前記第 3 のサブ入力端、前記第 2 のサブ入力端、及び前記第 1 の入力端を順次に制御する。このように、複数の異なる電源信号の正常なシーケンスを確保することができ、それによってドライバチップの破損確率を低減することができる。

【 0 0 1 8 】

選択的に、前記第 1 の入力端が V D D I 入力端であり、前記第 2 のサブ入力端が A V E E 入力端であり、前記第 3 のサブ入力端が A V D D 入力端である。

10

【 0 0 1 9 】

又は、前記第 1 の入力端が V D D I 入力端であり、前記第 2 のサブ入力端が A V D D 入力端であり、前記第 3 のサブ入力端が A V E E 入力端である。

【 0 0 2 0 】

この実施形態では、前記第 1 の入力端が V D D I 入力端であり、前記第 2 のサブ入力端が A V E E 入力端であり、前記第 3 のサブ入力端が A V D D 入力端である場合、V D D I 信号、A V E E 信号、A V D D 信号が順次にドライバチップに入力され、A V D D 信号、A V E E 信号、V D D I 信号がドライバチップ端で順次にパワーダウンされることを確保することができる。

20

【 0 0 2 1 】

この実施形態では、前記第 1 の入力端が V D D I 入力端であり、前記第 2 のサブ入力端が A V D D 入力端であり、前記第 3 のサブ入力端が A V E E 入力端である場合、V D D I 信号、A V D D 信号、A V E E 信号が順次にドライバチップに入力され、A V E E 信号、A V D D 信号、V D D I 信号がドライバチップ端で順次にパワーダウンされることを確保することができる。

【 0 0 2 2 】

このように、A V D D 信号、A V E E 信号、V D D I 信号の正常なシーケンスを制御することによって、ドライバチップ内部での大電流のラッチによる破損確率を低減することができる。

30

【 0 0 2 3 】

選択的に、前記第 1 の入力端が V D D I 入力端であり、前記第 2 のサブ入力端が A V E E 入力端であり、前記第 3 のサブ入力端が A V D D 入力端であり、前記制御回路は、

第 1 端が前記 V D D I 入力端に接続される第 1 の抵抗 R 1 と、

ゲート電極が前記第 1 の抵抗 R 1 の第 2 端に接続され、第 1 極が前記 A V E E 入力端に接続され、第 2 極が前記ドライバチップに接続される N 型電界効果トランジスタ M 1 と、

第 1 端が前記第 1 の抵抗 R 1 の第 2 端に接続され、第 2 端が接地され、又は第 2 端が前記 N 型電界効果トランジスタ M 1 の第 2 極に接続される第 1 のコンデンサ C 1 と、

第 1 端が前記 N 型電界効果トランジスタ M 1 の第 2 極に接続される第 2 の抵抗 R 2 と、

ゲート電極が前記第 2 の抵抗 R 2 の第 2 端に接続され、第 1 極が前記 A V D D 入力端に接続され、第 2 極が前記ドライバチップに接続される P 型電界効果トランジスタ M 2 と、

40

第 1 端が前記第 2 の抵抗 R 2 の第 2 端に接続され、第 2 端が接地され、又は第 2 端が前記 P 型電界効果トランジスタ M 2 の第 2 極に接続される第 2 のコンデンサ C 2 とを含む。

【 0 0 2 4 】

この実施形態では、上記 N 型電界効果トランジスタ M 1 の第 2 極が前記ドライバチップに接続される箇所は、上記 P 型電界効果トランジスタ M 2 の第 2 極が前記ドライバチップに接続される箇所とは異なる。上記電界効果トランジスタの第 1 極と第 2 極は、それぞれソース電極とドレイン電極であってもよく、又はそれぞれドレイン電極及びソース電極であってもよい。上記回路をよりよく理解するために、図 2 及び図 3 を参照してもよい。図 2 及び図 3 はともに本開示のいくつかの実施例による制御回路の構造概略図である。

50

【 0 0 2 5 】

まず、図 2 を参照する。このとき、前記第 1 のコンデンサ C 1 の第 2 端が接地され、且つ前記第 2 のコンデンサ C 2 の第 2 端が接地される。V D D I 信号は、N 型電界効果トランジスタ M 1 の g a t e 制御信号として、V D D I の電圧が、例えば 1 . 8 V に達すると、V D D I 信号はまず、第 1 の抵抗 R 1 を介して第 1 コンデンサ C 1 を充電する。第 1 コンデンサ C 1 が一定の時間で充電されて N 型電界効果トランジスタ M 1 のターンオン電圧に達すると、N 型電界効果トランジスタ M 1 を介して A V E E 信号の入力が開始される。入力された A V E E 信号は複数の経路に分かれ、1 つの経路はドライバチップの昇圧回路に入れられ、もう 1 つの経路を介して入力された A V E E 信号は第 2 の抵抗 R 2 を介して第 2 のコンデンサ C 2 を充電する。第 2 のコンデンサ C 2 が一定の時間で充電されて P 型電界効果トランジスタ M 2 のターンオン電圧に達すると、P 型電界効果トランジスタ M 2 を介して A V D D 信号が入力される。そのため、外部からの電力量供給に異常が発生し、A V D D 信号又は A V E E 信号が V D D I 信号よりも先に給電されたとしても、早期にドライバチップに入力されることはできない。

10

【 0 0 2 6 】

例えば、V D D I 信号の電圧が 1 . 8 V であり、第 1 の抵抗 R 1 が 1 0 K オームであり、第 1 のコンデンサ C 1 が 4 . 7 μ F である。A V E E 信号の電圧が - 5 . 5 V であり、第 2 の抵抗 R 2 が 1 K オームであり、第 2 のコンデンサ C 2 が 1 μ F である。A V D D 信号が先にパワーオンされ、次は A V E E 信号であり、最後は V D D I 信号であるといった異常パワーオンの状況が発生した場合に、N 型電界効果トランジスタ M 1 及び P 型電界効果トランジスタ M 2 がいずれも導通されていないため、V D D I 信号がパワーオンされ、第 1 のコンデンサ C 1 の電位が上昇して数ミリ秒後に、N 型電界効果トランジスタ M 1 がオープンされ、A V E E 信号がパワーオンされ、そして第 2 のコンデンサ C 2 が充電され、A V D D 信号がパワーオンされて入力される。このように、3 つの経路の電源に先に V D D I 信号が入力され、ドライバチップが正常に作動させることを確保する。V D D I 信号が一定の時間入力されてから、A V E E 信号が入力される。A V E E 信号が一定の時間入力されてから、A V D D 信号が入力され、ドライバチップの昇圧回路が A V E E 信号及び A V D D 信号の駆動で作動させられる。

20

【 0 0 2 7 】

ホストがシャットダウンし、又はホストの電源に異常なパワーダウンが発生した場合に、第 1 のコンデンサ C 1 と第 2 のコンデンサ C 2 が起動の場合に満充電になっているため、V D D I、A V D D 及び A V E E の電源が切られたとき、A V D D 信号は、他のコンデンサ及び寄生コンデンサの存在により、コンデンサが一定の時間放電した後に、入力がなく、パワーダウンすることになる。第 1 のコンデンサ C 1 と第 2 のコンデンサ C 2 は、より多くの電力量が蓄えられているため、さらに一定の時間の入力を続けていることになる。そして、R 1 C 1 を R 2 C 2 よりも大きく設定することにより、V D D I 信号の継続入力の時間長が A V E E 信号の継続入力の時間長よりも長いことを確保してもよい。これにより、A V D D 信号が先にパワーダウンされ、次は A V E E 信号であり、V D D I 信号が最後にパワーダウンされるという所望状態の発生を実現することができる。このように、ホストの電源がオフになったときに、回路の制御の下で、まず A V D D 信号をオフにし、次に A V E E 信号をオフにし、最後に V D D I 信号をオフにする。

30

40

【 0 0 2 8 】

図 2 に示される回路構成では、外部電圧がどのように異常な給電及び異常なパワーダウンが発生したかにかかわらず、回路を設置することにより、設定される必要な電源給電の順序で給電し、又は所望の順序でパワーダウンすることができる。

【 0 0 2 9 】

再び図 3 を参照する。このとき、前記第 1 のコンデンサ C 1 の第 2 端は、前記 N 型電界効果トランジスタ M 1 の第 2 極に接続され、前記第 2 のコンデンサ C 2 の第 2 端は、前記 P 型電界効果トランジスタ M 2 の第 2 極に接続される。V D D I 信号が第 1 のコンデンサ C 1 を充電して N 型電界効果トランジスタ M 1 をオープンするとき、A V E E 信号（一般

50

的には、 -5.5V)がノードN1に入力されることにより、ノードN3とノードN1の電圧差を増大させ、第1のコンデンサC1の充電速度を加速する。同時に、N型電界効果トランジスタM1のトランジスタのゲート電極とソース電極との間、及びゲート電極とドレイン電極との間の電圧差が増大することにより、AVEE信号の電流がN型電界効果トランジスタM1を通る速度が速くなり、すなわちAVEE信号が0Vから予め設定される値である -5.5V まで達する速度が速くなる。同様に、ノードN4とノードN2の圧力差が急激に増大することは、AVDD信号のパワーオンの速度を速める。AVDD信号及びAVEE信号が急激にパワーオンして、所定の電圧に達することは、ドライバチップの昇圧回路のロジックが混乱になることによって発生した、大電流のラッチによるドライバチップの焼損の確率を低減することができ、昇圧回路の電源のパワーオンプロセスを最適化することができる。

10

【0030】

選択的に、前記第1の入力端がVDDI入力端であり、前記第2のサブ入力端がAVDD入力端であり、前記第3のサブ入力端がAVEE入力端であり、前記制御回路は、

第1端が前記VDDI入力端に接続される第3の抵抗R3と、

ゲート電極が前記第3の抵抗R3の第2端に接続され、第1極が前記AVDD入力端に接続され、第2極が前記ドライバチップに接続される第1のN型電界効果トランジスタM3と、

第1端が前記第3の抵抗R3の第2端に接続され、第2端が接地され、又は第2端が前記第1のN型電界効果トランジスタM3の第2極に接続される第3のコンデンサC3と、

20

第1端が前記第1のN型電界効果トランジスタM3の第2極に接続される第4の抵抗R4と、

ゲート電極が前記第4の抵抗R4の第2端に接続され、第1極が前記AVEE入力端に接続され、第2極が前記ドライバチップに接続される第2のN型電界効果トランジスタM4と、

第1端が前記第4の抵抗R4の第2端に接続され、又は第2端が接地され、又は第2端が前記第2のN型電界効果トランジスタM4の第2極に接続される第4のコンデンサC4と、を含む。

【0031】

この実施形態では、上記第1のN型電界効果トランジスタM3の第2極が前記ドライバチップに接続される箇所は、上記第2のN型電界効果トランジスタM4の第2極が前記ドライバチップに接続される箇所とは異なる。上記電界効果トランジスタの第1極と第2極は、それぞれソース電極とドレイン電極であってもよく、又はそれぞれドレイン電極及びソース電極であってもよい。上記回路をよりよく理解するために、図4を参照してもよい。図4は、本開示のいくつかの実施例による制御回路の構造概略図である。

30

【0032】

図4に示すように、前記第3のコンデンサC3の第2端が接地され、前記第4のコンデンサC4の第2端が接地される。VDDI信号がパワーオンした後に、第3のコンデンサC3を充電する。一般的に第3のコンデンサC3が、約 0.3V に達したら、第1のN型電界効果トランジスタM3をターンオンすることが可能であるしきい値電圧に達することができ、第3のコンデンサC3が昇圧を続けてから、第1のN型電界効果トランジスタM3をオープンする。AVDD信号は、第1のN型電界効果トランジスタM3を介して入力され、1つの経路がドライバチップの昇圧回路に入られ、もう1つの経路が第4の抵抗R4を介して第4のコンデンサC4を充電する。第4のコンデンサC4の電圧が上昇して第2のN型電界効果トランジスタM4をオープンすることに伴って、AVEE信号をドライバチップ内に入力することができる。このように、VDDI信号が先にパワーオンし、次はAVDD信号であり、最後にAVEE信号であるというパワーオンの順序を確保することができる。

40

【0033】

選択的に、前記制御回路は、

50

選択回路と、

ゲート電極に前記選択回路を介して前記VDDI入力端が接続され、第1極が前記AVDD入力端に接続され、第2極が前記ドライバチップに接続される第3のN型電界効果トランジスタM5と、

ゲート電極に前記選択回路を介して前記VDDI入力端が接続され、第1極が前記AVEE入力端に接続され、第2極が前記ドライバチップに接続される第4のN型電界効果トランジスタM6と、を含み、

前記選択回路は、前記第3のN型電界効果トランジスタM5及び前記第4のN型電界効果トランジスタM6の中から、第1のターゲット電界効果トランジスタ、第2のターゲット電界効果トランジスタを順次に選択し、且つ前記第1のターゲット電界効果トランジスタ、前記第2のターゲット電界効果トランジスタのソース電極とドレイン電極を順次に遅延して導通させるために用いられる。

10

【0034】

この実施形態では、上記第3のN型電界効果トランジスタM5の第2極が前記ドライバチップに接続される箇所は、上記第4のN型電界効果トランジスタM6の第2極が前記ドライバチップに接続される箇所とは異なる。上記電界効果トランジスタの第1極と第2極は、それぞれソース電極とドレイン電極であってもよく、又はそれぞれドレイン電極及びソース電極であってもよい。上記第1のターゲット電界効果トランジスタが第3のN型電界効果トランジスタM5である場合に、第2のターゲット電界効果トランジスタが第4のN型電界効果トランジスタM6である。上記第1のターゲット電界効果トランジスタが第4のN型電界効果トランジスタM6である場合に、第2のターゲット電界効果トランジスタが第3のN型電界効果トランジスタM5である。

20

【0035】

この実施形態では、選択回路は、AVDD信号及びAVEE信号のパワーオンとパワーダウンのシーケンスを制御するための、異なるコンデンサを含んでもよい。AVEE信号がAVDD信号よりも先にドライバチップに入力される場合に、第2のサブ入力端がAVEE入力端であり、第3のサブ入力端がAVDD入力端である。AVDD信号がAVEE信号よりも先にドライバチップに入力される場合に、第2のサブ入力端がAVDD入力端及びAVEE入力端であり、第3のサブ入力端がAVEE入力端である。もちろん、具体的な形態は、実際の需要に応じて選択回路に対して設置されてもよく、本実施形態ではそれに対して限定しない。

30

【0036】

上記回路をよりよく理解するために、図5を参照してもよい。図5は、本開示のいくつかの実施例による制御回路の構造概略図である。

【0037】

図5に示すように、VDDI信号が入力される場合に、選択回路が作動してからドライバ信号を出力し、あらかじめ設定された順序で、第3のN型電界効果トランジスタM5、第4のN型電界効果トランジスタM6を順次にオープンすることにより、AVDD信号が先に入力され、AVEE信号が後に入力されるという順序を制御する。あらかじめプログラミングしてドライバチップの内部に固定されてもよく、VDDI信号がパワーオンしてから、ドライバチップが作動し始めるときに、ドライバチップの内部に対してプログラミングを行い、AVDD信号とAVEE信号のパワーオンの順序を確定し、選択回路が相応な順序の制御信号を出力するようにしてもよい。このように、プログラミングの方式を通じてAVDD信号及びAVEE信号の入力を柔軟に制御することができる。

40

【0038】

選択的に、前記AVEE入力端と前記ドライバチップとの経路には、サーミスタが直列に接続されており、

及び/又は、前記AVDD入力端と前記ドライバチップとの経路には、サーミスタが直列に接続されている。

【0039】

50

この実施形態では、サーミスタを直列に接続することによって、ドライバチップの昇圧回路には大電流のラッチが発生したときに、電流の増加によりサーミスタの発熱を引き起こし、抵抗値が増大し、抵抗値の増大により、流れる電流の大きさを低減したため、ドライバチップを保護することができる。

【0040】

上記回路をよりよく理解するために、図6を参照してもよい。図6は、本開示のいくつかの実施例による制御回路の構造概略図である。図6に示すように、前記A V E E入力端と前記ドライバチップとの経路には、サーミスタR5が直列に接続されており、及び、前記A V D D入力端と前記ドライバチップと経路には、サーミスタR6が直列に接続されている。ドライバチップが起動して動作するときに、A V E E信号及びA V D Dが大電流を抽出するときに、特にドライバチップの昇圧回路に大電流のラッチが発生したときに、電流の増加によりサーミスタの発熱を引き起こし、抵抗値が増加し、抵抗値の増加により、サーミスタを流れる電流の大きさが低減されるため、ドライバチップを保護することができる。

10

【0041】

説明すべきなのは、本実施例における回路において、トランジスタを用いて制御するほか、サイリスタを用いて電源の電流を制御することで実現してもよいことである。そして、回路における抵抗、サーミスタ及びコンデンサは、外部の回路ボードに設置されてもよく、ドライバチップの内部に集積されてもよい。本開示のいくつかの実施例で紹介された複数の選択的な実施形態は、互いに組み合わせて実現されてもよく、個別に実現されてもよい。本開示のいくつかの実施例では、それに対して限定しない。

20

【0042】

本開示のいくつかの実施例の制御回路によると、前記制御回路は、ディスプレイモジュールのドライバチップに入力される複数の電源信号のオンオフシーケンスを制御するために用いられる。前記制御回路は、異なる外部電源信号をそれぞれ受ける第1の入力端101と第2の入力端102を含み、前記制御回路は、電源信号を前記ドライバチップに入力するように、前記第1の入力端101、前記第2の入力端102を順次に制御し、且つパワーダウンするように、前記第2の入力端102、前記第1の入力端101を順次に制御する。このように、異なる電源信号のシーケンスを制御して、異なる電源信号の正常なシーケンスをできるだけ確保することによって、ドライバチップの破損確率を低減することができる。

30

【0043】

本開示のいくつかの実施例はさらに、液晶ディスプレイドライバモジュールを提供する。この液晶ディスプレイドライバモジュールは、ドライバチップを含み、前記液晶ディスプレイドライバモジュールはさらに、上記制御回路を含む。

【0044】

本開示のいくつかの実施例はさらに、液晶ディスプレイ装置を提供する。この液晶ディスプレイ装置は、上記液晶ディスプレイドライバモジュールを含む。

【0045】

本開示のいくつかの実施例では、上記液晶ディスプレイ装置は、携帯電話、タブレットパーソナルコンピュータ (Tablet Personal Computer)、ラップトップコンピュータ (Laptop Computer)、パーソナルデジタルアシスタント (personal digital assistant、PDA)、モバイルインターネットデバイス (Mobile Internet Device、MID)、又はウェアラブルデバイス (Wearable Device) などであってもよい。

40

【0046】

説明すべきことは、本明細書において、「含む」、「包含」という用語またはその他の任意の変形は、非排他的な「含む」を意図的にカバーするものであり、それにより、一連の要素を含むプロセス、方法、物品または装置は、それらの要素を含むだけでなく、明確にリストされていない他の要素も含み、またはこのようなプロセス、方法、物品または

50

装置に固有の要素も含むことである。それ以上の制限がない場合に、「・・・を1つ含む」という文章で限定された要素について、この要素を含むプロセス、方法、物品または装置には他の同じ要素が存在することが排除されていない。

【0047】

以上は、添付図面を結び付けながら、本開示の実施例を記述していたが、本開示は、上述した具体的な実施の形態に限らず、上述した具体的な実施の形態は例示的なものに過ぎず、制限性のあるものではない。当業者は、本開示による示唆を基にして、本開示の趣旨や請求項が保護する範囲から逸脱しない限り、多くの形式の変更を行うことができ、それらはいずれも本開示の保護範囲に入っている。

10

20

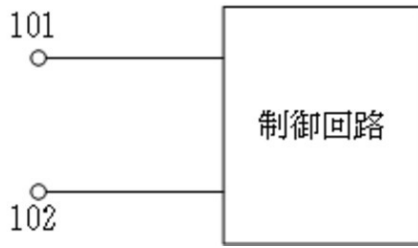
30

40

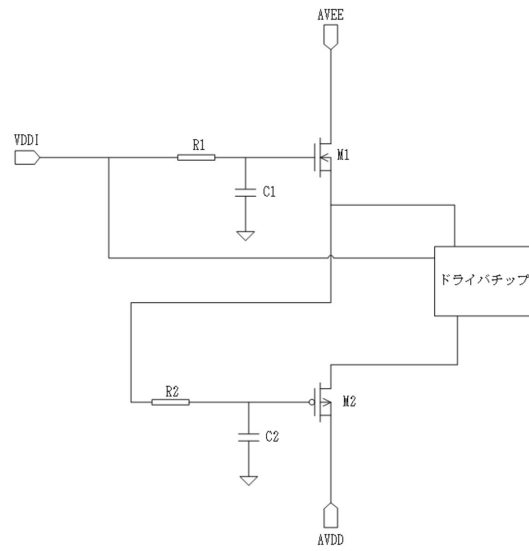
50

【図面】

【図 1】

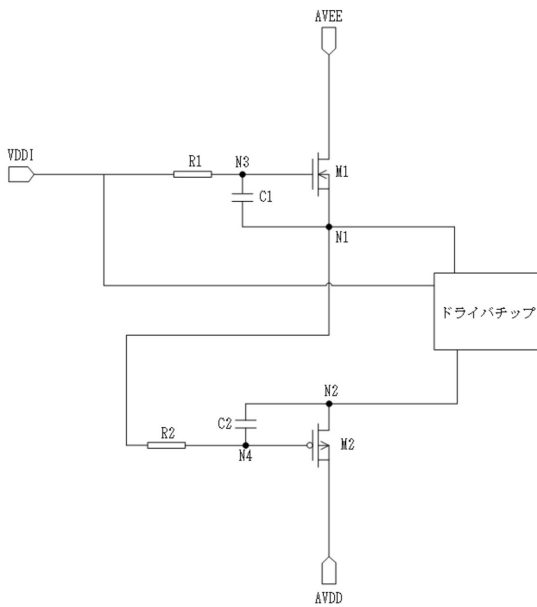


【図 2】

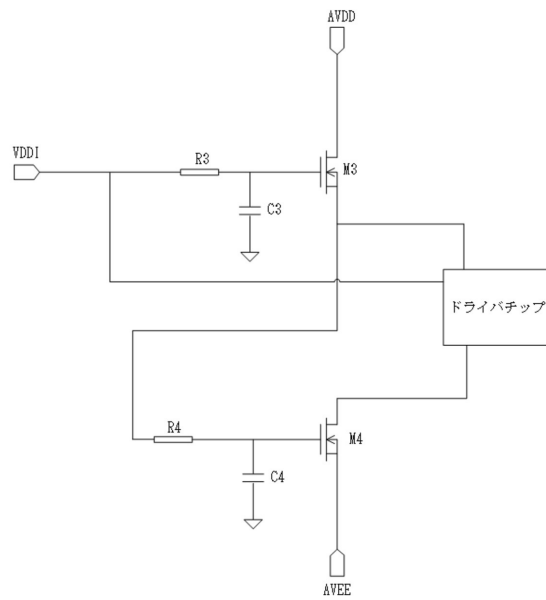


10

【図 3】



【図 4】



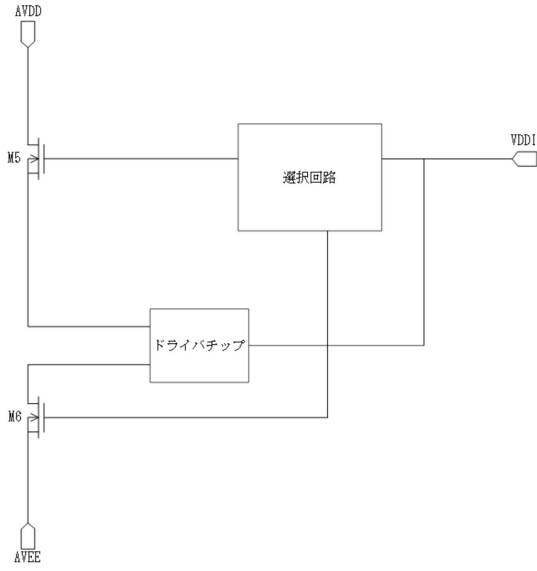
20

30

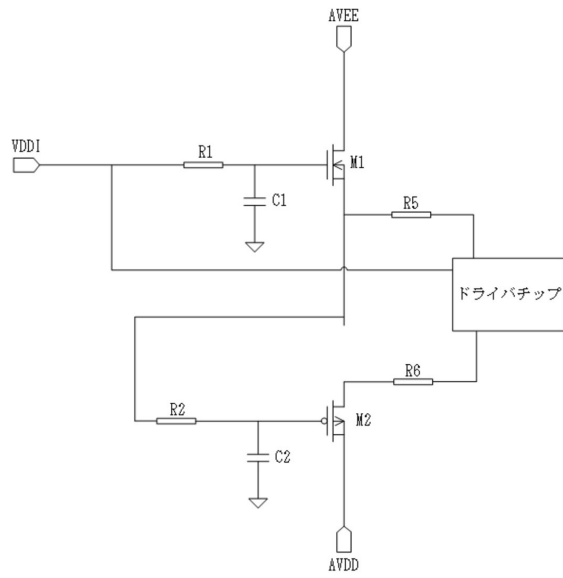
40

50

【図 5】



【図 6】



10

20

30

40

50

フロントページの続き

(51)国際特許分類

F I		
G 0 9 G	3/20	6 1 2 L
G 0 9 G	3/20	6 7 0 D
G 0 9 G	3/20	6 7 0 E
G 0 9 G	3/20	6 7 0 M
G 0 9 G	3/20	6 7 0 L
H 0 4 N	5/66	1 0 2 B

審査官 橋本 直明

(56)参考文献 米国特許出願公開第 2 0 1 8 / 0 0 7 5 8 1 5 (U S , A 1)

特開 2 0 0 6 - 1 1 3 3 0 1 (J P , A)

中国特許出願公開第 1 0 1 3 7 7 9 0 7 (C N , A)

中国特許出願公開第 1 0 7 8 1 8 7 6 7 (C N , A)

特開 2 0 0 7 - 0 6 5 1 3 6 (J P , A)

特開平 0 5 - 1 0 7 5 2 2 (J P , A)

(58)調査した分野 (Int.Cl., D B 名)

G 0 9 G 3 / 3 6

G 0 9 G 3 / 2 0

H 0 4 N 5 / 6 6