

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2017年2月23日(23.02.2017)

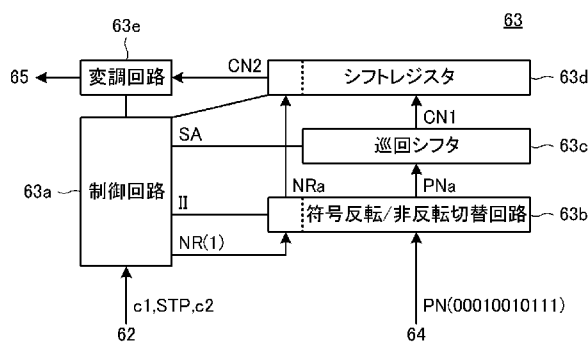


(10) 国際公開番号  
WO 2017/029836 A1

- (51) 国際特許分類:  
G06F 3/03 (2006.01)
  - (21) 国際出願番号: PCT/JP2016/062325
  - (22) 国際出願日: 2016年4月19日(19.04.2016)
  - (25) 国際出願の言語: 日本語
  - (26) 国際公開の言語: 日本語
  - (30) 優先権データ:  
62/207257 2015年8月19日(19.08.2015) US  
PCT/JP2016/058254 2016年3月16日(16.03.2016) JP
  - (71) 出願人: 株式会社ワコム (WACOM CO., LTD.)  
[JP/JP]; 〒3491148 埼玉県加須市豊野台2丁目5  
10番地1 Saitama (JP).
  - (72) 発明者: 小田 康雄(ODA Yasuo); 〒3491148 埼玉  
県加須市豊野台2丁目510番地1 株式会社  
ワコム内 Saitama (JP). 山本 定雄(YAMAMOTO  
Sadao); 〒3491148 埼玉県加須市豊野台2丁目5  
10番地1 株式会社ワコム内 Saitama (JP).
  - (74) 代理人: 鷲頭 光宏, 外(WASHIZU Mitsuhiro et  
al.); 〒1040061 東京都中央区銀座一丁目5番1号  
第三太陽ビル7F Tokyo (JP).
  - (81) 指定国 (表示のない限り、全ての種類の国内保  
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,  
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,  
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,  
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,  
IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR,  
LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,  
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,  
PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,  
SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,  
UG, US, UZ, VC, VN, ZA, ZM, ZW.
  - (84) 指定国 (表示のない限り、全ての種類の広域保  
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,  
MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユー  
ラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨー  
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,  
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,  
MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),  
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM,  
ML, MR, NE, SN, TD, TG).
- 添付公開書類:  
— 国際調査報告 (条約第21条(3))

(54) Title: SENSOR CONTROLLER, POINTING DEVICE, AND POSITION DETECTION SYSTEM

(54) 発明の名称: センサコントローラ、位置指示器、及び位置検出システム



63a Control circuit  
 63b Code invert/non-invert switch circuit  
 63c Cyclic shifter  
 63d Shift register  
 63e Modulation circuit

(57) Abstract: [Problem] To obtain a higher bit rate with the same chip rate as the related art which can only express one bit with one code string. [Solution] A sensor controller according to the present invention, which is used in a position detection device which detects the position of a pointing device upon a touch screen, comprises: an MCU which outputs a value of a symbol to be transmitted to the pointing device; and a transmitting unit which generates a transmission signal which includes a chip string CN1 which is obtained by cyclically shifting, by a shift quantity based on the value of the symbol to be transmitted, a code string PNa which has autocorrelation characteristics, and transmits the generated transmission signal via the touch screen to the pointing device.

(57) 要約:

[続葉有]



WO 2017/029836 A1



---

【課題】 1つの符号列により1ビットしか表現できない背景技術に比べ、同じチップレートで高いビットレートを得る。【解決手段】 本発明によるセンサコントローラは、タッチ面上における位置指示器の位置を検出する位置検出器に用いられるセンサコントローラであって、位置指示器に対して送信すべきシンボルの値を出力するMCUと、自己相関特性を有する符号列PN<sub>a</sub>を、送信すべきシンボルの値に基づいたシフト量で巡回シフトさせて得られるチップ列CN<sub>1</sub>を含む送信信号を生成し、生成した送信信号を、タッチ面を介して位置指示器に対して送信する送信部とを備える。

## 明 細 書

発明の名称：

センサコントローラ、位置指示器、及び位置検出システム

### 技術分野

[0001] 本発明は、センサコントローラ、位置指示器、及び位置検出システムに関し、特に、タッチ面上における位置指示器の位置する位置検出器に用いられるセンサコントローラと、そのような位置検出器が送信する信号を受信可能に構成された位置指示器と、これらの位置検出器及び位置指示器を備える位置検出システムとに関する。

### 背景技術

[0002] ペン型の装置である位置指示器とタブレット等のタッチ面を有する装置である位置検出器との間で、双方向、又は、位置検出器から位置指示器への一方向に通信を行えるようにした位置検出システムが知られている。特許文献1には、後者の位置検出システムの例が開示されている。

[0003] また、特許文献2には、位置検出システムを構成する位置指示器と位置検出器の間における通信において、Direct Sequence Spread Spectrum (DSSS)方式（以下、直接拡散方式）を使用した発明が開示されている。

### 先行技術文献

#### 特許文献

[0004] 特許文献1：国際公開第2015/111159号公報

特許文献2：米国特許第7084860号明細書

### 発明の概要

#### 発明が解決しようとする課題

[0005] 特許文献2に記載の発明のように位置指示器と位置検出器の間の通信方法に直接拡散方式を使用することで耐ノイズ性のある通信方法を実現できる。

[0006] 例えば、送信側装置は、自己相関特性を有する既知の符号列（その符号列と、その符号列又はその反転信号を任意のシフト量で巡回シフトしてなる符

号列との相関値を算出した場合に、シフト量が0である場合にのみ相関値のピークが現れる符号列)を用いて、送信データを構成する複数のビット(送信ビット列)を1ビットずつ符号化するよう構成することができる。

[0007] 図16は、符号化によって送信側装置が生成するチップ列の例を示している。同図に示す例では、自己相関特性を有する既知の符号列として11チップ長の「00010010111」を使用している。また、送信ビット列は「10110」であるとしている。同図に示すように、送信対象のビットの値が「1」である場合には、上記符号列がそのまま送信チップ列となる。一方、送信対象のビットの値が「0」である場合には、上記符号列の反転符号列が送信チップ列となる。

[0008] 受信側装置は、送信側装置が送信した送信チップ列を受信すると、1チップずつ順次11チップ分の容量を有する先入れ先出し型のシフトレジスタに入力し、その都度、シフトレジスタ内に一時的に蓄積されている11チップ分のチップ列と、上記既知の符号列との相関値を算出する。上記符号列は自己相関性を有しているので、算出される相関値は、シフトレジスタに記憶されているチップ列がちょうど「00010010111」となった場合に最大値(この例では+11)となり、ちょうど「11101101000」(既知の符号列の反転符号列)となった場合に最小値(この例では-11)となる。一方、その他の場合の相関値は、0に近い値(この例では+1又は-1)となる。受信側装置は、このような相関値の特徴を利用して、受信されたチップ列から送信側装置が送信した送信データを抽出するよう構成される。

[0009] しかしながら、上記のような直接拡散方式を利用した通信方法には、高いビットレートを得ることが難しいという問題がある。つまり、例えば図11の例で言えば、1ビット(2値)を表現するために11チップが必要となることから、ビットレートとしては、チップレートの1/11の値しか得ることができない。チップレートを向上することは簡単ではないため、結果として高いビットレートを得ることが難しくなっていた。

[0010] したがって、本発明の目的の一つは、背景技術に比べて高いビットレートを得ることができるセンサコントローラ、位置指示器、及び位置検出システムを提供することにある。

### 課題を解決するための手段

[0011] 本発明の一側面によるセンサコントローラは、タッチ面上における位置指示器の位置を検出する位置検出器に用いられるセンサコントローラであって、前記位置指示器に対して送信すべきシンボルの値を出力する制御部と、自己相関特性を有する拡散符号を、前記送信すべきシンボルの値に基づいたシフト量で巡回シフトさせて得られる第1のチップ列を含む送信信号を生成し、生成した前記送信信号を、前記タッチ面を介して前記位置指示器に対して送信する送信部とを備える、というものである。

[0012] 本発明の一側面による位置指示器は、タッチ面を有する位置検出器を介してセンサコントローラが送信する信号を受信可能に構成された位置指示器であって、信号を受信し、前記信号に含まれた自己相関特性を有する符号列の巡回シフト量に基づいて前記信号に含まれたシンボルの値を復調し、復調結果に基づいて送信されたコマンドを復元する受信部と、前記コマンドに基づいて前記センサコントローラに対する信号の送信を制御する制御部とを含む、というものである。

[0013] 本発明の一側面による位置検出システムは、位置指示器と、タッチ面上における前記位置指示器の位置を検出する位置検出器とを含む位置検出システムであって、前記位置検出器は、前記位置指示器に対して送信すべきシンボルの値を出力する制御部と、自己相関特性を有する符号列を、前記送信すべきシンボルの値の少なくとも一部に基づくシフト量で巡回シフトさせてなる第1のチップ列を含む送信信号を生成し、生成した前記送信信号を、前記タッチ面を介して前記位置指示器に対して送信する送信部とを有し、前記位置指示器は、しし前記送信信号を受信することにより生成される一連のチップを順次先入れ先出し型のシフトレジスタに入力し、入力の都度、該シフトレジスタ内に一時的に蓄積されているチップ列と、自己相関特性を有する所定

の符号列を任意のシフト量で巡回シフトさせることによって得られる複数の符号列のそれぞれとの相関値を算出することにより、前記一連のチップ内に含まれるビット列を検出する受信部を有する、というものである。

### 発明の効果

[0014] 本発明によれば、チップ列の生成に符号列の巡回シフトを利用しているので、1つの符号列により2ビット以上を表現することが可能になる。したがって、1つの符号列により1ビットしか表現できない背景技術に比べ、同じチップレートで高いビットレートを得ることが可能になる。

### 図面の簡単な説明

[0015] [図1]本発明の第1の実施の形態による位置検出システム1の構成を示す図である。

[図2]図1に示した位置検出器3の構成を示す図である。

[図3] (a) ~ (c) はそれぞれ、拡散処理部63が生成する信号の一例を示す図である。

[図4]図1に示した回路部24の機能ブロックを示すブロック図である。

[図5]図1に示したスタイラス2及びセンサコントローラ31の動作を時系列で説明するためのタイミング図である。

[図6]図2に示した拡散処理部63の機能ブロックを示すブロック図である。

[図7]図6に示した制御回路63aの機能ブロックを示すブロック図である。

[図8]図6に示したシフトレジスタ63dから出力されるチップ列CN2の説明図である。

[図9] (a) の実線は、図8に示した符号列C1-0と、該符号列C1-0のうち固定チップNRaを除く部分を任意のシフト量で巡回シフトしてなる符号列との相関値を示す図であり、(a) の破線は、図6に示した拡散符号PNと、該拡散符号PNを任意のシフト量で巡回シフトしてなる符号列との相関値を示す図であり、(b) の実線は、図8に示した符号列C1-0と、その反転符号のうち固定チップNRaを除く部分を任意のシフト量で巡回シフトしてなる符号列との相関値を示す図であり、(b) の破線は、図6に示し

た拡散符号PNと、その反転符号を任意のシフト量で巡回シフトしてなる符号列との相関値を示す図である。

[図10]第2の制御信号US<sub>c2</sub>の例を示す図である。

[図11]図4に示した相関回路26bの機能ブロックを示すブロック図である。

[図12]本発明の実施の形態の第1の変形例において図6のシフトレジスタ63dから出力されるチップ列CN2の説明図である。

[図13]本発明の実施の形態の第1の変形例において図6のシフトレジスタ63dから出力されるチップ列CN2の説明図である。

[図14]本発明の実施の形態の第2の変形例による相関回路26bの機能ブロックを示すブロック図である。

[図15]本発明の実施の形態の第3の変形例によるスタイラス2及びセンサコントローラ31の動作を時系列で説明するためのタイミング図である。

[図16]本発明の背景技術による位置検出器が生成する送信符号列の例を示す図である。

### 発明を実施するための形態

[0016] 以下、添付図面を参照しながら、本発明の実施の形態について詳細に説明する。

[0017] 図1は、本発明の実施の形態による位置検出システム1の構成を示す図である。位置検出システム1は、スタイラス2と、位置検出器3とを備えて構成される。

[0018] スタイラス2は、位置検出器3が順次送信する信号を受信可能に構成されたアクティブES方式の位置指示器であって、図1に示すように、芯20、電極21、筆圧検出センサ23、回路部24、及び電源25を有して構成される。電源25としては、例えば円筒型のAAA電池が用いられる。なお、本実施の形態では、本発明をアクティブES方式のスタイラス2に適用する例を説明するが、本発明は、例えば電磁誘導方式などの他の方式のスタイラスを用いる場合にも好適に適用可能である。

- [0019] 芯20は、その長手方向がスタイラス2のペン軸方向と一致するように配置される棒状の部材である。芯20の先端部20aの表面には導電性材料が塗布され、電極21を構成している。芯20の後端部は、筆圧検出センサ23に当接される。筆圧検出センサ23は、芯20の先端部20aに加えられる圧力（筆圧）を検出するために用いられる。
- [0020] 回路部24は、位置検出器3が送信するアップリンク信号US（第1の制御信号US\_c1及び第2の制御信号US\_c2）を電極21を介して受信する機能と、位置検出器3に向け、電極21を介してダウンリンク信号DS（位置信号DS\_pos及びデータ信号DS\_res）を送信する機能とを有する。これらの信号については、後ほど詳細に説明する。
- [0021] 位置検出器3は、タッチ面3aを構成するセンサ30と、センサコントローラ31と、これらを含む位置検出器3の各部を制御するホストプロセッサ32とを有して構成される。
- [0022] センサコントローラ31は、スタイラス2が送信するダウンリンク信号DS（位置信号DS\_pos及びデータ信号DS\_res）をセンサ30を介して受信する機能と、スタイラス2に向け、センサ30を介してアップリンク信号US（第1の制御信号US\_c1及び第2の制御信号US\_c2）を送信する機能とを有する。
- [0023] 図2は、位置検出器3の構成を示す図である。同図に示すように、センサ30は複数の線状電極30Xと複数の線状電極30Yとがマトリクス状に配置された構成を有しており、これら線状電極30X、30Yによってスタイラス2と容量結合する。また、センサコントローラ31は、送信部60、選択部40、受信部50、ロジック部70、及びMCU80（制御部）を有して構成される。
- [0024] 送信部60は、図1に示したアップリンク信号US（第1の制御信号US\_c1及び第2の制御信号US\_c2）を送信するための回路である。具体的には、第1の制御信号供給部61、スイッチ62、拡散処理部63、符号列保持部64、及び送信ガード部65を含んで構成される。なお、このうち

特に第1の制御信号供給部61に関して、本実施の形態では送信部60内に含まれるものとして説明するが、MCU80内に含まれることとしてもよい。

[0025] 第1の制御信号供給部61は検出パターンc1を保持しており、ロジック部70から供給される制御信号ctrl\_\_t1の指示に従って、後述する図5に示す連続送信期間TCP（例えば、3msec）の間、検出パターンc1に対応する信号（あるいはビット列）を連続して繰り返し出力する機能を有する。また、連続送信期間TCPの終了直後、あるいは、第2の制御信号US\_\_c2の送信開始時に所定の区切パターンSTPを少なくとも2回連続して出力する機能も有している。第1の制御信号US\_\_c1は、第1の制御信号供給部61からこうして出力される検出パターンc1及び区切パターンSTPにより構成される。

[0026] 検出パターンc1は、スタイラス100がセンサコントローラ31の存在を検出するために用いられるシンボルの値のパターンであり、事前に（スタイラス100がセンサコントローラ31を検出する前に）スタイラス100に既知にされている。シンボルは、送信処理においては変調に用いる情報の単位（送信信号が表現する情報の単位）であり、受信処理においては受信信号である1シンボルを復調して得られる情報の単位である。シンボルの値は、ビット列に変換される値（以下、「ビット列対応値」と称する）と、シンボルを受信したスタイラス100によってビット列に変換されない値（以下、「ビット列非対応値」と称する）とを含むことができる。後述の表1に示すように、前者にかかるシンボルは2のべき乗の個数の値をとり、「0001」などのビット列に対応付けることができる。こうしてビット列により表記される各シンボルのビット長は、直接拡散部63の仕様により決定される。一方、後者にかかるシンボルは1個以上（例えば2個）の値をとり、後述の表1に示すように「P」「M」などと表記されるビット列に対応づけられない値を取る。後述の表1に示す一例では、「P」と「M」はそれぞれ、所定の拡散符号列とその反転符号列とに対応付けられる。

- [0027] 検出パターンc 1はビット列非対応値のパターンにより表すことができ、例えば「PMPMPM・・・」のように2つのビット列非対応値「P」「M」の繰り返しにより検出パターンc 1を構成することができる。
- [0028] 区切パターンSTPは、上記連続送信期間の終了をスタイラス100に通知するためのシンボルのパターンであり、検出パターンc 1の繰り返し中に現れないシンボルのパターンによって構成される。一例を挙げると、上記のように検出パターンc 1を「PMPMPM・・・」のように2つのビット列非対応値「P」「M」の繰り返しで構成する場合、区切パターンSTPは、ビット列非対応値「P」を2回連続させてなるパターン「PP」により構成することができる。尚、区切りパターンSTPと検出パターンc 1との構成を逆にして、区切りパターンを「PM」により構成して検出パターンc 1を「PP」により構成してもよい。
- [0029] スイッチ62は、ロジック部70から供給される制御信号ctrl\_\_t 2に基づいて第1の制御信号供給部61及びMCU80のいずれか一方を選択し、選択した一方の出力を拡散処理部63に供給する機能を有する。スイッチ62が第1の制御信号供給部61を選択した場合、拡散処理部63には検出パターンc 1又は区切パターンSTPが供給される。一方、スイッチ62がMCU80を選択した場合、拡散処理部63には制御情報c 2が供給される。
- [0030] 制御情報c 2は、スタイラス2への指示内容を示すコマンドを含む情報であり、MCU80によって生成され、図10に示すような第2の制御信号US\_\_c 2により送信される。制御情報c 2は可変長のビット列に対応づけられるシンボルの値（例えば0～15）を含み、スタイラス2との間でその値が事前に共有されていない点で、検出パターンc 1とは異なっている。また、制御情報c 2は、上述した所定ビット長の2のべき乗の個数（8値）の値を示す値「D」により示される点で、値「P」「M」とを含む検出パターンc 1と異なっている。第2の制御信号US\_\_c 2は、図10に示すように区切りパターンSTP「PP」をプリアンブルとしその後D1～D3で示す

3つの制御情報c 2に対応する送信信号（チップ列）を含み構成され送信される。

[0031] 符号列保持部6 4は、ロジック部7 0から供給される制御信号c t r l \_ t 3に基づき、自己相関特性を有する1 1チップ長の拡散符号P N（第2の符号列）を生成して保持する機能を有する。符号列保持部6 4が保持している拡散符号P Nは、拡散処理部6 3に供給される。拡散符号P Nの具体的な内容については後述する。

[0032] 拡散処理部6 3は、スイッチ6 2を介して供給されるシンボルの値（拡散処理部6 3の処理により送信信号により表現される情報）に基づいて符号列保持部6 4によって保持される拡散符号P Nを1次変調（後述する巡回シフトあるいは反転）することにより、1 2チップ長の符号列（後述する表1、図6に示すチップ列C N 2。第2のチップ列）を得る機能（チップ列取得機能）を有する。このチップ列取得機能（1次変調処理）については後に図5～図9を参照しながらより詳しく説明するが、ここで簡単に概要のみ説明する。

[0033] 本実施の形態における検出パターンc 1、区切パターンS T P、制御情報c 2はそれぞれ、ビット列対応値0～1 5（対応ビット列「0 0 0 0」～「1 1 1 1」）及びビット列非対応値「P」「M」の組み合わせによって構成される。また、拡散符号保持部6 4から供給される拡散符号P Nは、「0 0 0 1 0 0 1 0 1 1 1」である。

[0034] 拡散処理部6 3による1次変調において、各シンボルの値（0～1 5並びにP及びM）は、各々対応するチップ列C N 2に変換される。表1には、チップ列取得機能によるシンボルの値と生成されるチップ列C N 2の対応関係の具体例を示している。

[0035]

[表1]

シンボルの値	対応ビット列	極性	シフト量	送信信号 (チップ列CN2)
P	非対応	非反転	0 (基準)	1__00010010111
0	0000	非反転	+2	1__11000100101
1	0001	非反転	+3	1__11100010010
3	0011	非反転	+4	1__01110001001
2	0010	非反転	+5	1__10111000100
6	0110	非反転	+6	1__01011100010
7	0111	非反転	+7	1__00101110001
5	0101	非反転	+8	1__10010111000
4	0100	非反転	+9 (-2)	1__01001011100
M	非対応	反転	0 (基準)	0__11101101000
8	1000	反転	+2	0__00111011010
9	1001	反転	+3	0__00011101101
11	1011	反転	+4	0__10001110110
10	1010	反転	+5	0__01000111011
14	1110	反転	+6	0__10100011101
15	1111	反転	+7	0__11010001110
13	1101	反転	+8	0__01101000111
12	1100	反転	+9 (-2)	0__10110100011

[0036] 表1に示すように1つのシンボルは多値を示し、シンボルの値は拡散符号PNをシンボルの値に基づいたシフト量巡回シフトし、非反転又は反転させることで得られる上記表1のいずれかのチップ列CN2に対応づけられる。シンボルの値は所定ビット長のビット列により表される2のべき乗の個数（例えば16個）の値のいずれか（「0～15」）、又は、ビット列に対応しない前記2のべき乗の個数の値とは異なる1個以上の個数の値（「P」「M」）のいずれかを取る。前者は制御情報c2の送信に用いられ、後者はプリアンブルなど区切パターンSTPの送信に用いられる。

[0037] 表の各行を詳しく説明すると、シンボルの値「P」はビット列非対応値であり、自己相関特性を有する拡散符号PN「00010010111」の先頭に固定チップ「1」を付けてなる符号列に変換される。ビット列非対応値「M」は、拡散符号PN「00010010111」の極性を反転された反

転符号「11101101000」の先頭に固定チップである「0」を付けてなる符号列に変換される。

[0038] ビット列対応値0～7はそれぞれ、拡散符号PNを各々表1に示すシフト量で巡回シフトしてなる符号の先頭に「1」を付けてなる符号列に変換される。例えば、シンボルの値「4」は、拡散符号PNを右に9個（左に2）巡回シフトしてなる符号の先頭に「1」を付けてなる符号列に変換される。また、ビット列対応値8～15はそれぞれ、拡散符号PNの極性が反転された反転符号「11101101000」を、それぞれシンボルの値で所定のシフト量で巡回シフトしてなる符号の先頭に「0」を付けてなる符号列に変換される。例えば、シンボルの値「12」は、拡散符号PNを反転し、右に9（左に2）巡回シフトしてなる符号の先頭に「1」を付してなる符号列に変換される。

[0039] コマンドに用いられるビット列対応値0～7のシフト量のうち最も近いもののシフト量の差は1である。一方、プリアンブルなど区切パターンSTPに用いるシンボルの値「P」のシフト量（即ち、0）と、コマンドに用いられるビット列対応値0～7のうち最もシフト量の近い値「0」（右に2）又は「4」のシフト量（左に2）のとの差は2であり、ビット列対応値0～7のシフト量の差のうち最小の差に比して大きく確保してある。このように、プリアンブルなどの区切パターンを構成するシンボルの値「P」及び「M」のシフト量（「0」）とコマンドを構成する値（「0」「4」及び「8」「12」）に基づいたシフト量（+2、-2）との差を、コマンドを構成するある1つの値とコマンドを構成する他の値とのシフト量のうち最も小さい値よりも大きくとることで、プリアンブルなどの区切パターンをコマンドに対応する所定の値のいずれかと誤って判定してしまう確率を低減することが可能となる。

[0040] ここで、シフト量は、ある1つのシンボルの値が対応づけられるビット列と他の1つのシンボルの値が対応付けられるビット列とのハミング距離が小さいほど、ある1つのシンボルの値のシフト量と他の1つのシンボルの値の

シフト量との差が小さくなるように、決定されている。単純に、シンボルの値が大きくなるにつれシフト量を大きくするのではなく、表1のようにビット列間のハミング距離に基づいてシフト量を決定して構成する理由については後述する。

[0041] 尚、送信部60（チップ列CN2を取得した拡散処理部63）は、表1のようにして取得したチップ列CN2をそのまま送信信号とするのではなく、チップ列CN2に基づいてキャリア信号を変調することで送信信号を生成する処理（2次変調処理）を行うとしてもよい。2次変調処理は必ずしも必要とはされないが、この2次変調処理には、チップ列CN2をマンチェスター符号化する処理などを含むことができる。

[0042] 図3（a）～（c）はそれぞれ、拡散処理部63が生成する信号の一例を示す図である。以下、それぞれについて説明する。

[0043] 図3（a）は、拡散処理部63が2次変調処理を行わない場合の例である。この例では、1次変調によって生成されたチップ列CN2がそのまま、拡散処理部63によって生成される送信信号となる。

[0044] 図3（b）は、拡散処理部63が2次変調処理としてマンチェスター符号化のみを行う場合の例である。この場合の拡散処理部63は、チップ列CN2に含まれる複数のチップのうち「1」であるチップに立ち上がりエッジを割り当て、「0」であるチップに立ち下がりエッジを割り当てることによって、マンチェスター符号化したチップ列CN2を取得する。なお、「0」であるチップに立ち上がりエッジを割り当て、「1」であるチップに立ち下がりエッジを割り当てることによってチップ列CN2のマンチェスター符号化を行うこととしてもよい。図3（b）の例では、マンチェスター符号化されたチップ列CN2が、拡散処理部63によって生成される送信信号となる。

[0045] 図3（c）は、拡散処理部63が2次変調処理としてマンチェスター符号化及びデジタル変調を行う場合の例である。この場合の拡散処理部63は、マンチェスター符号化したチップ列CN2に基づいて所定の搬送波信号を変調することにより、図3（c）に示すような送信信号を生成する。なお、図

3にはBPSK(Binary Phase Shift Keying)に従って生成した送信信号の例を記載しているが、他のデジタル変調方式を用いることとしてもよい。また、図3では搬送波信号として正弦波信号を用いているが、矩形波信号など他の種類の搬送波信号を用いてもよい。

[0046] 拡散処理部63が行う2次変調処理にマンチェスター符号化を含むことで、図3(b)からも理解されるように、1チップに相当する期間以上の期間にわたって同じ値が連続することがなくなる。このように拡散符号PNによりスペクトラムが拡散された送信信号を2次変調することにより、例えば低周波数成分を避けるように所望の周波数帯を利用して送信することができる。

[0047] 図2に戻る。拡散処理部63によって生成された送信信号(第1の制御信号US\_c1及び第2の制御信号US\_c2)は、送信ガード部65に供給される。送信ガード部65は、ロジック部70から供給される制御信号ctrl\_t4に基づき、第1の制御信号US\_c1及び第2の制御信号US\_c2の送信期間と後述する受信期間RDSとの間に、送信動作と受信動作を切り替えるために送信と受信の両方を行わない期間であるガード期間を挿入する機能を有する。

[0048] 選択部40は、ロジック部70の制御に基づいて、センサ30から信号を送信する送信期間と、センサ30により信号を受信する受信期間とを切り替えるスイッチである。具体的に説明すると、選択部40は、スイッチ44x、44yと、導体選択回路41x、41yとを含んで構成される。スイッチ44xは、ロジック部70から供給される制御信号STRxに基づき、送信期間には、送信部60の出力端を導体選択回路41xの入力端に接続し、受信期間には、導体選択回路41xの出力端を受信部50の入力端に接続するよう動作する。スイッチ44yは、ロジック部70から供給される制御信号STRyに基づき、送信期間には、送信部60の出力端を導体選択回路41yの入力端に接続し、受信期間には、導体選択回路41yの出力端を受信部50の入力端に接続するよう動作する。導体選択回路41xは、ロジック部

70から供給される制御信号 $s e l X$ に基づき、複数の線状電極 $30X$ のうちの1つを選択し、選択したものをスイッチ $44x$ に接続するよう動作する。導体選択回路 $41y$ は、ロジック部70から供給される制御信号 $s e l Y$ に基づき、複数の線状電極 $30Y$ のうちの1つを選択し、選択したものをスイッチ $44y$ に接続するよう動作する。

[0049] 受信部50は、ロジック部70の制御信号 $c t r l\_r$ に基づいて、スタイラス2が送信する位置信号 $D S\_p o s$ 及びデータ信号 $D S\_r e s$ を検出あるいは受信するための回路である。具体的には、増幅回路51、検波回路52、及び、アナログデジタル（AD）変換器53を含んで構成される。

[0050] 増幅回路51は、選択部40から供給される位置信号 $D S\_p o s$ 及びデータ信号 $D S\_r e s$ を増幅して出力する。検波回路52は、増幅回路51の出力信号のレベルに対応した電圧を生成する回路である。AD変換器53は、検波回路52から出力される電圧を所定時間間隔でサンプリングすることによって、デジタル信号を生成する回路である。AD変換器53が出力するデジタルデータはMCU80に供給される。

[0051] ロジック部70及びMCU80は、送信部60及び受信部50等の送受信動作を制御する制御部である。具体的に説明すると、MCU80は、内部にROMおよびRAMを有し、所定のプログラムに基づき動作するマイクロプロセッサである。一方、ロジック部70は、MCU80の制御に基づき、上述した各制御信号を出力するよう構成される。MCU80はまた、AD変換器53から供給されるデジタルデータに基づいてスタイラス2の位置を示す座標データ $x, y$ 等を導出し、ホストプロセッサ32に対して出力する役割を担う。

[0052] 図4は、スタイラス2の機能ブロックを示すブロック図である。同図に示すように、スタイラス2は、切替部SW、受信部26、送信部27、並びに制御部28を含んで構成される。

[0053] 切替部SWは、制御部28からの制御信号 $S W C$ に基づき、受信Rと送信Tとを切り替えるスイッチである。受信Rの場合には電極21を受信部26

に接続し、送信Tの場合には電極21を送信部27に接続する。初期状態、すなわちスタイラス2が第1の制御信号US\_\_c1を検出するまでの検出前期間BD（図5参照）の間、切替部SWは受信Rに設定される。

[0054] 受信部26は、切替部SWから供給される信号（電極21に到来した信号）の受信を行い表1で示した送信信号からシンボルの値を得るための回路であり、復調回路26a及び相関回路26bを含んで構成される。受信部26は、消費電力を削減するため、センサコントローラ31を検出するまでの検出前期間BDでは、短縮された受信期間SRPを除いてその動作を停止している。

[0055] 図5も参照しながら説明すると、受信部26は、所定の周期WP a（例えば2.5 msec）ごとに、短縮された受信期間SRP（周期WP aより短い時間。例えば60  $\mu$ sec）の間だけ第1の制御信号US\_\_c1の受信動作を行い、第1の制御信号US\_\_c1に例えば「PM」あるいは「MP」など所定長のビット列に対応付けないシンボルの値のパターンである検出パターンc1が含まれているか否かを判定する。スタイラス2は、これによってセンサコントローラ31の検出を試みる。センサコントローラ31を検出した後には、受信部26は、受信動作を継続して区切パターンSTPを検出し、さらに区切パターンSTPの後に検出した信号を第2の制御信号US\_\_c2として受信して、そこから所定長のビット列に対応付けられる値Dにより構成される制御情報c2を抽出する処理を行う。

[0056] ここで、上述したように、本実施の形態では連続する2つの同じシンボルの値「PP」により区切パターンSTPを構成している。このようにしているのは、スタイラス2が、電極21ではなく、その筐体をアンテナとして位置検出器3からの信号を受信してしまうことがあるためである。この場合、スタイラス2の回路部24には正負が逆転した状態で各信号が供給されるため、スタイラス2は、制御情報c2を正常に受信することができなくなる。そこで、スタイラス2は、区切パターンSTPを検出する際、シンボル値「PP」だけでなく、シンボル値「PP」を表すチップ列を反転させてなるチ

チップ列により構成されるシンボル値「MM」も監視する。そして、シンボル値「PP」が検出された場合には通常どおりに後続のチップ列を検出することにより制御情報c2の受信を試みる一方、シンボル値「MM」が検出された場合には、後続のチップ列を検出後にすべて反転させることにより、制御情報c2の受信を試みる。このようにシンボル値が反転されているか非反転であるかを判定する際に、1つ目のチップ列の反転または非反転を参照として利用することで、スタイラス2は電極21ではなく筐体を介して位置検出器3からの信号が到来し電極21で得られた信号の極性が反転してしまっているような場合にも、極性の反転及び非反転の判定を誤らず制御情報c2を構成するデータを取得することが可能になる。

[0057] 復調回路26aは、位置検出器3が送信した信号を受信することにより、一連のチップを生成する受信回路である。具体的に説明すると、例えば位置検出器3が2次変調処理としてマンチェスター符号化及びデジタル変調を行う場合であれば、復調回路26aは、位置検出器3の拡散処理部63が搬送波信号の変調に用いた変調方式によって電極21に誘導された信号を復調することにより一連のチップを順次取得し、さらに、マンチェスター符号化の逆処理によってこの一連のチップを順次復号する処理を行う。復調回路26aは、この復号の結果得られる一連のチップを、1チップずつ相関回路26bに供給するよう構成される。拡散処理部63がマンチェスター符号化もデジタル変調も行わない場合には、復調回路26aは、順次受信される一連のチップを直接、1チップずつ相関回路26bに供給すればよい。

[0058] 相関回路26bは、復調回路26aから供給される一連のチップと、複数の既知の符号列のそれぞれとの相関処理を行うことにより、一連のチップ内に含まれる検出パターンc1、区切パターンSTP、制御情報c2を検出する機能を有する。この検出機能については、後に図11を参照しながら、別途より詳しく説明する。検出パターンc1を検出した場合、相関回路26bは、制御部28に対して起動信号ENを発行する。区切パターンSTPを検出した場合、相関回路26bは、その検出時刻t2を制御部28に対して出

力する。制御情報 c 2 を検出した場合、相関回路 2 6 b は、検出した制御情報 c 2 を制御部 2 8 に対して出力する。

[0059] 制御部 2 8 は、マイクロプロセッサ (MCU) により構成され、受信部 2 6 から起動信号 EN が供給されたこと (すなわち、受信部 2 6 が検出パターン c 1 を検出したこと) を契機として起動し、各種の処理を行う。具体的には、受信部 2 6 から供給される検出時刻 t 2 に基づいて各信号 (制御情報 c 2、位置信号 DS\_pos、及びデータ信号 DS\_res) の送受信スケジュールを生成し、生成した送受信スケジュールに基づく制御信号 SWC を生成して切替部 SW に供給する処理と、受信部 2 6 から供給される制御情報 c 2 に基づいてデータ信号 DS\_res の送信方法を制御する処理とを行う。

[0060] データ信号 DS\_res の送信方法の制御について、詳しく説明する。制御部 2 8 は、制御情報 c 2 により送信すべき情報の内容 (ペン ID、筆圧値、サイドスイッチの押下状態等) が指定されている場合、その指定に従い、位置検出器 3 に対して送信する情報の内容を制御する。具体的には、送信する情報を含む送信データ Res を生成し、送信部 2 7 に供給する。また、制御情報 c 2 によりデータ信号 DS\_res の送信タイミング (例えば、データ信号 DS\_res の送信に用いるタイムスロット) が指定されている場合、その送信タイミングでデータ信号 DS\_res が送られることとなるよう、送信部 2 7 に送信データ Res を供給するタイミングを制御する。さらに、制御情報 c 2 によりデータ信号 DS\_res の送信に用いる周波数が指定されている場合、その周波数のキャリア信号を生成するよう、後述する変調部 2 7 a を制御する。

[0061] なお、受信部 2 6 が検出パターン c 1 を検出していない場合、すなわち前回の起動信号 EN の供給を受けて上記処理を完了した後、未だ次の起動信号 EN の供給を受けていない場合、制御部 2 8 は上記各処理の実行を休止する (すなわち、制御部 2 8 の処理を実行しない) こととしてもよい。これにより、制御部 2 8 の消費電力を低減することができる。

[0062] 送信部 2 7 は、位置信号 DS\_pos 及びデータ信号 DS\_res を送信

する回路であり、変調部27a及び昇圧回路27bにより構成される。

[0063] 変調部27aは、所定周波数又は制御部28からの制御に従った周波数の搬送波信号（例えば矩形波信号）を生成し、そのまま、或いは、制御部28の制御に基づいて変調したうえで出力する回路である。位置信号DS\_posの送信時には、変調部27aは、搬送波信号を変調せずにそのまま出力する。一方、データ信号DS\_resの送信時には、制御部28から供給される送信データResにより搬送波信号を変調し、その結果として得られる送信信号を出力する。この変調に用いる具体的な変調方式としても、PSK(Phase Shift Keying)などのデジタル変調方式が挙げられる。

[0064] 昇圧回路27bは、変調部27aの出力信号を一定の振幅まで昇圧することにより、位置信号DS\_pos及びデータ信号DS\_resを生成する回路である。昇圧回路27bによって生成された位置信号DS\_pos及びデータ信号DS\_resは、切替部SWを経て電極21から空間に送出される。なお、昇圧回路27bと変調部27aとは、1つの処理部として実現されてもよい。

[0065] 図5は、スタイラス2及びセンサコントローラ31の動作を時系列で説明するためのタイミング図である。同図において、上段Tsで示す時間軸は、スタイラス2の送信Txと受信Rxを示している。また、下段Ttで示す時間軸は、センサコントローラ31の送信Txと受信Rxを示している。

[0066] 時刻t0までの期間は、スタイラス2がセンサコントローラ31の検出範囲の外にある期間である。スタイラス2は、消費電力を削減するために、連続送信期間TCPよりも短い周期WPaで間欠的に、複数回にわたって受信部26を動作させる。具体的には、各周期WPa内において、短縮された受信期間SRPの間に限り受信部26を動作させることとし、その他の時間は受信部26を停止させる。受信期間SRPの時間長は、検出パターンc1を1回受信するために必要十分な値に設定される。

[0067] センサコントローラ31は、周期WPで、第1の制御信号US\_c1及び第2の制御信号US\_c2の送信を繰り返すよう構成される。

- [0068] 具体的に説明すると、センサコントローラ31は、周期WPの開始とともに、周期WPaより長い時間である所定の連続送信期間TCPにわたり、検出パターンc1を示すチップ列の送信を繰り返す。
- [0069] ここで、上述したように、本実施の形態での検出パターンc1は「PMPMPMP・・・」である。位置検出器3では、この検出パターンc1を構成する値P及び値Mのそれぞれが、図2に示した拡散処理部63のチップ列取得機能により12チップ長のチップ列CN2に変換される。詳細は後述する。
- [0070] センサコントローラ31は、連続送信期間TCPの終了直後に、同じシンボルの値Pを示すチップ列を2回連続して送信することにより、検出パターンc1の送信終了（あるいは第2の制御信号US\_c2の開始）を示す区切パターンSTPを送信するよう構成される。なお、値Pは、図2に示した拡散処理部63のチップ列取得機能により、1つずつ12ビット長のチップ列CN2に変換される。ここまです、第1の制御信号US\_c1の送信が完了する。
- [0071] 第1の制御信号US\_c1の送信を完了したセンサコントローラ31は、続いて制御情報c2を示すチップ列（すなわち、第2の制御信号US\_c2）を送信する。制御情報c2は、上述したように区切パターンSTPの後に続いて送信され、コマンドを示す任意のビット列を含む情報である。図4に示した「D1」「D2」「D3」・・・「Dn」はそれぞれ4ビットの任意のビット列（「0000」「0001」など）である値Dを表しており、それぞれが、図2に示した拡散処理部63のチップ列取得機能により12チップ長のチップ列CN2に変換される。
- [0072] 第2の制御信号US\_c2の送信を完了したセンサコントローラ31は、スタイラス2からの信号を受信するための受信期間RDSを設ける。スタイラス2は、上記のようにして送信された第1の制御信号US\_c1を受信した場合、この受信期間RDS内に位置信号DS\_posを送信するよう構成される。センサコントローラ31は、受信期間RDSの間、こうして送信さ

れる位置信号DS\_posの受信を待機する。

[0073] 時刻t<sub>0</sub>でスタイラス2がセンサ30の検出範囲に移動する（スタイラスダウン）と、スタイラス2は、その後に到来する連続送信期間TCP内に位置する受信期間SRPの直後の時刻t<sub>1</sub>のタイミングで、センサコントローラ31が送信した検出パターンc<sub>1</sub>を検出することになる。

[0074] 検出パターンc<sub>1</sub>を検出したスタイラス2は、上述した起動信号ENを生成するとともに、その後も、受信期間SRPを越えて受信動作を継続する。そして、スタイラス2がこの受信動作を行っている間にセンサコントローラ31が区切パターンSTPを送信すると、スタイラス2により区切パターンSTPが検出される。スタイラス2は、区切パターンSTPを検出した場合にその検出が完了した時刻t<sub>2</sub>を参照し、第2の制御信号US\_c<sub>2</sub>、位置信号DS\_pos、及びデータ信号DS\_resの送受信のスケジューリングを行う。具体的には、図5に示すように、まず時刻t<sub>2</sub>に基づくタイミングで第2の制御信号US\_c<sub>2</sub>の受信を待機し、次いで位置信号DS\_posを送信し、最後にデータ信号DS\_resを送信する。

[0075] センサコントローラ31は、上述したように、第2の制御信号US\_c<sub>2</sub>の送信後に受信期間RDSを設け、位置信号DS\_posの受信を待機している。位置信号DS\_posを受信したセンサコントローラ31は、図2に示した複数の線状電極30X、30Yのそれぞれにおける位置信号DS\_posの受信状況に基づいてスタイラス2の位置（座標データx, y）を算出し、図1に示したホストプロセッサ32に対して出力するとともに、再度受信期間RDSを設け、今度はデータ信号DS\_resの受信を待機する。データ信号DS\_resを受信したセンサコントローラ31は、受信したデータ信号DS\_resから上述した送信データResを抽出し、ホストプロセッサ32に対して出力する。

[0076] こうしてスタイラス2から位置信号DS\_pos及びデータ信号DS\_resを受信した後も、センサコントローラ31は、それまでと同様にして第1の制御信号US\_c<sub>1</sub>及び第2の制御信号US\_c<sub>2</sub>を繰り返す。これに

よりスタイラス2も上述した動作を繰り返すこととなり、センサコントローラ31は、その都度、スタイラス2から位置信号DS\_pos及びデータ信号DS\_resを受信し、それによってスタイラス2の位置算出と、スタイラス2が送信した送信データResの取得とを行う。

[0077] 以上、位置検出システム1の概要を説明した。次に、図2に示した拡散処理部63のチップ列取得機能、及び、図3に示した相関回路26bの検出機能について、順に詳しく説明する。特に、表1で説明したようにシンボルの値から送信信号を得る拡散処理部63のチップ列取得機能の具体的な構成の例の説明に併せて、拡散符号PNの具体的な内容についても詳しく説明する。

[0078] 図6は、図2に示した拡散処理部63の機能ブロックを示すブロック図である。同図に示すように、拡散処理部63は、制御回路63a、符号反転／非反転切替回路63b（符号列生成部）、巡回シフト63c（巡回シフト部）、シフトレジスタ63d（チップ列生成部）、及び変調回路63eを有して構成される。

[0079] 符号反転／非反転切替回路63bは、符号列保持部64に記憶される11チップ長の拡散符号PN（第2の符号列）に基づき、自己相関特性を有する11チップ長の符号列PNa（第1の符号列）を生成する機能を有する。具体的には、制御回路63aから供給される反転情報IIに従って、拡散符号PN、及び、拡散符号PNを反転してなる符号列のいずれか一方を選択し、選択した一方により符号列PNaを生成する。

[0080] ここで、拡散符号PNについて詳しく説明する。拡散符号PNは、上述したように、自己相関特性を有する符号列である。したがって、拡散符号PNと、拡散符号PN又はその反転信号を任意のシフト量で巡回シフトしてなる符号列との相関値を算出した場合に、シフト量が0である場合にのみ相関値のピークが現れる。以下、図9を参照しながら、拡散符号PNが自己相関特性を有していることについて説明する。なお、以下では、拡散符号PNは「00010010111」であるとして説明する。

[0081] 図9 (a) の破線は、拡散符号PN「00010010111」と、該拡散符号PNを任意のシフト量で巡回シフトしてなる符号列との相関値を示している。この破線において、例えばシフト量が「+1」である場合の相関値は、拡散符号PN「00010010111」と、この拡散符号PNの各チップを1つ右に巡回シフトしてなる「10001001011」との相関値となる。また、例えばシフト量が「-2」である場合の相関値は、拡散符号PN「00010010111」と、この拡散符号PNの各チップを2つ左に巡回シフトしてなる「01001011100」との相関値となる。なお、相関値の計算においては、「0」は「-1」として取り扱われる。

[0082] また、図9 (b) の破線は、拡散符号PN「00010010111」と、その反転符号「11101101000」を任意のシフト量で巡回シフトしてなる符号列との相関値を示している。この破線において、例えばシフト量が「+1」である場合の相関値は、拡散符号PN「00010010111」と、その反転符号の各チップを1つ右に巡回シフトしてなる「01110110100」との相関値となる。また、例えばシフト量が「-2」である場合の相関値は、拡散符号PN「00010010111」と、その反転符号の各チップを2つ左に巡回シフトしてなる「10110100011」との相関値となる。

[0083] 図9 (a) (b) のいずれにおいても、破線で示される相関値のピークは、シフト量が「0」である場合にのみ現れている。したがって、拡散符号PNと、拡散符号PN又はその反転信号を任意のシフト量で巡回シフトしてなる符号列との相関値を算出した場合、シフト量が0である場合にのみ相関値のピークが現れると言えるので、拡散符号PNは自己相関特性を有していると言える。

[0084] 図6に戻る。符号反転／非反転切替回路63bは、制御回路63aから固定符号NRの供給を受け、制御回路63aから供給される反転情報IIに従って固定符号NRを反転し、又は、反転しないことにより、固定チップNRaを生成する機能も有している。固定符号NRは1チップ長の符号であり、

図6の例では「1」としている。このような固定符号NRを用いるのは、後述するシフトレジスタ63dから出力されるチップ列CN2の相関値のフロア値（ピーク以外における相関値）を「0」にするためである。この点については、後ほど別途詳しく説明する。

[0085] 巡回シフタ63cは、符号反転／非反転切替回路63bが生成した符号列PNaを、制御回路63aから供給されるシフト量SAで巡回シフトさせることにより、チップ列CN1（第1のチップ列）を生成する機能部である。また、シフトレジスタ63dは、巡回シフタ63cが生成したチップ列CN1及び符号反転／非反転切替回路63bが生成した固定チップNRaをパラレルに受け取り、受け取ったチップ列CN1に受け取った固定チップNRaを付加することによってチップ列CN2（第2のチップ列）を生成し、生成したチップ列CN2をシリアルに出力する機能部である。

[0086] 図8は、シフトレジスタ63dから出力されるチップ列CN2の説明図である。同図に示す符号列C1-0は、符号反転／非反転切替回路63bが反転処理を行わず、巡回シフタ63cによる巡回シフトも行われぬ（シフト量SAが「0」である）場合に、シフトレジスタ63dから出力されるチップ列CN2であり、拡散符号PN「00010010111」の先頭に固定符号NR「1」を付加したものとなっている。また、符号列C1-nは、符号列C1-0のチップ列CN1部分をシフト量nで巡回シフトすることによって得られる符号列であり、符号反転／非反転切替回路63bが反転処理を行わない一方、巡回シフタ63cによりシフト量nで巡回シフトが行われる場合に、シフトレジスタ63dから出力されるチップ列CN2を示している。

[0087] 一方、図8に示す符号列C2-0は、符号反転／非反転切替回路63bが反転処理を行う一方で巡回シフタ63cによる巡回シフトが行われぬ（シフト量SAが「0」である）場合に、シフトレジスタ63dから出力されるチップ列CN2であり、符号列C1-0の反転符号となっている。また、符号列C2-nは、符号列C2-0のチップ列CN1部分をシフト量nで巡回

シフトすることによって得られる符号列であり、符号反転／非反転切替回路 63b が反転処理を行い、かつ、巡回シフタ 63c によりシフト量  $n$  で巡回シフトが行われる場合に、シフトレジスタ 63d から出力されるチップ列  $C_{N2}$  を示している。

[0088] ここで再度図9を参照すると、図9(a)の実線は、図8に示した符号列  $C_{1-0}$  と、該符号列  $C_{1-0}$  のうち固定チップ  $NR_a$  を除く部分を任意のシフト量で巡回シフトしてなる符号列との相関値を示している。また、図9(b)の実線は、図8に示した符号列  $C_{1-0}$  と、その反転符号（すなわち、図8に示した符号列  $C_{2-0}$ ）のうち固定チップ  $NR_a$  を除く部分を任意のシフト量で巡回シフトしてなる符号列との相関値を示している。図9(a)(b)のいずれにおいても、実線で示される相関値のピークは、破線の例と同様、シフト量が「0」である場合にのみ現れている。図示していないが、同じことは、すべての符号列  $C_{1-n}$ 、 $C_{2-n}$  について言える。したがって、符号列  $C_{1-n}$ 、 $C_{2-n}$  を受信するスタイラス2は、予め符号列  $C_{1-n}$ 、 $C_{2-n}$  を記憶しておき、受信したチップ列との相関値を算出することにより受信したチップ列内に含まれる符号列  $C_{1-n}$ 、 $C_{2-n}$  を検出することができ、本実施の形態による位置検出システム1では、この性質を利用して第1の制御信号  $US_{c1}$  及び第2の制御信号  $US_{c2}$  の送受信を行っている。スタイラス2による符号列  $C_{1-n}$ 、 $C_{2-n}$  の検出動作の詳細については後述する。

[0089] なお、図9(a)に示すように、拡散符号  $PN$  に関して算出される相関値（破線）のフロア値が「-1」となるのに対し、符号列  $C_{1-0}$  に関して算出される相関値（実線）のフロア値は「0」となっている。また、図9(b)に示すように、拡散符号  $PN$  の反転符号に関して算出される相関値（破線）のフロア値が「+1」となるのに対し、符号列  $C_{1-0}$  の反転符号に関して算出される相関値（実線）のフロア値は「0」となっている。このように相関値のフロア値が「0」となるのは、チップ列  $C_{N2}$  の先頭に固定チップ  $NR_a$  を配置し、正のチップの数と負のチップの数を同数としているからで

ある。逆に言えば、チップ列CN 2の先頭に固定チップNR aを配置することで、相関値のフロア値を「0」にすることが実現されている。

[0090] 拡散符号PNに固定チップNR aを付さない場合、相関値のフロア値「-1」と最大値「+11」との距離は10となる。一方、拡散符号PNに固定チップNR aを付す場合、相関値のフロア値「0」と最大値「+12」との距離は12となる。したがって、拡散符号PNに固定チップNR aを付してフロア値を「0」とすることで受信側での判定エラーを低減することが可能になると言えるので、本実施の形態による位置検出器3によれば、この点からも、スタイラス2側で判定エラーとなる可能性を減らすことが可能とされている。

[0091] 図6に戻る。変調回路63 eは、シフトレジスタ63 dが生成したチップ列CN 2に基づき、第1の制御信号US\_\_c 1又は第2の制御信号US\_\_c 2を構成する送信信号を生成するための2次変調処理を行う。2次変調処理の詳細については、上述したとおりである。変調回路63 eが2次変調処理によって生成した送信信号は、図2に示した送信ガード部65及び選択部40を経てセンサ30に到達し、センサ30により、タッチ面3a（図1参照）を介してスタイラス2に対して送信される。

[0092] 制御回路63 aは、拡散処理部63内の各部の動作を制御する機能部であり、この機能の一環として、固定符号NR及び反転情報IIを生成して符号反転／非反転切替回路63 bに供給する機能と、シフト量SAを生成して巡回シフタ63 cに供給する機能とを有している。

[0093] 図7は、制御回路63 aの機能ブロックのうち、反転情報II及びシフト量SAの生成に関する部分を示すブロック図である。同図に示すように、制御回路63 aは機能的に、入力受付部100、反転情報決定部101、シフト量決定部102、シフト量・反転情報記憶部103、及び出力選択部104を有して構成される。

[0094] 入力受付部100は、図2に示したスイッチ62から、上述した検出パターンc 1、区切パターンSTP、制御情報c 2を構成する値P, M, Dの入

力を受け付ける機能部である。入力受付部100は、特定のビット列に対応付けられない値P又は値Mの入力を受け付けた場合、受け付けた値を出力選択部104に供給する。一方、ビット列である値D（ここでは4ビット長）の入力を受け付けた場合には、最上位ビットを反転情報指示ビットIII B（スタイラス2に対して送信すべき1ビット長の第2のビット列）として反転情報決定部101に供給するとともに、残りの部分（3ビット）をシフト量指示ビット列SAIB（スタイラス2に対して送信すべき2以上の所定ビット長の第1のビット列）としてシフト量決定部102に供給する。

[0095] 反転情報決定部101は、入力受付部100から供給される反転情報指示ビットIII Bに基づき、第1の反転情報III 1を決定する機能部である。具体的には、反転情報決定部101は、次の表2に示す反転割当テーブル101 aを記憶しており、これに従って第1の反転情報III 1を決定する。こうして決定された第1の反転情報III 1は、出力選択部104に供給される。

[0096] [表2]

反転情報指示ビットIII B	第1の反転情報III 1
0	反転なし
1	反転あり

[0097] シフト量決定部102は、入力受付部100から供給されるシフト量指示ビット列SAIBに基づき、第1のシフト量SA1を決定する機能部である。具体的には、シフト量決定部102は、次の表3に示すシフト量割当テーブル102 aを記憶しており、これに従って第1のシフト量SA1を決定する。こうして決定された第1のシフト量SA1は、出力選択部104に供給される。

[0098]

[表3]

シフト量指示ビット列SAIB	第1のシフト量SA1
000	2
001	3
011	4
010	5
110	6
111	7
101	8
100	9

[0099] 表3から理解されるように、本実施の形態によるシフト量決定部102は、まずビット列「000」（所定の基準ビット列）に対し、値「2」を第1のシフト量SA1として決定する。この「2」という値は、後述する第2のシフト量SA2（=0）に所定の値（=2）を加算してなる値「2」となっている。そして、このビット列「000」から所定の基準により順次インクリメントしてなる複数のビット列のそれぞれについて、ビット列「000」に対して決定する第1のシフト量SA1（=2）にインクリメントの回数を加算することによって得られる値を第1のシフト量SA1として決定する。なお、ここでいう所定の基準は、インクリメント前のビット列とインクリメント後のビット列とのハミング距離が1であることである。このような基準を採用することの意味については、後述する。

[0100] 例えば、ビット列「000」から上記所定の基準により3回インクリメントすることによって得られるビット列は「010」であり、このビット列「010」に対して割り当てられる第1のシフト量SA1は、ビット列「000」に対して決定する第1のシフト量SA1（=2）に、インクリメントの回数3を加算することによって得られる「5」（=2+3）となる。

[0101] シフト量・反転情報記憶部103は、第2の反転情報112、第2のシフト量SA2、第3の反転情報113、第3のシフト量SA3それぞれの値を記憶している。具体的には、第2の反転情報112として「反転なし」を、第2のシフト量SA2として「0」を、第3の反転情報113として「反転

あり」を、第3のシフト量SA3として「0」をそれぞれ記憶している。

[0102] 出力選択部104は、入力受付部100から値Pが供給されたことに対応して、シフト量・反転情報記憶部103に記憶される第2の反転情報112及び第2のシフト量SA2を反転情報11及びシフト量SAとして、それぞれ図6に示した符号反転／非反転切替回路63b及び巡回シフタ63cに供給する。これにより、図6に示したシフトレジスタ63dは、チップ列CN2として図8に示す符号列C1-0を出力することになる。また、出力選択部104は、入力受付部100から値Mが供給されたことに対応して、シフト量・反転情報記憶部103に記憶される第3の反転情報113及び第3のシフト量SA3を反転情報11及びシフト量SAとして、それぞれ図6に示した符号反転／非反転切替回路63b及び巡回シフタ63cに供給する。これにより、図6に示したシフトレジスタ63dは、チップ列CN2として図8に示す符号列C2-0を出力することになる。

[0103] 一方、出力選択部104は、入力受付部100から値P、Mのいずれもが供給されていないこと（すなわち、入力受付部100に値Dが入力されたこと）に対応して、反転情報決定部101が決定した第1の反転情報111を反転情報11として図6に示した符号反転／非反転切替回路63bに供給するとともに、シフト量決定部102が決定した第1のシフト量SA1をシフト量SAとして図6に示した巡回シフタ63cに供給する。これにより、図6に示したシフトレジスタ63dは、チップ列CN2として、図8に示す符号列C1-2～C1-9、C2-2～C2-9のいずれかを出力することになる。より具体的には、反転情報11が「反転なし」である場合には符号列C1-SAを出力し、反転情報11が「反転あり」である場合には符号列C2-SAを出力することになる。なお、図8には、入力受付部100が受け付けた4ビット長のビット列と、シフトレジスタ63dが出力するチップ列CN2との対応関係も図示している。例えば、入力受付部100が受け付けたビット列が「0010」である場合、シフトレジスタ63dが出力するチップ列CN2は符号列C1-5、すなわち「110111000100」と

なる。また、入力受付部100が受け付けたビット列が「1010」である場合、シフトレジスタ63dが出力するチップ列CN2は符号列C2-5、すなわち「001000111011」となる。

[0104] このようにして、送信部60は前述の表1に示したように、自己相関特性を有する拡散符号PNを、送信すべきシンボルの値に基づいたシフト量で巡回シフトさせ、必要であればこれを反転（あるいは非反転）して得られるチップ列CN2を含む送信信号を生成することができる。尚、表1に示したようにチップ列CN2を得ることができれば、送信部60における、巡回シフト処理と反転非反転の処理の順番は問わない。また、送信部60は、表1のようなシンボルの値とチップ列CN2あるいはこれを含む送信信号との対応をメモリに記憶しておき、シンボルの値が入力されるごとにメモリに記憶されたチップ列CN2を読みだして送信するとしても良い。

[0105] 図10は、位置検出器3がスタイラス2に対して送信する第2の制御信号US\_c2を示す図である。同図の例では、位置検出器3は、プリアンブルとして区切パターンSTPを構成する値Pを2回連続して送信した後、制御情報c2として3つの値D1「0」（0b0000）、D2「8」（0b1000）、D3「6」（0b0110）を送信するとしている。値Pを送信する際には、シフトレジスタ63dからチップ列CN2として、図8に示す符号列C1-0、すなわち「100010010111」が出力される。一方、制御情報c2を送信する際には、4ビットの値D1、D2、D3ごとにチップ列CN2が生成される。この場合、最初の4ビットである値D1については、対応するビット列が「0000」であることから、図8に示す符号列C1-2、すなわち「111000100101」がチップ列CN2として生成される。次の4ビットであるビット列D2については、その内容が「1000」であることから、図8に示す符号列C2-2、すなわち「000111011010」がチップ列CN2として生成される。最後の4ビットであるビット列D3については、その内容が「0110」であることから、図8に示す符号列C1-6、すなわち「101011100010」がチッ

プ列CN2として生成される。

[0106] なお、例えば制御情報c2の最後の1値（4ビット値）であるビット列D3の一部または全部を、その前に位置するビット列D1、D2に基づいて算出された誤り訂正符号によって構成することとしてもよい。こうすることで、受信側であるスタイラス2は、この誤り訂正符号を利用して、ビット列D1、D2に発生したビット誤りの検出あるいは訂正することが可能になる。

[0107] ここで、第1のシフト量SA1を決定するための上記所定の基準として、「インクリメント前のビット列とインクリメント後のビット列とのハミング距離が1」という基準を用いることの意味について説明する。スタイラス2がチップ列CN2を受信する際、シフト量が1ずれた状態で受信されてしまう場合がある。例えば、位置検出器3は図8に示す符号列C1-6を送信したのに、スタイラス2では符号列C1-7と判定してしまう、というような場合である。このような誤判定を上述した誤り訂正符号で訂正するためには、符号列C1-6により表されるビット列と符号列C1-7により表されるビット列との違いが少なければ少ないほど望ましい。本実施の形態では、上記所定の基準を採用していることにより、符号列C1-6により表されるビット列が「0110」、符号列C1-7により表されるビット列が「0111」と、その違いが1ビットだけとなっており、したがって誤判定した場合でも1ビットの相違のみになっており、コマンド送信に際し1ビット訂正が可能な誤り訂正符号を施すことにより誤り訂正が可能となっている。このように、上記所定の基準として、「インクリメント前のビット列とインクリメント後のビット列とのハミング距離が1」という基準を採用し、誤り訂正符号を付すことでシフト量の誤判定に対してロバストな信号を送信することができる。

[0108] 次に、図11は、図4に示した相関回路26bの機能ブロックを示すブロック図である。同図に示すように、相関回路26bは、シフトレジスタ110、符号列記憶部111、検出パターン検出部112、区切パターン検出部113（プリアンブル検出部）、ビット列検出部114、及びコマンド復元

部 1 1 5 を有して構成される。

[0109] シフトレジスタ 1 1 0 は、復調回路 2 6 a が取得した一連のチップを 1 チップずつ受け入れる先入れ先出し型のレジスタであり、1 2 チップ分のチップを蓄積可能に構成される。1 2 チップを超える数のチップが入力された場合、古いものから順に削除される。

[0110] 符号列記憶部 1 1 1 は、自己相関特性を有する所定の符号列を任意のシフト量で巡回シフトさせることによって得られる複数の符号列を記憶している。符号列記憶部 1 1 1 が記憶する必要のある符号列は、具体的には、位置検出器 3 が送信する可能性のあるすべての符号列である。したがって、本実施の形態による符号列記憶部 1 1 1 は、図 8 に示した符号列 C 1 - 0, C 1 - 2 ~ C 1 - 9, C 2 - 0, C 2 - 2 ~ C 2 - 9 を記憶していればよい。

[0111] 検出パターン検出部 1 1 2 は、内部にタイマー（図示せず）を有しており、このタイマーにより現在時刻が図 5 に示した受信期間 S R P 内にあることが示される場合に、復調回路 2 6 a から出力される一連のチップ内に含まれる検出パターン c 1 の検出動作を行う機能部である。この検出動作として具体的には、シフトレジスタ 1 1 0 に新たなチップが入力される都度、シフトレジスタ 1 1 0 内に一時的に蓄積されているチップ列と、符号列記憶部 1 1 1 に記憶される複数の符号列のうち検出パターン c 1 を構成する値 P, M に対応するもの、具体的には符号列 C 1 - 0 及び符号列 C 2 - 0 との相関値を算出する。そして、符号列 C 1 - 0 との相関値がピーク値を示した場合に値 P を検出したと判定し、符号列 C 2 - 0 との相関値がピーク値を示した場合に値 M を検出したと判定する。検出パターン検出部 1 1 2 は、値 P と値 M を交互に所定回数連続して検出したことに応じて検出パターン c 1 を検出したと判定し、制御部 2 8 に対して上述した起動信号 E N を発行する。

[0112] 区切パターン検出部 1 1 3 は、検出パターン検出部 1 1 2 が検出パターン c 1 を検出したことに応じて、復調回路 2 6 a から出力される一連のチップ内に含まれる区切パターン S T P（プリアンブル）の検出動作を開始する機能部である。この検出動作として具体的には、シフトレジスタ 1 1 0 に新た

なチップが入力される都度、シフトレジスタ 110 内に一時的に蓄積されているチップ列と、符号列記憶部 111 に記憶される複数の符号列のうち区切パターン S T P を構成する値 P に対応するもの、具体的には符号列 C 1-0 との相関値を算出する。そして、こうして算出した相関値がピーク値を示した場合に値 P を検出したと判定する。区切パターン検出部 113 は、2 回連続して値 P を検出したことに応じて区切パターン S T P を検出したと判定し、検出動作を停止するとともに、制御部 28 に対して上述した検出時刻 t 2 を出力する。

[0113] ビット列検出部 114 は、制御部 28 の生成した送受信スケジュールにより制御情報 c 2 の受信期間であることが示されるタイミングで、復調回路 26 a から出力される一連のチップ内に含まれる値 D (4 ビット長のビット列) の検出動作を行う機能部である。この検出動作として具体的には、シフトレジスタ 110 に新たなチップが入力される都度、シフトレジスタ 110 内に一時的に蓄積されているチップ列と、符号列記憶部 111 に記憶される複数の符号列のうち値 D に対応するもの、具体的には符号列 C 1-2 ~ C 1-9, C 2-2 ~ C 2-9 のそれぞれとの相関値を算出する。そして、こうして算出した相関値がピーク値を示した場合に、ピーク値を示した符号列に対応する値 D (4 ビット長のビット列) を検出したと判定する。ビット列検出部 114 は、検出した値 D であるビット列を、その都度コマンド復元部 115 に出力する。

[0114] コマンド復元部 115 は、ビット列検出部 114 から順次供給されるビット列を結合することにより、位置検出器 3 が送信した制御情報 c 2 を復元する機能部である。コマンド復元部 115 は、復元した制御情報 c 2 を制御部 28 に対して出力するよう構成される。こうして、位置検出器 3 が送信したコマンドが制御部 28 に供給される。

[0115] 以上説明したように、本実施の形態による位置検出器 3 及びスタイラス 2 によれば、位置検出器 3 が送信するチップ列 C N 2 の生成に符号列の巡回シフトを利用しているので、1 つの符号列により 2 ビット以上を表現すること

が可能になる。したがって、1つの符号列により1ビットしか表現できない背景技術に比べ、同じチップレートで高いビットレートを得ることが可能になる。

[0116] また、チップ列CN1に固定チップNRaを付加したものをチップ列CN2としているので、受信側での検出エラーを低減し、それによってスタイル2側で受信エラーとなる可能性を減らすことが可能になる。

[0117] また、所定の基準ビット列から所定の基準により順次インクリメントしてなる複数のビット列のそれぞれについて、上記基準ビット列に対して決定する第1のシフト量SA1にインクリメントの回数を加算することによって得られる値を第1のシフト量SA1として決定することとし、上記所定の基準として「インクリメント前のビット列とインクリメント後のビット列とのハミング距離が1」という基準を採用しているので、シフト量が1ずれた状態でチップ列CN2が受信されたとしても、シフト量の誤判定による誤り訂正を1ビットの誤りに抑えることができ、より短い誤り訂正符号により実現することができるという効果が得られる。

[0118] 以上、本発明の好ましい実施の形態について説明したが、本発明はこうした実施の形態に何等限定されるものではなく、本発明が、その要旨を逸脱しない範囲において、種々なる態様で実施され得ることは勿論である。

[0119] 例えば、上記実施の形態では、拡散符号PNとして11ビットの「00010010111」を用いたが、自己相関特性を有してさえいれば、どのような符号列でも拡散符号PNとして使用可能である。また、1つのシンボルの値を送信するのに1つの拡散符号PNを用いるとしたが、1つのシンボルの値に対して複数個（例えば5個）同じチップ列CN2を含むとしてもよい。この場合、複数回（例えば5回）同じシンボルの値を送信することに等しく、複数個のシフト量のうち最も確からしいシフト量を選択することでシフト量の誤判定を更に低減することができる。

[0120] 表4及び表5並びに図12及び図13は、上記実施の形態の第1の変形例において、図6のシフトレジスタ63dから出力されるチップ列CN2の説

明図である。

[0121] [表4]

シンボルの値	対応ビット列	極性	シフト量	送信信号 (チップ列CN2)
P	非対応	非反転	0	1__000010010001101 1011110001010111
0	0000	非反転	+5	1__101110000100100 0110110111100010
1	0001	非反転	+8	1__010101110000100 1000110110111100
3	0011	非反転	+11	1__100010101100001 0010001101101111
2	0010	非反転	+14	1__111100010101100 0010010001101101
6	0110	非反転	+17	1__110111100010101 1100001001000110
7	0111	非反転	+20	1__110110111100010 1011100001001000
5	0101	非反転	+23	1__000110110111100 0101011100001001
4	0100	非反転	+26 (-5)	1__001000110110111 1000101011100001

[0122]

[表5]

シンボルの値	対応ビット列	極性	シフト量	送信信号 (チップ列CN2)
M	非対応	反転	0 (基準)	0_111101101110010 0100001110101000
8	1000	反転	+5	0_010001111011011 1001001000011101
9	1001	反転	+8	0_101010001111011 0111001001000011
11	1011	反転	+11	0_011101010001111 0110111001001000
10	1010	反転	+14	0_000011101010001 1110110111001001
14	1110	反転	+17	0_001000011101010 0011110110111001
15	1111	反転	+20	0_001001000011101 0100011110110111
13	1101	反転	+23	0_111001001000011 1010100011110110
12	1100	反転	+26 (-5)	0_110111001001000 0111010100011110

[0123] 本変形例では、拡散符号PNとして31ビット長のビット列「0000100100011011011110001010111」を使用する。この拡散符号PNも、上記実施の形態において使用した11ビットの拡散符号PNと同じように、自己相関特性を有している。

[0124] 本変形例では、シフト量割当テーブル102aを次の表6のように構成している。表6は、基準ビット列「000」に対して決定する第1のシフト量SA1が「2」ではなく「5」（第2のシフト量SA2 (=0) に5を加算してなる値）である点と、この第1のシフト量SA1 (=5) に加算する数がインクリメントの回数そのものではなく、インクリメントの回数に応じた数（具体的にはインクリメントの回数の3倍）となっている点とで、表3に示したシフト量割当テーブル102aと異なっている。反転割当テーブル101a、並びに、シフト量・反転情報記憶部103に記憶される第2の反転情報112及び第2のシフト量SA2の値は、上記実施の形態で示したもの

と同じである。

[0125] [表6]

シフト量指示ビット列SAIB	第1のシフト量SA1
000	5
001	8
011	11
010	14
110	17
111	20
101	23
100	26

[0126] 本変形例では、図12に示す符号列C3-0が値Pに対応し、図13に示す符号列C4-0が値Mに対応し、図12に示す符号列C3-5, C3-8, C3-11, C3-14, C3-17, C3-20, C3-23, C3-26、及び、図13に示す符号列C4-5, C4-8, C4-11, C4-14, C4-17, C4-20, C4-23, C4-26がそれぞれ4ビット長のビット列に対応する。なお、符号列C3-0は、拡散符号PN「0000100100011011011110001010111」の先頭に固定符号NR「1」を付加したものであり、符号列C3-nは、符号列C3-0のうちチップ列CN1に相当する部分のみをシフト量nで巡回シフトしたものであり、符号列C4-0は符号列C3-0の反転符号であり、符号列C4-nは、符号列C4-0のうちチップ列CN1に相当する部分のみをシフト量nで巡回シフトしたものである。

[0127] このように、より長い拡散符号PNを用いても、上記実施の形態と同様に、1つの送信信号により2ビット以上の多値を表現することが可能になる。拡散符号PNが長い分、ビットレートは低下してしまうが、一方で隣接する符号列間におけるシフト量の差を大きく取ることができるので、スタイラス2がシフト量（対応するシンボルの値）を誤って判定して検出してしまう可能性を減ずることが可能になる。例えば、シフト量を右に+6と検出した場合であっても、本来シフト量が右に+5である値「0」と判定することでシ

フト量の誤りに対してロバストな復号を行うことができる。また、変形例のようにシフト量を3以上の奇数個とすることで、例えば、シフト量が右に+7であると検出された場合は本来右に+8である値「1」に、シフト量が右に+5であると検出された場合は本来右に+5である値「0」にするなど、シフト量の判定に際して同じ離散量余裕を持たせることができ好適である。

[0128] また、上述の変形例においてもコマンドに用いられるビット列対応値0～7のシフト量のうち最も近いもののシフト量の差は3である。一方、プリアンブルなど区切パターンSTPに用いるシンボルの値「P」のシフト量（即ち0）と、コマンドに用いられるビット列対応値0～7のうち最もシフト量の近い値「0」（右に5）又は「4」のシフト量（左に5）のとの差は5であり、ビット列対応値0～7のシフト量の差である3に比して大きく確保してある。このように、プリアンブルなどの区切パターンに用いるシンボルの値「P」「M」に基づいたシフト量とコマンドを構成する値に基づいたシフト量の差のうち最も小さい差（5）を、コマンドを構成するある1つの値に基づいたシフト量と他の1つの値に基づいたシフト量の差のうち最小の値（3）よりも大きく取ることで、プリアンブルなどの区切パターンをコマンドに対応する所定の値のいずれかと誤って判定してしまう確率を低減することが可能となる。

[0129] また、上記実施の形態では、スタイラス2の復調回路26aにおいてマンチェスター符号化の逆処理を行ったが、位置検出器3の拡散処理部63がマンチェスター符号化を行う場合であっても、復調回路26aにおいてマンチェスター符号化の逆処理を行わないこととしてもよい。以下、この場合のスタイラス2の処理について、図14を参照しながら説明する。

[0130] 図14は、上記実施の形態の第2の変形例による相関回路26bの機能ブロックを示すブロック図である。同図に示すように、本変形例による相関回路26bは、図11に示したシフトレジスタ110、検出パターン検出部112、区切パターン検出部113（プリアンブル検出部）、及びビット列検出部114に代え、シフトレジスタ120、マンチェスター符号化部121

、検出パターン検出部122、区切パターン検出部123（プリアンブル検出部）、及びビット列検出部124を有して構成される。

[0131] シフトレジスタ120は、24チップ分のチップを蓄積可能に構成される点で、12チップ分しか蓄積できない上記実施の形態によるシフトレジスタ110と異なっている。これは、復調回路26aがマンチェスター符号化の逆処理を行っていないため、1つのチップ列CN2についてシフトレジスタ120に入力されるチップ数が24に増えていることに対応するものである。

[0132] マンチェスター符号化部121は、符号列記憶部111に記憶される符号列を検出パターン検出部122、区切パターン検出部123、及びビット列検出部124に供給する際に、その符号列をマンチェスター符号化する機能部である。したがって、検出パターン検出部122、区切パターン検出部123、及びビット列検出部124には、マンチェスター符号化された符号列が供給されることになる。

[0133] 検出パターン検出部122、区切パターン検出部123、及びビット列検出部124は、シフトレジスタ120に一時的に蓄積されている24チップ長のチップ列と、マンチェスター符号化された状態の24チップ長の符号列との相関値を算出するよう構成されている点で、それぞれ検出パターン検出部112、区切パターン検出部113、及びビット列検出部114と異なる。その他の点では、それぞれ検出パターン検出部112、区切パターン検出部113、及びビット列検出部114と同じである。

[0134] ここで、マンチェスター符号化された状態の符号列は通常、図9に示したような綺麗な自己相関特性（フロア値がすべて同じ値となる自己相関特性）を示さない。しかしながら、ピーク値を検出することは可能であるため、検出パターン検出部122、区切パターン検出部123、及びビット列検出部124は、上記処理によって、それぞれ検出パターンc1、区切パターンSTP、4ビット長のビット列を検出することが可能になる。

[0135] また、上記実施の形態では、位置検出器3が、図5に示したように第1の

制御信号US<sub>c1</sub>に続けて第2の制御信号US<sub>c2</sub>を送信するとして説明したが、第1の制御信号US<sub>c1</sub>（具体的には区切パターンSTPに対応するチップ列CN2）を送信した後、0より大きい所定時間が経過した後、第2の制御信号US<sub>c2</sub>（具体的には制御情報c2に対応するチップ列CN2）を送信することとしてもよい。

[0136] 図15は、上記実施の形態の第3の変形例によるスタイラス2及びセンサコントローラ31の動作を時系列で説明するためのタイミング図である。同図に示す位置検出器3は、第1の制御信号US<sub>c1</sub>に続けて第2の制御信号US<sub>c2</sub>を送信することをせず、第1の制御信号US<sub>c1</sub>の送信後に所定時間長WTの受信期間RDSを設け、そこで位置信号DS<sub>pos</sub>が受信された場合に限り第2の制御信号US<sub>c2</sub>を送信する点で、上記実施の形態による位置検出器3と異なっている。このように第1の制御信号US<sub>c1</sub>と第2の制御信号US<sub>c2</sub>の間にギャップを設けることとしても、そのギャップの時間長が予め決まっている限り、スタイラス2は、ギャップを考慮して上述した送受信スケジュールを決定することができるので、問題なく第2の制御信号US<sub>c2</sub>を受信することができる。

[0137] また、上記実施の形態では、4ビットに対して1つのチップ列CN2を割り当てたが、1つのチップ列CN2に割り当てることのできるビット数は4に限られない。特に、図12及び図13に示したような長い符号列を用いる場合には、より多くのビットを1つの符号列により表現することとしてもよい。

[0138] また、上記実施の形態では、検出パターンc1及び区切パターンSTPを専用の符号列C1-0, C2-0により表現したが、ビット列用の符号列と同じものにより表現してもよい。符号列C1-0, C2-0を検出パターンc1及び区切パターンSTPの専用とする場合、図8にも示したように、符号列C1-0（又は符号列C2-0）と、隣接する符号列C1-1, C1-9（又は符号列C2-1, C2-9）との間のシフト量の差（図8では2）を、符号列C1-n（又は符号列C2-n）（n≠1）間のシフト量の差（

図8では1)より大きくすることで、検出パターンc1及び区切パターンSTPの検出エラーを低減することができる一方で、ビット列の送信に使える符号列が減ってしまう。上記のように区切パターンSTP用としてビット列用の符号列と同じものを用いるようにすることで、ビット列の送信に使える符号列が増加するという効果が得られる。

[0139] また、上記実施の形態では、チップ列CN1に固定チップNRaを付加したものをチップ列CN2としたが、相関値のフロア値が「0」でないことに起因して生ずるノイズが問題とならない場合には、チップ列CN1をそのままチップ列CN2としてもよい。

[0140] また、上記実施の形態では、チップ列CN1の先頭に固定チップNRaを付加したものをチップ列CN2としたが、チップ列CN1の末端に固定チップNRaを付加することによりチップ列CN2を構成することとしてもよい。

[0141] また、上記実施の形態では、区切パターンSTPの前に検出パターンc1を送信する例を説明したが、スタイラス2が間欠的ではなく連続的に受信動作をしても構わない場合には、検出パターンc1の送信を省略してもよい。この場合、スタイラス2は、区切パターンSTPの検出により位置検出器3を検出することになる。

[0142] また、上記実施の形態では、位置検出器3からスタイラス2に対して送信する信号に本発明を適用した例を説明したが、スタイラス2から位置検出器3に対して送信する信号に本発明を適用することも可能である。

[0143] また、上記実施の形態では、拡散処理部63に符号反転／非反転切替回路63b及び巡回シフタ63cを設け、拡散処理部63内で符号列の反転及び巡回シフトを行うこととしたが、制御回路63aに入力される可能性のあるシンボルの値と、出力すべきチップ列CN2とを予め対応付けて記憶領域内に記憶しておき、入力されたシンボルの値に対応するチップ列CN2をこの記憶領域から取り出すことにより、チップ列CN2を生成するように拡散処理部63を構成することとしてもよい。

## 符号の説明

[0144]	1	位置検出システム
	2	スタイラス
	3	位置検出器
	3 a	タッチ面
	2 0	芯
	2 0 a	先端部
	2 1	電極
	2 3	筆圧検出センサ
	2 4	回路部
	2 5	電源
	2 6	受信部
	2 6 a	復調回路
	2 6 b	相関回路
	2 7	送信部
	2 7 a	変調部
	2 7 b	昇圧回路
	2 8	制御部
	3 0	センサ
	3 0 X, 3 0 Y	線状電極
	3 1	センサコントローラ
	3 2	ホストプロセッサ
	4 0	選択部
	4 1 x, 4 1 y	導体選択回路
	4 4 x, 4 4 y	スイッチ
	5 0	受信部
	5 1	増幅回路
	5 2	検波回路

5 3	アナログデジタル変換器
6 0	送信部
6 1	制御信号供給部
6 2	スイッチ
6 3	拡散処理部
6 3 a	制御回路
6 3 b	符号反転／非反転切替回路
6 3 c	巡回シフタ
6 3 d	シフトレジスタ
6 3 e	変調回路
6 4	符号列保持部
6 5	送信ガード部
7 0	ロジック部
8 0	M C U
1 0 0	入力受付部
1 0 1	反転情報決定部
1 0 1 a	反転割当テーブル
1 0 2	シフト量決定部
1 0 2 a	シフト量割当テーブル
1 0 3	シフト量・反転情報記憶部
1 0 4	出力選択部
1 1 0	シフトレジスタ
1 1 1	符号列記憶部
1 1 2	検出パターン検出部
1 1 3	区切パターン検出部
1 1 4	ビット列検出部
1 1 5	コマンド復元部
1 2 0	シフトレジスタ

1 2 1	マンチェスター符号化部
1 2 2	検出パターン検出部
1 2 3	区切パターン検出部
1 2 4	ビット列検出部
c 1	検出パターン
c 2	制御情報
C N 1, C N 2	チップ列
D S	ダウンリンク信号
D S__p o s	位置信号
D S__r e s	データ信号
E N	起動信号
I I	反転情報
I I 1	第 1 の反転情報
I I 2	第 2 の反転情報
I I I B	反転情報指示ビット
N R	固定符号
N R a	固定チップ
P N	拡散符号
P N a	符号列
S A	シフト量
S A 1	第 1 のシフト量
S A 2	第 2 のシフト量
S A I B	シフト量指示ビット列
S T P	区切パターン
S W	切替部
U S	アップリンク信号
U S__c 1	第 1 の制御信号
U S__c 2	第 2 の制御信号

## 請求の範囲

- [請求項1]            タッチ面上における位置指示器の位置を検出する位置検出器に用いられるセンサコントローラであって、
- 前記位置指示器に対して送信すべきシンボルの値を出力する制御部と、
- 自己相関特性を有する拡散符号を、前記送信すべきシンボルの値に基づいたシフト量で巡回シフトさせて得られる第1のチップ列を含む送信信号を生成し、生成した前記送信信号を、前記タッチ面を介して前記位置指示器に対して送信する送信部と
- を備えるセンサコントローラ。
- [請求項2]            前記シンボルは多値を示し、
- 前記送信信号は、前記シフト量に基づいて前記多値のいずれかの値を示す
- 請求項1に記載のセンサコントローラ。
- [請求項3]            前記シンボルは多値を示し、
- 前記送信部は、前記シフト量並びに前記拡散符号の非反転及び反転に基づいて前記多値のいずれかの値を示す前記送信信号を生成する、
- 請求項2に記載のセンサコントローラ。
- [請求項4]            前記シンボルは、前記位置指示器への指示内容を示すコマンドを構成する2以上の所定ビット長のビット列を示す
- 請求項2又は3のいずれかに記載のセンサコントローラ。
- [請求項5]            前記シンボルは、所定ビット長のビット列により表される2のべき乗の個数の値のいずれか、又は、前記2のべき乗の個数の値とは異なる1個以上の個数の値のいずれかを示す
- 請求項2又3に記載のセンサコントローラ。
- [請求項6]            前記2のべき乗の個数の値は、前記位置指示器への指示内容を示すコマンドを構成し、
- 前記2のべき乗の個数の値とは異なる1個以上の個数の値は、前記

コマンドの開始を示すプリアンブルを構成する

請求項 5 に記載のセンサコントローラ。

[請求項7] 前記送信信号は前記シフト量並びに前記拡散符号の非反転及び反転に基づいて前記多値のいずれかの値を示す信号であって、

前記制御部は、前記コマンドを構成する前記 2 のべき乗の個数の値により変調された信号の非反転及び反転の判定の基準となるプリアンブルを前記コマンドより前に送信するよう制御する

請求項 6 に記載のセンサコントローラ。

[請求項8] 前記送信信号は、前記第 1 のチップ列の先端または末端に前記他の固定チップが付加された第 2 のチップ列を含む

請求項 1 に記載のセンサコントローラ。

[請求項9] 前記第 2 のチップ列に含まれる正のチップの数と負のチップの数は同数になる

請求項 8 に記載のセンサコントローラ。

[請求項10] 前記シフト量は、ある 1 つのシンボルの値が対応づけられるビット列と他の 1 つのシンボルの値が対応付けられるビット列とのハミング距離が小さいほど、前記ある 1 つのシンボルの値のシフト量と前記他の 1 つのシンボルの値のシフト量との差が小さくなるよう構成される

請求項 4 に記載のセンサコントローラ。

[請求項11] 前記プリアンブルを構成する値に基づいた前記シフト量と前記コマンドを構成する値に基づいた前記シフト量との差のうち最も小さい値は、前記コマンドを構成するある 1 つの値に基づいた前記シフト量と前記コマンドを構成する他の 1 つの値に基づいた前記シフト量の差のうち最も小さい値よりも大きい

請求項 6 に記載のセンサコントローラ。

[請求項12] 前記送信部は、前記シンボルの値と前記第 2 のチップ列とを対応付けて記憶領域に保持しており、該記憶領域から前記送信信号を得る

請求項 8 又は 9 に記載のセンサコントローラ。

- [請求項13] タッチ面を有する位置検出器を介してセンサコントローラが送信する信号を受信可能に構成された位置指示器であって、  
信号を受信し、前記信号に含まれた自己相関特性を有する符号列の巡回シフト量に基づいて前記信号に含まれたシンボルの値を復調し、復調結果に基づいて送信されたコマンドを復元する受信部と、  
前記コマンドに基づいて前記センサコントローラに対する信号の送信を制御する制御部と  
を含む位置指示器。
- [請求項14] 前記シンボルは多値を示し、前記受信部は前記シフト量に基づいて前記多値のいずれかの値を復調する  
請求項13に記載の位置指示器。
- [請求項15] 前記シンボルは多値を示し、前記受信部は前記シフト量並びに前記符号列の非反転及び反転に基づいて前記多値のいずれかの値を復調する  
請求項14に記載の位置指示器。
- [請求項16] 前記受信部は、前記シンボルの値を復調し、所定ビット長のビット列を出力する  
請求項14又は15に記載の位置指示器。
- [請求項17] 前記シンボルは、所定ビット長のビット列により表される2のべき乗の個数の値のいずれか、又は、前記2のべき乗の個数の値とは異なる1個以上の個数の値のいずれかを示し、  
前記受信部は、  
前記シンボルが前記2のべき乗の個数の値のいずれとも異なる値を示す場合に、前記コマンドの開始を示すプリアンプルを検出したことを示す信号を前記制御部に通知し、  
前記シンボルが前記2のべき乗の個数の値のいずれかを示す場合に、前記シンボルに基づいて前記コマンドを復元する  
請求項15又は16に記載の位置指示器。

- [請求項18] 前記信号は前記シフト量並びに前記符号列の非反転及び反転に基づいて前記多値のいずれかの値を示す信号であって、  
前記受信部は、前記コマンドより前に受信されたプリアンブルに対応する信号の非反転及び反転の別を基準として、前記符号列の非反転及び反転の有無を判定して前記シンボルを復調し、前記コマンドを復元する  
請求項17に記載の位置指示器。
- [請求項19] 前記受信部は、  
前記シンボルが前記2のべき乗の個数の値のいずれかを示す場合に、前記シンボルの復調結果であるビット列を蓄積し、蓄積されて得られたビット列により誤り訂正を行う  
請求項18に記載の位置指示器。
- [請求項20] 前記受信部は、前記信号を受信することにより生成される一連のチップを順次先入れ先出し型のシフトレジスタに入力し、入力の都度、該シフトレジスタ内に一時的に蓄積されているチップ列と、自己相関特性を有する所定の符号列を任意のシフト量で巡回シフトさせることにより、得られる複数の符号列のそれぞれとの相関値を算出することにより、前記一連のチップに対応付けられたシンボルの値を復調する  
請求項13に記載の位置指示器。
- [請求項21] 前記シフトレジスタ内に一時的に蓄積されているチップ列と、前記所定の符号列との相関値を算出することにより、前記一連のチップ内に含まれるプリアンブルを検出し、前記プリアンブルが検出された場合に、前記シフトレジスタ内に一時的に蓄積されているチップ列と、前記複数の符号列のそれぞれとの相関値を算出することにより、前記一連のチップ内に含まれるビット列を検出する  
請求項20に記載の位置指示器。
- [請求項22] 位置指示器と、タッチ面上における前記位置指示器の位置を検出する位置検出器とを含む位置検出システムであって、

前記位置検出器は、

前記位置指示器に対して送信すべきシンボルの値を出力する制御部と、

自己相関特性を有する符号列を、前記送信すべきシンボルの値の少なくとも一部に基づくシフト量で巡回シフトさせてなる第1のチップ列を含む送信信号を生成し、生成した前記送信信号を、前記タッチ面を介して前記位置指示器に対して送信する送信部とを有し、

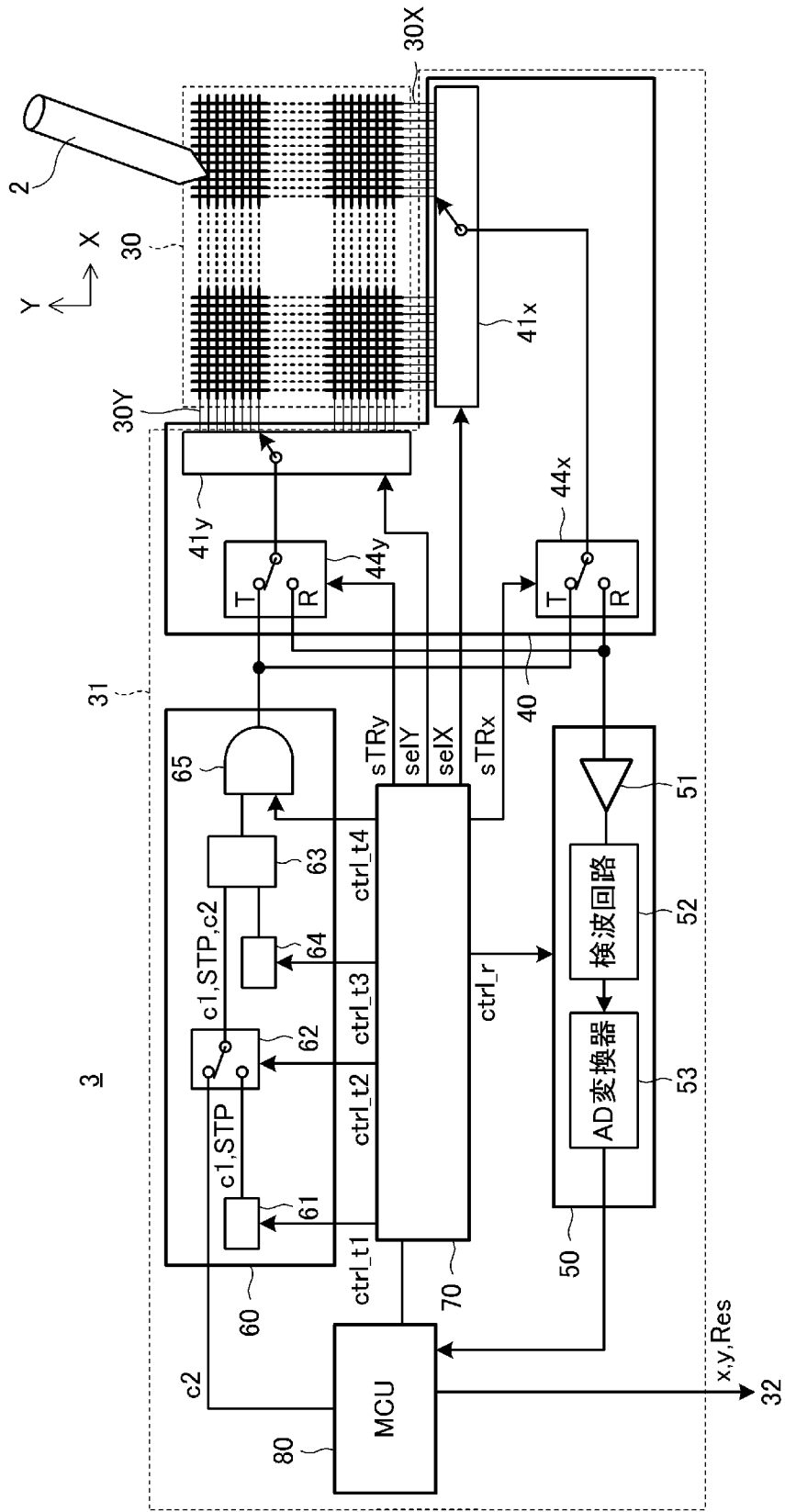
前記位置指示器は、

前記送信信号を受信することにより生成される一連のチップを順次先入れ先出し型のシフトレジスタに入力し、入力の都度、該シフトレジスタ内に一時的に蓄積されているチップ列と、自己相関特性を有する所定の符号列を任意のシフト量で巡回シフトさせることによって得られる複数の符号列のそれぞれとの相関値を算出することにより、前記一連のチップ内に含まれるビット列を検出する受信部を有する

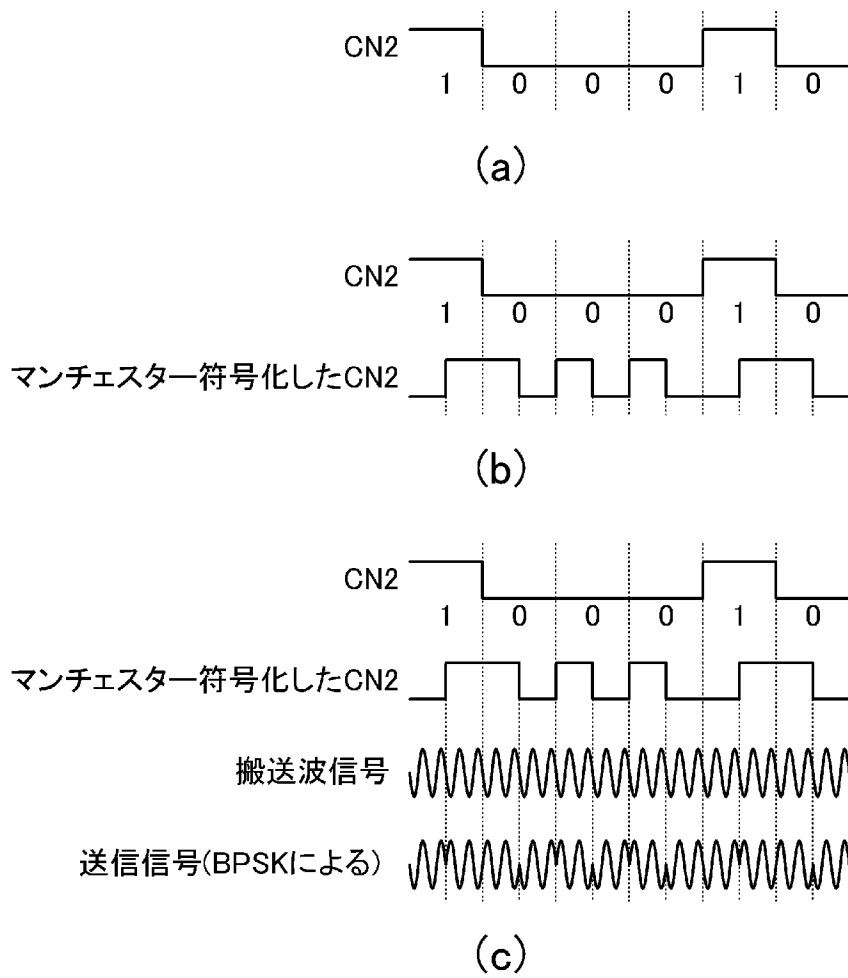
位置検出システム。



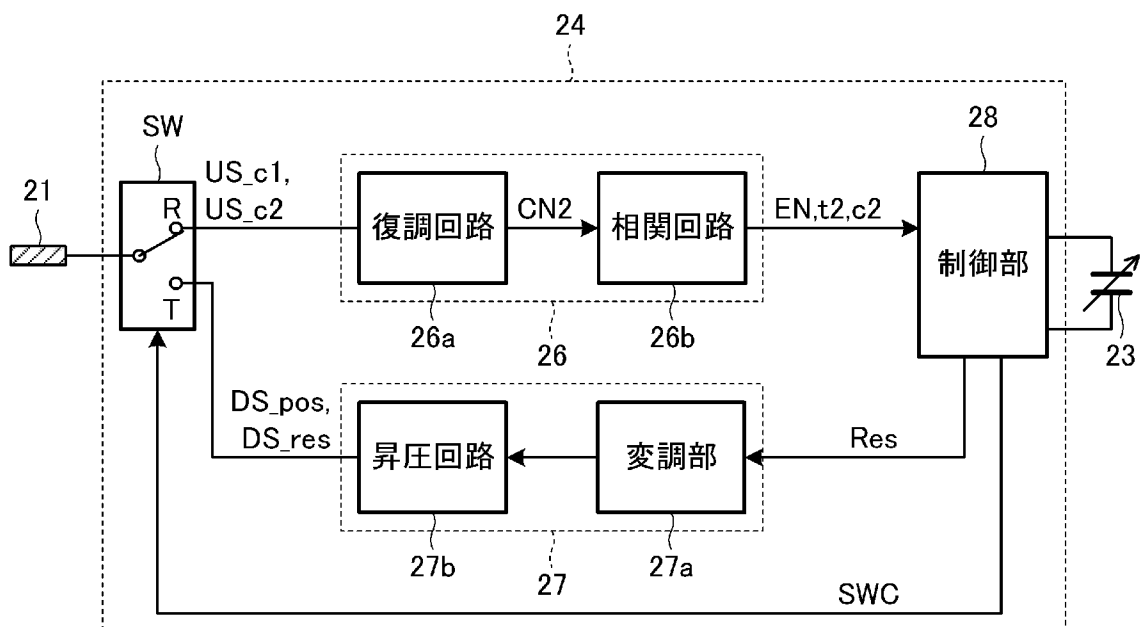
[図2]



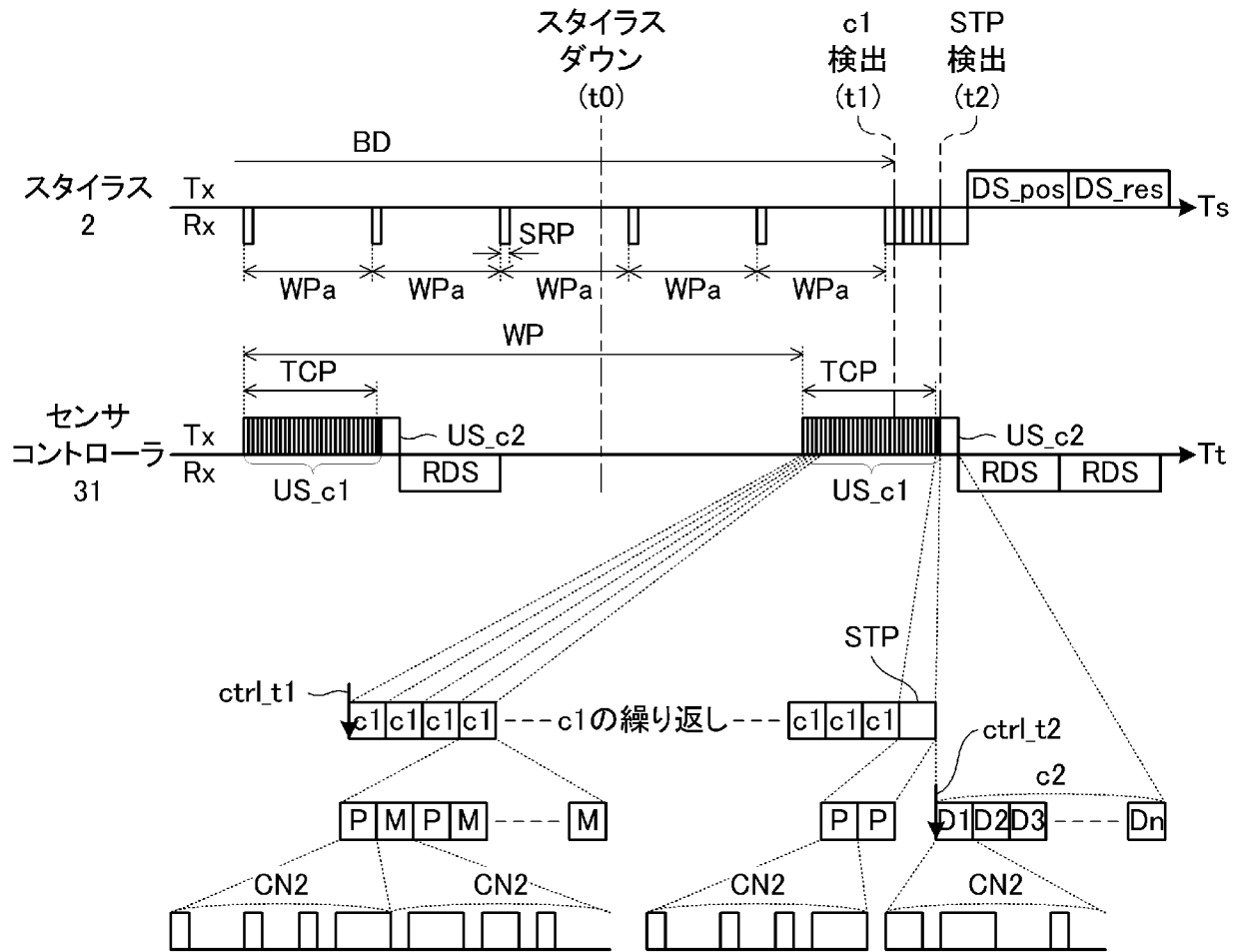
[図3]



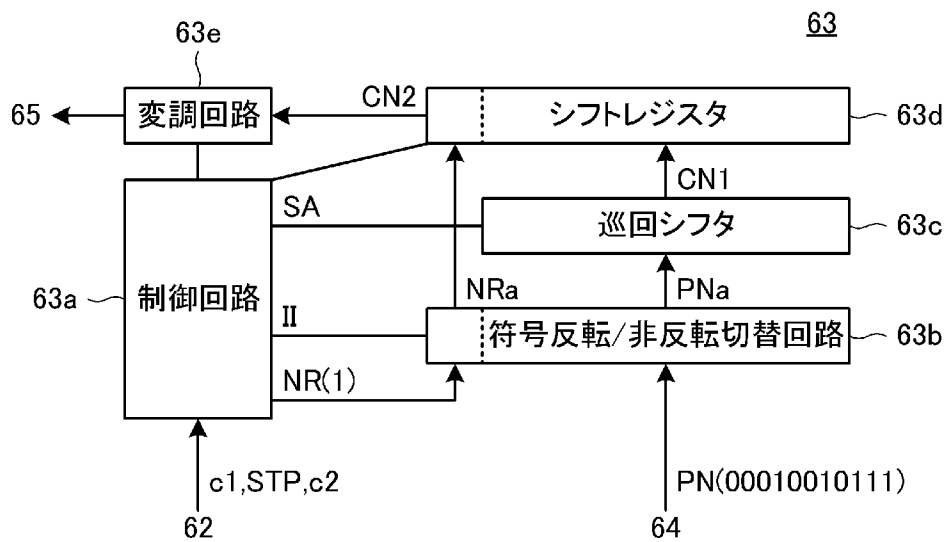
[図4]



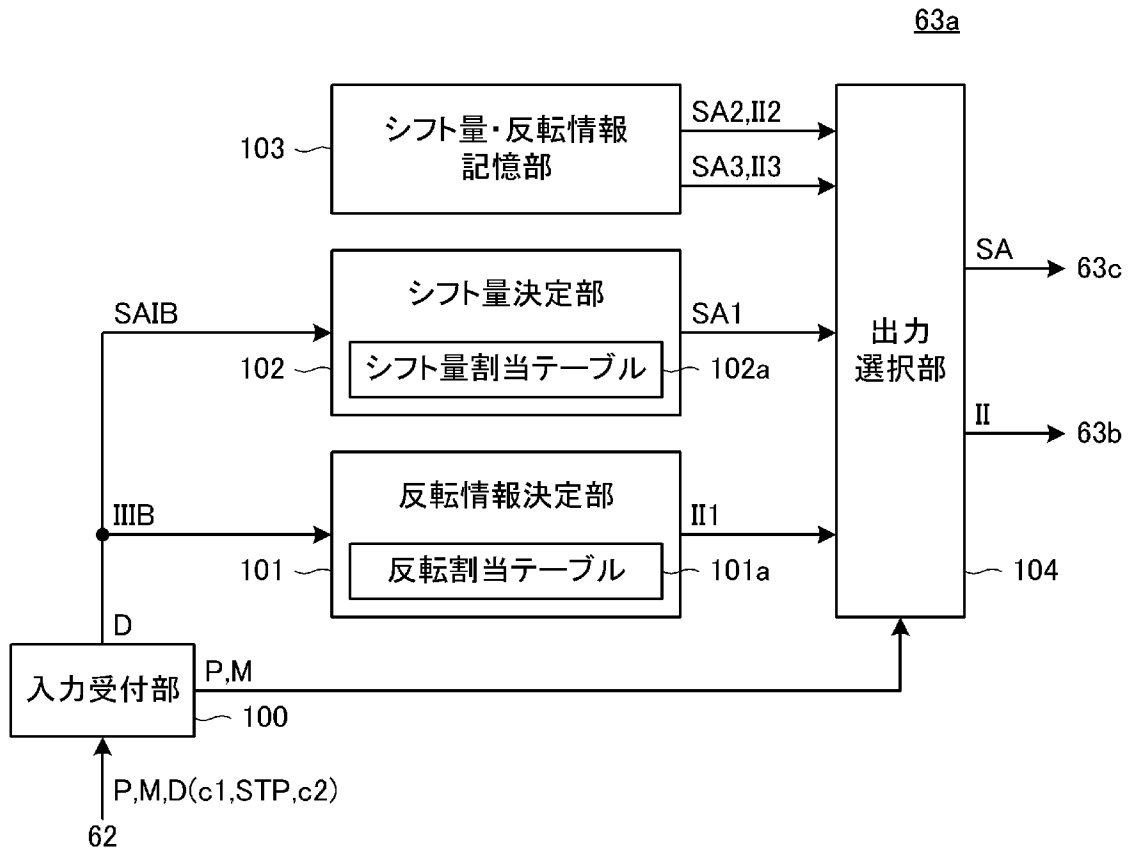
[図5]



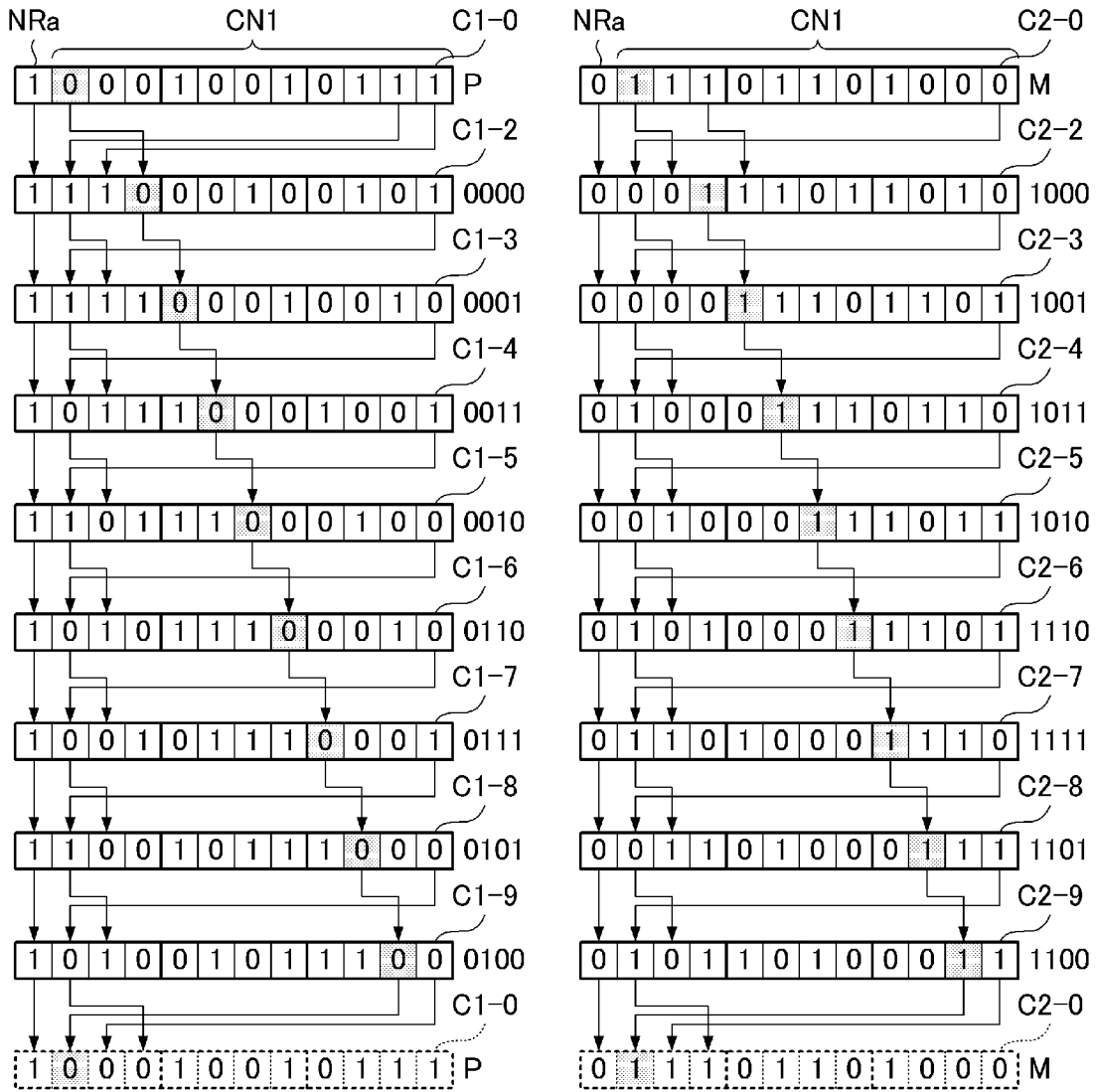
[図6]



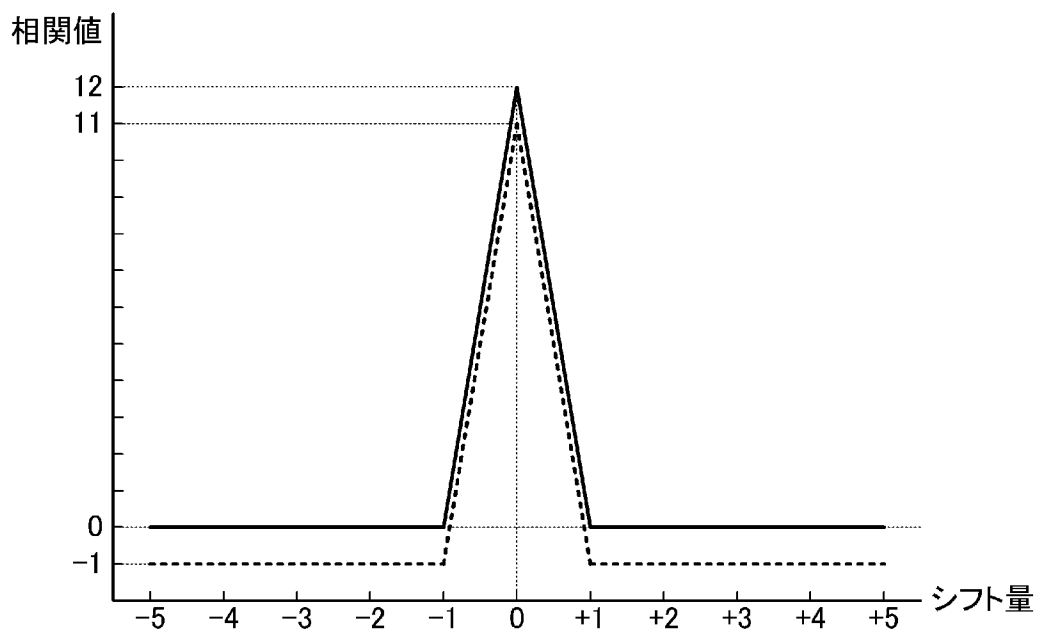
[図7]



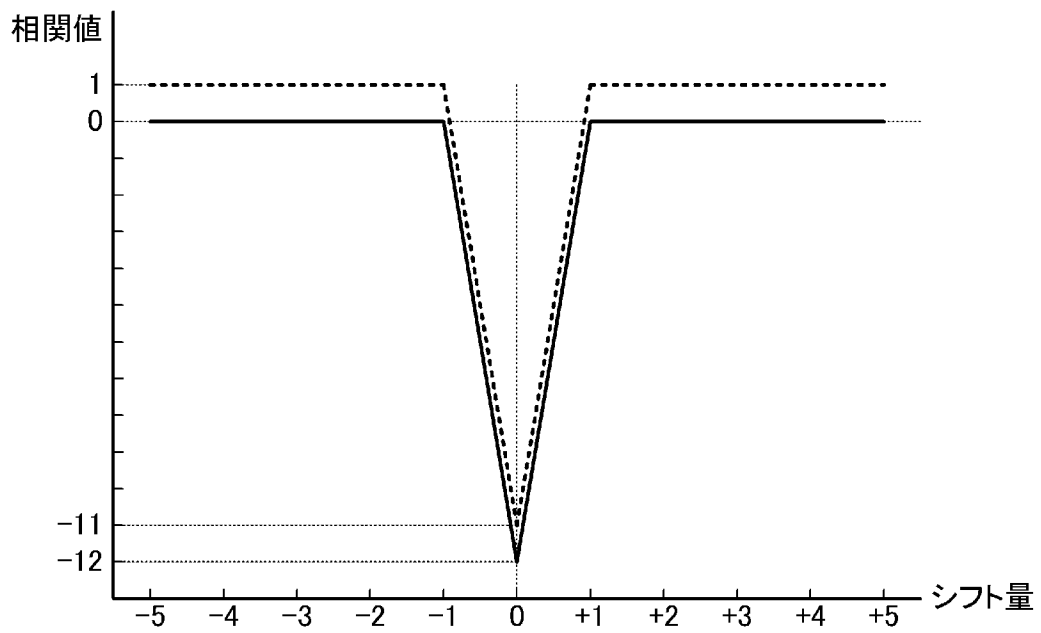
[図8]



[図9]



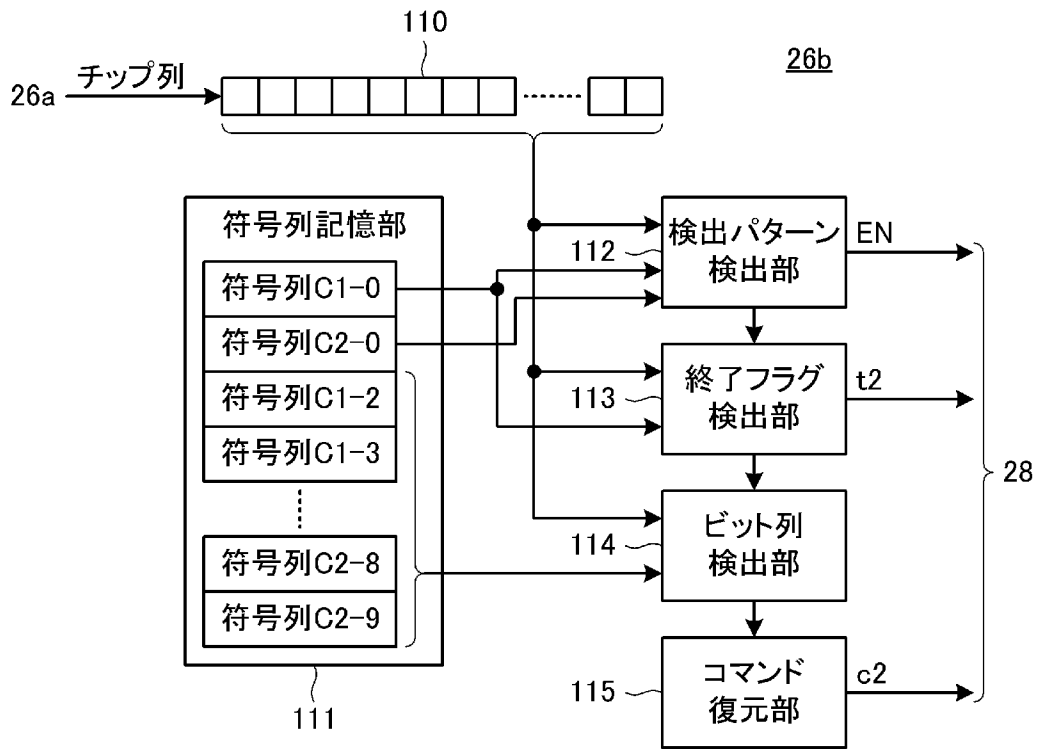
(a)



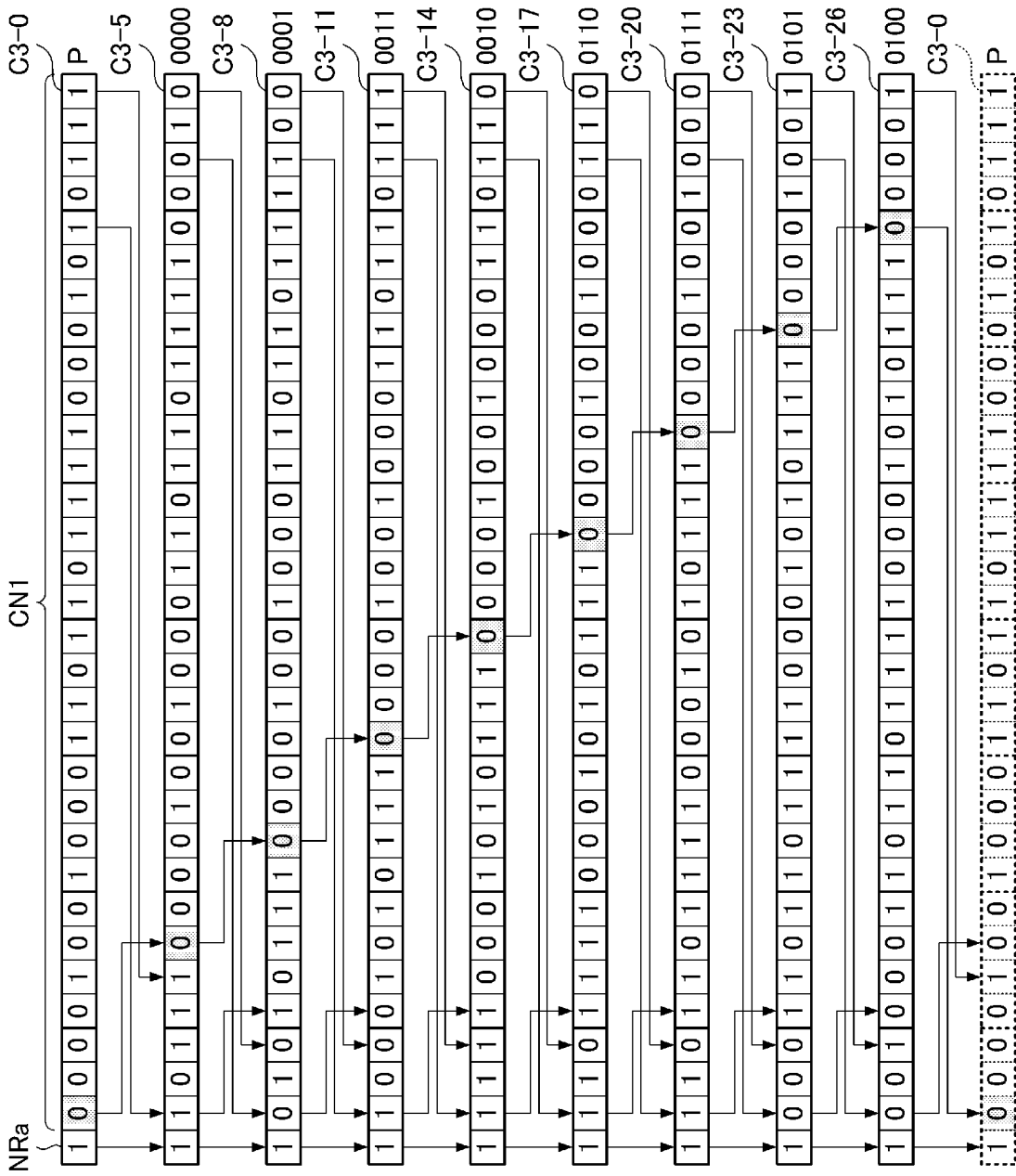
(b)



[図11]

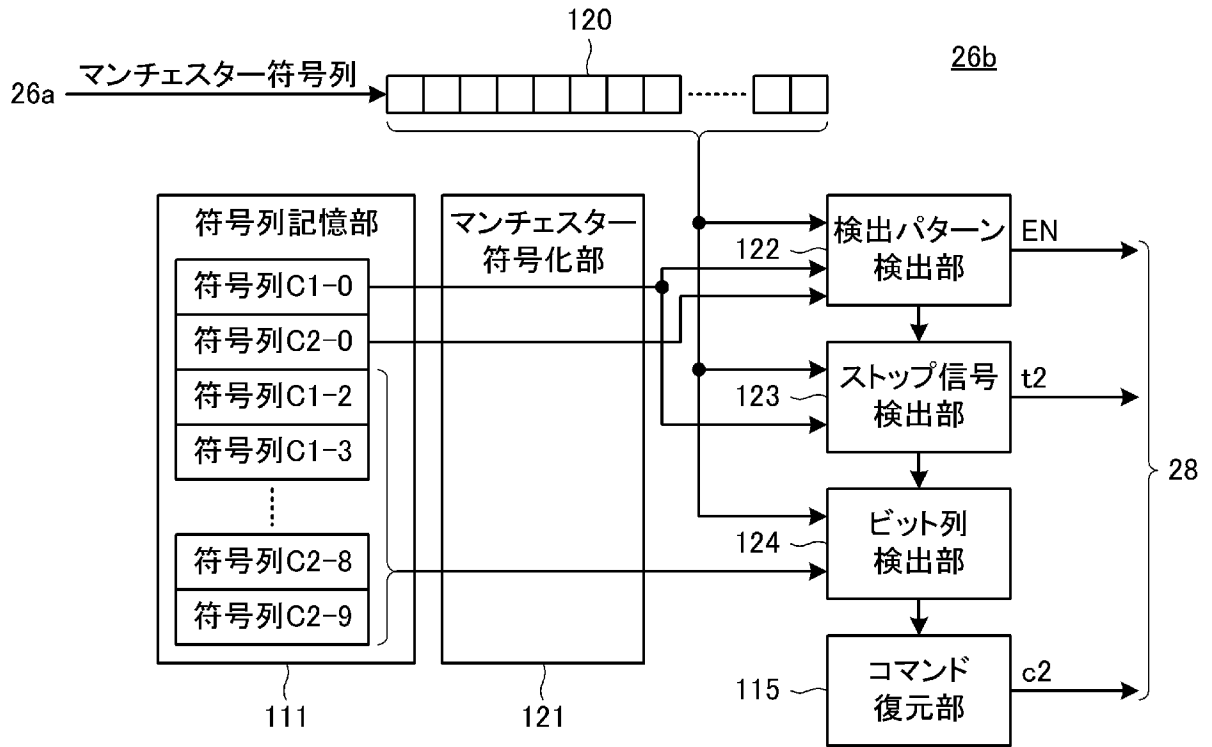


[12]

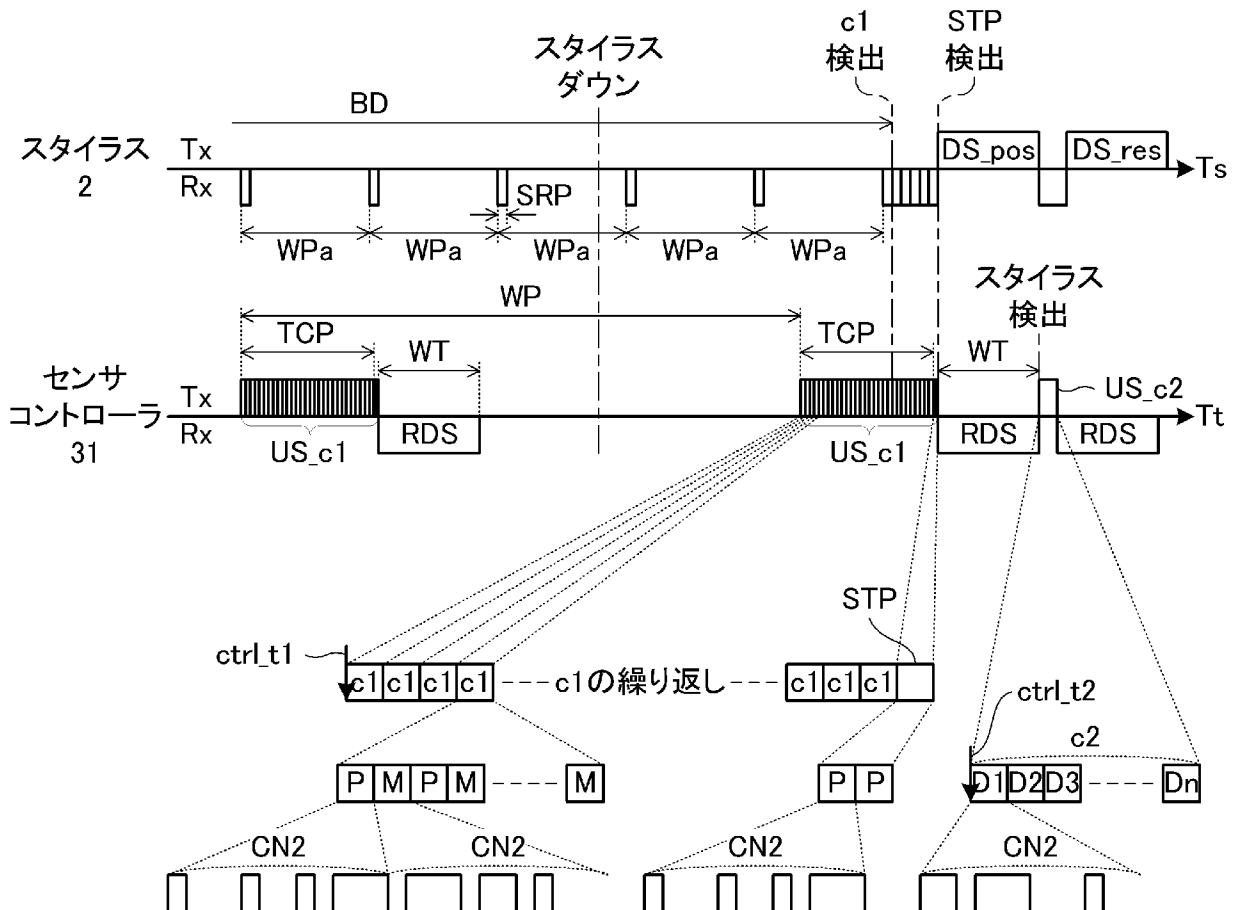




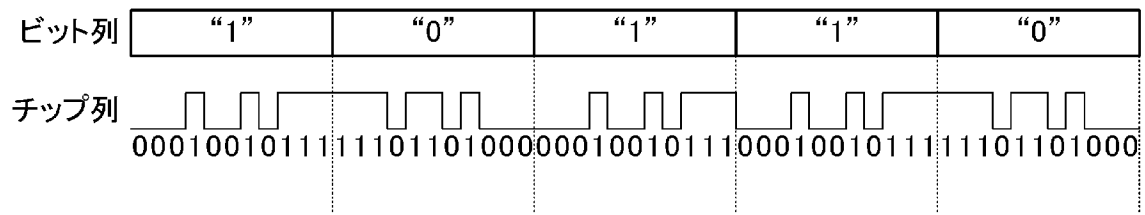
[図14]



[図15]



[図16]



**INTERNATIONAL SEARCH REPORT**

International application No.  
PCT/JP2016/062325

**A. CLASSIFICATION OF SUBJECT MATTER**  
G06F3/03(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
G06F3/03

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 5762659 B1 (Wacom Co., Ltd.), 12 August 2015 (12.08.2015), entire text (Family: none)	1-22
A	Hiroshi SAWAGASHIRA et al., "Permutation Transmission Optical CDMA System with Cyclic- Shifted Sequences", IEICE Technical Report, vol.101, no.357, 12 October 2001 (12.10.2001), pages 23 to 29	1-22
A	WO 2015/002203 A1 (Sharp Corp.), 08 January 2015 (08.01.2015), entire text & JP 5886478 B2 entire text	1-22

Further documents are listed in the continuation of Box C.       See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 20 May 2016 (20.05.16)	Date of mailing of the international search report 31 May 2016 (31.05.16)
---	--

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer  Telephone No.
--	---

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G06F3/03(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G06F3/03

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 5762659 B1 (株式会社ワコム) 2015.08.12, 全文 (ファミリーなし)	1-22
A	澤頭 寛 ほか, 巡回シフト系列による順列伝送光符号分割多元接 続方式, 電子情報通信学会技術研究報告 Vol. 101 No. 357, 2001.10.12, p.23-29	1-22

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

20.05.2016

国際調査報告の発送日

31.05.2016

国際調査機関の名称及びあて先  
日本国特許庁 (ISA/J P)  
郵便番号 100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

久々宇 篤志

5E

4678

電話番号 03-3581-1101 内線 3521

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2015/002203 A1 (シャープ株式会社) 2015.01.08, 全文 & JP 5886478 B2, 全文	1-22