

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年6月30日(30.06.2022)



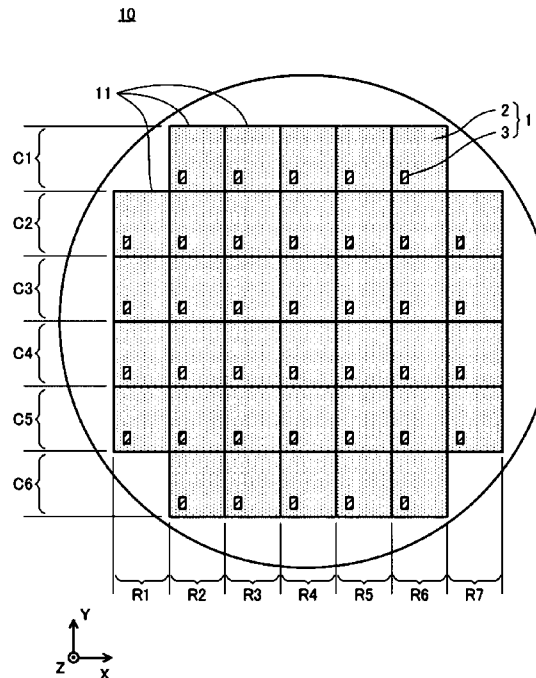
(10) 国際公開番号

WO 2022/138583 A1

- (51) 国際特許分類:
G03F 7/20 (2006.01) *H01L 21/8234* (2006.01)
H01L 21/822 (2006.01) *H01L 27/088* (2006.01)
H01L 27/04 (2006.01) *H01L 27/10* (2006.01)
- (21) 国際出願番号: PCT/JP2021/047074
- (22) 国際出願日: 2021年12月20日(20.12.2021)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2020-217784 2020年12月25日(25.12.2020) JP
- (71) 出願人: 株式会社ニコン (NIKON CORPORATION) [JP/JP]; 〒1086290 東京都港区港南二丁目15番3号 Tokyo (JP).
- (72) 発明者: 金谷 有歩 (KANAYA Yuho); 〒1086290 東京都港区港南二丁目15番3号 株式会社ニコン内 Tokyo (JP). 大和 壮一 (OWA Soichi); 〒1086290 東京都港区港南二丁目15番3号 株式会社ニコン内 Tokyo (JP).
- (74) 代理人: 西澤 和純, 外 (NISHIZAWA Kazuyoshi et al.); 〒1006620 東京都千代田区丸の内一丁目9番2号 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,

(54) **Title:** METHOD FOR MANUFACTURING SEMICONDUCTOR INTEGRATED CIRCUIT, METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE, AND EXPOSURE APPARATUS

(54) 発明の名称: 半導体集積回路の製造方法、半導体デバイスの製造方法、および露光装置



(57) **Abstract:** A method for manufacturing a semiconductor integrated circuit in each of a plurality of regions on a substrate comprises: forming an electronic circuit as a portion of the semiconductor integrated circuit in each of the plurality of regions using a mask pattern affixed to a mask substrate; and forming a specific circuit indicating specific information specific to each semiconductor integrated circuit in a portion of each of the plurality of regions using a variable

CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

shaping exposure apparatus having a variable shaping mask. The specific circuits respectively formed in the plurality of regions are different from each other.

(57) 要約: 基板上の複数の領域のそれぞれに半導体集積回路を製造する製造方法において、マスク基板に固定されたマスクパターンを用いて、複数の領域のそれぞれに、半導体集積回路の一部としての電子回路を形成すること、可変整形マスクを有する可変整形露光装置を用いて、複数の領域のそれぞれの一部に、それぞれの半導体集積回路に固有の固有情報を表す固有回路を形成すること、を備え、複数の領域のそれぞれに形成される固有回路は互いに異なる。

明 細 書

発明の名称：

半導体集積回路の製造方法、半導体デバイスの製造方法、および露光装置
技術分野

[0001] 本発明は、半導体集積回路の製造方法、半導体デバイスの製造方法、および露光装置に関する。

本願は、2020年12月25日に出願された日本国特願2020-217784号に基づき優先権を主張し、その内容をここに援用する。

背景技術

[0002] 通信用途に使用される半導体デバイスにおいて、大部分が共通する回路を有する複数の半導体集積回路のそれぞれに、部分的に固有の情報を記憶した固有の回路を形成することにより、通信の守秘性を向上させる半導体集積回路が提案されている（非特許文献1）。

先行技術文献

非特許文献

[0003] 非特許文献1：Isabelle Servin、他10名、「Process development of a maskless N40 via level for security application with multi-beam lithography」、SPIE Proceedings Vol. 10584、SPIE（米国）、2018年3月19日

発明の概要

[0004] 第1の態様によると、半導体集積回路の製造方法は、基板上の複数の領域のそれぞれに半導体集積回路を製造する製造方法において、マスク基板に固定されたマスクパターンを用いて、前記複数の領域のそれぞれに、前記半導体集積回路の一部としての電子回路を形成すること、可変整形マスクを有する可変整形露光装置を用いて、前記複数の領域のそれぞれの一部に、それぞれの前記半導体集積回路に固有の固有情報を表す固有回路を形成すること、を備え、前記複数の領域のそれぞれに形成される前記固有回路は互いに異なる

る。

第2の態様によると、半導体デバイスの製造方法は、第1の態様による半導体集積回路の製造方法で製造された複数の半導体集積回路を、それぞれパッケージングして複数の半導体デバイスとすること、前記相互関係データに基づいて、パッケージングした複数の前記半導体デバイスと、複数の前記半導体デバイスに含まれる前記半導体集積回路の前記固有回路が表す前記固有情報との対応関係を示す第2の相互関係データを生成すること、を備える。

第3の態様によると、露光装置は、基板を保持する基板保持部と、前記基板上に照射する明暗パターンの形状を設定する可変整形マスクと、前記基板上に形成する複数の半導体集積回路に対応する複数の領域のそれぞれに露光する前記明暗パターンの形状を、複数の前記半導体集積回路の相互間の関係を示す相互関係データに基づいて決定するパターン決定部と、を備える。

第4の態様によると、露光装置は、基板を保持する基板保持部と、前記基板上に照射する明暗パターンの形状を設定する可変整形マスクと、前記基板上に形成する複数の半導体集積回路に対応する複数の所定領域のそれぞれに露光する前記明暗パターンの形状を、複数の前記半導体集積回路のそれぞれに形成すべき、複数ビットのデジタル情報からなる固有情報に基づいて決定するパターン決定部と、を備える。

図面の簡単な説明

[0005] [図1]第1実施形態の半導体集積回路の製造方法により製造された半導体集積回路の複数個を模式的に示す図。

[図2]第1実施形態の半導体集積回路の製造方法により製造された半導体集積回路の1つを示す図。

[図3]半導体集積回路の中の固有情報記憶回路の一例の回路図を示す図である。

[図4A]固有回路の一部分の拡大図。

[図4B]固有回路の一部分の拡大図。

[図5]固有回路の一部分の不純物イオンの濃度分布を説明する図。

[図6]第1実施形態の半導体集積回路の製造方法のフローを説明する図。

[図7A]固定マスクを用いて複数の半導体集積回路に共通する部分の回路パターンを形成する工程を説明する図。

[図7B]固定マスクを用いて複数の半導体集積回路に共通する部分の回路パターンを形成する工程を説明する図。

[図8A]可変整形マスクを用いて固有回路を形成する工程を説明する図。

[図8B]可変整形マスクを用いて固有回路を形成する工程を説明する図。

[図9]半導体集積回路の製造方法のフローのうちの一部について説明する図。

[図10A]固定マスクと可変整形マスクとを用いた露光工程を説明する図。

[図10B]固定マスクと可変整形マスクとを用いた露光工程を説明する図。

[図10C]固定マスクと可変整形マスクとを用いた露光工程を説明する図。

[図11]可変整形マスクを用いて固有回路を形成するために基板を露光する方法の一例を示す図。

[図12]複数の半導体集積回路の相互間の関係を示す相互関係データの概要を示す図。

[図13]第2実施形態の露光装置の概要を示す図。

[図14A]第3実施形態の半導体デバイスの製造方法の概要を示す図。

[図14B]第3実施形態の半導体デバイスの製造方法の概要を示す図。

[図15]複数の半導体デバイスの相互間の関係を示す第2の相互関係データの概要を示す図。

[0006] (第1実施形態の半導体集積回路の製造方法)

図1は、第1実施形態の半導体集積回路の製造方法により基板10上に製造された複数の半導体集積回路1を模式的に示す図である。

[0007] 図1および以下で参照する各図に矢印で示したX方向、Y方向およびZ方向はそれぞれ直交する方向であるとともに、X方向、Y方向およびZ方向のそれぞれは各図において同一の方向を示している。以下では、各矢印の示す方向を、それぞれ+X方向、+Y方向および+Z方向と呼ぶ。また、X方向の位置をX位置、Y方向の位置をY位置、Z方向の位置をZ位置と呼ぶ。

[0008] 第1実施形態の半導体集積回路1の製造方法は、一例としてシリコンから成る基板10上の複数の領域11のそれぞれに半導体集積回路1を製造するものである。基板10上に形成された複数の半導体集積回路1は、それぞれの半導体集積回路1に共通する電子回路である共通回路2と、それぞれの半導体集積回路1に固有の固有情報を表す固有回路3とが形成されている。換言すれば、それぞれの半導体集積回路1は、共通回路2と固有回路3とを含むものである。

[0009] 図1に示したとおり、半導体集積回路1のXY面内での形状は一例として長方形であり、複数の半導体集積回路1は、基板10上で、X方向およびY方向に沿って2次元的に配置されて形成されている。以下では、X方向の配列位置を ROW (R1~R7)、Y方向の配列位置を COLUMN (C1~C6) として、それぞれの半導体集積回路1をその配列位置に従って識別する場合がある。

[0010] 図2は、第1実施形態の半導体集積回路の製造方法により製造された半導体集積回路1の1つを拡大して示す図である。半導体集積回路1のうち、上述した共通回路2の部分には、後述する暗号化回路22、復号化回路23、通信回路24を含む種々の回路が形成されている。固有情報記憶回路21は、その一部が共通回路2に含まれ、他の部分は破線で示した固有回路3に含まれている。

[0011] 図3は、固有情報記憶回路21の一例の回路図を示す図である。固有情報記憶回路21は、一例として、一般的なNAND型のマスクROM回路であり、Y方向に延びるデータ線DLに沿って複数のMOSトランジスタTRが配置され、各MOSトランジスタTRのゲートに、X方向に延びる選択線SLが接続されている。各データ線DLの両端には、それぞれ電圧印加部26と電圧検知部27が配置されている。各選択線SLの端部には、選択線SLを介して各MOSトランジスタTRのゲートに電圧を印加する電圧印加部28が配置されている。

[0012] 固有情報記憶回路21のうち、マスクROM回路の記憶領域を構成する複

数のMOSトランジスタTRは、破線で示した固有回路3に含まれている。一方、電圧印加部26、28、および電圧検知部27は固有回路3には含まれず、図2に示した共通回路2に含まれている。

なお、上述したとおり、固有情報記憶回路21は、その構成自体は一般的なマスクROM回路であるため、その詳細の説明は省略する。

なお、本明細書において、回路とは、1つの機能を発揮する完成した電気回路のみではなく、ある程度完成している電気回路の一部をも含む。

[0013] 図4Aは、マスクROM回路である固有回路3のうちの、図3に破線で囲って示した部分領域25の構造を、+Z方向から見た上面図を示している。図4Bは、図4A中のAA線に沿った部分の断面を示す図である。

固有回路3の内部には、ソース／ドレイン領域SDと、選択線SLであるゲート電極と、ゲート酸化膜GOと、チャネル部Ch0、Ch1とからなる、一例としてn型のMOSトランジスタTR（TR1、TR2）が複数形成されている。ソース／ドレイン領域SDは、一例としてリンやヒ素である不純物イオンが高濃度でドーピングされている。

[0014] 同じX位置に配置され、Y方向に並ぶ複数のMOSトランジスタTR1、TR2のそれぞれのソース／ドレイン領域SDは、Y方向にそれぞれ連続して形成されている。これにより、複数のMOSトランジスタTR1、TR2のソース／ドレイン領域SD、およびチャネル部Ch0、Ch1は、全体として、データ線DL（図3参照）を形成している。

[0015] MOSトランジスタTR1等のいくつかのMOSトランジスタのチャネル部Ch0は、不純物イオンの濃度が低い真性半導体状態とされている。一方、MOSトランジスタTR2等のいくつかのMOSトランジスタのチャネル部Ch1は、一例としてリンやヒ素である不純物イオンの濃度が高いn型半導体状態とされている。

[0016] 不純物イオンの濃度が高いチャネル部Ch1を有するMOSトランジスタTR2は、ゲートである選択線SLに正または0[V]のいずれの電位が印加された状態であっても導通する。よって、MOSトランジスタTR2に含まれ

るチャネル部C h 1は、例えばデータ「1」に相当する状態が記憶されている。

[0017] 一方、不純物イオンの濃度が低いチャネル部C h 0を有するM O SトランジスタT R 1は、ゲートである選択線S Lに正の電位が印加された状態に限り導通する。よって、M O SトランジスタT R 1に含まれるチャネル部C h 0は、例えばデータ「0」に相当する状態が記憶されている。

なお、不純物イオンの濃度が低いチャネル部C h 0が記憶するデータを「1」とし、不純物イオンの濃度が高いチャネル部C h 1が記憶するデータを「0」としても良い。

[0018] 基板1 0上に形成される複数の半導体集積回路1は、それぞれ上述した共通回路2と固有回路3とを含んでいる。そして、固有回路3のうちの一部、例えば上述したチャネル部C h 0、C h 1の不純物イオンの濃度の分布は、複数の半導体集積回路1のそれぞれで異なっている。

[0019] 第1実施形態の製造方法においては、半導体集積回路1のうち、固有回路3のうち複数の半導体集積回路1に共通する回路部分および共通回路2については、マスク基板に固定されたマスクパターン（以降、マスク基板とマスクパターンとを合わせて「固定マスク」とも呼ぶ）を用いる露光により形成する。固定マスクは、一例として、透光性のマスク基板にマスクパターンとしてクロム等の遮光膜、または位相シフターとしての誘電体の透過膜が形成された透光型のマスクであっても良い。あるいは、反射性のマスク基板の表面にマスクパターンとして吸光性の膜、または位相シフターとしての段差形状が形成された反射型のマスクであっても良い。

[0020] 一方、固有回路3のうち複数の半導体集積回路1のそれぞれで異なる回路部分については、可変整形マスクを用いる露光により形成する。可変整形マスクは、いわゆる空間光変調器である。反射型の可変整形マスクとしては、例えば、反射面に複数の可動微小ミラーが形成されたものや、反射型の液晶表示デバイスを用いることができる。透過型の可変整形マスクとしては、例えば、透過型の液晶表示デバイスを用いることができる。なお、可変整形マ

スクを用いる露光装置の詳細については、後述する。

[0021] 以下、図6を参照して第1実施形態の製造方法のフローを説明する。

一般的な半導体集積回路の製造と同様に、第1実施形態の製造方法においても、基板10に対して、複数回のリソグラフィ工程を行うことにより、半導体集積回路1を製造する。従って、ステップS100は、全部でN回のリソグラフィ工程を含むループの開始にあたるステップである。

なお、基板10は、1枚の基板には限らず、複数の基板の集合体であっても良い。

[0022] なお、本明細書においては、リソグラフィ工程とは、基板10上に感光膜（レジスト）を形成し、露光および現像により感光膜をパターニングし、パターニングした感光膜を用いて基板10を加工する一連の工程をいう。リソグラフィ工程には、感光膜の形成前に基板10上に所定の膜を形成する工程を含んでも良い。また、基板10の加工は、基板10または基板10上に形成した所定の膜に対するエッチング、酸化、窒化、またはイオン注入であっても良い。

[0023] ステップS110では、j回目のリソグラフィ工程は、可変整形マスクを用いた露光を行う工程であるか否かを判断する。判断が否定された（No）場合、ステップS120に進み、固定マスクを用いた露光を含むリソグラフィ工程を行う。ステップS120においては、半導体集積回路1の暗号化回路22、復号化回路23、通信回路24を含む共通回路2を構成する回路パターンが形成された固定マスクを使用する。従って、ステップS120においては、基板10上に暗号化回路22、復号化回路23、通信回路24を含む共通回路2の一部を構成する回路パターンが形成される。

固定マスクを用いた露光を含むリソグラフィ工程は、半導体集積回路の製造のために通常用いられているリソグラフィ工程と同様であるので、その詳細な説明は省略する。

[0024] なお、ステップS120で使用する固定マスクは、固有回路3のうち複数の半導体集積回路1に共通する部分の回路パターンに相当するマスクパター

ンを含んでいても良い。この場合には、ステップS 1 2 0においては、基板 1 0 上に、上述した各種の回路パターンに加えて、固有回路 3 のうち複数の半導体集積回路 1 に共通する部分の回路パターンの一部も併せて形成される。

[0025] ステップS 1 2 0において、固有回路 3 のうち複数の半導体集積回路 1 に共通する部分の回路パターンを形成する方法を、図 7 A、図 7 Bを参照して説明する。図7Aは、複数の半導体集積回路 1 に共通する部分の回路パターンを形成するための、固定マスク 3 0の一例を示す図である。固定マスク 3 0は、透光性のマスク基板 3 1と、マスク基板 3 1の表面に形成された、一例として固有情報記憶回路 2 1内のソース／ドレイン領域 S Dを形成するためのマスクパターン 3 2とを含む。マスクパターン 3 2は、透光部 3 3と遮光部 3 4とを含む。

[0026] なお、図7Aは、固有情報記憶回路 2 1内のソース／ドレイン領域 S Dのうちの図 3 および図 5 に示した部分領域 2 5に相当する部分 2 5 Mに対応するマスクパターン 3 2を示している。図 7 Aの中の A A線は、図 5 に示した A A線に対応するマスクパターン 3 2上の位置に示してある。なお、マスクパターン 3 2は、固有情報記憶回路 2 1の部分領域 2 5以外の部分、および暗号化回路 2 2、復号化回路 2 3、通信回路 2 4等の他の回路に相当するマスクパターンを含んでいても良い。あるいは、マスクパターン 3 2は、固有情報記憶回路 2 1の部分領域 2 5内のパターンを含まず、暗号化回路 2 2、復号化回路 2 3、通信回路 2 4等の他の回路に相当するマスクパターンのみを含んでいても良い。

[0027] 図 7 Bは、図7Aに示した固定マスク 3 0を用いて、基板 1 0上の各領域 1 1内の固有回路 3 に相当する部分にソース／ドレイン領域 S Dを形成する工程を示す図である。図 7 Bは、図 5 に示した A A線における基板 1 0の断面図である。

[0028] 始めに、基板 1 0上にフォトレジスト等の感光膜 2 6を形成し、感光膜 2 6に対し、固定マスク 3 0を用いて露光を行い、透光部 3 3に相当する部分

の感光膜 26 を感光させる。そして感光膜 26 のうち感光した部分を現像により除去して開口部 26 o を形成し、開口部 26 o から基板 10 の表面を露出させる。

[0029] その後、残存している感光膜 26、すなわちパターニングされた感光膜 26 をマスクとして、基板 10 に対して一例としてヒ素またはリンをイオン注入して、ソース／ドレイン領域 SD を形成する。

なお、これと同時に、固有情報記憶回路 21 の部分領域 25 以外の部分、および暗号化回路 22、復号化回路 23、通信回路 24 等の他の回路の中の所定の部分に、ソース／ドレイン領域を形成しても良い。

[0030] ステップ S 120 の工程の終了後は、ステップ S 160 に進み、N 回のプロセスが終了するまで、ステップ S 110 からステップ S 160 までのループを繰り返す。

[0031] ステップ S 110 での判断が肯定された (Yes) 場合、ステップ S 130 に進む。ステップ S 130 では、j 回目のリソグラフィ工程は、可変整形マスクを用いた露光に加えて、固定マスクを用いた露光も行う工程であるか否かを判断する。判断が否定された (No) 場合、ステップ S 140 に進み、可変整形マスクを用いた露光を含むリソグラフィ工程を行う。

[0032] ステップ S 140 においては、固有情報記憶回路 21 の固有回路 3 について複数の半導体集積回路 1 でそれぞれ異なる回路パターンを形成する。ただし、図 12 を参照して後述するように一部の半導体集積回路 1 については、固有回路 3 に同じパターンを形成しても良い。

[0033] 図 8 A は、可変整形マスクを用いて基板 10 上に形成する明暗パターン 35 の形状 (明暗分布) を示す図である。図 8 A 中の AA 線は、図 5 に示した AA 線に対応する位置に示してある。図 8 A には、明暗パターン 35のうち、部分領域 25 に相当する小領域 25 E 内のパターンのみを示しているが、明暗パターン 35 は、固有回路 3 の全てに対応するエリアを有していても良い。

[0034] 図 8 B は、図 8 A に示した明暗パターン 35 を用いて、固有回路 3 に含ま

れる複数のMOSトランジスタTRのチャネル部Ch0、Ch1のそれぞれに所定の不純物濃度のイオンを注入する方法を説明する図である。図8Bは、図5に示したAA線における基板10の断面図である。

[0035] ステップS140においては、基板10上にフォトリソ等感光膜27を形成し、感光膜27に対し、可変整形マスクにより形成された明暗パターン35を露光する。このとき、チャネル部Ch1に相当する部分が明部36となり、他の部分は、暗部37となるように、明暗パターン35の形状（明暗分布）を設定する。すなわち、チャネル部Ch0に相当する部分38は、チャネル部Ch0およびチャネル部Ch1以外に相当する部分39と同じく暗部37となるように可変整形マスクを設定する。この明暗パターン35は、基板10内のそれぞれ領域11に形成される半導体集積回路1ごとに、それぞれ異ならせることができる。

[0036] 明部36により露光された部分の感光膜27は、その後の現像により除去されて開口部27oとなり、開口部27oから基板10の表面が露出する。その後、残存している感光膜27、すなわちパターニングされた感光膜27をマスクとして、基板10に対して一例としてヒ素またはリンをイオン注入して、チャネル部Ch1に所定の濃度の不純物イオンを注入する。

[0037] このとき、チャネル部Ch0に相当する部分は、感光膜27で覆われているためイオンは注入されない。従って、ステップS140により、固有情報記憶回路21の一例としてのNAND型マスクROMを構成する複数のMOSトランジスタのそれぞれのチャネル部に、所定の不純物イオンの濃度の分布を形成することができる。上述したように、例えば不純物イオンが高濃度でドーピングされたチャネル部Ch1には1ビットのデータ「1」が記憶され、不純物イオンがドーピングされていない（低濃度の）チャネル部Ch0には1ビットのデータ「0」が記憶される。従って、固有回路3の中に、それぞれチャネル部を有するM個のMOSトランジスタTRがあれば、固有回路3にMビットの情報を記憶させることができる。固有回路3に含まれるMOSトランジスタTRの数は、図3に示した $8 \times 8 = 64$ 個に限られるわけ

ではなく、任意の個数であって良い。

[0038] これにより、基板 10 上の複数の領域 11 にそれぞれ形成される半導体集積回路 1 のそれぞれの固有情報記憶回路 21 に、それぞれ異なる固有情報を記憶させることができる。換言すれば、基板 10 上の複数の領域 11 のそれぞれの一部に、それぞれの半導体集積回路 1 に固有の固有情報を表し、かつ、それぞれの回路パターンの少なくとも一部が異なる固有回路 3 を形成することができる。なお、上述したチャネル部 Ch0、Ch1 の不純物イオンの濃度の分布も、回路パターンであるということができる。

[0039] ステップ S140 の工程の終了後は、ステップ S160 に進み、N 回のプロセスが終了するまで、ステップ S110 からステップ S160 までのループを繰り返す。

[0040] ステップ S130 での判断が肯定された (Yes) 場合には、ステップ S150 に進む。

図 9、図 10A、図 10B、図 10C は、ステップ S150 におけるリソグラフィ工程を説明する図であり、ステップ S150 は、固定マスクを用いた露光に加えて、可変整形マスクを用いた露光も行うリソグラフィ工程である。

[0041] ステップ S150 においては、図 9 のフローに示したように、始めにステップ S151 において基板 10 上に薄膜を形成する。なお、薄膜の形成が不要である場合には、ステップ S151 を省略しても良い。

[0042] 続いて、ステップ S152 において基板 10 上にフォトリジスト等の感光膜 26 を形成する。そして、ステップ S153 において、図 7A に示したような固定マスク 30 を用いて、感光膜 26 を露光する。固定マスク 30 を用いた露光を行った後の基板 10 および感光膜 26 の断面図を、図 10A に示す。なお、図 10A は、図 7B および図 8B と同様に、図 5 の AA 線における基板 10 の断面図である。

固定マスク 30 を用いた露光により、感光膜 26 には感光部 26E が形成される。固定マスク 30 を用いた露光により感光しなかった部分は、非感光

部 2 6 N として残存する。

[0043] 続いて、ステップ S 1 5 4 において、感光膜 2 6 を現像する。現像後の感光膜 2 6 は、図 7 B に示した感光膜 2 6 と同様の状態となる。

その後、ステップ S 1 5 5 において、残存する感光膜 2 6 に対し、可変整形マスクにより形成された、図 8 A に示したごとき明暗パターン 3 5 を露光する。そして、ステップ S 1 5 6 において、感光膜 2 6 を再度、現像する。現像後の感光膜 2 6 は、図 1 0 C に示したとおり、ステップ S 1 5 3 における固定マスク 3 0 を用いた露光、およびステップ S 1 5 5 における可変整形マスクを用いた露光のいずれでも感光しなかった非感光部 2 6 N だけが基板 1 0 上に残存する。

[0044] この状態で、ステップ S 1 5 7 に進み、図 1 0 C に示した非感光部 2 6 N が残存する感光膜 2 6、すなわちパターンニングされた感光膜 2 6 を用いて、基板 1 0 に対する処理を行う。図 1 0 C に示した例では、基板 1 0 に対する処理とは、一例として基板 1 0 に対するヒ素またはリンのイオン注入であり、このイオン注入により、ソース／ドレイン領域 S D、およびチャネル部 C h 1 が、同時に形成される。一方、チャネル部 C h 0 は、感光膜 2 6 により覆われているので、イオン注入は行われない。

[0045] なお、ステップ S 1 5 1 において、基板 1 0 上に薄膜を形成している場合には、イオン注入は、基板 1 0 にではなく、基板 1 0 上に形成された薄膜に対して行っても良い。

[0046] なお、上述の工程においては、固定マスクを用いた露光の後と、可変整形マスクを用いた露光の後とのそれぞれで感光膜 2 6 の現像を行ったが、固定マスクを用いた露光の後の現像（ステップ S 1 5 4 の現像）は省略しても良い。この場合、ステップ S 1 5 5 の実行後の感光膜 2 6 には、図 1 0 B に示した断面図のように、固定マスク 3 0 を用いた露光による感光部 2 6 E と、可変整形マスクを用いた露光による感光部 2 6 F と、いずれの露光でも感光しなかった非感光部 2 6 N とが形成される。この状態の感光膜 2 6 を、ステップ S 1 5 6 において現像することにより、図 1 0 C に示した状態の感光膜

26（非感光部26N）を形成しても良い。また、上述の工程においては、固定マスクを用いた露光の後に、可変整形マスクを用いた露光を行ったが、可変整形マスクを用いた露光の後に、固定マスクを用いた露光を行ってもよい。

[0047] 以上より、ステップS150においても、上述したステップS140と同様に、可変整形マスクを用いて、基板10上の複数の領域11のそれぞれの一部に、それぞれの半導体集積回路1に固有の固有情報を表し、かつ、それぞれの回路パターンの少なくとも一部が異なる固有回路3を形成することができる。

[0048] ステップS150の工程の終了後は、ステップS160に進み、N回のプロセスが終了するまで、ステップS110からステップS160までのループを繰り返す。

なお、ステップS160の終了後に、後述するように、基板10から個々の半導体集積回路1を切断（個片化）しても良い。

[0049] 図4A、図4Bに示したように、イオン注入されたチャネル部Ch1およびイオン注入されていないチャネル部Ch0の上には、その後の工程で、ゲートとしての選択線SLが形成される。従って、完成した半導体集積回路1を上面から観察等しただけでは、各チャネル部Ch0、Ch1の不純物イオンの濃度を解析することは困難である。よって、上述した方法においては、固有回路3に記憶された固有情報がリバーエンジニアリングされる恐れを低減することができる。

[0050] なお、ステップS120、ステップS140、およびステップS150のいずれにおいても、パターンニングされた感光膜26、27を用いての基板10の加工は、上述したイオン注入に限られるわけではない。すなわち、基板10の加工は、基板10または基板10上に形成した所定の膜に対するエッチング、酸化、窒化等の他の加工であっても良い。また、基板10または基板10上に形成した所定の膜に所定のエッチングを行なうことで溝またはホールを形成した後に、その溝またはホールに金属等の導電体を部分的に埋

め込むものであっても良い。

[0051] また、ステップS 1 2 0、およびステップS 1 4 0においても、ステップS 1 5 0と同様に、基板1 0への感光膜2 6、2 7の形成前に基板1 0上に所定の膜を形成する工程を含んでも良い。

また、固定マスク3 0を用いた露光または可変整形マスクを用いた露光の後であって、現像の前に、感光膜2 6、2 7を加熱するP E B処理を含んでも良い。

[0052] なお、それぞれの半導体集積回路1に固有の固有情報を表し、かつ、それぞれの回路パターンの少なくとも一部が異なる固有回路3、および固有回路3を含む固有情報記憶回路2 1は、上述したN A N D型マスクR O Mに限られるわけではない。従って、固有回路3の中のそれぞれの半導体集積回路1に固有のパターンについても、上述した不純物イオンの濃度分布に限られるわけではない。

[0053] 固有回路3の中の半導体集積回路1に固有のパターンは、電子素子を構成する回路の中の特定のトランジスタの有無、ゲート長の差、またはゲート幅の差等であっても良い。あるいは、電子素子を構成する回路の中の特定のビアホール等の接続部の有無またはサイズの差であっても良い。そして、これらの有無やサイズの差により生じる電子素子の動作特性の差によって、信号「1」または信号「0」が記憶される回路であっても良い。

[0054] これらのトランジスタまたはビアホール等の形成は、可変整形露光装置を用いた露光を含む2回以上のリソグラフィ工程により行なっても良い。

なお、上述したステップS 1 4 0およびステップS 1 5 0では、固有回路3の中の半導体集積回路1に固有の固有情報を表す固有パターンであるチャネル部C h 0、C h 1の形成を、可変整形露光装置を用いた露光を含む1回のリソグラフィ工程により行なうことができる。従って、固定マスク3 0を使用する露光に比べて処理時間が掛かる可変整形露光装置を用いる露光の必要回数を低減することができ、半導体集積回路1の生産性を高めることができる。

[0055] なお、可変整形露光装置を用いた露光は、上述した紫外線を含む光を用いた露光に限られるものではなく、電子線等の荷電粒子線を用いた露光であっても良い。この場合、可変整形マスクとして、例えば、いわゆるブランキンググアパーチャアレイを用いても良い。

[0056] 次に、図11を参照して、可変整形マスクを用いて固有回路3を形成するために基板10に明暗パターンを露光する方法の一例を説明する。

図1に示したとおり、複数の半導体集積回路1は、X方向およびY方向に沿って基板10上に2次的に配置された領域11のそれぞれに形成されている。従って、固有回路3を、それぞれの半導体集積回路1の内部において共通の位置に配置することにより、複数の固有回路3は、X方向およびY方向に沿って2次的に配置されることになる。

[0057] そこで、可変整形マスクを備えた露光装置を用いて、複数の固有回路3を、図11に示したように、例えばY方向に沿った一度の走査露光により露光しても良い。すなわち、破線で示した走査経路SP1に沿った走査露光により、ロウR1に配置されている複数の領域11の半導体集積回路1に含まれる複数の固有回路3を露光しても良い。同様に、走査経路SP2～SP7に沿ったそれぞれの走査露光により、ロウR2～R7にそれぞれ配置されている複数の領域11の半導体集積回路1に含まれる複数の固有回路3を露光しても良い。

[0058] 固有回路3のX方向の幅AWは、例えば100 μ m程度以下で良く、従って、可変整形マスクを備えた露光装置のX方向の露光視野も100 μ m程度以下で良い。可変整形マスクを備えた露光装置については、図13を参照して後述する。

このような走査露光を行うことにより、それぞれの固有回路3の露光の前後に必要な基板10の加速または減速に必要な時間を削減することができ、従って、露光に必要な処理時間を短縮し、スループットを向上させることができる。

[0059] なお、図11に示したように、X方向に隣接するそれぞれの走査経路SP

1～SP7においては、走査方向（露光時の基板10の移動方向）を相互に反転させることにより、それぞれの走査経路SP1～SP7の間の基板10の移動距離を削減しても良い。これにより、さらにスループットを向上させても良い。

[0060] なお、可変整形マスクを備えた露光装置を用いての走査露光は、Y方向に沿ったものに限られることはなく、X方向に沿ったものであっても良い。

Y方向（またはX方向）を第1方向ということができ、X方向（またはY方向）を第1方向であるY方向（またはX方向）と交差する第2方向ということができる。

[0061] 次に、図12を参照して、固有情報の一例として暗号鍵（Cryptographic key）を固有回路3に記憶する例について説明する。暗号鍵は、半導体集積回路1が送信し、または受信する信号を、暗号化回路22で暗号化し、または復号化回路23で復号化する際に使用する暗号鍵である。

暗号鍵として、例えば0x34F23E1A等の4バイトの16進コードの数値を使用する。従って、基板10上のそれぞれの領域11に形成する半導体集積回路1の固有情報記憶回路21の中の固有回路3には、それぞれの領域11に形成する半導体集積回路1の使用目的に応じた値の暗号鍵を記憶させる。

[0062] それぞれの領域11に形成する半導体集積回路1にどの暗号鍵を記憶させるかは、図12に示した、相互関係データ（INTERRELATIONSHIP DATA）に基づいて決定する。相互関係データは、製造する複数の半導体集積回路1のうちの1つと、他の1つまたは複数との相互間の関係を示すデータである。換言すれば、相互関係データは、それぞれの半導体集積回路1が形成されている基板10の基板番号Wと、基板10上でのY方向の配列位置（コラム）Cと、X方向の配列位置（ロウ）Rで特定される半導体集積回路1のそれぞれの、他の半導体集積回路1との関係性を示すデータである。基板番号Wの、すなわちW枚目の基板のコラムC、ロウRの位置に配置される半導体集積回路1には、IC（W，C，R）の管理番号（IC N0.）が付与されている。

[0063] 一例として相互関係データの中では、管理番号IC（1，1，2）の半導体

集積回路 1 に、1 組目の複数の半導体集積回路 1 の中でマスターチップとなるべき半導体集積回路 1 であることを示す Master-1 という符号 (INDEX) が割り振られている。これに従って、管理番号 IC (1, 1, 2) の半導体集積回路 1 の固有情報記憶回路 2 1 には、これを 1 組目の複数の半導体集積回路 1 の中でマスターチップとして機能させる暗号鍵 0x34F23E1A を記憶させる。

[0064] また、管理番号 IC (1, 1, 3) の半導体集積回路 1 は、1 組目の複数の半導体集積回路 1 の中で 1 番目のスレーブチップとなるべき半導体集積回路 1 であることを示す Slave-1-1 という符号が割り振られている。これに従って、管理番号 IC (1, 1, 3) の半導体集積回路 1 の固有情報記憶回路 2 1 には、これを 1 組目の複数の半導体集積回路 1 の中で 1 番目のスレーブチップとして機能させる暗号鍵 0xAB56BD23 を記憶させる。

[0065] 同様にして、管理番号 IC (1, 1, 4) の半導体集積回路 1 には、割り振られた Slave-1-2 という符号に対応して、これを 1 組目の複数の半導体集積回路 1 の中で 2 番目のスレーブチップとして機能させる暗号鍵 0x7EA843BC を記憶させる。

[0066] 他の一例として、管理番号 IC (1, 2, 5) の半導体集積回路 1 には、割り振られた Master-2 という符号に対応して、これを 2 組目の複数の半導体集積回路 1 の中でマスターチップとして機能させる暗号鍵 0x7EA843BC を記憶させる。そして、管理番号 IC (1, 2, 6) および管理番号 IC (1, 2, 7) の半導体集積回路 1 には、割り振られた Slave-2

という符号に対応して、これを 2 組目の複数の半導体集積回路 1 の中でスレーブチップとする同一の暗号鍵 0x59C6AF32 を記憶させる。

[0067] さらに他の一例として、管理番号 IC (1, 4, 4)、管理番号 IC (1, 4, 5)、および管理番号 IC (1, 4, 6) の半導体集積回路 1 には、割り振られた Group-1 という符号に対応して、これを Group-1 という組に属する複数の半導体集積回路 1 とする共通の暗号鍵 0xBA5CFE4D を記憶させる。

[0068] 同様にして、2 枚目の基板 1 0 上に形成する管理番号 IC (2, 2, 7)、管理番号 IC (2, 3, 1)、および管理番号 IC (2, 3, 2) の半導体集

積回路 1 には、割り振られた Group-2 という符号に対応して、これを Group-2 という組に属する複数の半導体集積回路 1 とする共通の暗号鍵 0xC4A25D3B を記憶させる。

[0069] なお、暗号鍵は、上述した 4 バイトの 16 進コードに限られるものではなく、任意のビット数のデジタルデータであって良い。また、暗号鍵自体ではなく、例えば、暗号鍵に対して所定の演算を行った結果得られるデジタルデータであっても良い。暗号鍵自体、および暗号鍵に対して所定の演算を行った結果得られるデジタルデータを、以下では、「暗号鍵に関する情報」ともいう。

[0070] 第 1 実施形態の製造方法で製造された複数の半導体集積回路 1 は、それぞれの固有回路 3 内に記憶している暗号鍵に関する情報に対応する符号により関係付けられた 1 つまたは複数の他の半導体集積回路 1 に対してのみ、暗号化および復号化を伴う通信が可能である。逆に言えば、複数の半導体集積回路 1 を概ね共通する回路パターンで形成し、固有回路 3 内の一部の回路パターンをそれぞれ変更することにより、他の特定の 1 つまたは複数の半導体集積回路 1 だけとの通信が可能な半導体集積回路 1 を製造することができる。

なお、固有回路 3 内に記憶される固有情報は、上述した暗号鍵に限られるものではなく、例えば、それぞれの半導体集積回路 1 を表す識別情報であっても良い。

[0071] 固有回路 3 内に記憶される暗号鍵等の固有情報を、第 1 実施形態の半導体集積回路 1 の製造方法を実施する半導体製造者が決定しても良い。さらには、固有情報と相互関係データに含まれるそれぞれの符号との対応関係についても、半導体製造者が決定しても良い。あるいは、半導体製造者に半導体集積回路 1 の製造を委託する委託者が、上記の固有情報について、またはそれぞれの固有情報と符号との対応関係について決定しても良い。

[0072] 固有情報と相互関係データに含まれる符号との対応関係を、または固有情報を半導体製造者が決定する場合、半導体集積回路 1 に実際に記憶された固有情報は、半導体製造者のみが把握することになる。従って、この場合には

、固有情報に関する情報は半導体製造者以外の者に知られることがないため、暗号鍵等の固有情報に関する秘密性を高度に維持することができる。

[0073] また、後述するように、固有情報と相互関係データに含まれる符号との対応関係を、または固有情報を、後述するように可変整形マスクを用いた露光において使用する可変整形露光装置が決定（生成）しても良い。この場合には、半導体集積回路 1 に実際に記憶された固有情報は、可変整形露光装置のみが把握し、それ以外の者には知り得ない情報となる。従って、この場合には、固有情報に関する秘密性を一層高度に維持することができる。

[0074] 相互関係データについても、第 1 実施形態の半導体集積回路 1 の製造方法を実施する半導体製造者が生成しても良く、または、後述するように可変整形マスクを用いた露光において使用する可変整形露光装置が生成しても良い。あるいは、相互関係データは、半導体製造者に半導体集積回路 1 の製造を委託する委託者が決定しても良い。

[0075] 相互関係データを半導体製造者が生成する場合、または可変整形露光装置が生成する場合には、製造した複数の半導体集積回路 1 とともに、相互関係データを半導体集積回路 1 の使用者（半導体集積回路 1 の製造を委託した者）に譲渡すると良い。半導体集積回路 1 を使用する使用者は、製造者から譲渡された相互関係データに基づいて、複数の半導体集積回路 1 の中から使用目的に合致する半導体集積回路 1 を選択して使用すれば良い。

[0076] （第 1 実施形態の半導体集積回路の製造方法の効果）

（1）以上で説明した第 1 実施形態の半導体集積回路 1 の製造方法は、基板 10 上の複数の領域 11 のそれぞれに半導体集積回路 1 を製造する製造方法において、マスク基板 31 に固定されたマスクパターン 32 を用いて、複数の領域 11 のそれぞれに、半導体集積回路 1 の一部としての電子回路（共通回路 2）を形成すること、可変整形マスクを有する可変整形露光装置を用いて、複数の領域 11 のそれぞれの一部に、それぞれの半導体集積回路 1 に固有の固有情報を表す固有回路 3 を形成すること、を備え、複数の領域 11 のそれぞれに形成される固有回路 3 は互いに異なる。

この構成により、それぞれが固有の固有回路 3 を有する複数の半導体集積回路 1 を安価に製造することができる。

[0077] (2) 共通回路 2 である電子回路は、情報を暗号化または復号化する回路の少なくとも一部（暗号化回路 2 2、復号化回路 2 3）を含み、固有情報は、情報を暗号化または復号化する際に用いる暗号鍵に関する情報であっても良い。

この構成により、複数の半導体集積回路 1 を概ね共通する回路パターンで形成し、固有回路 3 内の一部の回路パターンをそれぞれ変更することにより、他の特定の 1 つまたは複数の半導体集積回路 1 だけとの通信が可能な半導体集積回路 1 を製造することができる。

[0078] (3) 基板 1 0 上の第 1 方向、および前記第 1 方向と交差する第 2 方向に沿って配置される複数の前記領域のそれぞれに電子回路（共通回路 2）を形成し、固有回路 3 の形成は、感光膜 2 6 を形成した基板 1 0 を可変整形露光装置に対して第 1 方向（Y 方向）に沿って相対的に走査させ、走査中に複数の複数の領域 1 1 のうちの第 1 方向（Y 方向）に沿って配置される複数の領域 1 1 に対して露光を行うことを含むものであっても良い。

この構成により、固有回路 3 の形成をより短時間で行うことができ、半導体集積回路 1 の生産性をより高めることができる。

[0079] (4) 固有回路 3 の中にあり、半導体集積回路 1 に固有の固有情報を表す固有パターン（チャンネル部 C h 0、C h 1）の形成は、可変整形露光装置を用いた露光を含む 1 回のリソグラフィ工程により行っても良い。これにより、可変整形露光装置を用いる露光の回数を低減することができ、半導体集積回路 1 の生産性を一層高めることができる。

(5) 電子回路（共通回路 2）は N A N D 型マスク R O M（固有情報記憶回路 2 1）を含み、固有回路 3 は、N A N D 型マスク R O M を構成する複数の M O S トランジスタ T R のそれぞれのチャンネル部 C h 0、C h 1 に注入された不純物イオンの濃度分布を含むものであっても良い。この構成により、可変整形露光装置を用いる露光の回数を低減することができ、半導体集積回路

1の生産性を一層高めることができる。

[0080] (第2実施形態の露光装置)

図13は、第2実施形態の露光装置50の構成を概略的に示す図である。第2実施形態の露光装置50は、可変整形マスク54を備え、基板10上に、形状可変の明暗パターン35を露光する可変整形露光装置である。可変整形マスク54は、上述した空間光変調器の中のいずれか1つで良いが、本実施形態では、可変マスク面DPに複数の微小反射面が配置された反射型の空間光変調器を採用している。露光装置50は、さらに送光光学系52、分岐素子53、結像光学系55、基板保持部56、定盤57、および制御部60等を備えている。

[0081] 基板10は定盤57上に配置されている基板保持部56上に載置される。基板10は基板保持部56により定盤57上をX方向およびY方向に移動可能である。また、基板10は、基板保持部56によりZ方向にも微小距離だけ移動可能であり、さらにX方向およびY方向を回転軸として微小角度だけ回転(チルト)可能である。

[0082] 基板10のX方向およびY方向の位置は、基板保持部56に設けられているスケール板58の位置を介して位置計測部59により計測され、計測信号S3として制御部60に伝達される。制御部60は、計測信号S3に基づいて基板保持部56に位置制御信号S4を送り、基板10が所定のX位置およびY位置に配置されるように制御する。

制御部60は、光源51に対して露光制御信号S2を送り、光源51の発光タイミングおよび発光量を制御する。

[0083] 露光装置50は、基板10および基板保持部56を、投影光学系55に対してXY面内方向に相対的に走査しながら露光を行う走査型の露光装置であっても良い。この場合には、露光装置50は、図11に示した走査経路SP1~SP7に沿った走査露光を行うことにより、基板10の露光に必要な処理時間を短縮しても良い。

[0084] あるいは、基板10および基板保持部56を投影光学系55に対して固定

した状態で露光を行い、露光の終了後に、基板 10 および基板保持部 56 を投影光学系 55 に対して逐次移動させるステップアンドリピート型の露光装置であっても良い。

走査型の露光装置またはステップアンドリピート型の露光装置のいずれであっても、基板 10 上の共通回路 2 の部分に不要な露光を行わないように、制御部 60 は、固有回路 3 を露光するタイミング以外では光源 51 の発光を停止させても良い。

[0085] 光源 51 から発せられる照明光の波長は、一例として、450[nm]以下の波長である。さらに一例として、照明光の波長は193[nm]または、それ以下であっても良い。光源 51 は、露光装置 50 の内部に組み込まれていても良く、露光装置 50 の外部に配置されていても良い。照明光は、光源 51 から光ファイバ等の導光部材を用いて露光装置 50 に導光されても良い。

[0086] 光源 51 から射出される照明光は、送光光学系 52 により整形され、ビームスプリッタ等の分岐素子 53 に入射し、分岐素子 53 の分岐面 53s で反射されて可変整形マスク 54 の可変マスク面 DP に照射される。そして、照明光の一部は、可変マスク面 DP に配置されている複数の微小反射面（不図示）により反射されて、再度分岐素子 53 に入射し、分岐素子 53 の分岐面 53s を透過して、結像光学系 55 に入射する。

[0087] 可変整形マスク 54 は、可変マスク面 DP に配置されている複数の微小反射部材（不図示）のそれぞれの反射面の角度を変更することにより反射光の一部を、結像光学系 55 を透過することができない方向に反射する。または、隣接する複数の微小反射部材の反射面の Z 方向の位置を相互に異ならせることにより光の位相の相殺効果を生じさせ、可変マスク面 DP の所定の部分から結像光学系 55 に向かう反射光を減光させる。これにより、基板 10 の表面には、可変整形マスク 54 により形成された明暗パターン 35 が投影される。

[0088] 制御部 60 は、可変整形マスク 54 に制御信号 S1 を送り、可変マスク面 DP 内の所定の微小反射部材に所定の変位量の変位を与えることにより、基

板 1 0 の表面に形成される明暗パターン 3 5 の形状（明暗分布）を決定する。

制御部 6 0 は、パターン決定部 6 1、および相互関係データ生成部 6 2 を備えていても良い。また、制御部 6 0 は、ネットワーク回線 NW を介して、露光装置 5 0 の外部に設置されている外部サーバ 7 0 と通信を行う。

[0089] パターン決定部 6 1 は、基板 1 0 上に形成する複数の半導体集積回路 1 に対応する複数の領域 1 1 の中の固有回路 3 部分に対して露光する明暗パターン 3 5 の形状（明暗分布）を、上述した図 1 2 に示した如き相互関係データに基づいて決定する。具体的には、例えば外部サーバ 7 0 から受信した相互関係データには、図 1 2 に示した如く、基板 1 0 上のそれぞれの半導体集積回路 1 に対する符号 (INDEX) が割り振られている。パターン決定部 6 1 は、相互関係データに示されている符号に基づき、固有回路 3 に記憶させるべき固有情報（例えば、上述した 1 6 進コードからなる暗号鍵の数値）を決定する。

[0090] さらに、パターン決定部 6 1 は、決定した上記の固有情報に基づいて、その固有情報に対応する回路パターンを基板 1 0 上に露光転写するための明暗パターン 3 5 の形状（明暗分布）を決定する。そして、制御部 6 0 は、パターン決定部 6 1 が決定した明暗パターン 3 5 が基板 1 0 上に投影されるように制御信号 S 1 により可変整形マスク 5 4 を制御する。

[0091] 明暗パターン 3 5 の形状の一例は、上述した図 8 A に示した形状（明暗分布）である。

なお、露光装置 5 0 が、上述した走査型の露光装置である場合には、基板 1 0 上に投影される明暗パターン 3 5 が、基板 1 0 上の走査に同期して X 方向または Y 方向に移動するように、可変整形マスク 5 4 を動的に制御する。

[0092] パターン決定部 6 1 は、複数の固有情報にそれぞれ対応する明暗パターン 3 5 の形状データを記憶する記憶部 6 3 を有しても良い。この場合、パターン決定部 6 1 は、決定した固有情報に対応する 1 つの形状データを記憶部 6 3 から読み出して使用すれば良い。従って、固有情報を決定する度に明暗パ

ターン 3 5 の形状データを生成する場合に比べて、短時間で、明暗パターン 3 5 の形状データを決定することができる。

[0093] また、パターン決定部 6 1 の記憶部 6 3 は、固有情報を所定のビット数（一例として 1 ～ 1 6 ）ごとに分割した分割固有情報にそれぞれ対応する明暗パターン 3 5 の形状データを記憶していてもよい。この場合、パターン決定部 6 1 は、決定した固有情報に対応する複数の形状データを記憶部 6 3 から読み出し、それらの形状データを組み合わせて明暗パターン 3 5 の形状データを得てもよい。

[0094] 記憶部 6 3 に記憶されている形状データは、例えば、ビットマップデータまたは T I F データ等の画像を表すデータであっても良く、G D S II 等の一般的にマスクデータを表すデータであっても良い。

また、記憶部 6 3 に記憶されている形状データは、外部サーバ 7 0 から送信されたものであっても良く、制御部 6 0 が生成したものであっても良い。

[0095] なお、可変整形露光装置としての露光装置 5 0 は、上述した紫外線を含む光を用いる露光装置に限られるものではなく、電子線等の荷電粒子線を用いた露光装置であっても良い。この場合、可変整形マスク 5 4 として、例えば、いわゆるブランキングアパーチャアレイを有する透過型のマスクを用いても良い。

[0096] 第 1 実施形態の半導体集積回路の製造方法で説明したとおり、露光装置 5 0 は、図 1 2 に示した相互関係データを生成する相互関係データ生成部 6 2 を備えていても良い。この場合、露光装置 5 0 は、自己で生成した相互関係データに基づいて、固有回路 3 に記憶させるべき固有情報（例えば、上述した 1 6 進コードからなる暗号鍵の数値）を決定する。

[0097] （第 2 実施形態の露光装置の効果）

（6）第 2 実施形態の露光装置 5 0 は、基板 1 0 を保持する基板保持部 5 6 と、基板 1 0 上に照射する明暗パターン 3 5 の形状を設定する可変整形マスク 5 4 と、基板 1 0 上に形成する複数の半導体集積回路 1 に対応する複数の領域 1 1 のそれぞれに露光する明暗パターン 3 5 の形状を、複数の半導体集

積回路 1 の相互間の関係を示す相互関係データに基づいて決定するパターン決定部 6 1 と、を備えている。

この構成により、それぞれが固有の固有回路 3 を有する複数の半導体集積回路 1 を安価に製造することができる。

[0098] (7) パターン決定部 6 1 は、相互関係データに基づいて、複数の所定領域 1 1 のそれぞれに形成すべき固有情報を決定し、決定した固有情報に基づいて明暗パターン 3 5 の形状を決定しても良い。

この構成により、複数の半導体集積回路 1 のそれぞれに対して、別々の固有情報が記憶された固有回路 3 をフレキシブルに形成することができる。

[0099] (8) パターン決定部 6 1 は、複数の固有情報にそれぞれ対応する明暗パターン 3 5 の形状データを記憶する記憶部 6 3 を有し、決定した固有情報に対応する形状データを記憶部 6 3 から読み出しても良い。これにより、より短時間で、明暗パターン 3 5 の形状データを決定することができる。

[0100] (変形例の露光装置)

以上で説明した第 2 実施形態の露光装置 5 0 は、複数の領域 1 1 の中の固有回路 3 のそれぞれに露光する明暗パターン 3 5 の形状を、パターン決定部 6 1 が、複数の半導体集積回路 1 の相互間の関係を示す相互関係データに基づいて決定するものとした。

[0101] 変形例の露光装置では、パターン決定部 6 1 は、固有回路 3 に記憶させるべき複数ビットのデジタル情報からなる固有情報（例えば、上述した 1 6 進コードからなる暗号鍵の数値）に基づいて、固有回路 3 のそれぞれに露光する明暗パターン 3 5 の形状を決定する。

ただし、変形例の露光装置においても、その構成は、上述した第 2 実施形態の露光装置 5 0 と同様であるので、変形例の露光装置についての詳細な説明は省略する。

固有回路 3 に記憶させるべき固有情報は、ネットワーク回線 NW を介して外部サーバ 7 0 から受信しても良い。

[0102] なお、変形例の露光装置においても、パターン決定部 6 1 は、複数の固有

情報にそれぞれ対応する明暗パターン 35 の形状データを記憶する記憶部 63 を有していても良い。そして、パターン決定部 61 は、所定の固有情報に対応する 1 つの形状データを記憶部 63 から読み出して使用すれば良い。

[0103] (変形例の露光装置の効果)

(9) 変形例の露光装置 50 は、基板 10 を保持する基板保持部と 56、基板 10 上に照射する明暗パターン 35 の形状を設定する可変整形マスク 54 と、基板 10 上に形成する複数の半導体集積回路 1 に対応する複数の所定領域 11 のそれぞれに露光する明暗パターン 35 の形状を、複数の半導体集積回路 1 のそれぞれに形成すべき、複数ビットのデジタル情報からなる固有情報に基づいて決定するパターン決定部 61 と、を備えている。

この構成により、それぞれが固有の固有回路 3 を有する複数の半導体集積回路 1 を安価に製造することができる。

[0104] (10) パターン決定部 61 は、複数の固有情報にそれぞれ対応する明暗パターン 35 の形状データを記憶する記憶部 63 を有しても良い。これにより、より短時間で、明暗パターン 35 の形状データを決定することができる。

[0105] (第 3 実施形態の半導体デバイスの製造方法)

図 14A、図 14B および図 15 を参照して、第 3 実施形態の半導体デバイスの製造方法について説明する。

第 3 実施形態の半導体デバイスの製造方法は、第 1 実施形態の半導体集積回路の製造方法により製造された半導体集積回路 1 を、それぞれパッケージングして複数の半導体デバイス DD1～DD4 とするものである。そしてさらに、上述した図 12 に示した相互関係データに基づいて、パッケージングした複数の半導体デバイス DD1～DD4 と、それぞれに含まれる半導体集積回路 1 の固有回路 3 が表す固有情報との対応関係を示す第 2 の相互関係データを生成するものである。

[0106] 図 14A は、第 1 実施形態の半導体集積回路の製造方法により製造された半導体集積回路 1 が形成された基板 10 を、それぞれの半導体集積回路 1 毎に切断する工程を説明するである。図 14A は、コラム C1 に配置されてい

る5個の半導体集積回路1が、基板10から切断（個片化）された状態を示している。以下では、個片化された半導体集積回路1を、それぞれ半導体チップD01～D05とも呼ぶ。

[0107] そして、図14Bに示すように、個片化した半導体チップD01～D04のそれぞれを、パッケージング部材P01～P04でパッケージングして、半導体デバイスDD1～DD4を完成させる。半導体チップD01～D04のパッケージング方法は、どのような方法を用いても良い。

[0108] 上述した第1実施形態の半導体集積回路の製造方法で説明したとおり、基板10の半導体集積回路1には、基板の基板番号Wと、基板10上でのY方向の配列位置（コラム）Cと、X方向の配列位置（ロウ）Rとによる管理番号IC（W，C，R）が付与されている。そして、この管理番号IC（W，C，R）で規定される各半導体集積回路1の特徴は、図12に示した相互関係データ（INTERRELATIONSHIP DATA）により規定されている。

[0109] しかしながら、半導体集積回路1を個片化すると、もはやこの相互関係データによる個片化された半導体集積回路1の管理は困難である。そこで、相互関係データに基づいて、パッケージングした複数の半導体デバイスDD1～DD4と、複数の半導体デバイスDD1～DD4に含まれる半導体集積回路1の固有回路3が表す固有情報との対応関係を示す第2の相互関係データを生成する。

[0110] 図15は、この第2の相互関係データ（2ND INTERRELATIONSHIP DATA）の一例を表す図である。第2の相互関係データは、複数の半導体デバイスDD1～DD4のデバイス番号（DEVICE NO.）と、そのデバイス番号の半導体デバイスDD1～DD4に含まれる半導体集積回路1の固有回路3が表す固有情報に対応する符号（INDEX）との対応関係を示すものである。

[0111] 図15の左端に示した管理番号（IC NO.）は、図12に示した相互関係データにおいて基板10上のそれぞれの半導体集積回路1に割り振られた管理番号である。図15に示した例のように、第2の相互関係データは、図12に示した相互関係データの中の半導体集積回路1の管理番号（IC NO.）

を、その半導体集積回路 1 を含む半導体デバイス D D 1 ～ D D 4 のデバイス番号 D 0 0 0 1、D 0 0 0 2 等に置き換えたものであっても良い。

[0112] 第 2 の相互関係データにおける符号 (INDEX) は、図 1 2 に示した相互関係データにおける符号と同一であっても良い。または、第 2 の相互関係データにおける符号は、図 1 2 に示した相互関係データにおける符号と同様の意味を表すが異なる符号であっても良い。例えば、相互関係データにおける符号が "Master1" であるとき、第 2 相互関係データにおける符号は "M1" であっても良い。

[0113] 半導体集積回路 1 を半導体デバイス D D 1 ～ D D 4 としてパッケージングする際に、パッケージング部材 P 0 1 ～ P 0 4 の表面、または半導体集積回路 1 のうちパッケージング部材 P 0 1 ～ P 0 4 に覆われていない面に、デバイス番号 D 0 0 0 1、D 0 0 0 2 等を刻印しても良い。

[0114] 半導体デバイス D D 1 ～ D D 4 の製造者は、半導体デバイス D D 1 ～ D D 4 を譲渡する際に、第 2 の相互関係データを半導体デバイス D D 1 ～ D D 4 とともに購入者に譲渡する。半導体デバイス D D 1 ～ D D 4 を使用する使用者は、製造者から譲渡された第 2 の相互関係データに基づいて、複数の半導体デバイス D D 1 ～ D D 4 の中から使用目的に合致する半導体デバイス D D 1 ～ D D 4 を選択して使用すれば良い。従って、複数の半導体デバイス D D 1 ～ D D 4 の管理を容易に行うことができる。

[0115] (第 3 実施形態の半導体デバイスの製造方法の効果)

(1 1) 以上で説明した第 3 実施形態の半導体デバイス D D 1 ～ D D 4 の製造方法は、上述した第 1 実施形態の半導体集積回路の製造方法で製造された複数の半導体集積回路 1 を、それぞれパッケージングして複数の半導体デバイス D D 1 ～ D D 4 とすること、相互関係データに基づいて、パッケージングした複数の半導体デバイス D D 1 ～ D D 4 と、複数の半導体デバイス D D 1 ～ D D 4 に含まれる半導体集積回路 1 の固有回路 3 が表す固有情報との対応関係を示す第 2 の相互関係データを生成すること、を備えている。

この構成により、それぞれが固有の固有回路 3 を有する半導体集積回路 1

を備えた複数の半導体デバイスDD1～DD4を、安価に製造することができるとともに、複数の半導体デバイスDD1～DD4の管理を容易に行うことができる。

[0116] 上述では、種々の実施形態および変形例を説明したが、本発明はこれらの内容に限定されるものではない。また、各実施形態および変形例は、それぞれ単独で適用しても良いし、組み合わせて用いても良い。本発明の技術的思想の範囲内で考えられるその他の態様も本発明の範囲内に含まれる。

符号の説明

[0117] DD1～DD4：半導体デバイス、1：半導体集積回路、2：共通回路、3：固有回路、10：基板、11：領域、21：固有情報記憶回路、22：暗号化回路、23：復号化回路、24：通信回路、25：部分領域、26、27：感光膜、TR：MOSトランジスタ、Ch0、Ch1：チャネル部、SD：ソース／ドレイン領域、30：固定マスク、31：マスク基板、32：マスクパターン、35：明暗パターン、SL：選択線、50：可変整形露光装置（露光装置）、54：可変整形マスク、56：基板保持部、60：制御部、61：パターン決定部、62：相互関係データ生成部、63：記憶部、70：外部サーバ

請求の範囲

- [請求項1] 基板上の複数の領域のそれぞれに半導体集積回路を製造する製造方法において、
- マスク基板に固定されたマスクパターンを用いて、前記複数の領域のそれぞれに、前記半導体集積回路の一部としての電子回路を形成すること、
- 可変整形マスクを有する可変整形露光装置を用いて、前記複数の領域のそれぞれの一部に、それぞれの前記半導体集積回路に固有の固有情報を表す固有回路を形成すること、を備え、
- 前記複数の領域のそれぞれに形成される前記固有回路は互いに異なる、半導体集積回路の製造方法。
- [請求項2] 請求項1に記載の半導体集積回路の製造方法において、
- 前記電子回路は、情報を暗号化または復号化する回路の少なくとも一部を含み、
- 前記固有情報は、前記情報を暗号化または復号化する際に用いる暗号鍵に関する情報である、半導体集積回路の製造方法。
- [請求項3] 請求項1または請求項2に記載の半導体集積回路の製造方法において、
- 前記基板上の第1方向、および前記第1方向と交差する第2方向に沿って配置される複数の前記領域のそれぞれに、前記電子回路を形成し、
- 前記固有回路の形成は、感光膜を形成した前記基板を前記可変整形露光装置に対して前記第1方向に沿って相対的に走査させ、前記走査中に複数の前記複数の領域のうちの前記第1方向に沿って配置される複数の領域に対して露光を行うことを含む、半導体集積回路の製造方法。
- [請求項4] 請求項1から請求項3までのいずれか一項に記載の半導体集積回路の製造方法において、

前記固有回路の中にあり、前記半導体集積回路に固有の固有情報を表す固有パターンの形成は、前記可変整形露光装置を用いた露光を含む1回のリソグラフィ工程により行う、半導体集積回路の製造方法。

[請求項5] 請求項1から請求項4までのいずれか一項に記載の半導体集積回路の製造方法において、

前記電子回路はNAND型マスクROMを含み、

前記固有回路は、前記NAND型マスクROMを構成する複数のMOSトランジスタのそれぞれのチャネル部に注入された不純物イオンの濃度分布を含む、半導体集積回路の製造方法。

[請求項6] 請求項1から請求項5までのいずれか一項に記載の半導体集積回路の製造方法において、

製造する複数の前記半導体集積回路のうち少なくとも一つと、複数の前記半導体集積回路のうち少なくとも一つとの相互間の関係を示す相互関係データを生成し、

前記相互関係データに基づいて、複数の前記半導体集積回路のそれぞれの前記固有回路に形成する固有情報を表す固有パターンの形状を決定する、半導体集積回路の製造方法。

[請求項7] 請求項6に記載の半導体集積回路の製造方法において、

前記固有情報は、前記可変整形露光装置により生成される、半導体集積回路の製造方法。

[請求項8] 請求項7に記載の半導体集積回路の製造方法において、

前記相互関係データは、前記可変整形露光装置により生成される、半導体集積回路の製造方法。

[請求項9] 請求項6から請求項8までのいずれか一項に記載の半導体集積回路の製造方法で製造された複数の半導体集積回路を、それぞれパッケージングして複数の半導体デバイスとすること、

前記相互関係データに基づいて、パッケージングした複数の前記半導体デバイスと、複数の前記半導体デバイスに含まれる前記半導体集

積回路の前記固有回路が表す前記固有情報との対応関係を示す第2の相互関係データを生成すること、を備える、半導体デバイスの製造方法。

- [請求項10] 基板を保持する基板保持部と、
 前記基板上に照射する明暗パターンの形状を設定する可変整形マスクと、
 前記基板上に形成する複数の半導体集積回路に対応する複数の領域のそれぞれに露光する前記明暗パターンの形状を、複数の前記半導体集積回路の相互間の関係を示す相互関係データに基づいて決定するパターン決定部と、を備える、露光装置。
- [請求項11] 請求項10に記載の露光装置において、
 前記パターン決定部は、前記相互関係データに基づいて、複数の所定領域のそれぞれに形成すべき固有情報を決定し、決定した前記固有情報に基づいて前記明暗パターンの形状を決定する、露光装置。
- [請求項12] 請求項11に記載の露光装置において、
 前記パターン決定部は、前記固有情報と前記相互関係データとの対応関係を決定する、露光装置。
- [請求項13] 請求項11または12に記載の露光装置において、
 前記パターン決定部は、前記固有情報を外部に出力しない、露光装置。
- [請求項14] 請求項11から請求項13までのいずれか一項に記載の露光装置において、
 前記パターン決定部は、
 複数の前記固有情報にそれぞれ対応する前記明暗パターンの形状データを記憶する記憶部を有し、
 決定した前記固有情報に対応する形状データを前記記憶部から読み出す、露光装置。
- [請求項15] 請求項10から請求項14までのいずれか一項に記載の露光装置に

において、

前記相互関係データを生成する相互関係データ生成部をさらに備える、露光装置。

[請求項16]

基板を保持する基板保持部と、

前記基板上に照射する明暗パターンの形状を設定する可変整形マスクと、

前記基板上に形成する複数の半導体集積回路に対応する複数の所定領域のそれぞれに露光する前記明暗パターンの形状を、複数の前記半導体集積回路のそれぞれに形成すべき、複数ビットのデジタル情報からなる固有情報に基づいて決定するパターン決定部と、を備える、露光装置。

[請求項17]

請求項16に記載の露光装置において、

前記パターン決定部は、

複数の前記固有情報にそれぞれ対応する前記明暗パターンの形状データを記憶する記憶部を有する、露光装置。

[請求項18]

請求項16または17に記載の露光装置において、

前記パターン決定部は、前記固有情報を生成する、露光装置。

[請求項19]

請求項18に記載の露光装置において、

前記パターン決定部は、前記固有情報を外部に出力しない、露光装置。

[請求項20]

請求項10から請求項19までのいずれか一項に記載の露光装置において、

前記基板保持部は、前記基板の表面に沿った第1方向、および前記第1方向と交差する第2方向に沿って移動し、

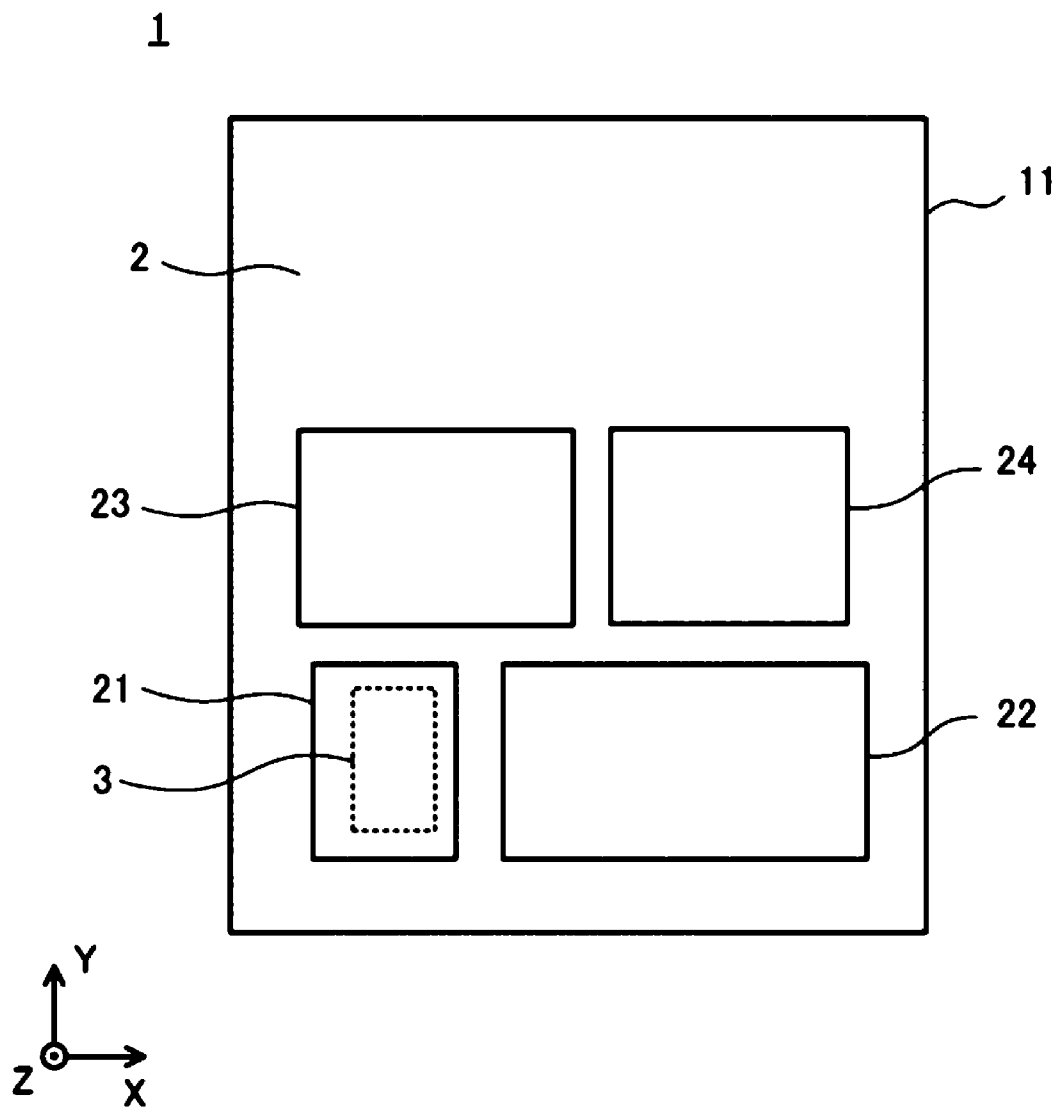
前記第1方向に沿って離散的に並んだ、前記基板上の前記複数の所定領域内の一部のそれぞれに、前記基板保持部を前記第1方向に沿って移動させつつ前記明暗パターンを照射する、露光装置。

[請求項21]

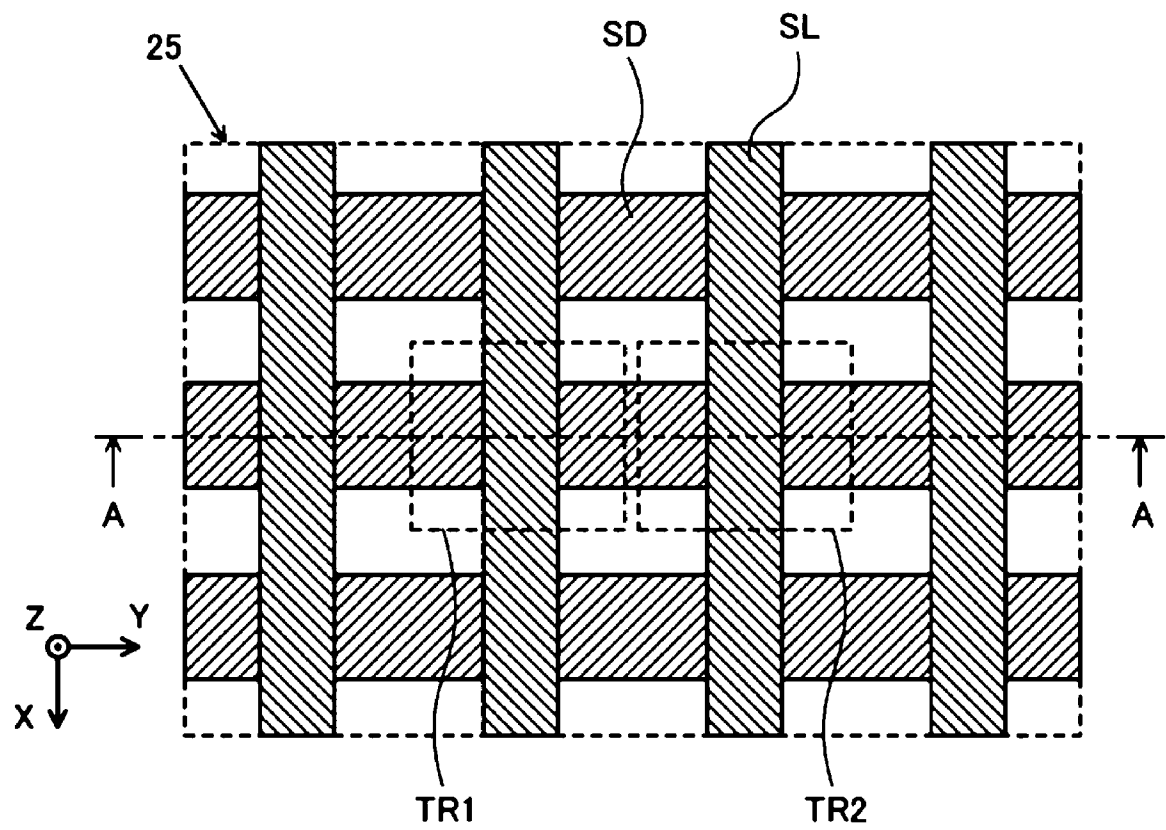
請求項20に記載の露光装置において、

前記複数の前記所定領域内の一部のそれぞれは、前記第 2 方向に沿って離散している、露光装置。

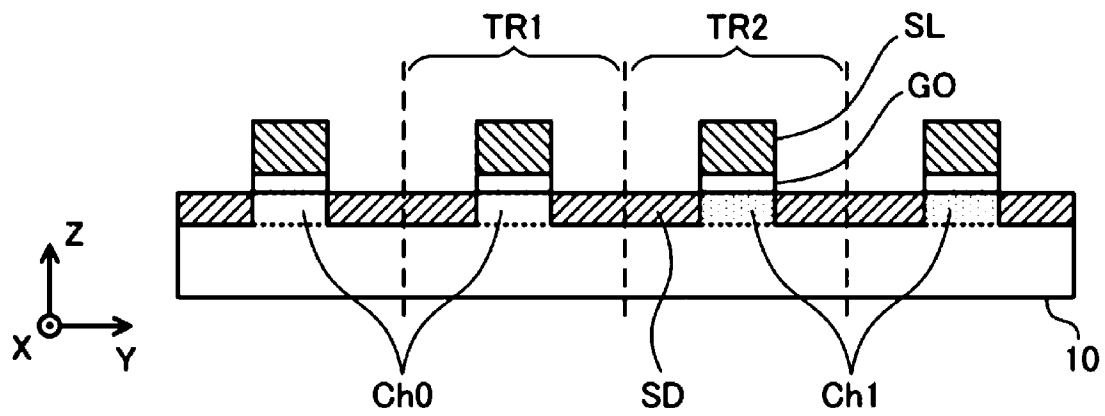
[図2]



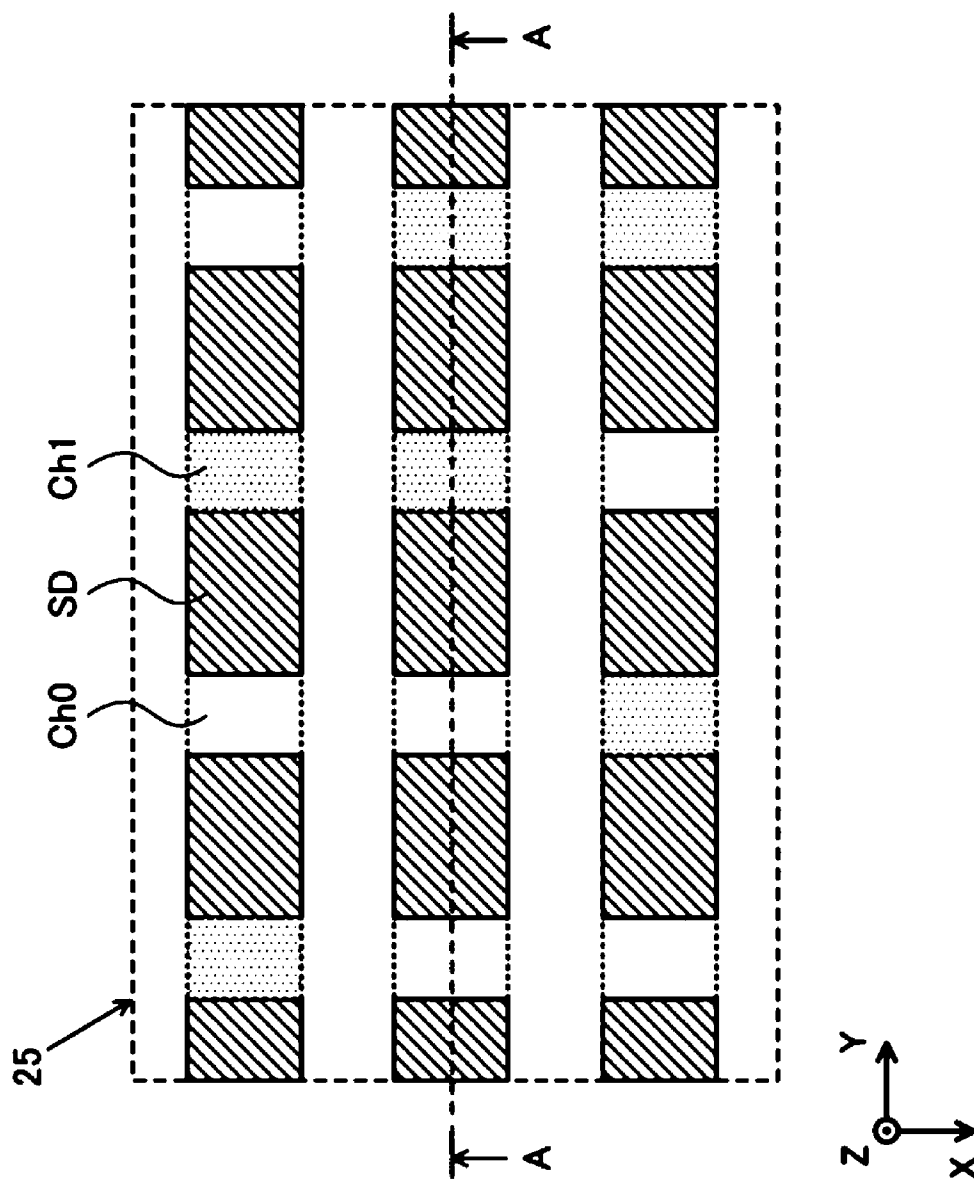
[図4A]



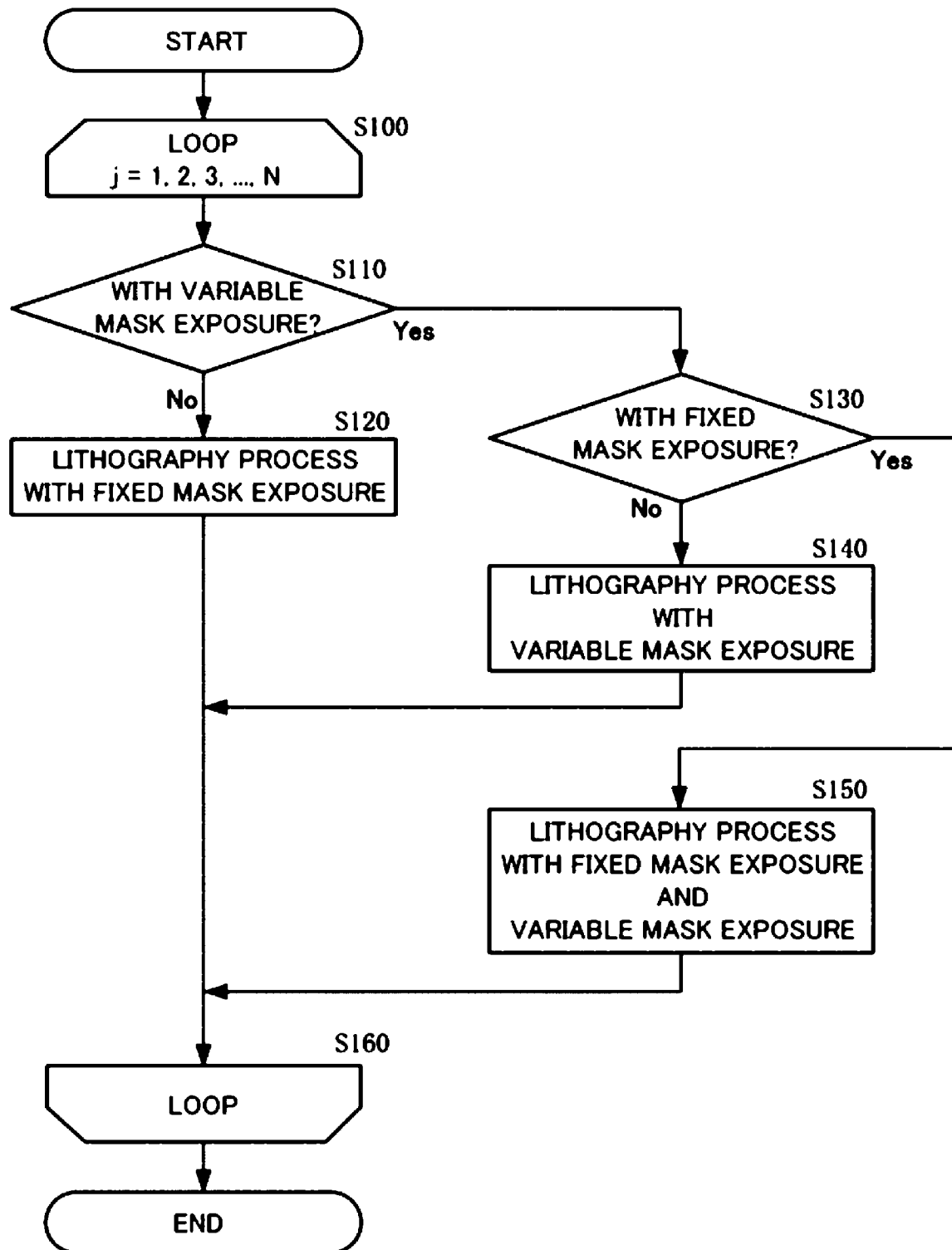
[図4B]



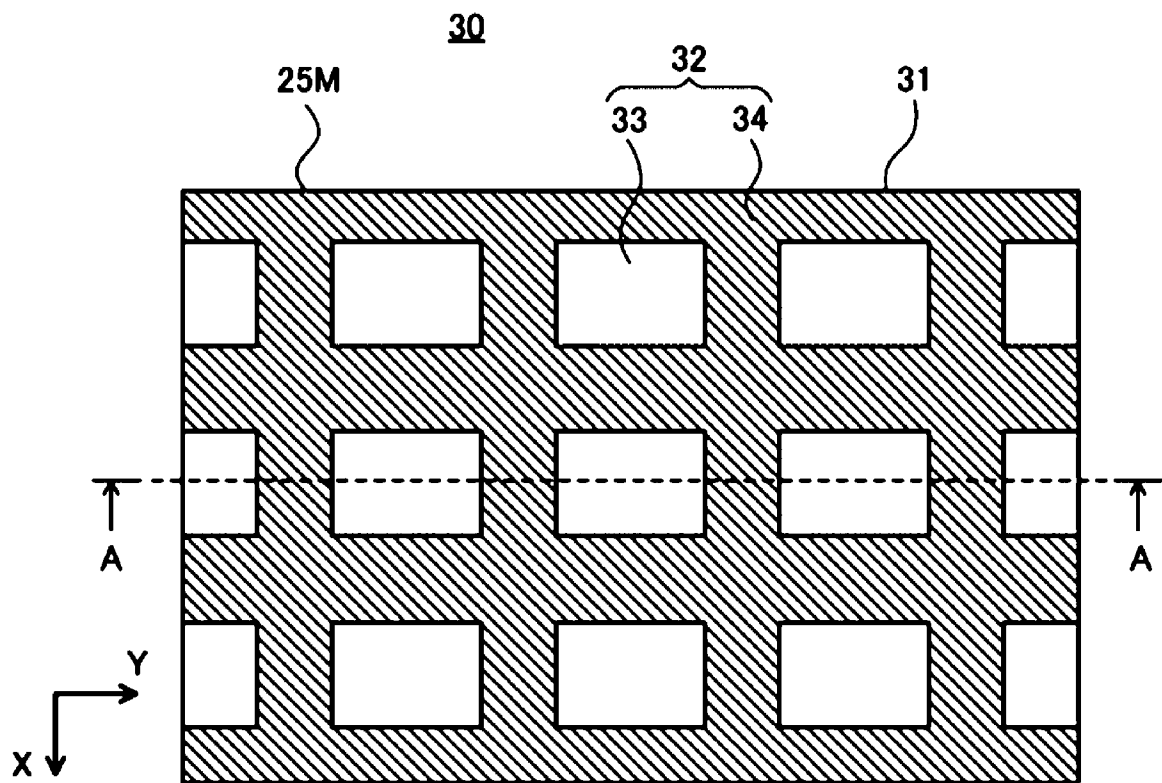
[図5]



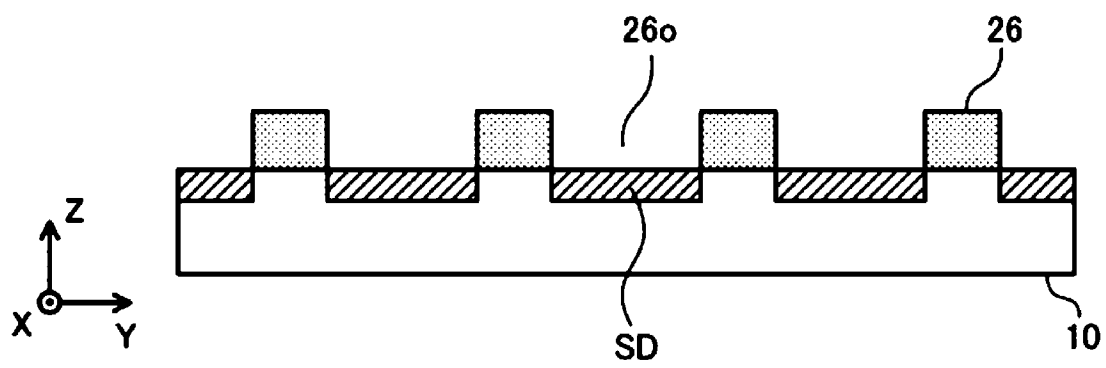
[図6]



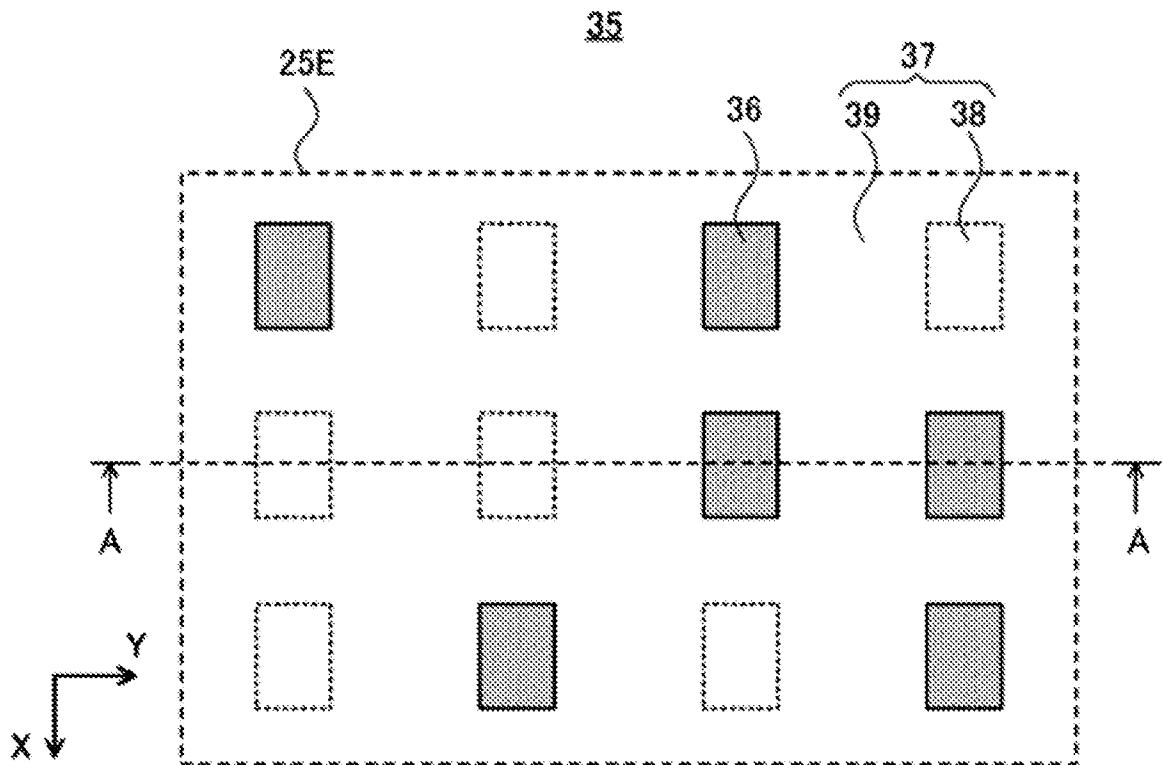
[図7A]



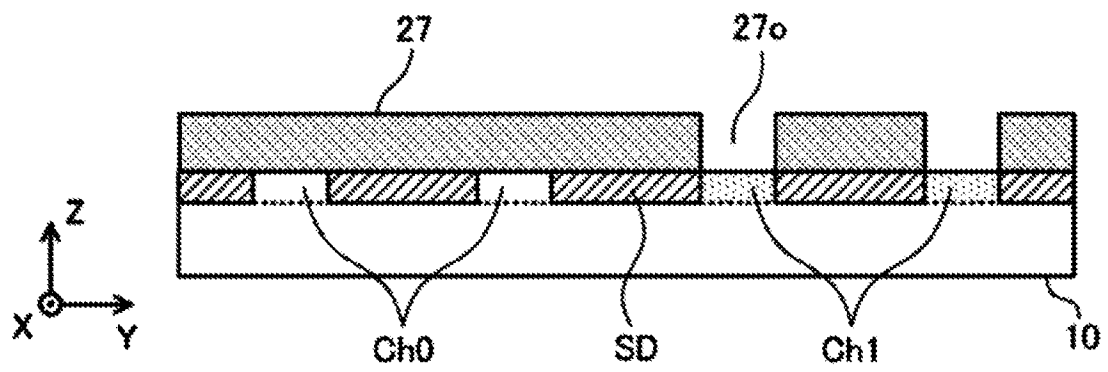
[図7B]



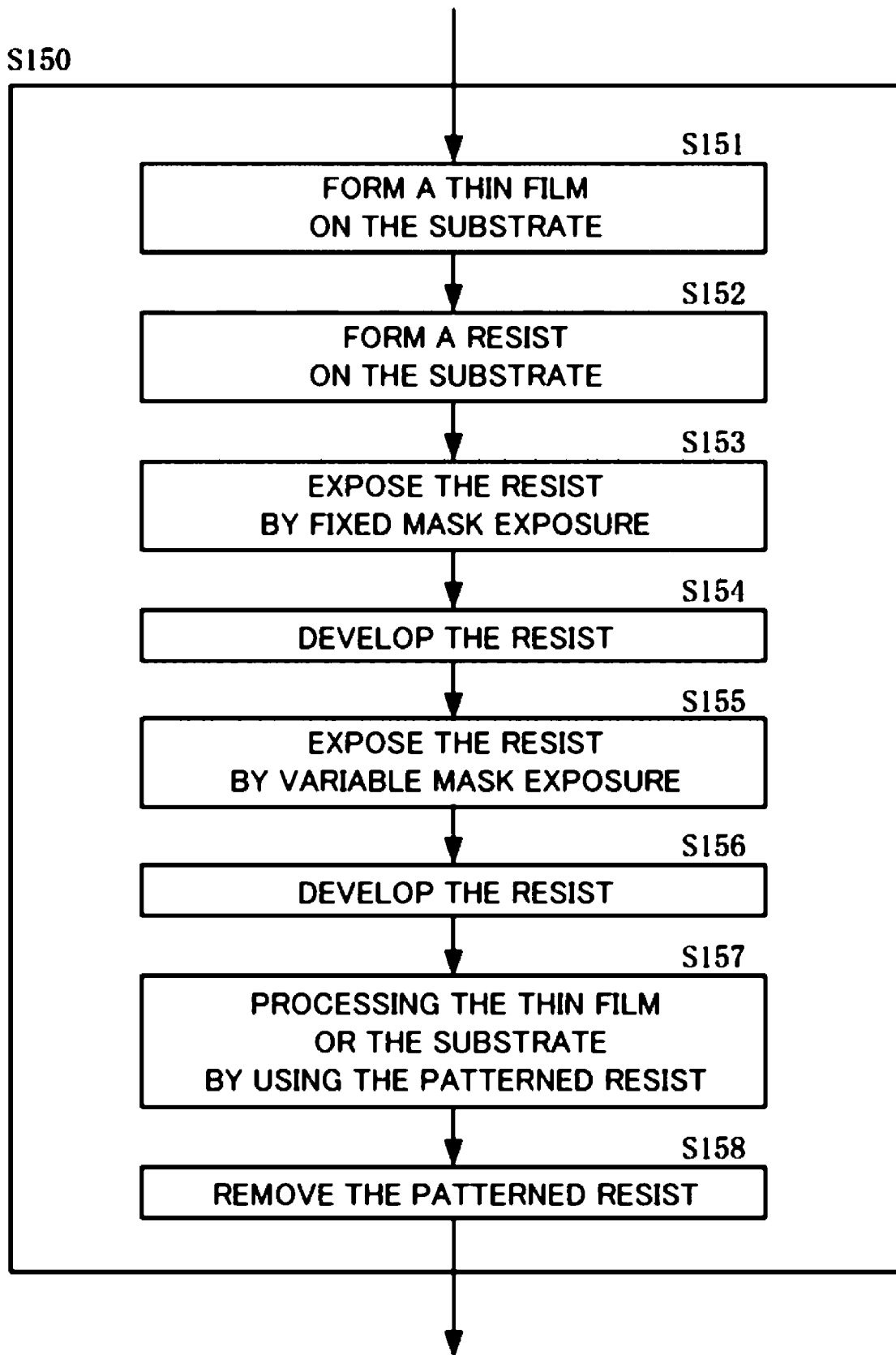
[図8A]



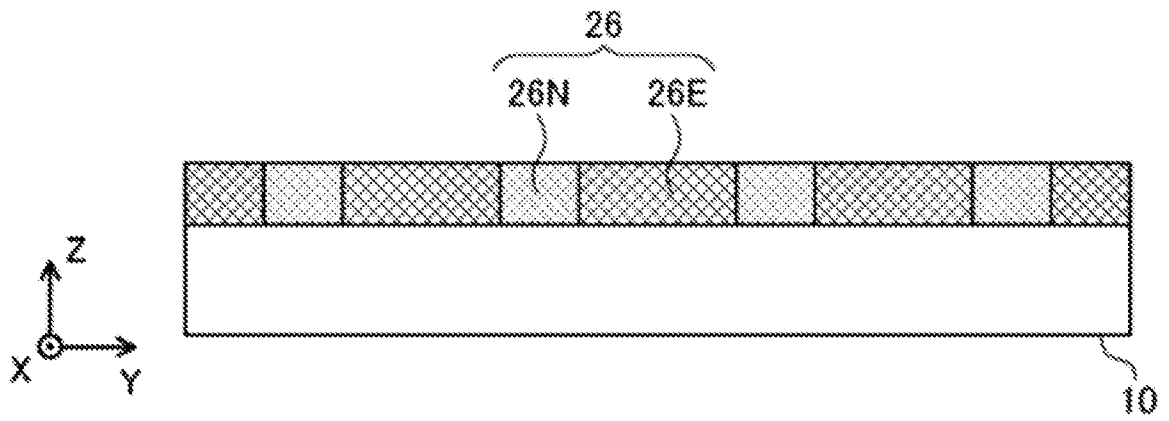
[図8B]



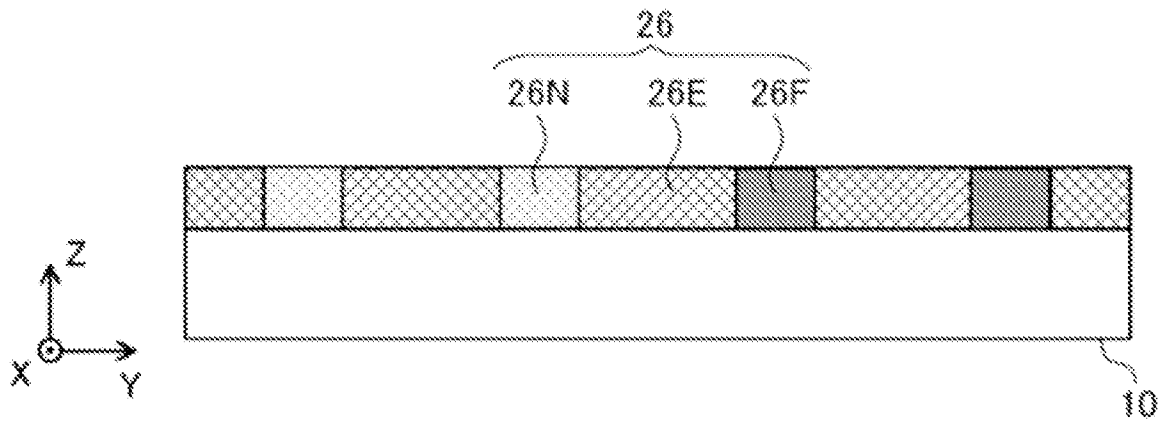
[図9]



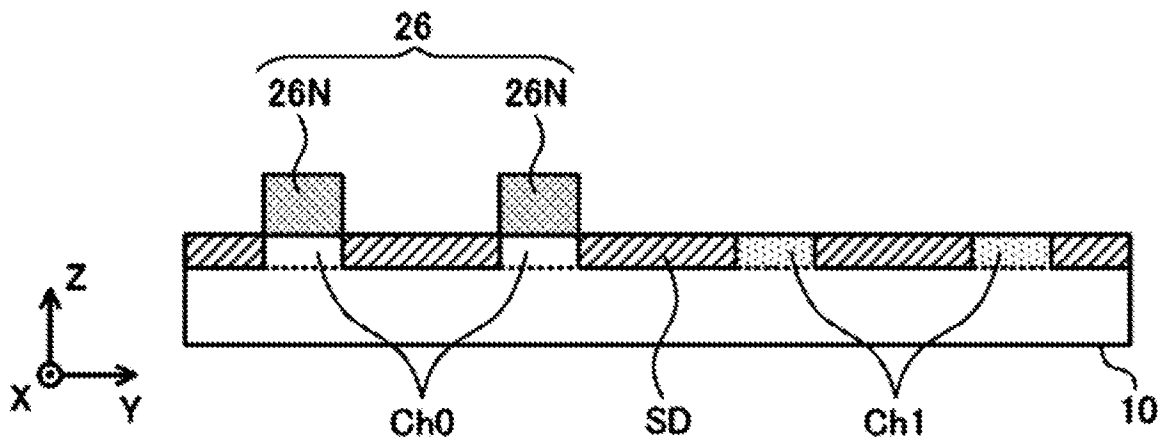
[図10A]



[図10B]



[図10C]

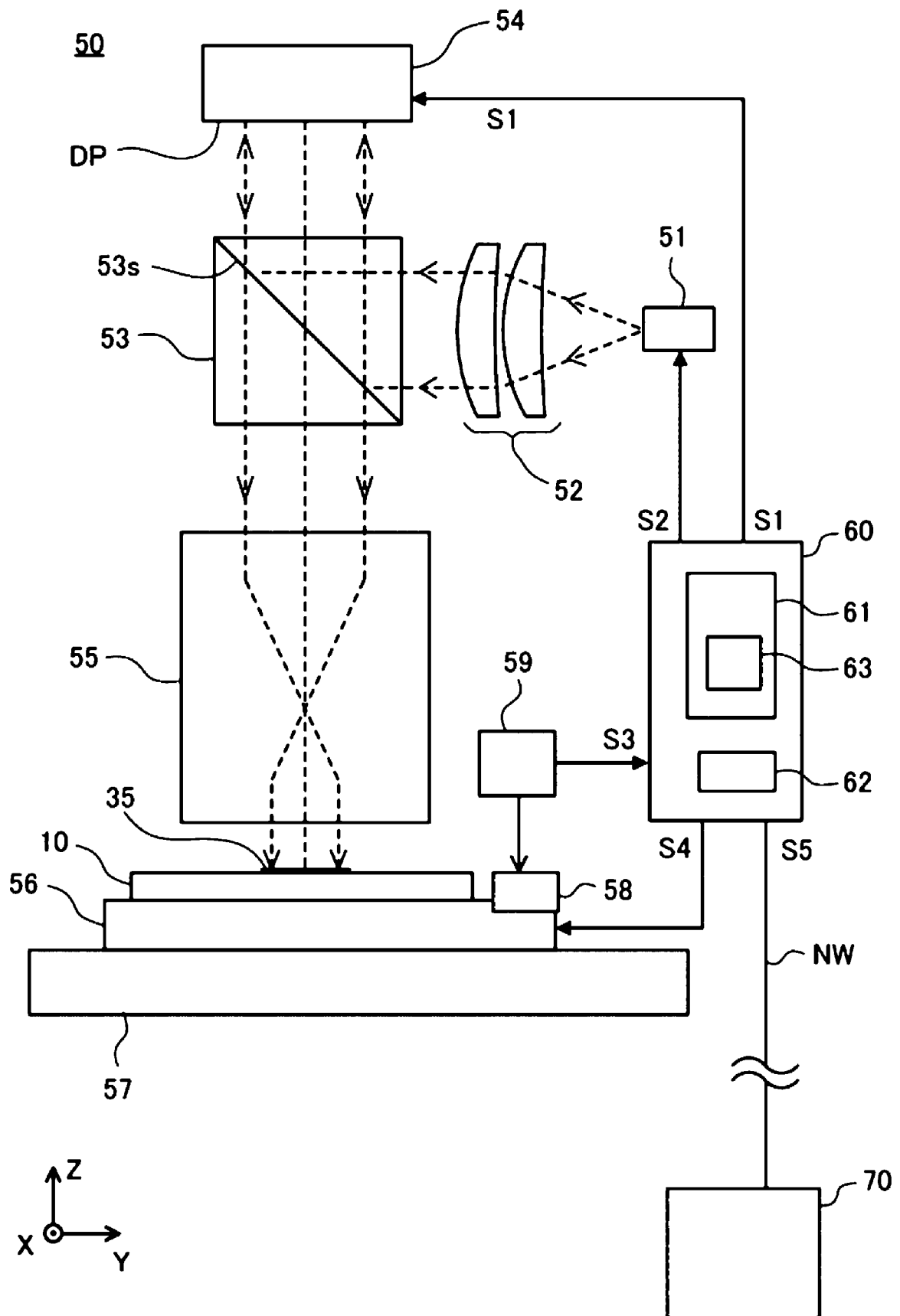


[図12]

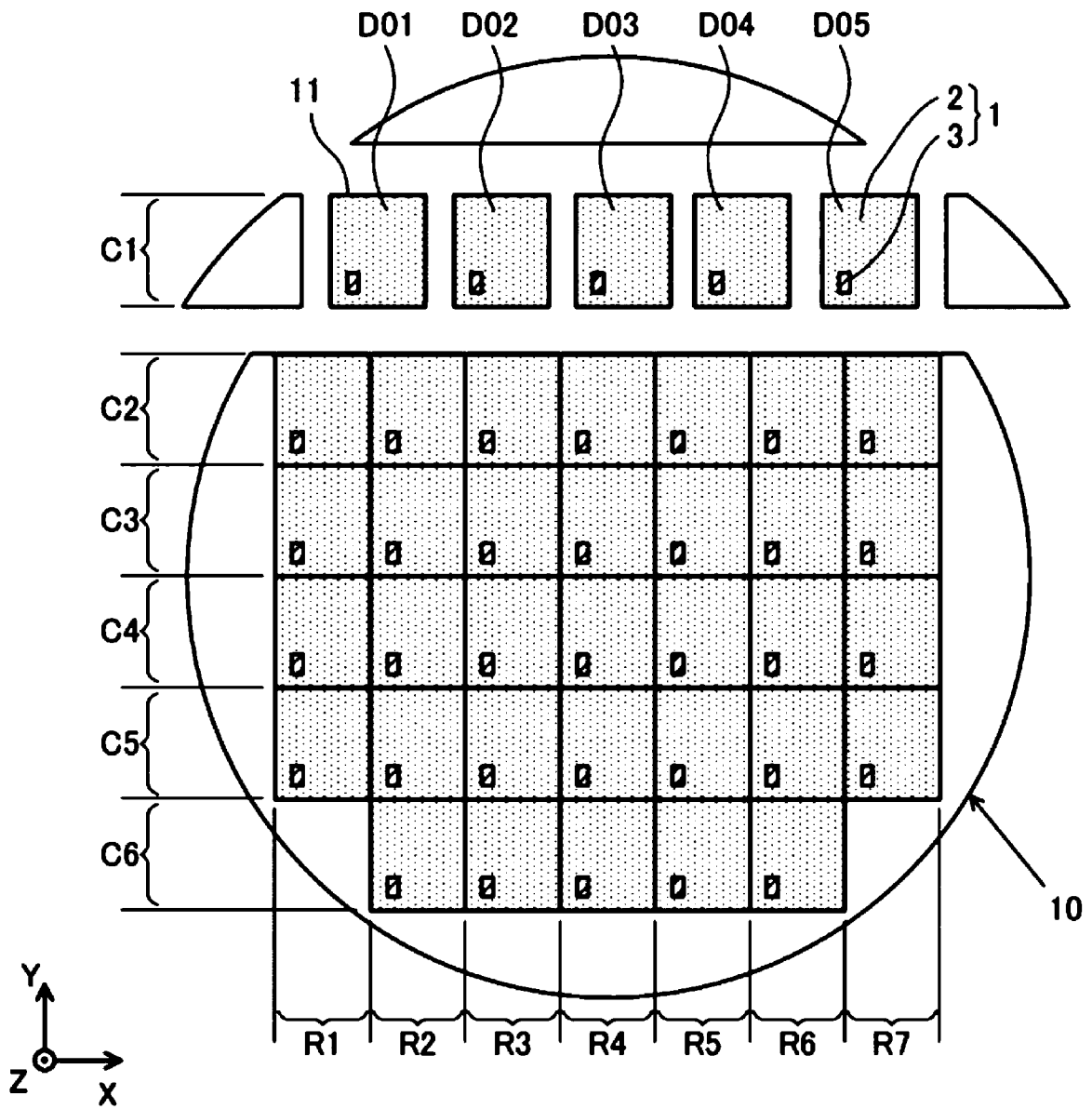
INTERRELATIONSHIP DATA

IC NO. IC(W, C, R)	INDEX		CRYPTOGRAPHIC KEY
IC(1, 1, 2)	Master1	↔	0x34F23E1A
IC(1, 1, 3)	Slave1-1	↔	0xAB56BD23
IC(1, 1, 4)	Slave1-2	↔	0x234CE8F5
⋮	⋮		⋮
IC(1, 2, 4)	Slave1-8	↔	0xE8BAC753
IC(1, 2, 5)	Master2	↔	0x7EA843BC
IC(1, 2, 6)	Slave2	↔	0x59C6AF32
IC(1, 2, 6)	Slave2	↔	0x59C6AF32
⋮	⋮		⋮
IC(1, 4, 4)	Group1	↔	0xBA5CFE4D
IC(1, 4, 5)	Group1	↔	0xBA5CFE4D
IC(1, 4, 6)	Group1	↔	0xBA5CFE4D
⋮	⋮		⋮
IC(2, 2, 7)	Group2	↔	0xC4A25D3B
IC(2, 3, 1)	Group2	↔	0xC4A25D3B
IC(2, 3, 2)	Group2	↔	0xC4A25D3B
⋮	⋮		⋮

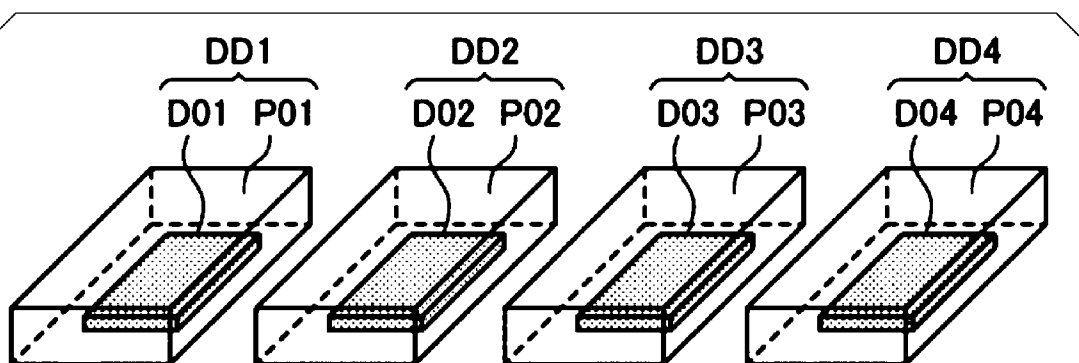
[図13]



[図14A]



[図14B]



[図15]

2ND INTERRELATIONSHIP DATA																																						
IC NO. IC(W, C, R)		<table><tr><th>DEVICE NO.</th><th>INDEX</th></tr><tr><td>D0001</td><td>Master1</td></tr><tr><td>D0002</td><td>Slave1-1</td></tr><tr><td>D0003</td><td>Slave1-2</td></tr><tr><td>⋮</td><td>⋮</td></tr><tr><td>D0009</td><td>Slave1-8</td></tr><tr><td>D0010</td><td>Master2</td></tr><tr><td>D0011</td><td>Slave2</td></tr><tr><td>D0012</td><td>Slave2</td></tr><tr><td>⋮</td><td>⋮</td></tr><tr><td>D0033</td><td>Group1</td></tr><tr><td>D0034</td><td>Group1</td></tr><tr><td>D0035</td><td>Group1</td></tr><tr><td>⋮</td><td>⋮</td></tr><tr><td>D0072</td><td>Group2</td></tr><tr><td>D0073</td><td>Group2</td></tr><tr><td>D0074</td><td>Group2</td></tr><tr><td>⋮</td><td>⋮</td></tr></table>	DEVICE NO.	INDEX	D0001	Master1	D0002	Slave1-1	D0003	Slave1-2	⋮	⋮	D0009	Slave1-8	D0010	Master2	D0011	Slave2	D0012	Slave2	⋮	⋮	D0033	Group1	D0034	Group1	D0035	Group1	⋮	⋮	D0072	Group2	D0073	Group2	D0074	Group2	⋮	⋮
DEVICE NO.	INDEX																																					
D0001	Master1																																					
D0002	Slave1-1																																					
D0003	Slave1-2																																					
⋮	⋮																																					
D0009	Slave1-8																																					
D0010	Master2																																					
D0011	Slave2																																					
D0012	Slave2																																					
⋮	⋮																																					
D0033	Group1																																					
D0034	Group1																																					
D0035	Group1																																					
⋮	⋮																																					
D0072	Group2																																					
D0073	Group2																																					
D0074	Group2																																					
⋮	⋮																																					
IC(1, 1, 2)	↔	D0001																																				
IC(1, 1, 3)	↔	D0002																																				
IC(1, 1, 4)	↔	D0003																																				
⋮		⋮																																				
IC(1, 2, 4)	↔	D0009																																				
IC(1, 2, 5)	↔	D0010																																				
IC(1, 2, 6)	↔	D0011																																				
IC(1, 2, 6)	↔	D0012																																				
⋮		⋮																																				
IC(1, 4, 4)	↔	D0033																																				
IC(1, 4, 5)	↔	D0034																																				
IC(1, 4, 6)	↔	D0035																																				
⋮		⋮																																				
IC(2, 2, 7)	↔	D0072																																				
IC(2, 3, 1)	↔	D0073																																				
IC(2, 3, 2)	↔	D0074																																				
⋮		⋮																																				

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/047074

A. CLASSIFICATION OF SUBJECT MATTER

G03F 7/20(2006.01)i; **H01L 21/822**(2006.01)i; **H01L 27/04**(2006.01)i; **H01L 21/8234**(2006.01)i; **H01L 27/088**(2006.01)i; **H01L 27/10**(2006.01)i

FI: G03F7/20 521; G03F7/20 501; H01L27/088 H; H01L27/088 B; H01L27/04 A; H01L27/04 U; H01L27/10 431

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G03F7/20; H01L21/822; H01L27/04; H01L21/8234; H01L27/088; H01L27/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2022
Registered utility model specifications of Japan 1996-2022
Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2018-41951 A (MAPPER LITHOGRAPHY IP BV) 15 March 2018 (2018-03-15) claim 1, paragraphs [0030], [0042], [0045], [0139]-[0151], fig. 1, 4-11	1-8
Y		9
Y	JP 2006-190840 A (MATSUSHITA ELECTRIC IND. CO., LTD.) 20 July 2006 (2006-07-20) claim 1, paragraphs [0037]-[0046], fig. 1, 2	9
X	JP 2008-242148 A (FUJIFILM CORP.) 09 October 2008 (2008-10-09) claim 1, paragraphs [0038], [0061]-[0073], fig. 1-9	10-21
A	JP 2003-515930 A (MICRONIC LASER SYSTEMS AB) 07 May 2003 (2003-05-07) paragraphs [0011]-[0042], fig. 1-6	1-21
A	JP 7-283373 A (MOTOROLA INC.) 27 October 1995 (1995-10-27) paragraphs [0017]-[0023], fig. 1	1-21
A	JP 7-235617 A (HITACHI, LTD.) 05 September 1995 (1995-09-05) paragraphs [0011]-[0049], fig. 1-15	1-21

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

16 February 2022

Date of mailing of the international search report

01 March 2022

Name and mailing address of the ISA/JP

**Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan**

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/047074

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2018-41951	A	15 March 2018	US 2018/0068047 A1 paragraphs [0064], [0066], [0149], [0150], fig. 1, 4-11 WO 2018/047981 A1 TW 201813042 A KR 10-2019-0052041 A CN 109923479 A	
JP	2006-190840	A	20 July 2006	US 2006/0187719 A1 claim 1, paragraphs [0061]-[0070], fig. 1, 2 TW 200625586 A	
JP	2008-242148	A	09 October 2008	(Family: none)	
JP	2003-515930	A	07 May 2003	US 6813058 B1 column 2, line 48 to column 12, line 3, fig. 1-6 WO 2001/039269 A1 SE 522531 C AU 1909201 A CN 1399796 A KR 10-0726054 B1	
JP	7-283373	A	27 October 1995	GB 2288250 A page 4, line 4 to page 5, line 5, fig. 1	
JP	7-235617	A	05 September 1995	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） G03F 7/20(2006.01)i; H01L 21/822(2006.01)i; H01L 27/04(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/088(2006.01)i; H01L 27/10(2006.01)i FI: G03F7/20 521; G03F7/20 501; H01L27/088 H; H01L27/088 B; H01L27/04 A; H01L27/04 U; H01L27/10 431		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） G03F7/20; H01L21/822; H01L27/04; H01L21/8234; H01L27/088; H01L27/10 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2022年 日本国実用新案登録公報 1996-2022年 日本国登録実用新案公報 1994-2022年 国際調査で利用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2018-41951 A (マッパー・リソグラフィー・アイピー・ビー・ブイ.) 15.03.2018 (2018-03-15) [請求項1], 段落[0030], [0042], [0045], [0139]-[0151], 図1, 4-11	1-8
Y		9
Y	JP 2006-190840 A (松下電器産業株式会社) 20.07.2006 (2006-07-20) [請求項1], 段落[0037]-[0046], 図1-2	9
X	JP 2008-242148 A (富士フイルム株式会社) 09.10.2008 (2008-10-09) [請求項1], 段落[0038], [0061]-[0073], 図1-9	10-21
A	JP 2003-515930 A (マイクロニック レーザー システムズ アクチボラゲット) 07.05.2003 (2003-05-07) 段落[0011]-[0042], 図1-6	1-21
A	JP 7-283373 A (モトローラ・インコーポレイテッド) 27.10.1995 (1995-10-27) 段落[0017]-[0023], 図1	1-21
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 16.02.2022		国際調査報告の発送日 01.03.2022
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 植木 隆和 2G 3706 電話番号 03-3581-1101 内線 3226

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/047074

引用文献			公表日	パテントファミリー文献	公表日
JP	2018-41951	A	15.03.2018	US 2018/0068047 A1 段落[0064], [0066], [0149]— [0150], 図1, 4—11 WO 2018/047981 A1 TW 201813042 A KR 10-2019-0052041 A CN 109923479 A	
JP	2006-190840	A	20.07.2006	US 2006/0187719 A1 [請求項1], 段落[0061]— [0070], 図1—2 TW 200625586 A	
JP	2008-242148	A	09.10.2008	(ファミリーなし)	
JP	2003-515930	A	07.05.2003	US 6813058 B1 第2欄第48行— 第12欄第3行, 図1—6 WO 2001/039269 A1 SE 522531 C AU 1909201 A CN 1399796 A KR 10-0726054 B1	
JP	7-283373	A	27.10.1995	GB 2288250 A 第4頁第4行— 第5頁第5行, 図1	
JP	7-235617	A	05.09.1995	(ファミリーなし)	