



n型ウエル領域（３）には、 V_s 電位領域（８１）および $H-VDD$ 電位領域（８２）が配置され、外周に沿って環状に、n型ウエル領域（３）内の V_s 電位領域（８１）および $H-VDD$ 電位領域（８２）と、耐圧領域であるn型ウエル領域（４）とを接合分離するp型分離領域（５３）が配置されている。n型ウエル領域（４）は、n型ウエル領域（３）の周囲を囲み、 GND の電位に固定されたp型ウエル領域（５）に囲まれている。p型分離領域（５３）よりも内側に、 $H-VDD$ の電位に固定された第３高濃度領域（５４）および第３ピックアップ電極（５５）が配置される。p型分離領域（５３）よりも外側に、p型分離領域（５３）の外周に沿って、 $H-VDD$ の電位に固定された第２高濃度領域（５１）および第２ピックアップ電極（５２）が配置される。このようにすることで、半導体集積回路装置の誤動作や破壊を防止することができる。

明 細 書

発明の名称：半導体集積回路装置

技術分野

[0001] この発明は、半導体集積回路装置に関する。

背景技術

[0002] PWM (Pulse Width Modulation) インバータ等の電力逆変換（直流交流変換）用ブリッジ回路の上アームを構成するスイッチングパワーデバイスをオン・オフ駆動させる半導体集積回路装置として、高耐圧接合を利用した素子分離方式の高耐圧集積回路装置（HVIC: High Voltage Integrated Circuit）が公知である。HVICは、スイッチングパワーデバイスの異常時の過電流検出手段や温度検出手段を備えることで高機能化を図ったり、トランスやフォトカプラ等による電位絶縁を行わないことで電源システムの小型化・低コスト化を図ったりすることができる。

[0003] 従来のHVICの接続構成について、インバータなどの電力変換装置を構成するスイッチングパワーデバイスとして用いた絶縁ゲート型バイポーラトランジスタ（IGBT: Insulated Gate Bipolar Transistor）を駆動するHVICを例に説明する。図10は、高耐圧集積回路装置の接続構成を示す回路図である。図10には、2つのスイッチングパワーデバイス（IGBT114, 115）を直列に接続したハーフブリッジ回路を備えた電力変換装置を示す。

[0004] 図10に示す電力変換装置は、HVIC、低電圧電源（第1, 2低電圧電源）112, 113、IGBT114, 115、還流ダイオード（FWD: Free Wheel Diode）116, 117、L負荷（誘導負荷）118およびコンデンサ119を備える。この電力変換装置は、ハーフブリッジ回路の上アームであるIGBT115と下アームであるIGBT114とを交互にオンさせることで出力端子であるVs端子111から高電位また

は低電位を交互に出力し、L 負荷 118 に交流電力を供給している（流している）。

[0005] すなわち、HVIC は、ハーフブリッジ回路の上アームである IGBT115 と下アームである IGBT114 とを相補にオン・オフさせる駆動素子である。Vs 端子 111 から高電位を出力する場合、HVIC によって、上アームの IGBT115 がオンし、かつ下アームの IGBT114 がオフするように IGBT114, 115 を動作させる。一方、Vs 端子 111 から低電位を出力する場合、HVIC によって、上アームの IGBT115 がオフし、かつ下アームの IGBT114 がオンするように IGBT114, 115 を動作させる。

[0006] 動作期間中、HVIC は、GND の電位（接地電位）を基準にして L-OUT から下アームの IGBT114 のゲート信号を出力する。また、HVIC は、Vs 端子 111 の電位を基準にして H-OUT から上アームの IGBT115 のゲート信号を出力する。HVIC は、Vs 端子 111 の電位を基準にして H-OUT から上アームの IGBT115 のゲート信号を出力するために、レベルシフト機能（レベルシフト回路（レベルアップ回路やレベルダウン回路）：不図示）を備える。

[0007] レベルアップ回路は、H-IN から入力されたロジックレベルの入力信号をレベルアップして IGBT115 のゲート信号を生成する。レベルダウン回路は、IGBT115 の過熱や過電流などの異常信号 110 を入力し、異常信号 110 に基づきアラーム信号を形成し、このアラーム信号をレベルダウンする。H-IN には、レベルアップ回路のローサイド側（前段）の周辺回路である CMOS（相補型 MOS : Complementary Metal Oxide Semiconductor）回路（ローサイド回路部：不図示）のゲートが接続されている。H-IN は、レベルアップ回路の前段のローサイド回路部に伝達する入力信号の入力を受ける入力端子である。

[0008] H-OUT には、レベルアップ回路のハイサイド側（後段）の周辺回路である CMOS 回路（ハイサイド回路部：不図示）の出力端子が接続されてい

る。H-OUTは、HVICの後段に配置された上アームのIGBT115のゲートに接続されている。H-OUTは、IGBT115にゲート信号を供給する出力端子である。L-INは、IGBT114にゲート信号を供給するCMOS回路に伝達される入力信号の入力を受ける入力端子である。IGBT114にゲート信号を供給するCMOS回路は、L-INから入力されたロジックレベルの入力信号に基づいてIGBT114のゲート信号を生成する。

[0009] L-OUTには、IGBT114にゲート信号を供給するCMOS回路の出力端子が接続されている。L-OUTは、HVICの後段に配置された下アームのIGBT114のゲートに接続されている。L-OUTは、IGBT114にゲート信号を供給する出力端子である。ALM-INは、IGBT115の異常信号110の入力を示す。異常信号110は、異常信号110に基づきアラーム信号を形成する検出回路（不図示）に入力される。ALM-OUTには、レベルダウン回路のローサイド側（後段）の周辺回路であるCMOS回路（ローサイド回路部：不図示）の出力端子が接続されている。ALM-OUTは、レベルダウン回路によってレベルダウンされたアラーム信号を出力する出力端子である。

[0010] H-VDDは、Vsの電位を基準とする低電圧電源113の高電位側に接続する端子である。L-VDDは、GNDの電位を基準とする低電圧電源112の高電位側に接続する端子である。Vsは、高電圧電源（主回路電源）の高電位側Vsの電位からGNDの電位まで変動する中間電位（浮遊電位）の端子であり、Vs端子111と同電位である。GNDはグラウンド（接地）端子である。低電圧電源112は、HVICのL-VDDとGNDとの間に接続されたローサイド駆動電源である。低電圧電源113は、HVICのH-VDDとVsとの間に接続されたハイサイド駆動電源である。また、低電圧電源113は、ブートストラップ回路方式の場合、L-VDDとH-VDDとの間に接続される外付けのブートストラップダイオード（不図示）によって充電される外部コンデンサ（不図示）から構成される。

[0011] IGBT114のエミッタは高電圧電源の低電位側であるGNDに接続され、コレクタはIGBT115のエミッタに接続されている。IGBT115のコレクタは高電圧電源の高電位側V_sに接続されている。また、IGBT114, 115には、それぞれ逆並列にFWD116, 117が接続されている。IGBT114のコレクタとIGBT115のエミッタとの接続点（すなわちハーフブリッジ回路の出力端子）はV_s端子111に接続されている。V_s端子111には、HVICのV_sおよびL負荷118が接続されている。L負荷118は、ハーフブリッジ回路（IGBT114, 115）を組み合わせ構成されたブリッジ回路を利用して動作する例えばモータや照明などの交流抵抗（リアクタンス）である。コンデンサ119は、L-VDDとGNDとの間に接続されている。

[0012] 次に、HVICのレベルシフト回路（レベルアップ回路およびレベルダウン回路）について説明する。図11は、レベルアップ回路の構成を示す回路図である。図12は、レベルダウン回路の構成を示す回路図である。図11, 12には、レベルシフト回路の周辺回路として、レベルシフト回路へ入力信号を伝達するCMOS回路と、レベルシフト回路の出力信号を後段に伝達するCMOS回路とを示す。図11, 12に示すH-IN、H-OUT、ALM-IN、ALM-OUT、H-VDD、L-VDD、V_sおよびGNDは、それぞれ、図10に示すH-IN、H-OUT、ALM-IN、ALM-OUT、H-VDD、L-VDD、V_sおよびGNDと対応する。

[0013] 図11に示すレベルアップ回路210は、nチャネル型絶縁ゲート型電界効果トランジスタ（MOSFET: Metal Oxide Semiconductor Field Effect Transistor）211、レベルシフト抵抗212およびダイオード213を備える。レベルアップ回路210は、ハーフブリッジ回路の上アームのIGBT115がnチャネル型の場合に必要となる。nチャネルMOSFET211のドレインはレベルシフト抵抗212の一端に接続され、ソースは接地されている。nチャネルMOSFET211には、nチャネルMOSFET211に逆並列に接

続されたボディーダイオード214が内蔵されている。nチャネルMOSFET 211とレベルシフト抵抗212との接続点は、レベルアップ回路210の出力部215である。

[0014] レベルシフト抵抗212の他端は、H-VDDに接続されている。レベルシフト抵抗212に並列にダイオード213が接続されている。ダイオード213は、H-VDDの電位がGNDの電位よりも大幅に低電位になったとき（過大な負のサージ電圧（以下、負サージ電圧とする）が印加されたとき）に発生する熱により、レベルシフト抵抗212が発熱して破壊に至ることを防止する機能を有する。また、ダイオード213は、nチャネルMOSFET 211のオン動作時にH-VDDに過電圧が印加された場合に、後述するハイサイド回路部217のCMOS回路のゲートに過大な電圧が印加されることを防止する機能を有する。ダイオード213には、通常はツェナーダイオードが多用される。

[0015] レベルアップ回路210の周辺回路として、レベルアップ回路210の前段にローサイド回路部216が配置され、後段にハイサイド回路部217が配置されている。ローサイド回路部216およびハイサイド回路部217は、ともに、pチャネルMOSFET（PMOS）とnチャネルMOSFET（NMOS）とを相補うように接続したCMOS回路を備えている。ローサイド回路部216のCMOS回路のゲートは、H-INに接続され、HVICから伝達される入力信号の入力を受ける。ローサイド回路部216のCMOS回路のpチャネルMOSFETのソースはL-VDDに接続され、nチャネルMOSFETのソースは接地されている。なお、ローサイド回路部216およびハイサイド回路217はCMOS回路以外の伝達回路を備えている場合もある。

[0016] ローサイド回路部216のCMOS回路を構成するpチャネルMOSFETとnチャネルMOSFETとの接続点（出力端子）は、nチャネルMOSFET 211のゲートに接続され、レベルアップ回路210へ入力信号を伝達する。ハイサイド回路部217のCMOS回路のゲートは、レベルアップ

回路210の出力部215に接続され、レベルアップ回路210から伝達される入力信号の入力を受ける。ハイサイド回路部217のCMOS回路（以下、第2CMOS回路とする）のpチャネルMOSFET（以下、第2pチャネルMOSFETとする）130aのソースはH-VDDに接続され、nチャネルMOSFET（以下、第2nチャネルMOSFETとする）130bのソースはVsに接続されている。ハイサイド回路部217のCMOS回路を構成する第2pチャネルMOSFET130aと第2nチャネルMOSFET130bとの接続点は、H-OUTに接続され、HVICへ入力信号を伝達する。

[0017] このようなレベルアップ回路210では、H-INからの入力信号がローサイド回路部216のCMOS回路のゲートに入力されると、その信号はローサイド回路部216のCMOS回路を経由してレベルアップ回路210のnチャネルMOSFET211のゲートに入力される。この入力信号の入力を受けてnチャネルMOSFET211がオン・オフし、レベルアップ回路210の出力部215から出力信号が出力され、ハイサイド回路部217のCMOS回路のゲートに入力される。この入力信号の入力を受けてハイサイド回路部217のCMOS回路がオン・オフし、ハイサイド回路部217のCMOS回路の出力信号（レベルアップ回路210によりレベルアップされた信号）がH-OUTから出力される。この出力信号は、Vs端子111の電位を基準とした信号に変換され、上アームのIGBT115のゲートに入力される。この入力信号の入力を受けてハーフブリッジ回路の上アームのIGBT115がオン・オフする。

[0018] 図12に示すように、レベルダウン回路220は、pチャネルMOSFET221、レベルシフト抵抗222およびダイオード223を備える。pチャネルMOSFET221のドレインはレベルシフト抵抗222の一端に接続され、ソースはH-VDDに接続されている。pチャネルMOSFET221には、pチャネルMOSFET221に逆並列に接続されたボディードダイオード224が内蔵されている。pチャネルMOSFET221とレベル

シフト抵抗222との接続点は、レベルダウン回路220の出力部225である。レベルシフト抵抗222の他端は、接地されている。レベルシフト抵抗222に並列にダイオード223が接続されている。ダイオード223は、 $H-VDD$ の電位が GND の電位よりも大幅に低電位になったときに発生する熱により、レベルシフト抵抗222が発熱して破壊に至ることを防止する機能を有する。また、ダイオード223は、pチャネルMOSFET221のオン動作時に $H-VDD$ に過電圧が印加された場合に、後述するローサイド回路部227のCMOS回路のゲートに過電圧が印加されるのを防止する機能を有する。

[0019] レベルダウン回路220の周辺回路として、レベルダウン回路220の前段にハイサイド回路部226が配置され、後段にローサイド回路部227が配置されている。ハイサイド回路部226およびローサイド回路部227は、ともに、pチャネルMOSFET (PMOS) とnチャネルMOSFET (NMOS) とを相補うように接続したCMOS回路を備えている。ハイサイド回路部226のCMOS回路のゲートは、異常信号110に基づいて形成されたアラーム信号の入力を受ける。ハイサイド回路部226のCMOS回路のpチャネルMOSFETのソースは $H-VDD$ に接続され、nチャネルMOSFETのソースは V_s に接続されている。なお、ローサイド回路部227およびハイサイド回路226はCMOS回路以外の伝達回路を備えている場合もある。

[0020] ハイサイド回路部226のCMOS回路を構成するpチャネルMOSFETとnチャネルMOSFETとの接続点（出力端子）は、pチャネルMOSFET221のゲートに接続され、レベルダウン回路220へ入力信号を伝達する。ローサイド回路部227のCMOS回路のゲートは、レベルダウン回路220の出力部225に接続され、レベルダウン回路220から伝達される入力信号の入力を受ける。ローサイド回路部227のCMOS回路のpチャネルMOSFETのソースは $L-VDD$ に接続され、nチャネルMOSFETのソースは接地されている。ローサイド回路部227のCMOS回路

を構成するpチャネルMOSFETとnチャネルMOSFETとの接続点は、ALM-OUTに接続され、ALM-OUTから外部へ出力信号を出力する。

[0021] このようなレベルダウン回路220では、異常信号110に基づくアラーム信号がハイサイド回路部226のCMOS回路のゲートに入力されると、その信号はハイサイド回路部226のCMOS回路を経由してレベルダウン回路220のpチャネルMOSFET221のゲートに入力される。この入力信号の入力を受けてpチャネルMOSFET221がオン・オフし、レベルダウン回路220の出力部225から出力信号が出力され、ローサイド回路部227のCMOS回路のゲートに入力される。この入力信号の入力を受けてローサイド回路部227のCMOS回路がオン・オフし、ローサイド回路部227のCMOS回路の出力信号（レベルダウン回路220によりレベルダウンされたアラーム信号）がALM-OUTから出力される。

[0022] 次に、従来のHVICの断面構造について説明する。図13は、従来の高耐圧集積回路装置の構造を示す断面図である。図13には、自己分離型のHVIC200の各構成部のうち、ローサイド回路部216、ハイサイド回路部217、レベルアップ回路210と、高耐圧接合終端領域（HVJT: High Voltage Junction Termination region）201との要部を示す。図13の上方に図示された断面図右側から、下方に図示された断面図左側まで続く矢印は、上方に図示された断面図と下方に図示された断面図とがつながった1つのp型半導体基板101（半導体チップ）であることを示している。また、H-IN、H-OUT、H-VDD、L-VDD、VsおよびGNDは、それぞれ、図10に示すHVICのH-IN、H-OUT、H-VDD、L-VDD、VsおよびGNDと対応する端子である。

[0023] 図13に示すように、従来のHVIC200において、GNDに接続されたp型半導体基板101のおもて面の表面層には、n⁻型ウエル領域102、104、n型ウエル領域103およびp型ウエル領域105がそれぞれ選択

的に設けられている。n⁻型ウエル領域104はn型ウエル領域103の周囲を囲み、n⁻型ウエル領域102はn⁻型ウエル領域104の外側（チップ外周部側）に設けられている。p型ウエル領域105は、n⁻型ウエル領域102とn⁻型ウエル領域104との間に設けられ、n⁻型ウエル領域102およびn⁻型ウエル領域104に接する。

[0024] n⁻型ウエル領域102には、レベルシフト回路の周辺回路であるローサイド回路部216、227などが配置される。図13には、ローサイド回路部216を構成する第1CMOS回路（pチャネルMOSFET（以下、第1pチャネルMOSFETとする）120aおよびnチャネルMOSFET（以下、第1nチャネルMOSFETとする）120b）を示す。n型ウエル領域103には、レベルシフト回路やレベルシフト回路の周辺回路であるハイサイド回路部217、226などが配置される。図13には、ハイサイド回路部217を構成する第2CMOS回路（第2pチャネルMOSFET130aおよび第2nチャネルMOSFET130b）を示す。

[0025] 第1pチャネルMOSFET120aは、n⁻型ウエル領域102、n⁺型コンタクト領域122、p⁺型ソース領域123、p⁺型ドレイン領域124およびゲート電極125からなる一般的な横型のMOSゲート（金属－酸化膜－半導体からなる絶縁ゲート）構造、ソース電極161、ドレイン電極162、を備える。ゲート電極125は、H-I Nに接続されている。ソース電極161は、L-VDDに接続されている。ドレイン電極162は、第1nチャネルMOSFET120bのドレイン電極164に接続されている。

[0026] 第1nチャネルMOSFET120bは、p型オフセット領域121、n⁺型ドレイン領域126、n⁺型ソース領域127、p⁺型コンタクト領域128およびゲート電極129からなる一般的な横型のMOSゲート構造、ソース電極163、ドレイン電極164、を備える。ゲート電極129は、第1pチャネルMOSFET120aのゲート電極125に接続され、かつH-I Nに接続されている。ソース電極163は、GNDに接続されている。ドレイン電極164は、第1pチャネルMOSFET120aのドレイン電極1

62に接続されている。

[0027] 第2 pチャネルMOSFET 130aは、n型ウエル領域103、n⁺型コンタクト領域132、p⁺型ソース領域133、p⁺型ドレイン領域134およびゲート電極135からなる一般的な横型のMOSゲート構造、ソース電極165、ドレイン電極166、を備える。ゲート電極135は、レベルアップ回路210の出力部215に接続されている。H-VDDと出力部215との間には、レベルシフト抵抗212およびダイオード213が並列に接続されている。ソース電極165は、H-VDDに接続されている。ドレイン電極166は、H-OUTに接続されている。

[0028] 第2 nチャネルMOSFET 130bは、p型オフセット領域131、n⁺型ドレイン領域136、n⁺型ソース領域137、p⁺型コンタクト領域138およびゲート電極139からなる一般的な横型のMOSゲート構造、ソース電極167、ドレイン電極168、を備える。ゲート電極139は、第2 pチャネルMOSFET 130aのゲート電極135に接続されている（不図示）。ソース電極167は、V_sに接続されている。ドレイン電極168は、第2 pチャネルMOSFET 130aのドレイン電極166に接続され、かつH-OUTに接続されている。

[0029] レベルアップ回路210を構成するnチャネルMOSFET 211は、n型ウエル領域103から、n⁻型ウエル領域104、およびn⁻型ウエル領域104に接するp型ウエル領域105にわたって配置される。レベルアップ回路210を構成するnチャネルMOSFET 211は、n型ウエル領域103、n⁻型ウエル領域104、p型ウエル領域105、n⁺型ソース領域141、n⁺型ドレイン領域142、p⁺型コンタクト領域143、ゲート電極144、ソース電極145およびドレイン電極146を備える。p型ウエル領域105はベース領域として機能する。

[0030] p型ウエル領域105の内部に、n⁺型ソース領域141およびp⁺型コンタクト領域143が選択的に設けられている。n型ウエル領域103の内部に、n⁺型ドレイン領域が選択的に設けられている。p型ウエル領域105の、

n⁺型ソース領域141とn⁻型ウエル領域104とに挟まれた部分の表面上には、ゲート絶縁膜を介してゲート電極144が設けられている。ゲート電極144は、第1pチャネルMOSFET120aのドレイン電極162および第1nチャネルMOSFET120bのドレイン電極164に接続されている。ソース電極145は、n⁺型ソース領域141およびp⁺型コンタクト領域143に接する。また、ソース電極145は、GNDに接続されている。

[0031] ドレイン電極146は、n⁺型ドレイン領域に接する。また、ドレイン電極146は、表面金属配線（不図示）によってレベルシフト抵抗212に接続され、レベルシフト抵抗212を介してH-VDDに接続されている。ドレイン電極146とレベルシフト抵抗212との接続部がレベルアップ回路210の出力部215となる。この出力部215からの出力は、nチャネルMOSFET211のオン時は低電位であり、オフ時には高電位となる。このため、HVIC200は、異なる基準電位間の信号伝達であるレベルシフト動作を行うことができる。符号147はp⁺型コンタクト領域であり、符号148はピックアップ電極である。

[0032] nチャネルMOSFET211のソース電極（以下、第1ピックアップ電極とする）145は、負サージ電圧発生時にp型ウエル領域105に注入された電子をp⁺型コンタクト領域（以下、第1高濃度領域とする）143から引き抜くピックアップ電極として機能する。また、n型ウエル領域103の基板おもて面側の表面層には、n⁻型ウエル領域104との境界付近に、n⁺型コンタクト領域（以下、第2高濃度領域とする）151が設けられている。第2ピックアップ電極152は、第2高濃度領域151に接する。第2ピックアップ電極152は、H-VDDに接続され、負サージ電圧発生時にn型ウエル領域103に注入された正孔を第2高濃度領域151から引き抜く機能を有する。

[0033] このようなHVIC200を駆動素子とするスイッチングパワーデバイス（IGBT114, 115）で構成されたハーフブリッジ回路を組み合わせる構成されるブリッジ回路は、モータ制御用のインバータのほか、大容量の

プラズマディスプレイパネル（PDP：Plasma Display Panel）、液晶パネルなどの電源用途、エアコンや照明といった家電用インバータなど多くの分野で広く利用されている。また、ハーフブリッジ回路を構成するスイッチングパワーデバイスは、IGBT以外に、パワーMOSFETも使用される。これらモータや照明などは上述したようにL負荷118となる。このため、HVIC200のVsやH-VDDは、プリント基板上の配線やL負荷118までのケーブル等による寄生インダクタンス成分等の悪影響を受ける。

[0034] この寄生インダクタンス成分により、上アームのIGBT115がオフするときに、Vs端子111の電位（ハイサイド回路部217，226の基準電位）やH-VDDの電位（Vs端子111の電位を基準とする電位）はGNDの電位（0V）に対して負電位側へ変動する。例えば、上アームのIGBT115をオフするタイミングでVs端子111には、GNDの電位に対して負電位となる負サージ電圧 V_{s0} が印加される。この負サージ電圧 V_{s0} は、下記（1）式を用いて算出することができる。下記（1）式において、 L_0 はL負荷118のインダクタンス値であり、 I はIGBT115に流れる電流値である。

[0035] $V_{s0} = L_0 \times dI / dt \quad \dots (1)$

[0036] Vs端子111に印加された負サージ電圧 V_{s0} が[GNDの電位－($V_{supply} + V_{fd}$)]よりも低くなると、自己分離型のHVIC200（チップ）の寄生pnダイオード171，172が導通し始める。寄生pnダイオード171は、p型半導体基板101とn型ウエル領域103とからなる。寄生pnダイオード172は、p型ウエル領域105とn型ウエル領域104とからなる。 V_{supply} は低電圧電源113または図示しないブートストラップコンデンサの両端間のバッテリー電圧である。 V_{fd} は寄生pnダイオード171，172の順方向電圧降下である。

[0037] Vs端子111の電位が大きくマイナス方向に引かれた場合には、HVIC200（チップ）に過電流が流れる。その結果、HVIC200を構成す

るハイサイド回路部217の誤動作やラッチアップを引き起こし、HVIC200が故障や破壊に至る虞がある。Vs端子111の電位がマイナス方向に引かれている期間には、HVIC200からプリント基板上の配線やL負荷118までのケーブル等による寄生インダクタンス成分 L_1 と、IGBT115のオフ時にIGBT115に流れていたオン電流 I_1 がゼロとなるまでに要する期間 dI_1/t との積に比例して負方向に突出したスパイク状の負サージ（電流変化に伴う急激な負サージ）電圧 $V_{s1} (=L_1 \times dI_1/t)$ がVs端子111に印加される。具体的には、このときVs端子111に印加される負サージ電圧 V_{s0} は例えば-30V程度であり、その印加期間はおおよそ数百nsから500ns程度である。

[0038] 次に、従来のHVIC200の各構成部の平面レイアウトについて、図13、14を参照しながら説明する。図14は、図13の高耐圧集積回路装置の平面レイアウトを示す平面図である。図14には、ハイサイド回路部217、226などが配置される高電位領域、ローサイド回路部216、227などが配置される低電位領域、共通電位（GND電位）が印加される領域（以下、共通電位領域とする）を含むHVJT201を示す。図14に示すように、高電位領域であるn型ウエル領域103には、ハイサイド回路部217、H-VDDパッド、H-OUTパッド、Vsパッドなどが配置されている。図14には、Vsパッドに接続されたVs電位領域181と、H-VDDパッドに接続されたH-VDD電位領域182とを示す。

[0039] Vs電位領域181は、Vsパッドに電氣的に接続され、Vsの電位が印加される領域である。具体的には、Vs電位領域181は、ハイサイド回路部217のロジック部を構成する第2nチャネルMOSFET130bのp型オフセット領域131およびp⁺型ドレイン領域134である。H-VDD電位領域182は、H-VDDパッドに電氣的に接続され、H-VDDの電位が印加される領域である。具体的には、H-VDD電位領域182は、ハイサイド回路部217の第2pチャネルMOSFET130aのn⁺型コンタクト領域132およびp⁺型ソース領域133などが配置される領域である。

n型ウエル領域103の周囲には、n型ウエル領域103に接してn型ウエル領域103の周囲を囲むように、耐圧領域であるn⁻型ウエル領域104が配置されている。

[0040] n型ウエル領域103の、n⁻型ウエル領域104との境界付近には、n型ウエル領域103の外周に沿って環状にn⁺型コンタクト領域である第2高濃度領域151が設けられている。第2高濃度領域151は、n⁻型ウエル領域104と離して配置されている。第2高濃度領域151上には、第2ピックアップ電極152が配置されている。第2ピックアップ電極152は、H-VDDパッドに接続されている。n⁻型ウエル領域104に接してn⁻型ウエル領域104の周囲を囲むように、共通電位領域であるp型ウエル領域105が配置されている。p型ウエル領域105には、n⁻型ウエル領域104の外周に沿って環状にp⁺型コンタクト領域である第1高濃度領域143が配置されている。第1高濃度領域143上には、第1ピックアップ電極145が配置されている。

[0041] 図14において、第1、2ピックアップ電極145、152としてそれぞれ配置した各黒四角は、チップおもて面を覆う図示省略する層間絶縁膜や保護膜上に堆積された第1、2ピックアップ電極145、152の、コンタクトホールに埋め込まれた部分である。すなわち、第1、2ピックアップ電極145、152を示す黒四角は、第1、2高濃度領域143、151とのコンタクト（電氣的接触部）である。図14では図示省略するが、第1、2ピックアップ電極145、152はそれぞれ第1、2高濃度領域143、151上に環状に配置されている。第1、2高濃度領域143、151と、第1高濃度領域143と第2高濃度領域151とに挟まれたn型ウエル領域103、p型ウエル領域105およびn⁻型ウエル領域104とでHVJT201が構成される。

[0042] HVJT201には、例えば略矩形環状の平面形状を有するn型ウエル領域104のコーナ一部を含む領域に、n型ウエル領域103からn型ウエル領域104およびp型ウエル領域105にわたってレベルシフト回路が配置

されている。図14には、レベルアップ回路210のnチャネルMOSFET 211のn⁺型ドレイン領域142、ゲート電極144（144a, 144b）およびドレイン電極146を示す。nチャネルMOSFET 211は、IGBT 115への出力信号（ゲート信号）をローレベルにリセットした状態またはハイレベルにセットした状態に保持するRS（Reset-Set）フリップフロップを構成する。

[0043] n型ウエル領域103は、1つの角部が内側（チップ中央部側）に凹んだ略凹四角状の平面形状を有しており、n⁻型ウエル領域104の、n型ウエル領域103の凹んだ部分にn⁺型ドレイン領域142が配置される。n⁺型ドレイン領域142上には、ドレイン電極146が配置されている。図示省略するがn⁺型ドレイン領域142およびドレイン電極146は、セット用およびリセット用のnチャネルMOSFET 211ごとに配置される。n⁻型ウエル領域104およびp型ウエル領域105には、セット信号およびリセット信号の入力を受ける各ゲート電極144a, 144bが配置されている。ゲート電極144a, 144bは、略矩形環状のp型ウエル領域105の1つのコーナー部を共有する連続する2辺にあたる各直線部上にそれぞれ配置されている。

[0044] p型ウエル領域105の周囲には、p型ウエル領域105に接してp型ウエル領域105の周囲を囲むように、低電位領域であるn⁻型ウエル領域102が配置されている。n⁻型ウエル領域102には、ローサイド回路部216のロジック部（不図示）、GNDパッド、H-VDDパッド、L-VDDパッドが配置されている。図14において、各パッドの周囲を囲む破線は、寄生pnダイオードを流れる電流が流れ込む領域を示している（図1, 3~5においても同様）。また、各パッドの周囲を囲む破線よりも細かい破線（第2高濃度領域151の一部を囲み、かつH-VDDパッドに接する破線）で示す領域は、nチャネルMOSFET 211のドレイン領域146およびピクアップ電極152とH-VDDパッドとを接続する配線層である。

[0045] 従来のHVIC 200においてV_s電位領域181およびH-VDD電位

領域 182 を無駄なく効率よく配置してチップサイズの縮小化を図る場合、 V_s 電位領域 181 は、 n 型ウエル領域 103 の外周付近に、 $HVJT201$ の第 2 高濃度領域 151 に近接して配置される。すなわち、略矩形状の V_s 電位領域 181 の 1 辺 185 は、 n 型ウエル領域 103 の周囲を囲む略矩形環状の第 2 高濃度領域 151 の内周の 1 辺に平行に対向する。これにより、 V_s 電位領域 181 と対向する第 2 高濃度領域 151 の 1 辺（以下、対向箇所とする）185 において、 V_s 電位領域 181 と $HVJT201$ との間の距離を最小にすることができる。

[0046] このような $HVIC$ として、出力ノードでの過大な負のスイング（負サージ電圧が印加されること）を見込んでハーフブリッジ型のパワートランジスタを駆動する $HVIC$ を保護するために、 $HVIC$ チップ内の寄生ダイオードと直列に接続され、かつ $HVIC$ チップの基板と接地電位端子との間に配置され、出力ノードでの負の電圧過渡現象に起因して $HVIC$ の寄生ダイオードに流れる負電圧スパイク（負サージ）中の電流を制限する抵抗器を備えた回路が提案されている（例えば、下記特許文献 1 参照。）。

[0047] また、別の $HVIC$ として、レベルシフト回路に属するスイッチング素子のドレイン電極と増幅器（ $CMOS$ 回路）に属する MOS トランジスタのゲート電極との間にダイオードを挿入することで、定格耐圧を超えて印加される負の電圧（逆バイアス）の悪影響を減殺する装置が提案されている（例えば、下記特許文献 2 参照。）。下記特許文献 2 では、スイッチング素子を逆流する電流によって、増幅器の動作が悪影響を受けることを防止している。

[0048] また、別の $HVIC$ として、高電圧電源の高電位側と低電位（接地電位）側との間に、高電圧電源の高電位側から、レベルシフト抵抗、電流制限抵抗、および、レベルアップ回路を構成するスイッチング素子（ドレインが高電位側）の順に直列接続され、レベルシフト抵抗と電流制限抵抗との間をレベルアップ回路の出力部とする装置が提案されている（例えば、下記特許文献 3 参照。）。下記特許文献 3 では、 V_s 端子の電位を基準とするレベルシフト回路の低電圧電源の高電位側（ $H-VDD$ ）と低電位側（ GND ）との間

の電流経路に電流制限抵抗を接続することで、レベルアップ回路を構成する n チャネル MOSFET のボディーダイオードや HVIC の寄生 $p-n$ ダイオード自体が過電流により破壊に至ることや、レベルシフト回路の電流容量の小さい箇所が過電流により破壊に至ることを防止している。

[0049] また、別の HVIC として、HVIC 内部に共通の基板領域を利用して、共通接地ノードと高電位側基準電位の仮想接地（中間電位）ノードとの間に高耐圧ダイオードを設けた装置が提案されている（例えば、下記特許文献 4 参照。）。下記特許文献 4 では、高電位側基準電位の端子（Vs 端子）と共通接地電位（GND 電位）にある基板領域との間に高耐圧ダイオードを設けることで、高電位側基準電位の仮想接地ノードに発生する負電圧のアンダーシュートによる高電位側電源電圧の低下を抑制している。

[0050] また、別の HVIC として、高電位側基準電位領域（Vs 電位領域）に近接した箇所における HVJT のコンタクトを間引く、または HVJT を構成する耐圧領域の幅を広くして、ダブルリサーフ構造を部分的に追加した平面レイアウトを備えた装置が提案されている（例えば、下記特許文献 5 参照。）。下記特許文献 5 には、負電圧のアンダーシュートによる高電位側電源電圧の低下に伴う高電位側基準電位領域へのキャリア注入量を低減している。

[0051] また、別の HVIC として、 p -型半導体基板に、低耐圧領域である n -型拡散領域が環状に形成され、この内側に接して、HVJT を構成する n 型拡散領域が環状に形成され、さらにこの内側に所定幅の p -型半導体基板を挟んで高耐圧領域となる島状の n 型拡散領域を備えた装置が提案されている（例えば、下記特許文献 6（第 0045 段落、第 8 図）参照。）。下記特許文献 6 では、HVJT を構成する n 型拡散層とハイサイド回路部を配置した n 型拡散層とを環状の p -型拡散層で分割した構造が提案されている。

[0052] しかしながら、発明者が鋭意研究を重ねた結果、上述した従来の HVIC には次の問題があることが判明した。図 10 に示すスイッチングパワーデバイス（IGBT 114, 115）と HVIC とが接続されてなる電力変換装置において、高電圧電源（主回路電源）の高電位側 Vs が 1200 V 程度

であり、HVICのH-VDDの電位がVsの電位に対して15V程度高い場合を例に説明する。ハーフブリッジ回路の上アームのIGBT115がオンし、下アームのIGBT114がオフしている際には、上アームのIGBT115からL負荷118へ向かって電流が流れる。

[0053] この状態から上アームのIGBT115がオフ状態へ移行されると、L負荷118が電力変換装置に流れる電流を維持しようとする（L負荷118によって交流電圧に対して電流位相が遅れる）ため、GNDから下アームのIGBT114に並列に接続されたFWD116を経由してL負荷118に電流が流れた状態となる。これにより、Vs端子111の電位がGND電位よりも低くなり、例えば-30V程度になる。Vs端子111の電位が-30V程度となった場合、上述したようにH-VDDの電位はVsの電位に対して15V程度高いため、-15V（=-30V+15V）程度となる。

[0054] 図13、14に示す従来のHVIC200の構造では、p型半導体基板101およびp型ウエル領域105がGND電位にある。そのため、レベルアップ回路210のハイサイド回路部217のロジック部のCMOS回路を構成するn型ウエル領域103およびn型ウエル領域104がともにGND電位よりも低くなるまでVs端子111の電位が低下した場合、寄生pnダイオード171、172が順方向バイアスとなり大電流が流れる。この電流は、n型ウエル領域103を通してハイサイド回路部217からIGBT115に入力され、IGBT115のゲート・エミッタ間容量を介してL負荷118へと流れる。この電流経路（パス）には電流を制限する抵抗成分がないため、極めて大きなパルス電流となる。このパルス電流によって、HVIC200が破壊されたり、誤動作したりする。

[0055] また、従来のHVIC200の平面構造では、Vsパッド（Vs端子111）またはH-VDDパッドに負サージ電圧が印加された場合、寄生pnダイオード172のアノードを構成するp型ウエル領域105から、カソードを構成するn型ウエル領域104へ正孔が注入される。特に、HVJT201の、Vs電位領域181との間の距離が狭い対向箇所185では、Vs電

位領域 181 と p 型ウエル領域 105 とに挟まれた n⁻型ウエル領域 104 の抵抗（寄生 p n ダイオード 172 のカソード抵抗）が、n⁻型ウエル領域 104 の他の箇所よりも小さくなる。このため、HVJT201 の、Vs 電位領域 181 との間の距離が狭い対向箇所 185 では、p 型ウエル領域 105 から n⁻型ウエル領域 104 へ正孔注入量が、n⁻型ウエル領域 104 の他の箇所よりも多くなる。

[0056] n⁻型ウエル領域 104 に入り込んだ正孔は、第 2 高濃度領域 151 直下（基板裏面側）を通して、GND 電位に対して負電位となっている Vs 電位領域 181 である p 型オフセット領域 131 および p⁺型ドレイン領域 134 へ向かって流れる。p 型オフセット領域 131 に入り込んだ正孔は、p⁺型コンタクト領域 138 から Vs 端子 111 に引き抜かれる。しかしながら、p 型オフセット領域 131 に入り込んだ一部の正孔は、n⁺型ソース領域 137 の直下にまで流入し、n⁺型ソース領域 137、p 型オフセット領域 131 および n 型ウエル領域 103 からなる寄生 n p n トランジスタのゲート電流となる。このため、この寄生 n p n トランジスタがオンしてハイサイド回路部 217 のロジック部を誤動作させる虞がある。

[0057] さらに、n⁺型ソース領域 137 の直下にまで流入した正孔が、n⁺型ソース領域 137、p 型オフセット領域 131、n 型ウエル領域 103 および p 型半導体基板 101 からなる寄生サイリスタをオン（ラッチアップ）させて、ハイサイド回路部 217 が破壊に至る虞がある。また、p 型オフセット領域 131 に入り込んだ正孔の一部が n 型ウエル領域 103 を通って p⁺型ドレイン領域 134 まで流れた場合、ハイサイド回路部 217 が誤動作する虞がある。なお、寄生 p n ダイオード 171 は、アノードとなる p 型半導体基板 101 の比抵抗が高いため、アノード抵抗が高い。このため、p 型半導体基板 101 から n 型ウエル領域 103 への正孔の注入は微量である。

[0058] 寄生動作によって誤動作や破壊が生じることについて、下記特許文献 1 には、電流を制限する抵抗器を基板とグランド端子との間に接続することで電流量を抑制しているが、それ以外の箇所に抵抗器を接続することについて記

載されていない。また、この抵抗器はポリシリコン層で形成されているため、負サージ電圧による大きなパルス電流（数A～数十A）が過渡的にV_s端子とグランド端子との間の寄生ダイオードに流れた際に、抵抗器を構成するポリシリコン層が過電流により熱溶解し破壊に至る虞がある。

[0059] 下記特許文献2には、L負荷によってH-VDDの電位が負電位になった場合に、レベルシフト回路を構成するMOSFETのボディダイオードやHVICの寄生pnダイオードの電流を制限するための抵抗やレイアウトについて記載されていない。下記特許文献3には、V_s端子の電位を基準とするハイサイド回路部の寄生動作による誤動作（誤反転）を防止することについて記載されていない。

[0060] 下記特許文献4には、ブートストラップ電源電位（H-VDDの電位）のノード（電位点）と共通接地電位（GND電位）にある基板領域との間に高耐圧ダイオードを設けることについて記載されていない。下記特許文献5に記載の技術では、負サージ電圧が高い場合や、負サージ電圧の印加期間が長い場合には、V_s電位領域にもキャリアが多量に注入されるため、ハイサイド回路の誤動作や破壊を防止するという効果が得られない。このため、効果が限定的となる。

[0061] 下記特許文献6に記載の技術では、HVJTを構成するn型拡散層にはレベルシフト回路を構成する高耐圧nチャネルリサーフMOSFETが配置されており、このn型拡散層はドレインドリフト領域もしくはドレイン領域に相当する。このため、負サージ電圧によってHVJTを構成するn型拡散層からレベルシフト回路に正孔（電流）が注入され、レベルシフト回路の内部デバイスや配線等が過電流によって発熱して破壊に至ったり、正孔の過剰注入によってドレインノード（高耐圧nチャネルリサーフMOSFETのドレイン電位点）の電位が不安定になり、レベルシフト回路が誤動作する虞がある。

先行技術文献

特許文献

[0062] 特許文献1：特許第3346763号公報

特許文献2：特開2001-25235号公報

特許文献3：特開2008-301160号公報

特許文献4：特開2010-263116号公報

特許文献5：国際公開第2012/176347号

特許文献6：特許第3917211号公報

発明の概要

発明が解決しようとする課題

[0063] この発明は、上述した従来技術による問題点を解消するため、誤動作や破壊を防止することができる半導体集積回路装置を提供することを目的とする。

課題を解決するための手段

[0064] 上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体集積回路装置は、次の特徴を有する。第1導電型半導体層の一方の面の表面層に、第1の第2導電型ウエル領域が設けられている。前記第1の第2導電型ウエル領域には、第2電位以上の電位が供給される。前記第1導電型半導体層の一方の面の表面層に、前記第1の第2導電型ウエル領域に接して第2の第2導電型ウエル領域が設けられている。前記第2の第2導電型ウエル領域は、前記第1の第2導電型ウエル領域の周囲を囲む。前記第2の第2導電型ウエル領域の不純物濃度は、前記第1の第2導電型ウエル領域の不純物濃度よりも低い。前記第1導電型半導体層の一方の面の表面層に、前記第2の第2導電型ウエル領域と接して第1導電型ウエル領域が設けられている。前記第1導電型ウエル領域は、前記第2の第2導電型ウエル領域の周囲を囲む。前記第1の第2導電型ウエル領域内の所定領域と前記所定領域よりも外側の領域とを電氣的に分離する分離領域が設けられている。前記第1の第2導電型ウエル領域または前記第2の第2導電型ウエル領域の内部の、前記分離領域よりも外側に第1の第2導電型高濃度領域が設けられている。前記第1の第2導電型高濃度領域の不純物濃度は、前記第1の第2導電型ウエ

ル領域の不純物濃度よりも高い。前記第 1 の第 2 導電型ウエル領域または前記第 2 の第 2 導電型ウエル領域の内部の、前記分離領域よりも内側に第 2 の第 2 導電型高濃度領域が設けられている。前記第 2 の第 2 導電型高濃度領域の不純物濃度は、前記第 1 の第 2 導電型ウエル領域の不純物濃度よりも高い。第 1 電極は、前記第 1 の第 2 導電型高濃度領域に接し、前記第 1 の第 2 導電型高濃度領域を介して前記第 1 の第 2 導電型ウエル領域または前記第 2 の第 2 導電型ウエル領域に、前記第 2 電位よりも高い第 3 電位を印加する。第 2 電極は、前記第 2 の第 2 導電型高濃度領域に接し、前記第 2 の第 2 導電型高濃度領域を介して前記第 1 の第 2 導電型ウエル領域または前記第 2 の第 2 導電型ウエル領域に前記第 3 電位を印加する。

[0065] また、この発明にかかる半導体集積回路装置は、上述した発明において、前記分離領域は、前記所定領域を囲む環状に配置されていることを特徴とする。

[0066] また、この発明にかかる半導体集積回路装置は、上述した発明において、前記分離領域は、前記所定領域と前記第 1 の第 2 導電型高濃度領域との間を通り、かつ前記第 2 の第 2 導電型ウエル領域を横切って前記第 1 導電型ウエル領域に達するように配置され、前記所定領域と前記第 1 の第 2 導電型高濃度領域よりも外側の領域とを分離することを特徴とする。

[0067] また、この発明にかかる半導体集積回路装置は、上述した発明において、前記分離領域は、第 1 導電型半導体領域または誘電体領域であることを特徴とする。

[0068] また、この発明にかかる半導体集積回路装置は、上述した発明において、さらに次の特徴を有する。前記第 1 導電型半導体層の一方の面の表面層に、前記第 1 導電型ウエル領域を挟んで前記第 1 の第 2 導電型ウエル領域と反対側に第 3 の第 2 導電型ウエル領域が設けられている。前記第 3 の第 2 導電型ウエル領域に第 1 回路部が設けられている。前記第 1 回路部には、第 1 電位を基準とする第 1 低電圧電源から前記第 1 電位よりも高い第 4 電位が供給される。前記第 1 の第 2 導電型ウエル領域に第 2 回路部が設けられている。前

記第2回路部には、前記第2電位を基準とする第2低電圧電源から前記第3電位が供給される。前記第2の第2導電型ウエル領域および前記第1導電型ウエル領域に第3回路部が設けられている。前記第3回路部は、前記第1回路部と前記第2回路部との間に接続され、前記第1回路部から入力された信号の電圧レベルを変換して前記第2回路部に出力する。前記第2回路部は、前記第3回路部から出力された信号に基づいて、直列に接続された2つのトランジスタの高電位側の前記トランジスタのゲート信号を出力する。

[0069] また、この発明にかかる半導体集積回路装置は、上述した発明において、前記第2電位は、直列に接続された2つの前記トランジスタの主回路電源の高電位側電位から前記第1電位までの間の浮遊電位であることを特徴とする。

[0070] また、この発明にかかる半導体集積回路装置は、上述した発明において、前記所定領域には、前記第2電位が供給されることを特徴とする。

[0071] 上述した発明によれば、第2電位がマイナス方向に低下し、ハイサイド側の第2回路を配置した所定領域および高耐圧接合終端領域を構成する第2の第2導電型ウエル領域が過渡的に第1電位（最低電位）より低くなった場合に、高耐圧接合終端領域を構成する第1導電型ウエル領域をアノードとし、第2の第2導電型ウエル領域をカソードとする寄生pnダイオードの電流注入（正孔キャリア注入）を第1電極へ支配的に流すことができる。これにより、第2電位の所定領域に過渡的に正孔が注入されることを抑制することができる。したがって、高耐圧接合終端領域と第2電位の所定領域との間の距離が狭い対向箇所が生じる程度に縮小化を図った場合であっても、ハイサイド側の第2回路のロジック部の誤動作（誤信号伝達）や、ラッチアップによる破壊を起こりにくくすることができる。

発明の効果

[0072] 本発明にかかる半導体集積回路装置によれば、チップの面積を大きくすることなく、負サージ電圧による正孔注入量を低減してハイサイド回路部の誤動作や破壊を防止することができるという効果を奏する。

図面の簡単な説明

[0073] [図1]図 1 は、実施の形態 1 にかかる高耐圧集積回路装置の平面構造を示す平面図である。

[図2]図 2 は、図 1 の切断線 A - A' および切断線 C - C' における断面構造を示す断面図である。

[図3]図 3 は、図 1 の高耐圧集積回路装置に負サージ電圧が印加されたときのキャリアの挙動を示す説明図である。

[図4]図 4 は、実施の形態 2 にかかる高耐圧集積回路装置の要部の構造を示す断面図である。

[図5]図 5 は、実施の形態 2 にかかる高耐圧集積回路装置の別の一例の要部の構造を示す断面図である。

[図6]図 6 は、実施の形態 3 にかかる高耐圧集積回路装置の要部の構造を示す断面図である。

[図7]図 7 は、実施の形態 4 にかかる高耐圧集積回路装置の要部の構造を示す断面図である。

[図8]図 8 は、図 7 の切断線 B - B' における断面構造を示す断面図である。

[図9]図 9 は、実施の形態 5 にかかる高耐圧集積回路装置の要部の構造を示す断面図である。

[図10]図 10 は、高耐圧集積回路装置の接続構成を示す回路図である。

[図11]図 11 は、レベルアップ回路の構成を示す回路図である。

[図12]図 12 は、レベルダウン回路の構成を示す回路図である。

[図13]図 13 は、従来の高耐圧集積回路装置の構造を示す断面図である。

[図14]図 14 は、図 13 の高耐圧集積回路装置の平面レイアウトを示す平面図である。

発明を実施するための形態

[0074] 以下に添付図面を参照して、この発明にかかる半導体集積回路装置の好適な実施の形態を詳細に説明する。本明細書および添付図面においては、n または p を冠記した層や領域では、それぞれ電子または正孔が多数キャリアで

あることを意味する。また、 n や p に付す $+$ および $-$ は、それぞれそれが付されていない層や領域よりも高不純物濃度および低不純物濃度であることを意味する。なお、以下の実施の形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。

[0075] (実施の形態1)

実施の形態1にかかる半導体集積回路装置の構造について、自己分離型の高耐圧集積回路装置(HVIC)を例に図1, 2, 7~9を参照しながら説明する。図1は、実施の形態1にかかる高耐圧集積回路装置の平面構造を示す図である。図2は、図1の切断線A-A'および切断線C-C'における断面構造を示す断面図である。実施の形態1にかかるHVIC50は、図10に示す電力変換装置を構成するHVICに対応する駆動素子であり、ハーフブリッジ回路のIGBT(トランジスタ)114, 115のオン・オフを制御する機能を有する。HVIC50の接続構成(電力変換装置の回路構成)、HVIC50のレベルシフト機能(レベルシフト回路)の回路構成、および、HVIC50によるIGBT114, 115の駆動方法は例えば従来と同様でよいので、説明を省略する(図10~12の説明を参照)。

[0076] まず、HVIC50の平面レイアウトについて説明する。図1に示すように、実施の形態1にかかるHVIC50は、 p 型半導体基板(第1導電型半導体層)1上に、高電位領域、低電位領域、および高耐圧接合終端領域(HVJT)21を備える。高電位領域とは、HVIC50のH-VDDの電位(第3電位)および V_s の電位(第2電位)が印加される領域である。具体的には、高電位領域は、 p 型半導体基板1のおもて面側に配置された n 型ウエル領域(第1の第2導電型ウエル領域)3である。高電位領域には、例えば、レベルシフト回路の周辺回路であるハイスайд回路部(第2回路部)などが配置される。

[0077] 低電位領域とは、HVIC50のL-VDD(第4電位)やGNDの電位(第1電位)が印加される領域である。具体的には、低電位領域は、 n 型ウエル領域3よりも外側(チップ外周部側)に配置された n -型ウエル領域(第

3の第2導電型ウエル領域)2である。低電位領域には、レベルシフト回路の周辺回路であるローサイド回路部(第1回路部)などが配置される。HVJT21は、耐圧領域および共通電位領域を含む領域であり、例えばレベルシフト回路などが配置されてもよい。耐圧領域は、n型ウエル領域3とn型ウエル領域2との間に配置されたn⁻型ウエル領域(第2の第2導電型ウエル領域)4である。

[0078] 共通電位領域とは、共通電位(例えばGND電位(接地電位))が印加される領域である。具体的には、共通電位領域は、n⁻型ウエル領域4とn⁻型ウエル領域2との間に配置されたp型ウエル領域(第1導電型ウエル領域)5である。以下、共通電位をGND電位として説明する。レベルシフト回路およびレベルシフト回路の周辺回路の断面構造は、例えば従来のHVIC(図13参照)と同様である。ここでは、HVIC50がレベルアップ回路(第3回路)210およびその周辺回路(ハイサイド回路部217およびローサイド回路部216)を備える場合を例に説明するが、HVIC50はレベルダウン回路を備えていてもよい。

[0079] H-VDDは、Vsの電位を基準とするハイサイド駆動電源である低電圧電源113の高電位側に接続する端子である。L-VDDは、GNDの電位を基準とするローサイド駆動電源である低電圧電源112の高電位側に接続する端子である。Vsは、高電圧電源(主回路電源)の高電位側Vssの電位からGNDの電位まで変動する中間電位(浮遊電位)の端子である。GNDはグラウンド(接地)端子である。図1のH-VDD、L-VDD、VsおよびGNDは、それぞれ、図10に示すH-VDD、L-VDD、VsおよびGNDと対応する端子である(図3~5においても同様)。

[0080] 高電位領域であるn型ウエル領域3には、例えば、レベルアップ回路210のハイサイド回路部217、226、H-VDDパッド(端子)、H-OUTパッド、Vsパッド、n⁺型コンタクト領域(以下、第2,3高濃度領域(第1,2の第2導電型高濃度領域)とする)51,54および第2,3ピクアップ電極(第1,2電極)52,55が配置されている。Vs電位領

域（所定領域）81は、 V_s パッドに電氣的に接続され、 V_s の電位が印加される領域である。図1には、 V_s 電位領域81と V_s パッドとを接続する配線層を、 V_s 電位領域81と V_s パッドとをつなぐ破線で示す。

[0081] 具体的には、 V_s 電位領域81は、ハイサイド回路部217を構成する第2nチャネルMOSFET130bのp型オフセット領域131、 n^+ 型ドレイン領域136、 n^+ 型ソース領域137および p^+ 型コンタクト領域138や、第2pチャネルMOSFET130aの p^+ 型ドレイン領域134等が配置される領域である。H-VDD電位領域82は、H-VDDパッドに電氣的に接続され、H-VDDの電位が印加される領域である。H-VDDパッドの電位は、n型ウエル領域3に配置された回路の電源電圧となる。具体的には、H-VDD電位領域82は、ハイサイド回路部217の第2pチャネルMOSFET130aの n^+ 型コンタクト領域132および p^+ 型ソース領域133等が配置される領域である。

[0082] 図1には、 V_s 電位領域81およびH-VDD電位領域82を、略矩形形状の平面形状を有するn型ウエル領域3の外周の1辺13aに沿った方向（以下、第1方向とする）に延びる直線状の平面形状で図示している。また、図1には、 V_s 電位領域81とH-VDD電位領域82とを、第1方向に平行に、かつ第1方向と直交する方向（以下、第2方向とする）に並列に配置した状態を図示している。図1では、 V_s 電位領域81とH-VDD電位領域82とを分けて示しているが、実際には、 V_s 電位領域81およびH-VDD電位領域82に配置される各領域はn型ウエル領域3上に混在して配置される。

[0083] n型ウエル領域3の外周の、 V_s 電位領域81およびH-VDD電位領域82が配置された側の1辺13aに向かい合う辺（対辺）13b側には、例えば、H-VDDパッド、H-OUTパッドおよび V_s パッドが配置されている。H-VDDパッド、H-OUTパッドおよび V_s パッドは例えば第1方向に順に並列に配置されている。また、n型ウエル領域3の外周の、 V_s 電位領域81およびH-VDD電位領域82が配置された側の1辺13aに

向かい合う辺13b側には、各パッド（H-VDDパッド、H-OUTパッドおよびVsパッド）よりも外側に、かつ各パッドに対向するように、第3高濃度領域54が配置されている。第3高濃度領域54は、n型ウエル領域3の外周の1辺13bに沿った方向（第1方向）に延びる直線状の平面形状を有する。

[0084] また、n型ウエル領域3の外周の残りの2辺（向かう合う辺13a, 13b以外の1組の向かい合う2辺）13c, 13dのうち、Vsパッドに対向する1辺13cに沿って、第3高濃度領域54が配置されている。n型ウエル領域3の外周の1辺13cに沿って配置された第3高濃度領域54は、例えばVs電位領域81に対向しないように配置される。また、n型ウエル領域3の外周の2辺13b, 13cに沿ってそれぞれ配置された各第3高濃度領域54は、互いに離して配置されている。すなわち、第3高濃度領域54は、n型ウエル領域3の外周の2辺13b, 13cで共有する1つの角部（コーナー部）に配置されていない。第3高濃度領域54上には、第3高濃度領域54に沿って環状に第3ピックアップ電極55が配置されている。第3ピックアップ電極55は、H-VDDパッドに接続されている。第3高濃度領域54は、n型ウエル領域3の電位を安定させる目的で形成するものであり、回路が形成されていない領域にできるだけ形成することが望ましい。また、第3高濃度領域54を設けない場合もある。

[0085] また、n型ウエル領域3には、n型ウエル領域3の外周に沿って環状にp⁻型領域（以下、p⁻型分離領域（分離領域）とする）53が配置されている。p⁻型分離領域53は、n型ウエル領域3内を接合分離する。具体的には、p⁻型分離領域53は、n型ウエル領域3の、Vs電位領域81、H-VDD電位領域82、第3高濃度領域54および各パッドなどが配置されたp⁻型分離領域53よりも内側（チップ中央部側）の部分と、p⁻型分離領域53よりも外側（チップ外周部側）の部分とを接合分離する。これにより、n型ウエル領域3の、p⁻型分離領域53によって囲まれた内側の部分に正孔が注入されることを防止することができる。p⁻型分離領域53は、可能な限りn型ウエ

ル領域 3 の、 n -型ウエル領域 4 との界面に近い位置に配置することが好ましい。その理由は、 p -型分離領域 5 3 によって囲まれた正孔がほぼ注入されない領域、すなわち V_s 電位領域 8 1 や $H-VDD$ 電位領域 8 2 など配置する領域を可能な限り大きく確保することができるからである。

[0086] n 型ウエル領域 3 の、 p -型分離領域 5 3 よりも外側には、 p -型分離領域 5 3 の外周（すなわち n 型ウエル領域 3 の外周）に沿って、第 2 高濃度領域 5 1 が選択的に配置されている。第 2 高濃度領域 5 1 は、 p -型分離領域 5 3 に接していない。具体的には、第 2 高濃度領域 5 1 は、 n 型ウエル領域 3 の外周の各辺 1 3 a ~ 1 3 d に沿ってそれぞれ、互いに離して配置されており、 n 型ウエル領域 3 のコーナー部には配置されていない。各第 2 高濃度領域 5 1 上には、それぞれ第 2 高濃度領域 5 1 に沿って第 2 ピックアップ電極 5 2 が配置されている。第 2 ピックアップ電極 5 2 は、従来の $HVLC$ の第 2 ピックアップ電極と同様に、 $H-VDD$ パッドに接続されている。

[0087] また、 n 型ウエル領域 3 の外周の辺 1 3 a に沿って配置された 2 つの n^+ 型ドレイン領域 1 4 2 a, 1 4 2 b は、それぞれ n -型ウエル領域 4 をドリフト領域とし、レベルアップ回路 2 1 0 を構成するセット用およびリセット用の n チャネル MOSFET 2 1 1 の n^+ 型ドレイン領域である。これら n 型ウエル領域 3 の外周の辺 1 3 a に沿って配置された 2 つの n^+ 型ドレイン領域 1 4 2 a, 1 4 2 b は、それぞれ、レベルシフト抵抗 2 1 2 a, 2 1 2 b を介して、 n 型ウエル領域 3 の外周の辺 1 3 a に連続する辺 1 3 c, 1 3 d に沿って配置された第 2 高濃度領域 5 1 に接続されている。

[0088] レベルシフト抵抗 2 1 2 (2 1 2 a, 2 1 2 b) は、 n 型ウエル領域 3 の、 n^+ 型ドレイン領域 1 4 2 と、 n 型ウエル領域 3 の外周の辺 1 3 c, 1 3 d に沿うように配置された第 2 高濃度領域 5 1 とに挟まれた部分で構成される内部抵抗である。各 n^+ 型ドレイン領域 1 4 2 a, 1 4 2 b 上には、それぞれ n^+ 型ドレイン領域 1 4 2 a, 1 4 2 b に沿ってドレイン電極 1 4 6 a, 1 4 6 b が配置されている。ドレイン電極 1 4 6 a, 1 4 6 b は、従来のドレイン電極 1 4 6 と同様に、出力部 2 1 5 に接続されている。 n チャネル MOS

F E T 2 1 1 のソース領域は従来の n^+ 型ソース領域 1 4 1 と同様 p 型ウエル領域 5 の内部に形成される（不図示）。 n チャネル MOS F E T 2 1 1 をオンし、レベルシフト抵抗 2 1 2（2 1 2 a, 2 1 2 b）に電流を流して出力部 2 1 5 の電圧を降下させることで、レベルシフト回路動作が可能である。なお、レベルシフト抵抗 2 1 2 は、内部抵抗に限るものではなく他の抵抗素子、例えば、 n 型ウエル領域 3 上に絶縁膜を介して形成された多結晶シリコン層などであってもよい。

[0089] n 型ウエル領域 3 の周囲には、 n 型ウエル領域 3 に接して n 型ウエル領域 3 の周囲を囲むように、 n^- 型ウエル領域 4 が配置されている。 n^- 型ウエル領域 4 に接して n^- 型ウエル領域 4 の周囲を囲むように、共通電位領域である p 型ウエル領域 5 が配置されている。 p 型ウエル領域 5 には、 n^- 型ウエル領域 4 の外周に沿って環状に p^+ 型コンタクト領域（第 1 高濃度領域）1 4 3 が配置されている。第 1 高濃度領域 1 4 3 上には、第 1 高濃度領域 1 4 3 に沿って環状に第 1 ピックアップ電極 1 4 5 が配置されている。第 1 ピックアップ電極 1 4 5 は、GND に接続されている。なお、 n チャネル MOS F E T 2 1 1 の n^+ 型ソース領域 1 4 1 も第 1 ピックアップ電極 1 4 5 に接続される。

[0090] 図 1 では、第 1, 2 ピックアップ電極 1 4 5, 5 2 を簡略化し、チップおもて面を覆う図示省略する層間絶縁膜や保護膜上に堆積された第 1, 2 ピックアップ電極 1 4 5, 5 2 の、コンタクトホールに埋め込まれた部分を黒四角で示す。すなわち、第 1, 2 ピックアップ電極 1 4 5, 5 2 を示す各黒四角は、それぞれ第 1, 2 高濃度領域 1 4 3, 5 1 とのコンタクト（電氣的接触部）である。第 1, 2 ピックアップ電極 1 4 5, 5 2 と対応する各第 1, 2 高濃度領域 1 4 3, 5 1 とが部分的に接する複数のコンタクトを設ける代わりに、第 1, 2 高濃度領域 1 4 3, 5 1 に沿って延びる帯状のコンタクトを設けてもよい。

[0091] 第 1, 2 高濃度領域 1 4 3, 5 1、 p^- 型分離領域 5 3、および、第 2 高濃度領域 5 1 と第 3 高濃度領域 5 4 とに挟まれた部分（第 3 高濃度領域 5 4 が配置されていない部分においては、第 2 高濃度領域 5 1 と p^- 型分離領域 5 3

とに挟まれた部分)でHVJT21が構成される。すなわち、HVJT21は、第1、2高濃度領域143、51と、n⁻型ウエル領域4と、p型ウエル領域5の、第1高濃度領域143よりも内側の部分で構成される。

[0092] 図1には、図11のレベルアップ回路210のnチャネルMOSFET211のn⁺型ドレイン領域142(142a、142b)、ゲート電極(符号144a、144bで示す)およびレベルシフト抵抗212(212a、212b)を示す。HVJT21に、セット用およびリセット用のnチャネルMOSFET211がそれぞれ配置されている。セット用およびリセット用のnチャネルMOSFET211の各n⁺型ドレイン領域142a、142bは、ともにn⁻型ウエル領域4上に配置されている。

[0093] n⁻型ウエル領域4およびp型ウエル領域5上には、セット信号およびリセット信号の入力を受ける各ゲート電極144a、144bが配置されている。ゲート電極144a、144bは、それぞれn⁺型ドレイン領域142a、142bに対向するように、p型ウエル領域5の表面上に絶縁膜(不図示)を介して配置される。

[0094] p型ウエル領域5の周囲には、p型ウエル領域5に接してp型ウエル領域5の周囲を囲むように、低電位領域であるn⁻型ウエル領域2が配置されている。n⁻型ウエル領域2には、レベルアップ回路210のローサイド回路部216のロジック部(不図示)、GNDパッド、H-VDDパッド、L-VDDパッドなどが配置されている。また、各パッドの周囲を囲む破線よりも細かい破線(第2高濃度領域51およびH-VDDパッドを囲む破線)で示す領域は、ピックアップ電極52とH-VDDパッドとを接続する配線層である。

[0095] 次に、HVIC50のp型ウエル領域5、n⁻型ウエル領域4およびn型ウエル領域3の外周の辺13dの部分横切る切断線A-A'における断面構造について説明する。図2に示すように、実施の形態1にかかるHVIC50において、GNDに接続されたp型半導体基板(半導体チップ)1のおもて面の表面層には、上述した配置でn⁻型ウエル領域2、4、n型ウエル領域3

およびp型ウエル領域5がそれぞれ選択的に設けられている。p型半導体基板1の不純物濃度は $2.0 \times 10^{13} / \text{cm}^3$ 以上 $1.0 \times 10^{15} / \text{cm}^3$ 以下程度であることが好ましい。p型ウエル領域5の不純物濃度は $2.0 \times 10^{15} / \text{cm}^3$ 以上 $5.0 \times 10^{18} / \text{cm}^3$ 以下程度の範囲であることが好ましい。

[0096] n型ウエル領域3の基板おもて面側には、ハイサイド回路部217を構成するVs電位領域81および図示省略するH-VDD電位領域82が設けられている。また、n型ウエル領域3の基板おもて面の表面層には、Vs電位領域81よりも外側（n型ウエル領域4側、すなわちチップ外側）に、第2高濃度領域51が選択的に設けられている。さらに、n型ウエル領域3には、基板おもて面からn型ウエル領域3を貫通してp型半導体基板1の残部（p型半導体基板1の裏面側の、n型ウエル領域2、4およびn型ウエル領域3が設けられていない部分）に達するp型分離領域53が設けられている。p型分離領域53は、Vs電位領域81と第2高濃度領域51との間に設けられている。

[0097] p型分離領域53の幅（内側から外側に向う方向の幅）w1は、H-VDDパッドの電位が1200V程度の高電位に跳ね上がった場合においても耐压特性を維持可能な幅とする。具体的には、p型分離領域53の幅w1は、p型分離領域53の内側のn型ウエル領域3との間のpn接合（内周側）、および、p型分離領域53の外側のn型ウエル領域3との間のpn接合（外周側）からそれぞれ伸びる空乏層同士がp型分離領域53内で接するように設定すればよい。すなわち、p型分離領域53の幅w1は、p型分離領域53が空乏化されるように設定する。より具体的には、p型分離領域53の幅w1は、例えば $10 \mu\text{m}$ 以上 $30 \mu\text{m}$ 以下程度であることがよい。

[0098] p型ウエル領域5は、p型半導体基板1の残部に接するように設けられている。p型ウエル領域5は、第1高濃度領域143および第1ピックアップ電極145を介してGNDに電氣的に接続され、p型半導体基板1の電位をGND電位に固定する固定電位領域である。すなわち、p型ウエル領域5は、n型ウエル領域2と、n型ウエル領域3およびn型ウエル領域4とを電気

的に分離する自己分離領域として機能する。p型ウエル領域5は、n⁻型ウエル領域2, 4に代えて設けられた連続する1つのn⁻型ウエル領域（エピタキシャル層）の、ローサイド回路部216が設けられた領域よりもn型ウエル領域3側に、n型ウエル領域3と離して、かつ当該n⁻型ウエル領域を基板おもて面から深さ方向に貫通してp型半導体基板1の残部に接するように設けられていればよい。

[0099] p型ウエル領域5の基板おもて面側の表面層には、第1高濃度領域143が選択的に設けられている。基板おもて面の、第1, 2高濃度領域143, 51など電極とのコンタクトを形成する部分以外には、LOCOS (Local Oxidation of Silicon) などのフィールド酸化膜8が設けられている。フィールド酸化膜8上には、基板おもて面を覆うように層間絶縁膜6が設けられている。第1ピックアップ電極145は、層間絶縁膜6を深さ方向（基板深さ方向）に貫通するコンタクトホールを介して第1高濃度領域143とオーミック接触している。第2ピックアップ電極52は、層間絶縁膜6を深さ方向（基板深さ方向）に貫通するコンタクトホールを介して第2高濃度領域51とオーミック接触している。層間絶縁膜6上には、第1ピックアップ電極145, 52を覆うように保護膜7が設けられている。

[0100] 次に、実施の形態1にかかるHVIC50の製造方法について、図2を参照しながら説明する。ここでは、n⁻型ウエル領域2, 4、n型ウエル領域3、p型ウエル領域5、p⁻型分離領域53、第1, 2高濃度領域143, 51、n⁺型ソース領域141、n⁺型ドレイン領域142（142a, 142b）および第1, 2ピックアップ電極145, 52の形成方法を説明する。HVIC50のその他の構成部（例えばハイサイド回路部217、ローサイド回路部216およびレベルシフト回路等の各構成部）の形成方法は説明を省略するが、一般的な方法により所定のタイミングで基板上に形成すればよい。まず、フォトリソグラフィおよびイオン注入を繰り返し複数回行い、p型半導体基板1のおもて面の表面層に、n⁻型ウエル領域2, 4およびn型ウエル

領域3を形成するための不純物をそれぞれ選択的に導入する。n⁻型ウエル領域2、4、n⁻型ウエル領域3を形成するための不純物は、例えばリン(P)のイオン注入により形成する。

[0101] n⁻型ウエル領域2、4は、例えば1回のイオン注入により同時に形成してもよい。n⁻型ウエル領域2、4およびn⁻型ウエル領域3を形成する順序は種々変更可能である。次に、例えば、高温(1100℃以上1200℃以下程度)で熱処理を行い、導入した不純物を所定の深さに拡散しn⁻型ウエル領域2、4およびn⁻型ウエル領域3を形成する。この熱処理は、n⁻型ウエル領域2、4およびn⁻型ウエル領域3を形成するためのイオン注入ごとに行ってもよい。次に、フォトリソグラフィおよびイオン注入により、p型半導体基板1のおもて面の表面層に、p型ウエル領域5を形成するための不純物を選択的に導入する。p型ウエル領域5を形成するための不純物は、例えばボロン(B)のイオン注入により形成する。次に、例えば、高温(1100℃以上1200℃以下程度)で熱処理を行い、導入した不純物を所定の深さに拡散しp型ウエル領域5を形成する。

[0102] 次に、フォトリソグラフィおよびイオン注入により、n⁻型ウエル領域3の表面にp⁻型分離領域53を形成するための不純物を選択的に導入する。具体的には、例えば、p⁻型分離領域53の形成領域に対応する部分が開口したフォトリソマスクや窒化膜マスクを用いて、n⁻型ウエル領域3が形成されていない部分(すなわちn⁻型ウエル領域3を形成するためのリンのイオン注入が行われていない部分)にボロンのイオン注入を行う。次に、熱処理により導入した不純物を所定の深さに拡散しp⁻型分離領域53を形成する。p⁻型分離領域53は、例えば1回のイオン注入によりp型ウエル領域5と同時に形成してもよい。次に、フォトリソグラフィおよび砒素(As)のイオン注入により、n⁻型ウエル領域3の表面層にn⁺型コンタクト領域である第2高濃度領域51、n⁺型ソース領域141、n⁺型ドレイン領域142を形成するための不純物を選択的に導入する。

[0103] 次に、例えば750℃以上900℃以下程度の温度の熱処理より、導入し

た不純物を所定の深さに拡散し第2高濃度領域51, n⁺型ソース領域141, n⁺型ドレイン領域142を形成する。第2高濃度領域51, n⁺型ソース領域141, n⁺型ドレイン領域142の表面不純物濃度は $1 \times 10^{20} / \text{cm}^3$ 程度としてもよい。次に、フォトリソグラフィおよびフッ化ボロン (BF₃) のイオン注入により、p型ウエル領域5の表面層に、p⁺型コンタクト領域である第1高濃度領域143を形成するための不純物を選択的に導入する。次に、例えば750℃以上900℃以下程度の温度の熱処理により、導入した不純物を所定の深さに拡散し第1高濃度領域143を形成する。第1高濃度領域143の表面不純物濃度は、 $1 \times 10^{20} / \text{cm}^3$ 程度としてもよい。次に、一般的な方法により、フィールド酸化膜8の形成や、層間絶縁膜6の形成、コンタクトホール9の形成、金属電極となる金属層を堆積するためのスパッタなどを行い、コンタクトホール9を埋める金属層からなる第1, 2ピックアップ電極145, 52を形成する。その後、一般的な方法により、基板おもて面を覆うパッシベーション膜などの保護膜7を形成することで、図1に示すHVIC50が完成する。

[0104] 次に、負サージ電圧発生時のキャリア（電子および正孔）の挙動について、図2を参照しながら説明する。負サージ電圧発生時とは、例えば、Vs端子111の電位がマイナス方向に低下して、H-VDDに接続されたハイスайд回路部217を配置したn型ウエル領域3およびHVJT21を構成するn⁻型ウエル領域4が過渡的にGND電位より低い電位になった場合である。図2に示すように、HVIC50には、n⁺型コンタクト領域である第2高濃度領域51をカソードとし、p⁺型コンタクト領域である第1高濃度領域143（およびp型ウエル領域5）をアノードとし、このカソードとアノードとに挟まれたn⁻型ウエル領域4をドリフトとする寄生pnダイオード31が形成される。この寄生pnダイオード31を流れる電流（キャリアの流れ）のうち、正孔は、第1高濃度領域143から、H-VDDの電位の第2ピックアップ電極52に接続された第2高濃度領域51に注入される。一方、寄生pnダイオード31を流れる電子は、第2高濃度領域51からn⁻型ウエル

領域 4 を経由して、GND 電位の第 1 ピックアップ電極 145 に接続された第 1 高濃度領域 143（および p 型ウエル領域 5）に注入される。また、第 2 高濃度領域 51 よりも内側に配置された p-型分離領域 53 によって、n 型ウエル領域 3 の、 V_s 電位領域 81 や $H-VDD$ 電位領域 82 などからなるハイサイド回路部 217 が配置された内側の部分と、第 2 高濃度領域 51 が配置された外側（耐圧領域側）の部分とが接合分離されている。これによって、負サージ電圧発生時に、p-型分離領域 53 が電位障壁となるため、p-型分離領域 53 の外側に形成される寄生 p n ダイオード 31 に流れる電流（正孔）が支配的になる（符号 32 で示す矢印）。したがって、p-型分離領域 53 よりも内側に配置された V_s 電位領域 81 や $H-VDD$ 電位領域 82 には正孔はほとんど流れ込まない（符号 33 で示すバツ印を付した点線矢印）。このため、ハイサイド回路部 217 のロジック部の誤動作や破壊を防止することができる。

[0105] つぎに、負サージ電圧発生時に p 型ウエル領域 5 から n 型ウエル領域 3 に向かうキャリア（主に正孔）の流れについて、図 2, 3 を参照しながらさらに詳しく説明する。図 3 は、図 1 の高耐圧集積回路装置に負サージ電圧が印加されたときのキャリアの挙動を示す説明図である。図 3 において、p 型ウエル領域 5 から第 2 高濃度領域 51 に向かう矢印は、図 2 に示す寄生 p n ダイオード 31 によって支配的になる正孔の流れ 32 である。p 型ウエル領域 5 および n-型ウエル領域 4 上に記載されたダイオードは、図 2 の寄生 p n ダイオード 31 である。バツ印を付した矢印は、図 2 に示すように電位障壁となる p-型分離領域 53 によって n-型ウエル領域 4 から V_s 電位領域 81 への正孔の流れ 33 が抑制された状態である。

[0106] 図 2, 3 に示すように、HVIC50 の V_s および $H-VDD$ をそれぞれ経由して第 1 ピックアップ電極 145 と第 2 ピックアップ電極 52 に負サージ電圧が入力された場合、寄生 p n ダイオード 31 が順方向バイアスされ、正孔は V_s 電位領域 81 などのハイサイド回路部 217 が配置された n 型ウエル領域 3 側へ流れ、電子は p 型ウエル領域 5（第 1 高濃度領域 143）側

へ流れる。このとき、 n 型ウエル領域 3 に流れ込んだ正孔は、 n 型ウエル領域 3 の、 p -型分離領域 5 3 によって接合分離された内側へは流れ込まず（符号 3 3 で示すバツ印を付した矢印）、図 3 において破線で囲んだ $H-OUT$ パッド、 V_s パッドおよび GND パッド付近（以下、寄生 $p-n$ ダイオード領域とする）に積極的に流れ込み、 $H-VDD$ の電位の第 2 ピックアップ電極 5 2 に流れ込む（符号 3 2 に示す矢印）。これによって、 p -型分離領域 5 3 よりも内側に配置された V_s 電位領域 8 1 への正孔の流入を抑制することができる。

[0107] 以上、説明したように、実施の形態 1 によれば、 V_s 電位領域および $H-VDD$ 電位領域などに配置された各領域からなるハイサイド回路部のロジック部を囲むように p -型分離領域を設けて、ハイサイド回路部のロジック部と耐圧領域とを分離し、かつこの p -型分離領域の外側（耐圧領域側）に $H-VDD$ の電位に固定された第 2 高濃度領域および第 2 ピックアップ電極を配置することで、第 2 ピックアップ電極へ流れる電流（正孔）が支配的になり、負サージ電圧発生時においても、 V_s 電位領域への正孔注入量を低減させることができる。また、実施の形態 1 によれば、第 2 ピックアップ電極へ流れる電流（正孔）が支配的になるため、 $HVJT$ に配置されたレベルアップ回路を構成する n チャネル $MOSFET$ のドレインに流れ込む正孔注入量を低減させることができる。このため、 $HVJT$ とハイサイド回路部が配置された V_s 電位領域との間の距離が狭い対向箇所が生じる程度に縮小化を図った場合であっても、ハイサイド回路部のロジック部の誤動作（誤信号伝達）や、ラッチアップによる破壊を起こりにくくすることができる。したがって、チップ面積を大きくすることなく、負サージ電圧によるハイサイド回路部のロジック部の誤動作や破壊を防止した $HVIC$ を提供することができる。

[0108] （実施の形態 2）

次に、実施の形態 2 にかかる半導体集積回路装置（ $HVIC$ ）の構造について説明する。図 4 は、実施の形態 2 にかかる高耐圧集積回路装置の要部の構造を示す断面図である。図 5 は、実施の形態 2 にかかる高耐圧集積回路装

置の別の一例の要部の構造を示す断面図である。実施の形態2にかかるHVICが実施の形態1にかかるHVICと異なる点は、 n^{-} 型ウエル領域4に接するように p^{-} 型分離領域53が配置されている点である。具体的には、図4(a)のように、 n 型ウエル領域3と n^{-} 型ウエル領域4との間に、 n 型ウエル領域3および n^{-} 型ウエル領域4に接するように p^{-} 型分離領域53を配置してもよい。また、 p^{-} 型分離領域53の代わりに図4(b)のように、 n 型ウエル領域3と n^{-} 型ウエル領域4とが接しないように形成して p 型半導体基板1が表面に露出する構成とすることで p 型分離領域153を形成してもよい。また、図5のように、基板おもて面から n^{-} 型ウエル領域4を貫通して p 型半導体基板1の残部に達するように p^{-} 型分離領域53を形成し、内周側および外周側に配置された n^{-} 型ウエル領域4同士に挟まれるように p^{-} 型分離領域53を配置してもよい。

[0109] この場合、レベルアップ回路210を構成する n チャネルMOSFET211の n^{+} 型ドレイン領域142や、 p^{-} 型分離領域53の外周に沿って配置される第2高濃度領域51は、 n^{-} 型ウエル領域4に配置される。また、レベルシフト抵抗212は、 n^{-} 型ウエル領域4の、 n^{+} 型ドレイン領域142とこの n^{+} 型ドレイン領域142に対向する第2高濃度領域51とに挟まれた部分で構成される。これによって、実施の形態1と同様に、実施の形態2にかかるHVICのレベルシフト回路動作を行うことが可能である。また、 p^{-} 型分離領域53の幅は、 n 型ウエル領域3との間の p n 接合（内周側）および n^{-} 型ウエル領域4との間の p n 接合（外周側）からそれぞれ伸びる空乏層同士が p^{-} 型分離領域53内で接するように設定すればよい。なお、図4(b)の例では、 n 型ウエル領域3と n^{-} 型ウエル領域4との間に p 型分離領域153を形成しているが、 n 型ウエル領域3または n^{-} 型ウエル領域4をそれぞれ複数に分離して形成することもできる。

[0110] 以上、説明したように、実施の形態2によれば、実施の形態1と同様の効果を得ることができる。

[0111] （実施の形態3）

次に、実施の形態3にかかる半導体集積回路装置（HVIC）の構造について説明する。図6は、実施の形態3にかかる高耐圧集積回路装置の要部の構造を示す断面図である。実施の形態3にかかるHVIC60が実施の形態1にかかるHVICと異なる点は、耐圧領域であるn型ウエル領域4内を接合分離するようにp型分離領域（分離領域）63が配置されている点である。具体的には、p型分離領域63は、セット側およびリセット側のnチャネルMOSFET211と、Vs電位領域81およびH-VDD電位領域82とを接合分離する。以下に、p型分離領域63の平面レイアウトについて、p型ウエル領域5に接して環状をなす略U字状の3つのp型分離領域63（以下、第1～3 p型分離領域63a～63cとする）を配置した場合を例に説明する。

[0112] 第1, 2 p型分離領域63a, 63bは、それぞれ、nチャネルMOSFET211およびnチャネルMOSFET211に対向する第2高濃度領域51と、Vs電位領域81およびH-VDD電位領域82とを接合分離する。具体的には、第1 p型分離領域63aは、セット用のnチャネルMOSFET211を囲む略U字状に配置され、その両端部はn型ウエル領域4を横切ってp型ウエル領域5に接する。第2 p型分離領域63bは、第1 p型分離領域63aと同様に略U字状に配置され、p型ウエル領域5に接して、リセット用のnチャネルMOSFET211を囲む。

[0113] 第3 p型分離領域63cは、n型ウエル領域3の外周の辺13b～13dに沿って配置された各第2高濃度領域51と、Vs電位領域81およびH-VDD電位領域82とを接合分離する。具体的には、第3 p型分離領域63cは、n型ウエル領域3の外周の3辺13b～13dに沿って配置された各第2高濃度領域51と、第3高濃度領域54、Vs電位領域81およびH-VDD電位領域82との間を通して当該第2高濃度領域51を囲む略U字状に配置され、その両端部はn型ウエル領域4を横切ってp型ウエル領域5に接する。すなわち、第3 p型分離領域63cは、p型ウエル領域5に接して、n型ウエル領域3の外周の辺13b～13cに沿って配置された第2高濃

度領域 5 1 を囲む。

[0114] p-型分離領域 6 3 の幅は、H-VDDパッドの電位が600V程度の高電位に跳ね上がった場合においても耐圧特性を維持可能な幅とする。具体的には、p-型分離領域 6 3 の幅は、p-型分離領域 6 3 の内側の n 型領域（n 型ウエル領域 3 または n-型ウエル領域 4）との間の p n 接合（内周側）、および、p-型分離領域 6 3 の外側の n 型領域との間の p n 接合（外周側）からそれぞれ伸びる空乏層同士が p-型分離領域 6 3 内で接するように設定すればよい。すなわち、p-型分離領域 6 3 の幅は、p-型分離領域 6 3 が空乏化されるように設定する。より具体的には、p-型分離領域 6 3 の幅は、例えば 10 μ m 以上 20 μ m 以下程度であることがよい。

[0115] 実施の形態 3 においては、p-型分離領域 6 3 によって、n 型ウエル領域 3 の外周の辺 1 3 a に沿って配置された第 2 高濃度領域 5 1 と、n 型ウエル領域 3 の外周の辺 1 3 c, 1 3 d に沿って配置された第 2 高濃度領域 5 1 とが接合分離されているため、n 型ウエル領域 3 の内部抵抗からなるレベルシフト抵抗 2 1 2 a, 2 1 2 b を形成することができない。このため、例えば基板（n 型ウエル領域 3）上に絶縁膜を介して配置したポリシリコン抵抗によって、n チャネル MOSFET 2 1 1 の n⁺型ドレイン領域 1 4 2（1 4 2 a, 1 4 2 b）と、H-VDDパッドもしくは第 3 高濃度領域 5 4 とを接続する。これによって、実施の形態 1 と同様に、レベルシフト回路動作を行うことができる。

[0116] 以上、説明したように、実施の形態 3 によれば、実施の形態 1, 2 と同様の効果を得ることができる。

[0117] （実施の形態 4）

次に、実施の形態 4 にかかる半導体集積回路装置（HVIC）の構造について説明する。図 7 は、実施の形態 4 にかかる高耐圧集積回路装置の要部の構造を示す断面図である。図 8 は、図 7 の切断線 B-B' における断面構造を示す断面図である。実施の形態 4 にかかる HVIC 7 0 が実施の形態 1 にかかる HVIC と異なる点は、n 型ウエル領域 3 内を接合分離する p-型分離領

域に代えて、誘電体領域（分離領域）73によってn型ウエル領域3内を誘電体分離している点である。誘電体領域73は、例えばn型ウエル領域3の深さよりも深いトレンチ71の内部に例えば酸化膜（ SiO_2 ）などの一般的な誘電材料膜72を埋め込んでなる。

[0118] 誘電体領域73は、実施の形態1と同様に、n型ウエル領域3のn型ウエル領域3の外周に沿って環状に配置され、n型ウエル領域3の内側（チップ中央部側）の部分と、p⁻型分離領域53よりも外側（チップ外周部側）の部分とを接合分離する。誘電体領域73を形成するには、例えば、n型ウエル領域3を形成した後に、エッチングにより、基板おもて面からn型ウエル領域3を貫通してp型半導体基板1の残部に達するトレンチ71を形成し、その後、トレンチ71の内部に誘電材料膜72を埋め込めばよい。

[0119] また、実施の形態2を適用して、n型ウエル領域3とn⁻型ウエル領域4との間に、n型ウエル領域3およびn⁻型ウエル領域4に接するように誘電体領域73を配置してもよい。また、基板おもて面からn⁻型ウエル領域4を貫通してp型半導体基板1の残部に達するようにトレンチ71を形成して誘電材料膜72を埋め込み、内周側および外周側に配置されたn⁻型ウエル領域4同士に挟まれるように誘電体領域73を配置してもよい。

[0120] また、上述した実施の形態2、3に実施の形態4を適用して、p⁻型分離領域に代えて誘電体領域73を設けた場合においても、実施の形態4と同様の効果が得られる。

[0121] 以上、説明したように、実施の形態4によれば、実施の形態1～3と同様の効果を得ることができる。

[0122] （実施の形態5）

次に、実施の形態5にかかる半導体集積回路装置（HVIC）の構造について説明する。実施の形態5にかかるHVICが実施の形態1にかかるHVICと異なる点は、高電位領域、低電位領域およびHVJTを構成するn型領域（図1のn型ウエル領域3およびn⁻型ウエル領域2、4）に代えて、p型半導体基板1上にn型エピタキシャル成長層を積層してなるエピタキシャ

ル基板（半導体チップ）や、 p -型エピタキシャル層と埋め込み n^+ 型半導体層からなる埋め込みエピタキシャル基板を用いてHVICを構成している点である。この場合、 p -型ウエル領域5は、 n -型エピタキシャル成長層を貫通して下層の p -型半導体層（ p -型半導体基板1や p -型エピタキシャル層）に達する深さで設ければよい。

[0123] 図9は、実施の形態5にかかる高耐圧集積回路装置の要部の構造を示す断面図である。図9では、 p -型半導体基板1表面に n^+ 型埋め込み層3a形成のための不純物を導入後、 p -型半導体基板1上にエピタキシャル層4aを積層し、 n^+ 型埋め込み層3aの上にエピタキシャル層4aの表面から形成された拡散層からなる n -型ウエル領域3bを形成した埋め込みエピタキシャル成長基板の例である。 p -型分離領域83をエピタキシャル層4aの表面から p -型半導体基板1に達するように拡散層により形成している。

[0124] また、上述した実施の形態2～4に実施の形態5を適用して、エピタキシャル基板や埋め込みエピタキシャル基板を用いた場合においても、実施の形態5と同様の効果が得られる。

[0125] 以上、説明したように、実施の形態5によれば、実施の形態1～4と同様の効果を得ることができる。

[0126] 以上において本発明では、上述した各実施の形態に限らず、ハイスайд回路部とHVJTとの間に寄生の pn 接合部（寄生 pn ダイオード）が形成される様々な集積回路に適用可能である。また、各実施の形態は、半導体層または半導体領域の導電型（ n 型、 p 型）を反転させても同様に成り立つ。

産業上の利用可能性

[0127] 以上のように、本発明にかかる半導体集積回路装置は、例えばPWMインバータ、スイッチング電源等における、パワーデバイスのゲートに、オン・オフの駆動信号を伝達する場合などに使用される高耐圧集積回路装置に有用である。

符号の説明

[0128] 1 p -型半導体基板

- 2 n^- 型ウエル領域 (GND基準の低電位領域)
- 3 n 型ウエル領域 (V_s 基準の高電位領域)
- 4 n^- 型ウエル領域 (耐圧領域)
- 5 p 型ウエル領域 (共通電位領域)
- 6 層間絶縁膜
- 7 保護膜
- 13a~13d n 型ウエル領域 (高電位領域) の外周の辺
- 21 高耐圧接合終端領域 (HVJT)
- 31 寄生pnダイオード
- 50, 60, 70 高耐圧集積回路装置 (HVIC)
- 51 第2高濃度領域 (n^+ 型コンタクト領域)
- 52 第2ピックアップ電極
- 53, 63 p^- 型分離領域
- 54 第3高濃度領域 (n^+ 型コンタクト領域)
- 55 第3ピックアップ電極
- 71 トレンチ
- 72 誘電材料膜
- 73 誘電体領域
- 81 V_s 電位領域
- 82 $H-VDD$ 電位領域
- 110 異常信号
- 111 V_s 端子
- 112, 113 低電圧電源
- 114, 115 IGBT (ハーフブリッジ回路)
- 116, 117 還流ダイオード (FWD)
- 118 L負荷
- 119 コンデンサ
- 120a 第1pチャネルMOSFET

1 2 0 b 第1 nチャネルMOSFET

1 2 1, 1 3 1 p型オフセット領域

1 2 2, 1 3 2 n⁺型コンタクト領域

1 2 3, 1 3 3 p⁺型ソース領域

1 2 4, 1 3 4 p⁺型ドレイン領域

1 2 5, 1 2 9, 1 3 5, 1 3 9, 1 4 4, 1 4 4 a, 1 4 4 b ゲート

電極

1 2 6, 1 3 6, 1 4 2, 1 4 2 a, 1 4 2 b n⁺型ドレイン領域

1 2 7, 1 3 7, 1 4 1 n⁺型ソース領域

1 2 8, 1 3 8, 1 4 3 p⁺型コンタクト領域

1 3 0 a 第2 pチャネルMOSFET

1 3 0 b 第2 nチャネルMOSFET

1 4 3 第1 高濃度領域 (p⁺型コンタクト領域)

1 4 5 第1 ピックアップ電極 (ソース電極)

1 4 6 ドレイン電極

1 5 3 p型分離領域

1 6 1, 1 6 3, 1 6 5, 1 6 7 ソース電極

1 6 2, 1 6 4, 1 6 6, 1 6 8 ドレイン電極

2 1 0 レベルアップ回路

2 1 1 レベルアップ回路を構成するnチャネルMOSFET

2 1 2, 2 1 2 a, 2 1 2 b, 2 2 2 レベルシフト抵抗

2 1 3, 2 2 3 ダイオード

2 1 4, 2 2 4 ボディーダイオード

2 1 5, 2 2 5 出力部

2 1 6, 2 2 7 ローサイド回路部

2 1 7, 2 2 6 ハイサイド回路部

2 2 0 レベルダウン回路

2 2 1 レベルダウン回路を構成するpチャネルMOSFET

w 1 p-型分離領域の幅

請求の範囲

[請求項1]

第1導電型半導体層の一方の面の表面層に設けられ、第2電位以上の電位が供給される第1の第2導電型ウエル領域と、

前記第1導電型半導体層の一方の面の表面層に、前記第1の第2導電型ウエル領域に接して設けられ、前記第1の第2導電型ウエル領域の周囲を囲む、前記第1の第2導電型ウエル領域よりも不純物濃度の低い第2の第2導電型ウエル領域と、

前記第1導電型半導体層の一方の面の表面層に、前記第2の第2導電型ウエル領域と接して設けられ、前記第2の第2導電型ウエル領域の周囲を囲む第1導電型ウエル領域と、

前記第1の第2導電型ウエル領域内の所定領域と前記所定領域よりも外側の領域とを電氣的に分離する分離領域と、

前記第1の第2導電型ウエル領域または前記第2の第2導電型ウエル領域の内部の、前記分離領域よりも外側に設けられた、前記第1の第2導電型ウエル領域よりも不純物濃度の高い第1の第2導電型高濃度領域と、

前記第1の第2導電型ウエル領域または前記第2の第2導電型ウエル領域の内部の、前記分離領域よりも内側に設けられた、前記第1の第2導電型ウエル領域よりも不純物濃度の高い第2の第2導電型高濃度領域と、

前記第1の第2導電型高濃度領域に接し、前記第1の第2導電型高濃度領域を介して前記第1の第2導電型ウエル領域または前記第2の第2導電型ウエル領域に、前記第2電位よりも高い第3電位を印加する第1電極と、

前記第2の第2導電型高濃度領域に接し、前記第2の第2導電型高濃度領域を介して前記第1の第2導電型ウエル領域または前記第2の第2導電型ウエル領域に前記第3電位を印加する第2電極と、

を備えることを特徴とする半導体集積回路装置。

- [請求項2] 前記分離領域は、前記所定領域を囲む環状に配置されていることを特徴とする請求項1に記載の半導体集積回路装置。
- [請求項3] 前記分離領域は、前記所定領域と前記第1の第2導電型高濃度領域との間を通り、かつ前記第2の第2導電型ウエル領域を横切って前記第1導電型ウエル領域に達するように配置され、前記所定領域と前記第1の第2導電型高濃度領域よりも外側の領域とを分離することを特徴とする請求項1に記載の半導体集積回路装置。
- [請求項4] 前記分離領域は、第1導電型半導体領域または誘電体領域であることを特徴とする請求項1に記載の半導体集積回路装置。
- [請求項5] 前記第1導電型半導体層の一方の面の表面層に、前記第1導電型ウエル領域を挟んで前記第1の第2導電型ウエル領域と反対側に設けられる第3の第2導電型ウエル領域と、
前記第3の第2導電型ウエル領域に設けられ、第1電位を基準とする第1低電圧電源から前記第1電位よりも高い第4電位が供給される第1回路部と、
前記第1の第2導電型ウエル領域に設けられ、前記第2電位を基準とする第2低電圧電源から前記第3電位が供給される第2回路部と、
前記第2の第2導電型ウエル領域および前記第1導電型ウエル領域に設けられ、前記第1回路部と前記第2回路部との間に接続され、前記第1回路部から入力された信号の電圧レベルを変換して前記第2回路部に出力する第3回路部と、
をさらに備え、
前記第2回路部は、前記第3回路部から出力された信号に基づいて、直列に接続された2つのトランジスタの高電位側の前記トランジスタのゲート信号を出力することを特徴とする請求項1～4のいずれか一つに記載の半導体集積回路装置。
- [請求項6] 前記第2電位は、直列に接続された2つの前記トランジスタの主回路電源の高電位側電位から前記第1電位までの間の浮遊電位であるこ

とを特徴とする請求項 5 に記載の半導体集積回路装置。

[請求項7] 前記所定領域には、前記第 2 電位が供給されることを特徴とする請求項 5 に記載の半導体集積回路装置。

補正された請求の範囲
[2015年10月30日(30.10.2015)国際事務局受理]

[請求項1] (補正後) 第1導電型半導体層の一方の面の表面層に設けられ、第2電位以上の電位が供給される第1の第2導電型ウエル領域と、

前記第1導電型半導体層の一方の面の表面層に、前記第1の第2導電型ウエル領域に接して設けられ、前記第1の第2導電型ウエル領域の周囲を囲む、前記第1の第2導電型ウエル領域よりも不純物濃度の低い第2の第2導電型ウエル領域と、

前記第1導電型半導体層の一方の面の表面層に、前記第2の第2導電型ウエル領域と接して設けられ、前記第2の第2導電型ウエル領域の周囲を囲む第1導電型ウエル領域と、

前記第1の第2導電型ウエル領域内の所定領域と前記所定領域よりも外側の領域とを電氣的に分離する分離領域と、

前記第1の第2導電型ウエル領域または前記第2の第2導電型ウエル領域の内部の、前記分離領域よりも外側に設けられた、前記第1の第2導電型ウエル領域よりも不純物濃度の高い第1の第2導電型高濃度領域と、

前記第1の第2導電型ウエル領域または前記第2の第2導電型ウエル領域の内部の、前記分離領域よりも内側に設けられた、前記第1の第2導電型ウエル領域よりも不純物濃度の高い第2の第2導電型高濃度領域と、

前記第1の第2導電型高濃度領域に接し、前記第1の第2導電型高濃度領域を介して前記第1の第2導電型ウエル領域または前記第2の第2導電型ウエル領域に、前記第2電位よりも高い第3電位を印加する第1電極と、

前記第2の第2導電型高濃度領域に接し、前記第2の第2導電型高濃度領域を介して前記第1の第2導電型ウエル領域または前記第2の第2導電型ウエル領域に前記第3電位を印加する第2電極と、

を備え、

前記分離領域は、前記第2の第2導電型ウエル領域を横切って前記第1導電型ウエル領域に達するように配置されることを特徴とする半導体集積回路装置。

[請求項2] (追加) 半導体基板の一方の面の表面層に設けられ、第2電位以上の電位が供給される第1の第2導電型ウエル領域と、

前記半導体基板の一方の面の表面層に、前記第1の第2導電型ウエル領域に接して設けられ、前記第1の第2導電型ウエル領域の周囲を囲む、前記第1の第2導電型ウエル領域よりも不純物濃度の低い第2の第2導電型ウエル領域と、

前記半導体基板の一方の面の表面層に、前記第2の第2導電型ウエル領域と接して設けられ、前記第2の第2導電型ウエル領域の周囲を囲む第1導電型ウエル領域と、

前記第1の第2導電型ウエル領域、前記第2の第2導電型ウエル領域および前記第1導電型ウエル領域のそれぞれの低部に接する第1導電型半導体層と、

前記第1の第2導電型ウエル領域内の所定領域と前記所定領域よりも外側の領域とを電氣的に分離する分離領域と、

前記第1の第2導電型ウエル領域または前記第2の第2導電型ウエル領域の内部の、前記分離領域よりも外側に設けられた、前記第1の第2導電型ウエル領域よりも不純物濃度の高い第1の第2導電型高濃度領域と、

前記第1の第2導電型ウエル領域または前記第2の第2導電型ウエル領域の内部の、前記分離領域よりも内側に設けられた、前記第1の第2導電型ウエル領域よりも不純物濃度の高い第2の第2導電型高濃度領域と、

前記第1の第2導電型高濃度領域に接し、前記第1の第2導電型高濃度領域を介して前記第1の第2導電型ウエル領域または前記第2の第2導電型ウエル領域に、前記第2電位よりも高い第3電位を印加する第1電極と、

前記第2の第2導電型高濃度領域に接し、前記第2の第2導電型高濃度領域を介して前記第1の第2導電型ウエル領域または前記第2の第2導電型ウエル領域に前記第3電位を印加する第2電極と、

を備え、

前記分離領域は、前記第2の第2導電型ウエル領域を横切って前記第1導電型ウエル領域に達するように配置されることを特徴とする半導体集積回路装置。

〔請求項3〕（補正後） 前記分離領域は、第1導電型半導体領域または誘電体領域であることを特徴とする請求項1に記載の半導体集積回路装置。

〔請求項4〕（補正後） 前記分離領域は、第1導電型半導体領域または誘電体領域であることを特徴とする請求項2に記載の半導体集積回路装置。

〔請求項 5〕（補正後） 前記第 1 導電型半導体層の一方の面の表面層に、前記第 1 導電型ウエル領域を挟んで前記第 1 の第 2 導電型ウエル領域と反対側に設けられる第 3 の第 2 導電型ウエル領域と、

前記第 3 の第 2 導電型ウエル領域に設けられ、第 1 電位を基準とする第 1 低電圧電源から前記第 1 電位よりも高い第 4 電位が供給される第 1 回路部と、

前記第 1 の第 2 導電型ウエル領域に設けられ、前記第 2 電位を基準とする第 2 低電圧電源から前記第 3 電位が供給される第 2 回路部と、

前記第 2 の第 2 導電型ウエル領域および前記第 1 導電型ウエル領域に設けられ、前記第 1 回路部と前記第 2 回路部との間に接続され、前記第 1 回路部から入力された信号の電圧レベルを変換して前記第 2 回路部に出力する第 3 回路部と、

をさらに備え、

前記第 2 回路部は、前記第 3 回路部から出力された信号に基づいて、直列に接続された 2 つのトランジスタの高電位側の前記トランジスタのゲート信号を出力することを特徴とする請求項 1 または 3 に記載の半導体集積回路装置。

〔請求項 6〕 前記第 2 電位は、直列に接続された 2 つの前記トランジスタの主回路電源の高電位側電位から前記第 1 電位までの間の浮遊電位であることを特徴とする請求項 5 に記載の半導体集積回路装置。

〔請求項 7〕 前記所定領域には、前記第 2 電位が供給されることを特徴とする請求項 5 に記載の半導体集積回路装置。

条約第19条(1)に基づく説明書

請求の範囲第1項は、出願時の請求の範囲第1項および第3項の記載に基づくものです。

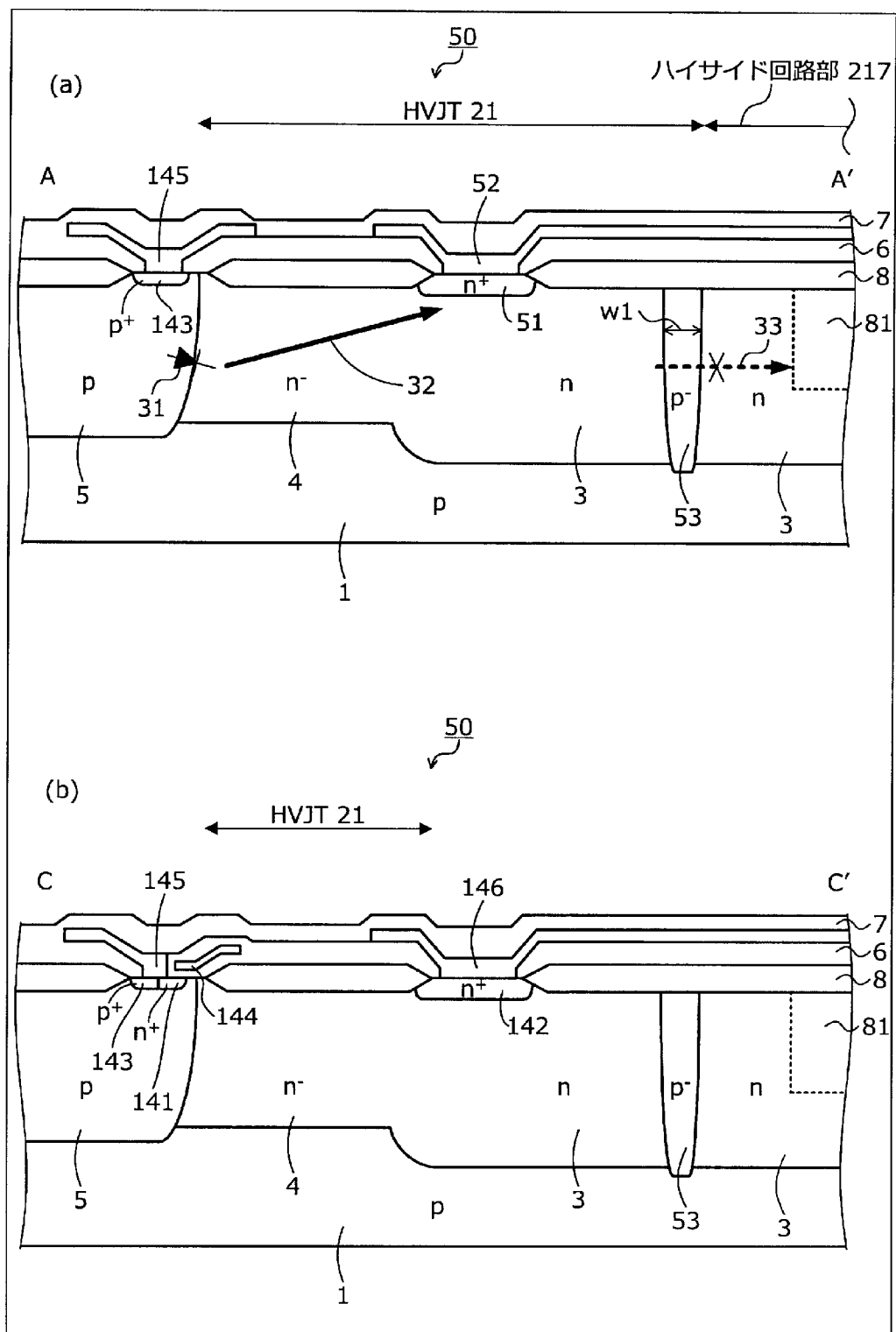
請求の範囲第2項は、出願時の明細書の段落番号[0074]～[0126]に基づくものです。

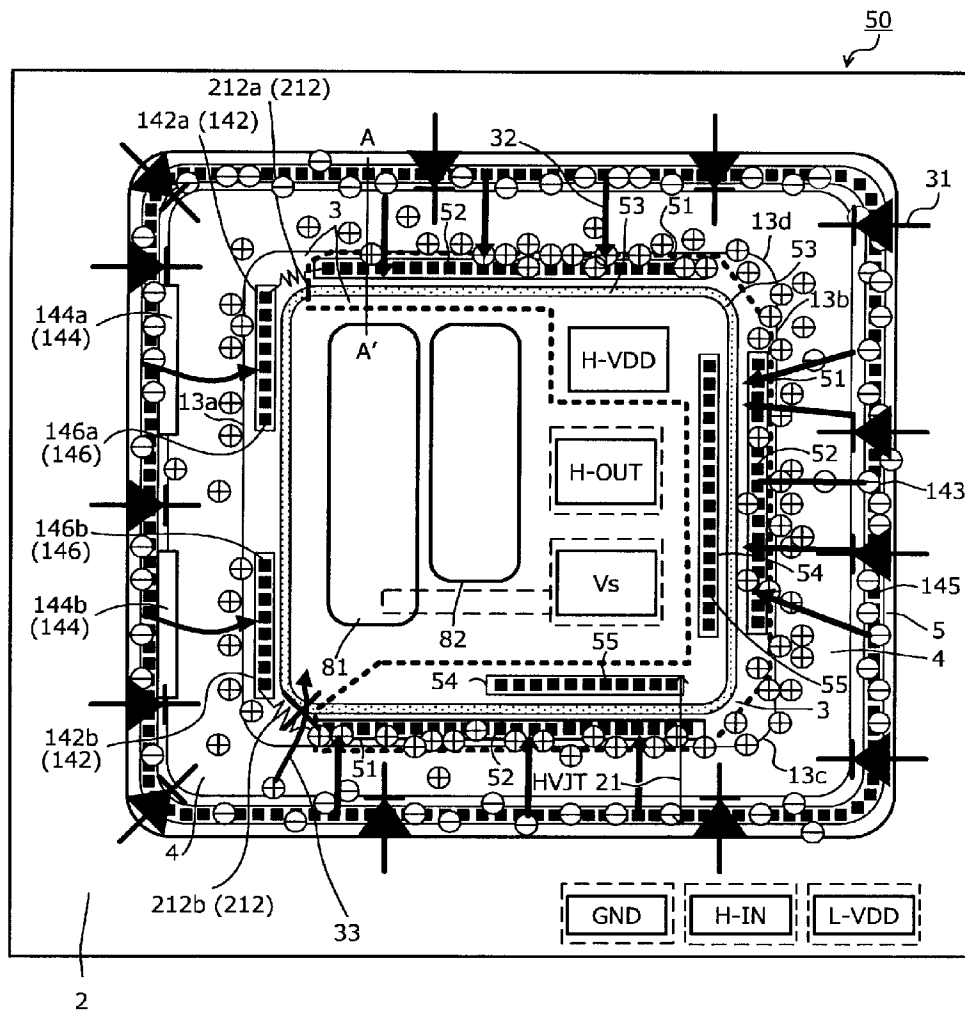
請求の範囲第3項は、出願時の請求の範囲第4項の記載に基づくものです。

請求の範囲第4項は、請求の範囲第2項を追加したため、従属先を変更しました。

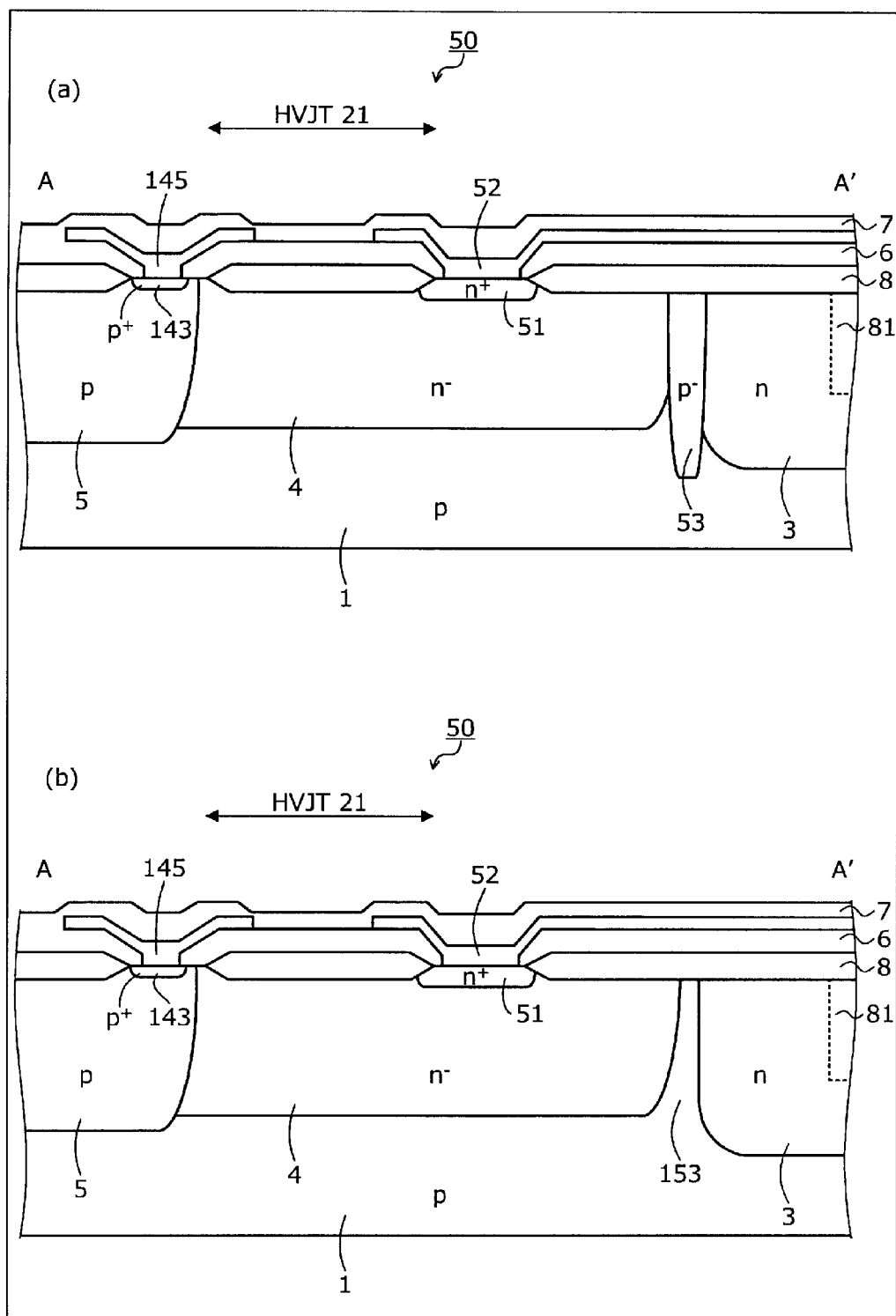
請求の範囲第5項は、請求の範囲第2項を追加したため、従属先を変更しました。

[図2]





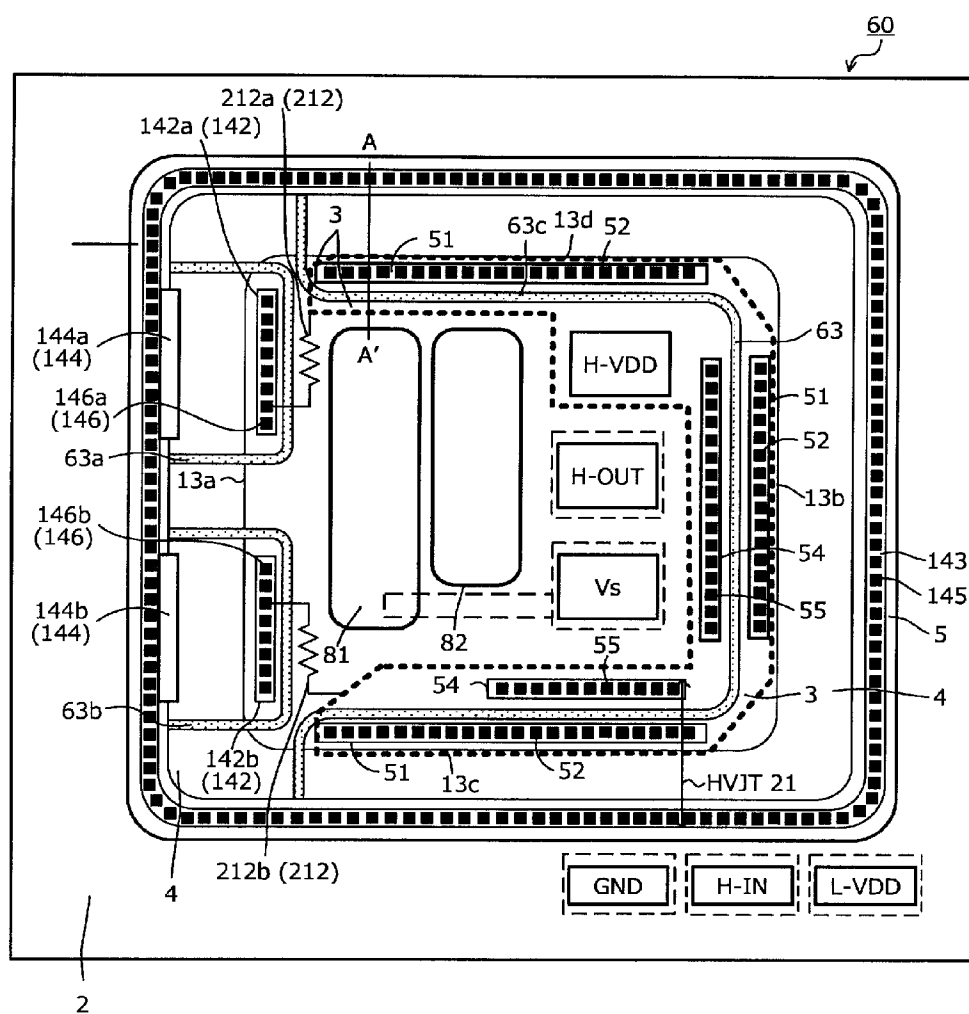
[図4]



(a) Cross-sectional diagram of HVJT 21. The device is shown in a cross-section with terminals A and A' at the top. The structure includes a p-type substrate (1) with an n-type layer (4) and a p-type layer (5). A p⁺ region (143) is formed in the p-type layer (5) under terminal A. An n⁺ region (51) is formed in the n-type layer (4) under terminal A'. A p⁻ region (53) is formed in the p-type layer (5) under terminal A'. The device is labeled 50.

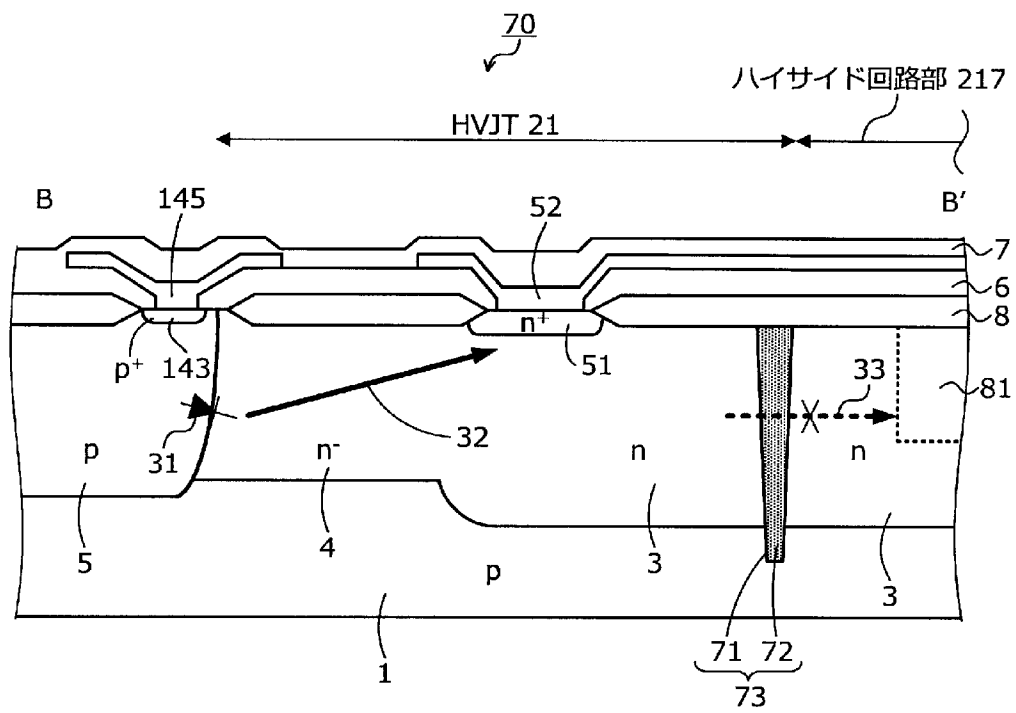
(b) Cross-sectional diagram of HVJT 22. The device is shown in a cross-section with terminals C and C' at the top. The structure includes a p-type substrate (1) with an n-type layer (4) and a p-type layer (5). A p⁺ region (143) is formed in the p-type layer (5) under terminal C. An n⁺ region (142) is formed in the n-type layer (4) under terminal C'. A p⁻ region (53) is formed in the p-type layer (5) under terminal C'. The device is labeled 50.

[図6]

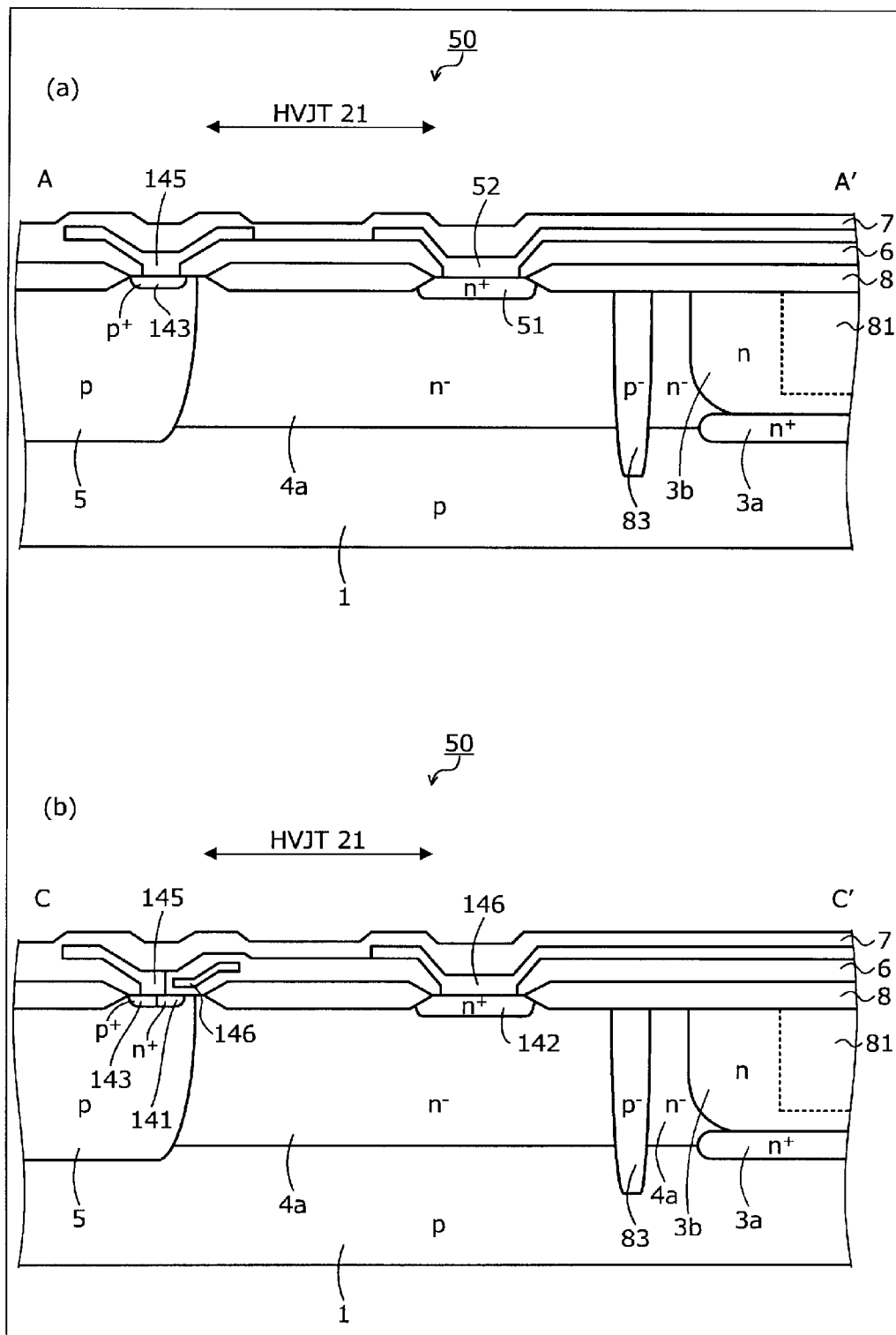


[illegible]

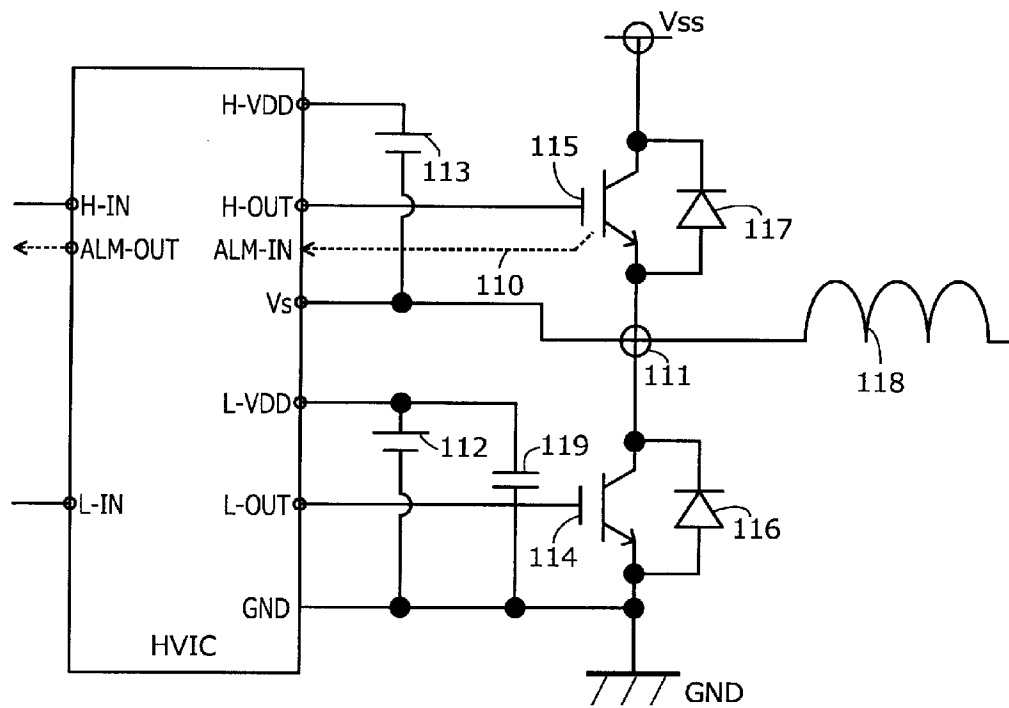
[図8]



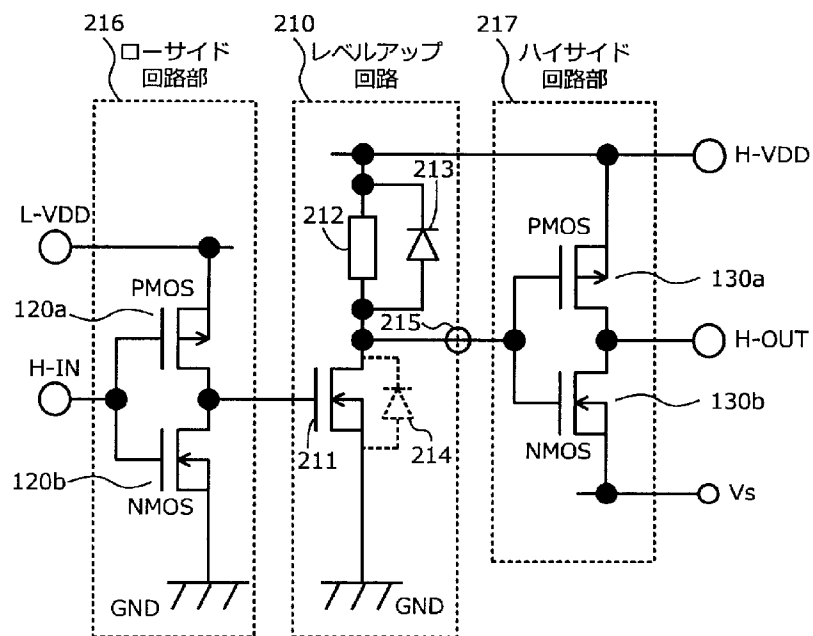
[図9]



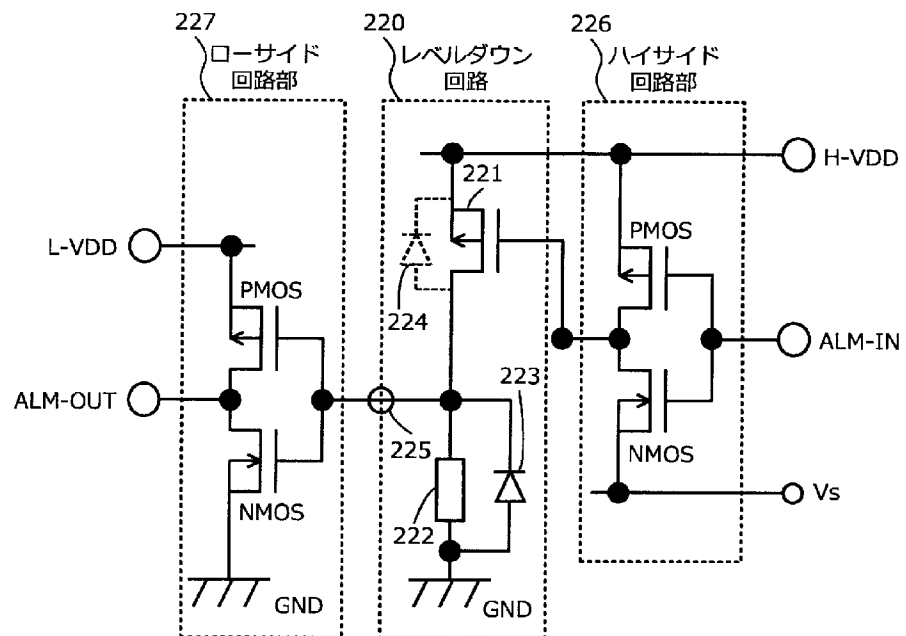
[図10]



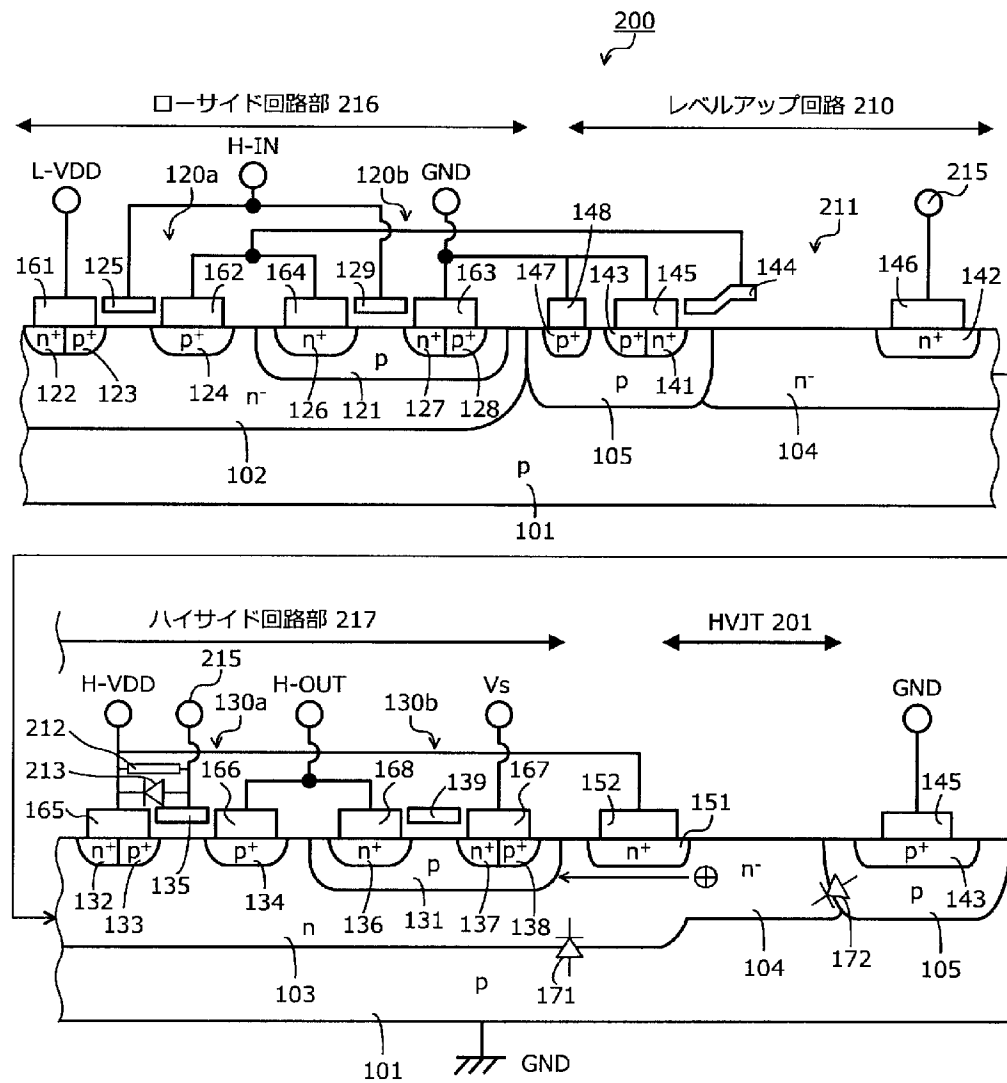
[図11]



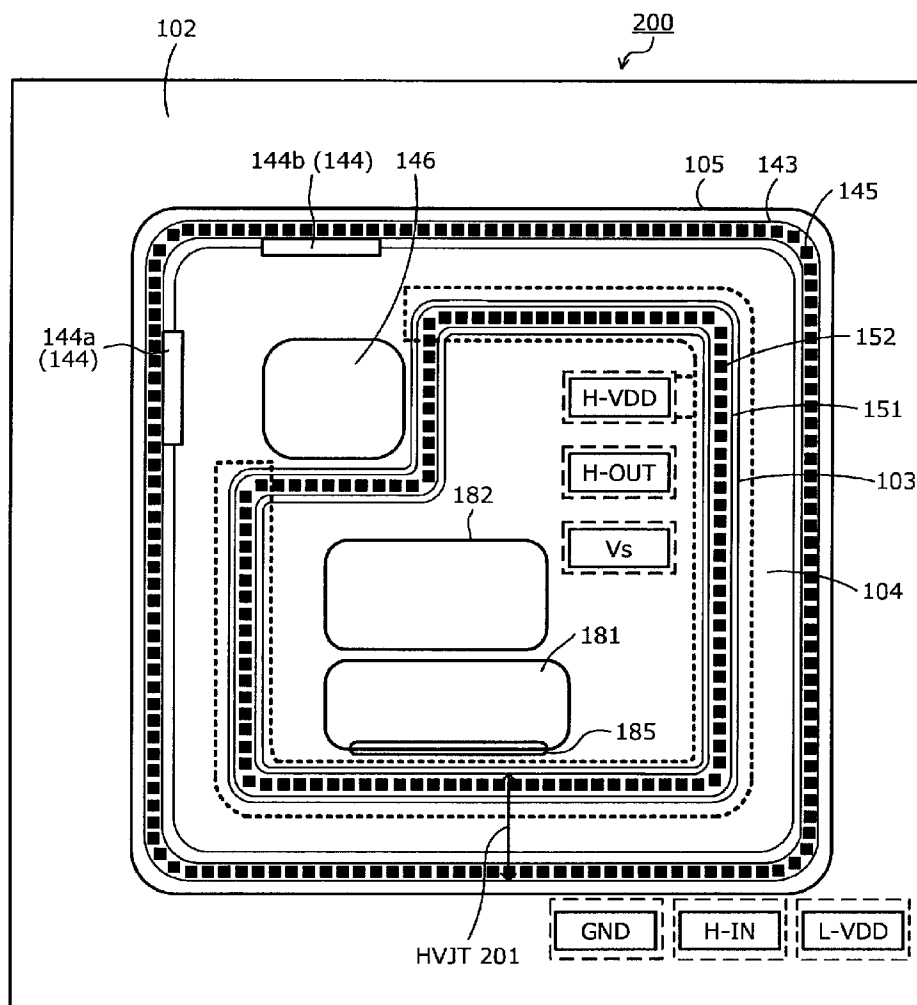
[図12]



[図13]



[図14]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/067370

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/08(2006.01)i, H01L21/76(2006.01)i, H01L21/822(2006.01)i,
H01L21/8234(2006.01)i, H01L27/04(2006.01)i, H01L27/088(2006.01)i,
H02M3/155(2006.01)i, H02M7/48(2007.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/08, H01L21/76, H01L21/822, H01L21/8234, H01L27/04, H01L27/088,
H02M3/155, H02M7/48

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	WO 2014/041921 A1 (Fuji Electric Co., Ltd.), 20 March 2014 (20.03.2014), entire text; all drawings & US 2015/0014783 A1 & CN 104221147 A	1, 2, 4-7 3
Y	WO 2012/176347 A1 (Fuji Electric Co., Ltd.), 27 December 2012 (27.12.2012), entire text; all drawings & US 2013/0001736 A1 & EP 2725606 A1 & CN 103038876 A	1, 2, 4-7
A	JP 2004-006555 A (Fuji Electric Holdings Co., Ltd.), 08 January 2004 (08.01.2004), entire text; all drawings & US 2002/0195659 A1 & DE 10225860 A1	1-7

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
24 August 2015 (24.08.15)

Date of mailing of the international search report
01 September 2015 (01.09.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L27/08(2006.01)i, H01L21/76(2006.01)i, H01L21/822(2006.01)i, H01L21/8234(2006.01)i,
H01L27/04(2006.01)i, H01L27/088(2006.01)i, H02M3/155(2006.01)i, H02M7/48(2007.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L27/08, H01L21/76, H01L21/822, H01L21/8234, H01L27/04, H01L27/088, H02M3/155, H02M7/48

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	WO 2014/041921 A1（富士電機株式会社）2014.03.20, 全文全図 & US 2015/0014783 A1 & CN 104221147 A	1, 2, 4-7 3
Y	WO 2012/176347 A1（富士電機株式会社）2012.12.27, 全文全図 & US 2013/0001736 A1 & EP 2725606 A1 & CN 103038876 A	1, 2, 4-7
A	JP 2004-006555 A（富士電機ホールディングス株式会社） 2004.01.08, 全文全図 & US 2002/0195659 A1 & DE 10225860 A1	1-7

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 4 . 0 8 . 2 0 1 5

国際調査報告の発送日

0 1 . 0 9 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

市川 武宜

5 F

5 2 9 3

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6