



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년01월13일
(11) 등록번호 10-1007678
(24) 등록일자 2011년01월05일

(51) Int. Cl.

H01L 21/20 (2006.01)

(21) 출원번호 10-2005-7017178

(22) 출원일자(국제출원일자) 2004년03월12일

심사청구일자 2008년12월16일

(85) 번역문제출일자 2005년09월13일

(65) 공개번호 10-2005-0109568

(43) 공개일자 2005년11월21일

(86) 국제출원번호 PCT/JP2004/003347

(87) 국제공개번호 WO 2004/084308

국제공개일자 2004년09월30일

(30) 우선권주장

JP-P-2003-00073768 2003년03월18일 일본(JP)

(56) 선행기술조사문헌

JP2000351690 A

JP2001044398 A

JP2001146498 A

전체 청구항 수 : 총 30 항

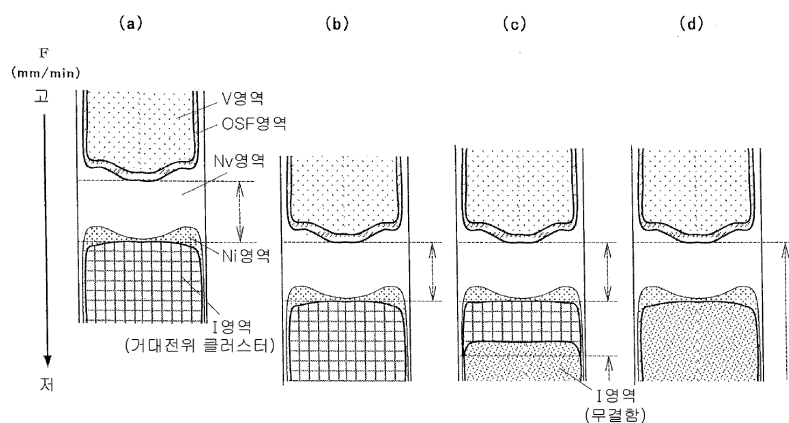
심사관 : 오창석

(54) S O I 웨이퍼 및 그 제조방법

(57) 요약

본 발명은, 적어도 지지 기판 상에 절연막을 매개로 또는 직접 실리콘 활성층이 형성된 SOI 웨이퍼로서, 적어도 상기 실리콘 활성층이, 쇼크랄스키 법에 의해 육성된 N영역 및/또는 무결함 I영역의 P(인) 도프 실리콘 단결정이고, 또한 Al(알루미늄)을 2×10^{12} atoms/cc 이상의 농도로 포함하는 것으로 이루어진 것을 특징으로 하는 SOI 웨이퍼이다. 이것에 의해, 극히 얇은 실리콘 활성층을 형성한 경우라 해도, 불산 세정등에 의해 미소 피트가 발생하지 않고 우수한 전기 특성을 가지며, 또는, 극히 얇은 층간 절연막을 형성한 경우라 해도, 고절연성이 유지되어, 디바이스 제작 공정에서의 전기적 신뢰성이 높은 SOI 웨이퍼를 간단하면서도 저가로 제공하는 것이 가능하다.

대표도



특허청구의 범위

청구항 1

적어도 지지 기판 상에 절연막을 매개로 또는 직접 실리콘 활성층이 형성된 SOI 웨이퍼로서, 적어도 상기 실리콘 활성층이, 쇼크랄스키 법에 의해 육성된 N영역 및 무결함 I영역 중 적어도 한 영역의 P(인)도프 실리콘 단결정 이고, 또한 Al(알루미늄)을 2×10^{12} atoms/cc 이상의 농도로 포함하는 것으로 이루어진 것을 특징으로 하는 SOI 웨이퍼.

청구항 2

각각 실리콘 단결정으로 이루어진 베이스 웨이퍼와 본드 웨이퍼를, 절연막을 매개로 접합한 후, 상기 본드 웨이퍼를 박막화 하는 것에 의해 실리콘 활성층이 형성된 SOI 웨이퍼로서, 상기 본드 웨이퍼 및/또는 상기 베이스 웨이퍼가 쇼크랄스키 법에 의해 육성된 N영역 및 무결함 I영역 중 적어도 한 영역의 P도프 실리콘 단결정이고, 또한 Al을 2×10^{12} atoms/cc 이상의 농도로 포함하는 것으로 이루어진 것을 특징으로 하는 SOI 웨이퍼.

청구항 3

제1항에 있어서,

상기 P도프 실리콘 단결정은, P가 1×10^{14} atoms/cc 이상의 농도로 포함되어 있는 것임을 특징으로 하는 SOI 웨이퍼.

청구항 4

제2항에 있어서,

상기 P도프 실리콘 단결정은, P가 1×10^{14} atoms/cc 이상의 농도로 포함되어 있는 것임을 특징으로 하는 SOI 웨이퍼.

청구항 5

제1항에 있어서,

상기 실리콘 활성층은, 두께가 5nm 이상 200nm 이하의 범위에 있는 것을 특징으로 하는 SOI 웨이퍼.

청구항 6

제2항에 있어서,

상기 실리콘 활성층은, 두께가 5nm 이상 200nm 이하의 범위에 있는 것을 특징으로 하는 SOI 웨이퍼.

청구항 7

제3항에 있어서,

상기 실리콘 활성층은, 두께가 5nm 이상 200nm 이하의 범위에 있는 것을 특징으로 하는 SOI 웨이퍼.

청구항 8

제4항에 있어서,

상기 실리콘 활성층은, 두께가 5nm 이상 200nm 이하의 범위에 있는 것을 특징으로 하는 SOI 웨이퍼.

청구항 9

제1항 내지 제8항 중 어느 한 항에 있어서,

상기 절연막은, 실리콘 산화막으로서, 두께가 10nm 이상 100nm 이하의 범위에 있는 것을 특징으로 하는

SOI 웨이퍼.

청구항 10

적어도, 실리콘 웨이퍼에 산소를 주입 후, 열처리하는 것으로 절연막층(산화막층)을 형성하고, 상기 웨이퍼 내에 상기 절연막층으로 구분된 실리콘 활성층을 형성하는 SOI 웨이퍼의 제조 방법에 있어서, 적어도, 상기 실리콘 웨이퍼로서, 쇼크랄스키 법에 의해 육성된 N영역 및 무결함 I영역 중 적어도 한 영역의 P도프 실리콘 단결정이고, 또한 Al을 2×10^{12} atoms/cc 이상의 농도로 포함하는 실리콘 웨이퍼를 이용하는 것을 특징으로 하는 SOI 웨이퍼의 제조방법.

청구항 11

적어도, 베이스 웨이퍼와 본드 웨이퍼를 직접 접합하는 접합 공정과, 상기 본드 웨이퍼를 박막화하는 것에 의해 실리콘 활성층을 형성하는 박막화 공정을 포함하는 SOI 웨이퍼의 제조 방법에 있어서, 상기 베이스 웨이퍼로서 절연성의 기판을 이용하고, 상기 본드 웨이퍼로서 쇼크랄스키 법에 의해 육성된 N영역 및 무결함 I영역 중 적어도 한 영역의 P도프 실리콘 단결정이고, 또한 Al을 2×10^{12} atoms/cc 이상의 농도로 포함하는 실리콘 웨이퍼를 이용하는 것을 특징으로 하는 SOI 웨이퍼의 제조방법.

청구항 12

적어도, 각각 실리콘 단결정으로 이루어진 베이스 웨이퍼와 본드 웨이퍼를 절연막을 매개로 접합하는 접합 공정과, 상기 본드 웨이퍼를 박막화하는 것에 의해 실리콘 활성층을 형성하는 박막화 공정을 포함하는 SOI 웨이퍼의 제조 방법에 있어서, 상기 본드 웨이퍼 및/또는 상기 베이스 웨이퍼로서, 쇼크랄스키 법에 의해 육성된 N영역 및 무결함 I영역 중 적어도 한 영역의 P도프 실리콘 단결정이고, 또한 Al을 2×10^{12} atoms/cc 이상의 농도로 포함하는 실리콘 웨이퍼를 이용하는 것을 특징으로 하는 SOI 웨이퍼의 제조방법.

청구항 13

제11항에 있어서,

상기 접합 공정 전에, 본드 웨이퍼의 표면에서 수소 이온 및 희 가스 이온의 적어도 1종의 이온을 주입하여 웨이퍼 내부에 이온 주입층을 형성하는 이온 주입 공정을 행하고, 상기 접합 공정에서는, 상기 본드 웨이퍼의 이온 주입된 층의 표면과 상기 베이스 웨이퍼의 표면을 직접 또는 절연막을 매개로 접합하고, 상기 박막화 공정에서는, 열처리에 의해 상기 본드 웨이퍼의 일부를 상기 이온 주입층으로 박리하는 것을 특징으로 하는 SOI 웨이퍼의 제조방법.

청구항 14

제12항에 있어서,

상기 접합 공정 전에, 본드 웨이퍼의 표면에서 수소 이온 및 희 가스 이온의 적어도 1종의 이온을 주입하여 웨이퍼 내부에 이온 주입층을 형성하는 이온 주입 공정을 행하고, 상기 접합 공정에서는, 상기 본드 웨이퍼의 이온 주입된 층의 표면과 상기 베이스 웨이퍼의 표면을 직접 또는 절연막을 매개로 접합하고, 상기 박막화 공정에서는, 열처리에 의해 상기 본드 웨이퍼의 일부를 상기 이온 주입층으로 박리하는 것을 특징으로 하는 SOI 웨이퍼의 제조방법.

청구항 15

제10항에 있어서,

상기 P도프 실리콘 단결정으로서, P가 1×10^{14} atoms/cc 이상의 농도로 포함하는 것을 이용하는 것을 특징으로 하는 SOI 웨이퍼의 제조방법.

청구항 16

제11항에 있어서,

상기 P도프 실리콘 단결정으로서, P가 1×10^{14} atoms/cc이상의 농도로 포함하는 것을 이용하는 것을 특징으로 하는 SOI웨이퍼의 제조방법.

청구항 17

제12항에 있어서,

상기 P도프 실리콘 단결정으로서, P가 1×10^{14} atoms/cc이상의 농도로 포함하는 것을 이용하는 것을 특징으로 하는 SOI웨이퍼의 제조방법.

청구항 18

제13항에 있어서,

상기 P도프 실리콘 단결정으로서, P가 1×10^{14} atoms/cc이상의 농도로 포함하는 것을 이용하는 것을 특징으로 하는 SOI웨이퍼의 제조방법.

청구항 19

제14항에 있어서,

상기 P도프 실리콘 단결정으로서, P가 1×10^{14} atoms/cc이상의 농도로 포함하는 것을 이용하는 것을 특징으로 하는 SOI웨이퍼의 제조방법.

청구항 20

제10항에 있어서,

상기 실리콘 활성층의 두께를, 5nm이상 200nm이하의 범위로 하는 것을 특징으로 하는 SOI웨이퍼의 제조방법.

청구항 21

제11항에 있어서,

상기 실리콘 활성층의 두께를, 5nm이상 200nm이하의 범위로 하는 것을 특징으로 하는 SOI웨이퍼의 제조방법.

청구항 22

제12항에 있어서,

상기 실리콘 활성층의 두께를, 5nm이상 200nm이하의 범위로 하는 것을 특징으로 하는 SOI웨이퍼의 제조방법.

청구항 23

제13항에 있어서,

상기 실리콘 활성층의 두께를, 5nm이상 200nm이하의 범위로 하는 것을 특징으로 하는 SOI웨이퍼의 제조방법.

청구항 24

제14항에 있어서,

상기 실리콘 활성층의 두께를, 5nm이상 200nm이하의 범위로 하는 것을 특징으로 하는 SOI웨이퍼의 제조방법.

청구항 25

제15항에 있어서,

상기 실리콘 활성층의 두께를, 5nm이상 200nm이하의 범위로 하는 것을 특징으로 하는 SOI웨이퍼의 제조방법.

청구항 26

제16항에 있어서,

상기 실리콘 활성층의 두께를, 5nm이상 200nm이하의 범위로 하는 것을 특징으로 하는 SOI웨이퍼의 제조방법.

청구항 27

제17항에 있어서,

상기 실리콘 활성층의 두께를, 5nm이상 200nm이하의 범위로 하는 것을 특징으로 하는 SOI웨이퍼의 제조방법.

청구항 28

제18항에 있어서,

상기 실리콘 활성층의 두께를, 5nm이상 200nm이하의 범위로 하는 것을 특징으로 하는 SOI웨이퍼의 제조방법.

청구항 29

제19항에 있어서,

상기 실리콘 활성층의 두께를, 5nm이상 200nm이하의 범위로 하는 것을 특징으로 하는 SOI웨이퍼의 제조방법.

청구항 30

제10항, 제12항, 제14항, 제15항, 제17항, 제19항, 제20항, 제22항, 제24항, 제25항, 제27항, 및 제29항 중 어느 한 항에 있어서,

상기 절연막을, 실리콘 산화막으로 하고, 상기 실리콘 산화막의 두께를, 10nm이상 100nm이하의 범위로 하는 것을 특징으로 하는 SOI웨이퍼의 제조방법.

명세서

기술분야

[0001] 본 발명은 SOI(Silicon On Insulator)웨이퍼에 관한 것으로서, 특히, 전기적 신뢰성이 극히 높은 SOI웨이퍼 및 그와 같은 SOI웨이퍼의 제조 방법에 관한 것이다.

배경기술

[0002] 종래, 디바이스용 기관으로서, 지지 기관상에 실리콘 활성층(SOI층)이 형성된 SOI웨이퍼가 널리 이용되고 있다.

[0003] 이와 같은 SOI웨이퍼의 제조 방법으로는, 예를 들면, 한 장의 실리콘 웨이퍼 내에 산소를 주입하여 산소막으로 구분되어진 실리콘 활성층을 형성하는 SIMOX(Separation by Ion-Implanted Oxygen)법이나 두 장의 웨이퍼를 산화막을 매개로 또는 직접 접합하는 접합법등이 알려져 있다.

[0004] SIMOX법에서는, 경면 연마 등이 실시된 실리콘 웨이퍼의 한 쪽 주표면에서 웨이퍼 내부에 산소 이온을 주입하여, 산소 이온 주입층을 형성한다.

[0005] 그 후, 예를 들면 불활성 가스 분위기에서 1300℃이상의 온도로 열처리하여, 웨이퍼 내부에 형성된 산소 이온 주입층을 매입 산화막층(절연막층)으로 바꾼다. 이것에 의해, 한 장의 웨이퍼 내에서, 절연막층으로 구분된 SOI웨이퍼를 얻을 수 있다.

[0006] 또한, 접합법의 하나인 이온 주입 박리법에서는, 실리콘 활성층이 되는 실리콘 웨이퍼(본드 웨이퍼) 또는 지지 기관이 되는 실리콘 웨이퍼(베이스 웨이퍼)의 표면에 예를 들면 산화막이라고 하는 절연막(매입 절연막, 층간 절연막 등으로 불린다.)을 형성하고, 본드 웨이퍼의 한 쪽 표면으로 수소등의 이온을 주입하여 웨이퍼 내부에 이온 주입층(미소 기포층)을 형성한다.

[0007] 그리고, 본드 웨이퍼의 이온 주입한 쪽의 면을, 산화막을 매개로 베이스 웨이퍼와 접합한 후, 열처리에 의해 이온 주입층을 경계로 해서 본드 웨이퍼를 박리한다. 이것에 의해 베이스 웨이퍼 상에 산화막을 매개로 하여 얇은 실리콘 활성층이 형성된 SOI웨이퍼를 얻을 수 있다.

[0008] 또한, 절연성의 지지 기관을 이용하여, 이것에 본드 웨이퍼를 직접, 즉 산화막을 매개로 하지 않고 접합하는 경우도 있다.

- [0009] 또한, 이온 주입층을 경계로 하여 박리한 후, 실리콘 활성층과 베이스 웨이퍼와의 결합력을 높이기 위한 열처리(결합 열처리)나, 표면의 산화막을 제거하기 위한 불산 세정등을 행하는 경우도 있다.
- [0010] 상기와 같이 SOI 웨이퍼를 제조하는 경우, 실리콘 웨이퍼로 지금까지는 통상, 표면에 크기가 50nm 이상의 미소 피트 결함이 존재하는 실리콘 웨이퍼를 사용하는 것이 일반적이었다. 그러나 최근, 실리콘 활성층이나 매입 산화막의 박막화 요구가 증가하고 있어, 이에 적용할 수 있는 실리콘 웨이퍼의 품질 요구도 엄격해지고 있다.
- [0011] 특히, 상기 이온 주입 박리법과 같은 SOI 웨이퍼의 제조 방법에 있어서는, 표면의 산화막을 제거하는 불산 세정을 행하는 경우가 있지만, 이 때 실리콘 활성층의 표면에 존재하는 미소 피트 결함의 크기가 에칭에 의해 더욱 확대되거나, 이 피트를 통해 침입한 불산에 의해 매입 산화막이 에칭되어, 실리콘 활성층 또는, 매입 산화막이 거의 전면 또는 국부적으로 파괴되는 불량이 많이 발생하였다.
- [0012] 따라서, 실리콘 활성층의 결함을 저감시키기 위한 것으로, 에피택셜층이나 IG 웨이퍼의 DZ(Denuded Zone)층을 이용한 것이나, FPD, LSTD, COP 등의 그론인(Grown-in)결함이라 불리는 단결정 성장 기인의 결함이 없는, 이른바 뉴트럴한 영역(N영역)의 실리콘 단결정을 이용한 것이 제안되고 있다.
- [0013] 예를 들면, 실리콘 웨이퍼(본드 웨이퍼)상에 에피택셜층을 형성하여, 에피택셜층에 봉소를 이온 주입한 후, 지지 기판에 산화막을 매개로 접합하고, 그리고 본드 웨이퍼의 이면을 연삭연마하는 것에 의해 SOI 웨이퍼를 제조하는 방법이 제안되고 있다(예를 들면, 일본 특개평10-79498호 공보 참조.).
- [0014] 그러나, 이와 같이 에피택셜층을 형성한 웨이퍼를 본드 웨이퍼로 사용한 경우, 실리콘 활성층의 결함은 개선되지만, 에피택셜층을 성장시키는 공정이 늘어나므로, 제조 비용이 현저히 증가한다고 하는 문제가 있다.
- [0015] 한편, 본드 웨이퍼로서, FPD나 COP 등의 미소 결함이 존재하지 않는 N영역에서 육성한 실리콘 웨이퍼를 이용하는 경우에는, 실리콘 단결정의 육성 조건을 정밀하게 제어할 필요는 있지만, 에피택셜층을 형성시키는 것과 같은 공정이 불필요하다고 하는 이점이 있다.
- [0016] 여기서, 실리콘 단결정의 제조 방법에 대해서 설명하고, 이어서 그론인 결함 및 N영역에 대해서 설명한다.
- [0017] 실리콘 단결정의 제조 방법으로는, 주로 쇼크랄스키법(Czochralski Method, 이하 CZ법으로 약칭한다)이 이용되고 있다.
- [0018] CZ법에 의해 단결정을 제조할 때에는, 예를 들면 도2에 나타난 것과 같은 단결정 제조 장치(10)을 이용하여 제조된다.
- [0019] 이 단결정 제조 장치(10)은, 예를 들면 실리콘과 같은 원료 다결정을 수용하여 용융하기 위한 부재나, 열을 차단하기 위한 단열 부재등을 갖고 있고, 이것들은, 메인 챔버(11) 내에 수용되어 있다. 메인 챔버(11)의 천정부에는 위로 들어나는 인상 챔버(12)가 연결되어 있고, 이 상부에 단결정(13)을 와이어(14)로 인상하는 기구(미도시)가 설치되어 있다.
- [0020] 메인 챔버(11) 내에는, 용융된 원료 용액(15)을 수용하는 석영 도가니(16)과 그 석영 도가니(16)을 지지하는 흑연 도가니(17)이 설치되고, 이들 도가니(16),(17)은 구동 기구(미도시)에 의해 회전 승강이 자유롭게 샤프트(18)로 지지되어 있다.
- [0021] 이 도가니(16),(17)의 구동 기구는, 단결정(13)의 인상에 동반하는 원료 용액(15)의 액면 저하를 보상하기 위한 것으로, 도가니(16),(17)을 액면 저하분만큼 상승시키도록 하고 있다.
- [0022] 그리고, 도가니(16),(17)의 주변을 둘러싸도록, 원료를 용융시키기 위한 흑연 히터(19)가 배치되어 있다. 이 흑연 히터(19)의 외측에는, 흑연 히터(19)에서의 열이 메인 챔버(11)에 직접 복사되는 것을 방지하기 위해, 단열 부재(20)이 그 주위를 둘러싸도록 설치되어 있다.
- [0023] 또한, 도가니의 상부에는 흑연통(23)을 설치하고, 그 외측 하단에 원료 용액(15)과 대향하도록 단열재(24)를 설치하여 용액면으로부터의 복사를 차단함과 동시에 원료 용액 표면을 보온하도록 하고 있다.
- [0024] 이상과 같은 단결정 제조 장치내에 배치된 석영 도가니(16)에 원료 덩어리를 수용하고, 이 도가니(16)을, 상기와 같은 흑연 히터(19)에 의해 가열하여, 석영 도가니(16)내의 원료 덩어리를 용융시킨다.
- [0025] 이와 같이 원료 덩어리를 용융시킨 것인 원료 용액(15)에, 와이어(14)의 하단에 접속하고 있는 종홀더(21)로 고정된 종결정(22)를 착액시키고, 그 후 종결정(22)를 회전시키면서 인상하는 것에 의해, 종결정(22)의 하방에 원하는 직경과 품질을 갖는 단결정(13)을 육성한다.

- [0026] 이 때, 종결정(22)를 원료 용액(15)에 착액시킨 후, 직경을 3mm정도로 일단 얇게하여 조임부를 형성하는 이른바 종조임(네킹)을 행하고, 이어서, 원하는 구경이 될 때까지 크게 하여, 무전위의 결정을 인상하고 있다.
- [0027] 다음으로, 그론인 결함 및 N영역에 대해서 설명한다.
- [0028] 실리콘 용접에서 1400℃사이의 인상축 방향의 결정내 온도 구배의 평균치G가 큰 통상의 로내 구조(핫존:HZ)를 사용한 CZ인상기로 결정축 방향에 성장 속도 F를 고속에서 저속으로 변화시킨 경우, 도4에 나타낸 것과 같은 결함 분포도를 얻을 수 있는 것이 알려져 있다.
- [0029] 도4에 있어서 V영역이란, Vacancy, 즉 실리콘 원자의 부족에서 발생하는 요부(凹部), 구멍과 같은 것이 많은 영역이고, I영역이란, 실리콘 원자가 여분으로 존재하는 것에 의해 발생하는 전위나 여분의 실리콘 원자 덩어리가 많은 영역을 말한다.
- [0030] 그리고, V영역과 I영역 사이에는, 원자의 부족이나 여분이 없는(적은) 뉴트럴(Neutral, 이하 N으로 기재하는 경우가 있다)영역이 존재하고, 또한 V영역의 경계 근처에는 OSF(산화유기적층결함, Oxidation Induced Stacking Fault)라 불리는 결함이, 결정 성장축에 대한 수직 방향의 단면에서 보았을 때, 링상으로 분포(이하, OSF링으로 칭하는 경우가 있다)하고 있는 것도 확인되고 있다.
- [0031] 그리고, 성장 속도가 비교적 고속의 경우에는, 공공형의 점결함이 집합한 보이드 기인으로 여겨지는 FPD, LSTD, COP등의 그론인 결함이 결정 지름 방향 전역에 고밀도로 존재하고, 이들 결함이 존재하는 영역은 V영역이 된다.
- [0032] 또한, 성장 속도의 저하에 동반하여, OSF링이 결정 주변에서 발생하고, 이 링의 외측에 격자간 실리콘이 집합한 전위 루프 기인으로 생각되는 L/D(Large Dislocation :격자간 전위 루프의 약호, LSEPD, LFPD등)의 결함(거대 전위 클러스터)가 저밀도로 존재하며, 이들 결함이 존재하는 영역은 I영역(L/D영역이라 하는 경우가 있다)이 된다.
- [0033] 그리고, 성장 속도를 저속으로 하면, OSF링이 웨이퍼 중심으로 수축하여 소멸하고, 전면이 I영역이 된다.
- [0034] 그리고, V영역과 I영역의 중간에서 OSF링의 외측 N영역은, 공공 기인의 FPD, LSTD, COP도, 격자간 실리콘 기인의 LSEPD, LFPD도 존재하지 않는 영역이 된다.
- [0035] 또한, 최근에는 N영역을 더욱 분류하여, 도4에 표시된 바와 같이, OSF링의 외측에 인접하는 Nv영역(공공이 많은 영역)과 I영역에 인접하는 Ni영역(격자간 실리콘이 많은 영역)이 있고, Nv영역에서는 열산화처리 했을 때 산소 석출량이 많고, Ni영역에서는 산소 석출량이 거의 없는 것이 알려져 있다.
- [0036] 이와 같은 N영역은, 종래 웨이퍼 면내에서는 일부분 밖에 존재하지 않았으나, 인상 속도(F)와 실리콘의 용접에서 1400℃ 사이의 인상축 방향의 결정내 온도 구배의 평균치(G)와의 비인 F/G를 제어하는 것으로 N영역이 가로 전면(웨이퍼 전면)으로 퍼진 결정을 제조할 수 있도록 되어 있다.
- [0037] 그래서, SOI웨이퍼의 제조에 있어서도, 상기한 바와 같이 본드 웨이퍼로서 전면 N영역이 되는 실리콘 단결정 웨이퍼를 이용하는 방법이 제안되고 있다.
- [0038] 예를 들면, 쇼크랄스키법(CZ법)에 의해 실리콘 단결정을 인상할 때, 인상 속도F와 실리콘 용접에서 1400℃사이의 인상축 방향의 결정내 온도 구배의 평균치G와의 비(F/G)를 소정의 범위내로 제어하여 실리콘 단결정을 인상하고, 본드 웨이퍼로서, N영역의 실리콘 웨이퍼를 사용한 SOI웨이퍼가 제안되고 있다(예를 들면, 일본 특개 2001-146498호 공보 및 일본 특개 2001-44398호 공보 참조.).
- [0039] 그러나, CZ법에 의해 인상 속도 등을 제어하고 N영역의 실리콘 단결정을 인상하는 경우, 이 N영역의 실리콘 단결정은 비교적 제한된 인상 속도에서 육성하게 되므로, 그 속도 제어가 어렵고 결정의 생산성 및 수율이 낮다고 하는 문제가 있었다. 따라서, 이와 같은 N영역 단결정을 이용한 SOI웨이퍼는, 비교적 고가가 되기 쉬웠다.
- [0040] 한편, 베이스 웨이퍼에 대해서는, 본래 절연막을 매개로한 실리콘 활성층을 지지하기 위해 필요한 것으로, 그 표면에 직접 소자 형성이 이루어지는 것은 아니다.
- [0041] 그래서, 베이스 웨이퍼로는, 생산성의 향상등을 고려하여, 도4에 나타낸 바와 같이 고속의 인상 속도에서 성장시킨 V영역, 또는 OSF영역이나 Nv영역을 일부 포함하는 정도의 실리콘 단결정을 육성하고, 이와 같이 고속 성장시킨 실리콘 단결정에서 경면상으로 가공한 실리콘 웨이퍼 등이 널리 사용되고 있었다.
- [0042] 예를 들면, 저항치 등이 제품 규격에서 벗어난 더미그레이드의 실리콘 웨이퍼를 베이스 웨이퍼로 사용하는 것이 제안되고 있다(예를 들면, 일본 특개평 11-40786호 공보 참조.).

[0043] 그러나, 최근에는 층간 절연막의 박막화 요구가 부상하고 있고, 그 때문에 베이스 웨이퍼가 되는 실리콘 웨이퍼의 품질 향상이 요구되고 있다.

[0044] 즉, 층간 절연막의 두께가 충분히 두꺼운 경우는, 베이스 웨이퍼 표면에 비록 보이드 성장한 COP와 같은 공공 결함등이 고밀도로 형성되어 있다 해도 절연 파괴에의 영향을 걱정할 필요가 없었으나, 예를 들면 층간 절연막이 두께 100nm이하와 같은 박막인 경우, 층간 절연막의 질을 손상시켜, 그 절연 기능에 지장을 주는 것이 우려되고 있다.

[0045] 그리고, 고가가 되기 쉬운 SOI웨이퍼를 보다 저가로 제공하기 위한 방법으로, 이온 주입 박리법에 의해 실리콘 활성층에서 박리한 박리 웨이퍼를, 베이스 웨이퍼로 재이용하는 방법이 제안되고 있다(예를 들면, 일본 특개평 11-297583호 공보 참조.).

[0046] 그러나, 근래 요구되고 있는 것과 같이, SOI웨이퍼의 층간 절연막이, 예를 들면 두께100nm 이하와 같은 박막인 경우, 베이스 웨이퍼로서 재이용하는 박리 웨이퍼가, V영역, OSF영역, 거대전위 클러스터(LSEP,LFPD) 영역 등을 포함한 것이면, 층간 절연막의 막질을 손상시켜, 그 절연 기능에 지장을 준다. 따라서, 이와 같은 경우, 베이스 웨이퍼에의 재이용을 행하는 것은 곤란해진다.

발명의 상세한 설명

[0047] 본 발명은 이와 같은 문제점에 착안하여 이루어진 것으로, 예를 들면 막두께가 200nm 이하라고 하는 극히 얇은 실리콘 활성층을 형성한 경우라 해도, 불산 세정등에 의해 미소 피트가 발생하지 않고 우수한 전기 특성을 갖고, 또는 예를 들면 두께가 100nm이하라고 하는 극히 얇은 층간 절연막을 형성한 경우라 해도, 고절연성이 유지되어, 디바이스 제작 공정에 있어서의 전기적 신뢰성이 높은 SOI웨이퍼를 간단하면서도 저가로 제공하는 것을 목적으로 한다.

[0048] 본 발명은, 상기 과제를 해결하기 위해 이루어진 것으로, 적어도 지지 기판상에 절연막을 매개로 또는 직접 실리콘 활성층이 형성된 SOI웨이퍼로서, 적어도 상기 실리콘 활성층이, 쇼크랄스키 법에 의해 육성된 N영역 및/또는 무결함 I영역의 P(인)도프 실리콘 단결정이고, 또한 Al(알루미늄)을 2×10^{12} atoms/cc이상의 농도로 포함하는 것으로 이루어진 것을 특징으로 하는 SOI웨이퍼가 제공된다.

[0049] 이와 같이, 적어도 실리콘 활성층이, 쇼크랄스키 법에 의해 육성된 N영역 및/또는 무결함 I영역의 P(인)도프 실리콘 단결정이고, 또한 Al(알루미늄)을 2×10^{12} atoms/cc이상의 농도로 포함하는 것으로 이루어진 SOI웨이퍼이면, 실리콘 활성층은 극히 미소한 결함조차 존재하지 않는 것이 되므로, 이것을 불산 세정한 경우에도 미소 피트가 발생하지 않고, 우수한 전기 특성을 갖는 SOI웨이퍼가 된다.

[0050] 또한, 이와 같은 SOI웨이퍼이면, 에피 웨이퍼등을 이용하는 경우와 같이 공수를 늘리는 일 없이 제조하는 것이 가능하고, 실리콘 활성층이 되는 무결함 실리콘 단결정을 간단하면서도 저가로 제조하는 것이 가능하므로, 제조 비용을 낮출 수 있는 것이 된다.

[0051] 또한, 이 경우 지지 기판으로서, 실리콘, 석영, SiC, 사파이어 등을 적절히 선택할 수 있다.

[0052] 또한, 본 발명에 의하면, 각각 실리콘 단결정으로 이루어진 베이스 웨이퍼와 본드 웨이퍼를, 절연막을 매개로 접합한 후, 상기 본드 웨이퍼를 박막화하는 것에 의해 실리콘 활성층이 형성된 SOI웨이퍼로서, 상기 본드 웨이퍼 및/또는 상기 베이스 웨이퍼가, 쇼크랄스키 법에 의해 육성된 N영역 및/또는 무결함 I영역의 P도프 실리콘 단결정이고, 또한 Al을 2×10^{12} atoms/cc이상의 농도로 포함하는 것으로 이루어진 것을 특징으로 하는 SOI웨이퍼도 제공된다.

[0053] 이와 같이, 본드 웨이퍼가 쇼크랄스키 법에 의해 육성된 N영역 및/또는 무결함 I영역의 P도프 실리콘 단결정이고, 또한 Al을 2×10^{12} atoms/cc이상의 농도로 포함하는 것으로 이루어진 SOI웨이퍼이면, 본드 웨이퍼를 박막화하는 것에 의해 형성되는 실리콘 활성층은 극히 미소한 결함조차 존재하지 않게 되므로, 이것을 불산 세정한 경우에도 미소 피트가 발생하지 않고, 우수한 전기 특성을 갖는 SOI웨이퍼가 된다.

[0054] 또한, 이와 같은 SOI웨이퍼이면, 에피 웨이퍼 등을 이용하는 경우와 같이 공수를 늘리는 일 없이 제조하는 것이 가능하고, 본드 웨이퍼에 이용하는 무결함 실리콘 단결정을 간단하면서도 저가로 제조하는 것이 가능하므로, 제조 비용을 낮출 수 있게 된다.

- [0055] 그리고, 베이스 웨이퍼가 쇼크랄스키 법에 의해 육성된 N영역 및/또는 무결함 I영역의 P도프 실리콘 단결정이고, 또한 Al을 2×10^{12} atoms/cc이상의 농도로 포함하는 것으로 이루어진 SOI웨이퍼이면, 베이스 웨이퍼의 표면에 미소 결함이 존재하지 않으므로, 이 베이스 웨이퍼 상에 예를 들면 두께가 100nm이하라고 하는 극히 얇은 층간 절연막을 형성한 경우라 하여도, 베이스 웨이퍼 표면 결함의 영향을 받아 절연 파괴 특성의 열화가 발생하는 일이 없고, 디바이스 제작 공정에 있어서 전기적 신뢰성이 높은 것이 된다.
- [0056] 또한, 이와 같은 SOI웨이퍼이면, 베이스 웨이퍼에 이용하는 무결함의 실리콘 단결정을 간단하면서도 저가로 제조하는 것이 가능하므로, 제조 비용을 낮출 수 있게 된다.
- [0057] 이 경우, 상기 P도프 실리콘 단결정은, P가 1×10^{14} atoms/cc이상의 농도로 포함되어 있는 것이 바람직하다.
- [0058] 이와 같이, P도프 실리콘 단결정은, P가 1×10^{14} atoms/cc이상의 농도로 포함되어 있는 것이면, 충분한 N형의 도전성을 갖는 것이 된다.
- [0059] 이 경우, 상기 실리콘 활성층은, 두께가 5nm이상 200nm이하의 범위에 있는 것으로 하는 것이 가능하다.
- [0060] 근래, 실리콘 활성층의 박막화가 요구되고 있으나, 본 발명에 관한 SOI웨이퍼의 실리콘 활성층에는 극히 미소한 결함조차 거의 존재하지 않으므로, 실리콘 활성층의 두께를 200nm이하로 해도, 불산 세정 등에 의해 결함이 확대되어 실리콘 활성층이 파괴되는 일 없이, 고품질의 SOI웨이퍼로 할 수 있다.
- [0061] 이 경우, 상기 절연막은, 실리콘 산화막으로서, 두께가 10nm이상 100nm이하의 범위인 것으로 할 수 있다.
- [0062] 근래, 실리콘 산화막으로 구성되는 층간 절연막의 두께를 100nm이하로 하는 것이 요구되고 있으나, 본 발명의 SOI웨이퍼는, 이와 같은 극히 얇은 산화막을 형성한 것이라 해도, 절연 파괴 특성이 열화되지 않고, 고절연성이 유지되는 것이 된다.
- [0063] 본 발명의 방법으로, 적어도 실리콘 웨이퍼에 산소를 주입 후, 열처리 하는 것으로 절연막층(산화막층)을 형성하고, 상기 웨이퍼 내에 상기 절연막층으로 구분된 실리콘 활성층을 형성하는 SOI웨이퍼의 제조 방법에 있어서, 적어도 상기 실리콘 웨이퍼로서, 쇼크랄스키 법에 의해 육성된 N영역 및/또는 무결함 I영역의 P도프 실리콘 단결정이고, 또한 Al을 2×10^{12} atoms/cc이상의 농도로 포함하는 실리콘 웨이퍼를 이용하는 것을 특징으로 하는 SOI웨이퍼의 제조 방법이 제공된다.
- [0064] 이와 같이 SIMOX법에 의해 SOI웨이퍼를 제조할 때, N영역 및/또는 무결함 I영역의 P도프 실리콘 단결정이고, 또한 Al을 2×10^{12} atoms/cc이상의 농도로 포함하는 실리콘 웨이퍼를 이용하는 것에 의해, 실리콘 활성층이 극히 고품질인 SOI웨이퍼를 얻을 수 있다.
- [0065] 또한, 공수가 늘어나는 일도 없고, 이용하는 무결함 실리콘 단결정이 간단하면서 저가로 제조하는 것이 가능하므로, 제조 비용을 낮출 수 있다.
- [0066] 또한, 본 발명의 방법으로서, 적어도 베이스 웨이퍼와 본드 웨이퍼를 직접 접합하는 접합 공정과, 상기 본드 웨이퍼를 박막화하는 것에 의해 실리콘 활성층을 형성하는 박막화 공정을 포함하는 SOI웨이퍼의 제조 방법에 있어서, 상기 베이스 웨이퍼로서 절연성의 기판을 이용하고, 상기 본드 웨이퍼로서 쇼크랄스키 법에 의해 육성된 N영역 및/또는 무결함 I영역의 P도프 실리콘 단결정이고, 또한 Al을 2×10^{12} atoms/cc이상의 농도로 포함하는 실리콘 웨이퍼를 이용하는 것을 특징으로 하는 SOI웨이퍼의 제조 방법이 제공된다.
- [0067] 이와 같이, 베이스 웨이퍼로서 절연성의 기판, 예를 들면, 석영, SiC, 사파이어 등을 이용하고, 이 베이스 웨이퍼와 실리콘 단결정으로 이루어진 본드 웨이퍼를 직접 접합하는 접합법에 의해 SOI웨이퍼를 제조할 때, 본드 웨이퍼로서 N영역 및/또는 무결함 I영역의 P도프 실리콘 단결정이고, 또한 Al을 2×10^{12} atoms/cc이상의 농도로 포함하는 것을 이용하는 것에 의해, 절연성 기판상의 실리콘 활성층이 극히 고품질인 SOI웨이퍼를 얻을 수 있다.
- [0068] 또한, 공수가 늘어나는 일도 없고, 이용하는 무결함 실리콘 단결정을 간단하면서도 저가로 제조하는 것이 가능한 것이므로, 제조 비용을 낮출 수 있다.
- [0069] 그리고, 본 발명의 방법으로서, 적어도 각각 실리콘 단결정으로 이루어진 베이스 웨이퍼와 본드 웨이퍼를 절연막을 매개로 접합하는 접합 공정과, 상기 본드 웨이퍼를 박막화 하는 것에 의해 실리콘 활성층을 형성하는 박막화 공정을 포함하는 SOI웨이퍼의 제조 방법에 있어서, 상기 본드 웨이퍼 및/또는 상기 베이스 웨이퍼로서, 쇼크

랄스키 법에 의해 육성된 N영역 및/또는 무결함 I영역의 P도프 실리콘 단결정이고, 또한 Al을 2×10^{12} atoms/cc이상의 농도로 포함하는 실리콘 웨이퍼를 이용하는 것을 특징으로 하는 SOI웨이퍼의 제조방법이 제공된다.

[0070] 이와 같이, 각각 실리콘 단결정으로 이루어진 베이스 웨이퍼와 본드 웨이퍼를 절연막을 매개로 접합하는 접합법에 의해 SOI웨이퍼를 제조할 때, N영역 및/또는 무결함 I영역의 P도프 실리콘 단결정이고, 또한 Al을 2×10^{12} atoms/cc이상의 농도로 포함하는 것을 본드 웨이퍼, 베이스 웨이퍼로서 이용하는 것에 의해, 실리콘 활성층 및/또는 지지 기판이, 극히 고품질인 SOI웨이퍼를 얻을 수 있다. 또한, 공수가 늘어나는 일도 없고, 이용하는 무결함 실리콘 단결정을 간단하면서도 저가로 제조하는 것이 가능한 것이므로, 제조 비용을 낮출 수 있다.

[0071] 이들 접합법에 있어서는, 접합 공정 전에 본드 웨이퍼의 표면에서 수소 이온 및 회 가스 이온의 적어도 1종의 이온을 주입하여 웨이퍼 내부에 이온 주입층을 형성하는 이온 주입 공정을 행하고, 상기 접합 공정에 있어서는 상기 본드 웨이퍼의 이온 주입된 층의 표면과 상기 베이스 웨이퍼의 표면을 직접 또는 절연막을 매개로 접합하며, 상기 박막화 공정에서는, 열처리에 의해 상기 본드 웨이퍼의 일부를 상기 이온 주입층으로 박리하는 것으로 SOI웨이퍼를 제조할 수 있다.

[0072] 이와 같은, 이온 주입 박리법에 의해 SOI웨이퍼를 제조하면, 실리콘 활성층을 극히 얇고 두께가 일정한 것으로 하는 것이 가능하고, 결함이 없는 극히 고품질의 SOI웨이퍼가 된다.

[0073] 이 경우, 상기 P도프 실리콘 단결정으로서, P가 1×10^{14} atoms/cc이상의 농도로 포함하는 것을 이용하는 것이 바람직하다.

[0074] 이와 같이, P도프 실리콘 단결정으로서, P가 1×10^{14} atoms/cc이상의 농도로 포함되어 있는 것으로 하면, 충분한 N형의 도전성을 갖는 것으로 할 수 있다.

[0075] 이 경우, 실리콘 활성층의 두께를, 5nm이상 200nm이하의 범위로 하는 것이 가능하다.

[0076] 근래, 실리콘 활성층의 박막화가 요구되고 있으나, 본 발명의 방법에 의해 SOI웨이퍼를 제조할 때, 실리콘 활성층에는 극히 미소한 결함조차 거의 존재하지 않으므로, 실리콘 활성층의 두께를 200nm이하로 하여도, 불산 세정 등에 의해 결함이 확대되어 실리콘 활성층이 파괴되는 일이 없고, 고품질의 SOI웨이퍼로 할 수 있다.

[0077] 이 경우, 절연막을 실리콘 산화막으로 하고, 이 실리콘 산화막의 두께를 10nm이상 100nm이하의 범위로 하는 것이 가능하다.

[0078] 근래, 실리콘 산화막으로 구성되는 층간 절연막의 두께를 100nm이하로 하는 것이 요구되고 있는데, 본 발명의 방법에 의해 SOI웨이퍼를 제조할 때, 이와 같은 극히 얇은 산화막을 형성한 것이라 해도, 절연 파괴 특성이 열화되지 않고, 고절연성이 유지된 것이 된다.

[0079] 이상 설명한 것과 같이 본 발명에 의하면, 실리콘 활성층 및/또는 지지 기판이 N영역 및/또는 무결함 I영역의 P도프 실리콘 단결정이고, 또한 Al을 2×10^{12} atoms/cc이상의 농도로 포함하는 것으로 이루어진 SOI웨이퍼가 제공된다.

[0080] 이와 같은 SOI웨이퍼이면, 예를 들면 두께가 200nm이하라고 하는 극히 얇은 실리콘 활성층을 형성한 경우에도, 불산 세정 등에 의해 미소 피트가 발생하지 않고 우수한 전기 특성을 갖고, 또는 예를 들면 절연막의 두께가 100nm이하라 해도 우수한 절연 특성을 유지하므로, 이것을 이용해 디바이스를 제조하면, 전기 특성이 우수한 디바이스를 고수율로 또한 간단하면서도 저가로 제조하는 것이 가능하다.

실시예

[0087] 이하, 본 발명의 실시 형태에 대해서 설명하지만, 본 발명은 이것들에 한정 되는 것은 아니다.

[0088] 본 발명의 SOI웨이퍼는, 적어도 지지 기판 상에 절연막을 매개로 또는 직접 실리콘 활성층이 형성된 SOI웨이퍼로서, 적어도 상기 실리콘 활성층이 쇼크랄스키 법에 의해 육성된 N영역 및/또는 무결함 I영역의 P(인)도프 실리콘 단결정이고, 또한 Al(알루미늄)을 2×10^{12} atoms/cc이상의 농도로 포함하는 것으로 이루어진 것이다.

[0089] 이와 같이, 실리콘 활성층이 무결함인 P도프 실리콘 단결정으로 이루어진 SOI웨이퍼이면, 실리콘 활성층은 극히 미소한 결함조차 거의 존재하지 않는 것이 되므로, 이것을 불산 세정한 경우에도 미소 피트가 발생하지 않고, 또한, 피트를 통해서 불산이 매입 산화막으로 침입해 에칭되어 버리는 문제도 발생하지 않아, 우수한 전기 특성

을 갖는 SOI 웨이퍼가 된다.

- [0090] 또한, 본 발명의 SOI 웨이퍼는 각각 실리콘 단결정으로 이루어진 베이스 웨이퍼와 본드 웨이퍼를, 절연막을 매개로 접합한 후, 상기 본드 웨이퍼를 박막화 하는 것에 의해 실리콘 활성층이 형성된 SOI 웨이퍼로서, 상기 본드 웨이퍼 및/또는 상기 베이스 웨이퍼가, 쇼크랄스키 법에 의해 육성된 N영역 및/또는 무결함 I영역의 P도프 실리콘 단결정이고, 또한 Al을 2×10^{12} atoms/cc 이상의 농도로 포함하는 것으로 이루어진 것이다.
- [0091] 이와 같이, 실리콘 활성층이 되는 본드 웨이퍼가, 무결함인 P도프 실리콘 단결정으로 이루어진 SOI 웨이퍼이면, 실리콘 활성층은 극히 미소한 결함조차 존재하지 않는 것이 되므로, 이것을 불산 세정한 경우에도 미소 피트가 발생하지 않고, 우수한 전기 특성을 갖는 SOI 웨이퍼가 된다.
- [0092] 또한, 지지 기판이 되는 베이스 웨이퍼가, 무결함인 P도프 실리콘 단결정으로 이루어진 SOI 웨이퍼이면, 베이스 웨이퍼의 표면에 미소 결함이 존재하지 않으므로, 이 베이스 웨이퍼상에 예를 들면 두께가 100nm 이하라고 하는 극히 얇은 층간 절연막을 형성한 경우에도, 베이스 웨이퍼 표면 결함의 영향을 받아 절연 파괴 특성의 열화가 발생하는 일 없이, 디바이스 제조 공정에서 전기적 신뢰성이 높은 것이 된다.
- [0093] 이들 본 발명의 SOI 웨이퍼의 실리콘 활성층은, 두께가 5nm 이상 200nm 이하의 범위에 있는 것으로 하는 것이 가능하다.
- [0094] 근래, 실리콘 활성층의 박막화가 요구되고 있는데, 본 발명에 관한 SOI 웨이퍼의 실리콘 활성층에는 극히 미소한 결함조차 존재하지 않으므로, 실리콘 활성층의 두께를 200nm 이하로 하더라도, 불산 세정등에 의해 결함이 확대하여 실리콘 활성층이 파괴되거나, 매입 산화막이 에칭되는 것과 같은 일이 없고, 고품질의 SOI 웨이퍼로 하는 것이 가능하다.
- [0095] 또한 절연막은, 실리콘 산화막으로 두께가 10nm 이상 100nm 이하의 범위인 것으로 할 수 있다.
- [0096] 근래, 실리콘 산화막으로 구성되는 층간 절연막의 두께를 100nm 이하로 하는 것이 요구되고 있는데, 본 발명의 SOI 웨이퍼는, 이와 같은 극히 얇은 산화막을 형성한 것이라 하더라도, 절연 파괴 특성이 열화되지 않고, 고절연성이 유지되는 것이 된다.
- [0097] 본 발명의 SOI 웨이퍼에서 이용되는 무결함인 P도프 실리콘 단결정의 제조 방법에 대해 이하에서 설명한다.
- [0098] 쇼크랄스키 법에 의해 B도프 실리콘 단결정을 제조할 때, 결정 건(肩)부에서 직통 미(尾)부에 걸쳐 단결정의 성장 속도를 고속에서 저속으로 점차 감소시키면, OSF가 어느 성장 속도에 달했을 때 축소되고, 그 후 더욱 저속 영역에서 N영역(Nv, Ni 영역), I영역의 순으로 각 상이 형성된다.
- [0099] 특히, N영역보다 저속측인 I영역은, 크기가 약 $10\mu\text{m}$ 이상의 크기에 이르는 거대전위 클러스터가 형성되는 것이 알려져 있고, LSEPD, LFPD 등의 결함이 존재한다. 또한, B도프 실리콘 단결정의 경우, N영역이 형성되는 것은, $F/G(\text{mm}^2/\text{C} \cdot \text{min})$ 의 값이 0.20~0.22의 범위 일 때 이다.
- [0100] 한 편, 쇼크랄스키 법에 의해 P도프 실리콘 단결정을 제조할 때, 결정 건부에서 직통 미부에 걸쳐 단결정의 성장 속도를 고속에서 저속으로 점차 감소시키면, OSF가 어느 성장 속도에 달했을 때 축소되고, 그 후 더욱 저속 영역에서 N영역(Nv, Ni 영역), I영역의 순으로 각 상이 형성된다.
- [0101] 또한, 이 I영역의 거대전위 클러스터군에는 LFPD는 포함되어 있지 않고, LSEPD뿐이다. 또한, P도프 실리콘 단결정의 경우, N영역이 형성되는 것은, $F/G(\text{mm}^2/\text{C} \cdot \text{min})$ 의 값이 0.18~0.20의 범위에 있을 때 이다.
- [0102] 이와 같이, B도프 실리콘 단결정과 P도프 실리콘 단결정에서는, 결함 분포의 거동에 차이가 있다. 본 발명자들은, 특히 I영역의 결정 결함의 발생 상황의 차이에서, P도프 실리콘 단결정에서는, 천연 석영 도가니에서 용출되고, 인상 결정 내부에 취입되는 Al 원소가, 본래 I영역에서 확인되는 거대전위 클러스터의 형성을 억제하는 것을 발견하였다.
- [0103] P도프 실리콘 단결정을 인상할 때, Al 성분을 거의 포함하지 않는 합성 석영 도가니를 사용한 때에는, I영역에 거대전위 클러스터의 존재가 확인되었다.
- [0104] 그러나, Al 원소가 5×10^{11} atoms/cc 이상 2×10^{12} atoms/cc 미만의 농도 범위로 인상 결정 내부에 취입되는 것과 같은 천연 석영 도가니를 사용한 때에는, Ni 영역보다 약간 저속측인 I영역에서는 고밀도의 LSEPD가 확인되지만, 이 보다 저속 영역에서는 LSEPD의 형성이 없고, 무결함 I영역인 것을 알았다.

- [0105] 그래서 본 발명자들은, LSEPD가 소멸한 경계 부근의 I영역의 Al농도를 조사한 결과, 2×10^{12} atoms/cc정도인 것이 판명되고, 이 때 그 경계의 $F/G(\text{mm}^2/\text{℃} \cdot \text{min})$ 값은 0.17이었다.
- [0106] 그리고, 본 발명자들은 이상과 같은 사실을 근거로 합성 석영 도가니를 사용해, 다결정 실리콘 원료 충전 시, 인상 결정 내부에 2×10^{12} atoms/cc이상의 Al 원소가 취입도록 순Al 금속입자를 첨가하였다.
- [0107] 그리고 결정 건부에서 직통 미부에 걸쳐서 고속에서 저속으로 성장 속도를 점차 감소시키면, Ni영역보다 약간 저속측인 I영역에서도 거대전위 클러스터의 형성이 없고 무결함이며, 보다 저속에서도 동일하게 무결함 영역이었다.
- [0108] 따라서, Al을 도프한 P도프 결정에서는, OSF와 N영역 경계의 $F/G(\text{mm}^2/\text{℃} \cdot \text{min})$ 인 0.20이하의 영역에서는 N영역 및 무결함 I영역이 형성되는 것을 알았다.
- [0109] 여기서, 인상 결정의 실리콘 용점에서 1400℃ 사이의 인상축 방향의 결정내 온도 구배의 평균치 $G(\text{℃}/\text{mm})$ 의 값이 있는데, 이것은 종합 전열 분석 소프트웨어 FEMAG의 계산에 의해 산출된 것이다.
- [0110] FEMAG는 문헌(F. Dupret, P.Nicodeme, Y.Ryckmans, P.Wouters, and M.J.Crochet, Int.J.Heat Mass Transfer, 33, 1849(1990))에 개시되어 있는 종합 전열 해석 소프트웨어이다.
- [0111] 또한, Al은 P형의 도전형 원소이므로 고농도의 도프에는 주의가 필요하다. 특히 디바이스 설계상 지장을 주지 않으면서 도프하기 위해서는, 결정 내부에 취입되는 Al농도가 1×10^{14} atoms/cc를 넘지 않도록 조절하는 것이 바람직하다.
- [0112] 또한, P도프 실리콘 단결정중 P의 농도는, 1×10^{14} atoms/cc이상이 되도록 P를 도프하는 것이 바람직하다. 도프하는 P의 농도를, 1×10^{14} atoms/cc이상으로 하면 충분한 N형의 도전성을 얻을 수 있기 때문이다.
- [0113] 본 발명의 SOI웨이퍼는 이상과 같이 제조된 Al을 적당량 도프한 무결함의 P도프 실리콘 단결정을 이용하여, 예를 들면 이온 주입 박리법이라고 하는 접합법, SIMOX법 등에 의해, 이하와 같이 제조하는 것이 가능하다.
- [0114] 도5는, 이온 주입 박리법에 의해 본 발명에 관한 SOI웨이퍼를 제조하는 공정의 일례를 나타내는 흐름도이다.
- [0115] 우선, 최초의 공정(a)에서는, 실리콘 활성층이 되는 본드 웨이퍼(31)과, 지지 기판이 되는 베이스 웨이퍼(32)를 준비한다.
- [0116] 여기서 본 발명에서는, 본드 웨이퍼(31) 및/또는 베이스 웨이퍼(32)로서, 전술한 바와 같이 쇼크랄스키 법에 의해 육성된 N영역 및/또는 무결함 I영역의 P도프 실리콘 단결정이고, 또한 Al을 2×10^{12} atoms/cc이상의 농도로 포함하는 실리콘 웨이퍼를 사용한다.
- [0117] 상기과 같은 N영역 및/또는 무결함 I영역의 P도프 실리콘 단결정이고, 또한 Al을 2×10^{12} atoms/cc이상의 농도로 포함하는 실리콘 단결정은, 예를 들면, 도2에 나타난 바와 같은 단결정 제조 장치(10)을 사용하여, F/G 및 Al 도프량을 제어하면서 육성하는 것이 가능하다.
- [0118] 다음으로 도5 공정(b)에서는, 본드 웨이퍼(31)과 베이스 웨이퍼(32) 중 적어도 한 쪽 웨이퍼의 표면을 산화한다.
- [0119] 여기서는 본드 웨이퍼(31)을 열산화하여, 그 표면에 산화막(33)을 형성하고 있다. 이 때 산화막(33)은, 요구되는 절연성이 유지되는 두께로 하지만, 본 발명에서는 두께가 10~100nm의 범위가 되는 극히 얇은 산화막을 형성시키는 것도 가능하다.
- [0120] 베이스 웨이퍼로서, 종래 사용되고 있는 예를 들면 표면에 50nm이상의 미소 결함이 다수 존재하는 실리콘 웨이퍼를 사용하여, 매입 산화막의 두께를 100nm이하로 하여서 SOI웨이퍼를 제조하면, 산화막은 베이스 웨이퍼의 표면에 존재하는 미소 결함의 영향을 받아, 후의 결함 열처리나 디바이스 공정에서의 열처리에 의해 열화 내지 파괴될 우려가 있다.
- [0121] 그러나, 본 발명에서 이용하는 베이스 웨이퍼(32)는, 극히 미소한 결함도 존재하지 않으므로, 산화막(33)의 두께를 100nm이하로 하여도 절연 파괴 특성의 열화와 같은 문제가 발생하는 일이 없다.

- [0122] 또한, 산화막(33)의 두께를 10nm미만으로 하면, 산화막의 형성 시간이 단축되지만 절연성을 유지할 수 없게 될 우려가 있으므로 10nm이상으로 하는 것이 바람직하다.
- [0123] 공정(c)에서는, 표면에 산화막(33)을 형성한 본드 웨이퍼(31)의 한 쪽 표면으로 수소 이온을 이온 주입한다.
- [0124] 또한, 회 가스 이온 또는 수소 이온과 회 가스 이온의 혼합 가스 이온을 이온 주입하여도 좋다. 이것에 의해, 웨이퍼 내부에 이온의 평균 진입 깊이에 있어서 표면에 평행한 이온 주입층(34)를 형성할 수 있다.
- [0125] 또한, 이 때 이온 주입층(34)의 깊이는, 최종적으로 형성되는 실리콘 활성층의 두께에 반영된다. 따라서, 주입 에너지 등을 제어해서 이온 주입하는 것에 의해, 실리콘 활성층의 두께를 예를 들면 5nm~3000nm의 범위로 제어할 수 있고, 특히 200nm이하 두께의 실리콘 활성층으로 하는 것이 가능하다.
- [0126] 본 발명에서 이용하는 본드 웨이퍼(31)은, 그로인 결합이 거의 검출되지 않은 것이므로, 실리콘 활성층의 두께를 200nm이하로 하여도, 이것을 불산 세정한 경우에도 미소 피트가 발생하지 않고, 우수한 전기 특성을 갖는 SOI웨이퍼가 된다.
- [0127] 공정(d)에서는, 본드 웨이퍼(31)의 이온 주입된 측의 표면과 베이스 웨이퍼(32)의 표면을 산화막(절연막)(33)을 매개로 접합한다. 예를 들면, 상온의 청정한 분위기하에서 2장의 웨이퍼(31), (32)의 표면끼리 접촉시키는 것에 의해, 접착제 등을 이용하는 일 없이 웨이퍼끼리 접착된다.
- [0128] 또한, 베이스 웨이퍼로서 SiO_2 , SiC , Al_2O_3 등의 절연성 웨이퍼를 이용해도 좋다. 이 경우 본드 웨이퍼와 베이스 웨이퍼는 산화막을 매개로하지 않고 직접 결합 할 수 있다.
- [0129] 다음으로, 공정(e)에서는, 열처리에 의해 본드 웨이퍼(31)의 일부를 이온 주입층(34)로 박리시킨다.
- [0130] 예를 들면, 본드 웨이퍼(31)과 베이스 웨이퍼(32)를 접합하여 접착시킨 것에 대해, 불활성 가스 분위기하 약 500℃ 이상의 온도에서 열처리를 가하면, 결정의 재배열과 기포의 응집에 의해 박리 웨이퍼(35)와 SOI웨이퍼(36)(실리콘 활성층(37)+산화막(33)+베이스 웨이퍼(32))로 분리된다.
- [0131] 여기서, 부생된 박리 웨이퍼(35)에 대해서는, 최근 박리면에 연마등의 재생 처리를 실시하여, 베이스 웨이퍼 또는 본드 웨이퍼로서 재이용하는 방법이 제안되고 있다.
- [0132] 상기한 바와 같이 본드 웨이퍼(31)로서, Al을 도프한 N영역 및/또는 무결합 I영역의 P도프 실리콘 웨이퍼를 사용하고 있는 경우에는, 박리 웨이퍼(35)를 재생 처리하여 얻은 실리콘 웨이퍼는 베이스 웨이퍼와 본드 웨이퍼 어느 것에도 사용할 수 있는 것이 된다.
- [0133] 따라서, 박리 웨이퍼(35)를 예를 들면 베이스 웨이퍼(32)로서 재이용하는 것으로, 동일한 고품질의 SOI웨이퍼를 제조하는 것이 가능하게 된다. 즉, 본 발명에 관한 SOI웨이퍼가, 실질적으로 한 장의 실리콘 웨이퍼에서 제조되는 것이 되어, 제조 비용을 한 층 더 낮출 수 있다.
- [0134] 공정(f)에서는, SOI웨이퍼(36)에 대해서 결합 열처리를 가한다. 이 공정(f)는, 상기 공정(d), (e)의 접합 공정 및 박리 열처리 공정으로 밀착시킨 웨이퍼들의 결합력으로는, 그대로 디바이스 제작 공정에서 사용하기에는 약하므로, 결합 열처리로서 SOI웨이퍼(36)에 고온의 열처리를 실시해서 결합 강도를 충분하게 한다.
- [0135] 예를 들면, 이 열처리는 불활성 가스 분위기하 1050℃~1200℃에서 30분에서 2시간의 범위에서 행하는 것이 가능하다.
- [0136] 이와 같은 고온에서의 열처리를 실시해도, 베이스 웨이퍼(32)의 웨이퍼 전면이 무결합으로 되어 있으므로, 매입 산화막(33)의 절연 파괴 특성은 열화되지 않고, 고절연성을 유지하는 것이 가능하다.
- [0137] 공정(g)에서는, SOI웨이퍼(36) 표면에 형성된 산화막을 불산 세정에 의해 제거하는 것이다.
- [0138] 이 때, 실리콘 활성층(37)에 공공형 결합이 존재하면 결합을 통해 HF가 매입 산화막에 도달하는 것에 의해 미소 피트가 발생하게 될 우려가 있으나, 본 발명에서는 실리콘 활성층(37)은, 전면에 걸쳐 N영역 및/또는 무결합 I영역인 P도프 실리콘 단결정으로 구성되어 있으므로 불산 세정을 행해도 피트가 확대하여 실리콘 활성층(37) 및 산화막(33)이 파괴되는 일도 없다.
- [0139] 그리고 공정(h)에서는, 필요에 따라 실리콘(37)의 두께를 조정하기 위한 산화를 행하고, 이어서(I)공정에서는, 불산 세정에 의해 산화막(38)을 제거하는 이른바 회생 산화를 행한다.
- [0140] 이상과 같은 공정(a)~(I)를 거쳐 제조된 SOI웨이퍼는, 베이스 웨이퍼(32), 그리고 실리콘 활성층(37)도, 전면이

N영역 및/또는 무결합 I영역인 P도프 실리콘 단결정 그리고 Al을 도프한 CZ실리콘 단결정으로 이루어지고, 매입 산화막(33)이 극히 얇음에도 불구하고, 고절연성이 유지되어, 전기적 신뢰성이 극히 높은 것이 된다.

- [0141] 도6은, SIMOX법에 의해 본 발명에 관한 SOI웨이퍼를 제조하는 공정의 일례를 나타낸 흐름도이다.
- [0142] 우선, 최초의 공정(α)에서는, 경면 연마된 실리콘 웨이퍼(41)을 준비한다. 본 발명에서는, 이 실리콘 웨이퍼(41)로서, 전술한 것과 같이 쇼크랄스키 법에 의해 육성된 N영역 및/또는 무결합 I영역의 P도프 실리콘 단결정이고, 또한 Al을 2×10^{12} atoms/cc이상의 농도로 포함하는 실리콘 웨이퍼를 사용한다.
- [0143] 다음으로 공정(β)에서는, 500℃정도로 가열한 실리콘 웨이퍼(41)의 한 쪽 표면에서 산소 이온(O^+)를 소정의 깊이 이온 주입하여 산소 이온 주입층(42)를 형성한다.
- [0144] 이 때, 이온 주입 조건은 특히 한정되는 것은 아니지만, 예를 들면 주입 에너지는 일반적으로 널리 이용되는 150~200keV정도로 하고, 또한 도즈량은 그 후 행할 산화막 형성 열처리에서 관통 전위의 발생을 방지하기 위해 약 $4.0 \times 10^{17}/\text{cm}^2$ 의 낮은 도즈량으로 해서 이온 주입을 행한다.
- [0145] 이 때, 필요에 따라 산소 이온 주입을 분할해서 행할 수도 있다.
- [0146] 다음으로, 공정(γ)에서 산소 이온 주입층(42)를 매입 산화막(43)으로 바꾸는 산화막 형성 열처리를 행한다.
- [0147] 산화막 형성 열처리의 열처리 조건은, 산소 이온 주입층을 매입 산화막으로 바꾸는 것이 가능하면 특히 한정되는 것은 아니지만, 예를 들면 산소 농도가 1%이하인 아르곤가스 분위기에서, 1300℃이상 실리콘 융점 이하의 온도에서 3~6시간 열처리를 행하는 것에 의해, 매입 산화막(절연막)(43)을 형성하는 것이 가능하다.
- [0148] 이와 같이 하여, 지지 기판(45) 상에 절연막(43)을 매개로 실리콘 활성층(44)가 형성된 SOI웨이퍼(46)을 제조하는 것이 가능하다.
- [0149] 이와 같이 SIMOX법에 의해 제조된 SOI웨이퍼는, 실리콘 활성층이나 매입 산화막의 막두께가 산소 이온 주입을 행할 때의 이온 주입 에너지나 도즈량에 의해 정해지므로, 우수한 막두께 균일성을 쉽게 얻을 수 있다고 하는 이점을 갖고, 또한 상기 접합법과 같이 두 장의 웨이퍼를 필요로 하지 않고 한 장의 실리콘 웨이퍼에서 SOI웨이퍼를 제조할 수 있으므로, 비교적 저가로 제조가 가능하다.
- [0150] 이하, 본 발명을 실시예 및 비교예를 들어 구체적으로 설명한다.
- [0151] [인상 조건의 확인]
- [0152] (인상 조건1)
- [0153] 도2에 나타낸 단결정 제조 장치를 이용해 실리콘 단결정을 제조했다. 직경24인치(600mm)의 석영 도가니에, 원료 다결정 실리콘 150kg과 순Al 금속입자 4mg를 충전하여, 직경 210mm, 방위<100>인 실리콘 단결정을 인상하였다.
- [0154] 실리콘 단결정을 인상할 때, 성장 속도를 0.60mm/min에서 0.20mm/min의 범위로 결정 두부에서 미부에 걸쳐 점점 감소시키도록 제어하였다.
- [0155] 또한, P농도가 $3 \times 10^{14} \sim 5.5 \times 10^{14}$ atoms/cc, 산소 농도가 24~27ppma(ASTM'79)가 되도록 실리콘 단결정을 제조하였다.
- [0156] 상기와 같이 육성한 각 실리콘 단결정봉의 직통부를, 도3(a)에 나타낸 바와 같이 결정 성장 축방향에 10cm씩의 길이로 블록으로 절단한 후, 각 블록을 다시 결정축 방향에서 세로로 절단하여, 약2mm 두께의 샘플을 여러 장 제조하였다.
- [0157] 상기 샘플에 대해서 WLT측정기(SEMILAB WT-85) 및 세코 에칭에 의해, V영역, OSF영역, N영역, I영역의 각 영역의 분포 상황(도3(b)참조), 즉 FPD, LFPD, LSEPD 등의 분포 상황, 그리고 OSF의 발생 상황을 조사하고, 각 영역 경계의 $F/G(\text{mm}^2/^\circ\text{C} \cdot \text{min})$ 값을 확인 하였다.
- [0158] 구체적으로는 우선, FPD, LFPD, LSEPD의 평가에 관해서는, 샘플 중 한 장을 평면 연삭한 후, 밀러 에칭, 세코 에칭(30분간)을 실시하고, 무교반의 상태로 방치하여, 소정의 처리후, 각 결함의 밀도 측정을 행하였다.
- [0159] 또, OSF의 평가에 관해서는, 샘플 중 한 장을 1150℃, 100분간(습식 산소 분위기)의 열처리 후 냉각하고(800℃

출입), 약액으로 산화막을 제거한 후, OSF링 패턴의 확인 및 밀도 측정을 행하였다.

- [0160] 그리고, 결정축 방향에서 세로로 잘라 가공한 슬라브 샘플을 직경 200mm의 크기로 도려냄 가공하고, 폴리싱에 의해 경면 상태로 마무리 하고, 900℃, 열분해 산화에 의해 웨이퍼 표면에 산화박막을 형성한 후, 열황산으로 산화막중의 중금속을 회수하고, 그 용액중의 WSA법에 의한 측정치에서 결정 벌크에 포함되어 있는 Al농도를 동일하게 추정하였다.
- [0161] 이상의 측정에서 판명한, 보다 상세한 각 영역의 분포 상황을 도1(d)에 나타내고, 또한 각 영역 경계에서의 $F/G(\text{mm}^2/\text{℃} \cdot \text{min})$ 및 Al농도를 아래에 나타낸다.
- [0162] OSF와 N영역 경계의 $F/G(\text{mm}^2/\text{℃} \cdot \text{min}):0.20$
- [0163] N영역과 I영역(무결함) 경계의 $F/G(\text{mm}^2/\text{℃} \cdot \text{min}):0.18$
- [0164] $F/G=0.17$ 부근의 결정 벌크 중 Al농도: 4.1×10^{12} atoms/cc
- [0165] (인상 조건2)
- [0166] 석영 도가니에, 원료 다결정 실리콘 150kg과 순Al 금속입자 8mg를 충전하는 것 이외에는 실시예1과 동일하게 실리콘 단결정을 제조하고, 각각의 측정을 행하였다.
- [0167] 이상의 측정에서 판명한, 보다 상세한 각 영역의 분포 상황을 도1(d)에 나타내고, 또 각 영역 경계에서의 $F/G(\text{mm}^2/\text{℃} \cdot \text{min})$ 및 Al농도를 아래에 나타낸다.
- [0168] OSF와 N영역 경계의 $F/G(\text{mm}^2/\text{℃} \cdot \text{min}):0.20$
- [0169] N영역과 I영역(무결함) 경계의 $F/G(\text{mm}^2/\text{℃} \cdot \text{min}):0.18$
- [0170] $F/G=0.17$ 부근의 결정 벌크 중 Al농도: 8.8×10^{12} atoms/cc
- [0171] (인상 조건3)
- [0172] 석영 도가니에, Al금속 입자를 넣는 일 없이 원료 다결정 실리콘 150kg를 충전하는 것 이외에는 실시예1과 동일하게 실리콘 단결정을 제조하고, 각각의 측정을 행하였다.
- [0173] 이상의 측정에서 판명된, 보다 상세한 각 영역의 분포 상황을 도1(b)에 나타내고, 또한 각각의 영역 경계에서의 $F/G(\text{mm}^2/\text{℃} \cdot \text{min})$ 및 Al농도를 아래에 나타낸다.
- [0174] OSF와 N영역 경계의 $F/G(\text{mm}^2/\text{℃} \cdot \text{min}):0.20$
- [0175] N영역과 I영역(거대전위 클러스터) 경계의 $F/G(\text{mm}^2/\text{℃} \cdot \text{min}):0.18$
- [0176] $F/G=0.17$ 부근의 결정 벌크 중 Al농도: 1×10^8 atoms/cc
- [0177] (인상 조건4)
- [0178] 석영 도가니에, 원료 다결정 실리콘 150kg과 순Al 금속입자 2mg를 충전하는 것 이외에는 실시예1과 동일하게 실리콘 단결정을 제조하고, 각각의 측정을 행하였다.
- [0179] 이상의 측정에서 판명된, 보다 상세한 각 영역의 분포 상황을 도1(c)에 나타내고, 또한 각각의 영역 경계에서의 $F/G(\text{mm}^2/\text{℃} \cdot \text{min})$ 및 Al농도를 아래에 나타낸다.
- [0180] OSF와 N영역 경계의 $F/G(\text{mm}^2/\text{℃} \cdot \text{min}):0.20$
- [0181] N영역과 I영역(거대전위 클러스터 형성) 경계의 $F/G(\text{mm}^2/\text{℃} \cdot \text{min}):0.18$
- [0182] I영역(거대전위 클러스터 형성)과 I영역(무결함) 경계의 $F/G(\text{mm}^2/\text{℃} \cdot \text{min}):0.17$

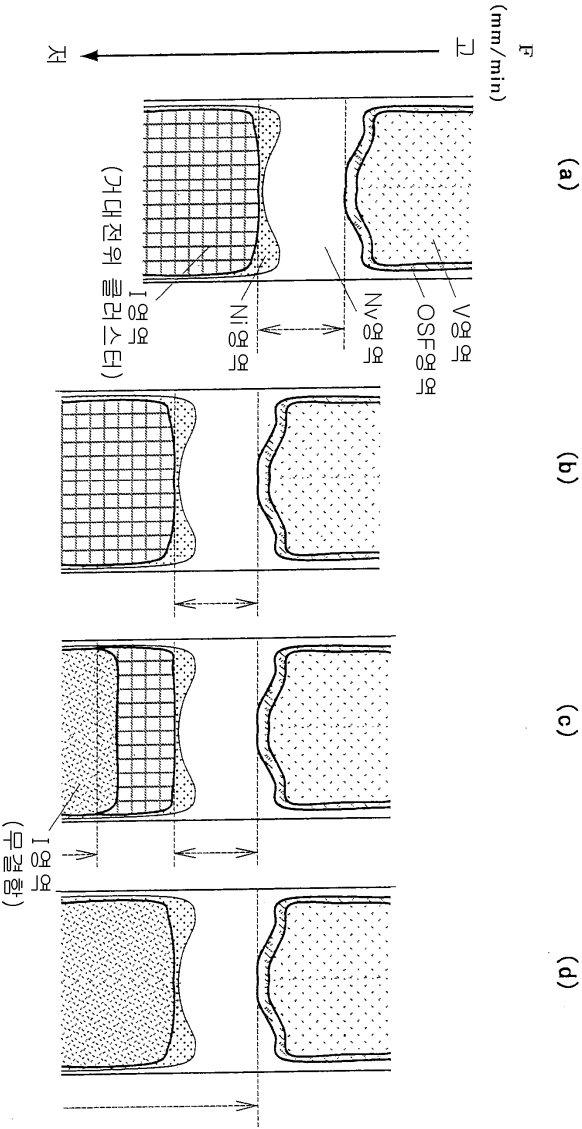
- [0183] F/G=0.17 부근의 결정 벌크 중 Al농도: 1.8×10^{12} atoms/cc
- [0184] (인상 조건5)
- [0185] 석영 도가니에, 원료 다결정 실리콘 150kg과 순Al 금속입자 4mg를 충전하고, B(붕소) 농도가 $1 \times 10^{15} \sim 1.5 \times 10^{15}$ atoms/cc이 되도록 실리콘 단결정을 제조하는 것 외에는 실시예1과 동일하게 실리콘 단결정을 제조하여, 각각의 측정을 행하였다.
- [0186] 이상의 측정에서 판명된, 보다 상세한 각 영역의 분포 상황을 도1(a)에 나타내고, 또한 각 영역 경계에서의 F/G($\text{mm}^2/\text{℃} \cdot \text{min}$) 및 Al농도를 아래에 나타낸다.
- [0187] OSF와 N영역 경계의 F/G($\text{mm}^2/\text{℃} \cdot \text{min}$):0.22
- [0188] N영역과 I영역(거대전위 클러스터 형성) 경계의 F/G($\text{mm}^2/\text{℃} \cdot \text{min}$):0.20
- [0189] F/G=0.17 부근의 결정 벌크 중 Al농도: 3.8×10^{12} atoms/cc
- [0190] 도1에서 알 수 있듯이, P도프 실리콘 단결정의 경우, Al농도가 2×10^{12} atoms/cc미만인 인상 조건(3),(4)에서는, I영역에서 거대전위 클러스터가 형성되어 있고, 또한, 비록 무결함인 I영역이 출현해도 일부에만 머물러 있다(도1(b),(c)). 그러나, Al농도가 2×10^{12} atoms/cc이상인 인상 조건1 및 인상 조건2에서는, 도1(d)에 나타난 바와 같이 I영역이 무결함이 되어, OSF와 N영역의 경계 보다도 저속측인 전면이 무결함 영역이 되어 있다.
- [0191] 한편, B도프 실리콘 단결정의 경우, 인상 조건5와 같이, 비록 Al농도가 2×10^{12} atoms/cc이상이라 해도, 도1(a)에 나타난 바와 같이 I영역에 거대전위 클러스터가 형성되어 있어, 무결함인 I영역은 출현하지 않았다.
- [0192] [SOI웨이퍼의 제조]
- [0193] (실시예1)
- [0194] 상술한 인상 조건1에서, F/G($\text{mm}^2/\text{℃} \cdot \text{min}$)가 0.19~0.13이 되도록 인상 속도F를 제어하고, 전면이 N영역 및 무결함 I영역의 P도프 실리콘 단결정을 제조하였다. 이 P도프 실리콘 단결정에서 경면 웨이퍼를 제조하여, 본드 웨이퍼로 하였다.
- [0195] 다음으로, 상술한 인상 조건3에서, F/G($\text{mm}^2/\text{℃} \cdot \text{min}$)가 0.27~0.24가 되도록 인상 속도F를 제어하고, 전면이 V영역인 P도프 실리콘 단결정을 제조하였다. 이 P도프 실리콘 단결정에서 경면 웨이퍼를 제조하여, 베이스 웨이퍼로 하였다.
- [0196] 이와 같이 해서 준비한 본드 웨이퍼와 베이스 웨이퍼를 사용하여, 도5에 나타난 공정에 기초한 이온 주입 박리법에 의해, 본드 웨이퍼에의 이온 주입, 베이스 웨이퍼와의 접합, 박리 열처리, 결합 열처리(접합 산화), 산화막 제거, 실리콘 활성층 조정 산화, 산화막 제거 등을 거쳐, 두께가 200nm인 절연막과, 50nm인 실리콘 활성층을 갖는 SOI웨이퍼를 제조하였다.
- [0197] 이 SOI웨이퍼의 실리콘 활성층 표면을 파티클카운터(KLA-Tencor사 제품, Surfscan SP-1)에 의해 측정하였다. 그 결과, 실리콘 활성층 조정 산화 후에 불산 세정을 실시하여 열산화막을 제거했음에도 불구하고, 실리콘 활성층에는 에치 피트가 형성되지 않고, 실리콘 활성층이 파괴되지 않은 것을 확인하였다.
- [0198] (실시예2)
- [0199] 상술한 인상 조건1에서, F/G($\text{mm}^2/\text{℃} \cdot \text{min}$)가 0.19~0.13이 되도록 인상 속도F를 제어하고, 전면이 N영역 및 무결함 I영역의 P도프 실리콘 단결정을 제조하였다. 이 P도프 실리콘 단결정에서 경면 웨이퍼를 제조해, 본드 웨이퍼 및 베이스 웨이퍼로 하였다.

- [0200] 이와 같이 해서 준비한 본드 웨이퍼와 베이스 웨이퍼를 사용해, 실시예1과 동일하게 이온 주입 박리법에 의해, 실리콘 활성층의 막두께를 50nm, 절연막의 막두께를 70nm로 하여 SOI웨이퍼를 제작하였다.
- [0201] 그리고, 실리콘 활성층 표면을 파티클 카운터에 의해 측정된 결과, 실리콘 활성층에는 에치 피트가 형성되지 않고, 실리콘 활성층이 파괴되지 않은 것을 확인하였다.
- [0202] 그리고, 이 SOI웨이퍼의 실리콘 활성층을 수산화칼륨 용액으로 선택 에칭하여 제거했다. 이어서, 남은 절연막을 갖는 베이스 웨이퍼에 대해, 6MV/cm의 전해 강도로 Cu테포지션 법에 의한 평가를 행하였다. 그 결과, 절연막은 무결함이고, 절연막 파괴는 발생하지 않은 것을 확인하였다.
- [0203] (비교예1)
- [0204] 상술한 인상 조건3에서, $F/G(\text{mm}^2/\text{℃} \cdot \text{min})$ 가 0.27~0.24가 되도록 인상 속도F를 제어하고, 전면이 V영역인 P도프 실리콘 단결정을 제조하였다. 이 P도프 실리콘 단결정에서 경면 웨이퍼를 제조하여, 본드 웨이퍼 및 베이스 웨이퍼로 하였다.
- [0205] 이와 같이 하여 준비한 본드 웨이퍼와 베이스 웨이퍼를 사용하여, 실시예1과 동일한 방법으로, 두께가 200nm인 절연막과, 50nm인 실리콘 활성층을 갖는 SOI웨이퍼를 제작하고, 이 SOI웨이퍼의 실리콘 활성층 표면을 파티클 카운터에 의해 측정된 결과, 실리콘 활성층의 파괴를 나타내는 고밀도의 휘점이 확인되었다.
- [0206] (비교예2)
- [0207] 상술한 인상 조건3에서, $F/G(\text{mm}^2/\text{℃} \cdot \text{min})$ 가 0.27~0.24가 되도록 인상 속도F를 제어하고, 전면이 V영역인 P도프 실리콘 단결정을 제조하였다. 이 P도프 실리콘 단결정에서 경면 웨이퍼를 제조하여, 본드 웨이퍼 및 베이스 웨이퍼로 하였다.
- [0208] 이와 같이 해서 준비한 본드 웨이퍼와 베이스 웨이퍼를 사용하여, 실시예2와 동일한 방법으로, 실리콘 활성층의 두께를 50nm, 절연막의 두께를 70nm로 하여 SOI웨이퍼를 제작하고, 이 SOI웨이퍼의 실리콘 활성층 표면을 파티클 카운터에 의해 측정된 결과, 실리콘 활성층의 파괴를 나타내는 고밀도의 휘점이 확인되었다.
- [0209] 그리고, 실리콘 활성층을 제거하고, 절연막을 Cu테포지션 법에 의해 평가한 결과, 절연막의 파괴를 나타내는 고밀도의 산화막 결함이 확인되었다.
- [0210] 또한, 본 발명은 상기 실시 형태에 한정되는 것은 아니다. 상기 실시 형태는 예시이며, 본 발명의 특허 청구 범위에 기재된 기술적 사상과 실질적으로 동일한 구성을 갖고, 동일한 작용 효과를 나타내는 것은, 어떠한 것이라도 본 발명의 기술적 범위에 포함된다.

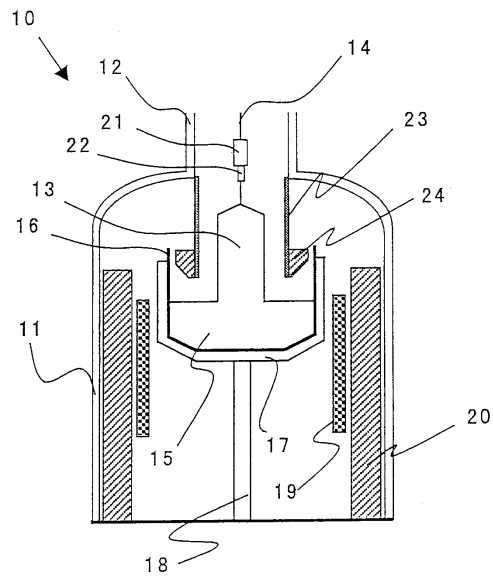
도면의 간단한 설명

- [0081] 도1은 각 조건에서의 성장 속도와 결정 결함 분포의 관계를 나타낸 설명도로서, (a)는 인상조건5, (b)는 인상조건3, (c)는 인상조건4, (d)는 인상조건1 및 인상조건2를 나타낸다.
- [0082] 도2는 단결정 제조 장치의 개략도이다.
- [0083] 도3(a)는 실리콘 단결정의 성장 속도와 결정 절단 위치의 관계를 나타낸 관계도이고, (b)는 성장 속도와 각 결함 영역을 나타낸 설명도이다.
- [0084] 도4는 종래 기술에 의한 성장 속도와 결정 결함 분포의 관계를 나타낸 설명도이다.
- [0085] 도5는 이온 주입 박리법에 의해 본 발명에 관한 SOI웨이퍼를 제조하는 공정의 일례를 나타낸 흐름도이다.
- [0086] 도6은 SIMOX법에 의해 본 발명에 관한 SOI웨이퍼를 제조하는 공정의 일례를 나타낸 흐름도이다.

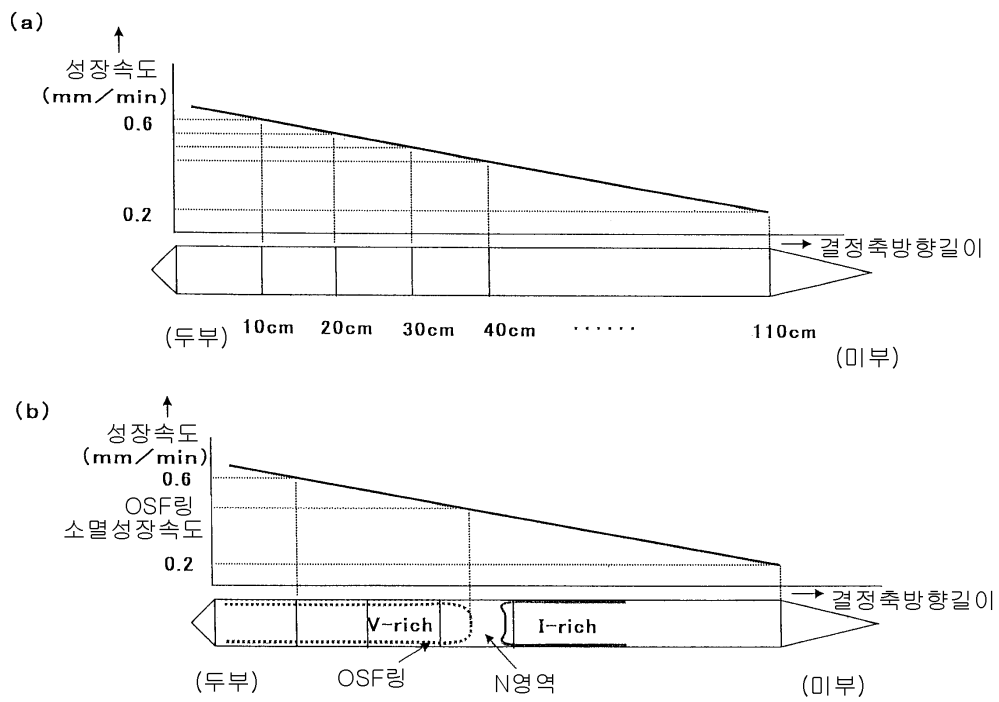
도면
1



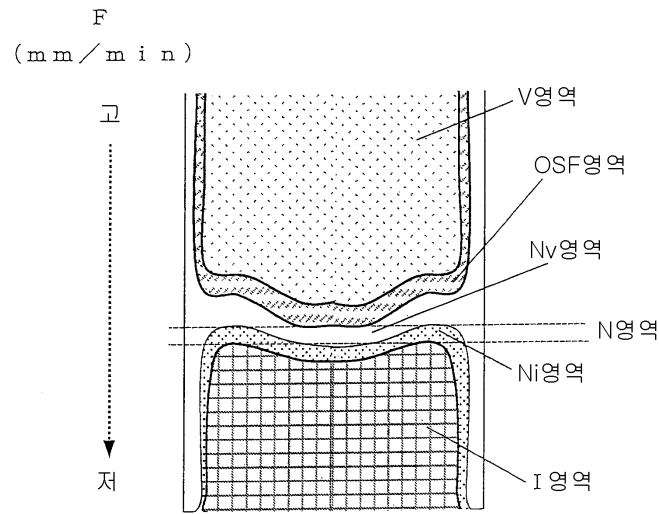
도면2



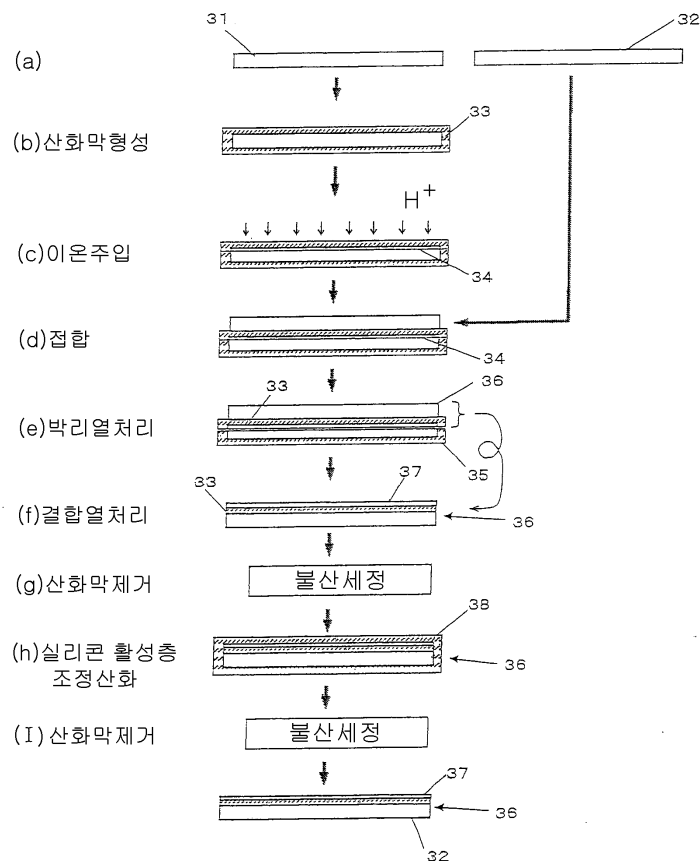
도면3



도면4



도면5



도면6

