



등록특허 10-2247968



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년05월03일
(11) 등록번호 10-2247968
(24) 등록일자 2021년04월28일

- (51) 국제특허분류(Int. Cl.)
G01R 31/3185 (2006.01) *G01R 31/317* (2006.01)
G01R 31/3177 (2006.01)
- (52) CPC특허분류
G01R 31/318536 (2013.01)
G01R 31/31713 (2013.01)
- (21) 출원번호 10-2018-7034345
- (22) 출원일자(국제) 2017년05월01일
심사청구일자 2020년04월23일
- (85) 번역문제출일자 2018년11월27일
- (65) 공개번호 10-2018-0133926
- (43) 공개일자 2018년12월17일
- (86) 국제출원번호 PCT/US2017/030359
- (87) 국제공개번호 WO 2017/190123
국제공개일자 2017년11월02일

(30) 우선권주장
15/143,454 2016년04월29일 미국(US)

(56) 선행기술조사문현

JP01179338 A

(뒷면에 계속)

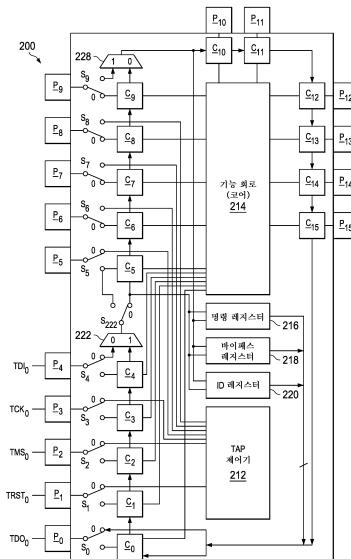
전체 청구항 수 : 총 20 항

심사관 : 오경환

(54) 발명의 명칭 전체 패드 커버리지 바운더리 스캔

(57) 요 약

설명된 예들에서, 접적 회로(200)는 기능 회로(214) 및 테스트 회로(212)를 포함한다. 패드 세트(P_0 - P_4)는 테스트 신호들을 테스트 회로(212)에 전달하기 위해 제1 상태에서 동작가능하고, 입력/출력 신호들을 기능 회로(214)에 전달하기 위해 제2 상태에서 동작가능하다. 패드 세트(P_0 - P_4)와는 다른 제2 패드 세트(P_5 - P_9)는 제2 상태에서 패드 세트(P_0 - P_4)에 연관되는 테스트 신호들에 대해 테스트 신호들을 테스트 회로(212)에 전달하기 위해 제2 상태에서 동작가능하다.

대 표 도 - 도2a

(52) CPC특허분류

G01R 31/3177 (2013.01)

G01R 31/318572 (2013.01)

(56) 선행기술조사문헌

JP10293163 A

JP10300829 A

JP2000011698 A

JP2001267506 A

JP2002033455 A

JP2003187600 A

JP2003228999 A

US06351836 B1

US07036061 B2

US07702983 B2

명세서

청구범위

청구항 1

집적 회로로서,

기능 회로;

테스트 회로;

테스트 신호들을 상기 테스트 회로에 전달하기 위해 제1 상태에서 동작가능하고, 입력/출력 신호들을 상기 기능 회로에 전달하기 위해 제2 상태에서 동작가능한 제1 패드 세트; 및

상기 제2 상태에서 상기 제1 패드 세트에 연관되는 테스트 신호들에 대해 상기 테스트 회로에 테스트 신호들을 전달하기 위해 상기 제2 상태에서 동작가능한, 상기 제1 패드 세트와는 다른 제2 패드 세트

를 포함하는, 집적 회로.

청구항 2

제1항에 있어서, 상기 테스트 회로는 복수의 스캔 셀을 포함하는 구성가능한 스캔 체인을 포함하며, 상기 복수의 스캔 셀 내의 각각의 셀은 상기 제1 패드 세트 및 상기 제2 패드 세트 중 하나 내의 개별 패드에 연관되는, 집적 회로.

청구항 3

제2항에 있어서,

상기 제1 패드 세트가, 상기 구성가능한 스캔 체인 내의 개별 스캔 셀들을 바이패스하는 테스트 신호들을 전달하도록, 상기 제1 상태에서 상기 구성가능한 스캔 체인을 구성하기 위한 회로; 및

상기 제2 패드 세트가, 상기 구성가능한 스캔 체인 내의 개별 스캔 셀들을 바이패스하며 상기 제2 상태에서 상기 제1 패드 세트 내의 개별 패드들에 접속되는 바운더리 셀들을 테스트하기 위한 것인 테스트 신호들을 전달하도록, 상기 제2 상태에서 상기 구성가능한 스캔 체인을 구성하기 위한 회로

를 더 포함하는, 집적 회로.

청구항 4

제2항에 있어서, 상기 복수의 스캔 셀 내의 각각의 스캔 셀은:

직렬 체인 데이터를 수신하기 위한 직렬 레지스터; 및

상기 셀이 상기 제2 상태에서 상기 제1 패드 세트에 연관되는 테스트 신호들에 대해 테스트 신호들을 상기 테스트 회로에 전달하도록 동작될 때, 상기 직렬 레지스터 내의 직렬 체인 데이터를 상기 직렬 레지스터에 대응하는 패드에 도달하지 못하게 차단하기 위한 회로

를 포함하는, 집적 회로.

청구항 5

제1항에 있어서, 상기 제1 상태의 테스트 신호들 및 상기 제2 상태의 테스트 신호들은 JTAG 신호들을 포함하는, 집적 회로.

청구항 6

제1항에 있어서, 상기 제1 패드 세트는 이중 용도 패드들을 포함하는, 집적 회로.

청구항 7

제1항에 있어서, 상기 제1 패드 세트는 하나의 시간에 JTAG 테스트 신호들을 전달하기 위한 패드들, 및 다른 시간에 UART 신호들을 전달하기 위한 패드들을 포함하는, 집적 회로.

청구항 8

제1항에 있어서, 상기 제1 패드 세트는 하나의 시간에 JTAG 테스트 신호들을 전달하기 위한 패드들, 및 다른 시간에 SPI 신호들을 전달하기 위한 패드들을 포함하는, 집적 회로.

청구항 9

제1항에 있어서, 상기 제1 패드 세트는 하나의 시간에 JTAG 테스트 신호들을 전달하기 위한 패드들, 및 다른 시간에 기능 인터페이스 신호들을 전달하기 위한 패드들을 포함하는, 집적 회로.

청구항 10

제1항에 있어서, 상기 집적 회로를 위한 패드들의 총 개수는 16개 이하의 패드인, 집적 회로.

청구항 11

제1항에 있어서, 상기 집적 회로를 위한 패드들의 총 개수는 32개 이하의 패드인, 집적 회로.

청구항 12

제1항에 있어서, 상기 집적 회로를 위한 패드들의 총 개수는 64개 이하의 패드인, 집적 회로.

청구항 13

회로 동작성을 테스트하는 방법으로서,

제1 상태에서, 기능 회로 및 테스트 회로를 포함하는 집적 회로의 제1 패드 세트에 제1 테스트 신호 세트를 인가하고, 상기 제1 테스트 신호 세트를 상기 테스트 회로에 전달하는 단계; 및

제2 상태에서, 상기 제1 패드 세트와는 다른, 집적 회로의 제2 패드 세트에 제2 테스트 신호 세트를 인가하고, 상기 제1 패드 세트에 연관되는 테스트 신호들에 대해 상기 제2 테스트 신호 세트를 상기 테스트 회로에 전달하는 단계

를 포함하는 방법.

청구항 14

제13항에 있어서, 상기 테스트 회로는 복수의 스캔 셀을 포함하는 구성가능한 스캔 체인을 포함하고, 상기 복수의 스캔 셀 내의 각각의 셀은 상기 제1 패드 세트 및 상기 제2 패드 세트 중 하나 내의 개별 패드 내에 연관되는, 방법.

청구항 15

제14항에 있어서,

상기 제1 패드 세트가, 상기 구성가능한 스캔 체인 내의 개별 스캔 셀들을 바이패스하는 테스트 신호들을 전달하도록, 상기 제1 상태에서 상기 구성가능한 스캔 체인을 구성하는 단계; 및

상기 제2 패드 세트가, 상기 구성가능한 스캔 체인 내의 개별 스캔 셀들을 바이패스하며 상기 제2 상태에서 상기 제1 패드 세트 내의 개별 패드들에 접속되는 바운더리 셀들을 테스트하기 위한 것인 테스트 신호들을 전달하도록, 상기 제2 상태에서 상기 구성가능한 스캔 체인을 구성하는 단계

를 더 포함하는 방법.

청구항 16

제14항에 있어서, 상기 복수의 스캔 셀 내의 각각의 스캔 셀은:

직렬 체인 데이터를 수신하기 위한 직렬 레지스터; 및

상기 스캔 셀이 상기 제2 상태에서 상기 제1 패드 세트에 연관되는 테스트 신호들에 대해 테스트 신호들을 상기 테스트 회로에 전달하도록 동작될 때, 상기 직렬 레지스터 내의 직렬 체인 데이터를 상기 직렬 레지스터에 대응하는 패드에 도달하지 못하게 차단하기 위한 회로

를 포함하는, 방법.

청구항 17

제13항에 있어서, 상기 제1 상태의 테스트 신호들 및 상기 제2 상태의 테스트 신호들은 JTAG 신호들을 포함하는, 방법.

청구항 18

제13항에 있어서, 상기 제1 패드 세트는 이중 용도 패드들을 포함하는, 방법.

청구항 19

제13항에 있어서, 상기 제1 패드 세트는 하나의 시간에 JTAG 테스트 신호들을 전달하기 위한 패드들, 및 다른 시간에 UART 신호들을 전달하기 위한 패드들을 포함하는, 방법.

청구항 20

제13항에 있어서, 상기 제1 패드 세트는 하나의 시간에 JTAG 테스트 신호들을 전달하기 위한 패드들, 및 다른 시간에 SPI 신호들을 전달하기 위한 패드들을 포함하는, 방법.

발명의 설명

기술 분야

[0001] 본 발명은 집적 회로들 및 인쇄 회로 보드들의 바운더리 스캔(boundary scan)에 관한 것이다.

배경 기술

[0002] 바운더리 스캔은 집적 회로(IC) 또는 인쇄 회로 보드(PCB) 상의 로직, 메모리들, 및 다른 회로들을 테스트하기 위한 방법 및 관련 배선(circuiting)이다. 전형적으로, 바운더리 스캔을 위해, IC 상에 4개 또는 5개의 핀이 포함되며, 이들 각각은 IC, 또는 IC가 조립되는 PCB 중 어느 하나의 상호접속부들을 테스트하기 위한 각각의 전용 테스트 액세스 포트(TAP: test access port) 신호에 대응한다. 구체적으로, TAP 신호들은 IC가 적절하게 기능하고 있는지 여부, 그것이 PCB에 접속되는지 여부를 결정하는 데에 유용하고, 또한 IC 핀 상태들 또는 측정된 전압들을 관찰함으로써 디버깅하는 것에 유용하다. 테스트는 자동화된 테스트 장비(ATE: automated testing equipment)에 의한 것과 같이 제조 시에, 및 (예를 들어, 디바이스가 판매되거나 시장에 위치한 후) 현장에서의 후속 테스트에 의해 달성될 수 있다. 바운더리 스캔과 관련된 추가의 세부 사항 및 표준화는 JTAG(Joint Test Action Group)에 의해 개발되었으며, IEEE 1149 표준 및 그것의 .x 하위 표준들에서 지정된다.

[0003] 추가 배경으로서, 도 1은 종래의 바운더리 스캔 아키텍처를 갖는 IC(10)의 전기적 블록도를 도시한다. 단순화를 위해, IC(10)는 TAP 신호들과 인터페이싱하고 JTAG 테스트와 관련되는 테스트 액세스 포트(TAP) 제어기(12); 및 JTAG 테스트 외의 IC(10)의 다양한 회로 기능들의 일반적인 묘사인, 때로는 코어(core)라고도 지칭되는 IC 기능 회로(14)를 포함하는 것으로 도시된다. IC(10)는 또한 디바이스의 둘레 주위의 다양한 위치들에 보여진 다수의 I/O 패드 P₀ 내지 P₁₅를 포함한다. 패드들 P₀ 내지 P₄는 아래의 표 1에 보여진 바와 같이, 각자의 알려진 JTAG TAP 관련 신호들을 반송한다(carry).

표 1

핀	JTAG 신호	기능
P ₀	TDO	테스트 데이터 출력(test data out)
P ₁	TRST	테스트 리셋(test reset)
P ₂	TMS	테스트 모드 선택(test mode select)
P ₃	TCK	테스트 클록(test clock)

P ₄	TDI	테스트 데이터 입력(test data in)
----------------	-----	--------------------------

[0005] 표 1에 나타낸 바와 같이, 패드 P₄는 JTAG 테스트 데이터의 입력을 허용하고, 패드 P₀는 그들의 출력을 허용하는 한편, 나머지 패드들 P₁ 내지 P₃는 TAP 제어기(12)에 신호들을 제공한다. 전형적으로, 명령 레지스터(16)는 수신된 신호들에 관하여 취할 동작을 나타내기 위해(예를 들어, 데이터 레지스터 신호들이 전달되어야 하는 것을 정의함), 현재의 JTAG 명령어를 저장한다. 바이패스 레지스터(18)는 TDI가 셀들 C₀ 내지 C₁₅의 체인을 바이패스 하여 입력으로부터 출력으로 직접 전달되는 것을 허가하는 단일 비트 레지스터이다. ID 레지스터(20)는 IC(10)에 대한 ID 코드 및 개정 번호를 저장하기 위한 것이고, 그에 의해 IC(10)가 IC(10)에 대한 바운더리 스캔 구성 정보를 저장하는 파일에 링크되는 것을 허용한다.

[0006] JTAG 관련 패드들 P₀ 내지 P₄와는 별도로, 나머지 IC 패드들 P₅ 내지 P₁₅ 각각은 각각의 바운더리 스캔 셀 C₅ 내지 C₁₅을 통해 기능 회로(14)에 접속된다. 따라서, 그러한 패드들은 기능 회로(14)에 의해 달성되는 대로의 그 것의 의도된 동작과 관련하여 IC(10)의 I/O를 표현한다. 그러나, JTAG 테스트와 관련하여, 스캔 셀들 C₅ 내지 C₁₅ 각각은 적어도 하나의 다른 스캔 셀에 접속되고, 그에 의해 스캔 체인을 형성한다. JTAG 목적을 위해, 데이터는 개별 패드에 의해 각각의 셀에 입력될 수 있거나, 기능 회로(14)로부터 각각의 셀 내에서 캡처될 수 있고, 다음으로 그러한 데이터는 체인을 따라 연속적으로 시프트될 수 있고, 그에 의해 그러한 마지막 셀 C₁₅로부터 TDO 정보로서 출력되게 된다. 그러므로, 이러한 방식으로, 기능 회로(14)로부터의 I/O 접속성 및 데이터 상태들은 IC(10)의 적절한 동작을 확인하기 위해 평가될 수 있다.

[0007] 위에서 설명된 기술들은 다수의 아키텍처에 걸쳐 IC 및 PCB 테스트에서 효과적임이 입증되었지만, IEEE 1149.x 표준은 JTAG 패드들 자체가 개별 스캔 셀들에 접속되지 않을 것을 요구한다. 따라서, 도 1의 예에서, 패드들 P₀ 내지 P₄는 그러한 개별 셀들에 접속되지 않는다. 그러나, 그러한 규약은 제한을 부과한다.

발명의 내용

[0008] 설명된 예들에서, 접적 회로는 기능 회로 및 테스트 회로를 포함한다. 접적 회로는 또한 테스트 신호들을 테스트 회로에 전달하기 위해 제1 상태에서 동작가능하고, 입력/출력 신호들을 기능 회로에 전달하기 위해 제2 상태에서 동작가능한 패드 세트를 포함한다. 접적 회로는 또한 제2 상태에서 패드 세트에 연관되는 테스트 신호들에 대해 테스트 회로에 테스트 신호들을 전달하기 위해 제2 상태에서 동작가능한, 패드 세트와는 다른 제2 패드 세트를 포함한다.

도면의 간단한 설명

[0009] 도 1은 종래의 바운더리 스캔 아키텍처를 갖는 IC(10)의 전기적 블록도를 도시한다.
도 2a는 예시적인 실시예에 따라 제1 JTAG 테스트 신호 세트를 수신하기 위한 제1 스위치 상태에 있는 IC(200)의 전기적 블록도를 도시한다.

도 2b는 제2 JTAG 테스트 신호 세트를 수신하기 위한 제2 스위치 상태에 있는 도 2a의 IC(200)의 전기적 블록도를 도시한다.

도 3은 IC(200)의 동작의 예시적인 방법(300)의 흐름도를 도시한다.

도 4는 대안적인 예시적인 실시예의 IC(200')의 전기적 블록도를 도시한다.

도 5는 도 4의 IC(200') 내의 셀들에 대해 사용될 수 있는 셀 C_x에 대한 구조를 도시한다.

발명을 실시하기 위한 구체적인 내용

[0010] 도 2a 및 도 2b는 예시적인 실시예에 따른 IC(200)의 전기적 블록도를 도시한다. IC(200)는 도 1과 관련하여 위에서 설명된 것들과 유사한 다양한 기능 블록들을 포함한다. 명확화를 위해, 도 2a 및 도 2b의 그러한 블록들은 도 1의 참조번호에 200을 부가함으로써 번호가 매겨져 있다. 따라서, JTAG 신호들 및 IC 기능을 처리하는 것과 관련하여, IC(200)는 TAP 제어기(212), 기능 회로(또는 코어)(214), 명령 레지스터(216), 바이패스 레지스터(218), 및 ID 레지스터(220)를 포함한다. 그러나, 예시적인 실시예들과 관련하여, 그러한 블록들은 패드들

(예를 들어, 핀들)의 2개의 상이한 개별 세트로부터의 JTAG 신호 세트와 관련하여 동작한다. 도 2a에서, 그러한 제1 JTAG 신호 세트는 패드들 P₀ 내지 P₄ 상에 첨자 0과 함께 도시되어 있다. 도 2b에서, 그러한 제2 JTAG 신호 세트는 패드들 P₅ 내지 P₉ 상에 첨자 1과 함께 도시되어 있다. 그러므로, 아래에서 설명되는 바와 같이, IC(200)는 상이한 신호 경로들로 각각 달성되는 2개의 상이한 상태에서 동작가능하고, 여기서 도 2a는 2진 개념에서 0의 상태로서 나타내어지는 제1의 그러한 상태를 나타내고, 도 2b는 2진 개념에서 1의 상태로서 나타내어지는 제2의 그러한 상태를 나타낸다. 아래에 설명되는 바와 같이, 그러한 상태들은 상태 머신 또는 유사한 제어에 의해 구현될 수 있으며, 이에 의해, 결합된 2개의 상태가 IC(200)의 모든 패드들의 완전한 JTAG 바운더리 스캔을 허가한다.

[0011] 도 2a를 더 상세하게 참조하면, IC(200)는 다수의 패드 P₀ 내지 P₁₅를 포함하며, 따라서 예시적인 IC(200)는 16 핀 디바이스이다. 또한, 각각의 패드에 대해 개별 바운더리 스캔 셀 C₀ 내지 C₁₅이 존재하며, 그에 의해 바운더리 셀 스캔 체인을 형성한다. 따라서, 예시적인 실시예에서, (도 1의 예에서 표현된 것과 같은) 고정된 JTAG 패드들이 대응하는 바운더리 스캔 셀들을 갖지 않는 종래의 기술들과는 대조적으로, 각각의 디바이스 패드는 이 하에 더 상세하게 설명되는 이유들로 인해 대응하는 바운더리 스캔 셀을 갖는다).

[0012] 위에서 설명된 바와 같이, 아래의 표 2에 요약되어 있는 바와 같이, 제1 JTAG 신호 세트를 수신하기 위해 제1 패드 세트, 즉 패드들 P₀ 내지 P₄이 도 2a에 도시되어 있다.

표 2

패드	JTAG 신호
P ₀	TDO ₀
P ₁	TRST ₀
P ₂	TMS ₀
P ₃	TCK ₀
P ₄	TDI ₀

[0014] 또한, 표 2의 패드들 P₀ 내지 P₄ 각각은 개별 스위칭 소자 S₀ 내지 S₄에 접속되고, 그에 의해 도 2a에 보여진 것과 같은 제1 상태에서, 각각의 그러한 스위칭 소자는 패드 각각의 JTAG 신호가 JTAG 테스트를 달성하기 위해 적절히 라우팅되도록 패드를 상호접속시킨다. 그러므로, 이러한 제1 상태에서: (i) 패드들 P₁ 내지 P₃는 TAP 제어기(212)에 접속되고; (ii) 패드 P₀는 도 2a에서 구성된 바와 같은 바운더리 채인을 형성하는 셀들의 시퀀스 내의 마지막 셀인 바운더리 스캔 셀들 C₁₅로부터 TDO₀으로서 데이터를 수신하도록 접속되고; (iii) 패드 P₄는 그것의 TDI₀ 신호가 멀티플렉서(222) 및 스위칭 소자 S₂₂₂를 통해, 바운더리 스캔 셀 C₅에서 시작하는 바운더리 스캔 채인에 입력될 수 있고, 또한 그 신호가 명령 레지스터(216), 바이패스 레지스터(218), 및 ID 레지스터(220)에 접속되도록 접속된다.

[0015] 도 2a에 도시된 바와 같은 IC(200)는 또한 제2 패드 세트, 즉 패드들 P₅ 내지 P₉을 포함하며, 패드들 각각은 개별 스위칭 소자 S₅ 내지 S₉에 접속되고, 그에 의해 도 2a에 보여진 바와 같은 제1 상태에서, 각각의 그러한 스위칭 소자는 아래의 표 3에 요약된 바와 같이 스캔 셀 채인 내의 개별 바운더리 스캔 셀에 패드를 상호접속시킨다.

표 3

패드	셀
P ₅	C ₅
P ₆	C ₆
P ₇	C ₇
P ₈	C ₈

P ₉	C ₉
----------------	----------------

[0017] 더욱이, 제1 상태에서, 각각의 바운더리 셀들 C₅ 내지 C₉은 각각의 패드와 기능 회로(214) 사이에 그 셀을 통한 배타적 통로 접속성 경로(exclusive pass-through connectivity path)를 제공한다. 이와 관련하여, "배타적"은 각각의 바운더리 패드가 하나의 개별 핀과 기능 회로(214) 사이에 유일한 통로를 허용한다는 것을 나타낸다. 그러므로, 이러한 접속성은 패드 또는 기능 회로(214) 중 어느 하나로부터의 신호들이 개별 셀 내에서 캡처되는 것을 허용하며, 다음으로, 신호는 순차적인 방식으로 다음 연속 셀에 시프트될 수 있으며, 그에 의해 궁극적으로 신호는 스캔 셀 체인으로부터의 출력 데이터 TDO로서 제공되게 된다.

[0018] IC(200)는 또한 제1 또는 제2 패드 세트 내의 패드들 외의 패드들을 포함하며, 그러므로 그러한 추가 패드들은 JTAG 신호들을 수신하도록 동작가능하지 않은 제3 패드 세트로 고려될 수 있다. 도 2a의 예에서, 이러한 제3 패드 세트는 패드들 P₁₀ 내지 P₁₅으로서 보여져 있다. 제3 패드 세트 내의 각각의 패드는 아래의 표 4에 요약된 바와 같이, 바람직하게는 직접적으로, 제1 및 제2 패드 세트에서와 같은 스위칭 소자 없이, 체인 내의 개별 배타적 통로 바운더리 스캔 셀에 접속된다.

표 4

패드	셀
P ₁₀	C ₁₀
P ₁₁	C ₁₁
P ₁₂	C ₁₂
P ₁₃	C ₁₃
P ₁₄	C ₁₄
P ₁₅	C ₁₅

[0020] 그러므로, 개별 패드와 기능 회로(214) 사이의 셀을 통한 배타적 접속성 경로는 패드 또는 기능 회로(214) 중 어느 하나로부터의 신호들이 개별 셀 내에서 캡처되는 것을 허용하고, 다음으로, 신호는 순차적인 방식으로 다음 연속 셀에 시프트될 수 있으며, 그에 의해 궁극적으로 신호는 스캔 셀 체인으로부터의 출력 데이터 TDO로서 제공되게 된다.

[0021] 도 2a를 마무리하면, 바운더리 셀 C₁₅은 또한 디멀티플렉서(224)의 입력에 대한 출력이고, 디멀티플렉서는 0 상태에 대해 디멀티플렉서 입력을 스위칭 소자 S₀를 통해 패드 P₀에 접속하여, 그 상태에서 셀 C₁₅의 출력이 패드 P₀에 접속되게 하는 제1 출력을 갖는다. 나중에 설명되는 이유로 인해, 디멀티플렉서(224)는 또한 1 상태에 대해 디멀티플렉서 입력을 바운더리 스캔 셀 C₀에 접속하는 제2 출력을 갖는다. 더욱이, 명령 레지스터(216), 바이파스 레지스터(218), 및 ID 레지스터(220)의 출력들 각각은 멀티플렉서(226)의 입력에 접속되고, 멀티플렉서는 0 상태에 대해 디멀티플렉서 입력을 멀티플렉서(224)의 입력에 접속하는 제1 출력을 갖는다. 그러므로, 위에서 설명된 바와 같이, 0 상태 동안의 후자는 그것의 입력을 TD0로서 핀 P₀에 접속시키고, 그에 의해, 이러한 상태 동안 그 레지스터들의 출력들은 핀 P₀에 접속될 수 있게 된다.

[0022] 도 2b를 더 상세하게 참조하면, IC(200)는 다양한 스위치 위치들 및 디멀티플렉서 선택들의 위치에 대응하는 번호 1로 나타내어진 제2 상태로 도시된다. 그러므로, 이와 관련하여, 도 2a로부터의 바운더리 셀들의 스캔 체인에 대한 신호 경로는 도 2b에서 다른 경로로 스위칭되고, 그에 의해, 제1 상태에서는 제1 패드 세트(예를 들어, P₀ 내지 P₄)로부터의 신호들이 개별 바운더리 셀들에 전달되지 않고, 제2 상태에서는 제2 패드 세트(예를 들어, P₅ 내지 P₉)로부터의 신호들이 개별 바운더리 셀들에 전달되지 못한다는 의미에서, 스캔 체인이 구성가능한(configurable) 것임을 확립한다. 그러므로, 이와 관련하여, 도 2b에서, 제2 패드 세트는 이하의 표 5에 요약된 바와 같이 제2 JTAG 신호 세트를 수신한다.

표 5

패드	JTAG 신호
P ₅	TDO ₁
P ₆	TRST ₁
P ₇	TMS ₁
P ₈	TCK ₁
P ₉	TDI ₁

[0024] 각각의 제2 상태의 JTAG 신호는 개별 스위칭 소자에 접속되고, 그에 의해 도 2b에 보여진 바와 같은 제2 상태에서, 각각의 그러한 스위칭 소자는 그것의 개별 JTAG 신호가 JTAG 테스트를 달성하기 위해 적절히 라우팅되도록 패드를 상호접속시킨다. 또한, 라우팅은 상태 0에서 그러한 패드들이 각각 배타적으로 접속되는 통로 바운더리 스캔 셀(즉, 셀들 C₅ 내지 C₉)을 바이패스한다. 그러므로, 이러한 제2 상태에서, (i) 패드들 P₆ 내지 P₈은 TAP 제어기(212)에 접속되고; (ii) 패드 P₅는 멀티플렉서(222) 및 스위치 S₅를 통해, 도 2b에서 구성된 바와 같은 바운더리 체인을 형성하는 셀들의 시퀀스 내의 마지막 셀인 바운더리 스캔 셀 C₄로부터 TDO₁으로서 데이터를 수신하도록 접속되고; (iii) 패드 P₉은 그것의 TDI₁ 신호가 멀티플렉서(228)를 통해, 바운더리 스캔 셀 C₁₀에서 시작하는 바운더리 스캔 체인에 입력될 수 있고, 또한 그 신호가 명령 레지스터(216), 바이패스 레지스터(218), 및 ID 레지스터(220)에 접속되도록 접속된다.

[0025] 도 2b에 보여진 바와 같이, IC(200)는 또한 제1 패드 세트를 포함한다. 그러나, 바운더리 셀들의 구성가능한 스캔 체인에 대한 접속성의 변화로 인해, 제1 패드 세트 내의 각각의 패드, 즉 패드들 P₀ 내지 P₄는 아래의 표 6에 요약된 바와 같이, 제2 상태에서 개별 스위칭 소자 S₀ 내지 S₄를 통해 스캔 셀 체인 내의 개별 바운더리 스캔 셀에 접속된다.

표 6

패드	셀
P ₀	C ₀
P ₁	C ₁
P ₂	C ₂
P ₃	C ₃
P ₄	C ₄

[0027] 더욱이, 바운더리 셀들 C₀ 내지 C₄ 각각은 또한 기능 회로(214)에 접속된다.

[0028] 도 2b를 마무리하면, IC(200)는 제1 또는 제2 패드 세트 내의 패드들 외의 패드들을 다시 포함하며, 그러므로 그러한 추가 패드들은 JTAG 신호들을 수신하도록 동작가능하지 않은 제3 패드 세트로 고려될 수 있다. 따라서, 도 2a의 예에서와 같이, 도 2b에서 이러한 제3 패드 세트는 위에서 설명된 표 4에 요약된 바와 같이 체인 내의 각각의 바운더리 스캔 셀에 직접 각각 접속되는 패드들 P₁₀ 내지 P₁₅로서 보여진다.

[0029] 도 3은 IC(200)의 동작의 예시적인 방법(300)의 흐름도를 도시한다. 방법(300)은 TAP 제어기(212)의 일부로서 포함된 상태 머신에 의해, 또는 자동화된 테스트 장비(ATE)를 이용하는 것과 같이, IC(200) 상에 단독으로 위치되어 있거나 부분적으로 그것의 외부에 있는 다른 회로 및 제어에 의해 달성될 수 있다. 방법(300)은 JTAG 테스트 시작 단계(310)로 시작하는데, 예를 들어 그러한 테스트는 예를 들어 ATE를 통하는 것과 같이 제조 위치에서; 또는 나중에 현장에서 IC 또는 PCB 레벨 중 어느 하나에서 이루어질 수 있다. 하나의 예시적인 실시예에서, 단계(310)는 IC(200)가 파워 온 될 때, 즉 파워 온 리셋 절차의 일부로서 발생할 수 있다.

[0030] 단계(310) 이후에, 방법(300)은 단계(320)로 진행한다. 단계(320)에서, IC(200)는 위에서 설명된 제1 상태 0에

서 동작되고, 이 경우 스위칭 소자, 멀티플렉싱 및 디멀티플렉싱은 도 2a에 도시된 바와 같다. 동시에, 제1 JTAG 신호 세트(예를 들어, 현재 표준에 따라 4개 또는 5개의 신호)는, 주어진 상태에서 개별 배타적 통로 바운더리 체인 셀들에 접속되지 않은 제1 패드 세트에 인가되고, 그러한 JTAG 신호들 각각은 위에서 설명된 바와 같이 특정 신호에 기초하여 적절하게 라우팅된다. 따라서, 위에서 설명된 표 2는 이러한 제1 JTAG 신호 세트에 대한 예를 제공한다. 그러면, 이러한 접속성과 함께, JTAG 테스트는 본 예에서 패드들 P₅ 내지 P₁₅인 IC(200) 상의 나머지 패드들에 대해 수행되고, 그에 의해 그러한 패드들을 표 3 및 표 4에 보여진 개별 셀들과 관련하여 테스트한다. 따라서, 패드 P₄는, 상태 0에서 셀 C₅로 시작하여 셀 C₁₅까지 진행하도록 구성되는 바운더리 스캔 체인에 TDI 데이터를 도입할 수 있고, 신호 상태들은 이러한 셀들과 기능 회로(214) 사이에서 전송될 수 있으며; 구성 가능한 스캔 체인을 따라 전진되고, 패드 P₀를 통해 출력되는 TDO 데이터로서 생성된다. 다른 JTAG 테스트는 또한 단계(320)의 구성된 바운더리 체인 동안 그러한 체인으로 달성될 수 있다.

[0031]

단계(320) 이후에, 방법(300)은 단계(330)로 진행한다. 단계(330)에서, IC(200)는 위에서 설명된 제2 상태 1에서 동작되고, 이 경우 스위칭 소자들, 멀티플렉싱 및 디멀티플렉싱은 도 2b에 도시된 바와 같다. 동시에, 제2 JTAG 신호 세트(예를 들어, 현재 표준에 따라 4개 또는 5개의 신호)는, 주어진 상태에서 개별 배타적 통로 바운더리 체인 셀들에 접속되지 않은, 제1 세트와는 다른 제2 패드 세트에 인가되고, 이러한 제2 JTAG 신호 세트는 또한 위에서 설명된 바와 같이 신호에 기초하여 적절하게 라우팅된다. 따라서, 상술한 표 5는 이러한 제2 JTAG 신호 세트에 대한 예를 제공한다. 그러면, 그러한 접속성과 함께, JTAG 테스트는 적어도, 상태 0에서 JTAG 접속된 그러한 패드들에 관하여 수행되며, 그것들은 패드들 P₀ 내지 P₄이다. 또한, 도 2b의 구성을 이용하면, 테스트는 제3 패드 세트, 즉 패드 P₁₀ 내지 P₁₅에 관하여 반복될 수 있다(또는 대안적인 테스트가 수행될 수 있다). 따라서, 패드 P₉은, 상태 1에서 셀 C₁₀으로 시작하여 셀 C₁₅까지 계속되고 셀들 C₀ 내지 C₄로 다시 진행하고 셀들 C₀ 내지 C₄을 포함하지만, JTAG 신호들을 수신하는 패드들에 대응하는 셀들(즉, C₅ 내지 C₉)은 배제하도록 구성된 바운더리 스캔 체인에 TDI 데이터를 도입할 수 있다. 따라서, 단계(330)를 완료한 후: (a) 단계(320)에서, 제1 패드 세트는 제1 세트 내에 있지 않은 패드들을 테스트하기 위해 JTAG 신호들을 수신하는 데 사용되며; (b) 단계(330)에서, 제1 패드 세트와 다른 제2 패드 세트는 제1 패드 세트를 테스트하기 위해 JTAG 신호들을 수신하는 데 사용될 수 있다.

[0032]

단계(330) 이후에, 방법(300)은 단계(340)로 계속된다. 단계(340)에서, IC(200)의 제2 패드 세트는 다시 상태 0 구성으로 재구성되고, 그 후에 IC(200)는 각각의 패드에 대한 패드 할당들 및 디바이스 사양들에 따라 동작될 수 있다. 그러므로, 이와 관련하여, IC(200)에 대한 제2 패드 세트는 이중 목적 패드들일 수 있으며, 테스트 동안 JTAG 패드들의 역할을 한다(상태 1 테스트에서). 단계(340)에서의 재구성 후에, 이러한 패드들은 개별 스캔 셀들을 통해 기능 회로(214)에 접속된다. 그 후, 방법(300)은 단계(350)에서 종료된다.

[0033]

도 4는 위에서 설명된 IC(200)와 다양한 기능적 및 구조적 양태들을 공유하는 대안적인 예시적인 실시예의 IC(200')를 도시한다. 그러므로, 일반적으로, IC는 (i) 테스트 신호들을 테스트 회로에 전달하기 위해 제1 상태에서 동작가능하고, 입력/출력 신호들을 기능 회로에 전달하기 위해 제2 상태에서 동작가능한 제1 패드 세트; 및 (ii) 제2 상태에서 제1 패드 세트에 연관되는 테스트 신호들에 대해 테스트 신호들을 테스트 회로에 전달하기 위해 제2 상태에서 동작가능한, 제1 패드 세트와는 다른 제2 패드 세트를 구비한다. 그러나, IC(200')에 대해, 교변하는(alternating) 패드 세트들은 두 개의 패드 세트가 접속되는 스위칭 회로(230)를 이용하여 용이하게 되며, 이에 따라 스위칭 회로(230)는 패드들과 기능 회로(214) 및 TAP 제어기(212) 사이에서 신호들을 전달할 수 있다. 더욱이, TAP 제어기(212)는 명령 레지스터(216), 바이패스 레지스터(218), 및 ID 레지스터(220) 중 임의의 것과 양방향으로 통신하도록 동작가능하므로, 두 개의 패드 세트(제1 상태를 위한 하나의 패드 세트, 제2 상태를 위한 하나의 패드 세트) 둘 다는 JTAG 신호들이 회로(230)에서 멀티플렉싱되는 것을 허가하고, 그에 의해 JTAG 신호들의 단일 출력 세트는 [예를 들어, 필요에 따라 ID 레지스터(220), 바이패스 레지스터(218), 및 명령 레지스터(216)와 양방향으로 더 통신할 수 있는 텁 제어기(212)에 그것들을 결합시킴으로써] TAP 로직을 구동하고 임의의 다른 JTAG 기능을 지원하게 된다. 이와 관련하여 회로(230) 및 제어기(212) 둘 다에서 필요한 스위칭 장치를 구현하기 위한 다양한 대안들이 가능하다. IC(200')에 대해서도, 도 5에 관련하여 아래에 더 설명되는 바와 같이, 도 2a 및 도 2b에 도시된 스위칭 및 멀티플렉싱 장치를 대신하여 특정 셀 구조가 구현될 수 있다.

[0034]

도 5는 도 4의 IC(200')의 셀들 C₀ 내지 C₁₅ 중 임의의 셀의 출력 및 직렬 체인 경로에 대해 사용될 수 있는 셀 C_x에 대한 구조를 도시하며, 여기서 유사한 회로 또는 일부분이 유사하게 그 입력 경로에 대하여 구현될 수

있다. 셀 C_x 의 구조를 이용하면, 전체 바운더리 스캔 체인은 공유되는 패드들의 상이한 구성들에 걸쳐 동일할 수 있으며, 여기서 이하에 설명되는 추가 구조는 JTAG를 위해 사용되는 개별 패드들에 대응하는 셀들 사이에서 시프트된 값들이 패드들에 전파되지 않고 패드들에 영향을 미치지 않을 것을 보장한다. 셀 C_x 는 이하의 입력 또는 제어 신호들을 포함한다.

[0035] ● parallel_input: 기능 핀 멀티플렉싱 모듈[기능 회로(214)의 일부로서 포함될 수 있음]로부터의 데이터이고, 이에 의해 기능적 용도에 관련된 신호들(예를 들어, SPI, UART...)은 기능 핀 멀티플렉싱 모듈의 일부로서 멀티플렉싱되며, 이 신호는 멀티플렉서(240)에 대한 제1 데이터 입력이고, 여기서 멀티플렉스(240)에의 제2 데이터 입력은 스캔 체인 내의 선행 셀 C_{x-1} 로부터의 직렬 체인 데이터이다. 또한, parallel_input은 멀티플렉서(242)에의 제1 데이터 입력으로서 입력되고, 여기서 멀티플렉서(242)에의 제2 데이터 입력은 멀티플렉서(244)의 출력이다.

[0036] ● parallel_input_tpm: 테스트 핀 다중화 모듈로부터의 데이터로서, 이에 의해 테스트 용도에 관련된 신호들(예를 들어, scan, dmled, ...)은 테스트 핀 멀티플렉싱 모듈의 일부로서 멀티플렉싱되고, 이 신호는 멀티플렉서(244)에의 제1 데이터 입력이며, 여기서 멀티플렉서(242)에의 제2 데이터 입력은 멀티플렉서(246)의 출력이다.

[0037] ● top_bsc_shift: 스캔 체인 내의 선행 셀 C_{x-1} 로부터의 시프트된 데이터 또는 parallel_input 신호 중 어느 하나를 선택하도록 멀티플렉서(240)를 제어한다.

[0038] ● clock_dr: 직렬 레지스터 플립 플롭(248)의 클록을 멀티플렉서(240)의 출력으로부터의 데이터 내의 클록에 맞추는 한편, 데이터를 래치 아웃 레지스터 플립 플롭(250)에 출력한다.

[0039] ● top_bsc_update: 래치 아웃 레지스터 플립 플롭(250)의 클록을 직렬 레지스터 플립 플롭(247)의 출력으로부터의 데이터 내의 클록에 맞추는 한편, 멀티플렉서(246)에 대한 제1 데이터 값 입력에 출력한다.

[0040] ● top_bsc_output_mode: 바운더리 스캔 셀이 I/O를 구동하는 extest 모드를 지정하는 신호이며, 이 신호는 멀티플렉서(252)에 대한 제1 데이터 입력이다.

[0041] ● test_path_select: scan/dmled/PBIST 등에 관련된 (DFT) 테스트 경로를 테스트하기 위한 설계를 가능하게 하기 위해 패드에 출력될 parallel_input_tpm를 선택하기 위해 멀티플렉서(252)에 입력되는 제어 신호.

[0042] 또한, 4비트 데이터 레지스터(254)가 셀 C_x 에 연관되어 있으며, 여기서 그것의 4개의 비트는 다음과 같이 접속된다:

[0043] ● b0: 멀티플렉서(241)의 제어.

[0044] ● b1: 멀티플렉서(252)에 입력되는 제2 데이터 값.

[0045] ● b2: 멀티플렉서(246)의 제어.

[0046] ● b3: 멀티플렉서(246)에 입력되는 제2 데이터 값.

[0047] 셀 C_x 의 동작은 다음과 같다. 도 2a 및 도 2b의 IC(200)는, 하나의 상태에서는 JTAG 핀들을 위해 제1 패드 세트가 사용될 수 있고; 제2 패드 세트는 신호들을 개별 셀들에 결합시키도록 스위치들 및 특정 멀티플렉서들을 도시한다. 그러한 경우, 제1 세트에 대해, 스위치들은 특정 셀들이 바이패스되는 것을 허용한다. 도 5에 대해, IC(200')에서, 유사한 결과를 제공하는 데에 있어서, 셀 C_x 는 하나의 상태에 대해 비-JTAG 테스트 또는 다른 데이터를 패드에 출력할 수 있고, 다른 상태에 대해서는 JTAG 스캔 체인 데이터가 패드에 출력될 수 있다. 구체적으로, 레지스터(254) 내의 비트들은 "parallel_input_tpm"으로부터의 경로 또는 latch_out 레지스터(250)의 경로 중 어느 하나를 [즉, 멀티플렉서(246)를 제어함으로써] 선택하도록 프로그래밍되고(또는 대안적으로 하드 코딩되고), 그에 의해 선택된 선택안이 멀티플렉서(242)를 통해 패드에 전달되게 된다. 따라서, 직렬 레지스터(248)는 두 개의 상태 모두에서 바운더리 스캔 체인의 일부여서, 전체 바운더리 스캔 체인이 상이한 구성들에 걸쳐 동일하게 하는 한편, 레지스터(254)(또는 하드 코딩된) 값들은 직렬 레지스터(248) 내의 시프트되어 온 값(shifted in value)이 요구되지 않을 때는 패드들에 전파되지 않고 패드들에 영향을 미치지 않을 것을 보장한다. 구체적으로, JTAG 테스트를 위해 제1 패드 세트가 이용되는 제1 상태에서, 그러한 패드들에 대응하는 각각의 셀 C_x 에 대한 직렬 레지스터(248)는 체인 내의 선행 셀로부터의 소정의 시프트되어 온 값을 얻을 것

이지만, 그러한 값은 패드에 전파되지 않으며, 따라서 패드는 테스트를 위해 요구되는 대로 계속하여 기능한다 (즉, 패드에 parallel_input_tpm를 대신 제공함으로써). JTAG 테스트를 위해 제2 패드 세트가 이용되는 제2 상태에서, 제1 JTAG 패드 세트에 대응하는 셀들 내의 직렬 레지스터 값은 [레지스터(250) 및 멀티플렉서들(246, 244 및 242)을 통해] 각각의 개별 패드에 전파되도록 허용되며, 그에 의해 그것들이 바운더리 스캔 테스트를 통해 제어 가능하고 테스트 가능할 것을 보장한다.

[0048]

상술한 설명의 견지에서, 예시적인 실시예들은 IC들 및 인쇄 회로 보드들(PCB)의 바운더리 스캔에서의 개선을 제공한다. 구체적으로, 예시적인 실시예의 IC는 패드들의 공유를 허용하여, 제1 상태에서는 그러한 패드들이 JTAG 테스트를 위해 사용될 수 있게 하고 - 그 상태 동안 [TDI 및 TDO 패드들이 데이터를 기능 회로(214)에 전달하는 것이 아니라, 체인으로부터의 데이터를 입력 및 출력하기 위해 직렬 접속되더라도] 핀들은 구성 가능한 스캔 체인을 바이패스하거나 구성 가능한 스캔 체인에 다르게 통로 접속되며 (pass-through connected) 않음 - ; 제2 상태에서는 패드들이 배타적인 개별 스캔 셀들에 통로 접속되는 비-JTAG 신호들을 위해 사용되며, 추가 패드들은 그 제2 상태 동안 이중 용도 패드의 JTAG 테스트를 위해 사용된다. 따라서, IC 패드 세트는 범용 비동기 수신기/송신기(UART)를 위한 입력/출력과 같은 기능적 인터페이스, 또는 직렬 주변기기 인터페이스(SPI)를 위한 것과 같이, JTAG 테스트 외의 제2 기능을 제공할 수 있다. 따라서, 저전력 무선 주파수 디바이스들과 같은 로우 패드 카운트 디바이스들(low pad count devices)에 대해, 제1 패드 세트는 하나는 JTAG에 관련된 것이고 다른 것은 JTAG에 관련되지 않는 두 개의 상이한 기능에 대해 공유될 수 있고, 여기서 그럼에도 불구하고 패드들 (및 연관 신호들 및 기능들) 자체는, 그 패드들이 JTAG 패드들의 역할을 하지 않고 있는 상태에서 JTAG 테스트될 수 있고, 제2 JTAG 패드 세트는 구성 가능한 스캔 체인을 통해 일시적으로 활성화된다. "로우 패드 카운트"에 대한 언급은 응용 또는 다른 고려사항들에 기초하여 달라질 수 있으므로, 예시적인 실시예들은 64개 미만의 패드, 32개 미만의 패드, 또는 16개 미만의 패드일 수 있다. 패드들의 수가 감소될 수 있거나, 모든 패드들에 대한 완전한 JTAG 테스트가 비교적 낮은 패드 수의 디바이스들에서 가능해지므로, 이러한 접근방식은 디바이스 비용을 감소시킨다. 따라서, 예시적인 실시예들은 특정(예를 들어, 안전, 차량) 조건에 대해 중요한 요구조건일 수 있는 바와 같이, 기능 인터페이스들에 대해 JTAG 패드들을 공유하는 디바이스들 상에서 100% 입력/출력 테스트 커버리지를 허가한다. 또한, 보드 테스트는 이중 용도 패드들을 갖는 디바이스들에 대해 2개의 상이한 액세스 프로토콜을 통상적으로 요구하고, 여기에서 하나의 용도가 JTAG이고, 이에 대해, (도 1의 예에서와 같이) 이중 용도 패드들에 대해 대응하는 바운더리 셀들이 존재하지 않기 때문에 그러한 패드들의 스캔 체인 JTAG 테스트가 허가되지 않는 반면, 예시적인 실시예들은 이중 요구조건을 제거할 수 있다.

[0049]

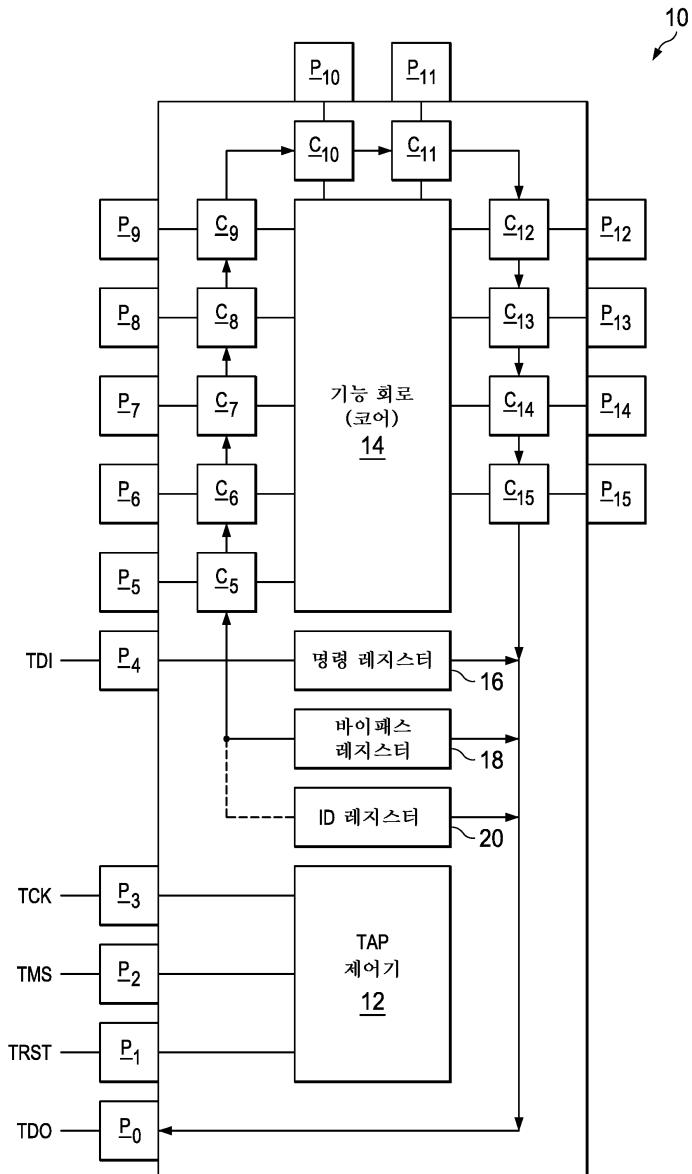
도 2a 및 도 2b는 각각의 상이한 상태들에서 JTAG 테스트를 위해 선택된 셀들의 통로 접속성을 바이패스하도록 바운더리 셀들의 구성 가능한 스캔 체인을 생성하기 위한 스위칭 구성들의 일례를 도시하지만, 다양한 대안들이 가능하다. 예를 들어, 예시적인 실시예가 16개의 패드를 포함하는 것으로 도시되었지만, 다양한 다른 수의 패드가 구현될 수 있다. 더욱이, 예시적인 실시예들은 임의적인 TRST(테스트 리셋) JTAG 신호를 포함 또는 배제하도록 생성될 수 있다.

[0050]

설명된 실시예들에서 수정이 가능하고, 청구항들의 범위 내에서 다른 실시예들이 가능하다.

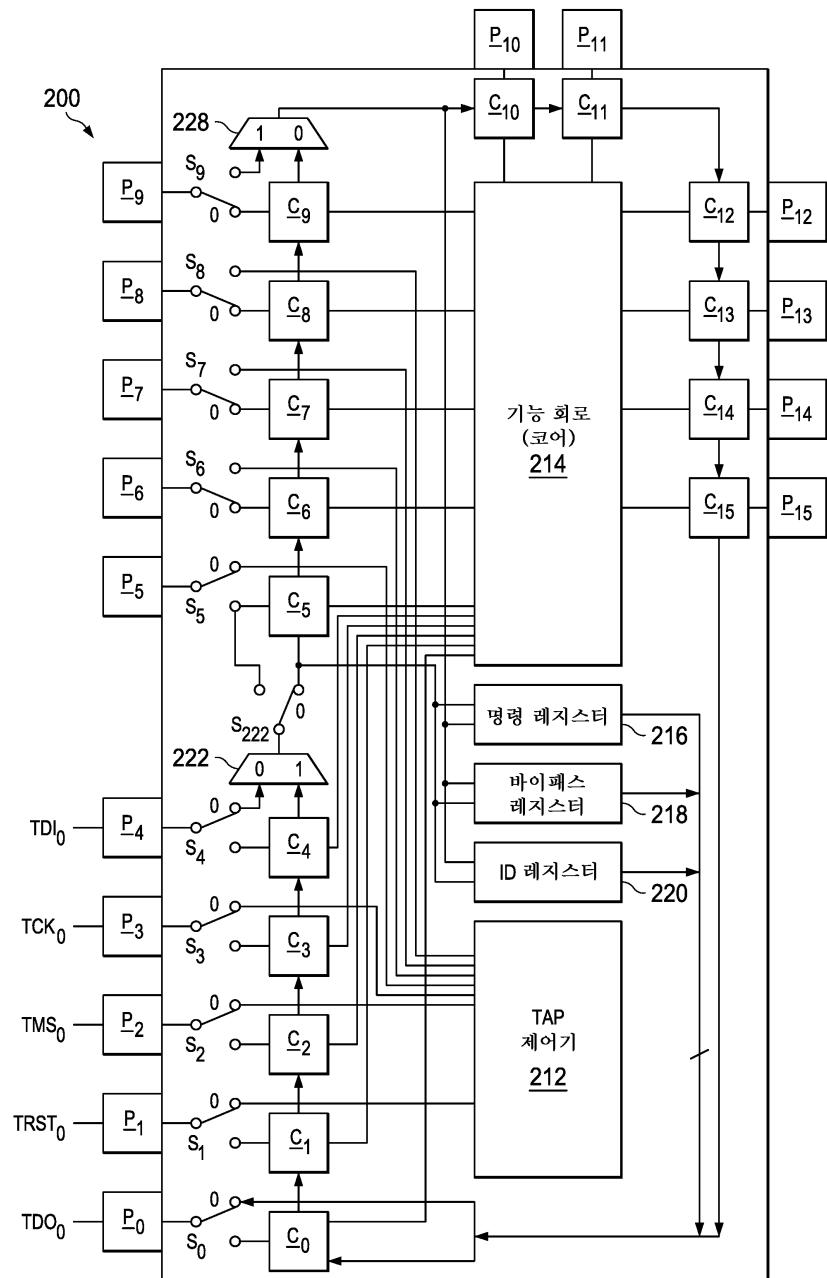
도면

도면1

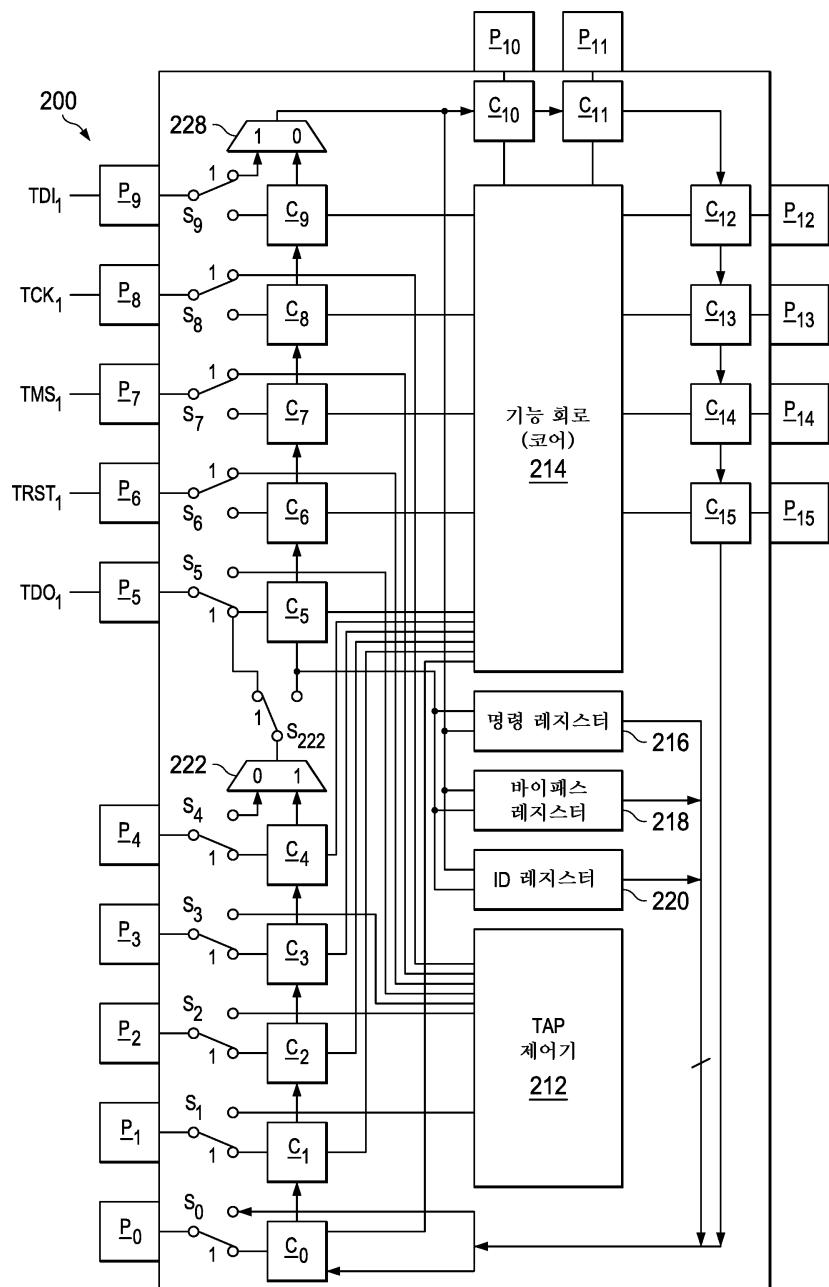


(종래 기술)

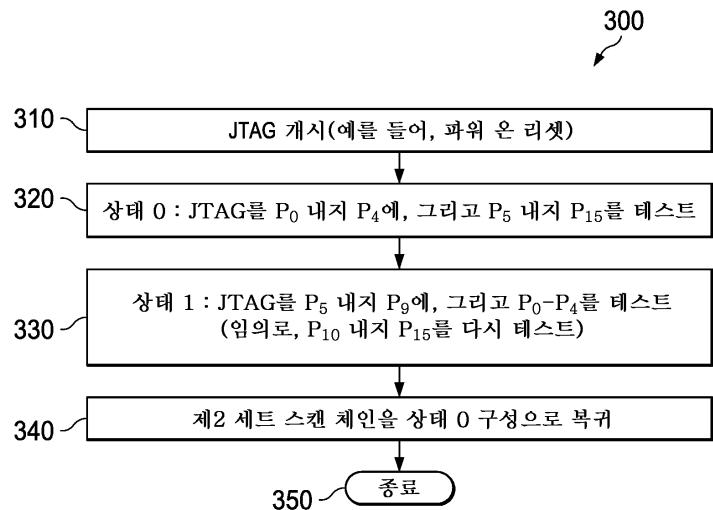
도면2a



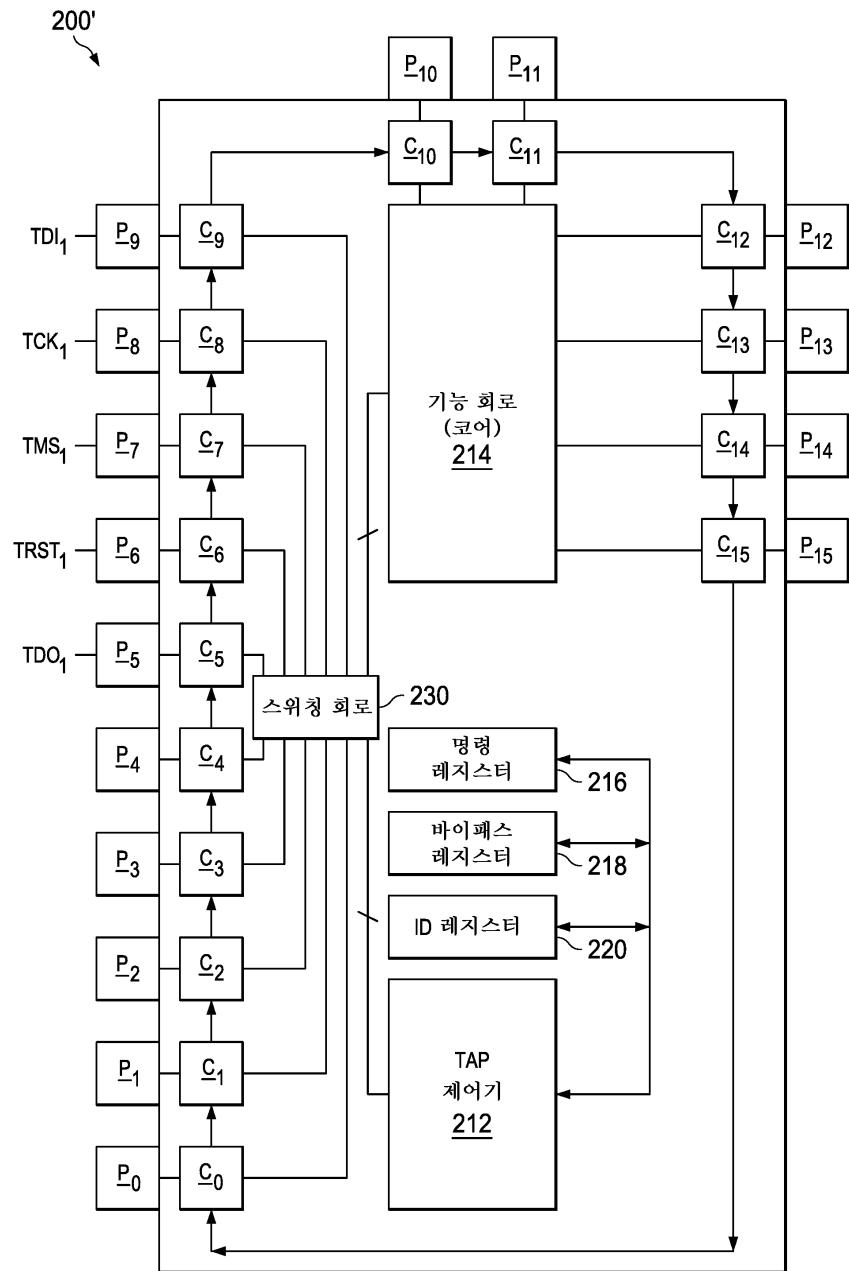
도면2b



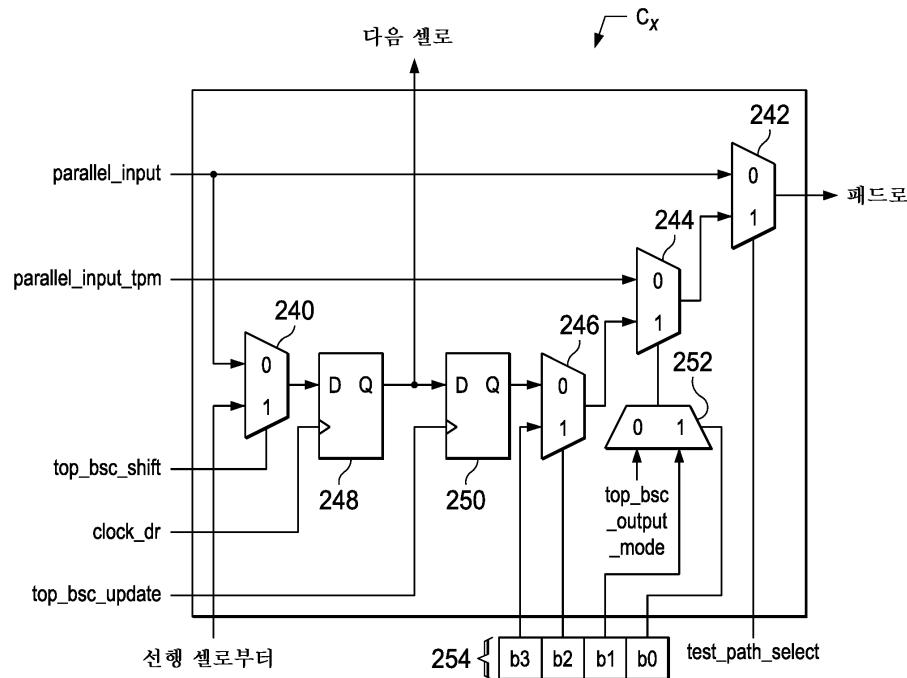
도면3



도면4



도면5



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 13

【변경전】

회로 동작성을 테스트하는 방법으로서,

제1 상태에서, 기능 회로 및 테스트 회로를 포함하는 집적 회로의 제1 패드 세트에 제1 테스트 신호 세트를 인가하고, 상기 제1 신호 세트를 상기 테스트 회로에 전달하는 단계; 및

제2 상태에서, 상기 제1 패드 세트와는 다른, 집적 회로의 제2 패드 세트에 제2 테스트 신호 세트를 인가하고, 상기 제1 패드 세트에 연관되는 테스트 신호들에 대해 상기 제2 신호 세트를 상기 테스트 회로에 전달하는 단계

를 포함하는 방법.

【변경후】

회로 동작성을 테스트하는 방법으로서,

제1 상태에서, 기능 회로 및 테스트 회로를 포함하는 집적 회로의 제1 패드 세트에 제1 테스트 신호 세트를 인가하고, 상기 제1 테스트 신호 세트를 상기 테스트 회로에 전달하는 단계; 및

제2 상태에서, 상기 제1 패드 세트와는 다른, 집적 회로의 제2 패드 세트에 제2 테스트 신호 세트를 인가하고, 상기 제1 패드 세트에 연관되는 테스트 신호들에 대해 상기 제2 테스트 신호 세트를 상기 테스트 회로에 전달하는 단계

를 포함하는 방법.

【직권보정 2】

【보정항목】 청구범위

【보정세부항목】 청구항 16

【변경전】

제14항에 있어서, 상기 복수의 스캔 셀 내의 각각의 스캔 셀은:

직렬 체인 데이터를 수신하기 위한 직렬 레지스터; 및

상기 셀이 상기 제2 상태에서 상기 제1 패드 세트에 연관되는 테스트 신호들에 대해 테스트 신호들을 상기 테스트 회로에 전달하도록 동작될 때, 상기 직렬 레지스터 내의 직렬 체인 데이터를 상기 직렬 레지스터에 대응하는 패드에 도달하지 못하게 차단하기 위한 회로

를 포함하는, 방법.

【변경후】

제14항에 있어서, 상기 복수의 스캔 셀 내의 각각의 스캔 셀은:

직렬 체인 데이터를 수신하기 위한 직렬 레지스터; 및

상기 스캔 셀이 상기 제2 상태에서 상기 제1 패드 세트에 연관되는 테스트 신호들에 대해 테스트 신호들을 상기 테스트 회로에 전달하도록 동작될 때, 상기 직렬 레지스터 내의 직렬 체인 데이터를 상기 직렬 레지스터에 대응하는 패드에 도달하지 못하게 차단하기 위한 회로

를 포함하는, 방법.