

A1

**DEMANDE
DE BREVET D'INVENTION**

(21)

N° 81 03478

(54) Procédé et appareil pour effectuer des conversions analogiques-numériques.

(51) Classification internationale (Int. Cl. ³). H 03 K 13/02.

(22) Date de dépôt..... 17 février 1981.

(33) (32) (31) Priorité revendiquée : Japon, 18 février 1980, n° 17805/80.

(41) Date de la mise à la disposition du
public de la demande..... B.O.P.I. — « Listes » n° 34 du 21-8-1981.

(71) Déposant : Société dite : SONY-TEKTRONIX CORPORATION, résidant au Japon.

(72) Invention de : Sumio Takeuchi, Rikichi Murooka et Jun Sakamoto.

(73) Titulaire : *Idem* (71)

(74) Mandataire : Jean Maisonnier, ingénieur-conseil,
28, rue Servient, 69003 Lyon.

L'invention a trait à un appareil pour effectuer des conversions analogiques-numériques, ainsi qu'au procédé utilisé à cet effet.

Le traitement numérique ou digital d'un signal analogique s'est répandu considérablement ces dernières années, et la fréquence à chiffrer s'élève également de plus en plus. Il en découle une demande croissante pour des convertisseurs analogiques-numériques (ADC = Analog-Digital Converter) capables de répondre aux fréquences d'échantillonnage les plus élevées, ou encore pour des convertisseurs à grande vitesse destinés à chiffrer de tels signaux analogiques. Toutefois, la mise au point de ces convertisseurs ADC fonctionnant d'une façon satisfaisante à grande vitesse se heurte à des difficultés techniques. Un procédé classique visant à résoudre ce problème consiste à utiliser plusieurs convertisseurs ADC en parallèle. Un signal d'horloge pour chacune des différentes phases est appliqué aux convertisseurs ADC en parallèle afin de chiffrer le signal d'entrée à des moments distincts, ce qui répartit successivement les sorties numériques dans le temps afin de fournir une fréquence d'échantillonnage à haut degré d'équivalence.

Sur le dessin annexé :

La FIGURE 1 montre le schéma synoptique d'un appareil classique de conversion analogique-numérique;

La FIGURE 2 est un diagramme explicatif concernant cette conversion analogique-numérique;

La FIGURE 3 est un autre schéma synoptique montrant un premier mode de réalisation de l'invention;

Les FIGURES 4 et 5 montrent des schémas de circuits applicables à des parties importantes de la présente invention, et

La FIGURE 6 est un schéma synoptique relatif à une variante de réalisation de l'invention.

Si l'on se réfère tout d'abord à la Figure 1 qui montre le schéma synoptique d'un appareil classique, on voit qu'un signal analogique d'entrée est appliqué par l'intermédiaire de la borne d'entrée 2 à plusieurs (par exemple deux) convertisseurs analogiques-numériques ADC 4 et 6 qui chiffront le signal analogique d'entrée en réponse à des signaux d'horloge a_1 et a_2 qui lui sont appliqués à partir d'un générateur 8 de signaux d'horloge. Les sorties chiffrées ou numériques de ces convertisseurs 4 et 6 sont appliquées respectivement aux mémoires à grande vitesse 10 et 12. Les sorties numériques parallèles de lecture des mémoires 10 et 12 sont converties en un signal numérique par un multiplexeur MUX 14 et ce signal parvient par l'intermédiaire de la

- 2 -

borne de sortie 16 à un circuit ultérieur approprié (non représenté).

Il est évident que la fréquence d'échantillonnage équivalente peut être augmentée par le facteur N en utilisant N (soit 2 ou des nombres entiers supérieurs) convertisseurs ADC. Par conséquent, la résolution est augmentée N fois en comparaison d'un seul convertisseur ADC.

Si les deux convertisseurs ADC représentés Figure 1 effectuent l'échantillonnage d'un signal linéaire 18 ayant une pente telle qu'indiquée sur le diagramme de la Figure 2 à des instants pré-établis dans le temps, tels que $t_{n-1} \sim t_{n+4}$ (traits pleins verticaux), par exemple $a_1 = t_{n-1}, t_{n+1}, t_{n+3}, \dots, a_2 = t_n, t_{n+2}, t_{n+4}, \dots$, on peut obtenir des sorties numériques correctes $d_{n-1} \sim d_{n+4}$. Toutefois, en pratique, des points ou instants d'échantillonnage $t_n, t_{n+2}, t_{n+4}, \dots$ peuvent se décaler ou déphaser respectivement en $t'_n, t'_n+2, t'_n+4, \dots$ et donner des sorties numériques décalées et incorrectes $d'_n, d'_n+2, d'_n+4, \dots$ en raison : (1°) d'une erreur de décalage de phase des signaux d'horloge, et (2°) de différences de caractéristiques, par exemple du temps de retard de propagation entre plusieurs convertisseurs ADC, ou d'une combinaison de ces causes (1°) et (2°). Cela pose un problème du fait que la précision de la mesure n'est pas améliorée comme on l'escomptait, malgré l'utilisation de plusieurs convertisseurs dans le but justement d'accroître la précision de la mesure à haute-fréquence.

Par conséquent, l'invention a pour but de prévoir un appareil de conversion analogique-numérique qui soit exempt de cet inconvénient qui caractérise la technique antérieure.

A cet effet, l'invention prévoit N (soit 2 ou un nombre entier supérieur) convertisseurs ADC pour convertir un signal d'entrée analogique en un signal de sortie numérique, des moyens générateurs de signaux d'horloge pour appliquer un signal d'horloge à différentes phases de chaque convertisseur ADC, des moyens de traitement pour traiter les sorties de ces convertisseurs ADC lorsqu'on applique un signal de référence à tous les convertisseurs ADC, et enfin des moyens de contrôle de phase pour contrôler effectivement le déphasage qui existe entre le signal d'horloge et le signal analogique d'entrée en réponse à la sortie desdits moyens de traitement.

La présente invention sera maintenant décrite plus en détail en se rapportant aux Figures 3 à 6 du dessin, où pour plus de simplicité des symboles identiques servent à désigner des éléments semblables.

La Figure 3 montre un schéma synoptique destiné à expliquer un

premier mode de réalisation de l'invention qui diffère de la Figure 1 par l'adjonction de moyens de traitement qui comprennent une unité centrale de traitement (UCT) 20 ainsi qu'un convertisseur numérique-analogique (DAC) 24; une boucle de commande qui comprend une ligne de retard 5 ou de temporisation variable 26 qui constitue le moyen de contrôle de phase; une ligne de retard 28; un générateur de signaux de référence 30, et enfin un commutateur 32.

Le fonctionnement de l'appareil représenté Figure 3 comprend au début l'actionnement du commutateur 32 afin d'appliquer par exemple un 10 signal en pente 18, tel que le montre la Figure 2, tant au convertisseur ADC 4 qu'au convertisseur ADC 6. Si les positions des instants d'échantillonnage fixées par les signaux d'horloge a_1 et a_2 en provenance du générateur 8 de signaux d'horloge sont correctes, les convertisseurs ADC 4 et 6 effectuent l'échantillonnage aux instants $t_{n-1} \sim t_{n+4}$ afin 15 de chiffrer le signal comme il a été décrit plus haut. Les sorties numériques seront dans ce cas $d_{n-1} \sim d_{n+4}$. Or, si l'on suppose que les instants d'échantillonnage dans le temps ont été décalés de façon qu'ils se produisent en $t_{n'}$, $t_{n'+2}$, $t_{n'+4}$, par suite d'erreur ou de déphasage du signal a_2 de l'horloge 8, les sorties numériques $d_{n'}$, $d_{n'+2}$, 20 $d_{n'+4}$, seront stockées dans la mémoire 12 tandis que les sorties numériques d_{n-1} , d_{n+1} , d_{n+3} , seront stockées dans la mémoire 10. La relation entre le déphasage du signal d'horloge et l'erreur dans la sortie numérique est donnée par l'expression suivante-:

$$t_a = t_n - t_{n'}$$

25 dans laquelle t_a représente l'erreur de phase.

Le signal de référence 18 peut être donné par l'expression suivante :

$$dv/dt = K$$

Ensuite, on a :

$$30 \quad t_a = \frac{1}{2K} \left\{ (d_{n+1} - d_{n'}) - (d_{n'} - d_{n-1}) \right\} \dots\dots(1)$$

L'unité centrale de traitement (UCT) 20 calcule l'expression (1) ci-dessus d'après les données numériques stockées dans les mémoires 10 et 12. Par ailleurs, la relation entre la tension et le temps de retard de la ligne à retard variable 26 est :

$$35 \quad (\text{temps de retard})/(\text{tension}) = M$$

et la relation entre l'entrée numérique et la tension de sortie du convertisseur DAC 24 est :

$$(\text{tension de sortie})/(\text{entrée numérique}) = L$$

Enfin, les données de correction V_c pour l'unité centrale de traitement

- 4 -

UCT 20 pour corriger le signal d'entrée du registre des données 22 peuvent être obtenues par l'expression suivante :

$$Vc = - \frac{1}{2KLM} \left\{ (dn+1 - dn') - (dn' - dn-1) \right\} \dots\dots\dots(2)$$

Cette expression (2) peut être calculée en utilisant trois sorties nu-

5 mériques.

Le signe "moins" (-) est utilisé comme dans l'expression ci-dessus si on la calcule en utilisant deux données numériques sur le signal d'horloge a_1 et une donnée numérique sur un autre signal d'horloge a_2 , mais le signe passe au "plus" (+) si on la calcule en utilisant une
10 donnée numérique sur le signal d'horloge a_1 et deux données numériques sur le signal d'horloge a_2 .

S'il est impossible d'obtenir les données de correction par trois données numériques, on peut effectuer les calculs en se basant sur trois données en différents endroits avant de prendre la moyenne des calculs,
15 Par exemple, si l'on effectue les calculs N fois, la valeur moyenne Vc' peut être obtenue par l'expression suivante :

$$Vc' = \frac{1}{N} \frac{1}{2KLM} \sum_{n=1}^N \left\{ (dn+1 - dn') - (dn' - dn-1) \right\} \dots\dots(3)$$

Le signal de contrôle pour contrôler la ligne de retard variable peut être obtenu de la façon indiquée ci-après : si la valeur de correc-
20 tion est nulle, la phase du signal d'horloge est corrigée avec précision et l'appareil est prêt à effectuer la conversion analogique-numérique du signal analogique d'entrée si l'on actionne manuellement ou automa-
tiquement le commutateur 32 pour le placer sur la borne d'entrée 2, sous le contrôle de l'unité centrale de traitement 20. Si la correction
25 n'est pas nulle, toutefois, la donnée de contrôle (en format numérique) stockée dans le registre des données 22 est appliquée à la ligne à retard variable 26 après conversion en signal analogique par le convertisseur DAC 24. La nouvelle valeur de correction Vc ou Vc' est obtenue de nouveau d'après la donnée numérique corrigée comme on l'a décrit
30 plus haut. On répète cette opération jusqu'à l'obtention d'une valeur corrigée nulle. Ensuite, l'unité centrale de traitement UCT 20 commande le commutateur 32 pour passer sur la borne d'entrée 2 afin de chiffrer le signal analogique d'entrée. Il n'est pas toujours nécessaire d'utiliser la ligne de retard 28 dans le trajet du signal d'horloge a_1 , mais
35 on l'utilise pour permettre au signal d'horloge a_2 d'être en avance de phase par rapport au signal d'horloge a_1 , ce qui facilite l'opération de correction de phase. En outre, la correction de phase du signal d'horloge sera plus aisée si l'on peut faire varier manuellement le temps de retard sur la ligne de retard 28.

La Figure 4 montre en détail le schéma des connexions de certaines unités importantes du schéma synoptique de la Figure 3. Aux bornes d'entrée A_1 à A_8 d'un convertisseur ultra-mince DAC 30, qui correspond au DAC 24 de la Figure 3, on applique la valeur numérique corrigée de contrôle en provenance du registre des données 22 en calculant l'expression soit (2), soit (3) indiquée plus haut. Le courant du signal de contrôle provenant de la borne I_0 de la "puce" DAC 30 parvient à la masse à travers la résistance 32, après avoir été transformé en un signal analogique. La chute de tension à travers cette résistance 32, due au courant du signal de commande, détermine le niveau de seuil du comparateur 34 appliqué à la borne de référence 34_p . Les réseaux de circuit 36 et 38 comportent des inducteurs et condensateurs afin d'assurer le découplage pour les sources de tension +V et -V. Le circuit 40 représente une partie du générateur de signaux d'horloge 8 de la Figure 3.

Une bascule 42 du type D engendre des signaux d'horloge a_1 et a_2 déphasés de 180° entre eux. Autrement dit, la bascule 42 engendre des signaux d'horloge a_1 et a_2 appliqués respectivement aux bornes de sortie Q et $\bar{Q}$ en réponse au signal d'horloge appliqué à la borne d'horloge CL. Le signal d'horloge a_1 est appliqué au convertisseur ADC 4 (Figure 3) par l'intermédiaire de la ligne de retard 28 afin de compenser un temps de retard égal à la moitié de la totalité de la gamme des temps de retard du circuit à retard variable, de l'amplificateur tampon émetteur 44 et de la borne 46. Par ailleurs, le signal d'horloge a_2 est appliqué à la borne d'entrée à inversion 48a du comparateur 48. Un condensateur 50 et une résistance 52 modifient le bord descendant du signal d'horloge a_2 en une forme d'onde logarithmique avec une constante de temps τ . La sortie à inversion du comparateur 48 est ensuite appliquée à la borne d'entrée à inversion 34a du comparateur 34 avec une forme d'onde logarithmique sur le bord ascendant, grâce à un ensemble condensateur 50' et résistance 52'. Comme on l'a indiqué plus haut, on applique aux autres bornes d'entrée 48b et 34b des comparateurs 48 et 34 le niveau de seuil qui dépend de la sortie de la "puce" DAC 30. Par conséquent, le retard est dû au comparateur 48 sur le bord descendant du signal d'horloge a_2 , alors qu'il est dû au comparateur 34 au bord ascendant du même signal d'horloge a_2 . Il s'ensuit qu'on obtient à la borne de sortie du comparateur 34 un signal d'horloge a_2 , ayant la même largeur d'impulsion que le signal d'horloge a_2 mais dont le retard dans le temps est déterminé par le niveau de seuil. Le signal d'horloge a_2 est ensuite appliqué au convertisseur ADC 6 de la Figure

3 à travers la borne 54. Les condensateurs 56, 56' et 58 servent à assurer la stabilisation du courant continu et le condensateur 60 assure le découplage.

La Figure 5 montre à titre d'exemple le schéma des connexions du circuit de générateur 30 de signaux de référence. Un transistor (ce terme étant remplacé dans ce qui suit par le sigle "TR") 64 et les composants de circuit y associés constituent une source de courant constant 62. Les TR 68 et 70 ainsi que les composants de circuit y associés constituent un commutateur de courant 66 de type connu pour mettre alternativement en circuit et hors-circuit l'appareil sous le contrôle d'un signal d'horloge appliqué à la borne 72. Lorsque le TR 70 n'est pas conducteur, la charge est stockée dans le condensateur 74 par la source 62 de courant constant. Lorsque la tension aux bornes du condensateur 74 atteint un niveau pré-fixé, la diode Schottky 76 devient conductrice, ce qui engendre un signal de référence en dent de scie à la borne de sortie 80 à travers un amplificateur tampon 78, comme le montre le dessin. La borne 80 est reliée au commutateur 32 de la Figure 3.

La Figure 6 est un autre schéma synoptique montrant un second mode possible de réalisation de l'invention, lequel diffère du premier (Figure 3) par le fait que la phase du signal d'horloge à appliquer au convertisseur ADC est corrigée dans le premier mode de réalisation, alors que c'est la phase du signal analogique destiné à être appliqué au convertisseur ADC qui est corrigée dans le second mode de réalisation. Un dispositif 82 à retard variable, qui sert à retarder la quantité analogique, est relié à l'entrée du convertisseur ADC 6. De même, un circuit de retard peut être relié au signal d'horloge a_2 ou au côté entrée du convertisseur ADC 4. Le fonctionnement de ce second mode de réalisation est fondamentalement le même que celui du premier; par conséquent, il est jugé inutile de le décrire en détail.

Bien entendu, il est possible de corriger simultanément les signaux d'horloge et d'entrée analogique en combinant les techniques de correction de phase dans les premier et second modes de réalisation. On peut adopter toute méthode technique appropriée pour corriger le déphasage entre les signaux respectivement d'horloge et analogiques d'entrée.

Dans les circuits des Figures 3 et 6, on peut effectuer une conversion analogique/numérique plus précise en opérant périodiquement la dite correction de phase des sorties numériques des convertisseurs ADC

- 7 -

4 et 6, même lorsqu'on a atteint le niveau de correction nulle (ou lorsque la correction est menée à terme) afin de placer le commutateur 32 sur la borne d'entrée 2. Ce commutateur 32 peut être actionné automatiquement.

5 Pour obtenir la moyenne de différentes données afin d'améliorer la précision de la correction apportée, la forme d'onde du signal peut avoir n'importe quelle allure autre que celle d'un signal en dent de scie mentionné plus haut, à condition que les données N soient symétriques par rapport à la donnée centrale au $(N + 1) 2^{\text{ème}}$ point ou moment
10 dans le temps.

Les moyens de retard variable peuvent être par exemple du genre utilisant une diode à capacité variable, ou alternativement on peut introduire directement la sortie opérationnelle de l'UCT dans un dispositif de mémoire analogique après la conversion numérique-analogique.

15 Les premier et second modes de réalisation n'utilisent que deux convertisseurs ADC. Cependant, il est évident que l'invention s'applique également à des appareils comportant un nombre supérieur de tels convertisseurs.

En outre, le générateur 30 de signaux de référence peut être éliminé si l'on incorpore un signal de référence au signal analogique d'entrée.
20

Ainsi qu'il ressort de la description qui précède, la présente invention permet de corriger automatiquement n'importe quel déphasage entre des signaux d'horloge et analogiques d'entrée. Cela signifie que
25 l'on peut corriger de manière satisfaisante toute variation, dans le temps de retard de la propagation, qui serait due à une différence intervenant dans le signal d'horloge ou dans la température, ainsi qu'à un changement à long terme de composants des circuits utilisés dans les convertisseurs ADC, ce qui assure une excellente conversion
30 analogique-numérique à des fréquences élevées sur une longue période de temps.

REVENDICATIONS

1. Appareil de conversion analogique-numérique, caractérisé en ce qu'il comprend :

- a) plusieurs convertisseurs analogiques-numériques (4, 6) pour
5 convertir un signal analogique d'entrée en un signal numérique;
- b) un moyen (8) générateur de signaux d'horloge (a_2 , a_1) pour activer ces convertisseurs analogiques-numériques (4, 6) à des phases différentes par rapport les uns aux autres;
- c) un générateur (30) de signaux de référence pour engendrer
10 un signal de référence destiné à être transformé en signal numérique par lesdits convertisseurs analogiques-numériques (4, 6);
- d) des moyens de commande (20, 22, 24) pour contrôler la phase du signal d'horloge fourni par ledit moyen (8) générateur de signaux d'horloge et qui doit être appliqué à chacun des convertisseurs
15 analogiques-numériques précités (4, 6) en réponse aux sorties de ceux-ci lorsque le signal de référence a été transformé en un signal numérique.

2. Appareil de conversion analogique-numérique selon la Revendication 1, caractérisé en ce que ledit générateur (8) de signaux d'horloge est un générateur de signaux à pente (18).

20 3. Appareil de conversion analogique-numérique selon la Revendication 2, caractérisé en ce que lesdits moyens de commande comprennent des moyens capables d'effectuer des opérations arithmétiques afin de comparer les différences de sorties numériques transformées par lesdits convertisseurs analogiques-numériques en des points séquentiels
25 dans le temps.

4. Appareil de conversion analogique-numérique selon la Revendication 1, caractérisé en outre par le fait que lesdits moyens capables d'effectuer des opérations arithmétiques prélèvent la moyenne des sorties numériques résultant de la conversion en différentes parties dudit signal de référence.
30

5. Appareil de conversion analogique-numérique selon la Revendication 1, caractérisé en ce qu'il comprend en outre un moyen de multiplexage (14) pour convertir les sorties numériques parallèles en provenance des multiples convertisseurs en une sortie sérielle.

35 6. Appareil de conversion analogique-numérique, caractérisé en ce qu'il comprend :

- a) un premier convertisseur analogique-numérique (4);
- b) un second convertisseur analogique-numérique (6);
- c) un générateur de signaux d'horloge (8) destiné à appliquer

un signal d'horloge déphasé (18) auxdits premier et second convertisseurs analogiques-numériques;

d) un générateur de signaux de référence (30) destiné à engendrer un signal de référence;

5 e) un moyen pour appliquer soit un signal analogique d'entrée, soit un signal de référence auxdits premier et second convertisseurs analogiques-numériques (4, 6), et

f) un moyen de contrôle de phase (82) pour contrôler le temps relatif des conversions analogiques-numériques en réponse aux données
10 chiffrées du signal de référence.

7. Appareil de conversion analogique-numérique selon la Revendication 6, caractérisé en ce qu'il comprend en outre un multiplexeur (14) pour convertir les sorties numériques des premier et second convertisseurs analogiques-numériques (4, 6) en une donnée numérique sérielle.

15 8. Appareil de conversion analogique-numérique selon l'une ou l'autre des Revendications 6 ou 7, caractérisé en ce que le générateur de signaux d'horloge (8) comprend une bascule (42) destinée à fournir une onde carrée complémentaire appliquée de façon opérationnelle auxdits premier et second convertisseurs analogiques-numériques.

20 9. Appareil de conversion analogique-numérique selon la Revendication 8, caractérisé en ce que ladite onde carrée complémentaire est appliquée au premier convertisseur analogique-numérique (4) par l'intermédiaire d'une ligne à retard fixe (28) et au second convertisseur analogique-numérique (6) par l'intermédiaire d'un circuit à retard variable (26) sous le contrôle dudit moyen de contrôle de phase.

25 10. Appareil de conversion analogique-numérique selon la Revendication 8, caractérisé en ce que ledit moyen de contrôle de phase contrôle la phase du signal analogique d'entrée devant être appliqué à l'un des convertisseurs analogiques-numériques.

30 11. Procédé de conversion analogique-numérique comportant l'utilisation d'un premier (4) et d'un second (6) convertisseur analogique-numérique, et caractérisé en ce qu'il comprend les phases suivantes :

a) on applique un signal de référence aux premier et second convertisseurs analogiques-numériques;

35 b) on effectue la conversion du signal de référence en signal numérique à des instants séquentiellement distincts dans le temps, en appliquant un signal d'horloge de phase différente à chacun des premier et second convertisseurs;

c) on effectue l'opération arithmétique de données séquentiel-

- 10 -

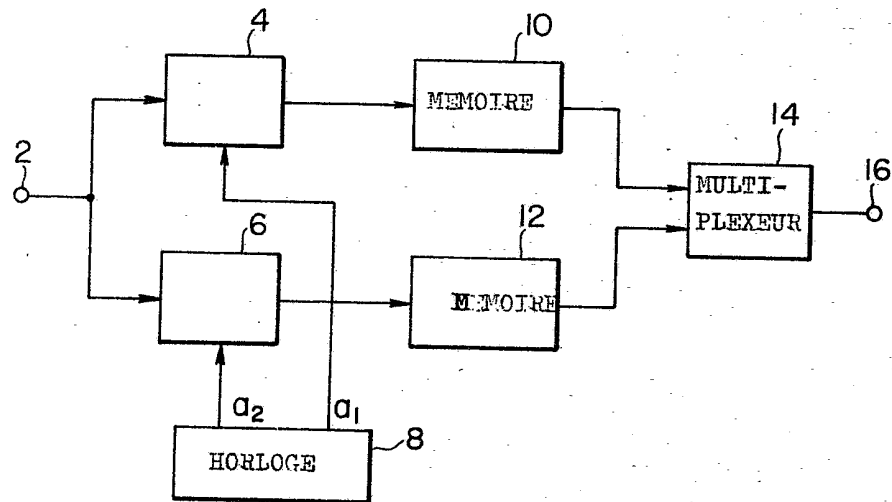
les chiffrées par lesdits premier et second convertisseurs analogiques-numériques;

d) on contrôle la phase dudit signal d'horloge pour le second convertisseur analogique-numérique afin de chiffrer exactement le point central, dans le temps, entre deux temps successifs de chiffage dudit premier convertisseur analogique-numérique, et

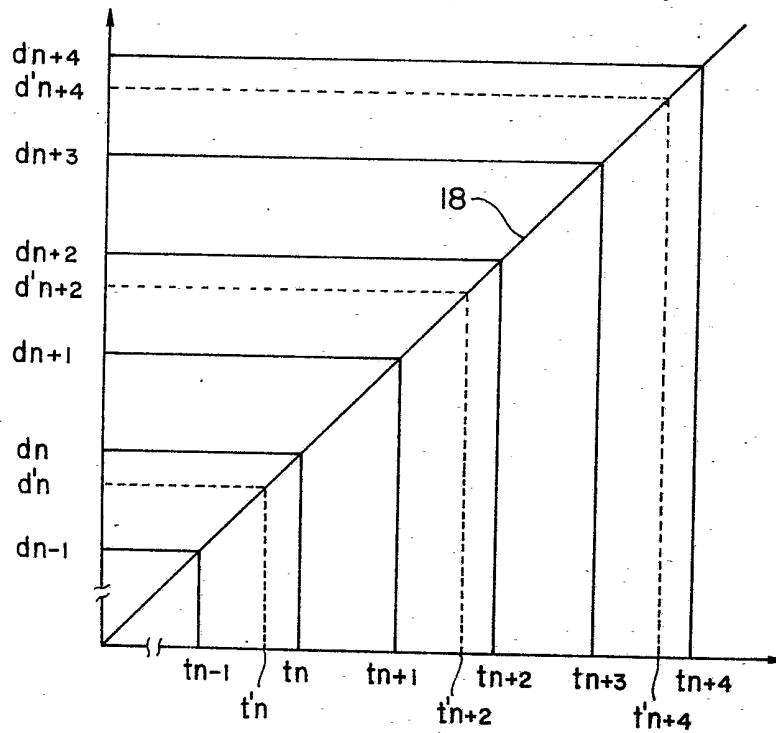
e) on applique un signal analogique d'entrée aux premier et second convertisseurs analogiques-numériques.

12. Procédé de conversion analogique-numérique selon la Revendication 11, caractérisé en outre en ce qu'il comprend la phase qui consiste à multiplexer les sorties numériques des premier et second convertisseurs analogiques-numériques afin de fournir une sortie numérique sérielle.

PL 1/5

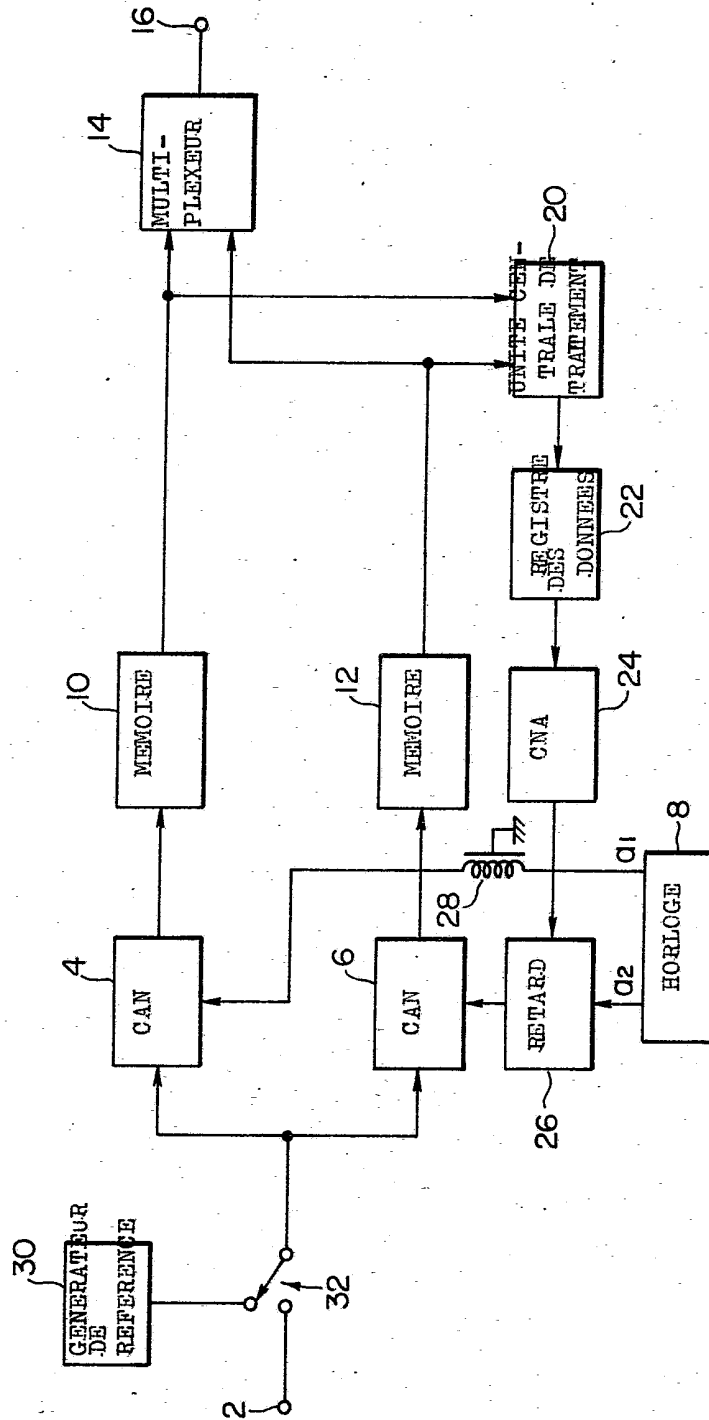
FIG. 1

SORTIE NUMERIQUE

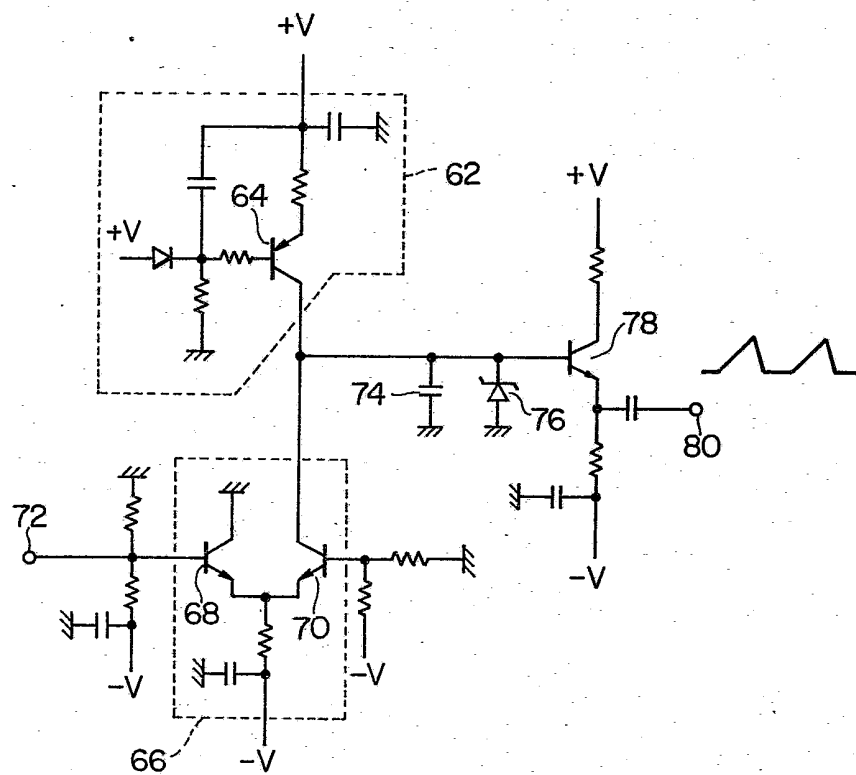
FIG. 2

PL 2/5

FIG. 3



PL 4/5

FIG. 5

PL 5/5

FIG. 6

