

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4958909号
(P4958909)

(45) 発行日 平成24年6月20日 (2012. 6. 20)

(24) 登録日 平成24年3月30日 (2012. 3. 30)

(51) Int. Cl.	F I
HO 1 L 29/73 (2006. 01)	HO 1 L 29/72 Z
HO 1 L 21/331 (2006. 01)	HO 1 L 21/28 3 O 1 B
HO 1 L 21/28 (2006. 01)	HO 1 L 29/50 B
HO 1 L 29/417 (2006. 01)	

請求項の数 7 (全 23 頁)

(21) 出願番号	特願2008-531091 (P2008-531091)	(73) 特許権者	592054856
(86) (22) 出願日	平成18年7月11日 (2006. 7. 11)		クリー インコーポレイテッド
(65) 公表番号	特表2009-509334 (P2009-509334A)		C R E E I N C .
(43) 公表日	平成21年3月5日 (2009. 3. 5)		アメリカ合衆国 ノースカロライナ州 2
(86) 国際出願番号	PCT/US2006/027202		7703 ダラム シリコン ドライブ
(87) 国際公開番号	W02007/040710		4600
(87) 国際公開日	平成19年4月12日 (2007. 4. 12)	(74) 代理人	110000855
審査請求日	平成20年7月2日 (2008. 7. 2)		特許業務法人浅村特許事務所
審判番号	不服2009-16818 (P2009-16818/J1)	(74) 代理人	100066692
審判請求日	平成21年9月10日 (2009. 9. 10)		弁理士 浅村 皓
(31) 優先権主張番号	11/229, 474	(74) 代理人	100072040
(32) 優先日	平成17年9月16日 (2005. 9. 16)		弁理士 浅村 肇
(33) 優先権主張国	米国 (US)	(74) 代理人	100159525
早期審査対象出願			弁理士 大日方 和幸

最終頁に続く

(54) 【発明の名称】 バイポーラ接合トランジスタ及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

炭化ケイ素 (S i C) 基板と、

第 1 の導電型を有し、前記 S i C 基板上に設けられた p 型エピタキシャル S i C 層と、
 該 p 型エピタキシャル S i C 層上に設けられたエピタキシャル S i C ベース領域とを有する
 ベース領域と、

前記第 1 の導電型とは異なる第 2 の導電型を有し、前記エピタキシャル S i C ベース領
 域とは離れて前記 p 型エピタキシャル S i C 層上に設けられ、かつ前記 S i C 基板から離
 れて設けられた第 1 の n 型エピタキシャル S i C 領域と、該第 1 の n 型エピタキシャル S
 i C 領域よりも高いキャリア濃度を有して前記第 1 の n 型エピタキシャル S i C 領域上に
 設けられた第 2 の n 型エピタキシャル S i C 領域とを有するエピタキシャル S i C エミッ
 タ領域とを備え、

前記エピタキシャル S i C ベース領域は、

前記 p 型エピタキシャル S i C 層よりも高いキャリア濃度を有して前記 p 型エピタキシ
 ャル S i C 層上に設けられた第 1 の p 型エピタキシャル S i C 領域と、

前記第 1 の p 型エピタキシャル S i C 領域よりも高いキャリア濃度を有して前記 p 型エ
 ピタキシャル S i C 層から離れて前記第 1 の p 型エピタキシャル S i C 領域上に設けられ
 た第 2 の p 型エピタキシャル S i C 領域と

を備えたことを特徴とするバイポーラ接合トランジスタ。

【請求項 2】

前記エピタキシャルSiCエミッタ領域の前記第1のn型エピタキシャルSiC領域は、 $1.0 \times 10^{17} \text{ cm}^{-3}$ から $5 \times 10^{19} \text{ cm}^{-3}$ のキャリア濃度を有するn型SiCを備え、 $0.1 \mu\text{m}$ から $5 \mu\text{m}$ の厚さを有し、

前記エピタキシャルSiCエミッタ領域の前記第2のn型エピタキシャルSiC領域は、 $5 \times 10^{18} \text{ cm}^{-3}$ から $5 \times 10^{20} \text{ cm}^{-3}$ のキャリア濃度を有するn型SiCを備え、 $0.1 \mu\text{m}$ から $3.0 \mu\text{m}$ の厚さを有する

ことを特徴とする請求項1に記載のバイポーラ接合トランジスタ。

【請求項3】

前記SiC基板上に設けられ、該SiC基板と前記エピタキシャルSiCベース領域との間に設けられたn型エピタキシャルSiC層を備え、

前記p型エピタキシャルSiC層は、前記n型エピタキシャルSiC層上に設けられ、

前記エピタキシャルSiCベース領域と前記エピタキシャルSiCエミッタ領域が、前記n型エピタキシャルSiC層から離れて前記p型エピタキシャルSiC層上に設けられたことを特徴とする請求項1に記載のバイポーラ接合トランジスタ。

【請求項4】

前記第1の導電型はp型であり、前記第2の導電型はn型であることを特徴とする請求項3に記載のバイポーラ接合トランジスタ。

【請求項5】

前記n型エピタキシャルSiC層は、 $1.0 \times 10^{13} \text{ cm}^{-3}$ から $1.0 \times 10^{17} \text{ cm}^{-3}$ のキャリア濃度、及び $1.0 \mu\text{m}$ から $250 \mu\text{m}$ の厚さを有することを特徴とする請求項4に記載のバイポーラ接合トランジスタ。

【請求項6】

まず、SiC基板上にp型エピタキシャルSiC層を形成するステップと、該p型エピタキシャルSiC層上にエピタキシャルSiCベース領域を形成するステップとを有する第1の導電型を有するベース領域を形成するステップと、

次に、前記第1の導電型とは異なる第2の導電型を有し、前記エピタキシャルSiCベース領域とは離れて前記p型エピタキシャルSiC層上に、前記SiC基板から離れて設けられた第1のn型エピタキシャルSiC領域と、該第1のn型エピタキシャルSiC領域よりも高いキャリア濃度を有して前記第1のn型エピタキシャルSiC領域上に設けられた第2のn型エピタキシャルSiC領域とを有するエピタキシャルSiCエミッタ領域を形成するステップとを有し、

前記エピタキシャルSiCベース領域を形成するステップは、

前記p型エピタキシャルSiC層よりも高いキャリア濃度を有して前記p型エピタキシャルSiC層上に第1のp型エピタキシャルSiC領域を形成するステップと、

前記第1のp型エピタキシャルSiC領域よりも高いキャリア濃度を有して前記p型エピタキシャルSiC層から離れて前記第1のp型エピタキシャルSiC領域上に第2のp型エピタキシャルSiC領域を形成するステップと

を有することを特徴とするバイポーラ接合トランジスタの製造方法。

【請求項7】

前記エピタキシャルSiCエミッタ領域の前記第1のn型エピタキシャルSiC領域は、 $1.0 \times 10^{17} \text{ cm}^{-3}$ から $5 \times 10^{19} \text{ cm}^{-3}$ のキャリア濃度を有するn型SiCを備え、 $0.1 \mu\text{m}$ から $5 \mu\text{m}$ の厚さを有し、

前記エピタキシャルSiCエミッタ領域の前記第2のn型エピタキシャルSiC領域は、 $5 \times 10^{18} \text{ cm}^{-3}$ から $5 \times 10^{20} \text{ cm}^{-3}$ のキャリア濃度を有するn型SiCを備え、 $0.1 \mu\text{m}$ から $3.0 \mu\text{m}$ の厚さを有する

ことを特徴とする請求項6に記載のバイポーラ接合トランジスタの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、バイポーラ接合トランジスタ及びその製造方法に関し、より詳細には、エピ

10

20

30

40

50

タキシャルベース領域及び多層エミッタを有する炭化ケイ素バイポーラ接合トランジスタ及びその製造方法、特に、電力半導体デバイス及び電力半導体デバイス、高電圧炭化ケイ素デバイス及び高電圧炭化ケイ素デバイス及びその製造方法に関する。

【0002】

(政府の権益についての言明)

本発明は、陸軍省によって与えられた契約番号W911NF-04-2-0022の下で、政府の支援により行われた。政府は、本発明に対していくつかの権利を有する。

【背景技術】

【0003】

電力デバイスは、大電流を伝え、高電圧に対応するために、幅広く使用されている。従来型の電力デバイスは、一般に、単結晶シリコン半導体材料から製作される。電力デバイスの1つのタイプが、バイポーラ接合トランジスタ(BJT; Bipolar Junction Transistor)である。このBJTは、公知の頻繁に使用される電力デバイスである。また、BJTは、一般に、2つの逆向きのp-n接合部を互いにごく近接して有する半導体材料を含み、したがって、BJTを「n-p-n」又は「p-n-p」トランジスタと呼ぶことができる。

10

【0004】

動作の際には、電流キャリアがエミッタと呼ばれる、これらのp-n接合部の一方に隣接する第1の導電型の半導体材料からなる領域に入る。電荷キャリアの大部分がコレクタと呼ばれる、他方のp-n接合部に隣接する第1の導電型の半導体材料からなる領域からデバイスを出る。コレクタ及びエミッタの第1の導電型とは反対の第2の導電型を有する、ベースとして知られる半導体材料からなる小さな部分が、コレクタとエミッタの間に配置される。BJTの2つのp-n接合部は、コレクタがベースに接触するところ、及びベースがエミッタに接触するところに形成される。

20

【0005】

電流がベース内に注入される、又はベースから取り出されるとき、BJTがn-p-nであるか、それともp-n-pであるかに応じて、エミッタからコレクタに移動することができる電荷キャリア、すなわち、電子又は正孔の流れに影響を与えることができる。一般に、ベースに印加される小電流により、BJTを通過する比例的により大きな電流を制御することができ、BJTを電子回路の構成要素として有用にしている。非特許文献1には、BJTの構造上及び動作上の詳細について説明されている(例えば、その内容が、その全体が記載されているのと同様に参照により本明細書に組み込まれる)。

30

【0006】

デバイスを構成する材料は、そのデバイスの動作可能性及び有用性に寄与する。例えば、従来型のBJTは一般にシリコン(Si)で形成されるが、ガリウムヒ素(GaAs)及びリン化インジウム(InP)を含むこともできる。最近では、炭化ケイ素(SiC)がBJT用の材料として使用されてきている。SiCは、有利な半導体特性、例えば、広バンドギャップ、高電界破壊強度、高電子移動度、高熱伝導率、高融点、及び高飽和電子ドリフト速度を有する。したがって、他の半導体材料、例えば、Si中に形成されたデバイスに比べて、SiC中に形成された電子デバイスは、より高温で、より高電力密度で、より高速で、より高電力レベルで、さらには、高放射密度下でも動作する能力を有することができる。

40

【0007】

SiCトランジスタは、高周波数、高温、及び高電力レベルで機能するその能力のため、レーダ及び通信用の高周波数送信機などの応用分野での使用に、高電力スイッチング応用分野に、また、ジェットエンジン制御などの高温動作に非常に望ましい。したがって、デバイス品質のSiCを製作する方法、及びSiCから形成されたデバイスが、数十年の間、科学者及び技術者の関心を引いてきた。

【0008】

SiCは、150を超える異なるポリタイプ、又は結晶構造の形で結晶し、そのうち最

50

も一般的なものは、3C、4H、及び6Hと呼ばれ、ただし、「C」は「立方晶系」を表し、「H」は「六方晶系」を表す。SiCは、半導体デバイスにおいて使用するのが困難な材料である。具体的には、SiCの融点が高いことが、合金化やドーパント拡散などの方法をより困難にし得る。というのも、通常、そのような操作を実施するために必要ないくつかの他の材料が、SiCに影響を与えるために使用される高温で破壊する傾向があるためである。SiCは極めて硬質な材料でもあり、実のところSiCは、研磨材として最も一般的に使用される。SiCから接合部、ダイオード、トランジスタ、及び他のデバイスを製造しようと試みがなされてきており、一部は成功している。

【0009】

特許文献1には、SiC BJTについて説明されている（例えば、その開示が、その全体が記載されているのと同様に参照により本明細書に組み込まれる）。その中で開示されているように、SiC BJTは、高温イオン注入を使用してウェルとして形成されたベース及びエミッタを有して形成される。さらに、特許文献2には、SiC BJTについて説明されている（例えば、その内容が、その全体が記載されているのと同様に参照により本明細書に組み込まれる）。その中で開示されているように、ベース及びエミッタを有するSiC BJTが、エピタキシャル成長及び高温イオン注入を使用して形成される。Singhは、さらに、ベース領域及びエミッタ領域の整合を向上させるための除去可能な誘電体スペーサの使用について開示されている。

【0010】

SiC BJTは、一般に、ベース又はエミッタ用の、少なくとも1つの高度にドーブされた注入部領域を含んでいる。注入部領域の形成は、SiC結晶に対して損傷を与える恐れがある。例えば、デバイスの電流利得が、注入部により誘起された欠陥による表面再結合電流のため減少し得る。デバイスの電流利得は、注入プロセスによって形成された欠陥から生じ得るベース領域内の積層欠陥のため、時間の関数として減少し得る。さらに、こうしたデバイス内に存在する高度にドーブされたエミッタ領域の寿命が乏しい場合があり、そのことがデバイスの電流利得をさらに減少させ得る。

【0011】

図1は、従来の炭化ケイ素（SiC）バイポーラ接合トランジスタの断面図である。図1に示すように、高度にドーブされた N^+ SiC基板10上に、 N^- SiC層11が設けられている。 N^- SiC層11上に、p型（P）SiC層12が設けられている。また、p型層12上に、n型エミッタ領域20（ N^+ ）及び高度にドーブされたp型ベース領域25（ P^+ ）が設けられている。エミッタ領域20は、エピタキシャル成長及び後続のエッチングによって形成することができ、ベース領域25は、注入法によって形成することができる。具体的には、 P^+ ベース領域25の注入は、約20keVから約360keVの範囲のエネルギーを有するアルミニウムイオン（ Al^+ ）を使用して、約650℃から約1100℃で実施することができる。上述したように、この注入部は、SiC結晶に損傷を与える恐れがあり、その損傷は、高温（1600～1700℃）の活性化アニールで完全に除去することはできない。

【0012】

具体的には、注入部によって導入された欠陥が、デバイスのベース領域内に、表面再結合電流及び積層欠陥の形成を生じ得る。この関係は、

$$\beta = i_C / i_B$$

によって表され、上式で、 β は電流利得を表し、 i_C はコレクタ電流を表し、 i_B はベース電流を表す。ベース電流 i_B は、さらに、

$$i_B = i_{B_r} + i_{B_i} + i_{B_{s_r}}$$

によって表すことができ、上式で、 i_{B_r} は再結合電流であり、 i_{B_i} はエミッタ接合部を越えて注入された多数キャリアを表し、 $i_{B_{s_r}}$ は表面再結合電流を表す。電流利得は、

$$\beta = i_C / (i_{B_r} + i_{B_i} + i_{B_{s_r}})$$

によって表すことができる。したがって、ベース領域内で表面再結合電流 $i_{B_{s_r}}$ が増

10

20

30

40

50

加すれば、それによりデバイスの電流利得がより低くなる。

【0013】

図1を再度参照すると、デバイスの表面上にパッシベーション層18が設けられている。BJTは、ベース(B)領域25、エミッタ(E)領域20、及びコレクタ(C)領域10/11への接点をもたらす、オーム金属30/31及びオーバーレイヤ(overlay)金属16をさらに含んでいる。N⁺20、10、及びP⁺25と示された高度にドーピングされた領域は、オーム接点の品質を向上させるために設けることができる。

【0014】

【特許文献1】米国特許第4,945,394号明細書

【特許文献2】米国特許第6,218,254号明細書

【特許文献3】米国特許第5,011,549号明細書

【特許文献4】米国特許第4,912,064号明細書

【特許文献5】米国特許第5,323,022号明細書

【特許文献6】米国特許第5,409,859号明細書

【特許文献7】米国特許第4,865,685号明細書

【特許文献8】米国特許第4,981,551号明細書

【特許文献9】米国特許出願第60/554,123号明細書

【特許文献10】PCT出願第PCT/US2005/004473号

【非特許文献1】Solid State Electronic Devices by B. Streetman (2nd edition (1980), chapter 7)

【非特許文献2】Surface Characteristics of Monocrystalline Beta-SiC Dry Etched in Fluorinated Gases by Palmour et al. (Mat. Res. Soc. Symp. Proc., Vol. 76, 1987, p. 185)

【非特許文献3】ISPSD Proceedings (2005), p. 271 by Agarwal et al.

【非特許文献4】IEEE Electron Device Letters Vol. 26, No. 3 (2005), p. 175 by Krishnaswami et al.

【非特許文献5】Material Science. Forum Vol. 353-356 (2001), p. 727 by Lendenmann et al.

【非特許文献6】Applied Physics. Letters 81 (2002), p. 883 by Galeckas et al.

【非特許文献7】Material Science Forum Vol. 457-460 (2004), p. 1113 by Sumakeris et al.

【発明の開示】

【発明が解決しようとする課題】

【0015】

本発明は、このような問題に鑑みてなされたもので、その目的とするところは、エピタキシャルベース領域及び多層エミッタを有する炭化ケイ素バイポーラ接合トランジスタ及びその製造方法を提供することにある。

【課題を解決するための手段】

【0016】

本発明の実施形態は、炭化ケイ素(SiC)基板を含むバイポーラ接合トランジスタ(BJT)を提供する。SiC基板上に、エピタキシャルSiCベース領域が設けられる。エピタキシャルSiCベース領域は、第1の導電型を有する。SiC基板上に、エピタキシャルSiCエミッタ領域も設けられる。エピタキシャルSiCエミッタ領域は、第1の導電型とは異なる第2の導電型を有する。エピタキシャルSiCエミッタ領域は、第1及び第2の部分を含む。第1の部分は、SiC基板上に設けられ、第2の部分は、第1の部分のSiC基板から離れた側上に設けられる。第2の部分は、第1の部分よりも高いキャリア濃度を有する。

【0017】

本発明の実施形態では、エピタキシャルSiCベース領域は、SiC基板上に第1のp型エピタキシャルSiC層を含んでいる。第1のp型エピタキシャルSiC層上に、第1

10

20

30

40

50

のp型エピタキシャルSiC領域を設けることができる。第1のp型エピタキシャルSiC領域は、第1のp型エピタキシャルSiC層よりも高いキャリア濃度を有することができる。第1のp型エピタキシャルSiC領域の、第1のp型エピタキシャルSiC層から離れて、第2のp型エピタキシャルSiC領域を設けることができる。第2のp型エピタキシャルSiC領域は、第1のp型エピタキシャルSiC領域よりも高いキャリア濃度を有することができる。

【0018】

本発明の他の実施形態では、第1のp型エピタキシャルSiC層は、約 $1.0 \times 10^{16} \text{ cm}^{-3}$ から約 $1.0 \times 10^{19} \text{ cm}^{-3}$ のキャリア濃度、及び約 $0.1 \mu\text{m}$ から約 $10 \mu\text{m}$ の厚さを有することができる。第1のp型エピタキシャルSiC領域は、約 $1.0 \times 10^{18} \text{ cm}^{-3}$ から約 $1.0 \times 10^{19} \text{ cm}^{-3}$ のキャリア濃度、及び約 $0.1 \mu\text{m}$ から約 $10 \mu\text{m}$ の厚さを有することができる。第2のp型エピタキシャルSiC領域は、約 $1.0 \times 10^{19} \text{ cm}^{-3}$ から約 $5 \times 10^{20} \text{ cm}^{-3}$ のキャリア濃度、及び約 $0.1 \mu\text{m}$ から約 $3.0 \mu\text{m}$ の厚さを有することができる。

【0019】

本発明の他の実施形態では、エピタキシャルSiCベース領域は、SiC基板上に第1のp型エピタキシャルSiC層、及び第1のp型エピタキシャルSiC層のSiC基板から離れてp型エピタキシャルSiC領域を含むことができる。p型エピタキシャルSiC領域は、第1のp型エピタキシャルSiC層よりも高いキャリア濃度を有することができる。第1のp型エピタキシャルSiC層は、約 $1.0 \times 10^{16} \text{ cm}^{-3}$ から約 $1.0 \times 10^{19} \text{ cm}^{-3}$ のキャリア濃度、及び約 $0.1 \mu\text{m}$ から約 $10 \mu\text{m}$ の厚さを有することができる。p型エピタキシャルSiC領域は、約 $1.0 \times 10^{18} \text{ cm}^{-3}$ から約 $5 \times 10^{20} \text{ cm}^{-3}$ のキャリア濃度、及び約 $0.1 \mu\text{m}$ から約 $10 \mu\text{m}$ の厚さを有することができる。

【0020】

本発明の実施形態では、エピタキシャルSiCエミッタ領域の第1の部分は、約 $1.0 \times 10^{17} \text{ cm}^{-3}$ から約 $5 \times 10^{19} \text{ cm}^{-3}$ のキャリア濃度を有するn型SiCを含むことができ、約 $0.1 \mu\text{m}$ から約 $5 \mu\text{m}$ の厚さを有することができる。エピタキシャルSiCエミッタ領域の第2の部分は、約 $5 \times 10^{18} \text{ cm}^{-3}$ から約 $5 \times 10^{20} \text{ cm}^{-3}$ のキャリア濃度を有するn型SiCを含むことができ、約 $0.1 \mu\text{m}$ から約 $3.0 \mu\text{m}$ の厚さを有することができる。

【0021】

本発明の他の実施形態では、SiC基板上の、SiC基板とエピタキシャルSiCベース領域との間に、第2の導電性を有するSiCの第1層を設けることができる。SiCの第1層上に、第1の導電性を有するSiCの第2層を設けることができる。エピタキシャルSiCベース領域及びエピタキシャルSiCエミッタ領域は、SiCの第2層の、SiCの第1層から離れてあってよい。第1の導電性は、p型導電性SiCとすることができる。第2の導電性は、n型導電性SiCとすることができる。SiCの第1層は、約 $1.0 \times 10^{13} \text{ cm}^{-3}$ から約 $1.0 \times 10^{17} \text{ cm}^{-3}$ のキャリア濃度、及び約 $1.0 \mu\text{m}$ から約 $250 \mu\text{m}$ の厚さを有することができる。

【0022】

本発明の他の実施形態は、炭化ケイ素(SiC)基板と、SiC基板上のエピタキシャルSiCエミッタ領域とを有するBJTを提供する。エピタキシャルSiCエミッタ領域は、第1の導電性を有する。エピタキシャルSiCエミッタ領域は、第1及び第2の部分を含む。第1の部分は、SiC基板上に設けられ、第2の部分は、第1の部分のSiC基板から離れて設けられる。第2の部分は、第1の部分よりも高いキャリア濃度を有する。

【0023】

本発明は、主にBJTに関して説明されているが、BJTの製造方法も提供される。

【発明を実施するための最良の形態】

【0024】

次に、本発明を、本発明の各実施形態が示された添付の図面を参照して、以下により詳細に説明する。ただし、本発明は、多くの異なる形で実施することができ、本明細書に記載の実施形態に限定されるものと解釈すべきではない。そうではなく、それらの実施形態は、本開示が網羅的で完全なものとなるように、また本発明の技術的範囲を当業者に十分に伝えるために提供するものである。図面では、層及び領域のサイズ及び相対サイズが、見やすくするために誇張されていることがある。要素又は層が、別の要素又は層「上に」ある、別の要素又は層「に接続される」、あるいは別の要素又は層「に結合される」といわれる場合、それは直接、他の要素又は層上にあっても、他の要素又は層に接続されても、結合されてもよく、あるいは介在する要素又は層が存在してもよい。それとは対照的に、要素が、他の要素又は層の「直接上に」ある、他の要素又は層「に直接接続される」、あるいは他の要素又は層「に直接結合される」といわれる場合、介在する要素又は層は存在しない。同じ数字は、全体を通じて同じ要素を表す。本明細書では、「及び／又は」という語は、列挙された関連する諸項目の1つ又は複数のあらゆる組合せを含んでいる。

10

【0025】

さまざまな要素、構成要素、領域、層及び／又は部分について記載するために、本明細書において第1、第2などの語が使用されることがあるが、それらの要素、構成要素、領域、層及び／又は部分は、これらの語によって限定されるべきではないことが理解されよう。これらの語は、ある要素、構成要素、領域、層又は部分と、別の要素、構成要素、領域、層又は部分を区別するために使用したものにはすぎない。したがって、以下で説明する第1の要素、構成要素、領域、層又は部分を、本発明の教示から逸脱することなく、第2の要素、構成要素、領域、層又は部分と呼ぶことができる。

20

【0026】

さらに、「低い方の」又は「底部の」や、「高い方の」又は「上部の」などの相対語が、図中に示す、ある要素の別の要素との関係を記載するために、本明細書において使用されることがある。相対語が、図中に示した向きに加えて、デバイスのさまざまな向きを含むものである。例えば、図中のデバイスが裏返しにされる場合、他の要素の「低い方の」側にあると記載された要素は、他の要素の「高い方の」側に向けられることになる。したがって、「低い方の」という例示的な語は、図の特定の向きに応じて、「低い方の」また「高い方の」向きの両方を含むことができる。同様に、1つの図中のデバイスが裏返しにされる場合、他の要素の「下の (below)」又は「下の (beneath)」として記載された要素は、他の要素の「上に」向けられることになる。したがって、「下の (below)」又は「下の (beneath)」という例示的な語は、上及び下の向きの両方を含むことができる。

30

【0027】

本発明の各実施形態は、本明細書において、本発明の理想化された各実施形態の概略図である断面図を参照して説明される。したがって、例えば、製造方法及び／又は公差の結果として、図面の形状との違いが予想される。したがって、本発明の各実施形態は、本明細書において示される領域の特定の形状に限定されるものと解釈すべきではなく、例えば、製造によって生じる形状のずれを含むべきである。例えば、長方形として示される注入領域は、一般に、丸い又は曲線状のフィーチャ、ならびに／あるいは注入された領域から非注入領域への2値 (binary) の変化ではなく、注入濃度の勾配をその縁部に有する。同様に、注入によって形成された埋込み領域は、埋込み領域と注入がそこを介して行われた表面との間の領域内に、いくらかの注入をもたらすことがある。したがって、図中に示した領域は、実際は概略であり、その形状はデバイスの領域の正確な形状を示すものではなく、本発明の技術的範囲を限定するものではない。

40

【0028】

特段の定義がない限り、本明細書で使用される全ての用語（技術用語及び科学用語を含む）は、本発明にふさわしい当業者によって一般に理解されるものと同じ意味を有する。一般に使用される辞書で定義されるような用語は、関連技術の文脈におけるその意味と一

50

致する意味を有するものと解釈すべきであり、本明細書において明示的にそのように定義されない限り、理想化された又は過度に形式的な意味に解釈されない。

【0029】

本発明の各実施形態は、さまざまな層／領域の、特定の極性の導電型に即して説明される。しかし、当業者には理解されるように、領域／層の極性を反対にして、反対極性のデバイスをもたらすことができる。例えば、「第1の導電型」及び「第2の導電型」という語は、 n 又は p 型などの反対の導電型を指すが、本明細書において記載され、示される各実施形態は、その相補的な実施形態も含んでいる。

【0030】

具体的には、BJTは、2つの背合わせの $p-n$ 接合部をごく近接して含む、能動の3端子半導体デバイスである。BJTは、そのそれぞれのベース、コレクタ、及びエミッタの導電型に応じて、 $n-p-n$ 又は $p-n-p$ として大まかに見なされる。 $n-p-n$ BJTだけが本明細書で論じられるが、本発明の各実施形態は、その構成に限定されない。例えば、本発明の技術的範囲から逸脱することなく、説明された導電型を反対にすることによって、 $p-n-p$ トランジスタを提供することもできる。

【0031】

当業者に知られるように、炭化ケイ素のドーブ領域は、エピタキシャル成長及び／又は注入によって形成することができる。例えば、炭化ケイ素の p 型領域を、 p 型ドーパントの存在下でエピタキシャル成長によって形成しても、 p 型ドーパントを非ドーブ、 p 型、又は n 型のエピタキシャル層内に注入することによって形成してもよい。エピタキシャル成長から生ずる構造は、注入から生ずる構造とは異なる。したがって、「エピタキシャル領域」及び「注入領域」という語は、炭化ケイ素の異なる領域を構造的に区別し、それらの語を、本明細書では、炭化ケイ素の領域の構造上の特徴を詳述するものとして、かつ／又は炭化ケイ素のそのような領域を形成する方法を詳述するものとして使用することができる。特許文献3及び特許文献4には、SiCのエピタキシャル層の製造について説明されている（例えば、それらの開示がここに、その全体が記載されているのと同様に参照により本明細書に組み込まれる）。

【0032】

本発明の実施形態は、エピタキシャル炭化ケイ素（SiC）ベース領域及び多層エピタキシャルエミッタ領域を有するバイポーラ接合トランジスタ（BJT）を提供する。本発明の実施形態によるBJTでエピタキシャルSiCベース領域を使用することにより、SiC結晶に対して損傷を与え、それによってデバイスの電流利得の減少を引き起こす恐れのある、注入及び後続の高温アニールの必要性をなくすることができる。したがって、本発明の実施形態によるBJTは、従来型のデバイスに比べて、電流利得を向上させることができた。さらに、本明細書で図2乃至図16に関してさらに説明されるように、多層エピタキシャルSiCエミッタ領域の使用により、デバイスの電流利得がさらに増加することが可能になり得る。

【0033】

SiC BJTは、例えば、SiC MOSFETに比べて、ずっと高い接合部温度で確実に動作する可能性をもたらすことができる。さらに、例えば、 250°C で動作しているSiC BJTの総合損失（スイッチング及び導通）が、 25°C で動作している、比較に値するSi絶縁ゲートバイポーラトランジスタ（IGBT）よりも、概算で約50から約60パーセント小さい。多くの応用分野では、より高い接合部温度と損失の低減が相まって、BJTを動作させるのに使用される、より複雑なゲート駆動回路を保証するための冷却要件を十分に低減させることができる。ハイブリッド車では、Si IGBTが、Si IGBTの最大許容接合部温度に危険なまでに近い約 115 から約 125°C の範囲の接合部温度で動作する。冷却剤の損失、困難な地形など、環境中のどんな混乱（perturbation）も、Si IGBTに容易に誤動作させ得る。本発明の実施形態によるSiC BJTは、より高い接合部温度で動作することができ、したがって、本明細書においてさらに説明するように、上述したような誤動作をし得ない。

【0034】

図2は、本発明に係る炭化ケイ素（SiC）バイポーラ接合トランジスタの実施形態を示す断面図である。図2に示すように、炭化ケイ素（SiC）基板100を提供することができる。SiC基板100の極性は、例えば、3C、2H、4H、6H又は15Rのポリタイプを有するn型又はp型のSiCとすることができる。単に例として、図2に示す、本発明の実施形態のデバイスは、n型SiC基板100を含んでいる。SiC基板100は、高度にドーピングされたn型SiC（N⁺）である。本明細書では、「P⁺」又は「N⁺」とは、同じ又は他の層又はSiC基板の、隣接する又は他の領域内に存在するキャリア濃度よりも高いキャリア濃度によって構成される領域を示している。同様に、「P⁻」又は「N⁻」とは、同じ又は他の層の、隣接する又は他の領域内に存在するキャリア濃度よりも低いキャリア濃度によって構成される領域を示している。SiC基板100は、窒素などのn型ドーパントでドーピングすることができる。SiC基板は、約 $1.0 \times 10^{18} \text{ cm}^{-3}$ から約 $5.0 \times 10^{19} \text{ cm}^{-3}$ のキャリア濃度、及び約200 μmから約500 μmの厚さを有することができる。

10

【0035】

図2にさらに示すように、SiC基板100の第1の側面100Aに、第1のエピタキシャル層101が設けられている。第1のエピタキシャル層101は、窒素などのn型ドーパントでドーピングすることができる。第1のエピタキシャル層101は、約 $1.0 \times 10^{13} \text{ cm}^{-3}$ から約 $1.0 \times 10^{17} \text{ cm}^{-3}$ のキャリア濃度、及び約1.0 μmから約250 μmの厚さを有することができる。SiC基板100と第1のエピタキシャル層101とが、BJTのコレクタ（C）領域を構成している。第1のエピタキシャル層101上に、第2のエピタキシャル層102が設けられ、第2のエピタキシャル層102は、アルミニウム又はホウ素などのp型ドーパントでドーピングすることができる。第2のエピタキシャル層102は、約 $1.0 \times 10^{16} \text{ cm}^{-3}$ から約 $1.0 \times 10^{19} \text{ cm}^{-3}$ のキャリア濃度、及び約0.1 μmから約10 μmの厚さを有することができる。

20

【0036】

第2のエピタキシャル層102上に、エピタキシャルSiCベース領域（epitaxial SiC base contact region）140が設けられる。エピタキシャルSiCベース領域140は、第2のエピタキシャル層102上に設けられた第1のp型エピタキシャルSiC領域113と、第1のp型エピタキシャルSiC領域113上に設けられた第2のp型エピタキシャルSiC領域103を備えている。第1のp型エピタキシャルSiC領域113は、約 $1.0 \times 10^{18} \text{ cm}^{-3}$ から約 $1.0 \times 10^{19} \text{ cm}^{-3}$ のキャリア濃度、及び約0.1 μmから約10 μmの厚さを有する。第2のp型エピタキシャルSiC領域103は、約 $1.0 \times 10^{19} \text{ cm}^{-3}$ から約 $5.0 \times 10^{20} \text{ cm}^{-3}$ のキャリア濃度、及び約0.1 μmから約3.0 μmの厚さを有する。第2のエピタキシャルベース層102と、エピタキシャルSiCベース領域（第1のp型エピタキシャルSiC領域113及び第2のp型エピタキシャルSiC領域103）140とが、本発明の実施形態によるBJTのベース（B）領域を形成する。エピタキシャルSiCベース領域（epitaxial SiC base region）140は、第1のp型エピタキシャルSiC領域113と第2のp型エピタキシャルSiC領域103を有しているが、本発明の各実施形態は、その構成に限定されない。例えば、図4に示すように、エピタキシャルSiCベース領域140を単一のp型領域423とすることができる。これについては、図4に関して以下にさらに説明する。

30

40

【0037】

したがって、本発明の実施形態によれば、SiCベース領域がエピタキシャル成長され、それにより、SiC結晶に損傷を与える恐れのある注入及び高温アニールの必要性をなくすることができる。したがって、本発明の実施形態によるデバイスは、本明細書でさらに説明するように、より高い電流利得を有することができる。

【0038】

図2にさらに示すように、第2のエピタキシャル層102上に、エピタキシャルSiC

50

エミッタ領域145が設けられている。図示のように、エピタキシャルSiCエミッタ領域145はn型導電性を有する。エピタキシャルSiCエミッタ領域145は、第1(N)の部分104及び第2(N⁺)の部分105を有する。エピタキシャルSiCエミッタ領域の第1の部分104は、第2のエピタキシャル層102上に設けられて、窒素などのn型ドーパントでドーピングされている。エピタキシャルSiCエミッタ領域145の第1の部分104は、約 $1.0 \times 10^{17} \text{ cm}^{-3}$ から約 $5 \times 10^{19} \text{ cm}^{-3}$ のキャリア濃度、及び約 $0.1 \mu\text{m}$ から約 $5.0 \mu\text{m}$ の厚さを有する。エピタキシャルSiCエミッタ領域145の第2の部分105は、窒素などのn型ドーパントでドーピングされ、第1の部分104に比べてより高いキャリア濃度を有する。具体的には、エピタキシャルSiCエミッタ領域145の第2の部分105は、約 $5 \times 10^{18} \text{ cm}^{-3}$ から約 $5 \times 10^{20} \text{ cm}^{-3}$ のキャリア濃度、及び約 $0.1 \mu\text{m}$ から約 $3.0 \mu\text{m}$ の厚さを有する。したがって、本発明の実施形態によれば、エピタキシャルSiCエミッタ領域145は、注入効率の向上をもたらすことができる低ドーピングのn型層104と、接点面の向上をもたらすことができる高度にドーピングされたn型層105とを備えている。

10

【0039】

図1に示す本発明の各実施形態は、エピタキシャルSiCベース領域140と、エピタキシャルSiCエミッタ領域145の両方を含むが、本発明の各実施形態は、その構成に限定されない。例えば、図8に示すように、第1(N)の部分104及び第2(N⁺)の部分105を有するエピタキシャルSiCエミッタ領域145を、本発明の実施形態に従って、エピタキシャルSiCベース領域140なしで設けることができる。

20

【0040】

第2のエピタキシャル層102とエピタキシャルSiCベース領域140とエピタキシャルSiCエミッタ領域145上には、パッシベーション層108が設けられている。パッシベーション層108は、例えば、熱成長させた二酸化ケイ素(SiO₂)、化学気相成長させたSiO₂、及び／又は化学気相成長させた窒化ケイ素(Si₃N₄)を含むことができる。n型炭化ケイ素に適したオーム金属130が、エミッタ製作用にエピタキシャルSiCエミッタ領域145の第2の部分105上に設けられている。オーム金属130は、以下にさらに説明するように、アニールされてオーム接点をもたらす。本発明の実施形態は、導電性基板100を含んでいる。本発明のそれらの実施形態では、オーム金属130が、コレクタを製作するために基板100の第2の側面100Bにも設けられている。本発明は、半導電性の炭化ケイ素又はサファイアなどの非導電性基板を使用して実施することができ、その場合、コレクタを形成するためのオーム金属130は、第1のSiCエピタキシャル層101の表面上に設けられることができる。

30

【0041】

p型炭化ケイ素に適したオーム金属131が、ベース製作用に第2のSiC p型領域103上に設けられる。金属及び／又は金属複合材が、オーム接点130及び131に相当となり得る。例えば、ニッケル又はニッケル-チタンの組合せが、n型炭化ケイ素に対する適当なオーム接点130であり、アルミニウム又はアルミニウム-チタンの組合せが、p型炭化ケイ素に対する適当なオーム接点131である。さらに、コバルトシリサイド(CoSi₂)を、p型炭化ケイ素に対するオーム接点材料として使用することもできる。特許文献5及び特許文献6には、オーム接点について説明されている(例えば、それらの開示が、その全体が記載されているのと同様に参照により本明細書に組み込まれる)。図2に示すように、オーム接点130及び131上に、金などのオーバレイヤ金属106を堆積させることができる。

40

【0042】

本明細書では、「オーム接点」という語は、それに付随するインピーダンスが、実質的に全ての期待される動作周波数(すなわち、オーム接点に付随するインピーダンスは、全ての動作周波数で実質的に同じである)及び電流において、インピーダンス $=V/I$ 、ただし、Vは接点の両端間の電圧であり、Iは電流であるという関係によって実質的に与えられる接点を示している。

50

【0043】

図3A乃至図7Cは、本発明に係る炭化ケイ素（SiC）バイポーラ接合トランジスタ製造方法の各ステップを示す断面図である。まず、図3Aを参照すると、第1の導電性を有する高度にドーパされたSiC基板100、例えば、n型SiC（N₊）が形成される。本発明の実施形態では、SiC基板100は、例えば、3C、2H、4H、6H又は15Rのポリタイプを有することができる。また、SiC基板100を、成長段階中に、窒素などのドナードーパントを用いて約 $1.0 \times 10^{18} \text{ cm}^{-3}$ から約 $5 \times 10^{19} \text{ cm}^{-3}$ の濃度でドーパすることができる。また、SiC基板100は、約200 μmから約500 μmの厚さを有することもできる。

【0044】

SiC基板100上に、n型導電性（N）を有する第1のエピタキシャル層101が形成される。第1のエピタキシャル層101は、窒素などのドナードーパントを用いて、約 $1.0 \times 10^{13} \text{ cm}^{-3}$ から約 $1.0 \times 10^{17} \text{ cm}^{-3}$ の濃度でドーパされる。第1のエピタキシャル層101は、約1.0 μmから約250 μmの厚さを有する。SiC基板100及び第1のエピタキシャル層101が、本発明の実施形態によるBJTのコレクタ領域を構成する。第1のエピタキシャル層101上に、p型（P）導電性を有する第2のエピタキシャル層102が形成される。第2のエピタキシャル層102は、アルミニウム又はホウ素などのアクセプタドーパントを用いて、約 $1.0 \times 10^{16} \text{ cm}^{-3}$ から約 $1.0 \times 10^{19} \text{ cm}^{-3}$ の濃度でドーパされる。第2のエピタキシャル層102は、約0.1 μmから約10 μmの厚さを有する。第2のエピタキシャル層102上に、p型導電性を有する第3のエピタキシャル層113が形成される。第3のエピタキシャル層113は、第2のエピタキシャル層102よりも高度にドーパされる。具体的には、第3のエピタキシャル層113は、アルミニウム又はホウ素などのアクセプタドーパントを用いて、約 $1.0 \times 10^{18} \text{ cm}^{-3}$ から約 $1.0 \times 10^{19} \text{ cm}^{-3}$ のキャリア濃度でドーパされる。第3のエピタキシャル層113は、約0.1 μmから約10 μmの厚さを有する。第4のエピタキシャル層103が、第3のエピタキシャル層113上に形成され、第3のエピタキシャル層よりも高度にドーパされる。第4のエピタキシャル層103は、アルミニウム又はホウ素などのアクセプタドーパントを用いて、約 $1.0 \times 10^{19} \text{ cm}^{-3}$ から約 $5 \times 10^{20} \text{ cm}^{-3}$ の濃度でドーパされる。第4のエピタキシャル層103は、約0.1 μmから約3.0 μmの厚さを有する。

【0045】

次に、図3Bを参照すると、第3のエピタキシャル層113と第4のエピタキシャル層103の領域が、例えば、パターン化フォトリソグラフィ法及び後続のエッチングを使用して、第2のエピタキシャル層102の表面上でメサとして分離されて、エピタキシャルSiCベース領域（図2の140）の第1のp型エピタキシャルSiC領域113と第2のp型エピタキシャルSiC領域103が形成される。本発明の実施形態によれば、ベース接点及びエミッタ接点用のメサを構成するために、エピタキシャル層の反応性イオンエッチングを実施することができる。例えば、エピタキシャル層を、三フッ化窒素（NF₃）を用いた反応性イオンエッチングを使用してエッチングすることができる。NF₃は、炭化ケイ素エッチングプロセスにおいて、いくつかの利点を実証している（例えば、その開示が、その全体が記載されているのと同様に参照により本明細書に組み込まれる）。また、特許文献7及び特許文献8には、炭化ケイ素をエッチングする方法が説明されている（例えば、それらの開示が、その全体が記載されているのと同様に参照により本明細書に組み込まれる）。

【0046】

第3のエピタキシャル層113と第4のエピタキシャル層103は、第2のエピタキシャル層102の表面の少なくとも一部分が露出するまでエッチングすることができる。例えば、本発明の実施形態は、第3のエピタキシャル層113と第4のエピタキシャル層103からなる0.4 μmのメサを形成する。本発明のこれらの実施形態では、正面から背

10

20

30

40

50

面への電氣的チェックにより、エッチングプロセスをいつ終了すべきかを決定することができる。次いで、このステップの後に、オーバエッチング、例えば、15パーセントのオーバエッチングが続いてよい。第2のエピタキシャル層102と、第1のp型エピタキシャルSiC領域113及び第2のp型エピタキシャルSiC領域103を含むエピタキシャルSiCベース領域140とが、本発明の実施形態によるBJTのベース領域を構成することができる。

【0047】

次に、図3Cを参照すると、第2のエピタキシャル層102の表面と、第1のp型エピタキシャルSiC領域113及び第2のp型エピタキシャルSiC領域103上に、n型導電性の第5のエピタキシャル層104を再度成長させることができる。第5のエピタキシ
10
シャル層104は、窒素などのドナードーパントを用いて、約 $1.0 \times 10^{17} \text{ cm}^{-3}$ から約 $5 \times 10^{19} \text{ cm}^{-3}$ の濃度でドーピングされる。第5のエピタキシャル層104は、約 $0.1 \mu\text{m}$ から約 $5 \mu\text{m}$ の厚さを有する。第5のエピタキシャル層104上に、第5のエピタキシャル層104に比べてより高いキャリア濃度を有する第6のエピタキシャル層105が成長される。第6のエピタキシャル層105は、窒素などのドナードーパントを用いて、約 $5 \times 10^{18} \text{ cm}^{-3}$ から約 $5 \times 10^{20} \text{ cm}^{-3}$ の濃度でドーピングされる。第6のエピタキシャル層105は、約 $0.1 \mu\text{m}$ から約 $3 \mu\text{m}$ の厚さを有する。

【0048】

次に、図3Dを参照すると、第5のエピタキシャル層104及び第6のエピタキシャル層105の領域が、例えば、図3Bで説明したパターン化フォトリソグラフィ及び後続のエ
20
ッチングを使用して、第2のエピタキシャル層102の表面上でメサとして分離されて、エピタキシャルSiCエミッタ領域（図2の145）の第1の部分104と第2の部分105が形成される。この場合も、第5のエピタキシャル層104と第6のエピタキシャル層105が、第2のエピタキシャル層102の表面の少なくとも一部分が露出するまでエッチングされる。第1の部分104と第2の部分105が、本発明の実施形態によるBJTのエミッタ領域を構成する。

【0049】

次に、図3Eを参照すると、第2のエピタキシャル層102の表面と、第1のp型エピタキシャルSiC領域113及び第2のp型エピタキシャルSiC領域103と、エミッタ領域の第1の部分104及び第2の部分105上に、パッシベーション層108が形成
30
される。パッシベーション層108は、例えば、熱成長させた SiO_2 、化学気相成長させた SiO_2 、及び／又は化学気相成長させた Si_3N_4 を含むことができる。図3Fに示すように、例えば、パッシベーション層108を選択的にエッチングすることによって、パッシベーション層108内にウィンドウ120を開けることができる。パッシベーション層108は、エミッタ領域の第2の部分105の表面の少なくとも一部分が露出するまでエッチングされる。

【0050】

次に、図3Gを参照すると、n型炭化ケイ素に適したオーム金属130が、エミッタ製作用にエミッタ領域の第2の部分105の露出表面上に堆積される。オーム金属130は、
40
例えば、電子ビーム蒸着を使用して堆積させることができ、オーム金属130を高温、例えば、約 625°C から約 1000°C の温度でアニールして、オーム接点をもたらしすることができる。未反応金属を除去するために、湿式エッチングを実施することができる。本発明の実施形態では、基板100が導電性基板である。本発明のそれらの実施形態では、オーム金属130が、コレクタを製作するために基板100の裏面上にも堆積される。本発明の諸実施形態は導電性基板に限定されない。例えば、本発明の実施形態では、基板を、半絶縁性の炭化ケイ素又はサファイアなどの非導電性基板とすることができ、その場合、コレクタ形成用のオーム金属130を、第1のエピタキシャルn型層101の表面上に設けることができる。

【0051】

次に、図3Hを参照すると、例えば、パッシベーション層108を選択的にエッチング
50

することによって、パッシベーション層108内にウィンドウ121を開けることができる。パッシベーション層108は、第2のp型エピタキシャルSiC領域103の表面の少なくとも一部分が露出するまでエッチングすることができる。図3Iに示すように、p型炭化ケイ素に適したオーム金属131が、ベース製作用に第2のp型エピタキシャルSiC領域103の露出表面上に堆積される。本発明の実施形態によるBJTが、例えば、図3Jに示してある。図中に示すように、オーム接点130及び131上に、金などのオーバレイヤ金属106を形成することができる。

【0052】

図2及び図3A乃至図3Jに関して上述した本発明の各実施形態は、多層ベース領域を含むが、本発明の各実施形態は、その構成に限定されない。例えば、図4に示すように、そうした実施形態におけるベース領域423は、p型炭化ケイ素からなる単層である。単一の P^+ 層423は、アルミニウム又はホウ素などのアクセプタドーパントを用いて、約 $1.0 \times 10^{18} \text{ cm}^{-3}$ から約 $5 \times 10^{20} \text{ cm}^{-3}$ の濃度でドーピングされ、約 $0.1 \mu\text{m}$ から約 $10 \mu\text{m}$ の厚さを有する。単一の P^+ 層423は、均一にドーピングしてもよく、 P^+ 層423が第2のエピタキシャル層102から遠くなるほどドーピング濃度が増加するような、傾斜したドーピング濃度を有してもよい。

【0053】

図5A乃至図5Cは、本発明に係る炭化ケイ素(SiC)バイポーラ接合トランジスタの他の実施形態による製造方法の各ステップを示す断面図である。まず、図5Aを参照すると、基板100と第1のエピタキシャル層101と第2のエピタキシャル層102を製造する際の各ステップは、図3Aで説明した場合と同じ番号が付けられた要素の各ステップに類似しており、したがって、それらの要素の各ステップに関する詳細を、本明細書では繰り返して述べない。第2のエピタキシャル層102上にn型導電性を有する第3のエピタキシャル層504が成長される。第3のエピタキシャル層504に比べて、より高いn型導電性を有する第4のエピタキシャル層505が、第3のエピタキシャル層504上に成長される。第3のエピタキシャル層504及び第4のエピタキシャル層505が、BJTのエミッタ領域を構成する。

【0054】

次に、図5Bを参照すると、第3のエピタキシャル層504と第4のエピタキシャル層505の領域が、例えば、パターン化フォトリソグラフィ法及び後続のエッチングを使用して、第2のエピタキシャル層102の表面上で分離される。第3のエピタキシャル層504と第4のエピタキシャル層505は、第2のエピタキシャル層102の少なくとも一部分が露出するまでエッチングされる。

【0055】

次に、図5Cを参照すると、第2のエピタキシャル層102の表面と、エミッタ領域の第1の部分504及び第2の部分505上に、p型導電性の第5のエピタキシャル層513と第6のエピタキシャル層503が再度成長される。第6のエピタキシャル層503は、第5のエピタキシャル層513に比べて、より高度にドーピングされる。さらに、第5のエピタキシャル層513は、第2のエピタキシャル層102よりも高度にドーピングされる。図5Cに示すデバイスは、エピタキシャル層513及び503の領域を分離するようにエッチングされる。第5のエピタキシャル層513と第6のエピタキシャル層503は、第2のエピタキシャル層102の表面の少なくとも一部分が露出するまでエッチングされる。第2のエピタキシャル層102と、分離後の層513及び503が、BJTのベース領域(図3D)を構成する。したがって、図5A乃至図5Cに示す本発明の各実施形態は、本発明の技術的範囲から逸脱することなく、エミッタ部分504及び505を、ベース領域の第1の層513及び第2の層503より先に形成できることを示す。本発明の実施形態によるBJTの残りの部分を製作する際の加工ステップは、図3E〜3Jに関して上述した各ステップに類似しており、したがって、それらを本明細書では繰り返して述べない。

【0056】

図6A乃至図6Cは、本発明に係る炭化ケイ素(SiC)バイポーラ接合トランジスタ

10

20

30

40

50

の他の実施形態による製造方法の各ステップを示す断面図である。まず、図6Aを参照すると、基板100と第1のエピタキシャル層101と第2のエピタキシャル層102と第1のSiC領域113と第2のSiC領域103とを製造する際の各ステップは、図3Aに関して上述した同じ番号が付けられた要素の各ステップに類似しており、したがって、それらの要素の加工ステップに関する詳細を、本明細書では繰り返して述べない。図6Aに示すように、第2のエピタキシャル層102の表面と、SiCの第1の領域113及び第2の領域103上にマスクング層640が堆積される。このマスクング層640は、例えば、 SiO_2 、 Si_3N_4 、炭化タンタル(TaC)、又は約1600℃のエピタキシャル成長温度に約30分間耐えることができ、また、後に除去することができる他の任意の類似材料を含むことができる。

10

【0057】

次に、図6Bを参照すると、マスクング層640内にウィンドウ641が、例えば、選択的エッチングによって形成される。図6Cに示すように、ウィンドウ641内に、n型導電性を有する第1のエピタキシャル層604と、第1のエピタキシャル層604に比べてより高いn型導電性を有する第2のエピタキシャル層605とが形成されて、BJTのエミッタ領域が形成される。残りのマスクング層640が除去されて、図3Dに示すデバイスに類似する中間デバイスが形成される。本発明の実施形態によるBJTの残りの部分を製造する際の各ステップは、図3E乃至図3Jに関して上述した各工ステップに類似しており、したがって、本明細書ではそれらを繰り返して述べない。

20

【0058】

図7A乃至図7Cは、本発明に係る炭化ケイ素(SiC)バイポーラ接合トランジスタの他の実施形態による製造方法の各ステップを示す断面図である。まず、図7Aに示すように、基板100と第1のエピタキシャル層101と第2のエピタキシャル層102とエミッタ領域の第1の部分704と第2の部分705とを製造する際の各ステップは、図3A乃至図3Dに関して上述した同じ番号が付けられた要素の各ステップに類似しており、したがって、それらの要素の各ステップに関する説明を本明細書では繰り返して述べない。図7Aにさらに示すように、マスクング層750が、第2のエピタキシャル層102の表面と、第1の部分704及び第2の部分705上に形成される。マスクング層750は、例えば、二酸化ケイ素(SiO_2)、TaCなどを含むことができる。

30

【0059】

図7Bに示すように、マスクング層750内にウィンドウ742を、例えば、選択的エッチングによって開けることができる。図7Cに示すように、ウィンドウ742内に、p型導電性を有するエピタキシャル層713と703が形成されて、第2のエピタキシャル層層102とともにBJTのベース領域を形成する。残りのマスクング層750が除去されて、図3Dに示すデバイスに類似する中間デバイスが形成される。したがって、図7A乃至図7Cは、BJTのエミッタ領域又はベース領域を、図6A乃至図6C及び図7A乃至図7Cで説明したステップを使用して形成できることを示すために提供されたものである。本発明の実施形態によるBJTの残りの部分を製造する際の各ステップは、図3E乃至図3Jに関して上述した各ステップに類似しており、したがって、本明細書ではそれらを繰り返して述べない。

40

【0060】

次に、従来のSiC BJT及び本発明の実施形態によるSiC BJTのさまざまな実験に基づく出力特性を、図9乃至図16に関して説明する。これらの性能特性は、実験データに基づくものであり、したがって、本発明の各実施形態は、本明細書において説明した実施例によって限定されない。

【0061】

1200V、10A BJTを、安定性があるかどうかについてテストした。NPN BJTを4H-SiC内に、14 μm 厚さのn型コレクタ層を $4.8 \times 10^{15} \text{ cm}^{-3}$ でドーピングし、1.0 μm 厚さのp型ベース層を $2 \times 10^{17} \text{ cm}^{-3}$ でドーピングし、2.0 μm 厚さのn型エミッタ層を $3.0 \times 10^{19} \text{ cm}^{-3}$ でドーピングして製作した。簡略化さ

50

れたBJT構造が、図9の4H-SiC BJTの断面に示してある。図9のデバイスは、 $25.0\mu\text{m}$ のピッチを有する。図10のSiC BJTの平面図に示すように、チップサイズは $1.88\text{mm}\times 1.88\text{mm}$ であり、合計エミッタ幅が 62mm であり、活性エリア(active area)が 0.0225cm^2 である。非特許文献3及び非特許文献4には、そのようなデバイスの製造に関する詳細が説明されている(例えば、それらの開示がここに、その全体が記載されているのと同様に参照により本明細書に組み込まれる)。

【0062】

10Aのコレクタ電流で長時間ストレスをかける前及びその後の、エミッタ接地モードのデバイスの1つの直流出力特性が、図11A乃至図11Dに示してある。具体的には、図1に示す従来型の構造を有するSiC BJTを、さまざまな時間間隔、すなわち、0分(図11A)、15分(図11B)、30分(図11C)、及び16時間(図11D)にわたって10.0Aで動作させた。このデバイスは、金属パッケージ内にパッケージングした。初期測定後、デバイスに所与の時間10Aでストレスをかけた。デバイスの電力を遮断し、冷却して、次いで出力特性を記録した。図11A乃至図11Dに示すように、電流利得とオン抵抗の両方が、経時的に減少し得る。したがって、従来型のSiC BJTは、I-V特性において、わずか15分の動作後に不安定性を示す。図1の従来のBJTの p^+ 注入部25によって形成された転位が、デバイス特性の劣化の原因となり得る。

【0063】

電流利得が減少し、飽和時のオン抵抗が増加し、活性領域内の出力特性の傾きが増加する。I-V特性のこうした劣化は、長時間の動作に伴って継続し得る。特許文献9及び10には、さまざまな層のエピタキシャル成長中に生じ得る基底面転位(basal plane dislocation)によって引き起こされ得るこの現象について説明されている(例えば、その開示がここに、その全体が記載されているのと同様に参照により本明細書に組み込まれる)。ベース層内での積層欠陥の成長は、発光撮像(light emission imaging)によって観測することができる。積層欠陥をこのように拡大させるエネルギーは、順方向バイアスされたベース-エミッタ接合部内の電子-正孔再結合から生じ得る。これが、実効少数キャリア寿命の減少を招き、ベース内の積層欠陥の直近での電子-正孔再結合を増加させ得て、それにより電流利得の減少が生じ得る。

【0064】

図11A乃至図11Dに示すデータから、以下の更なる観測を行うことができる。第1に、初期の直流電流利得は約30であり(図11A)、これは16時間のストレス後、約15に減少した。したがって、約50パーセントの直流電流利得の減少が示された(図11D)。第2に、飽和時のオン抵抗が実質的に増加し、第3に、活性領域内の曲線の傾きが、電氣的ストレスをかけた結果増加した。同様の挙動が、多数のデバイスに関して観測された。活性エリアは金属で覆われているので、活性エリア内で何が起きているかを見ることは困難であった。したがって、電流の大部分が閉じ込められるエミッタの縁部、ならびにエミッタの下方のエレクトロルミネセンスを撮像するのを可能にする活性エリア内のウィンドウを伴って、簡単なBJT構造を設計した。積層欠陥の検出及び成長に使用される、格子状にされたBJTのレイアウト構造が、図12に示してある。

【0065】

デバイスがストレス($I_C = 50\text{mA}$ 、 $I_B = 3\text{mA}$)を受けている間に、10秒ずつ隔たった連続画像を撮影した。(50秒ずつ隔たった)3枚のそのようなフレームが、図13A; (t)、図13B; (t+50s)、及び図13C; (t+100s)に示してある。矢印は、積層欠陥の境界となる部分的な転位を指す。3つの積層欠陥が存在する。1と表記される欠陥が、エミッタの縁部近くの高電流領域にあり、その拡大は明白である。積層欠陥2及び3が、エミッタの下方の電流がずっと少ない領域内にあり、100秒の間隔中に目立った成長はしていない。

【0066】

これらの観測をもとに、SiC BJTの電流利得の減少を、SiC pn接合ダイオ

10

20

30

40

50

ードで以前に観測されたことに基づいて説明することができる。非特許文献5、非特許文献6、及び非特許文献7には、SiC接合ダイオードに関する詳細が説明されている（例えば、それらの開示がここに、その全体が記載されているのと同様に参照により本明細書に組み込まれる）。

【0067】

具体的には、SiC p nダイオードの順方向電圧 (V_f) の増加が報告された。この V_f の増加は、PINダイオードのドリフト層内での、いくつかの基底面転位からの積層欠陥の成長によって説明された。積層欠陥をこのように拡大させるエネルギーは、導電率変調ドリフト層内での電子-正孔再結合から生ずる。これが、少数キャリア寿命を減少させ、積層欠陥の直近での導電率変調 (conductivity modulate) を低減させて、 V_f の増加を生じ得る。したがって、同様の現象が、SiC BJTデバイスでも起こり得る。トランジスタのベースには、動作中、例えば、図14に示すように、電子-正孔対が押し寄せる。ベース内で電子-正孔対が再結合すると、図15に示すように積層欠陥を生じ得る。こうした積層欠陥は、ベース内で局所的に少数キャリアの寿命を減少させ得、キャリア寿命の減少は、電流利得の減少を招き得る。電流利得の減少は、飽和領域内でBJTのオン抵抗が増加することの説明にもなり得る。というのも、多くのキャリアが、ベースを越えてコレクタ内に入らないためである。線形領域内でのI-V曲線の傾きの増加は、ベースのドーピングが実質的に減少して、「アーリー効果」が高まったことを示す。これは、ベース内に発生した積層欠陥の結果でもあり得る。

【0068】

次に、図16を参照して、図8に示す本発明の実施形態によるSiC BJTの出力特性についてここで説明する。図16は、本発明の実施形態による図8に示す構造を用いて得られた、例示的なI-V特性を示す。ストレスが次第に増加する、本発明の実施形態によるSiC BJTの出力特性の4種のトレースは、電流利得において比較的小さなドリフトを呈する。したがって、本発明の実施形態に従って、電流利得ドリフト及びオン抵抗の減少を抑制することができる。

【0069】

以上、図面及び明細書において、本発明の典型的な好ましい各実施形態を開示してきた。特定の語が用いられているが、それらは限定のためではなく、一般的で説明的な意味で使用されているにすぎない。本発明の技術的範囲は添付の特許請求の範囲に記載される。

【図面の簡単な説明】

【0070】

【図1】従来の炭化ケイ素 (SiC) バイポーラ接合トランジスタの断面図である。

【図2】本発明に係る炭化ケイ素 (SiC) バイポーラ接合トランジスタの実施形態を示す断面図である。

【図3A】本発明に係る炭化ケイ素 (SiC) バイポーラ接合トランジスタ製造方法の各ステップを示す断面図である。

【図3B】本発明に係る炭化ケイ素 (SiC) バイポーラ接合トランジスタ製造方法の各ステップを示す断面図である。

【図3C】本発明に係る炭化ケイ素 (SiC) バイポーラ接合トランジスタ製造方法の各ステップを示す断面図である。

【図3D】本発明に係る炭化ケイ素 (SiC) バイポーラ接合トランジスタ製造方法の各ステップを示す断面図である。

【図3E】本発明に係る炭化ケイ素 (SiC) バイポーラ接合トランジスタ製造方法の各ステップを示す断面図である。

【図3F】本発明に係る炭化ケイ素 (SiC) バイポーラ接合トランジスタ製造方法の各ステップを示す断面図である。

【図3G】本発明に係る炭化ケイ素 (SiC) バイポーラ接合トランジスタ製造方法の各ステップを示す断面図である。

【図3H】本発明に係る炭化ケイ素 (SiC) バイポーラ接合トランジスタ製造方法の各

ステップを示す断面図である。

【図 3 I】本発明に係る炭化ケイ素（SiC）バイポーラ接合トランジスタ製造方法の各ステップを示す断面図である。

【図 3 J】本発明に係る炭化ケイ素（SiC）バイポーラ接合トランジスタ製造方法の各ステップを示す断面図である。

【図 4】本発明に係る炭化ケイ素（SiC）バイポーラ接合トランジスタの他の実施形態を示す断面図である。

【図 5 A】本発明に係る炭化ケイ素（SiC）バイポーラ接合トランジスタの他の実施形態による製造方法の各ステップを示す断面図である。

【図 5 B】本発明に係る炭化ケイ素（SiC）バイポーラ接合トランジスタの他の実施形態による製造方法の各ステップを示す断面図である。

【図 5 C】本発明に係る炭化ケイ素（SiC）バイポーラ接合トランジスタの他の実施形態による製造方法の各ステップを示す断面図である。

【図 6 A】本発明に係る炭化ケイ素（SiC）バイポーラ接合トランジスタの他の実施形態による製造方法の各ステップを示す断面図である。

【図 6 B】本発明に係る炭化ケイ素（SiC）バイポーラ接合トランジスタの他の実施形態による製造方法の各ステップを示す断面図である。

【図 6 C】本発明に係る炭化ケイ素（SiC）バイポーラ接合トランジスタの他の実施形態による製造方法の各ステップを示す断面図である。

【図 7 A】本発明に係る炭化ケイ素（SiC）バイポーラ接合トランジスタの他の実施形態による製造方法の各ステップを示す断面図である。

【図 7 B】本発明に係る炭化ケイ素（SiC）バイポーラ接合トランジスタの他の実施形態による製造方法の各ステップを示す断面図である。

【図 7 C】本発明に係る炭化ケイ素（SiC）バイポーラ接合トランジスタの他の実施形態による製造方法の各ステップを示す断面図である。

【図 8】本発明に係る炭化ケイ素（SiC）バイポーラ接合トランジスタのさらに他の実施形態を示す断面図である。

【図 9】4H SiC BJTの断面図である。

【図 10】図 9 に示した 4H-SiC BJTの平面図である。

【図 11 A】従来の SiC BJTの経時的電流利得ドリフトをグラフに示した図である。

【図 11 B】従来の SiC BJTの経時的電流利得ドリフトをグラフに示した図である。

【図 11 C】従来の SiC BJTの経時的電流利得ドリフトをグラフに示した図である。

【図 11 D】従来の SiC BJTの経時的電流利得ドリフトをグラフに示した図である。

【図 12】積層欠陥の検出及び成長に使用される格子状にされたBJTのレイアウト及び構造を示す図である。

【図 13 A】BJT構造の写真を示す図である。

【図 13 B】BJT構造の写真を示す図である。

【図 13 C】BJT構造の写真を示す図である。

【図 14】BJTの側面を示す図である。

【図 15】BJTのベース内にある積層欠陥を示す図である。

【図 16】本発明の実施形態に従って得られたI-V特性をグラフに示した図である。

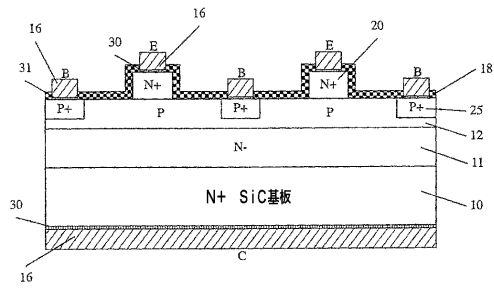
10

20

30

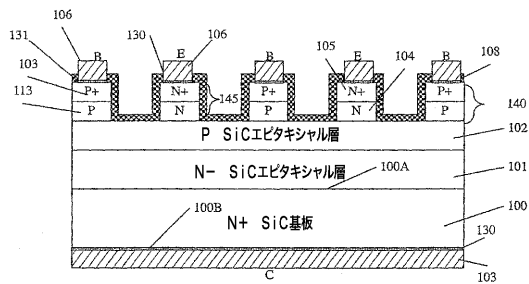
40

【図 1】

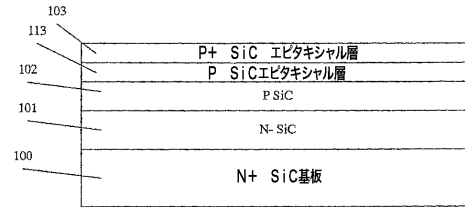


(従来技術)

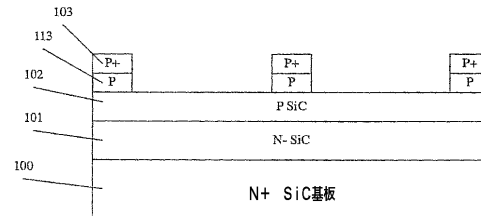
【図 2】



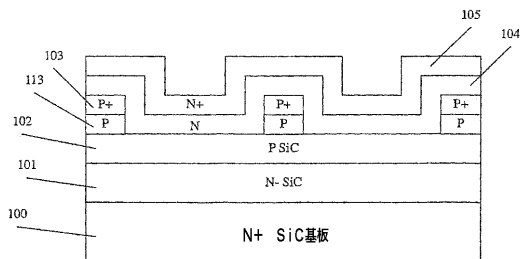
【図 3 A】



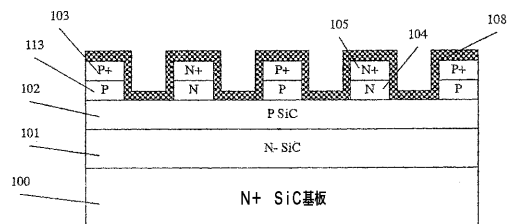
【図 3 B】



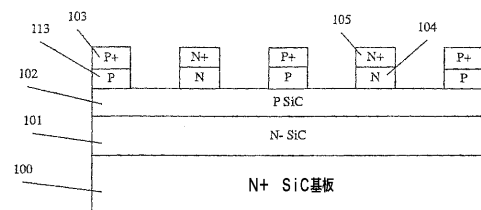
【図 3 C】



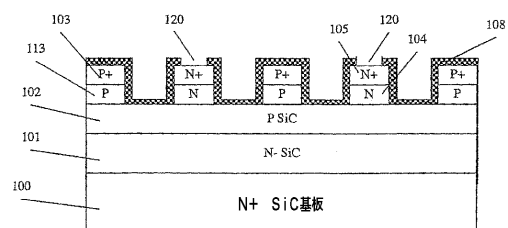
【図 3 E】



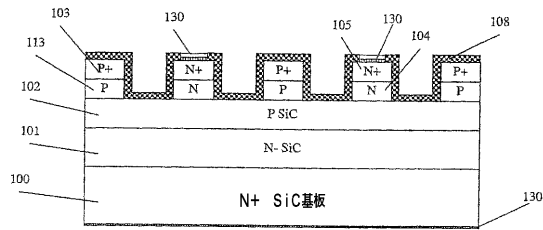
【図 3 D】



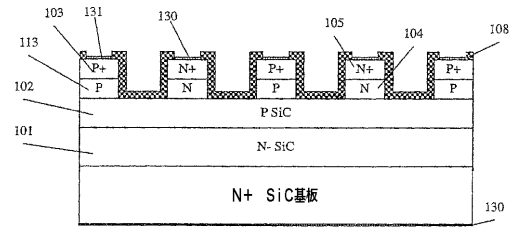
【図 3 F】



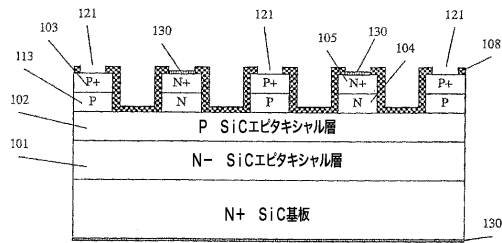
【図 3 G】



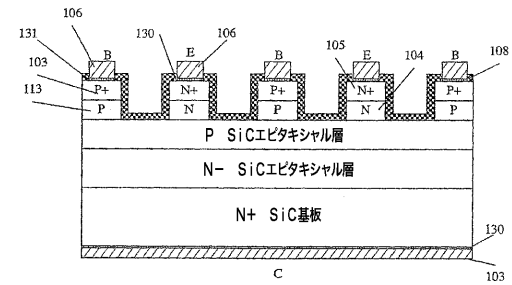
【図 3 I】



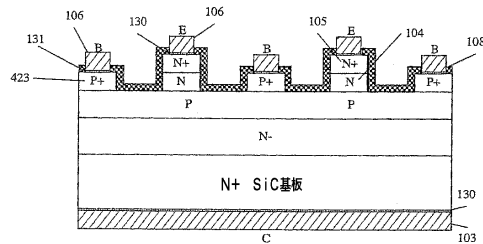
【図 3 H】



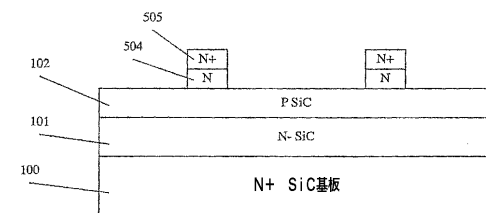
【図 3 J】



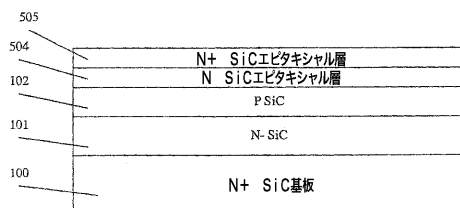
【図 4】



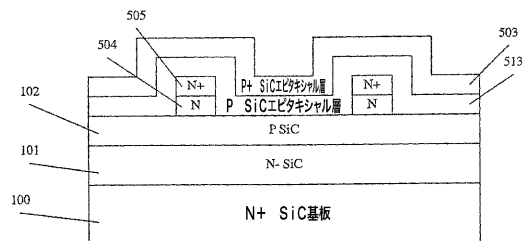
【図 5 B】



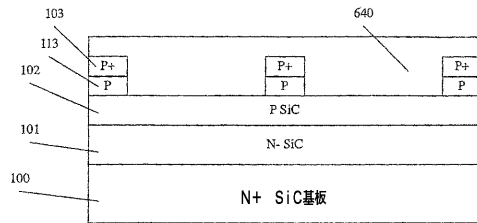
【図 5 A】



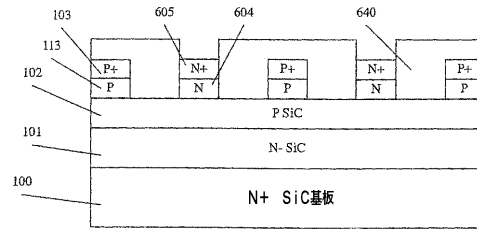
【図 5 C】



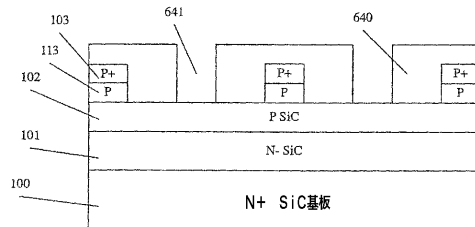
【図 6 A】



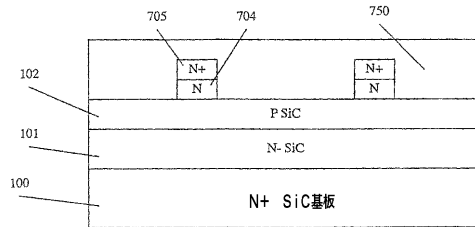
【図 6 C】



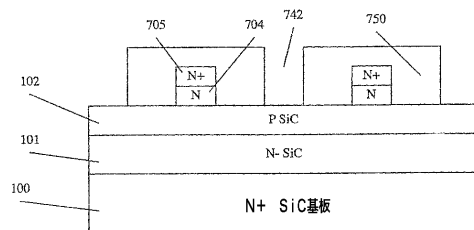
【図 6 B】



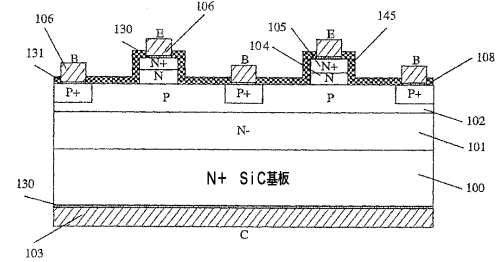
【図 7 A】



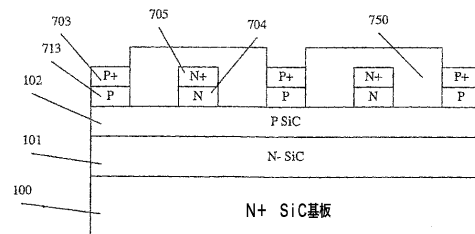
【図 7 B】



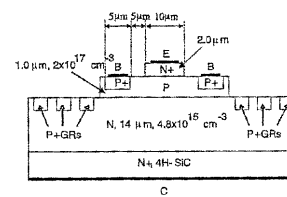
【図 8】



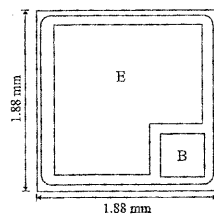
【図 7 C】



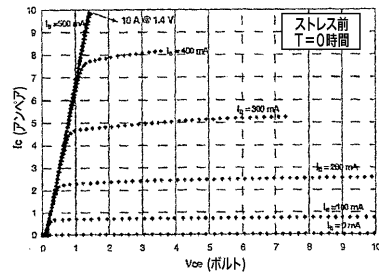
【図 9】



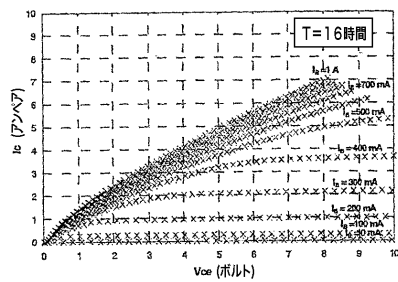
【図 10】



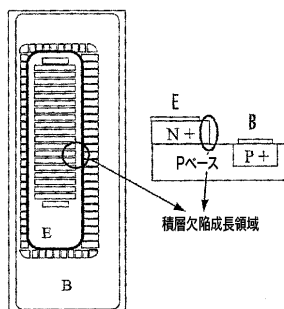
【図 11 A】



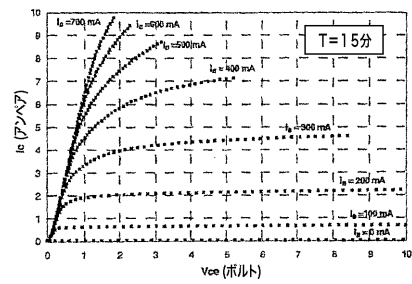
【図 11 D】



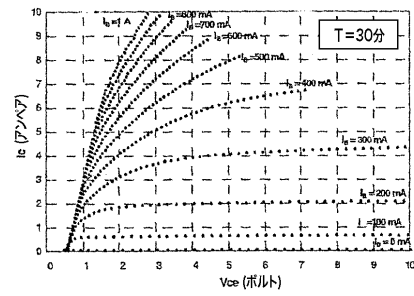
【図 12】



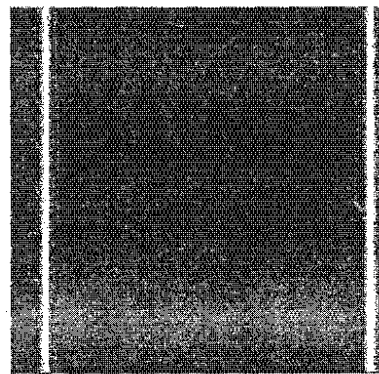
【図 11 B】



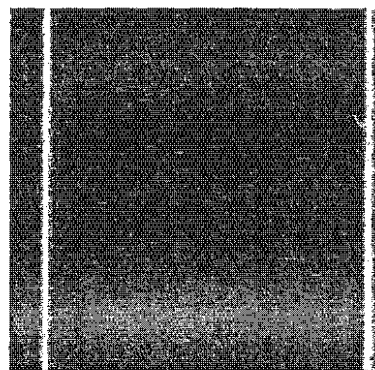
【図 11 C】



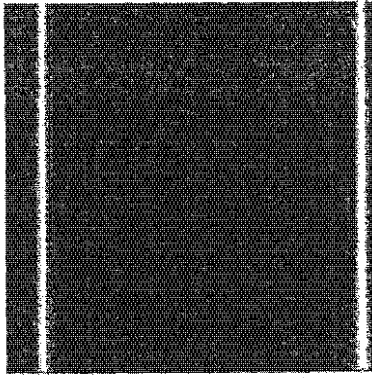
【図 13 A】



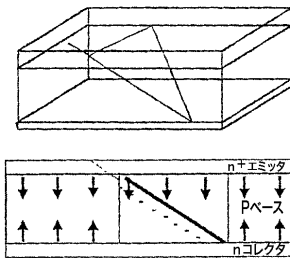
【図 13 B】



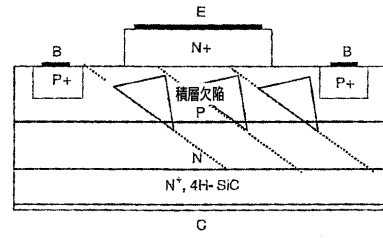
【図 13C】



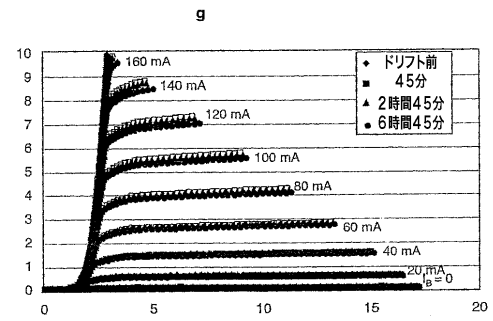
【図 14】



【図 15】



【図 16】



フロントページの続き

- (74)代理人 100094673
弁理士 林 鉦三
- (74)代理人 100091339
弁理士 清水 邦明
- (74)代理人 100138346
弁理士 畑中 孝之
- (74)代理人 100147658
弁理士 岩見 晶啓
- (72)発明者 アナント ケー. アガルワル
アメリカ合衆国 27514 ノースカロライナ州 チャペル ヒル ブラック タイ レーン
208
- (72)発明者 スミトラ クリシュナスワミ
アメリカ合衆国 27560 ノースカロライナ州 モリスビル ゴールデン ホースシュー サ
ークル 1800-アイ
- (72)発明者 リュウ セイ-ヒュン
アメリカ合衆国 27513 ノースカロライナ州 カリー グランデ バレー サークル 23
14
- (72)発明者 エドワード ハロルド ハート
アメリカ合衆国 27707 ノースカロライナ州 ダラム モンティチェロ アベニュー 42
5

合議体

審判長 鈴木 匡明

審判官 松田 成正

審判官 恩田 春香

- (56)参考文献 国際公開第03/023860 (WO, A1)
特開2002-110549 (JP, A)
M. Domeij, H-S. Lee, C-M. Zetterling, M. Ostling, A. Schoner, SiC power bipolar junction transistors -Modeling and improvement of the current gain, POWER ELECTRONICS AND APPLICATIONS, 2005 EUROPEAN CONFERENCE ON DRESDEN, 米国、IEEE、2005年9月11日、p. 1-7
E. Danielsson, M. Domeij, H-S. Lee, C-M. Zetterling, M. Ostling, A. Schoner, C. Hallin, A 4H-SiC BJT with an Epitaxially Regrown Extrinsic Base Layer, MATERIALS SCIENCE FORUM, スイス、2004年 8月31日、Vols. 483-485、p. 905-908

(58)調査した分野(Int.Cl., DB名)

H01L 29/68-29/73

H01L 21/28-21/288

H01L 21/331

H01L 29/40-29/51

H01L 27/082